

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月23日(23.01.2025)



(10) 国際公開番号

WO 2025/018041 A1

(51) 国際特許分類:
G09G 3/3233 (2016.01) *G09G 3/20* (2006.01)

(21) 国際出願番号: PCT/JP2024/019983

(22) 国際出願日: 2024年5月31日(31.05.2024)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2023-117864 2023年7月19日(19.07.2023) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

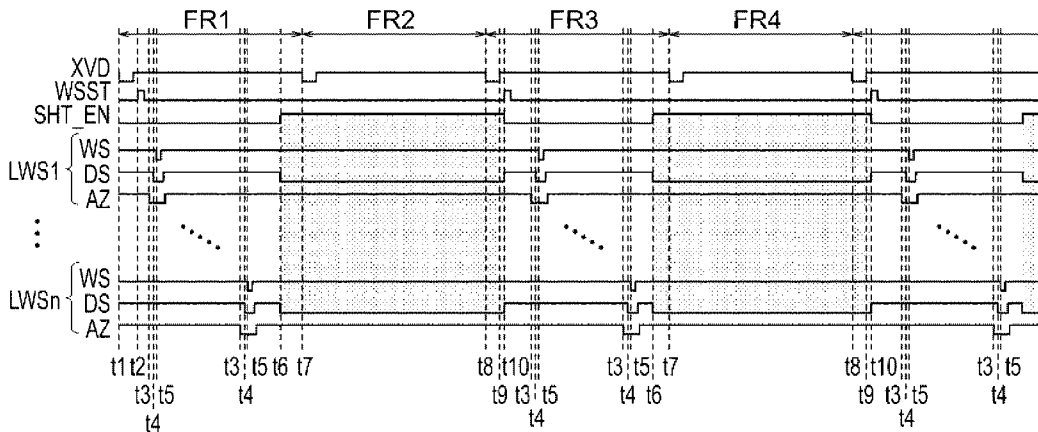
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 道家 一紀 (DOUKE Kazutoshi);
〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). ソンケン(SUN Jian); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 宮嶋 学 (MIYAJIMA Manabu);
〒1000005 東京都千代田区丸の内1丁目6番6号 日本生命丸の内ビル 協和特許法律事務所 Tokyo (JP).

(54) Title: DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) Abstract: [Problem] To provide a display device that makes it possible to suppress a decrease in brightness. [Solution] This display device comprises: a plurality of pixels; a plurality of data signal lines that are connected to a plurality of pixels arranged in a first direction and supply an electric charge corresponding to data to a driving circuit; a plurality of scanning control lines that are connected to a plurality of pixels arranged in a second direction crossing the first direction and transmit a scanning signal when the electric charge is accumulated in the driving circuit; a light emission control line



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

that is connected to the plurality of pixels and transmits a light emission signal when the electric charge is passed to a light emission element; a data signal control circuit that transmits data to the plurality of pixels via the plurality of data signal lines; and the driving circuit that drives the scanning control lines and the light emission control line. The driving circuit transmits the scanning signal to the plurality of scanning control lines in a first frame among a plurality of frames divided by a timing signal indicating a timing at which the plurality of pixels are driven, and thereafter transmits the light emission signal to the light emission control line from at least the first frame to a second frame following the first frame.

(57) 要約: [課題] 輝度の低下を抑制できる表示装置を提供する。[解決手段] 表示装置は、複数の画素と、第1方向に配列された複数の画素に接続されデータに応じた電荷を駆動回路に供給する複数のデータ信号線と、第1方向と交差する第2方向に配列された複数の画素に接続され電荷を駆動回路に蓄積させるときに走査信号を伝達する複数の走査制御線と、複数の画素に接続され電荷を発光素子に流すときに発光信号を伝達する発光制御線と、複数のデータ信号線を介して複数の画素へデータを送信するデータ信号制御回路と、走査制御線および発光制御線を駆動する駆動回路とを備え、駆動回路は、複数の画素を駆動させるタイミングを示すタイミング信号で区切られた複数のフレームのうち第1フレームにおいて、複数の走査制御線に走査信号を送信した後、少なくとも第1フレームから該第1フレームに続く第2フレームに亘って発光信号を発光制御線に伝達する。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本開示は、表示装置に関する。

背景技術

[0002] 表示装置は、画像データを画素に書き込む走査動作と書き込まれた画像データに基づいて画素を発光させる発光動作とを繰り返すことによって画像を表示する。1つの走査動作および1つの発光動作は1フレームを構成する。1フレームにおける発光動作の割合（D u t y）を増大させることが望まれている。

先行技術文献

特許文献

[0003] 特許文献1：特開2016-191940号公報

特許文献2：国際特許出願公開第13／021418号公報

特許文献3：国際特許出願公開第13／073466号公報

発明の概要

発明が解決しようとする課題

[0004] しかし、面一括発光型表示装置の場合、1フレーム内において、全画素に画像データを書き込んだ後、全画素を発光させるため、D u t yが低くなり、輝度が低下してしまうという問題があった。

[0005] そこで、本開示では、輝度の低下を抑制することができる表示装置を提供する。

課題を解決するための手段

[0006] 本開示の一側面の表示装置は、発光素子と発光素子に駆動電流を供給する駆動回路とを含む複数の画素回路と、第1方向に配列された複数の画素回路に接続され、データに応じた電荷を駆動回路に供給する複数のデータ信号線と、第1方向と交差する第2方向に配列された複数の画素回路に接続され、

電荷を駆動回路に蓄積させるときに走査信号を伝達する複数の走査制御線と、複数の画素回路に接続され、電荷を発光素子に流すときに発光信号を伝達する複数の発光制御線と、複数のデータ信号線を介して複数の画素回路へデータを送信するデータ信号制御回路と、走査制御線および発光制御線を駆動する駆動回路と、を備え、駆動回路は、複数の画素回路を駆動させるタイミングを示すタイミング信号で区切られた複数のフレームのうち第1フレームにおいて、複数の走査制御線に走査信号を送信した後、少なくとも第1フレームから該第1フレームに続く第2フレームに亘って発光信号を発光制御線に伝達する。

[0007] 駆動回路は、複数のフレームのうち第2フレームに続く第3フレームにおいて、複数の走査制御線に走査信号を送信開始する前に、発光信号を不活性化する。

[0008] 駆動回路は、複数の走査制御線に走査信号を伝達して複数のデータ信号線を介してデータに応じた電荷を駆動回路に供給する書込み動作と、発光制御線に発光信号を伝達して画素回路を発光させる発光動作とを複数のフレームごとに実行する。

[0009] 書込み動作および発光動作の全動作期間に対する発光動作の期間の比率は、50%よりも大きい。

[0010] 駆動回路は、複数の走査制御線に走査信号を伝達して複数のデータ信号線を介してデータに応じた電荷を駆動回路に供給する書込み動作と、発光制御線に発光信号を伝達して画素回路を発光させる発光動作とを3つのフレームごとに実行する。

[0011] 駆動回路は、複数のフレームのうち第3フレームに続く第4フレームにおいて、複数の走査制御線に走査信号を送信開始する前に、発光信号を不活性化する。

[0012] 発光動作の期間は、3つのフレームのうち2フレームを超える期間である。

[0013] 複数の発光制御線は、複数のグループに分割されており、駆動回路は、グ

ループごとに発光信号を発光制御線に伝達する。

[0014] 駆動回路は、複数のグループに対応する複数の走査制御線に連続して走査信号を送信する。

[0015] 駆動回路は、第1フレームにおいて複数の走査制御線に走査信号を送信した後、発光信号を複数回活性化させる。

[0016] 駆動回路は、第1フレームにおいて複数の走査制御線に走査信号を送信した後、発光信号の活性化の期間を増大させつつ発光信号を複数回活性化させる。

[0017] 複数のデータ信号線、複数の走査制御線、発光制御線、データ信号制御回路、および、駆動回路を備え、一方の目に対応する第1表示部と、複数のデータ信号線、複数の走査制御線、発光制御線、データ信号制御回路、および、駆動回路を備え、他方の目に対応する第2表示部とを備え、第1表示部および第2表示部は、複数の走査制御線に走査信号を送信する動作と、発光信号を発光制御線に伝達する動作とを互い違いに実行する。

図面の簡単な説明

[0018] [図1]第1実施形態に係る表示装置の構成例を示すブロック図。

[図2]画素回路の構成例を示す回路図。

[図3]駆動回路の内部構成の一例を示すブロック図。

[図4]第1実施形態に係る表示装置の動作例を示すタイミング図。

[図5]第2実施形態に係る表示装置の動作例を示すタイミング図。

[図6]第3実施形態に係る表示装置の構成例を示すブロック図。

[図7]第3実施形態に係る表示装置の動作例を示すタイミング図。

[図8]第4実施形態に係る表示装置の動作例を示すタイミング図。

[図9]第5実施形態に係る表示装置の動作例を示す概念図。

発明を実施するための形態

[0019] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。図面は模式的または概念的なものであり、各部分の比率などは、必ずしも現実のものとは限らない。明細書と図面において、

既出の図面に関して前述したものと同様の要素には同一の符号を付して詳細な説明は適宜省略する。

[0020] (第1実施形態)

図1は、第1実施形態に係る表示装置の構成例を示すブロック図である。表示装置100は、タイミングコントローラ1、駆動回路2、データ入力インタフェース3、データ信号制御回路5、および、 $(m \times n)$ 個の画素回路10を備えたEL (Electro-Luminescence) ディスプレイである。ELディスプレイは、例えば、有機ELディスプレイ等の電流駆動型表示装置でよい。以下、 m および n は2以上の整数、 i は1以上 n 以下の整数、 j は1以上 m 以下の整数、 k は1以上 n 以下の整数であるとする。

[0021] 表示装置100には、 n 本の走査制御線 $LWS1 \sim LWSn$ と m 本のデータ信号線 $S1 \sim Sm$ が設けられる。走査制御線 $LWS1 \sim LWSn$ は、互いに平行に配置され、同一方向(第2方向)に延伸している。データ信号線 $S1 \sim Sm$ は、走査制御線 $LWS1 \sim LWSn$ と交差(例えば、直交)する方向(第1方向)に延伸し、互いに平行に配置されている。走査制御線 $LWS1 \sim LWSn$ とデータ信号線 $S1 \sim Sm$ の各交差点の近傍には、画素回路10が配置される。このように $(m \times n)$ 個の画素回路10は、マトリックス状に2次元配置される。走査制御線 $LWSi$ ($i = 1 \sim n$)は、第2方向に配置された i 行目の m 個の画素回路10に共通に接続されている。データ信号線 Sj は、第1方向に配置された j 列目の n 個の画素回路10に共通に接続されている。データ信号線 Sj は、 j 列目の n 個の画素回路10にデータ信号に応じた電荷を供給する。また、表示装置100には、発光制御線 $LDS1 \sim LDSn$ およびリセット制御線 $LAZ1 \sim LAZn$ が設けられる。発光制御線 $LDS1 \sim LDSn$ およびリセット制御線 $LAZ1 \sim LAZn$ は、第2方向に延伸しており、それぞれ $(m \times n)$ 個の画素回路10に対して共通に接続されている。画素回路10には、図示しない電源線および基準電位線(例えば、接地線)が接続され、電源電圧および基準電位(例えば接地電位)が供給される。

- [0022] データ入力インタフェース3は、外部から入力されたデータに基づいて、データ信号DAおよび同期信号XVD、XHDをタイミングコントローラ1へ送信する。
- [0023] タイミングコントローラ1は、同期信号XVD、XHDに基づいて、駆動回路2に制御信号WSS TおよびSHT__ENを送信する。同期信号XVDは、画像のフレームの始まりをタイミングコントローラ1に知らせるタイミング信号である。同期信号XHDは、画像の各ラインの始まりをタイミングコントローラ1に知らせるタイミング信号である。制御信号WSS Tは、画像のフレームごとに駆動回路2を動作させるタイミング信号である。制御信号SHT__ENは、画素回路10を発光させる信号である。また、タイミングコントローラ1は、データ信号制御回路5へデータ信号DAを送信する。タイミングコントローラ1は、その他の制御信号、クロック信号等を駆動回路2およびデータ信号制御回路5へ出力する。
- [0024] 駆動回路2は、走査制御線LWS 1～LWS n、発光制御線LDS 1～LDS nおよびリセット制御線LAZ 1～LAZ nに接続されており、走査制御線LWS 1～LWS n、発光制御線LDS 1～LDS nおよびリセット制御線LAZ 1～LAZ nを駆動する。駆動回路2は、例えば、シフトレジスタ回路であり、図3のフリップフロップFF、ロジック回路LC、および、レベルシフタLS等で構成されている。
- [0025] 駆動回路2は、制御信号WSS Tに基づき、走査制御線LWS 1～LWS nから選択された或る走査制御線LWS iに書込み信号WSを出力する。選択された走査制御線LWS iは、該走査制御線LWS iに接続されたm個の画素回路10に書込み信号WSを伝達する。これにより、駆動回路2は、電荷をm個の画素回路10の駆動回路に蓄積させることができる。即ち、駆動回路2は、走査制御線LWS iに接続されたm個の画素回路10にデータ信号線S 1～S mからのデータ信号を書き込むことができる。
- [0026] また、駆動回路2は、制御信号WSS TおよびSHT__ENに基づき、発光制御線LDS 1～LDS nに発光信号DSを出力する。発光制御線LDS

1 ~ L D S n は、(m × n) 個の画素回路 1 0 に発光信号 D S をほぼ同時に伝達することができる。これにより、駆動回路 2 は、(m × n) 個の画素回路 1 0 の発光素子に駆動電流を供給し、それらの発光素子をほぼ同時に一括で発光させる。即ち、本開示に係る表示装置 1 0 0 は、面一括発光型表示装置である。尚、駆動回路 2 は、選択された発光制御線 L D S i に接続された m 個の画素回路 1 0 に選択的に駆動電流を供給することもできる。

[0027] さらに、駆動回路 2 は、制御信号 W S S T に基づき、リセット制御線 L A Z 1 ~ L A Z n にリセット信号 A Z を出力する。リセット制御線 L A Z 1 ~ L A Z n は、(m × n) 個の画素回路 1 0 にリセット信号 A Z を伝達することができる。これにより、駆動回路 2 は、(m × n) 個の画素回路 1 0 をほぼ同時に一括でリセットすることができる。尚、駆動回路 2 は、選択されたりセット制御線 L A Z i に接続された m 個の画素回路 1 0 に選択的にリセット信号 A Z を出力することもできる。

[0028] データ信号制御回路 5 は、タイミングコントローラ 1 から受信したデータ信号 D A を一時的にラッチし、そのデータ信号 D A をデータ信号線 S 1 ~ S m に出力する。これにより、データ信号制御回路 5 は、選択された走査制御線 L W S i に接続された m 個の画素回路 1 0 に、データ信号線 S 1 ~ S m を介して、データを伝達し書き込むことができる。

[0029] 図 2 は、画素回路 1 0 の構成例を示す回路図である。画素回路 1 0 は、トランジスタ M P 1 2 ~ M P 1 5 と、キャパシタ C 1 1、C 1 2 と、発光素子 E L とを備える。トランジスタ M P 1 2 ~ M P 1 5 は、いずれも、P 型 M O S F E T (Metal Oxide Semiconductor Field Effect Transistor) でよい。画素回路 1 0 は、走査制御線 L W S i、データ信号線 S j、発光制御線 L D S i およびリセット制御線 L A Z i に接続される。また、画素回路 1 0 は、高レベル電源電圧 V C C P の電源線および低レベル電源電圧 V S S の電源線に接続される。

[0030] トランジスタ M P 1 2 のゲートは走査制御線 L W S i に接続され、ソースはデータ信号線 S j に接続され、ドレインはトランジスタ M P 1 4 のゲート

およびキャパシタC 1 2に接続される。キャパシタC 1 1の一端は電源電圧V C C Pの電源線に接続され、他端はキャパシタC 1 2、トランジスタMP 1 3のドレインおよびトランジスタMP 1 4のソースに接続される。キャパシタC 1 2の一端はキャパシタC 1 1の他端、トランジスタMP 1 3のドレインおよびトランジスタMP 1 4のソースに接続され、他端はトランジスタMP 1 2のドレインおよびトランジスタMP 1 4のゲートに接続される。トランジスタMP 1 3のゲートは発光制御線L D S iに接続され、ソースは電源電圧V C C Pの電源線に接続され、ドレインはトランジスタMP 1 4のソース、キャパシタC 1 1の他端およびキャパシタC 1 2の一端に接続される。トランジスタMP 1 4のゲートはトランジスタMP 1 2のドレインおよびキャパシタC 1 2の他端に接続され、ソースはトランジスタMP 1 3のドレイン、キャパシタC 1 1の他端およびキャパシタC 1 2の一端に接続され、ドレインは発光素子E LのアノードおよびトランジスタMP 1 5のソースに接続される。トランジスタMP 1 5のゲートはリセット制御線L A Z iに接続され、ソースはトランジスタMP 1 4のドレインおよび発光素子E Lのアノードに接続され、ドレインは電源電圧V S Sの電源線に接続される。発光素子E Lのアノードは、トランジスタMP 4のドレインおよびトランジスタMP 5のソースに接続され、カソードは、所定のカソード電圧V c a t hの電源線に接続されている。

[0031] この構成により、画素回路1 0では、トランジスタMP 1 2がオン状態（導通状態）になることにより、データ信号線S jから供給された画素信号に基づいてキャパシタC 1 2の両端間の電圧が設定される。トランジスタMP 1 3は、発光制御線L D S iの信号に基づいてオン状態（導通状態）／オフ状態（非導通状態）にする。トランジスタMP 1 4は、トランジスタMP 1 3がオン状態である期間において、キャパシタC 1 2の両端間の電圧差に応じた電流を発光素子E Lに流す。発光素子E Lは、トランジスタMP 1 4から供給された電流に基づいて発光する。このようにして、画素回路1 0は、データ信号線S jの画素信号に応じた輝度で発光する。トランジスタMP 1

5は、リセット制御線 $L A Z_i$ の信号に基づいてオン状態／オフ状態にする。トランジスタ $M P 1 5$ がオン状態である期間において、発光素子 $E L$ のアノードの電圧は電源電圧 $V S S$ に設定されることにより初期化される。

[0032] トランジスタ $M P 1 2 \sim M P 1 5$ は、それぞれ、書込み制御トランジスタ、発光制御トランジスタ、駆動トランジスタ、および、リセットトランジスタの一例である。発光素子 $E L$ は、例えば、フォトダイオードでよい。

[0033] 図3は、駆動回路2の内部構成の一例を示すブロック図である。駆動回路2は、複数のフリップフロップ $F F$ と、複数のロジック回路 $L C$ と、複数のレベルシフタ $L S$ とを備える。フリップフロップ $F F$ 、ロジック回路 $L C$ およびレベルシフタ $L S$ は、それぞれ走査制御線 $L W S 1 \sim L W S n$ の各行に対応して設けられている。

[0034] フリップフロップ $F F$ は、制御信号 $W S S T$ およびクロック $C K$ を入力して、制御信号 $W S S T$ をクロック $C K$ のタイミングでフレームの走査順に各行のロジック回路 $L C$ へ出力する。

[0035] ロジック回路 $L C$ は、フリップフロップ $F F$ から制御信号 $W S S T$ を受信し、タイミングコントローラ1から制御信号 $S H T_E N$ を受信する。ロジック回路 $L C$ は、制御信号 $W S S T$ および制御信号 $S H T_E N$ に基づいて、書込み信号 $W S$ 、発光信号 $D S$ およびリセット信号 $A Z$ を生成する。

[0036] レベルシフタ $L S$ は、ロジック回路 $L C$ で生成された書込み信号 $W S$ 、発光信号 $D S$ およびリセット信号 $A Z$ の電圧レベルを調節する。レベルシフタ $L S$ は、書込み信号 $W S$ 、発光信号 $D S$ およびリセット信号 $A Z$ を、バッファを介してそれぞれ走査制御線 $L W S_i$ 、発光制御線 $L D S_i$ およびリセット制御線 $L A Z_i$ に送信する。

[0037] 図4は、第1実施形態に係る表示装置の動作例を示すタイミング図である。フレーム $F R 1 \sim F R 4$ は、画素回路10を駆動させるタイミングを示す同期信号 $X V D$ で区切られた周期を示す。1つまたは複数のフレーム($F R 1 \sim F R 4$)は、走査制御線 $L W S 1 \sim L W S n$ を順次選択してデータ信号線 $S 1 \sim S m$ から($m \times n$)個の画素回路10へデータ信号を書き込む書込

み期間と、 $(m \times n)$ 個の画素回路 10 を一括で発光させる発光期間と、 $(m \times n)$ 個の画素回路 10 をリセットするリセット期間とを含む動作周期である。表示装置 100 は、1 つまたは複数のフレームを繰り返すことにより、画像を表示させる。尚、フレーム数は特に限定されない。

[0038] 通常、各フレームは、書込み期間、発光期間およびリセット期間を含む動作周期である。しかし、本開示では、発光期間が複数のフレームに亘って実行される。

[0039] t_1 において、同期信号 XVD がパルス状にロウレベルに活性化される。これにより、フレーム F_1 が開始される。

[0040] 同期信号 XVD がハイレベルに立ち上がった後、 t_2 において、駆動回路 2 は、制御信号 WST をパルス状にハイレベルに活性化する。これにより、データ信号の書込み動作が開始される。

[0041] 書込み動作では、まず、駆動回路 2 は、最初の行の走査制御線 LWS_1 を選択的に駆動する。 t_3 において、駆動回路 2 は、リセット信号 AZ_1 をロウレベルに活性化し、各画素回路 10 の図 2 のトランジスタ MP_{15} をオン状態にする。これにより、走査制御線 LWS_1 に接続された m 個の画素回路 10 のトランジスタ MP_{14} のドレインおよび発光素子 EL のアノードを低レベル電源電圧 VSS の信号線に接続してリセット状態にする。

[0042] t_4 において、駆動回路 2 は、発光信号 DS_i をロウレベルに活性化し、各画素回路 10 のトランジスタ MP_{13} をオン状態にする。これにより、走査制御線 LWS_1 に接続された m 個の画素回路 10 のトランジスタ MP_{14} のソースを電源電圧 $VCCP$ に接続する。

[0043] t_5 において、駆動回路 2 は、書込み信号 WS をロウレベルに活性化し、選択された走査制御線 LWS_1 に接続された m 個の画素回路 10 のトランジスタ MP_{12} をオン状態にする。選択された行の m 個の画素回路 10 は、それぞれデータ信号線 $S_1 \sim S_m$ に接続されており、データ信号線 $S_1 \sim S_m$ からデータ信号を受信する。これにより、選択された行の各画素回路 10 のトランジスタ MP_{14} のゲートおよびキャパシタ C_{12} にデータ信号が書き

込まれる。選択された行の m 個の画素回路10にデータが書き込まれると、書込み信号WS、発光信号DSおよびリセット信号AZは、ハイレベルに不活性化される。

[0044] 次に、駆動回路2は、2行目の走査制御線LWS2を選択する。駆動回路2は、走査制御線LWS2に接続された m 個の画素回路10に対して $t_3 \sim t_5$ と同様の書込み動作を実行する。このとき、駆動回路2は、リセット制御線LAZ2および発光制御線LDS2をロウレベルに活性化する。これにより、走査制御線LWS2に接続された m 個の画素回路10のトランジスタMP14のゲートおよびキャパシタC12にデータ信号制御回路5からのデータ信号が書き込まれる。書込み動作後のトランジスタMP14のゲート電圧は、キャパシタC12によって保持される。

[0045] その後、駆動回路2は、3行目 $\sim n$ 行目の走査制御線LWS3 $\sim$ LWS n を順次選択し、 $t_3 \sim t_5$ と同様の書込み動作を実行する。これにより、($m \times n$)個の全ての画素回路10にデータ信号制御回路5からのデータ信号が書き込まれる。尚、走査制御線LWS1 $\sim$ LWS n の選択の順番(i の順番)は任意でよい。

[0046] 次に、 t_6 において、制御信号SHT_ENがハイレベルに活性化されると、駆動回路2は、全行の発光制御線LDS1 $\sim$ LDS n の発光信号DSをロウレベルに同時に活性化する。これにより、($m \times n$)個の全ての画素回路10のトランジスタMP13がオン状態となる。各画素回路10において、トランジスタMP14は、そのゲート電圧に応じた電流を発光素子ELに流す。これにより、発光素子ELはデータ信号に応じた強度で発光する。($m \times n$)個の全ての画素回路10がほぼ同時に一括で発光する。

[0047] ここで、発光信号DSの活性化は、画素回路10にデータ信号を書き込んだ後、フレームFR1の終了以前に開始されている。よって、画素回路10は、制御信号SHT_ENおよび発光信号DSが活性化されるフレームFR1の途中(t_6)からフレームFR1で書き込まれたデータ信号に応じて発光する。また、($m \times n$)個の画素回路10は、フレームFR1の途中から

、フレームFR 1に続くフレームFR 2に亘って発光を維持している。従って、 t_7 において、同期信号XVDがパルス状にロウレベルに立ち下がることによって、フレームFR 1が終了し、フレームFR 2が開始される。しかし、このとき、制御信号SHT__ENおよび発光信号DSはフレームFR 2に亘って活性化されており、 $(m \times n)$ 個の画素回路10は、発光を維持している。

[0048] 次に、 t_8 において、同期信号XVDがパルス状にロウレベルに立ち下がることによって、フレームFR 2が終了し、フレームFR 3が開始される。

[0049] 次に、 t_9 において、データ入力インタフェース3が同期信号XVDをパルス状に立ち上げる。

[0050] t_9 の直後かつ t_{10} の直前に、同期信号XVDの立下りに応じて、タイミングコントローラ1が制御信号SHT__ENをロウレベルに不活性化すると、駆動回路2は、全行の発光制御線LDS 1～LDS nの発光信号DSをハイレベルに同時に不活性化する。これにより、 $(m \times n)$ 個の全ての画素回路10の発光動作がほぼ同時に一括で停止する。画素回路10の発光動作は、次のデータ信号の書込み動作（またはリセット動作）の開始前に終了させる必要がある。

[0051] t_{10} において、タイミングコントローラ1は、制御信号WSS Tをパルス状にハイレベルに活性化する。これにより、次のデータ信号の書込み動作が開始される。駆動回路2は、1行目～n行目の走査制御線LWS 1～LWS nを順次選択し、 $t_3 \sim t_5$ と同様の書込み動作を実行する。これにより、 $(m \times n)$ 個の全ての画素回路10に次のデータ信号が書き込まれる。

[0052] 次に、 $t_6 \sim t_{10}$ と同様に、画素回路10は、制御信号SHT__ENおよび発光信号DSが活性化されるフレームFR 3の途中から発光動作を開始し、フレームFR 4に亘って発光を維持する。その後、画素回路10は、同期信号XVDの立下りに応じて次のデータ信号の書込み動作が開始されるまでに発光動作を終了する。

[0053] このように、本開示による表示装置100は、2フレーム周期でリセット

動作、書込み動作および発光動作を繰り返す。これにより、駆動回路2は2フレームのうち1フレームの一部の期間を書込み動作に用い、その他の1フレームを超える期間を発光期間に使用することができる。即ち、全動作期間に対する発光期間の比率(Duty)が50%より大きくなる。その結果、表示装置100は、輝度の低下を抑制することができる。また、Dutyを向上させることにより、発光素子ELの劣化を抑制することができる。

[0054] (第2実施形態)

図5は、第2実施形態に係る表示装置の動作例を示すタイミング図である。第2実施形態では、3フレーム周期でリセット動作、書込み動作および発光動作を繰り返し、3フレームのうち2フレーム以上の期間を発光期間に使用する。尚、第2実施形態による表示装置100の構成は、第1実施形態の構成と同様でよい。

[0055] 例えば、第1実施形態のフレームFR1およびFR2の実行後、(m×n)個の画素回路10は、フレームFR3にも亘って発光を維持している。t8において、同期信号XVDがパルス状にロウレベルに立ち下がることによって、フレームFR2が終了し、フレームFR3が開始される。しかし、このとき、全行の発光制御線LDS1～LDSnにおける制御信号SHTENおよび発光信号DSはフレームFR3に亘って活性化されており、(m×n)個の画素回路10は、発光を維持している。

[0056] t10において、同期信号XVDの立下りの直前に、制御信号SHTENがロウレベルに不活性化され、発光信号DSがハイレベルに不活性化される。これにより、(m×n)個の全ての画素回路10の発光動作がほぼ同時に一括で停止する。全行の発光制御線LDS1～LDSnにおける発光信号DSは、フレームFR4において、次のデータ信号の書込み動作（またはリセット動作）が開始される前に不活性化する必要がある。

[0057] t10の直後のt11において、データ入力インタフェース3は同期信号XVDをパルス状に立ち下げる。

[0058] その後、t2～t11の動作が繰り返される。

[0059] このように、第2実施形態による表示装置100は、3フレーム周期でリセット動作、書込み動作および発光動作を繰り返す。これにより、3フレームのうち2フレームを超える期間を発光期間に使用することができる。即ち、Dutyが66%より大きくなる。その結果、表示装置100は、輝度の低下を抑制することができる。

[0060] 尚、第2実施形態では、フレームFR4の直前のt10において、発光動作を停止している。しかし、第2実施形態も、第1実施形態と同様に、フレームFR4の書込み動作の開始(t2)の直前まで発光動作を維持してもよい。これにより、さらに、Dutyを向上させることができる。

[0061] また、表示装置100は、4フレーム以上の周期でリセット動作、書込み動作および発光動作を繰り返してもよい。この場合、Dutyをさらに向上させることができる。

[0062] (第3実施形態)

図6は、第3実施形態に係る表示装置の構成例を示すブロック図である。第3実施形態による表示装置100は、走査制御線LWS1~LWSnを複数のグループに分割して、グループごとに発光動作を実行する。これに伴い、制御信号SHT_ENおよび発光信号DSが走査制御線LWS1~LWSnの複数のグループに対応してグループごとに設けられる。例えば、走査制御線LWS1~LWSnを2グループに分割する場合、制御信号SHT_ENは、2つの制御信号SHT_EN_1およびSHT_EN_2に分けられる。発光信号DSは、2つの発光信号DS1およびDS2に分けられる。制御信号SHT_EN_1、SHT_EN_2を伝達する制御線も2本設けられる。発光信号DS1、DS2を伝達する発光制御線LDS1~LDSnも2グループ(LDS1~LDSk、LDSk+1~LDSn)に分けられる。第3実施形態のその他の構成は、第1実施形態の対応する構成と同様でよい。尚、走査制御線LWS1~LWSnのグループ数は、3以上であってもよい。それに伴い、発光制御線LDS1~LDSnも3以上のグループに分けられる。制御信号SHT_ENおよびその制御線、並びに、発光信号DS

およびその制御線) 発光制御線 $LDS1 \sim LDSn$) は、それぞれ走査制御線 $LWS1 \sim LWSn$ のグループ数に対応して設ければよい。

[0063] 図7は、第3実施形態に係る表示装置の動作例を示すタイミング図である。第3実施形態では、駆動回路2は、 n 行の走査制御線 $LWS1 \sim LWSn$ のうち一部の走査制御線 $LWS1 \sim LWSk$ を順次選択し、選択された走査制御線に接続された画素回路10にデータ信号を順次書き込む。その後、駆動回路2は、走査制御線 $LWS1 \sim LWSk$ について発光動作をほぼ同時に一括で実行させる($t6_1 \sim t10_1$)。つまり、駆動回路2は、走査制御線 $LWS1 \sim LWSk$ に対応する発光制御線 $LDS1 \sim LDSk$ を同時に駆動して走査制御線 $LWS1 \sim LWSk$ に接続される画素回路10を発光させる。

[0064] 走査制御線 $LWS1 \sim LWSk$ の書き込み動作後、駆動回路2は、 n 行の走査制御線 $LWS1 \sim LWSn$ のうちその他の走査制御線 $LWSk+1 \sim LWSn$ を順次選択し、選択された走査制御線に接続された画素回路10にデータ信号を順次書き込む。その後、駆動回路2は、走査制御線 $LWSk+1 \sim LWSn$ について発光動作をほぼ同時に一括で実行させる($t6_2 \sim t10_2$)。つまり、駆動回路2は、走査制御線 $LWSk+1 \sim LWSn$ に対応する発光制御線 $LDSk+1 \sim LDSn$ を同時に駆動して走査制御線 $LWSk+1 \sim LWSn$ に接続される画素回路10を発光させる。

[0065] このように、第3実施形態では、走査制御線 $LWS1 \sim LWSn$ を複数のグループに分割して、グループごとに発光動作を実行する。全ての行の走査制御線 $LWS1 \sim LWSn$ の発光動作の周期は、第1実施形態と同様に2フレーム周期であってもよく、第2実施形態のように3フレーム周期であってもよい。尚、図7の例では、全ての行の走査制御線 $LWS1 \sim LWSn$ の発光動作の周期は、2フレーム周期となっている。

[0066] 例えば、第1実施形態のフレーム $FR1$ において、 $t1$ および $t2$ に対応する動作の実行後、駆動回路2は、グループ $GP1$ の走査制御線 $LWS1 \sim LWSk$ を順次選択し、 $t3 \sim t5$ と同様の書き込み動作を実行する。これに

より、走査制御線 $LWS\ 1 \sim LWS\ k$ に接続された画素回路 10 にデータ信号制御回路 5 からのデータ信号が書き込まれる。

[0067] 次に、 $t\ 6_1$ において、制御信号 SHT_EN_1 がハイレベルに活性化されると、駆動回路 2 は、走査制御線 $LWS\ 1 \sim LWS\ k$ について発光信号 $DS\ 1$ をロウレベルに活性化する。発光信号 $DS\ 1$ は、グループ $GP\ 1$ に属する発光制御線 $LDS\ 1 \sim LDS\ k$ に伝達される信号である。これにより、走査制御線 $LWS\ 1 \sim LWS\ k$ に接続された画素回路 10 がほぼ同時に一括で発光する。

[0068] 走査制御線 $LWS\ 1 \sim LWS\ k$ について発光信号 $DS\ 1$ の活性化は、フレーム $FR\ 1$ の終了以前に開始され、フレーム $FR\ 2$ に亘って維持されている。よって、画素回路 10 は、フレーム $FR\ 1$ の途中から発光動作を開始し、フレーム $FR\ 2$ に亘って発光を維持する。

[0069] $t\ 10_1$ において、制御信号 SHT_EN_1 がロウレベルに不活性化され、発光信号 $DS\ 1$ がハイレベルに不活性化される。これにより、走査制御線 $LWS\ 1 \sim LWS\ k$ に接続された画素回路 10 の発光動作がほぼ同時に停止する。

[0070] 一方、走査制御線 $LWS\ 1 \sim LWS\ k$ の書込み動作の終了後、駆動回路 2 は、引き続き、グループ $GP\ 2$ の走査制御線 $LWS\ k+1 \sim LWS\ n$ を順次選択し、 $t\ 3 \sim t\ 5$ と同様の書込み動作を実行する。これにより、走査制御線 $LWS\ k+1 \sim LWS\ n$ に接続された画素回路 10 にデータ信号制御回路 5 からのデータ信号が書き込まれる。即ち、書込み動作は、グループ $GP\ 1$ 、 $GP\ 2$ に対応する走査制御線 $LWS\ 1 \sim LWS\ n$ に対して連続して実行される。

[0071] 次に、 $t\ 6_2$ において、制御信号 SHT_EN_2 がハイレベルに活性化されると、駆動回路 2 は、走査制御線 $LWS\ k+1 \sim LWS\ n$ について発光信号 $DS\ 2$ をロウレベルに活性化する。発光信号 $DS\ 2$ は、グループ $GP\ 2$ に属する発光制御線 $LDS\ k+1 \sim LDS\ n$ に伝達される信号である。これにより、走査制御線 $LWS\ k+1 \sim LWS\ n$ に接続された画素回路 10 が

ほぼ同時に一括で発光する。

[0072] 走査制御線 $LWS_{k+1} \sim LWS_n$ について発光信号 DS_2 の活性化は、フレーム FR_1 の終了後に開始され、フレーム FR_3 における次のデータ信号の書込み動作の開始前 (t_{10_2}) まで発光を維持している。

[0073] t_{10_2} において、制御信号 SHT_EN_2 がロウレベルに不活性化され、発光信号 DS_2 がハイレベルに不活性化される。これにより、走査制御線 $LWS_{k+1} \sim LWS_n$ に接続された画素回路 10 の発光動作がほぼ同時に停止する。

[0074] その後、 $t_2 \sim t_{10_2}$ が繰り返される。

[0075] このように、第3実施形態による表示装置 100 は、走査制御線 $LWS_1 \sim LWS_n$ を複数のグループに分割して、グループごとに発光動作を実行する。これにより、一方のグループ GP_2 の書込み動作中に、他のグループ GP_1 は発光動作を実行することができる。また、一方のグループ GP_2 の発光動作が他方のグループ GP_1 の発光動作に重複してもよい。よって、 $Duty$ が大きくなり、表示装置 100 は、輝度の低下を抑制することができる。

[0076] 尚、表示装置 100 は、2 フレーム周期でリセット動作、書込み動作および発光動作を繰り返している。しかし、表示装置 100 は、3 フレーム以上の周期でリセット動作、書込み動作および発光動作を繰り返してもよい。この場合、 $Duty$ をさらに向上させることができる。

[0077] (第4実施形態)

図8は、第4実施形態に係る表示装置の動作例を示すタイミング図である。第4実施形態では、駆動回路2は、1フレームで $(m \times n)$ 個の全ての画素回路 10 に書き込まれたデータの発光動作を複数に分割して実行している。即ち、駆動回路2は、 $(m \times n)$ 個の画素回路 10 への書込み動作後、制御信号 SHT_EN をハイレベルに活性化して、発光信号 DS を複数回活性化させる。尚、第4実施形態において、駆動回路2は、リセット動作、書込み動作および発光動作を2フレーム周期で実行しているが、3フレーム以上

の周期で実行してもよい。第4実施形態による表示装置100の構成は、第1実施形態の構成と同様でよい。

[0078] 例えば、駆動回路2は、走査制御線LWS3～LWSnを順次選択し、 $t_3 \sim t_5$ と同様の書込み動作を実行する。これにより、 $(m \times n)$ 個の全ての画素回路10にデータ信号制御回路5からのデータ信号が書き込まれる。尚、走査制御線LWS1～LWSnの選択の順番は任意でよい。

[0079] 次に、 $t_{6_1} \sim t_{10_1}$ において、タイミングコントローラ1が制御信号SHTENをハイレベルに活性化し、駆動回路2が発光信号DSをロウレベルに活性化する。これにより、 $(m \times n)$ 個の全ての画素回路10がほぼ同時に一括で発光する。最長発光期間($t_{6_8} \sim t_{10_8}$)を100%とすると、 $t_{6_1} \sim t_{10_1}$ の期間は、最長発光期間の20%である。

[0080] 次に、発光信号DSを不活性化した後、 $t_{6_2} \sim t_{10_2}$ において、駆動回路2が発光信号DSをロウレベルに活性化する。これにより、 $(m \times n)$ 個の全ての画素回路10がほぼ同時に一括で発光する。 $t_{6_2} \sim t_{10_2}$ の期間は、最長発光期間の40%である。

[0081] 次に、発光信号DSを不活性化した後、 $t_{6_3} \sim t_{10_3}$ において、駆動回路2が発光信号DSをロウレベルに活性化する。これにより、 $(m \times n)$ 個の全ての画素回路10がほぼ同時に一括で発光する。 $t_{6_3} \sim t_{10_3}$ の期間は、最長発光期間の50%である。

[0082] その後、 $t_{6_4} \sim t_{10_4}$ 、 $t_{6_4} \sim t_{10_4}$ 、 $\dots$ $t_{6_8} \sim t_{10_8}$ において、最長発光期間に対するそれぞれの発光期間の比率を60%、70%、80%、90%、100%と増大させていく。

[0083] t_{10} において、タイミングコントローラ1が制御信号SHTENをロウレベルに不活性化することによって、発光動作が終了する。その後、表示装置100は、 $t_2 \sim t_{10}$ のリセット動作、書込み動作および発光動作を繰り返す。

[0084] 発光動作では、図2のキャパシタC12からの電荷が抜けると、画素回路

10の発光強度（輝度）が変化する。キャパシタC12からの電荷は時間の経過とともに減少する。従って、図8の $t_{6_1} \sim t_{10_1}$ 、の期間における画素回路10の発光強度は、 $t_{6_8} \sim t_{10_8}$ の期間における画素回路10の発光強度よりも強い。画素回路10の発光強度は、 $t_{6_1} \sim t_{10_1}$ 、 $t_{6_2} \sim t_{10_2}$ 、 $\dots$ $t_{6_8} \sim t_{10_8}$ の順に低下していく。

[0085] 一方、第4実施形態は、画素回路10の発光時間は、 $t_{6_1} \sim t_{10_1}$ 、 $t_{6_2} \sim t_{10_2}$ 、 $\dots$ $t_{6_8} \sim t_{10_8}$ の順に増大させている。このように画素回路10の発光強度の低下を発光時間で補うことによって、画像の明るさを安定させることができる。また、フリッカを抑制し、動画の画質を向上させることができる。

[0086] 第4実施形態のその他の動作は、第1実施形態と同じでよい。従って、第4実施形態は、第1実施形態と同様の効果を得ることができる。

[0087] （第5実施形態）

図9は、第5実施形態に係る表示装置の動作例を示す概念図である。第5実施形態による表示装置100は、2つの目のうち右目と左目とのそれぞれに対応する複数の表示部100Rおよび100Lを備える。各表示部100Rおよび100Lは、互い違いに書込み動作と発光動作とを実行する。表示部100Rが書込み動作を実行しているフレームFR1、FR3において、表示部100Lは発光動作を実行している。表示部100Lが書込み動作を実行しているフレームFR2、FR4において、表示部100Rは発光動作を実行している。

[0088] 表示部100Rおよび100Lの構成は、それぞれ第1～第4実施形態のいずれの構成であってもよい。表示部100Rおよび100Lは、それぞれ第1～第4実施形態のいずれを実行してもよい。尚、3フレーム周期で動作する場合には、表示部100Rおよび100Lは、1フレーム期間だけ動作をずらしてもよく、1.5フレーム期間だけ動作をずらしてもよい。

[0089] なお、本技術は、以下のような構成をとることができる。

[0090] (1) 発光素子と前記発光素子に駆動電流を供給する駆動回路とを含む複数の画素回路と、

第1方向に配列された前記複数の画素回路に接続され、データに応じた電荷を前記駆動回路に供給する複数のデータ信号線と、

前記第1方向と交差する第2方向に配列された前記複数の画素回路に接続され、前記電荷を前記駆動回路に蓄積させるときに走査信号を伝達する複数の走査制御線と、

前記複数の画素回路に接続され、前記電荷を前記発光素子に流すときに発光信号を伝達する複数の発光制御線と、

前記複数のデータ信号線を介して前記複数の画素回路へデータを送信するデータ信号制御回路と、

前記走査制御線および前記発光制御線を駆動する駆動回路と、を備え、

前記駆動回路は、前記複数の画素回路を駆動させるタイミングを示すタイミング信号で区切られた複数のフレームのうち第1フレームにおいて、前記複数の走査制御線に前記走査信号を送信した後、少なくとも前記第1フレームから該第1フレームに続く第2フレームに亘って前記発光信号を前記発光制御線に伝達する、表示装置。

[0091] (2)

前記駆動回路は、前記複数のフレームのうち前記第2フレームに続く第3フレームにおいて、前記複数の走査制御線に前記走査信号を送信開始する前に、前記発光信号を不活性化する、(1)に記載の表示装置。

[0092] (3)

前記駆動回路は、前記複数の走査制御線に前記走査信号を伝達して前記複数のデータ信号線を介してデータに応じた電荷を前記駆動回路に供給する書き込み動作と、前記発光制御線に前記発光信号を伝達して前記画素回路を発光させる発光動作とを複数の前記フレームごとに実行する、(1)または(2)に記載の表示装置。

[0093] (4)

前記書込み動作および前記発光動作の全動作期間に対する前記発光動作の期間の比率は、50%よりも大きい、(3)に記載の表示装置。

[0094] (5)

前記駆動回路は、前記複数の走査制御線に前記走査信号を伝達して前記複数のデータ信号線を介してデータに応じた電荷を前記駆動回路に供給する書込み動作と、前記発光制御線に前記発光信号を伝達して前記画素回路を発光させる発光動作とを3つの前記フレームごとに実行する、(3)に記載の表示装置。

[0095] (6)

前記駆動回路は、前記複数のフレームのうち前記第3フレームに続く第4フレームにおいて、前記複数の走査制御線に前記走査信号を送信開始する前に、前記発光信号を不活性化する、(5)に記載の表示装置。

[0096] (7)

前記発光動作の期間は、3つの前記フレームのうち2フレームを超える期間である、(5)または(6)に記載の表示装置。

[0097] (8)

前記複数の発光制御線は、複数のグループに分割されており、
前記駆動回路は、前記グループごとに前記発光信号を前記発光制御線に伝達する、(1)から(7)のいずれか一項に記載の表示装置。

[0098] (9)

前記駆動回路は、前記複数のグループに対応する前記複数の走査制御線に連続して前記走査信号を送信する、(8)に記載の表示装置。

[0099] (10)

前記駆動回路は、前記第1フレームにおいて前記複数の走査制御線に前記走査信号を送信した後、前記発光信号を複数回活性化させる、(1)から(9)のいずれか一項に記載の表示装置。

[0100] (11)

前記駆動回路は、前記第1フレームにおいて前記複数の走査制御線に前記

走査信号を送信した後、前記発光信号の活性化の期間を増大させつつ前記発光信号を複数回活性化させる、（１０）に記載の表示装置。

[0101] （１２）

前記複数のデータ信号線、前記複数の走査制御線、前記発光制御線、前記データ信号制御回路、および、前記駆動回路を備え、一方の目に対応する第１表示部と、

前記複数のデータ信号線、前記複数の走査制御線、前記発光制御線、前記データ信号制御回路、および、前記駆動回路を備え、他方の目に対応する第２表示部とを備え、

前記第１表示部および前記第２表示部は、前記複数の走査制御線に前記走査信号を送信する動作と、前記発光信号を前記発光制御線に伝達する動作とを互い違いに実行する、（１）から（１１）のいずれか一項に記載の表示装置。

[0102] 尚、本開示は、上述した実施形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

符号の説明

[0103] １００ 表示装置

１ タイミングコントローラ

２ 駆動回路

３ データ入力インタフェース

５ データ信号線駆動回路

１０ 画素回路

LWS １～LWS n 走査制御線

LDS １～LDS n 発光制御線

LAZ １～LAZ n リセット制御線

S １～S m データ信号線

請求の範囲

- [請求項1] 発光素子と前記発光素子に駆動電流を供給する駆動回路とを含む複数の画素回路と、
- 第1方向に配列された前記複数の画素回路に接続され、データに応じた電荷を前記駆動回路に供給する複数のデータ信号線と、
- 前記第1方向と交差する第2方向に配列された前記複数の画素回路に接続され、前記電荷を前記駆動回路に蓄積させるときに走査信号を伝達する複数の走査制御線と、
- 前記複数の画素回路に接続され、前記電荷を前記発光素子に流すときに発光信号を伝達する複数の発光制御線と、
- 前記複数のデータ信号線を介して前記複数の画素回路へデータを送信するデータ信号制御回路と、
- 前記走査制御線および前記発光制御線を駆動する駆動回路と、を備え、
- 前記駆動回路は、前記複数の画素回路を駆動させるタイミングを示すタイミング信号で区切られた複数のフレームのうち第1フレームにおいて、前記複数の走査制御線に前記走査信号を送信した後、少なくとも前記第1フレームから該第1フレームに続く第2フレームに亘って前記発光信号を前記発光制御線に伝達する、表示装置。
- [請求項2] 前記駆動回路は、前記複数のフレームのうち前記第2フレームに続く第3フレームにおいて、前記複数の走査制御線に前記走査信号を送信開始する前に、前記発光信号を不活性化する、請求項1に記載の表示装置。
- [請求項3] 前記駆動回路は、前記複数の走査制御線に前記走査信号を伝達して前記複数のデータ制御線を介してデータに応じた電荷を前記駆動回路に供給する書込み動作と、前記発光制御線に前記発光信号を伝達して前記画素回路を発光させる発光動作とを複数の前記フレームごとに実行する、請求項1に記載の表示装置。

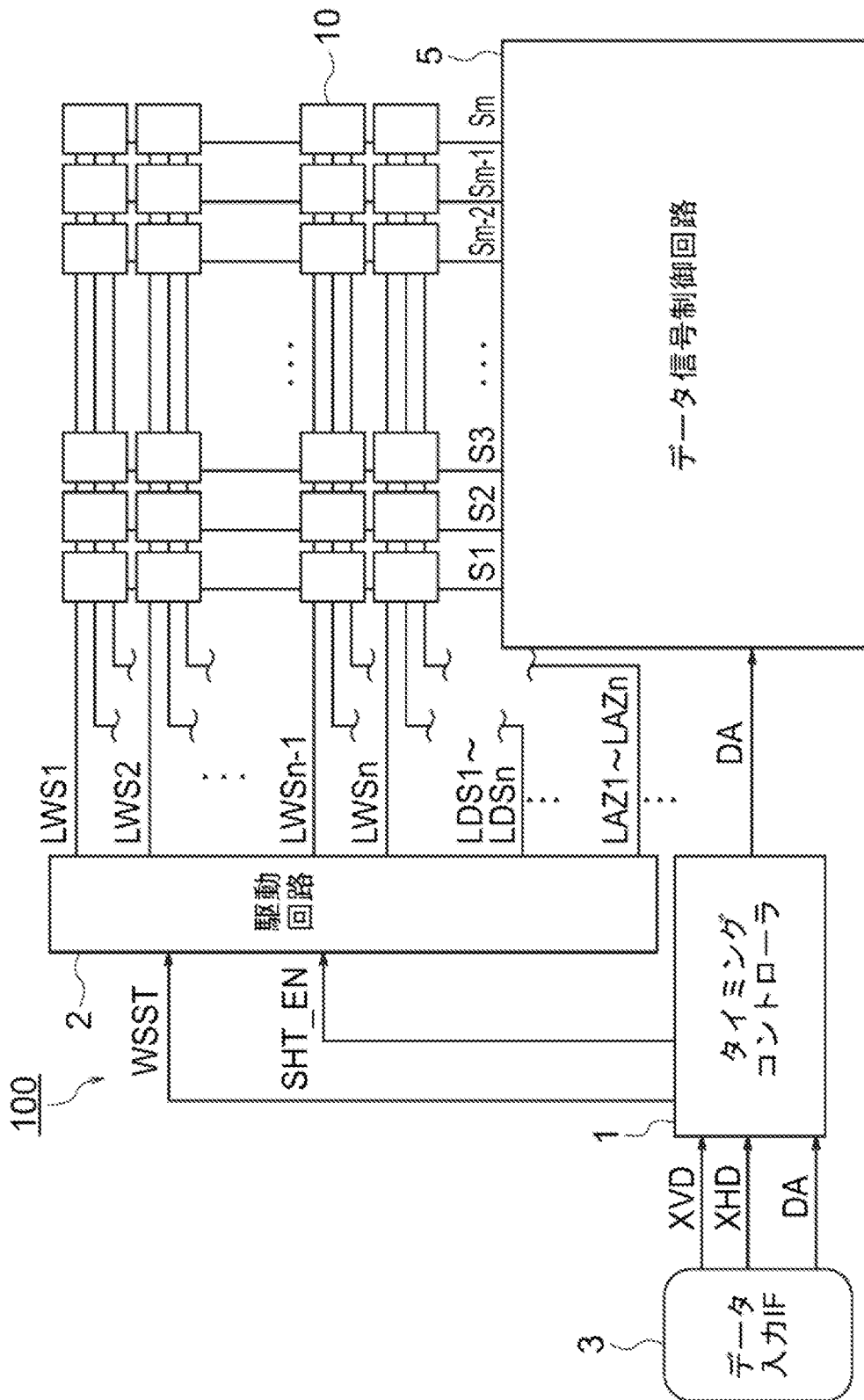
- [請求項4] 前記書込み動作および前記発光動作の全動作期間に対する前記発光動作の期間の比率は、50%よりも大きい、請求項3に記載の表示装置。
- [請求項5] 前記駆動回路は、前記複数の走査制御線に前記走査信号を伝達して前記複数のデータ信号線を介してデータに応じた電荷を前記駆動回路に供給する書込み動作と、前記発光制御線に前記発光信号を伝達して前記画素回路を発光させる発光動作とを3つの前記フレームごとに実行する、請求項3に記載の表示装置。
- [請求項6] 前記駆動回路は、前記複数のフレームのうち前記第3フレームに続く第4フレームにおいて、前記複数の走査制御線に前記走査信号を送信開始する前に、前記発光信号を不活性化する、請求項5に記載の表示装置。
- [請求項7] 前記発光動作の期間は、3つの前記フレームのうち2フレームを超える期間である、請求項5に記載の表示装置。
- [請求項8] 前記複数の発光制御線は、複数のグループに分割されており、
前記駆動回路は、前記グループごとに前記発光信号を前記発光制御線に伝達する、請求項1に記載の表示装置。
- [請求項9] 前記駆動回路は、前記複数のグループに対応する前記複数の走査制御線に連続して前記走査信号を送信する、請求項8に記載の表示装置。
- [請求項10] 前記駆動回路は、前記第1フレームにおいて前記複数の走査制御線に前記走査信号を送信した後、前記発光信号を複数回活性化させる、請求項1に記載の表示装置。
- [請求項11] 前記駆動回路は、前記第1フレームにおいて前記複数の走査制御線に前記走査信号を送信した後、前記発光信号の活性化の期間を増大させつつ前記発光信号を複数回活性化させる、請求項10に記載の表示装置。
- [請求項12] 前記複数のデータ信号線、前記複数の走査制御線、前記発光制御線

、前記データ信号制御回路、および、前記駆動回路を備え、一方の目に対応する第1表示部と、

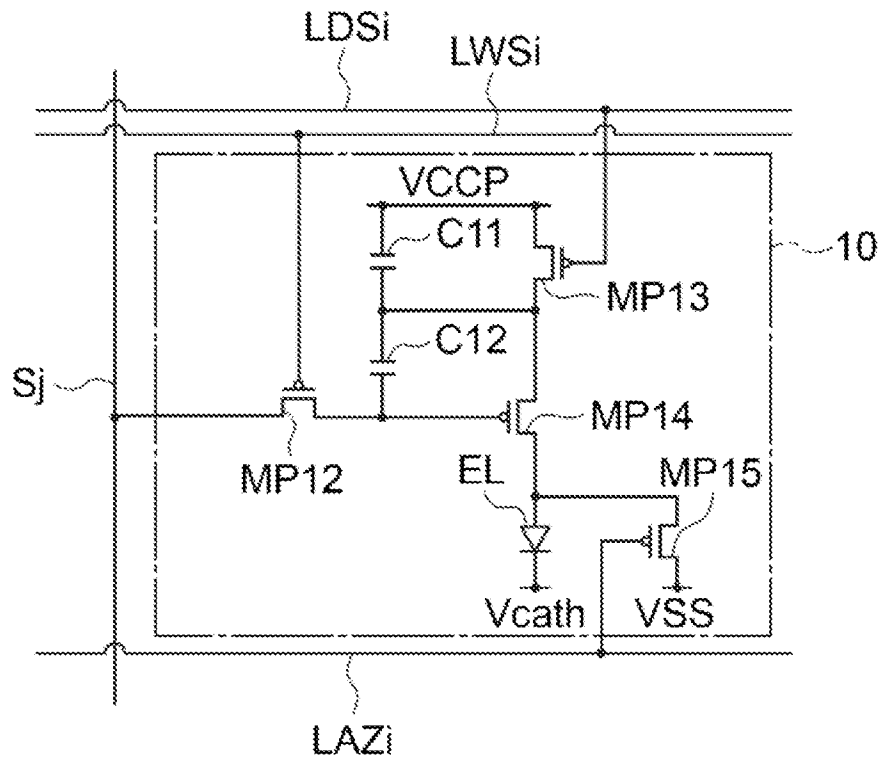
前記複数のデータ信号線、前記複数の走査制御線、前記発光制御線、前記データ信号制御回路、および、前記駆動回路を備え、他方の目に対応する第2表示部とを備え、

前記第1表示部および前記第2表示部は、前記複数の走査制御線に前記走査信号を送信する動作と、前記発光信号を前記発光制御線に伝達する動作とを互い違いに実行する、請求項1に記載の表示装置。

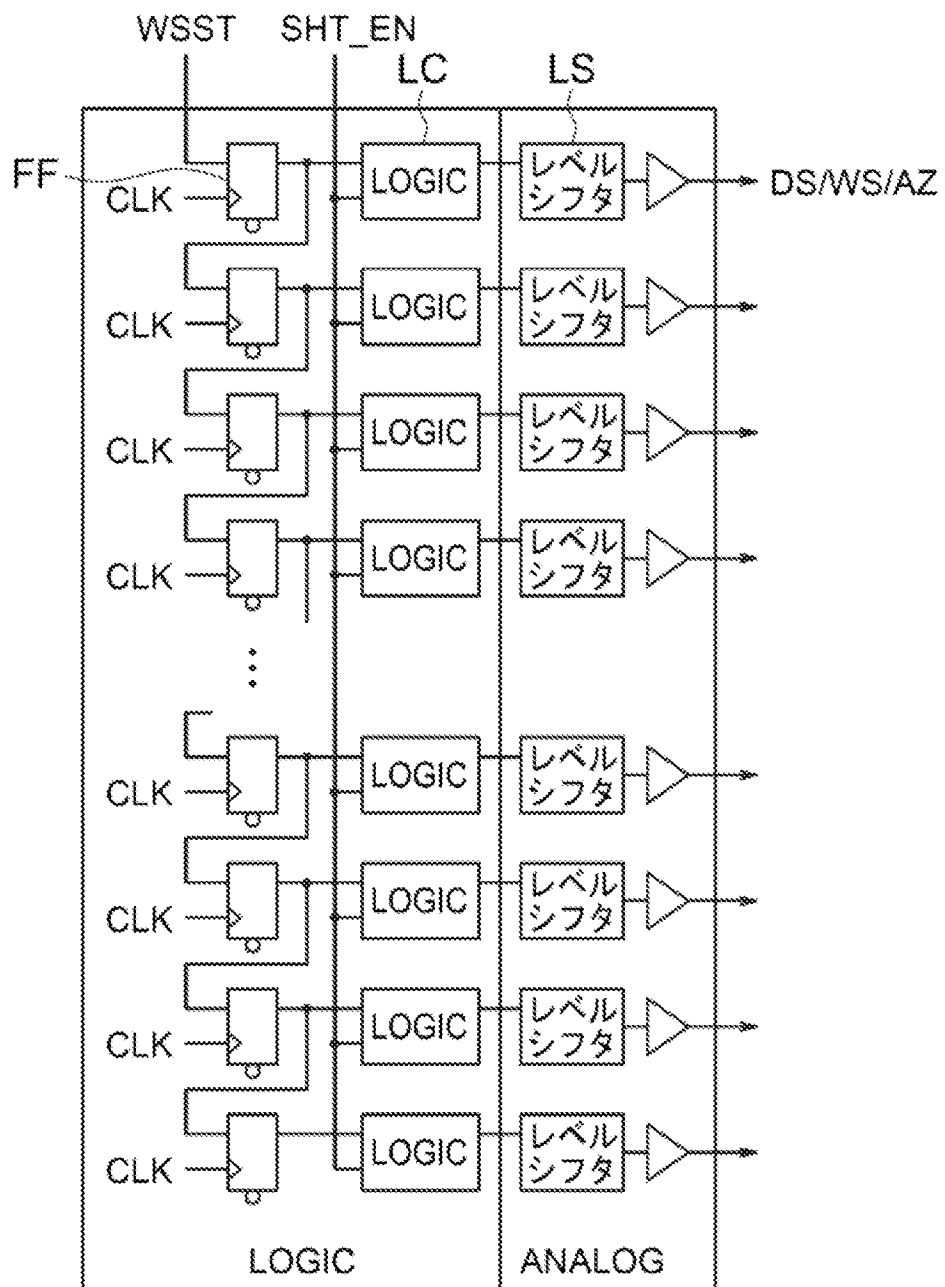
[図1]



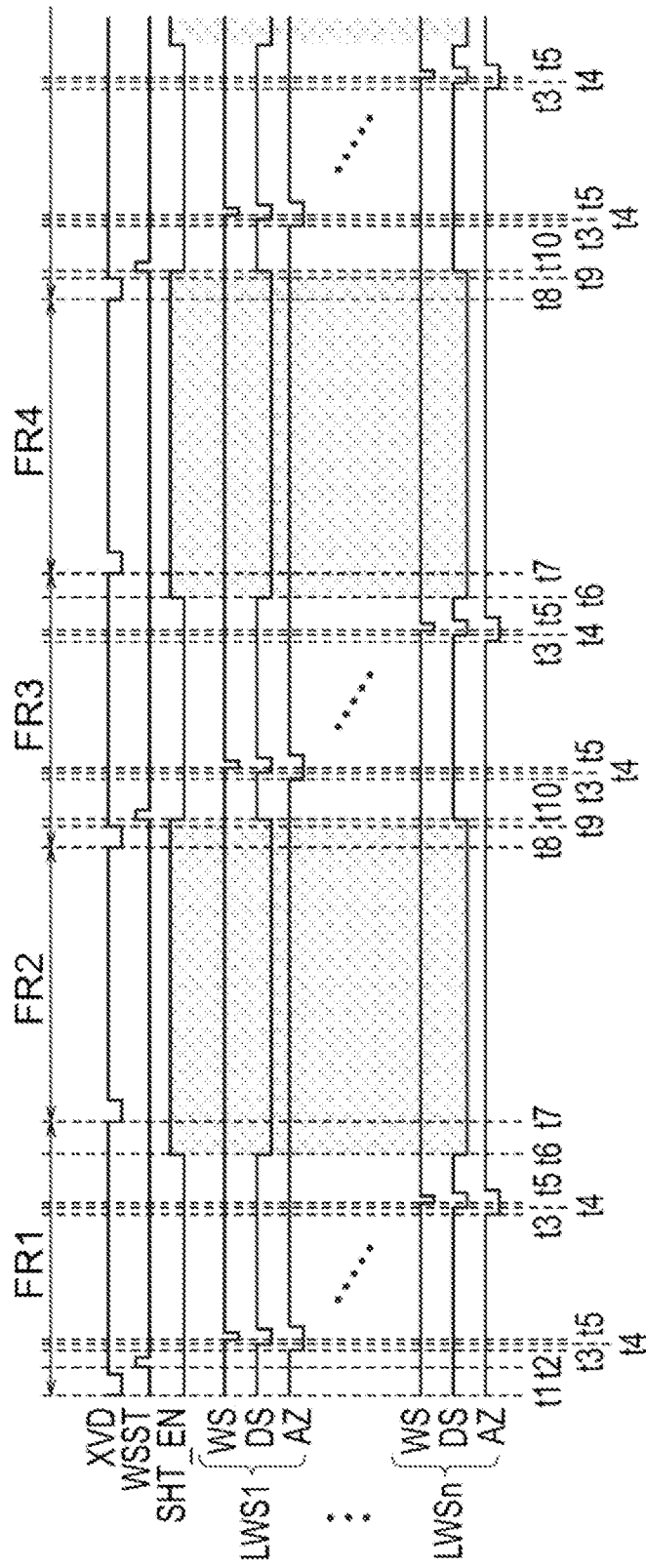
[図2]



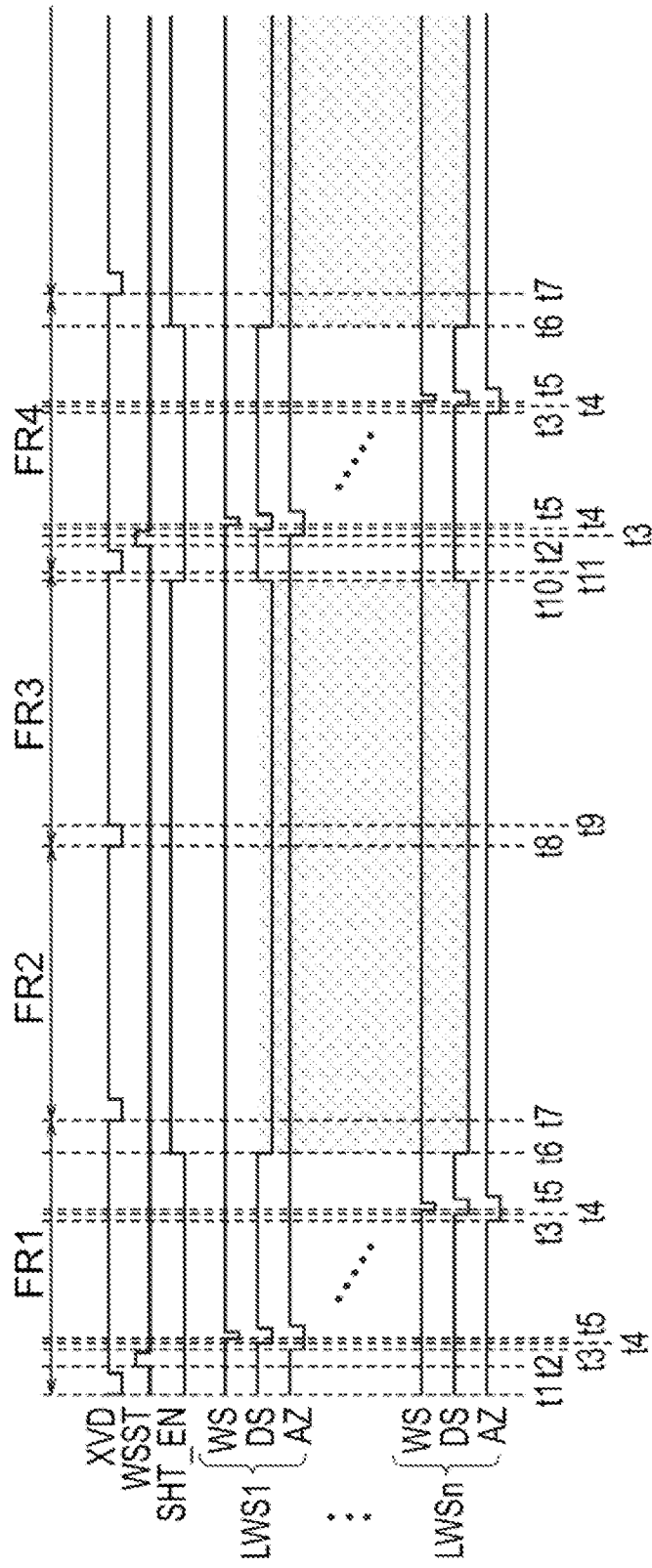
[図3]



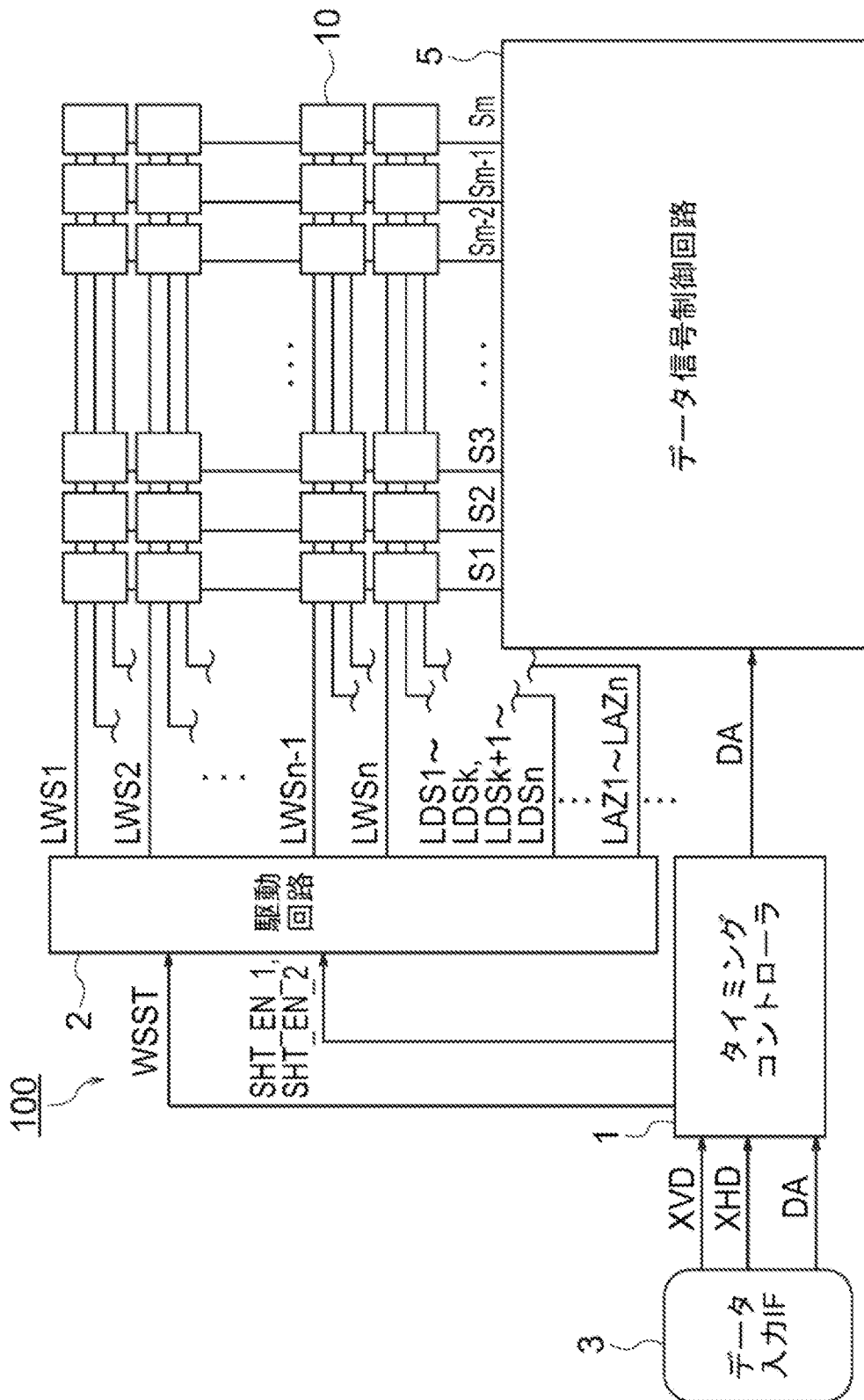
[図4]



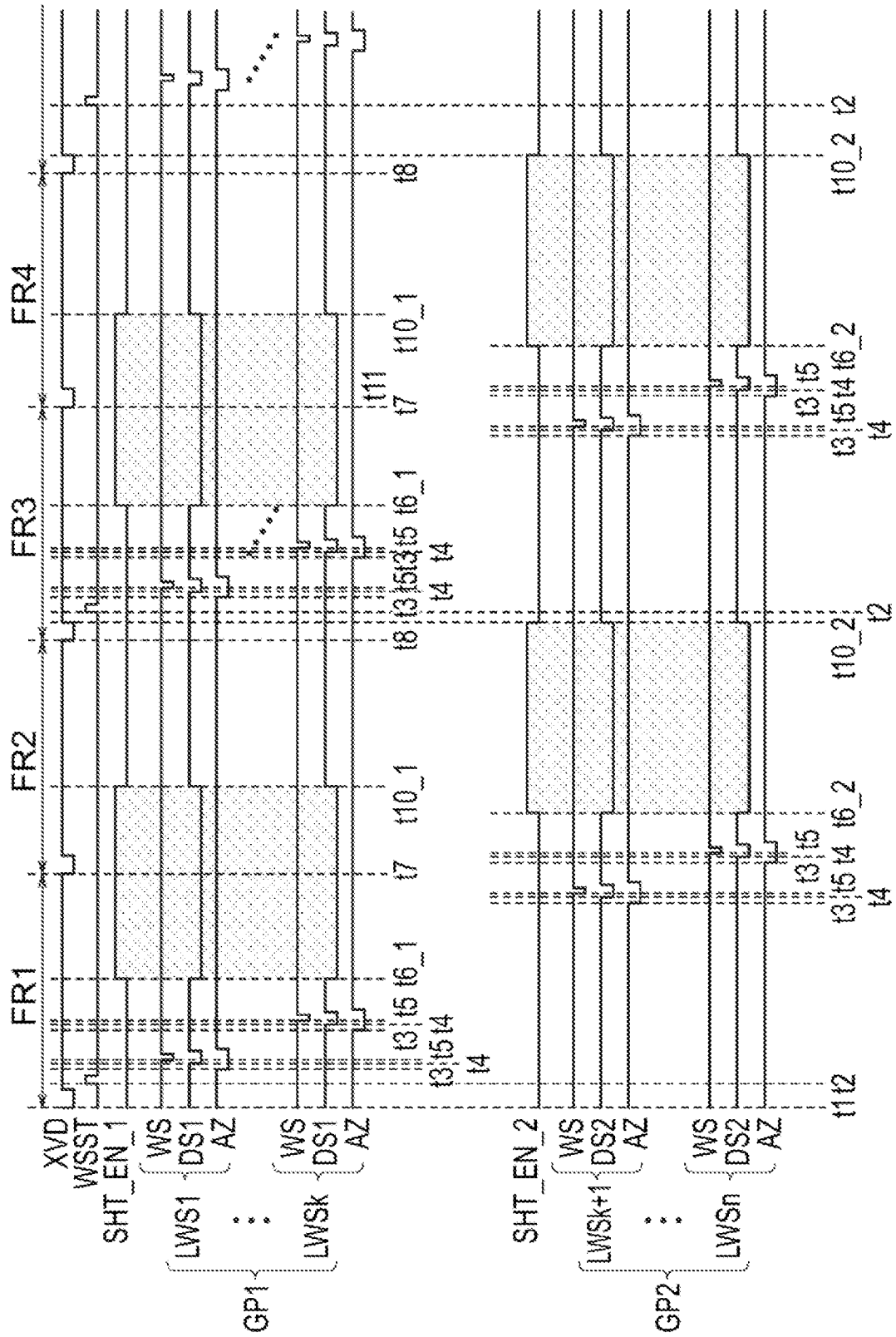
[図5]



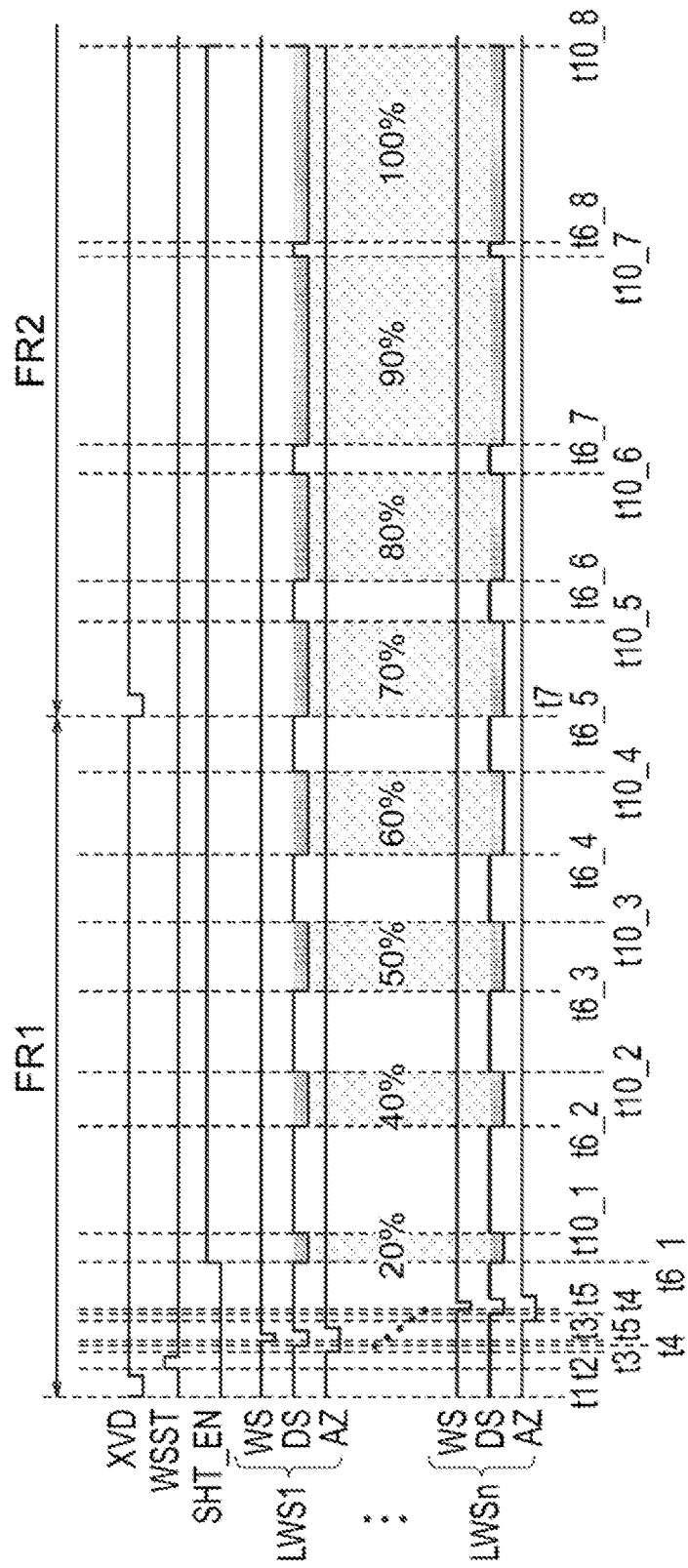
[図6]



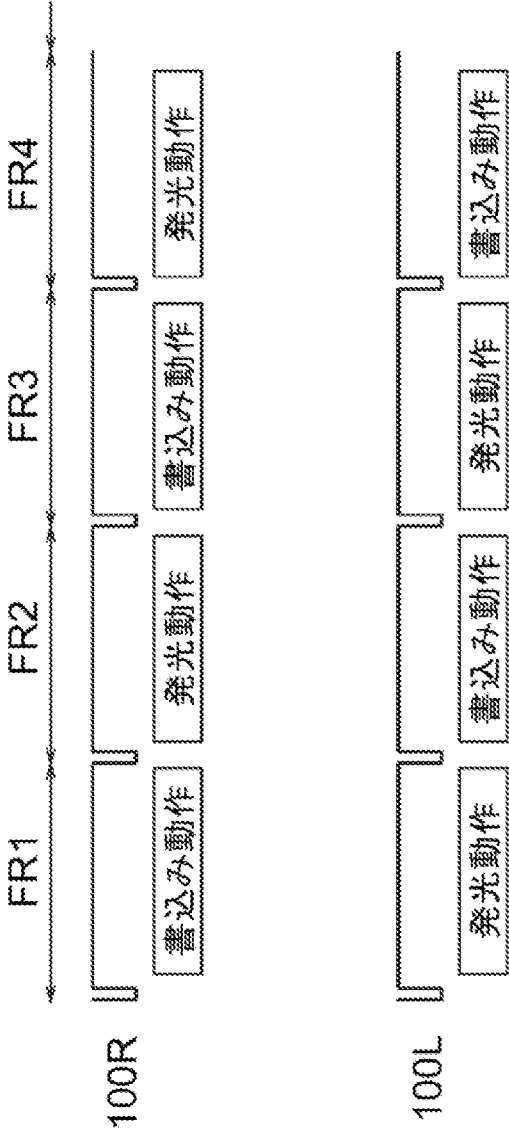
[図7]



[図8]



[図9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/019983

A. CLASSIFICATION OF SUBJECT MATTER**G09G 3/3233**(2016.01)i; **G09G 3/20**(2006.01)i

FI: G09G3/3233; G09G3/20 622A; G09G3/20 622D; G09G3/20 622G; G09G3/20 623A; G09G3/20 623D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05B33/00-33/28; H05B44/00; H05B45/60; H10K50/00-99/00; G09G3/00-5/42

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2015-187641 A (SAMSUNG DISPLAY CO., LTD.) 29 October 2015 (2015-10-29) paragraphs [0027]-[0057], fig. 1-3	1-4, 10-11
X	WO 2013/073466 A1 (SHARP KABUSHIKI KAISHA) 23 May 2013 (2013-05-23) paragraphs [0029]-[0121], fig. 1-23	1-4, 8-9
Y	paragraphs [0065]-[0066], fig. 9	12
Y	JP 2017-135697 A (LG DISPLAY CO., LTD.) 03 August 2017 (2017-08-03) paragraphs [0069]-[0074], fig. 10-11	12
A	JP 2005-234486 A (PIONEER TOHOKU CORP.) 02 September 2005 (2005-09-02) entire text, all drawings	1-12
A	JP 2006-330140 A (CASIO COMPUTER CO., LTD.) 07 December 2006 (2006-12-07) entire text, all drawings	1-12
A	JP 2022-088434 A (SHARP KABUSHIKI KAISHA) 14 June 2022 (2022-06-14) entire text, all drawings	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

04 July 2024

Date of mailing of the international search report

16 July 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/019983

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2017-0080218 A (LG DISPLAY CO., LTD.) 10 July 2017 (2017-07-10) entire text, all drawings	1-12

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2024/019983

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2015-187641	A	29 October 2015	US 2015-0279269 A1 paragraphs [0042]-[0066], fig. 1-3 KR 10-2015-0112761 A	
WO	2013/073466	A1	23 May 2013	US 2014-0307012 A1 paragraphs [0053]-[0177], fig. 1-23	
JP	2017-135697	A	03 August 2017	US 2017-0195658 A1 paragraphs [0086]-[0091], fig. 10-11 EP 003188167 A1 CN 106959511 A KR 10-2017-0080348 A	
JP	2005-234486	A	02 September 2005	(Family: none)	
JP	2006-330140	A	07 December 2006	(Family: none)	
JP	2022-088434	A	14 June 2022	JP 2022-035402 A entire text, all drawings US 2022-0059033 A1 CN 114078434 A	
KR	10-2017-0080218	A	10 July 2017	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC））
G09G 3/3233(2016.01)i; G09G 3/20(2006.01)i
FI: G09G3/3233; G09G3/20 622A; G09G3/20 622D; G09G3/20 622G; G09G3/20 623A; G09G3/20 623D

B. 調査を行った分野
調査を行った最小限資料（国際特許分類（IPC））
H05B33/00-33/28; H05B44/00; H05B45/60; H10K50/00-99/00; G09G3/00-5/42
最小限資料以外の資料で調査を行った分野に含まれるもの
日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2024年
日本国実用新案登録公報 1996-2024年
日本国登録実用新案公報 1994-2024年
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2015-187641 A（三星ディスプレイ株式會社）29.10.2015（2015-10-29） 段落0027-0057、図1-3	1-4, 10-11
X	WO 2013/073466 A1（シャープ株式会社）23.05.2013（2013-05-23） 段落0029-0121、図1-23	1-4, 8-9
Y	段落0065-0066、図9	12
Y	JP 2017-135697 A（エルジー ディスプレイ カンパニー リミテッド）03.08.2017 （2017-08-03） 段落0069-0074、図10-11	12
A	JP 2005-234486 A（東北パイオニア株式会社）02.09.2005（2005-09-02） 全文, 全図	1-12
A	JP 2006-330140 A（カシオ計算機株式会社）07.12.2006（2006-12-07） 全文, 全図	1-12
A	JP 2022-088434 A（シャープ株式会社）14.06.2022（2022-06-14） 全文, 全図	1-12

☒ C欄の続きにも文献が列挙されている。☒ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技术水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“I” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日
04.07.2024

国際調査報告の発送日
16.07.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目4番3号

権限のある職員（特許庁審査官）

村上 遼太 2I 1946

電話番号 03-3581-1101 内線 3273

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	KR 10-2017-0080218 A (LG DISPLAY CO., LTD.) 10.07.2017 (2017 - 07 - 10) 全文, 全図	1-12

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2024/019983

引用文献	公表日	パテントファミリー文献	公表日
JP 2015-187641 A	29.10.2015	US 2015-0279269 A1 段落 0 0 4 2 - 0 0 6 6、 図 1 - 3 KR 10-2015-0112761 A	
WO 2013/073466 A1	23.05.2013	US 2014-0307012 A1 段落 0 0 5 3 - 0 1 7 7、 図 1 - 2 3	
JP 2017-135697 A	03.08.2017	US 2017-0195658 A1 段落 0 0 8 6 - 0 0 9 1、 図 1 0 - 1 1 EP 003188167 A1 CN 106959511 A KR 10-2017-0080348 A	
JP 2005-234486 A	02.09.2005	(ファミリーなし)	
JP 2006-330140 A	07.12.2006	(ファミリーなし)	
JP 2022-088434 A	14.06.2022	JP 2022-035402 A 全文, 全図 US 2022-0059033 A1 CN 114078434 A	
KR 10-2017-0080218 A	10.07.2017	(ファミリーなし)	