(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G11B 20/00

(45) 공고일자 2005년03월10일
(11) 등록번호 10-0475586
(24) 등록일자 2005년02월28일

(21) 출원번호	10-2000-7008300	(65) 공개번호	10-2001-0034476
(22) 출원일자	2000년07월29일	(43) 공개일자	2001년04월25일
번역문 제출일자	2000년07월29일		
(86) 국제출원번호	PCT/US1999/002389	(87) 국제공개번호	WO 1999/41744
국제출원일자	1999년02월03일	국제공개일자	1999년08월19일

(81) 지정국

국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바르바도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 리히텐슈타인, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬랜드, 일본, 케냐, 키르키즈스탐, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크맨, 터어키, 트리니아드토바고, 우크라이나, 우간다, 미국, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 아랍에미리트, 안티구와바부다, 코스타리카, 도미니카, 알제리, 모로코, 탄자니아, 남아프리카, 벨리제, 모잠비크,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 시에라리온, 가나, 감비아, 짐바브웨,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탐, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크맨,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우,

(30) 우선권주장 09/022,926 1998년02월12일 미국(US)

(73) 특허권자
소니 일렉트로닉스 인코포레이티드
미국, 뉴저지 07656, 파크 리지, 원 소니 드라이브

(72) 발명자
스메이어스,스코트,디.
미국,캘리포니아주95120,산호세,맨쿠소스트리트6170

페어맨,브루스
미국,캘리포니아주94062,우드사이드,마르티네즈로드275

(74) 대리인
문경진
조현석

심사관 : 정성태

(54) 판독 및 기록 동작 도중에 다이내믹하게 데이터를 처리하기 위한 내장된 데이터 필터를 갖는 매체 저장 장치 및 그 데이터 기록 및 판독 방법

명세서

기술분야

본 발명은 데이터를 매체 저장 장치에 기록하고 및 매체 저장 장치로부터 판독하는 분야에 관한 것이다. 좀더 상세하게는, 본 발명은 매체 저장 장치로부터의 데이터 판독 혹은 매체 저장 장치로의 데이터 기록을 조정하는 분야에 관한 것이다.

배경기술

IEEE 1394-1995 표준의 "고성능 직렬 버스에 대한 1394 표준(1394 Standard For A High Performance Serial Bus)"은 비동기성 포맷 데이터 전송과 등시성 포맷 데이터 전송을 모두 지원하는 저가의 고속 직렬 버스 구조를 구현하기 위한 국제 표준이다. 게다가, IEEE 1394-1995 버스는 주기 타이머로 지칭되는 범용 클록을 갖는다. 이 클록은 모든 노드 상에서 동기화된다. 등시성(isochronous) 데이터 전송은, 중요한 순간들(significant instances) 사이의 시간간격이 송신 애플리케이션과 수신 애플리케이션 모두에서 동일한 지속기간을 갖도록 하기 위해 범용 클록에 기초하여 발생하는 실시간 전송이다. 등시적으로 전송된 데이터의 각 패킷은 자체 시간기간 동안에 전송된다. 등시적인 데이터 전송에 대한 이상적인 애플리케이션의 예로는 비디오 레코더로부터 텔레비전 세트로의 데이터 전송이 있다. 비디오 레코더는 이미지와 사운드를 기록하고 상기 데이터를 이산적인 청크(chunk)나 패킷으로 저장한다. 그런 후에, 비디오 레코더는, 시간기간 동안에 텔레비전 세트를 통해 디스플레이하기 위해서, 제한된 시간기간에 걸쳐 기록된 상기 이미지와 사운드를 나타내는 각 패킷을 전송한다. IEEE 1394-1995 표준 버스 구조는 애플리케이션 사이의 등시적인 데이터 전송을 위해 여러 개의 독립 채널을 제공한다. 적절한 애플리케이션을 통한 수신을 보장하기 위해서 6비트의 채널 번호가 데이터와 함께 방송된다. 이는 여러 애플리케이션으로 하여금 버스 구조를 통해서 등시성 데이터를 동시에 전송하도록 한다. 비동기적인 전송은 중재(arbitration)가 이뤄지자마자 발생하는 전형적으로 믿을만한 데이터 전송 동작이고, 소스로부터 목적지(destination)로 최대량의 데이터를 전송한다.

IEEE 1394-1995 표준은 디지털 장치들을 상호 연결함으로써 범용 I/O 연결을 제공하기 위한 고속 직렬 버스를 제공한다. IEEE 1394-1995 표준은 애플리케이션에 대한 디지털 인터페이스를 정의함으로써, 디지털 데이터가 버스를 통해 송신되기 전에 애플리케이션이 상기 디지털 데이터를 아날로그 데이터로 변환할 필요성을 제거한다. 따라서, 수신 애플리케이션은 버스로부터 아날로그 데이터가 아닌 디지털 데이터를 수신할 것이고, 그러므로, 아날로그 데이터를 디지털 데이터로 변환하는 것이 필요하지 않을 것이다. IEEE 1394-1995 표준에서 요구하는 케이블은 다른 연결 구조에서 이러한 장치들을 연결하기 위해서 사용되는 다른 더 큰 케이블에 비해서 크기에 있어 매우 얇다. 장치들은 버스가 동작상태인 동안에 IEEE 1394-1995 버스에 추가될 수도 있고 이로부터 제거될 수도 있다. 만약 장치가 그렇게 추가되거나 제거된다면, 버스는 현존하는 노드 사이에서 데이터를 송신하기 위해 자동적으로 스스로를 재구성할 것이다. 각 노드는 버스 구조상에 고유 주소를 갖는 논리 엔터티(entity)로 간주된다. 각각의 노드는 표준 주소 공간에 식별 ROM, 표준 제어 레지스터 세트 및 이외에 자체 주소 공간을 제공한다.

IEEE 394-1995 표준은 도 1에 도시된 바와 같은 프로토콜을 정의한다. 이 프로토콜은, 트랜젝션 레이어(transaction layer)(12), 링크 레이어(link layer)(14), 물리 레이어(physical layer)(16)에 연결된 직렬 버스 관리 블록(10)을 포함한다. 물리 레이어(16)는 임의의 장치와 IEEE 1394-1995 케이블 사이에 전기적 및 기계적 연결을 제공한다. 또한, 물리 레이어(16)는, IEEE 1394-1995 버스에 연결된 모든 장치가 실제 데이터 송신 및 수신뿐만 아니라 버스에 대한 중재된 액세스를 가짐을 보장하기 위한 중재(arbitration)를 제공한다. 링크 레이어(14)는 비동기성 및 등시성 데이터 패킷 전송 모두를 위한 데이터 패킷 전송 서비스를 제공한다. 이 링크 레이어는 승인 프로토콜을 이용한 비동기 데이터 전송 및 최적시(just-in-time) 데이터 전송을 위한 불-승인되고(un-acknowledged) 실시간 보장된 대역폭 프로토콜을 제공하는 등시성 데이터 전송 모두를 지원한다. 트랜젝션 레이어(12)는 판독, 기록 및 잠금을 포함한, 비동기 데이터 전송을 완료하는데 필요한 명령을 지원한다. 직렬 버스 관리 블록(10)은 등시성 데이터 전송을 위해 등시성 자원 관리자를 포함한다. 직렬 버스 관리 블록(10)은 또한 중재 타이밍을 최적화하는 형태의 직렬 버스의 전체 구성 제어(overall configuration control of the serial bus in the form of optimizing arbitration timing), 버스 상의 모든 장치에 대한 충분한 전력 보증, 주기 마스터 할당(assignment of the cycle master), 등시성 채널과 대역폭 자원의 할당 및 에러에 대한 기본 통보를 제공한다.

IEEE 1394-1995 직렬 버스 인터페이스를 포함하는 하드디스크 드라이브가 도 2에 도시된다. 하드디스크 드라이브(20)는 IEEE 1394-1995 직렬 버스 네트워크에 인터페이스하기 위한 IEEE 1394-1995 직렬 버스 인터페이스 회로(22)를 포함한다. 인터페이스 회로(22)는 버퍼 제어기(24)에 연결된다. 버퍼 제어기(24)는 랜덤 액세스 메모리(RAM)(26)에 연결되며, 판독/기록 채널 회로(28)에 연결된다. 판독/기록 채널 회로(28)는 매체(30)에 연결되며, 하드디스크 드라이브(20) 내의 이 매체(30) 상에 데이터가 저장된다. 판독/기록 채널 회로(28)는, 매체(30)로부터 데이터를 판독하고 상기 매체로 데이터를 기록하는 것을 포함한 매체(30) 상에서의 저장 동작을 제어한다.

하드디스크 드라이브(20)로의 기록 동작 도중에, 데이터 스트림은 IEEE 1394-1995 인터페이스 회로(22)에 의해 IEEE 1394-1995 직렬 버스 구조에 연결된 장치로부터 수신된다. 이러한 데이터 스트림은 IEEE 1394-1995 인터페이스 회로(22)로부터 버퍼 제어기(24)로 전송된다. 이 후, 버퍼 제어기(24)는 이 데이터를 RAM(26)내의 임의의 버퍼에 임시 저장한다. 판독/기록 채널 회로(28)가 이용 가능할 때, 버퍼 제어기(24)는 RAM(26)으로부터 데이터를 판독하고, 이 데이터를 판독/기록 채널 회로(28)에 전송한다. 이 후, 판독/기록 채널 회로(28)는 데이터를 매체(30) 상에 기록한다.

하드디스크 드라이브(20)로부터의 판독 동작 도중에, 데이터 스트림은, 판독/기록 채널 회로(28)에 의해 매체로부터 판독된다. 이 데이터 스트림은 판독/기록 채널 회로(28)에 의해 버퍼 제어기(24)에 전송된다. 이 후, 버퍼 제어기(24)는 이 데이터를 RAM(26) 내의 임의의 버퍼에 임시 저장한다. IEEE 1394-1995 직렬 버스 인터페이스 회로(22)가 이용 가능할 때, 버퍼 제어기(24)는 데이터를 RAM(26)으로부터 판독하고, 이 데이터를 인터페이스 회로

(22)에 전송한다. 이 후, IEEE 1394-1995 직렬 버스 인터페이스 회로(22)는 IEEE 1394-1995 표준의 요구조건에 따라 이 데이터를 포맷하고, 이 데이터를 IEEE 1394-1995 직렬 버스를 통해서 적절한 하나의 장치 혹은 여러 장치들로 전송한다.

기술된 바와 같은 전형적인 하드디스크 드라이브(20)는 데이터를 기록하고, 직렬 버스 프로토콜(SBP : Serial Bus Protocol)과 같은 프로토콜을 사용하여 외부 제어기로부터 수신된 명령에 따라 이 데이터를 재생한다. 외부 제어기는 하드디스크 드라이브(20)에 명령 데이터 구조를 제공하며, 이 명령 데이터 구조는, 데이터가 기록 동작의 경우에는 매체(30) 상의 어느 부분에서 기록되고, 혹은 판독 동작의 경우에는 매체(30) 상의 어느 부분으로부터 판독되는지를 하드디스크 드라이브(20)에 통보한다. 판독 동작 도중의 하드디스크 드라이브(20)의 기능은, 이전에 매체(30) 상에 기록되었던 본래의 변형되지 않은 데이터 스트림을 재생성하는 것이다.

IEEE 1394-1995 직렬 버스 이용의 증가로, 이제 개인용 컴퓨터는 종래에 개인용 컴퓨터에 연결되지 않아 왔던 장치와 IEEE 1394-1995 네트워크로 연결되고 있다. 이러한 장치의 예는 비디오카세트 레코더, 비디오 캠코더, 디지털 비디오 디스크 플레이어 및 콤팩트디스크 플레이어와 같은 가전 전자 장치이다. 이러한 가전 장치로부터의 처리되지 않은(raw) 데이터는 언제나 개인용 컴퓨터에 의해 직접 이용될 수 없다. 이러한 문제에 대한 일반적인 해결책은, 개인용 컴퓨터 상에서 운용되는 애플리케이션 소프트웨어 프로그램을 기록하고, 이 데이터를 개인용 컴퓨터에 의해 운용될 다른 애플리케이션에 유용한 포맷으로 변형하기 위해서 필요한 데이터 조정을 수행하는 것이다.

필요한 것은, 가전 장치로부터의 데이터를 개인용 컴퓨터 혹은 다른 장치에 필요한 포맷으로 조정하는데 사용될 수 있는 필터링 장치이다. 더 필요한 것은, 개인용 컴퓨터 장치로부터의 데이터를 가전 전자 장치에 필요한 포맷으로 또한 조정할 수 있는 필터링 장치이다.

발명의 상세한 설명

매체 저장 장치는, 범용 클록에 기초한 데이터 스트림이 매체 저장 장치에 기록되거나 매체 저장 장치로부터 판독될 때 상기 범용 클록에 기초한 데이터 스트림을 조정하기 위해서 내장된 필터를 포함한다. 또한, 매체 저장 장치는, 매체 저장 장치에 기록되지 않거나 매체 저장 장치로부터 판독되지 않은 데이터 스트림을 조정할 것이다. 바람직하게, 매체 저장 장치 내에 내장된 필터는 등시성 데이터 파이프이며, 이 등시성 데이터 파이프는 외부 제어기로부터 프로그램된 명령을 수신할 것이고, 상기 프로그램된 명령에 따라 실시간으로 범용 클록에 조정된 데이터 스트림을 조정할 것이다. 대안적으로, 등시성 데이터 파이프는 적절한 조정을 수행하기 위한 고정 펌웨어(fixed firmware)를 포함한다. 매체 저장 장치는 또한 바람직하게 IEEE 1394-1995 직렬 버스 구조에 연결된다. 데이터 스트림이 기록 동작 동안에 매체 저장 장치에 의해 수신될 때, 상기 데이터 스트림은, 매체 저장 장치 내의 매체 상에 저장되기 전에 내장된 필터에 의해 다른 포맷으로 조정될 수 있다. 데이터 스트림이 기록 동작 동안에 매체 저장 장치로부터 전송될 때, 상기 데이터 스트림은, IEEE 1394-1995 직렬 버스 구조를 통해 전송되기 전에 내장된 필터에 의해 다른 포맷으로 조정될 수 있다. 두 경우에, 범용 클록은 데이터 스트림을 동기화하는데 사용될 수 있다. 매체 저장 장치는 또한, IEEE 1394-1995 직렬 버스 구조상의 두 개의 다른 장치 사이에 전송되는 데이터 스트림을 조정하기 위해서 내장된 필터를 이용한다.

도면의 간단한 설명

도 1은 IEEE 1394-1995 표준에 의해 정의된 프로토콜 스택을 도시한 도면.

도 2는 종래 기술의 매체 저장 장치에 대한 블록도.

도 3은 본 발명에 따른 매체 저장 장치에 대한 블록도.

도 4는 등시성 데이터 파이프 내의 레지스터 파일을 도시한 도면.

도 5는 등시성 데이터 파이프 시퀀서(sequencer) 내의 레지스터 파일을 도시한 도면.

실시예

본 발명의 매체 저장 장치는, 데이터가 매체 저장 장치에 기록되거나 매체 저장 장치로부터 판독될 때 상기 데이터를 필터링하기 위해서 내장된 데이터 필터를 포함한다. 바람직하게, 이러한 내장된 데이터 필터는 등시성 데이터 파이프이며, 이 등시성 데이터 파이프는 프로그램 가능하고, 데이터 스트림 및 범용 클록을 적절한 포맷으로 조정할 것이다. 등시성 데이터 파이프는, 매체 저장 장치를 제어하는 외부 제어기에 의한 적절한 조정을 위해 바람직하게 프로그램된다. 대안적으로, 등시성 데이터 파이프는 적절한 조정을 수행하기 위한 고정 펌웨어를 포함한다.

본 발명의 내장된 필터를 갖는 매체 저장 장치는, IEEE 1394-1995 직렬 버스 네트워크 내의 개인용 컴퓨터와 가전 전자 장치 사이의 데이터 통신에서 매체 저장 장치의 중심 역할을 잘 이용한다. 매체 저장 장치 내의 내장된 필터는, 데이터가 매체 저장 장치에 기록되거나 매체 저장 장치로부터 판독될 때 매체 저장 장치의 내부에서 데이터를 필터링할 수 있는 능력을 부가한다. 내장된 필터를 갖는 매체 저장 장치는 또한, 심지어 데이터가 매체 저장 장치에 기록되지 않거나 매체 저장 장치로부터 판독되지 않을지라도 데이터 스트림을 필터링하는데 사용될 수 있다.

매체 저장 장치 내에서, 내장된 필터는, 외부 제어 장치의 제어하에서 데이터 스트림을 데이터가 향하는 장치에 대한 적절한 포맷으로 조정할 것이다. 예를 들면, 개인용 컴퓨터에 의해 사용될, 가전 장치로부터의 통신데이터(communications)를 저장할 때, 매체 저장 장치 내의 내장된 필터는 상기 통신 데이터를 수신된 포맷으로부터 개인용 컴퓨터에 적합한 포맷으로 조정할 것이다. 통신 데이터가 개인용 컴퓨터에 의해 매체 저장 장치로부터 판독될 때, 이때 통신 데이터는 개인용 컴퓨터에 적합한 포맷일 것이다. 개인용 컴퓨터는, 필요에 따라 통신 데이터를 이용

하기 위해서 상기 통신 데이터에 대한 추가적인 조정을 수행할 필요가 없을 것이다. 필요하다면, 통신 데이터는 또한 개인용 컴퓨터에 의해 매체 저장 장치로부터 판독될 때 내장된 필터에 의해 두 번째로 조정될 수 있다. 같은 방식으로, 개인용 컴퓨터로부터 가전 장치로의 통신 데이터는 내장된 필터에 의해 가전 장치에 적합한 포맷으로 조정될 수 있다.

본 발명에 따른 매체 저장 장치는 도 3에 도시된다. 매체 저장 장치(44)는, 통신 데이터를 IEEE 1394-1995 직렬 버스 네트워크에 전송하고, 통신 데이터를 IEEE 1394-1995 직렬 버스 네트워크에 연결된 다른 장치로부터 수신하기 위한 IEEE 1394-1995 직렬 버스 인터페이스 회로(32)를 포함한다. 인터페이스 회로(32)는 내장된 필터(42)에 연결된다. 바람직하게, 내장된 필터(42)는 등시성 데이터 파이프이다. 내장된 필터(42)는 버퍼 제어기(34)에 연결된다. 버퍼 제어기(34)는 또한 RAM(36)에 연결되고, 판독/기록 채널 회로(38)에 연결된다. 판독/기록 채널 회로(38)는 매체(40)에 연결되고, 매체 저장 장치(44) 내의 상기 매체(40) 상에서 데이터가 저장된다. 판독/기록 채널 회로(38)는, 매체(40)로부터 데이터를 판독하는 것과 매체(40)에 기록하는 것을 포함하는, 매체(40) 상의 저장 동작을 제어한다. 외부 제어기(46)는 데이터 스트림의 조정을 제어하기 위해서 내장된 필터(42)에 연결되고, 매체(40)에 대한 판독 및 기록 동작을 제어하기 위해서 버퍼 제어기(34)에 연결된다.

매체 저장 장치(44)로의 기록 동작 도중에, IEEE 1394-1995 직렬 버스 인터페이스 회로(32)는 IEEE 1394-1995 직렬 버스로부터 데이터 스트림을 수신한다. 이 후, 인터페이스 회로(32)는 이러한 데이터를 내장된 필터(42)에 전송한다. 내장된 필터(42)는, 외부 제어기(46)로부터의 프로그램된 명령에 의해 명시된 바와 같이 바이트 단위로 데이터를 변형하며, 변형된 데이터를 버퍼 제어기(34)에 전송한다. 이후, 버퍼 제어기(34)는 이 변형된 데이터를 RAM(36)내의 임의의 버퍼에 임시 저장한다. 판독/기록 채널 회로(38)가 이용 가능할 때, 버퍼 제어기(34)는 RAM(36)으로부터 데이터를 판독하고, 이 데이터를 판독/기록 채널 회로(38)에 전송한다. 이 후, 판독/기록 채널 회로(38)는 매체(40) 상에 데이터를 기록한다. 내장된 필터(42)가 프로그램 가능하기 때문에, 데이터는 기록 동작 동안에, 판독 동작 동안에 혹은 두 기록 동작 및 판독 동작 동안에 조정될 수 있다.

매체 저장 장치(44)로부터의 판독 동작 동안에, 데이터 스트림은 판독/기록 채널 회로(38)에 의해 매체(40)로부터 판독된다. 이러한 데이터 스트림은 판독/기록 채널 회로(38)에 의해 버퍼 제어기(34)로 전송된다. 이 후, 버퍼 제어기(34)는 이러한 데이터를 RAM(36)내의 원형 버퍼(circular buffer)에 임시 저장한다. IEEE 1394-1995 직렬 버스 인터페이스 회로(32)가 이용 가능할 때, 버퍼 제어기(34)는 RAM(36)으로부터 데이터를 판독하며, 이 데이터를 내장된 필터(42)에 전송한다. 내장된 필터(42)가 판독 동작 동안에 데이터 스트림을 조정하도록 프로그램된다면, 이러한 조정은 수행되고, 데이터는 IEEE 1394-1995 직렬 버스 인터페이스 회로(32)에 전송된다. 이 후, IEEE 1394-1995 직렬 버스 인터페이스 회로(32)는 IEEE 1394-1995 표준의 요구조건에 따라 데이터를 포맷하고, 이 데이터를 IEEE 1394-1995 직렬 버스를 통해서 적절한 하나의 장치 혹은 여러 장치들에 전송한다.

본 발명의 매체 저장 장치(44) 내의 내장된 필터(42)는 매체(40)에 기록되거나 매체(40)로부터 판독되는 데이터 스트림을 조정하는데 사용될 수 있다. 또한, 내장된 필터(42)는 IEEE 1394-1995 직렬 버스 상의 두 장치 사이에 전송되고, 매체(40)에 기록되지 않거나 매체(40)로부터 판독되지 않는 데이터 스트림을 조정하는데 사용될 수 있다. 이러한 동작 동안에, 데이터 스트림은 인터페이스 회로(32)에 의해 수신되고, 내장된 필터(42)에 전송된다. 이 후, 내장된 필터(42)는 프로그램된 기능에 따라 이 데이터를 조정하며, 이 데이터를 버퍼 제어기(34)에 전송한다. 이 후, 버퍼 제어기(34)는 데이터를 RAM(36) 내의 원형 버퍼 내에 임시 저장한다. 이 후, 버퍼 제어기(34)는 이 데이터를 RAM(36)으로부터 판독하고, 이 데이터를 내장된 필터(42)에 전송한다. 내장된 필터(42)가 또한, 데이터 스트림이 재전송되기 전에 이 데이터 스트림을 조정하도록 프로그램된다면, 이러한 조정이 수행되고 데이터는 IEEE 1394-1995 직렬 버스 인터페이스 회로(32)에 전송된다. 이 후, 인터페이스 회로(32)는 조정된 데이터를 IEEE 1394-1995 직렬 버스 구조 상에 재전송한다.

바람직하게, 내장된 필터(42)는 매체 저장 장치(44)에 의해 수신되거나 전송될 데이터 스트림을 조정하도록 외부 제어기(46)에 의해 프로그램된다. 대안적으로, 내장된 필터(42)는 적절한 조정을 수행하기 위한 고정 펌웨어를 포함한다. 내장된 필터(42)는 매체 저장 장치로 향하는 데이터 스트림 및 매체 저장 장치로부터 나오는 데이터 스트림을 조정하도록 프로그램될 수 있다. IEEE 1394-1995 직렬 버스 네트워크 내의 내장된 필터(42)의 이용에 대한 예로서, 네트워크 상의 임의의 장치로부터 매체 저장 장치에 기록되는 데이터 스트림은, 매체(40) 상에 저장될 때 제 1 포맷으로 모두 포맷될 수 있다. 이 후, 데이터가 특정 장치로의 전송을 위해서 매체(40)로부터 판독될 때, 상기 데이터는 내장된 필터(42)에 의해서 상기 특정 장치를 위한 적절한 포맷으로 조정될 수 있다. 게다가, 내장된 필터(42)는, IEEE 1394-1995 직렬 버스 구조상의 제 1 장치로부터 제 2 장치로의 데이터 스트림을 조정하는 특별한 경우에 사용될 수 있다.

위에서 기술한 바와 같이, 내장된 필터(42)는 바람직하게도 등시성 데이터 파이프이다. 등시성 데이터 파이프(42)의 바람직한 실시예는 "애플리케이션과 버스 구조 사이에서 고속의 등시성 데이터 스트림의 흐름을 관리하고 조정하기 위한 등시성 데이터 파이프(ISOCHRONOUS DATA PIPE FOR MANAGING AND MANIPULATING A HIGH-SPEED STREAM OF ISOCHRONOUS DATA FLOWING BETWEEN AN APPLICATION AND A BUS STRUCTURE)"라는 제목으로 1996년 3월 7일에 출원된 미국 특허(제 08/612,322 호)에서 교시된다. 등시성 데이터 파이프(42)는 프로그램 가능하고, 데이터를 적절한 포맷으로 만들기 위해서 필요에 따라 상기 데이터에 대해 조정을 수행하도록, 데이터 스트림에 대한 일련의 명령을 수행할 것이다. 등시성 데이터 파이프(42)는 비동기성 및 등시성 데이터 모두를 조정하도록 프로그램될 수 있다.

전송된 각 데이터 퀘들렛(quadlet)에 대해, 등시성 데이터 파이프(42)는, 수신된 포맷으로부터 수신하는 포맷으로 원하는 바에 따라 대로 데이터를 조정하기 위해서 다수의 미리 결정된 명령을 수행한다. 데이터를 변환할 때, 등시성 데이터 파이프(42)는 각 데이터 쿼들렛에 대해 독립적으로 동작한다. 등시성 데이터 파이프(42)는 필요에 따라 데이터를 조정하기 위해서 각 쿼들렛에 대한 다수의 프로그램 가능한 명령을 수행한다. 또한, 등시성 데이터 파이프(42)는 독립적이고, 전용인 레지스터 파일(48)을 포함한다.

도 4에 도시된 바와 같이, 등시성 데이터 파이프(42)는 독립적이고, 전용인 레지스터 파일에 의해 제어된다. 이 레지스터 파일은 외부 제어기(46)에 의해 프로그램되고, 필요에 따라 등시성 데이터 파이프(42)를 통한 데이터 흐름을

조정하는데 사용된다. 바람직하게 레지스터 파일(180)은 0에서 77까지 16진수로 번호가 매겨진 120 바이트의 데이터를 포함한다. 도 4에서, 레지스터 파일(180)은, 각각 4 바이트의 데이터를 포함하는 30개의 수평행을 갖는 테이블 포맷으로 도시된다. 오프셋 열(182)은, 레지스터 파일(180)의 시작 주소로부터 각 행에서의 시작 바이트의 오프셋을 나타내기 위해서 도 4에 포함된다. 또한, 판독/기록 열(184)은, 각 행이 필드가 판독되고 및 기록되거나 판독만 될 수 있는지를 나타내기 위해서 포함된다.

주기 시간 필드(cycle_time)는 레지스터 파일(180)의 바이트(0-2) 내의 20 비트 필드이다. 주기 시간 필드는 판독되고, 기록될 수 있다. 아래에서 논의될 제어 이벤트 필드가 주기 수 값(cycle number value)을 포함할 때, 주기 시간 필드는, 아래에서 기술된 바와 같이 채널 마스크 필드가 보류 채널 마스크 필드로부터 로드(load)되는 주기 시간을 보유한다.

제어 필드는 레지스터 파일(180)의 바이트(4-7) 내의 32 비트 필드이다. 제어 필드는 판독될 수 있고, 기록될 수 있다. 제어 필드는 이벤트 필드, 출력 인에이블 필드, 에러시 멈춤(stop on error) 필드, 전송 인에이블 필드 및 진행(go) 필드를 포함한다. 이벤트 필드는 제어 레지스터 비트(28-31)의 4 비트 필드이다. 이벤트 필드에서의 값은, 트리거로 사용하기 위해서 등시성 데이터 파이프(42)에 대한 버스 이벤트를 정의한다. 이 버스 이벤트가 일어나면, 등시성 데이터 파이프(42)는 보류 채널 마스크 레지스터(pending_ch_mask)에 저장된 값을 현재 채널 마스크 레지스터(ch_mask)에 전송한다. 이벤트 필드는 아래의 표 Ⅰ에 도시된 바와 같은 가능한 버스 이벤트를 위해서 인코딩된다.

표 Ⅰ

값	의미
0	즉시
1	주기 수
2	예비
3	예비
4-F	예비

따라서, 값(0)이 외부 제어기에 의해 이벤트 필드에 기록될 때, 등시성 데이터 파이프는 즉시 채널 보류 레지스터에서의 값을 채널 마스크 레지스터로 전송할 것이다. 이벤트 필드가 값(1)을 보유할 때, 등시성 데이터 파이프는 위에서 기술한 바와 같이 채널 보류 레지스터의 값을 프로그램된 주기 시간에 채널 마스크 레지스터에 전송한다.

출력 인에이블 필드는 제어 필드의 비트(4-7) 내의 4 비트 필드이다. 출력 인에이블 필드 내의 임의의 비트가 논리 하이 값(logical high value)으로 설정될 때, 해당 DMA 채널은 적절한 경로가 가득 찬 상태임을 확인할 것이다.

에러시 멈춤 필드는 제어 필드의 비트(3) 내의 1 비트 필드이다. 에러시 멈춤 비트가 논리 하이 값으로 설정될 때, 등시성 데이터 파이프(42)는, 채널 마스크 레지스터의 값을 논리 로우 값(logical low value)으로 설정함으로서 발생하는 제 1 에러 상에서 현 동작을 멈출 것이다. 데이터 전송시 가능한 에러로는 데이터 언더런(underrun) 혹은 주기 시작 패킷의 분실이 있다. 데이터 수신시 가능한 에러로는 데이터 오버런(overrun), 주기 시작 패킷 분실, 데이터 CRC 에러, 패킷 포맷에서의 에러 혹은 채널 분실 에러가 있다.

전송 인에이블 필드는 제어 필드의 비트(1) 내의 1 비트 필드이다. 전송 인에이블 비트가 논리 하이 값으로 설정될 때, 등시성 데이터 파이프(42)는 출력 제어 저장 프로그램을 수행하기 시작할 것이다. 진행(go) 비트가 논리 로우 값이거나 출력 제어 저장 프로그램이 귀환 명령(return instruction)을 수행할 때, 전송 인에이블 비트는 클리어(clear)될 것이다.

진행 필드는 제어 필드의 비트(0) 내의 1 비트 필드이다. 애플리케이션은 등시성 데이터 파이프가 임의의 이벤트를 감시하도록 진행 비트를 논리 하이 값으로 설정한다. 특별한 이벤트 조건이 충족될 때, 등시성 데이터 파이프(42)는 보류 채널 마스크 레지스터의 내용을 현재 채널 마스크 레지스터로 전송한다.

상태 필드는 레지스터 파일(180)의 바이트(8-B) 내의 32 비트 필드이다. 상태 필드는 판독되고, 기록될 수 있다. 상태 필드는 등시성 데이터 파이프(42)의 현재 상태를 보고하는 상태 정보를 포함한다. 상태 필드의 비트(0-7)는 제어 필드의 비트(0-7)에 해당하며, 출력 필드, 에러시 멈춤 필드, 전송 인에이블 필드 및 활성 필드를 포함한다. 상태 레지스터에서의 이러한 필드의 값은 등시성 데이터 파이프(42)의 현재 동작 상태를 나타낸다. 상태 필드의 비트(8-27)는 예비된다. 상태 필드 내에서, 활성 필드는 상태 필드의 비트(0) 내의 1 비트 필드이고, 이는 등시성 데이터 파이프의 활성 여부를 나타낸다. 바람직하게, 활성 비트가 논리 하이 값이면, 등시성 데이터 파이프는 현재 활성 상태이고, 데이터를 전송하고 있다. 활성 비트가 논리 로우 값이면, 등시성 데이터 파이프는 현재 활성 상태가 아니다. 에러 필드는 상태 필드의 비트(28-31) 내의 4 비트 필드이다. 등시성 데이터 파이프(42)가 에러로 인해 동작을 멈출 때, 에러 필드는 에러 상태를 나타내는 값을 포함한다. 활성 비트가 논리 로우 값일 때는 에러 필드만이 유효하다. 에러 필드에 대한 가능한 값과 이 값에 해당하는 에러가 아래의 표 Ⅱ에 나열된다.

표 Ⅱ

값	에러
0	데이터 오버런
1	데이터 언더런
2	주기 시작 패킷 분실

3	데이터 CRC 에러
4	패킷 포맷에서의 에러

보류 채널 마스크 하이 필드(pending_ch_mask_hi)는 레지스터 파일(180)의 바이트(20-23) 내의 4 바이트 필드이다. 보류 채널 마스크 로우 필드(pending_ch_mask_lo)는 레지스터 파일(180)의 바이트(24-27) 내의 4 바이트 필드이다. 두 보류 채널 마스크 필드(pending_ch_mask_hi 및 pending_ch_mask_lo)는 함께, 등시성 데이터 파이프(42)가 수신할 등시성 채널 번호의 마스크를 포함하는 8 바이트 필드를 형성한다. 등시성 데이터 파이프(42)는, 프로그램된 트리거(trigger) 이벤트가 발생할 때 상기 필드이 내용을 채널 마스크 레지스터에 전송한다. 보류 채널 마스크 필드의 비트 할당은 IEEE 1394-1995 표준의 8장에 정의된 채널에 이용가능한 레지스터(channel available register)의 비트 할당과 같다.

현재의 채널 마스크 하이 필드(ch_mask_hi)는 레지스터 파일(180)의 바이트(28-2B) 내의 4 바이트 필드이다. 현재의 채널 마스크 로우 필드(ch_mask_lo)는 레지스터 파일(180)의 바이트(2C-2F) 내의 4 바이트 필드이다. 두 개의 현재 채널 마스크 필드(ch_mask_hi 및 ch_mask_lo)는 현재 동작중인 채널 마스크를 포함하는 8 바이트 필드를 함께 형성하며, 현재의 채널 마스크 필드내의 각 비트는 등시성 채널을 나타낸다. 채널 마스크 필드는, 트리거 이벤트가 발생할 때 단지 보류 채널 마스크 필드로부터 로드된다. 등시성 데이터 파이프(42)는, 현재의 채널 마스크 필드에서의 해당 비트가 논리 로우 값에 설정되어있기 때문에 수신된 등시성 채널 번호를 무시한다.

제어 저장 출력 필드(CS_output)는 레지스터 파일(180)의 바이트(34) 내의 한 바이트 필드이다. 제어 저장 출력 필드(CS_output)는 제어 저장 메모리 내의 제어 저장 주소를 포함하며, 전송이 인에이블될 때 등시성 데이터 파이프(42)는 상기 제어 저장 메모리에 발송한다. 제어 저장 메모리는, 등시성 데이터 파이프가 데이터 스트림에 대해 동작을 수행할 때 상기 등시성 데이터 파이프에 의해 사용되는 명령을 포함한다.

제어 저장 주기 시작 주소 필드(CS_addr_CS)는 레지스터 파일(180)의 바이트(37) 내의 한 바이트 필드이다. 제어 저장 주소 필드(CS_addr_CS)는, 주기 시작 패킷이 수신될 때 등시성 데이터 파이프가 분기하는 제어 저장 주소를 포함한다. 제어 저장 프로그램에 이용 가능한 제 1 쿼들렛은 주기 시작 패킷의 제 1 쿼들렛이다. 제어 저장 주소 필드(CS_addr_0 내지 CS_addr_63)는 레지스터 파일(180)의 바이트(38 내지 77) 내의 각 한 바이트 필드이다. 이러한 필드는 등시성 데이터 파이프가, 제어 저장 주소 필드의 바이트 번호에 매칭(matching)하는 등시성 채널을 통해 데이터를 수신하자마자 분기해야하는 제어 저장 주소를 포함한다. 예를 들면, 제어 저장 주소 필드(CS_addr_10)는, 등시성 데이터 파이프가 등시성 채널 번호(10)를 통해 데이터를 수신하자마자 분기해야하는 제어 저장의 주소를 포함한다. 등시성 데이터 파이프는, 제어 저장 주소 필드의 해당 값이 FFh인 모든 등시성 채널을 무시한다. 제어 저장 주기 시작 주소 필드(CS_addr_CS) 내에 명시되거나 혹은 제어 저장 주소 필드(CS_addr_0 내지 CS_addr_63)중 하나에 명시된 제어 저장 주소에 발송한 후, 등시성 데이터 파이프는 귀환 명령을 만날때까지 상기 제어 저장 주소에서부터 수행한다. 등시성 데이터 파이프가 귀환 명령을 만날 때, 등시성 데이터 파이프는 전송이 미리 인에이블되지 않았었다면 휴지(idle) 상태로 귀환하거나 제어 저장 주소를 발송하기 이전의 전송 제어 저장 프로그램 내의 위치로 귀환한다.

64개의 잠재적인 등시성 채널(0 내지 63)이 존재한다. 제어 저장 주소 필드(CS_addr_0 내지 CS_addr_63) 각각은 등시성 채널에 해당하며, 상기 등시성 채널에 대한 명령이 시작하는 제어 저장 메모리의 주소를 포함한다. 따라서, 등시성 데이터 파이프(42)가 특정 등시성 채널을 통해 데이터를 수신할 때, 등시성 데이터 파이프(42)는 상기 채널에 대한 데이터를 조정하기 위한 명령을 획득하기 위해서 해당 제어 저장 주소 필드에 포함된 주소로 분기한다. 제어 저장 주소 필드의 해당 값이 FFh인 등시성 채널은 무시되며, 이는 상기 채널이 0인 현재 채널 마스크 레지스터의 비트에 해당하기 때문이다.

등시성 데이터 스트림은 하나 이상의 등시성 채널로 이루어진다. 등시성 데이터 파이프(42)는 현재 채널 마스크 필드의 해당 비트가 논리 하이 값인 경우 등시성 채널을 수신한다. 등시성 데이터 파이프(42)는, 제어 저장 출력(CS_output) 레지스터의 값에 의해 지시된 제어 저장 주소에서 시작하는 제어 저장 프로그램에 따라 등시성 데이터를 전송한다.

등시성 데이터 파이프(42)는 실제로 수신된 데이터 스트림에 따라 동작을 수행하도록 프로그램될 수 있는 프로그램가능한 시퀀서이다. 등시성 데이터 파이프 시퀀서는 도 5에 도시된 바와 같은 레지스터 파일을 포함한다. 레지스터 파일(190) 내에서, 즉시 값 레지스터(IMM : Immediate value register)는 "0"의 레지스터 코드를 갖되, 단지 소스 레지스터만 될 수 있는 34 비트의 레지스터이다. 즉시 값 레지스터(IMM)는, 명령의 34 비트 즉시 필드가 주어진 동작을 위한 소스 데이터를 포함함을 명시한다.

버스 입력 레지스터(BUS_IN)는 단지 소스 레지스터만 될 수 있는 "1"의 레지스터 코드를 갖는 32 비트의 레지스터이다. 동작의 소스로서 상기 버스 입력 레지스터(BUS_IN)를 액세스하는 것은 상기 등시성 데이터 파이프(42)를 통해서 데이터의 한 쿼드렛을 클록(clock)한다. 버스 입력 레지스터(BUS_IN)에 대한 후속 액세스는 입력 데이터 스트림에서의 후속 데이터 쿼들렛을 액세스한다.

버스 출력 레지스터(BUS_OUT)는 단지 목적지 레지스터만 될 수 있는 "2"의 레지스터 코드를 갖는 34 비트 레지스터이다. 동작의 목적지로서 버스 출력 레지스터(BUS_OUT)를 액세스하는 것은 등시성 데이터 파이프(42)를 통해서 데이터의 한 쿼들렛을 클록한다. 버스 출력 레지스터(BUS_OUT) 클록에 대한 후속적인 액세스는 출력 데이터 스트림에서의 후속 데이터 쿼들렛을 클록한다.

데이터 레지스터(D0 내지 D7)는 각각 "4", "5", "6", "7", "8", "9", "A" 및 "B"의 레지스터 코드를 갖는 각각의 34 비트 레지스터이며, 소스 레지스터 혹은 목적지 레지스터가 될 수 있다. 데이터 레지스터(D0 내지 D7)는 임의의 동작을 위한 소스 레지스터 혹은 목적지 레지스터로서 사용될 수 있다.

데이터 인터페이스 레지스터(DATA_0 내지 DATA_3)는 각각 "10", "11", "12" 및 "13"의 레지스터 코드를 갖는 각각의 32 비트 레지스터이며, 소스 레지스터 혹은 목적지 레지스터가 될 수 있다. 데이터 인터페이스 레지스터(DATA_0 내지 DATA_3) 각각은 다른 DMA 채널을 액세스한다. 이러한 레지스터의 사용은 출력 인에이블 필드(DMA_out_en)의 프로그램과 일치되어야 한다.

등시성 데이터 파이프(42)는 8개의 1 바이트 레지스터의 선형 목록으로 이루어진 스택을 구현한다. 스택 레지스터만이 서브루틴 명령 및 귀환 명령으로의 분기 도중에 액세스된다. 본 발명의 바람직한 실시예에서, 각 스택 레지스터(S0 내지 S7)는 각각의 레지스터 어드레스(0 내지 7)를 갖는다. 대안적으로, 스택 레지스터의 실제 수는 특정 구현에 따라 달라질 것이다. 제어 저장 프로그램이 로드될 때, 스택 포인터는 자동으로 값(0)으로 초기화되어, 해당 스택 레지스터(S0)를 지시하게 된다.

등시성 데이터 파이프(42)가 서브루틴으로 분기할 때, 등시성 데이터 파이프(42)는 다음 제어 저장 명령의 주소를 현 스택 레지스터에 저장하며, 스택 포인터 값을 증가시키며, 소스 필드의 낮은 순서 바이트에 포함된 제어 저장 명령으로 분기한다. 등시성 데이터 파이프(42)가 귀환 명령을 수행할 때, 등시성 데이터 파이프는 스택 포인터를 감소시키며, 현재 스택 레지스터에 포함된 제어 저장 명령으로 분기한다. 스택 포인터가 0의 값을 가질 때, 감소된다면, 스택 포인터의 값은 0에서 유지할 것이고, 등시성 데이터 파이프(42)는 등시성 데이터 패킷 혹은 주기 시작 패킷을 수신할 때까지 연산을 멈출 것이다. 등시성 데이터 파이프가 출력 제어 저장 프로그램을 수행하고, 주기 시작 패킷 혹은 인에이블된 등시성 채널이 수신될 때, 등시성 데이터 파이프(42)는 출력 제어 저장 프로그램의 수행을 중지시키고, 현재 명령의 주소를 스택에 저장시키며, 스택 포인터를 감소시키고, 상기 수신된 패킷을 처리하기 위해 적절한 위치로 발송할 것이다.

각 등시성 제어 저장 명령은 OpCode 필드, 소스 필드, 목적지 필드, 즉시 값 필드, 즉시 필드 및 예비 필드를 포함한다. 상기 OpCode 필드는 실행할 연산을 기술하는 6 비트 필드이다. 소스 필드(src)는 명시된 연산을 위한 소스 값을 포함하는 레지스터 혹은 즉시 값을 명시하는 4 비트 필드이다. 목적지 필드(dest)는 명시된 연산을 위한 목적지 레지스터를 명시하는 4 비트 필드이다. 즉시 값 필드(imm_val)는, 논리 하이 값으로 설정될 때 오프랜드(operands) 중 하나가 즉시 필드에 포함됨을 명시하는 1 비트 필드이다. 즉시 필드(imm)는, 즉시 값 필드(imm_val)가 논리 하이 값으로 설정된다면 연산을 위해 사용할 즉시 값을 명시하는 34 비트 필드이다. 본 발명의 바람직한 실시예에서, 예비 필드는 등시성 데이터 파이프(42)의 대안적인 예를 사용하기 위해 예비된 13 비트를 포함한다.

데이터 스트림을 조정하는 중 등시성 데이터 파이프 시퀀서의 바람직한 실시예에 의해 구현되고, OpCode 필드에 포함될 수 있는 연산 코드는 아래의 표 Ⅲ에 나열된다. 등시성 데이터 파이프(42)는, 이러한 동작에 대한 결과를, 목적지로 형성되는 임의의 DMA 채널 및 데이터 레지스터(D0-D7)를 포함하여, 도 5에 도시된 바와 같은 목적지가 될 수 있는 임의의 레지스터에 저장할 것이다.

표 Ⅲ

이름	기호	값 (HEX)	기능
MOVE	MOVE MOVEI	0	src 레지스터의 값을 dest 레지스터로 이동한다
MOVE Multiple	MOVEM	1	소스 및 목적지 사이에서 쿼들렛의 블록을 이동한다
		2	
		3	
AND	AND ANDI	4	src 레지스터의 값을 즉시 값 또는 dest 레지스터의 값에 논리곱(AND)하고, 그 결과를 dest 레지스터에 저장한다
OR	OR ORI	5	src 레지스터의 값을 즉시 값 또는 dest 레지스터의 값에 논리합(OR)하고, 그 결과를 dest 레지스터에 저장한다
SHIFT	SHIFT SHIFTI	6	src 레지스터의 값을 즉시 값 혹은 dest 레지스터 값 만큼 시프트시키고(SHIFT), 그 결과를 dest 레지스터에 저장한다; 양의 값은 등시성 데이터 파이프를 오른쪽으로 시프트시키고; 등시성 데이터 파이프는 입력 비트를 0으로 채운다
COMPARE	CMP CMPI	7	src 레지스터의 값에서 즉시 값을 빼거나 dest 레지스터의 값에서 src 레지스터의 값을 빼지만, 그 결과는 저장하지 않고, 상기 뺄셈의 결과에 따라 Z비트를 설정한다
ADD	ADD ADDI	8	src 레지스터의 값을 즉시 값 혹은 dest 레지스터의 값에 더하고, 그 결과를 dest 레지스터에 저장한다
SUBTRACT	SUB SUBI	9	src 레지스터의 값에서 즉시 값을 빼거나, dest 레지스터의 값에서 src 레지스터의 값을 빼고, 그 결과를 dest 레지스터에 저장한다
MULTIPLY	MULT MULTI	A	즉시 값에 src 레지스터의 값을 곱하거나 src 레지스터의 값에 dest 레지스터의 값을 곱하여, 그 결과를 dest 레지스터에 저장한다
		B	
		C	

		D	
		E	
		F	
BRANCH	BRA	10	imm 필드에 포함된 제어 저장 주소로 분기한다
BRANCH ON ZERO	BZ	11	이전 연산으로부터의 dest 필드의 결과가 0이었다면, imm 필드에 포함된 제어 저장 주소로 분기한다
BRANCH ON NOT ZERO	BNZ	12	이전 연산으로부터의 dest 필드의 결과가 0이 아니었다면, imm 필드에 포함된 제어 저장 주소로 분기한다
		13	
BRANCH TO SUB	BSR	14	스택 포인터를 감소시키고, 스택상의 다음 명령 주소를 저장하며, imm 필드에 포함된 CS 주소로 분기한다
BRANCH TO SUB ON ZERO	BSRZ	15	이전 연산으로부터의 dest 필드의 결과가 0이었다면, 스택 포인터를 감소시키고, 스택 상의 다음 명령의 주소를 저장하며, 즉시 필드에 포함된 CS 주소로 분기한다
BRANCH TO SUB ON NOT ZERO	BSRNZ	16	이전 연산으로부터의 dest 필드의 결과가 0이 아니었다면, 스택 포인터를 감소시키고, 스택 상의 다음 명령 주소를 저장하며, imm 필드에 포함된 CS 주소로 분기한다
		17	
RETURN	RET	18	스택 상에 포함된 주소에서의 명령으로 분기하고, 스택 포인터를 증가시킨다

표 Ⅲ에 나열된 대부분의 연산에 대해, 두 기호 명령이 포함된다. "I"를 포함하는 기호 명령은 연산이 즉시 값을 사용하여 수행됨을 명시한다. "I"를 포함하지 않는 기호 명령은 연산이 소스 레지스터 값과 목적지 레지스터 값 사이에서 수행됨을 명시한다.

MOVE 연산이 수행될 때, 소스 필드(src)에 명시된 레지스터의 값은 목적지 필드(dest)에 명시된 레지스터로 이동된다. 소스 필드(src)에 명시된 레지스터가 34 비트 레지스터이고, 목적지 필드(dest)에 명시된 레지스터가 32 비트 레지스터라면, 상위 두 비트는 분실될 것이다. 소스 필드(src)에 명시된 레지스터가 32 비트 레지스터이고, 목적지 필드(dest)에 명시된 레지스터가 34 비트 레지스터라면, 상위 두 비트는 모두 논리 로우 값으로 설정될 것이다.

MOVE Multiple 연산이 수행될 때, 카운트(count) 값에 의해 명시된 많은 데이터 쿼들렛이 소스 필드(src)에 명시된 레지스터로부터 목적지 필드(dest)에 명시된 레지스터로 이동된다. 카운트 값은 명령의 즉시 필드에서 지정된 레지스터에 저장된다. 바람직하게, MOVE Multiple 연산에 있어서, 소스 필드(src)에 명시된 레지스터는 데이터 인터페이스 레지스터(DATA_0 내지 DATA_3) 중 하나이며, 이 데이터 인터페이스 레지스터는 DMA 채널, 혹은 버스 입력 레지스터(BUS_IN)에 액세스한다. 바람직하게, 이러한 연산을 위해, 목적지 필드(dest)에 명시된 레지스터는 데이터 인터페이스 레지스터(DATA_0 내지 DATA_3) 중 하나이며, 이 데이터 인터페이스 레지스터는 DMA 채널 혹은 버스 출력 레지스터(BUS_OUT)에 액세스한다.

AND 연산을 수행하는 동안, 논리 AND 연산은 소스 필드(src) 값 및 목적지 필드(dest) 값에 대해 수행되고, 그 결과는 목적지 필드(dest)에 명시된 레지스터에 저장된다. 이 명령중 ANDI 형태는 오퍼랜드중 하나로 목적지 필드 값 대신 즉시 필드 값을 사용하며, 그 결과를 목적지 필드(dest)에 명시된 레지스터에 저장한다. 소스 필드(src)에 명시된 레지스터가 34 비트 레지스터이고, 목적지 필드(dest)에 명시된 레지스터가 32비트 레지스터이면, 상위 두 비트는 분실될 것이다. 소스 필드(src)에 명시된 레지스터가 32 비트 레지스터이고, 목적지 필드(dest)에 명시된 레지스터가 34 비트 레지스터이면, 상위 두 비트는 모두 논리 로우 값으로 설정될 것이다. 소스 필드(src)에 명시된 레지스터 및 목적지 필드(dest)에 명시된 레지스터 모두가 34 비트 레지스터이면, AND 연산은 모든 34 비트에 대해 수행된다.

OR 연산을 수행하는 동안, 논리 OR 연산은 소스 필드(src) 및 목적지 필드(dest)에 의해 명시된 레지스터 값에 대해 수행되며, 그 결과는 목적지 필드(dest)에 명시된 레지스터에 저장된다. 이 명령중 ORI 형태는 오퍼랜드중 하나로 목적지 필드 값 대신에 즉시 필드 값을 사용하며, 그 결과를 목적지 필드(dest)에 명시된 레지스터에 저장한다. 소스 필드(src)에 명시된 레지스터가 34 비트 레지스터이고, 목적지 필드(dest)에 명시된 레지스터가 32 비트 레지스터라면, 상위 두 비트는 분실될 것이다. 소스 필드(src)에 명시된 레지스터가 32 비트 레지스터이고, 목적지 필드(dest)에 명시된 레지스터가 34 비트 레지스터라면, 상위 두 비트는 모두 논리 로우 값으로 설정될 것이다. 소스 필드(src)에 명시된 레지스터 및 목적지 필드(dest)에 명시된 레지스터가 모두 34 비트 레지스터라면, OR 연산은 모든 34 비트 모두에 대해 수행될 것이다.

SHIFT 연산이 수행될 때, 목적지 레지스터(dest) 값은 소스 레지스터 값에 의해 명시된 비트 수만큼 시프트되고, 그 결과는 목적지 필드(dest)에 명시된 레지스터에 저장된다. 양의 시프트 값은 목적지 레지스터 값을 최하위 비트를 향해 오른쪽으로 시프트시키며, "0"이 최상위 비트로 시작하는 왼쪽 비트 상의 시프트된 비트를 채우는데 사용된다. 음의 시프트 값은 목적지 레지스터 값을 최상위 비트를 향해 왼쪽으로 시프트시키며, "0"이 최하위 비트로 시작하는 오른쪽 비트 상의 시프트된 비트를 채우는데 사용된다. 이러한 명령중 SHIFTI 형태는 즉시 필드에 명시된 비트 수만큼 소스 레지스터 값을 시프트시키며, 그 결과를 목적지 필드에 명시된 레지스터에 저장한다. 소스 필드(src)에 명시된 레지스터가 34 비트 레지스터이고, 목적지 필드(dest)에 명시된 레지스터가 32 비트 레지스터라면, 상위 두 비트는 분실될 것이다. 소스 필드(src)에 명시된 레지스터가 32 비트 레지스터이고, 목적지 필드(dest)에 명시된 레지스터가 34 비트 레지스터라면, 상위 두 비트는 모두 논리 로우 값으로 설정될 것이다. 소스 필드(src)에 명시된 레

지스터 및 목적지 필드(dest)에 명시된 레지스터가 34 비트 레지스터라면, 시프트 연산은 단지 하위 32 비트에 대해서만 수행될 것이다.

CMP 연산이 수행될 때, 소스 레지스터(src) 값은 목적지 레지스터(dest)에서 빼진다. CMP 연산의 결과가 "0"이면, Z 비트는 논리 하이 값으로 설정된다. CMP 연산의 결과가 0이 아니라면, Z 비트는 논리 로우 값으로 설정된다. CMP 연산의 결과는 어디에도 저장되지 않는다. 이러한 명령중 CMPI 형태는 소스 레지스터(src) 값에서 즉시 값을 빼며, 그 결과에 따라 Z 비트를 위에서 명시한 바와 같이 설정한다. 이 명령은 또한 연산의 결과를 저장하지 않는다.

ADD 연산이 수행될 때, 소스 레지스터(src) 값은 목적지 레지스터(dest) 값에 더해지며, 그 결과는 목적지 레지스터(dest)에 저장된다. 이러한 명령중 ADDI 형태는 소스 레지스터(src) 값을 즉시 값에 더하며, 그 결과를 목적지 레지스터(dest)에 저장한다. 소스 필드(src)에 명시된 레지스터가 34 비트 레지스터이고, 목적지 필드(dest)에 명시된 레지스터가 32 비트 레지스터라면, 상위 두 비트는 분실될 것이다. 소스 필드(src)에 명시된 레지스터가 32 비트 레지스터이고, 목적지 필드(dest)에 명시된 레지스터가 34 비트 레지스터라면, 상위 두 비트는 모두 논리 로우 값으로 설정될 것이다. 소스 필드(src)에 명시된 레지스터 및 목적지 필드(dest)에 명시된 레지스터 모두가 34 비트 레지스터라면, ADD 연산은 단지 하위 32 비트에 대해 수행된다.

SUB 연산이 수행될 때, 목적지 레지스터(dest) 값은 소스 레지스터(src) 값에서 빼지며, 그 결과는 목적지 레지스터(dest)에 저장된다. 이러한 명령중 SUBI 형태는 소스 레지스터 값에서 즉시 값을 빼며, 그 결과는 목적지 레지스터(dest)에 저장된다. 소스 필드(src)에 명시된 레지스터가 34 비트 레지스터이고, 목적지 필드(dest)에 명시된 레지스터가 32 비트 레지스터라면, 상위 두 비트는 분실될 것이다. 소스 필드(src)에 명시된 레지스터가 32 비트 레지스터이고, 목적지 필드(dest)에 명시된 레지스터가 34 비트 레지스터라면, 상위 두 비트는 모두 논리 로우 값으로 설정될 것이다. 소스 필드(src)에 명시된 레지스터 및 목적지 필드(dest)에 명시된 레지스터 모두가 34 비트 레지스터라면, SUB 연산은 단지 하위 32 비트에 대해서만 수행될 것이다.

MULT 연산이 수행될 때, 소스 레지스터(src) 값은 목적지 레지스터(dest) 값에 의해 곱해지며, 그 결과는 목적지 레지스터(dest)에 저장된다. 이러한 명령중 MULTI 형태는 즉시 값에 소스 레지스터(src) 값을 곱하고, 그 결과는 목적지 레지스터(dest)에 저장된다. 소스 필드(src)에 명시된 레지스터가 34 비트 레지스터이고, 목적지 필드(dest)에 명시된 레지스터가 32 비트 레지스터라면, 상위 두 비트는 분실될 것이다. 소스 필드(src)에 명시된 레지스터가 32 비트 레지스터이고, 목적지 필드(dest)에 명시된 레지스터가 34 비트 레지스터라면, 상위 두 비트는 모두 논리 로우 값으로 설정될 것이다. 소스 필드(src)에 명시된 레지스터 및 목적지 필드(dest)에 명시된 레지스터가 모두 34 비트 레지스터라면, MULT 연산은 단지 하위 32 비트에 대해서만 수행될 것이다.

BRANCH 연산이 수행될 때, 등시성 데이터 파이프(42)는 소스 필드(src)의 하위 바이트에 포함된 제어 저장 주소로 분기한다. 소스 필드(src)는 레지스터 혹은 즉시 값을 명시할 수 있다.

BRANCH ON ZERO 연산이 수행될 때, 최종 산술 혹은 이동 제어 저장 명령의 결과가 0이었다면, 등시성 데이터 파이프(42)는 소스 필드(src)의 하위 바이트에 포함된 제어 저장 주소로 분기한다. 소스 필드(src)는 레지스터 혹은 즉시 값을 명시할 수 있다.

BRANCH ON NOT ZERO 연산이 수행될 때, 최종 산술 혹은 이동 제어 저장 명령의 결과가 0이 아니었다면, 등시성 데이터 파이프(42)는 소스 필드(src)의 하위 바이트에 포함된 제어 저장 주소로 분기한다. 소스 필드는 레지스터 혹은 즉시 값을 명시할 수 있다.

BSR 연산이 수행될 때, 다음 제어 저장 명령의 주소가 스택에 푸시(push)되고, 등시성 데이터 파이프(42)는 소스 필드(src)의 하위 바이트에 포함된 제어 저장 주소로 분기한다. 소스 필드(src)는 레지스터 혹은 즉시 값을 명시할 수 있다.

BSR ON ZERO 연산이 수행될 때, 최종 산술 혹은 이동 제어 저장 명령의 결과가 0이었다면, 다음 제어 저장 명령의 주소가 스택 상에 푸시되고, 등시성 데이터 파이프(42)는 소스 필드(src)의 하위 바이트에 포함된 제어 저장 주소로 분기한다. 소스 필드(src)는 레지스터 혹은 즉시 값을 명시 할 수 있다.

BSR ON NOT ZERO 연산이 수행될 때, 최종 산술 혹은 이동 제어 저장 명령의 결과가 0이 아니었다면, 다음 제어 저장 명령의 주소가 스택 상에 푸시 되고, 등시성 데이터 파이프(42)는 소스 필드(src)의 하위 바이트에 포함된 제어 저장 주소로 분기한다. 소스 필드(src)는 레지스터 혹은 즉시 값을 명시 할 수 있다.

RETURN 연산이 수행될 때, 최종 제어 저장 주소가 스택으로부터 팝 오프(pop off)되며, 등시성 데이터 파이프(42)는 상기 주소로 분기한다.

바람직한 실시예의 등시성 데이터 파이프(42)는 데이터를 전송하고 조정할 수 있기 전에 임의의 장치에 의해 프로그램된다. 프로그램되고, 초기화되면, 제어 레지스터는 등시성 데이터 파이프(42)의 동작 상태를 변경하는데 사용된다. 현재의 연산 상태는 상태 레지스터의 하위 바이트에 포함된 정보와 현재의 채널 마스크 레지스터 값에 의해 완전히 정의된다.

등시성 데이터 파이프(42)의 상태를 변경하기 위해서, 새 채널 마스크 값은 보류 채널 마스크 레지스터로 프로그램되고, 새 동작 상태는 제어 레지스터로 프로그램된다. 제어 레지스터에 대한 동일한 레지스터 액세스에서, 진행 비트가 또한 설정되고, 이벤트는 이벤트 필드로 프로그램된다. 프로그램된 이벤트가 발생할 때, 등시성 데이터 파이프(42)는 보류 채널 마스크 레지스터 값을 현재의 채널 마스크 레지스터에 전송한다. 등시성 데이터 파이프(42)는 또한 제어 레지스터의 하위 바이트의 정보를 상태 레지스터의 하위 바이트로 또한 전송한다.

등시성 데이터 파이프(42)의 동작을 멈추기 위해서, 모두 "0"인 값이 보류 채널 마스크 레지스터에 프로그램되고, 논리 로우 값이 제어 레지스터의 전송 인에이블 비트에 프로그램된다. 임의의 상태 변경에 따라, 진행 비트는 또한 설정되며, 이벤트는 제어 레지스터의 이벤트 필드로 프로그램된다. 이벤트가 발생할 때, 현재의 채널 마스크 레지스터 값은 0이 되고, 상태 레지스터의 전송 인에이블 비트는 논리 로우 값이 되어, 등시성 데이터 파이프(42)의 동작을 멈추게 한다. 등시성 데이터 파이프(42)의 동작이 멈출 때, 상태 레지스터의 활성 비트가 또한 논리 로우 값이 된다.

등시성 데이터 파이프(42)를 활성화시키기 위해서, 제어 저장 프로그램이 로드되고, 적절한 제어 저장 오프셋이 제어 저장 주소 레지스터 파일로 프로그램된다. 이 후, 보류 채널 마스크 레지스터는, 등시성 데이터 파이프(42)가 수신하는 채널의 비트 마스크를 통해 프로그램된다. 등시성 데이터 파이프(42)가 데이터를 수신하지 않고 있다면, 보류 채널 마스크 레지스터 값은 "0"으로 프로그램된다. 제어 레지스터의 진행 비트는 상태 변경을 나타내기 위해 논리 하이 값으로 설정된다. 등시성 데이터 파이프(42)가 등시성 데이터를 전송한다면, 제어 레지스터의 전송 인에이블 비트는 논리 하이 값으로 설정된다. 등시성 데이터 파이프(42)가 임의의 에러시 동작을 멈춘다면, 제어 레지스터의 에러시 멈춤 비트는 논리 하이 값으로 설정된다. 등시성 데이터 파이프(42)가 등시성 데이터를 전송하고 있다면, 등시성 데이터를 전송하는데 관련된 DMA 채널에 해당하는 제어 레지스터의 출력 인에이블 비트는 논리 하이 값으로 설정된다. 제어 레지스터의 이벤트 필드는, 등시성 데이터 파이프(42)가 상태를 변경하는 이벤트로 프로그램된다.

본 발명의 매체 저장 장치(44)에 대한 대안적인 실시예에서, 등시성 데이터 파이프(42)는 데이터 패킷을 조정하기 위한 하드 부호화되고(hard-coded), 고정된 펌웨어를 포함한다. 이 실시예에서, 등시성 데이터 파이프는 통신 데이터(communicatios)를 특정하게 미리 프로그램된 특정 포맷으로 단지 조정할 것이다. 본 발명의 바람직한 실시예내의 등시성 데이터 파이프는 외부 제어기(46)에 의해 프로그램될 수 있고, 데이터 패킷을 임의의 희망 포맷으로 조정하도록 프로그램될 수 있다. 바람직한 실시예에서, 적절한 변환 코드가 외부 제어기(46)로부터 등시성 데이터 파이프(42)로 다운로드된다.

외부 제어기(46)는 바람직하게도 매체 저장 장치(44)에 직접 연결되는 반면, 상기 외부 제어기(46)는 대안적으로 IEEE 1394-1995 직렬 버스 네트워크를 통해 상기 매체 저장 장치(44)에 연결될 수 있다는 것이 또한 명확해 질 것이다.

내장된 필터(42)는 대부분의 데이터 스트림이 매체 저장 장치(44)에 기록되고, 매체 저장 장치(44)로부터 판독된다는 사실을 잘 이용하기 위해서 상기 매체 저장 장치(44) 내에 포함된다. 따라서, 매체 저장 장치(44)에 기록되고, 매체 저장 장치(44)로부터 판독되는 데이터는 데이터 흐름의 중단 없이 내장된 필터(42)에 의해 조정될 수 있다. 매체 저장 장치에 기록되지 않고, 매체 저장 장치로부터 판독되지 않는 데이터는, 데이터가 IEEE 1394-1995 직렬 버스 구조를 통해서 한 장치에서 또 다른 장치로 전송될 때 내장된 필터(42)에 의해 조정될 수 있다. 매체 저장 장치(44)를 수반하는 데이터 동작 동안에, 데이터는, 데이터가 매체(40)에 기록되고 있을 때 혹은 데이터가 매체(40)에 판독되어진 후 및 데이터가 IEEE 1394-1995 직렬 버스를 통해서 전송되기 전에 조정될 수 있다. 데이터는 또한 데이터가 매체(40)에 기록되고 매체(40)로부터 판독되는 두 경우 모두에서 조정될 수 있다.

산업상 이용 가능성

본 발명은, 본 발명의 구성 및 동작의 원리에 대한 이해를 용이하게 하기 위해서 상세한 사항을 통합한 특정 실시예를 통해 기술되었다. 본 명세서의 특정 실시예와 특정 실시예의 상세한 설명에 대한 이러한 참조는 본 명세서에 첨부된 청구항의 범위를 제한하려 하지 않는다. 특히, 본 발명의 바람직한 실시예가 IEEE 1394-1995 직렬 버스 구조를 통해 사용되지만, 본 발명은 또한 임의의 다름 적절한 버스 구조를 통해 구현될 수 있음이 당업자에게 명확 해질 것이다.

(57) 청구의 범위

청구항 1.

목적(destination) 장치로 향하는 데이터 스트림을 수신하고 전송하는, 다른 장치에 연결되도록 구성되는, 장치(44)의 내부에 내장된 필터링 장치(filtering device)에 있어서,

a. 외부 제어기로부터 명령을 수신하여 데이터 스트림을 제 1 포맷에서 상기 목적 장치에 해당하는 제 2 포맷으로 변환하도록 구성된 제어 회로(48)와,

b. 상기 제어 회로 내의 상기 명령에 따라 상기 제 1 포맷으로 수신된 데이터 스트림을 상기 제 2 포맷으로 조정된 데이터 스트림으로 조정하기 위한, 상기 제어 회로에 연결된 조정 회로(manipulating circuit)(42)를 포함하는, 장치 내부에 내장된 필터링 장치.

청구항 2.

제 1항에 있어서, 상기 필터링 장치는 매체 저장 장치(44)의 내부에 내장되는, 장치 내부에 내장된 필터링 장치.

청구항 3.

제 2항에 있어서, 상기 매체 저장 장치(44)는 IEEE 1394-1995 직렬 버스 구조에 연결되도록 구성되는, 장치 내부에 내장된 필터링 장치.

청구항 4.

제 3항에 있어서, 상기 조정 회로(42)는 등시성 데이터 스트림(isochronous streams of data)을 조정하는, 장치 내부에 내장된 필터링 장치.

청구항 5.

제 3항에 있어서, 상기 조정 회로(42)는 등시성 데이터 스트림과 비동기성 데이터 스트림(asynchronous streams of data)을 모두 조정하는, 장치 내부에 내장된 필터링 장치.

청구항 6.

삭제

청구항 7.

제 5항에 있어서, 상기 명령은 상기 제어 회로(48)의 펌웨어(firmware) 내에서 프로그램되는, 장치 내부에 내장된 필터링 장치.

청구항 8.

제 5항에 있어서, 상기 명령은 상기 제어 회로(48)의 판독-전용 메모리(read-only memory)에 저장되는, 장치 내부에 내장된 필터링 장치.

청구항 9.

매체 저장 장치로서,

a. 데이터 스트림을 수신하여, 수신된 데이터 스트림을 형성하고, 또한 목적 장치에 해당하는 포맷으로 조정된 데이터 스트림을 전송하기 위한 인터페이스 회로(interface circuit)(32)와,

b. 상기 수신된 데이터 스트림을 미리 정해진 포맷으로 조정하여, 상기 조정된 데이터 스트림을 형성하기 위해 상기 인터페이스 회로(32)에 연결된 필터링 회로(42)와,

c. 외부 제어기(46)로부터 수신된, 상기 수신된 데이터 스트림을 상기 조정된 데이터 스트림으로 조정하는 것에 관련되는 프로그램된 명령을 수행하기 위해 상기 필터링 회로(42)에 연결된 프로그램 가능한 제어 회로(48)를 포함하는, 매체 저장 장치.

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

제 9항에 있어서, 상기 수신된 데이터 스트림 중 미리 결정된 하나와 상기 조정된 데이터 스트림이 저장되고, 상기 필터링 회로(42)에 연결된 매체(40)를 더 포함하는, 매체 저장 장치.

청구항 13.

제 12항에 있어서, 상기 매체로부터의 판독 및 상기 매체에 대한 기록 동작을 제어하기 위해 상기 매체(40) 및 상기 필터링 회로(42)에 연결되는 판독/기록 채널 회로(38)를 더 포함하는, 매체 저장 장치.

청구항 14.

제 9항에 있어서, 상기 필터링 회로(42)는,

a. 상기 수신된 데이터 스트림을 상기 조정된 데이터 스트림으로 조정하기 위해서 상기 프로그램된 명령이 저장되는 제어 저장 메모리와,

b. 상기 프로그램된 명령을 획득하고, 상기 프로그램된 명령에 따라 상기 수신된 데이터 스트림을 상기 조정된 데이터 스트림으로 조정하며, 상기 조정된 데이터 스트림을 제공하기 위해서 상기 제어 저장 메모리에 연결되는 조정 회로를 포함하는 등시성 데이터 파이프(isocronous data pipe)인 , 매체 저장 장치.

청구항 15.

제 14항에 있어서, 상기 프로그램된 명령은 외부 제어기에 의해 상기 제어 저장 메모리 내에 저장되는, 매체 저장 장치.

청구항 16.

제 9항에 있어서, 상기 인터페이스 회로(32)는 IEEE 1394-1995 직렬 버스 구조에 연결되는, 매체 저장 장치.

청구항 17.

제 16항에 있어서, 상기 필터링 회로(42)는 등시성 데이터 스트림과 비동기성 데이터 스트림 모두를 조정하는, 매체 저장 장치.

청구항 18.

매체 저장 장치에 데이터를 기록하는 방법으로서,

a. 상기 매체 저장 장치(44)에 기록될 수신된 데이터 패킷을 수신하는 단계와,

b. 외부 제어기(46)에 의해 프로그램되는 프로그램된 명령에 따라 상기 수신된 데이터를 조정하여, 조정된 데이터 패킷을 형성하는 조정 단계로서, 상기 조정된 데이터 패킷은 상기 수신된 데이터 패킷과는 다른 형태인, 조정하는 단계와,

c. 상기 조정된 데이터 패킷을 상기 매체 저장 장치(44) 내의 매체(40) 상에 저장하는 단계를 포함하는, 데이터를 매체 저장 장치에 기록하는 방법.

청구항 19.
삭제

청구항 20.

제 18항에 있어서, 상기 수신된 데이터 패킷은 IEEE 1394-1995 직렬 버스 구조로부터 수신되는, 데이터를 매체 저장 장치에 기록하는 방법.

청구항 21.

제 20항에 있어서, 상기 조정 단계는 등시성 데이터 파이프(42)에 의해 수행되는, 데이터를 매체 저장 장치에 기록하는 방법.

청구항 22.

매체 저장 장치로부터의 데이터를 판독하는 방법으로서,

a. 매체 저장 장치(44)내의 매체(40)로부터 미리 저장된 데이터 패킷을 판독하는 단계와,

b. 상기 미리 저장된 데이터 패킷을, 외부 제어기(46)에 의해 프로그램되는 프로그램된 명령에 따라 조정하여, 조정된 데이터 패킷을 형성하는 조정 단계로서, 상기 조정된 데이터 패킷은 상기 미리 저장된 데이터 패킷과는 다른 형태인, 조정하는 단계를 포함하는, 매체 저장 장치로부터의 데이터 판독 방법.

청구항 23.

제 22항에 있어서, 상기 조정된 데이터 패킷을 또 다른 장치로 전송하는 단계를 더 포함하는, 매체 저장 장치로부터의 데이터 판독 방법.

청구항 24.

제 23항에 있어서, 상기 전송 단계는 상기 조정된 데이터 패킷을 IEEE 1394-1995 직렬 버스 구조를 통해서 전송하는 것을 포함하는, 매체 저장 장치로부터의 데이터 판독 방법.

청구항 25.
삭제

요약

매체 저장 장치(media storage device)는, 데이터 스트림이 매체 저장 장치에 기록되고, 매체 저장 장치로부터 판독될 때 범용 클록에 기초한 상기 데이터 스트림을 조정하기 위한 내장된 필터를 포함한다. 매체 저장 장치는 또한

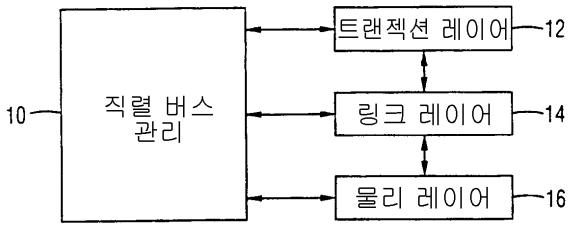
매체 저장 장치에 기록되고 있지 않거나, 매체 저장 장치로부터 판독되고 있지 않는 데이터 스트림을 조정할 것이다. 바람직하게, 상기 매체 저장 장치 내의 내장된 필터는 외부 제어기로부터 프로그램된 명령을 수신하는 등시성 데이터 파이프이고, 상기 프로그램된 명령에 따라 실시간으로 범용 클록에 조정된 데이터 스트림을 조정한다. 대안적으로, 등시성 데이터 파이프는 적절한 조정을 수행하기 위한 고정 펌웨어(firmware)를 포함한다. 매체 저장 장치는 또한 바람직하게 IEEE 1394-1995 직렬 버스 구조에 연결된다. 기록 동작 도중에, 데이터 스트림이 상기 매체 저장 장치로부터 수신됨에 따라, 이러한 데이터 스트림은 상기 매체 저장 장치 내의 매체 상에 저장되기 전에 내장된 필터에 의해 다른 포맷으로 조정될 수 있다. 판독 동작 도중에, 데이터 스트림이 상기 매체 저장 장치로부터 전송됨에 따라, 이러한 데이터 스트림은 IEEE 1394-1995 직렬 버스구조를 통해 전송되기 전에 상기 내장된 필터에 의해 다른 포맷으로 조정될 수 있다. 상기 두 경우에, 범용 클록이 상기 데이터 스트림을 동기화하는데 사용될 수 있다. 매체 저장 장치는 또한 IEEE 1394-1995 직렬 버스 구조상의 두 개의 다른 장치 사이에 전송되는 데이터 스트림을 조정하기 위해서 내장된 필터를 이용할 것이다.

대표도

도 3

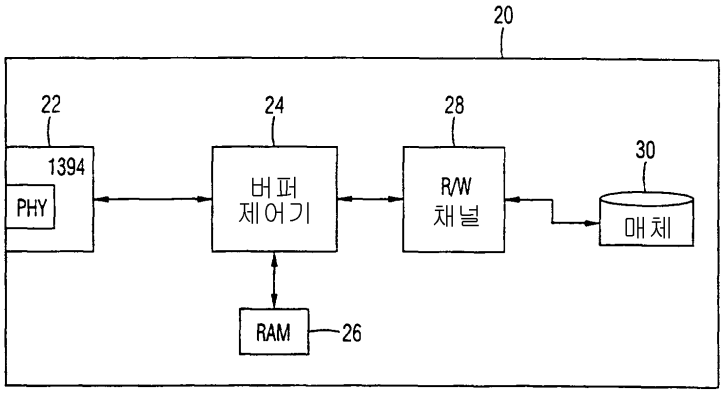
도면

도면1



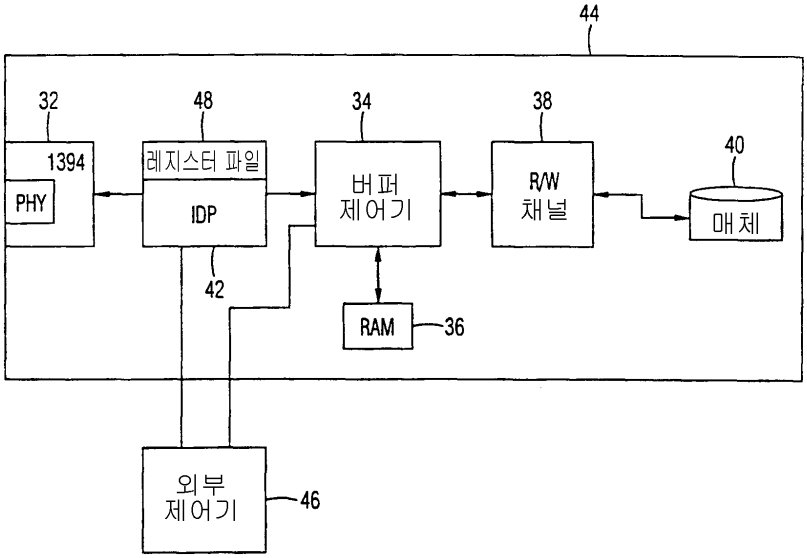
(종래 기술)

도면2



(종래 기술)

도면3



도면4

180

182 오프셋	184 R/W	기능			
		바이트 0 (msb)	바이트 1	바이트 2	바이트 3 (lsb)
0	R/W	주기_시간 (20비트)			
4	R/W	제어			
8	R/W	상태			
C					
10					
14					
18					
1C					
20	R/W	보류_채널_마스크_하이			
24	R/W	보류_채널_마스크_로우			
28	RO	채널_마스크_하이			
2C	RO	채널_마스크_로우			
30					
34	R/W	CS_출력			CS_주소_CS
38	R/W	CS_주소_0			
3C	R/W				
40	R/W				
44	R/W				
48	R/W				
4C	R/W				
50	R/W				
54	R/W				
58	R/W				
5C	R/W				
60	R/W				
64	R/W				
68	R/W				
6C	R/W				
70	R/W				
74	R/W				CS주소_63

IDP 레지스터 파일

도면5

190

이름	레지스터 코드	폭	src/dest?	레지스터 용도
IMM	0	34	src	즉시 값
BUS_IN	1	32	src	FIFO 수신
BUS_OUT	2	34	dest	아웃바운드 동시성 FIFO
	3			
D0	4	34	src/dest	데이터 레지스터 0
D1	5	34	src/dest	데이터 레지스터 1
D2	6	34	src/dest	데이터 레지스터 2
D3	7	34	src/dest	데이터 레지스터 3
D4	8	34	src/dest	데이터 레지스터 4
D5	9	34	src/dest	데이터 레지스터 5
D6	A	34	src/dest	데이터 레지스터 6
D7	B	34	src/dest	데이터 레지스터 7
	C			
	D			
	E			
	F			
DATA_0	10	32	src/dest	데이터 인터페이스 DMA 채널 0
DATA_1	11	32	src/dest	데이터 인터페이스 DMA 채널 1
DATA_2	12	32	src/dest	데이터 인터페이스 DMA 채널 2
DATA_3	13	32	src/dest	데이터 인터페이스 DMA 채널 3
	14			
	15			
	16			
	17			
	18			
	19			
	1A			
	1B			
	1C			
	1D			
	1E			
	1F			