

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 12 月 8 日(08.12.2011)

PCT

(10) 国際公開番号
WO 2011/151892 A1

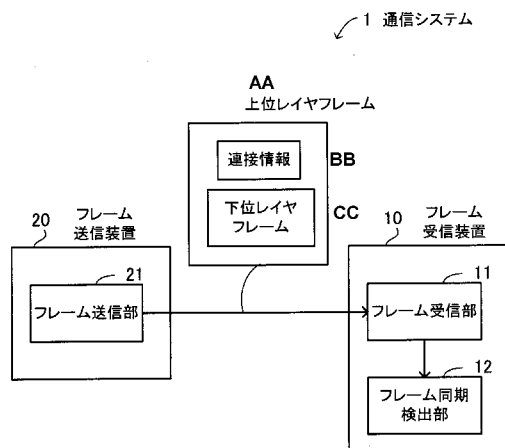
- (51) 国際特許分類:
H04J 3/06 (2006.01) H04L 7/08 (2006.01)
H04J 3/00 (2006.01)
- (21) 国際出願番号: PCT/JP2010/059254
- (22) 国際出願日: 2010 年 6 月 1 日(01.06.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 北島 広之 (KITAJIMA, Hiroyuki) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 本間 弘之 (HONMA, Hiroyuki) [JP/JP]; 〒2118588 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).
- (74) 代理人: 服部 毅巖 (HATTORI, Kiyoshi); 〒1920082 東京都八王子市東町 9 番 8 号 八王子東町センタービル 服部特許事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: COMMUNICATION SYSTEM, FRAME SYNC DETECTION APPARATUS AND FRAME SYNC DETECTION METHOD

(54) 発明の名称: 通信システム、フレーム同期検出装置およびフレーム同期検出方法

[図1]



- 1 COMMUNICATION SYSTEM
20 FRAME TRANSMITTER APPARATUS
21 FRAME TRANSMITTING UNIT
AA UPPER-LAYER FRAME
BB CONNECTION INFORMATION
CC LOWER-LAYER FRAME
10 FRAME RECEIVER APPARATUS
11 FRAME RECEIVING UNIT
12 FRAME SYNC DETECTING UNIT

(57) Abstract: The frame sync detection is efficiently performed so as to reduce the apparatus scale. A frame transmitting unit divides a payload region of an upper-layer frame into a plurality of slots, maps a lower-layer frame to a slot, and transmits the upper-layer frame including connection information indicating to which one of the plurality of slots the same type of low-layer frame has been mapped. A frame sync detecting unit recognizes, based on the connection information, an allocation slot that is the slot to which the same type of low-layer frame has been mapped, recognizes a frame front signal of the same type of low-layer frame mapped to the allocation slot, and detects a frame sync.

(57) 要約: フレーム同期検出を効率よく行って装置規模の削減を図る。フレーム送信部は、上位レイヤフレームのペイロード領域を複数のスロットに分割して、スロットに下位レイヤフレームをマッピングし、複数のスロットの内のどのスロットに、同一種別の下位レイヤフレームがマッピングされているかを示す接続情報を含めて上位レイヤフレームを送信する。フレーム同期検出部は、接続情報にもとづいて、同一種別の下位レイヤフレームがマッピングされているスロットである割当スロットを認識し、割当スロットにマッピングされている、同一種別の下位レイヤフレームのフレーム先頭信号を認識して、フレーム同期を検出する。



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

通信システム、フレーム同期検出装置およびフレーム同期検出方法

技術分野

[0001] 本発明は、情報通信を行う通信システム、フレーム同期検出を行うフレーム同期検出装置およびフレーム同期検出方法に関する。

背景技術

[0002] 光通信の基幹網を支える伝送技術の1つに、OTN (Optical Transport Network) があり、ITU-T (International Telecommunication Union Telecommunication Standardization Sector) で標準化されている。

[0003] OTNは、SONET/SDH (Synchronous Optical Network/Synchronous Digital Hierarchy)、Ethernet (登録商標) 等のクライアント信号を收容し、階梯構造を持つフレームを生成して、WDM (Wavelength Division Multiplexing) に適したデータ伝送を行う技術である。

[0004] 一方、近年になって、既存の階梯構造との接続性を維持しながら、多様なクライアント信号をいかに收容して、効率よくデータ伝送を実現するかOTN拡張の議論が高まっている。

[0005] OTN拡張の一例としては、LO (Lower Order) -ODU (Optical Channel Data Unit)、HO (High Order) -ODUのクライアント收容方式が注目されている。

これは、クライアント信号として、SONET/SDHやEthernet等のデータ信号の他に、フレーム構造を持つ信号も多重化して收容させることで、クライアント信号收容の柔軟性を高めようとするものである。

[0006] クライアント信号として收容されるフレームがLO-ODUと呼ばれ、LO-ODUの格納先のフレームがHO-ODUと呼ばれる。LO-ODUは、HO-ODUのペイロード領域内にマッピングされて送信され、受信側において、LO-ODUのフレーム同期が検出されてモニタリングが行われる。

- [0007] フレーム同期に関する従来技術としては、STM-N内のSTM1の個々についてフレーム同期をとる技術が提案されている（特許文献1）。また、フレーム同期用の固定パターンの検出を短縮化した技術が提案されている（特許文献2）。

先行技術文献

特許文献

- [0008] 特許文献1：特開平8-265285号公報
特許文献2：特開2008-278137号公報

発明の概要

発明が解決しようとする課題

- [0009] HO-ODUに收容されるLO-ODUは、伝送レートによって複数の種別があり、HO-ODUにマッピングされる際は、複数種別のLO-ODUが1つのHO-ODUのペイロード領域に離散的にマッピングされる。また、受信側でLO-ODUをモニタリングするときは、LO-ODUのフレーム同期を確立する。
- [0010] フレーム同期を確立するにあたっては、LO-ODU種別毎のセクタ回路を設けて各種別のLO-ODUを選別し、選別後のLO-ODUに対して、同期検出制御を行うといった構成が考えられる。
- [0011] しかし、このような回路構成では、LO-ODUの種別毎にフレーム同期検出を行うための並列した複数の制御系が必要になる。このため、想定しうるLO-ODU最大種別の個数分の制御系をあらかじめ用意しておくことになり、装置規模（回路規模）が増大し、またインプリメントの難易度が増大するといった問題があった。
- [0012] 本発明はこのような点に鑑みてなされたものであり、フレーム同期検出を効率よく行って装置規模の削減を図った通信システムを提供することを目的とする。

また、本発明の他の目的は、フレーム同期検出を効率よく行って装置規模の削減を図ったフレーム同期検出装置を提供することである。

[0013] さらに、本発明の他の目的は、フレーム同期検出を効率よく行って装置規模の削減を図ったフレーム同期検出方法を提供することである。

課題を解決するための手段

[0014] 上記課題を解決するために、通信システムが提供される。この通信システムは、上位レイヤフレームのペイロード領域を複数のスロットに分割して、前記スロットに下位レイヤフレームをマッピングし、複数の前記スロットの内のどの前記スロットに、同一種別の前記下位レイヤフレームがマッピングされているかを示す接続情報を含めて前記上位レイヤフレームを送信するフレーム送信部を含むフレーム送信装置と、前記上位レイヤフレームを受信するフレーム受信部と、前記下位レイヤフレームのフレーム同期を検出するフレーム同期検出部とを含むフレーム受信装置とを備える。前記フレーム同期検出部は、前記接続情報にもとづいて、同一種別の前記下位レイヤフレームがマッピングされている前記スロットである割当スロットを認識し、前記割当スロットにマッピングされている、同一種別の前記下位レイヤフレームのフレーム先頭信号を認識して、前記フレーム同期を検出する。

発明の効果

[0015] 装置規模を削減することが可能になる。

本発明の上記および他の目的、特徴および利点は本発明の例として好ましい実施の形態を表す添付の図面と関連した以下の説明により明らかになるであろう。

図面の簡単な説明

[0016] [図1] 通信システムの構成例を示す図である。

[図2] OTNのフレーム階梯構造を示す図である。

[図3] OTUのフレームフォーマットを示す図である。

[図4] L0-ODUのフレームフォーマットを示す図である。

[図5] H0-ODUのペイロード分割を示す図である。

[図6] L0-ODU0のマッピング状態を示す図である。

[図7] L0-ODU0のマッピング状態を示す図である。

[図8] L0-ODU1のマッピング状態を示す図である。

[図9] L0-ODU1のマッピング状態を示す図である。

[図10] マッピングの順番を示す図である。

[図11] マッピングの順番を示す図である。

[図12] スタッフが挿入されている状態を示す図である。

[図13] フレーム受信装置の構成例を示す図である。

[図14] 接続情報を説明するための図である。

[図15] FAS要素フラグを示す図である。

[図16] FAS要素フラグの生成パターン例を示す図である。

[図17] FAS要素フラグの生成パターン例を示す図である。

[図18] デマッピング処理の動作を示す図である。

[図19] FAS要素検出の動作を示す図である。

[図20] フレーム同期処理部のブロック構成を示す図である。

[図21] TS個別フレーム同期処理部のブロック構成を示す図である。

[図22] FAS検出情報を示す図である。

[図23] フレームカウンタの動作を説明するための図である。

[図24] TS個別オーバーヘッド処理部を示す図である。

[図25] TS個別BIPチェック処理部を示す図である。

発明を実施するための形態

[0017] 以下、本発明の実施の形態を図面を参照して説明する。図1は通信システムの構成例を示す図である。通信システム1は、フレーム送信装置20とフレーム受信装置10を備える。

[0018] フレーム送信装置20は、フレーム送信部21を含む。フレーム送信部21は、上位レイヤフレームのペイロード領域を複数のスロットに分割して、分割したスロットに下位レイヤフレームをマッピングする。

[0019] また、複数のスロットの内のどのスロットに、同一種別の下位レイヤフレームがマッピングされているかを示す接続情報を生成する。そして、上位レイヤフレームのオーバーヘッドに接続情報を含めて、上位レイヤフレームを送

信する。

[0020] フレーム受信装置 10 は、フレーム受信部 11 とフレーム同期検出部 12 を含む。フレーム受信部 11 は、上位レイヤフレームを受信する。フレーム同期検出部 12 は、上位レイヤフレームにマッピングされている下位レイヤフレームのフレーム同期を検出する。

[0021] ここで、フレーム同期検出部 12 は、接続情報にもとづいて、同一種別の下位レイヤフレームがマッピングされているスロットである割当スロットを認識する。そして、割当スロットにマッピングされている、同一種別の下位レイヤフレームのフレーム先頭信号を認識して、フレーム同期を検出する。

[0022] この場合、フレーム同期検出部 12 では、スロットにマッピングされている、下位レイヤフレームのフレーム先頭信号を形成しているフレーム先頭信号要素をすべて検出して、すべてのフレーム先頭信号要素のフラグを生成する。

[0023] その後、割当スロットにマッピングされているフレーム先頭信号要素のフラグを集約することで、同一種別の下位レイヤフレームのフレーム先頭信号を認識して、下位レイヤフレームのフレーム同期検出を行う。なお、詳細動作については具体例を用いて後述する。

[0024] 次に通信システム 1 を OTN のシステムに適用した場合について以降説明する。最初に OTN のフレーム構成について説明する。

図 2 は OTN のフレーム階梯構造を示す図である。OTN のフレームは、階梯構造をとり、下位レイヤから上位レイヤに向かって、OPU (Optical Channel Payload Unit) フレーム、ODU (Optical Channel Data Unit) フレーム、OTU (Optical Channel Transport Unit) フレームと呼ばれる。

[0025] SONET/SDH、Ethernet 等のクライアント信号をペイロードに収容し、このペイロードに制御情報であるオーバヘッド (OH) を付加して OPU フレームが生成される。また、OPU フレームにオーバヘッドを付加して ODU フレームが生成される。さらに、ODU フレームにオーバヘッドと誤り訂正符号 (FEC : Forward Error Correction) を付加して OTU フレームが生成される。

[0026] なお、OPUフレームのオーバーヘッドはOPU-OHと呼ばれ、ODUフレームのオーバーヘッドはODU-OHと呼ばれ、OTUフレームのオーバーヘッドはOTU-OHと呼ばれる。また、ペイロードに收容されるクライアント信号には、SONET/SDH、Ethernet等のデータ信号の他に、LO-ODUのフレームが收容可能である。

[0027] 図3はOTUのフレームフォーマットを示す図である。OTUフレームは、オーバーヘッド領域、ペイロード領域およびFEC領域を備える。

オーバーヘッド領域は、1列目～16列目の16バイト×4行のフレームサイズを有し、ペイロード領域は、17列目～3824列目の3808バイト×4行のフレームサイズを有し、FEC領域は、3825列目～4080列目の256バイト×4行のフレームサイズを有する。

[0028] オーバヘッド領域には、OPUフレームのオーバーヘッドであるOPU-OHと、ODUフレームのオーバーヘッドであるODU-OHと、OTUフレームのオーバーヘッドであるOTU-OHとが含まれる。さらに、フレームの先頭を示すフレーム先頭信号であるFAS (Frame Alignment Signal) が含まれる。

[0029] FASは、1行目の1列目～6列目に配置される。また、OTU-OHは、1行目の7列目～14列目に配置され、ODU-OHは、2行目～4行目の1列目～14列目に配置される。さらに、OPU-OHは、1行目～4行目の15列目～16列目に配置される。

[0030] 図4はLO-ODUのフレームフォーマットを示す図である。LO-ODUは、ODUフレームにFASが付加されたフレームフォーマットを有しており、オーバーヘッド領域には、FAS、ODU-OHおよびOPU-OHが含まれる。

[0031] なお、LO-ODUがマッピングされるHO-ODUのフレームフォーマットは、ODUフレームと同じフォーマットである (HO-ODUのオーバーヘッド領域には、ODU-OHおよびOPU-OHが含まれる)。

[0032] 次にHO-ODUへのLO-ODUのマッピング方法について説明する。マッピングを行うにあたっては、まずHO-ODUのペイロード領域を複数のスロットに分割し、LO-ODUの必要帯域分の分割スロットに対して、LO-ODUをマッピングする。以降では、分割されたスロットをTS (Tributary Slot) と呼ぶ。なお、H

0-ODUは、上位レイヤフレームに該当し、L0-ODUは、下位レイヤフレームに該当する。

[0033] 図5はH0-ODUのペイロード分割を示す図である。一例として、H0-ODU4におけるペイロードの分割構成を示している。H0-ODU4では、帯域が約1.25Gbs相当のTSでペイロード領域を分割して、TS80個を1つの単位として区別する。そして、1単位80個のTSにL0-ODUをマッピングする。図では左から右方向へTS80個を1つのまとまりとして、#1~#80の番号を付けている。

[0034] ここで、TS1つ当たり約1.25Gbs相当の帯域を持つため、伝送レートが約1.25GbsのL0-ODU0であれば、80個のTSの内の1個のTSにL0-ODU0をマッピングすることになる。

また、伝送レートが約2.5GbsのL0-ODU1であれば、80個のTSの内の2個のTSにL0-ODU1をマッピングする。さらに、伝送レートが約10GbsのL0-ODU2であれば、80個のTSの内の8個のTSにL0-ODU2をマッピングする。さらにまた、伝送レートが約40GbsのL0-ODU3であれば、80個のTSの内の32個のTSにL0-ODU3をマッピングすることになる。

[0035] 次にL0-ODU0およびL0-ODU1におけるマッピング例について図6~図9を用いて説明する。図6、図7はL0-ODU0のマッピング状態を示す図である。図6は、H0-ODU4のペイロードにL0-ODU0をマッピングしている状態を示している。

[0036] L0-ODU0は、伝送レートが約1.25Gbsであるので、1個のTSにマッピングすることになり、図の場合は、TS#1にマッピングしている例である（TS#1が割当スロットとなる）。また、図7は、TS#1~TS#80を縦方向に並べたときのL0-ODU0のマッピング状態を示している。

[0037] 図8、図9はL0-ODU1のマッピング状態を示す図である。図8はH0-ODU4のペイロードにL0-ODU1をマッピングしている状態を示している。L0-ODU1は、伝送レートが約2.5Gbsであるので、2個のTSにマッピングすることになり、図の場合は、TS#2、TS#5にマッピングしている例である（TS#2、TS#

5が割当スロットとなる)。また、図9は、TS#1～TS#80を縦方向に並べたときのL0-ODU1のマッピング状態を示している。

[0038] 複数のTSを使用してマッピングする場合においては、上記のように隣接するTSを使う必要はなく、任意のTSを使用することが可能である。なお、L0-ODU3以降のL0-ODUkについても上記と同様なやり方でマッピングされる。

[0039] 次に複数のTSにL0-ODUをマッピングする際の順番について説明する。図10、図11はマッピングの順番を示す図である。図中に示す番号は、マッピングの順番を示している。図10はL0-ODU1の場合を示している。L0-ODU1では、2つのTSとして、TS#2、TS#5を使用する場合、このときのデータのマッピングは、図に示す矢印のような流れとなる。すなわち、2つのTSにまたがってマッピングされる。

[0040] 図11はL0-ODU2の場合を示している。L0-ODU2では、8つのTSとして、TS#4、#7、#10、#13、#16、#19、#22、#25を使用する場合、このときのデータのマッピングは、8つのTSにまたがって図に示す矢印のような流れでマッピングされる。

[0041] 次にスタッフィングについて説明する。図12はスタフが挿入されている状態を示す図である。H0-ODUのTSで確保された帯域と、L0-ODUの帯域とに差分がある場合は、図に示すように、固定パターンのスタフデータを適宜挿入して、スタッフィングを行いながら飛び飛びにマッピングを行う。このように、H0-ODUに対して、L0-ODUは離散的に、かつスタフ領域を挟みながら不連続に配置されることになる。

[0042] 次にフレーム受信装置10（フレーム同期検出装置）の構成について説明する。図13はフレーム受信装置の構成例を示す図である。フレーム受信装置10aは、H0-ODU4フレームの受信処理を行うものとし、80個のTSを処理する場合の構成例を示している。

[0043] フレーム受信装置10aは、H0-ODUオーバヘッド処理部11a、TS分割処理部11b、デマッピング処理部12a-1～12a-80、FAS要素検出部12b-1～12b-80、フレーム同期処理部120、L0-ODUオーバヘッ

ド抽出部 12d-1 ~ 12d-80、BIP (Bit Interleaved Parity) 演算部 12e-1 ~ 12e-80、L0-ODUオーバヘッド処理部 12f およびBIPチェック処理部 12g を備える。

[0044] なお、H0-ODUオーバヘッド処理部 11a とTS分割処理部 11b は、図1のフレーム受信部 11の機能に含まれ、その他の構成要素は、図1のフレーム同期検出部 12の機能に含まれる。

[0045] H0-ODUオーバヘッド処理部 11a は、H0-ODU4フレームを受信してオーバヘッドを認識する。そして、認識したオーバヘッドから、スタッフ位置を示すデマッピング情報と、接続情報とを認識して出力する。

[0046] なお、接続情報は、分割された複数TSの内の何番のTSにL0-ODUがマッピングされているかを示す情報である。したがって、この例では、フレーム送信側でH0-ODU4にL0-ODUがマッピングされた際に、80個のTSの内の何番のTSにL0-ODUがマッピングされているかを示す情報となる。

[0047] 例えば、L0-ODU0がTS#1にマッピングされているならば、L0-ODU0に関する接続情報は、TS#1となる。また、L0-ODU1がTS#2、TS#5にマッピングされているならば、L0-ODU1に関する接続情報は、TS#2、TS#5となる（接続情報については図14でも後述する）。

[0048] TS分割処理部 11b は、H0-ODU4フレームを受信してペイロードを認識する。そして、H0-ODU4フレームのペイロード部分をTS単位に分割し、TSにマッピングされているデータを出力する。

[0049] デマッピング処理部 12a-1 ~ 12a-80 は、デマッピング情報にもとづいて、1つのTS内のデータ部分とスタッフ部分とを認識する。FAS要素検出部 12b-1 ~ 12b-80 は、TS毎のデータ列より、FASを形成しているFAS要素を検出して、FAS要素フラグを生成する。

[0050] フレーム同期処理部 120 は、接続情報およびFAS要素フラグにもとづき、内部に有するフレームカウンタを動作させることによって、L0-ODUのフレーム同期検出およびフレーム認識を行う。また、L0-ODUフレームのオーバヘッドの位置情報やBIP演算の範囲情報を含む制御情報を出力する。

- [0051] L0-ODUオーバヘッド抽出部 12 d-1 ~ 12 d-80 は、制御情報の 1 つのオーバヘッド位置情報にもとづき、TS毎にL0-ODUのオーバヘッドを抽出してオーバヘッドのデータを出力する（TS分離したデータ列のままオーバヘッド抽出を行う）。BIP演算部 12 e-1 ~ 12 e-80 は、BIP演算の範囲情報にもとづいて、TS毎にBIP演算を行い、演算結果を出力する（TS分離したデータ列のままBIP演算を行う）。
- [0052] L0-ODUオーバヘッド処理部 12 f は、L0-ODUオーバヘッド抽出部 12 d-1 ~ 12 d-80 で抽出されたオーバヘッドの情報を集約してモニタ処理を行う（オーバヘッドに含まれるシステムの接続情報、運用管理情報等のモニタを行う）。また、障害情報を示すアラーム信号や、運用状態を示すステータス信号等を含むモニタ結果情報を出力する。
- [0053] BIPチェック処理部 12 g は、BIP演算部 12 e-1 ~ 12 e-80 にて演算されたBIP演算結果を集約して、L0-ODUフレームとしてのBIP演算値とした後、BIPチェックを行う。また、BIP演算結果として通信誤り状態を示すアラーム信号や、通信品質レベルを示すステータス信号等を含む通信品質状態情報を出力する。
- [0054] 図 14 は接続情報を説明するための図である。どのTSとどのTSとが組みになって、L0-ODUがマッピングされているかという判断は、H0-ODU内のオーバヘッドに格納されている接続情報により判断する。
- [0055] 接続情報の入ったオーバヘッドは、各TSに対する論理ポート番号が格納されており、この情報からどのTS同士が接続しているかが識別可能となる。図の例では、TS#2、TS#5のみが“1”という同じ値になっているため、この2つが接続しているとわかる。
- [0056] 次にFAS要素検出部 12 b-1 ~ 12 b-80 が出力するFAS要素フラグについて説明する。図 15 はFAS要素フラグを示す図である。例えば、FASは48byteであり、0xF6、0x28のFAS要素を持つものとする（以下、“0x”の表記は省略する）。FASのパターンは、F6、F6、F6、28、28、28の48byteである。また、FASは、F6要素と28要素を含むため、FAS要素フラグは、F6要素フラグと2

8要素フラグを有している。

[0057] 図16はFAS要素フラグの生成パターン例を示す図である。L0-ODU0に関するFAS要素フラグの生成パターン例を示している。L0-ODU0は、1つのTS#1にデータ列をマッピングするので、TS#1のみにF6、F6、F6、28、28、28と1byteずつFAS要素が配置される。したがって、F6の部分に対してF6要素フラグ f a が立ち、28の部分に対して28要素フラグ f b が立つ。

[0058] 図17はFAS要素フラグの生成パターン例を示す図である。L0-ODU1に関するFAS要素フラグの生成パターン例を示している。L0-ODU1は、2つのTS#2、TS#5にデータ列をマッピングする。

[0059] したがって、図10で上述したように、FAS要素の1つ目のF6がTS#2に配置すると、TS#5にFAS要素の2つ目のF6が配置し、TS#2にFAS要素の3つ目のF6が配置する。また、TS#5にFAS要素の1つ目の28が配置し、TS#2にFAS要素の2つ目の28が配置し、TS#5にFAS要素の3つ目の28が配置する。したがって、F6の部分に対してF6要素フラグ f a 1、f a 2 が立ち、28の部分に対して28要素フラグ f b 1、f b 2 が立つ。

[0060] 次に構成要素毎の動作について、H0-ODU4フレームにおけるTS#2、TS#5にL0-ODU1の信号がマッピングされている場合を例にして説明する。

フレーム送信側では、H0-ODU4フレームのTS#2、TS#5にL0-ODU1の信号をマッピングして送信する。H0-ODU4へのL0-ODU1のマッピング状態は図8、図9で上述した通りである。

[0061] 図18はデマッピング処理の動作を示す図である。L0-ODU1は、スタッフによりレート調整されながらマッピングされている。デマッピング処理部では、スタッフ位置を示すデマッピング情報にもとづいて、データ領域とスタッフ領域とを選別し、データ領域が有効部分であることを示すイネーブル信号（例えば、データ領域でHレベル、スタッフ領域でLレベル）を生成する。

[0062] 図19はFAS要素検出の動作を示す図である。FAS要素検出部は、スタッフが挿入されているTS#2、TS#5の各データストリームから、F6、28のFAS要素を検出してFAS要素フラグを生成する。なお、FAS要素の検出、フラグ生成に

については、図 17 と同じなので説明は省略する。

- [0063] 図 20 はフレーム同期処理部 120 のブロック構成を示す図である。フレーム同期処理部 120 は、TS 個別フレーム同期処理部 120c-1 ~ 120c-80 を含む。TS 個別フレーム同期処理部 120c-1 ~ 120c-80 は、FAS の要素フラグ（F6 要素フラグ、28 要素フラグ）と接続情報とを受信して、内部の処理によって、制御情報（オーバーヘッド位置情報、BIP 演算範囲情報）を出力する。
- [0064] 図 21 は TS 個別フレーム同期処理部のブロック構成を示す図である。TS 個別フレーム同期処理部 120c は、FAS パターン検出部 121c、状態遷移処理部 122c およびフレームカウンタ 123c を含む。
- [0065] FAS パターン検出部 121c は、FAS 要素フラグ（F6 要素フラグ、28 要素フラグ）と、接続情報とにもとづいて、FAS の出現パターン（F6F6F6282828）を検出して、FAS 検出情報を出力する。
- [0066] 状態遷移処理部 122c は、FAS 検出情報により同期保護をとり、フレーム同期確立状態および同期はずれ状態の状態遷移を管理する。例えば、n 回連続して同期がとれた場合は、フレーム同期が確立している状態と認識し、n 回連続して同期がとれない場合は、同期はずれ状態と認識する。そして、同期確立か同期はずれかの認識結果を示す状態通知信号を出力する。
- [0067] フレームカウンタ 123c は、状態遷移処理部 122c より、フレーム同期が確立しているか否かを示す同期確立情報を受け取り、L0-ODU フレームを認識するためのカウンタを動作させる。フレームカウンタ 123c の値より、オーバーヘッドの位置情報や BIP の演算範囲情報を生成して出力する。
- [0068] 図 22 は FAS 検出情報を示す図である。FAS パターン検出部 121c は、FAS を検出した場合に、FAS 検出情報として FAS 検出フラグとパターン ID（TS#2 を先頭として検出したのか、TS#5 を先頭として検出したのかを識別する ID）とを生成して、状態遷移処理部 122c へ出力する。
- [0069] 図 23 はフレームカウンタの動作を説明するための図である。状態遷移処理部 122c では、FAS 検出情報に含まれる FAS 検出フラグおよびパターン ID

にもとづいて、保護をとって同期検出を行う。同期確立した場合は、フレームカウンタ 1 2 3 c に Load 信号を出力する。

[0070] フレームカウンタ 1 2 3 c は、Load 信号を受け取ると、位相合わせのための初期化を行い、データとカウンタの同期化を行う。そして、オーバヘッド位置やBIPの演算範囲を特定し、制御情報として、オーバヘッド位置およびBIP演算範囲を出力する。

[0071] 図 2 4 はTS個別オーバヘッド処理部を示す図である。L0-ODUオーバヘッド処理部 1 2 f は、TS個別オーバヘッド処理部 1 2 f - 1 ~ 1 2 f - 8 0 を含む。TS個別オーバヘッド処理部 1 2 f - 1 ~ 1 2 f - 8 0 は、L0-ODUオーバヘッド抽出部 1 2 d - 1 ~ 1 2 d - 8 0 から出力された、各TSからのオーバヘッド情報を収集してモニタ処理を行い、モニタ結果の出力を行う。

[0072] 図 2 5 はTS個別BIPチェック処理部を示す図である。BIPチェック処理部 1 2 g は、TS個別BIPチェック処理部 1 2 g - 1 ~ 1 2 g - 8 0 を含む。TS個別BIPチェック処理部 1 2 g - 1 ~ 1 2 g - 8 0 は、BIP演算部 1 2 e - 1 ~ 1 2 e - 8 0 から送信された、各TSからのBIP演算結果を収集して1つに集約させて、L0-ODU単位のBIP演算結果として処理を行い、BIPチェック結果の出力を行う。

[0073] 以上説明したように、本発明により、H0-ODUフレームに離散的にマッピングされたL0-ODUフレームに対して、L0-ODUを種別毎にデータ列を整形することなく先頭位置検出を行って、L0-ODUフレームを認識する。

[0074] このため、L0-ODUの種別毎にフレーム同期検出を行うための並列した複数の制御系の回路構成を持つ必要がなく、任意のL0-ODUの種別に対してフレーム同期検出を効率よく行うことができるので、装置規模の削減が可能になる。

[0075] また、各TSに分割したままの状態でもオーバヘッドの抽出やBIP処理を実行しているので、L0-ODUから再びTSの列に戻すことなく、TS単位でクロスコネクトを行ったり、再び多重化したりすることが容易に行うことができるため、装置構成が簡素化できる。

[0076] なお、上記では、一例として、H0-ODU4のTS数＝80に対して、L0-ODUがマッピングされている状態でのフレーム同期検出制御に関して説明したが、H0-ODU4に限定するものではない。例えば、H0-ODU3の場合はTS数＝32となり、H0-ODU2の場合はTS数＝8となり、H0-ODU1の場合はTS数＝2となるが、基本装置構成は同様となる。

[0077] 上記については単に本発明の原理を示すものである。さらに、多数の変形、変更が当業者にとって可能であり、本発明は上記に示し、説明した正確な構成および応用例に限定されるものではなく、対応するすべての変形例および均等物は、添付の請求項およびその均等物による本発明の範囲とみなされる。

符号の説明

- [0078] 1 通信システム
- 10 フレーム受信装置
- 11 フレーム受信部
- 12 フレーム同期検出部
- 20 フレーム送信装置
- 21 フレーム送信部

請求の範囲

[請求項1]

上位レイヤフレームのペイロード領域を複数のスロットに分割して、前記スロットに下位レイヤフレームをマッピングし、複数の前記スロットの内のどの前記スロットに、同一種別の前記下位レイヤフレームがマッピングされているかを示す接続情報を含めて前記上位レイヤフレームを送信するフレーム送信部を含むフレーム送信装置と、

前記上位レイヤフレームを受信するフレーム受信部と、前記下位レイヤフレームのフレーム同期を検出するフレーム同期検出部とを含むフレーム受信装置と、

を備え、

前記フレーム同期検出部は、

前記接続情報にもとづいて、同一種別の前記下位レイヤフレームがマッピングされている前記スロットである割当スロットを認識し、

前記割当スロットにマッピングされている、同一種別の前記下位レイヤフレームのフレーム先頭信号を認識して、前記フレーム同期を検出する、

ことを特徴とする通信システム。

[請求項2]

前記フレーム同期検出部は、

前記フレーム先頭信号を形成するフレーム先頭信号要素を検出してフラグを生成し、

前記割当スロットにマッピングされている前記フレーム先頭信号要素の前記フラグを集約して、同一種別の前記下位レイヤフレームの前記フレーム先頭信号を認識する、

ことを特徴とする請求の範囲第1項記載の通信システム。

[請求項3]

上位レイヤフレームのペイロード領域が複数のスロットに分割されて、前記スロットに下位レイヤフレームがマッピングされた前記上位レイヤフレームを受信するフレーム受信部と、

前記下位レイヤフレームのフレーム同期を検出するフレーム同期検

出部と、

を備え、

前記フレーム受信部は、複数の前記スロットの内のどの前記スロットに、同一種別の前記下位レイヤフレームがマッピングされているかを示す接続情報を抽出し、

前記フレーム同期検出部は、

前記接続情報にもとづいて、同一種別の前記下位レイヤフレームがマッピングされている前記スロットである割当スロットを認識し、

前記割当スロットにマッピングされている、同一種別の前記下位レイヤフレームのフレーム先頭信号を認識して、前記フレーム同期を検出する、

ことを特徴とするフレーム同期検出装置。

[請求項4]

前記フレーム同期検出部は、

前記フレーム先頭信号を形成するフレーム先頭信号要素を検出してフラグを生成し、

前記割当スロットにマッピングされている前記フレーム先頭信号要素の前記フラグを集約して、同一種別の前記下位レイヤフレームの前記フレーム先頭信号を認識する、

ことを特徴とする請求の範囲第3項記載のフレーム同期検出装置。

[請求項5]

フレーム同期検出方法において、

上位レイヤフレームのペイロード領域が複数のスロットに分割されて、前記スロットに下位レイヤフレームがマッピングされた前記上位レイヤフレームを受信し、

複数の前記スロットの内のどの前記スロットに、同一種別の前記下位レイヤフレームがマッピングされているかを示す接続情報を抽出し、

前記接続情報にもとづいて、同一種別の前記下位レイヤフレームがマッピングされている前記スロットである割当スロットを認識し、

前記割当スロットにマッピングされている、同一種別の前記下位レイヤフレームのフレーム先頭信号を認識して、フレーム同期を検出する、

ことを特徴とするフレーム同期検出方法。

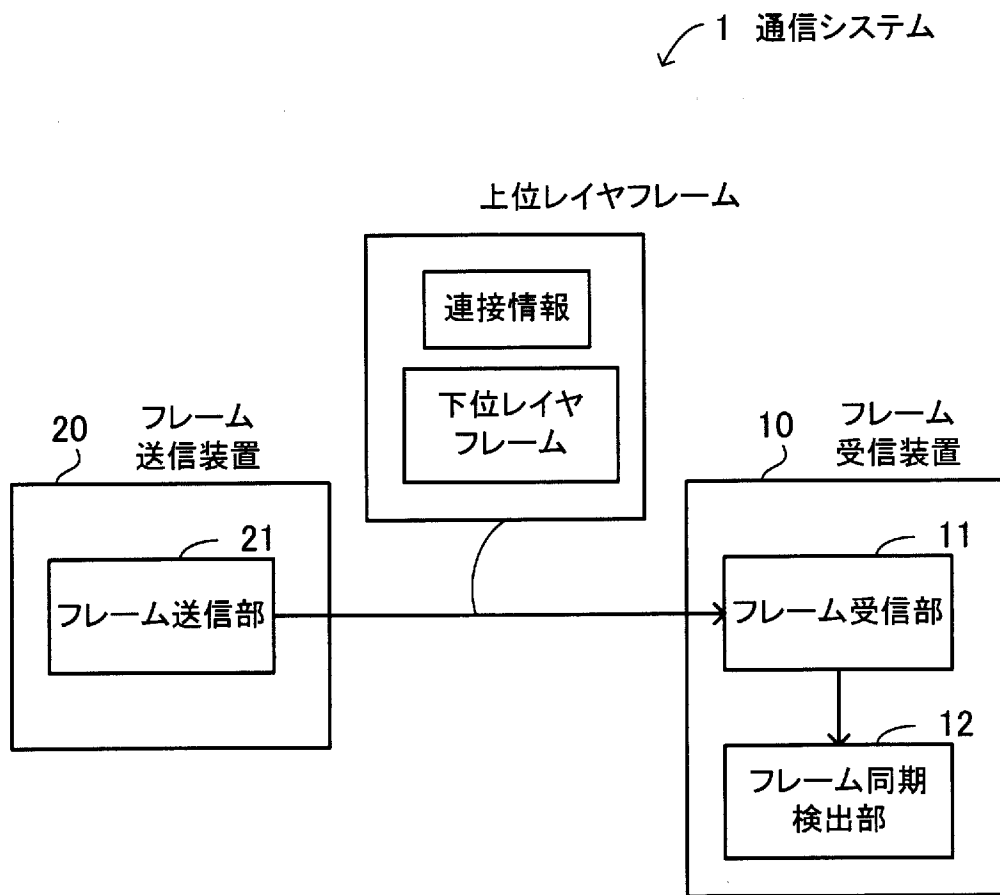
[請求項6]

前記フレーム先頭信号を形成するフレーム先頭信号要素を検出してフラグを生成し、

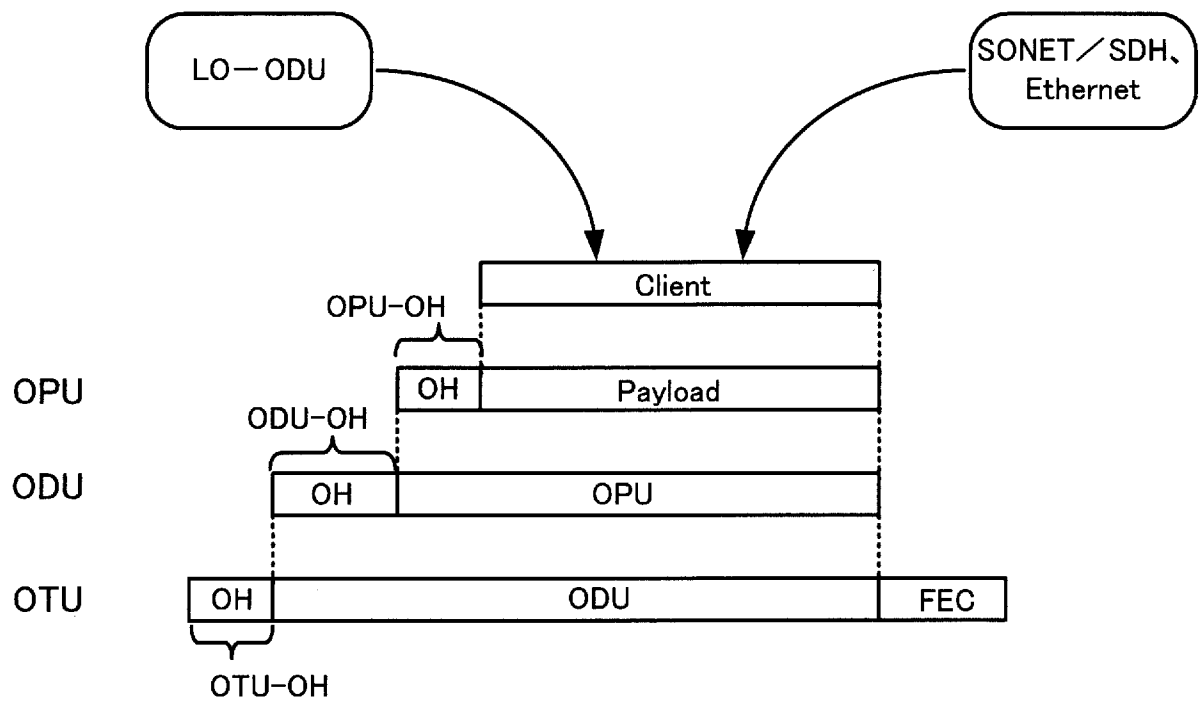
前記割当スロットにマッピングされている前記フレーム先頭信号要素の前記フラグを集約して、同一種別の前記下位レイヤフレームの前記フレーム先頭信号を認識する、

ことを特徴とする請求の範囲第5項記載のフレーム同期検出方法。

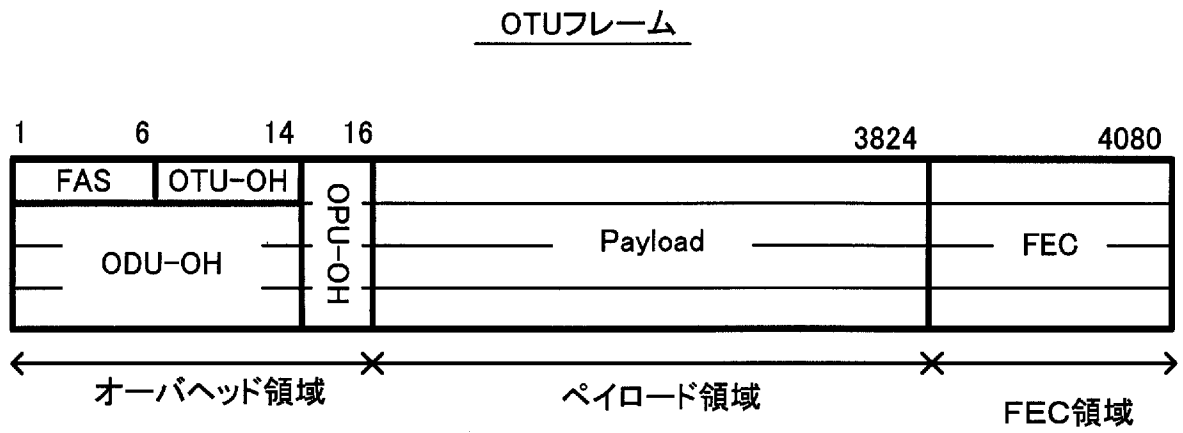
[図1]



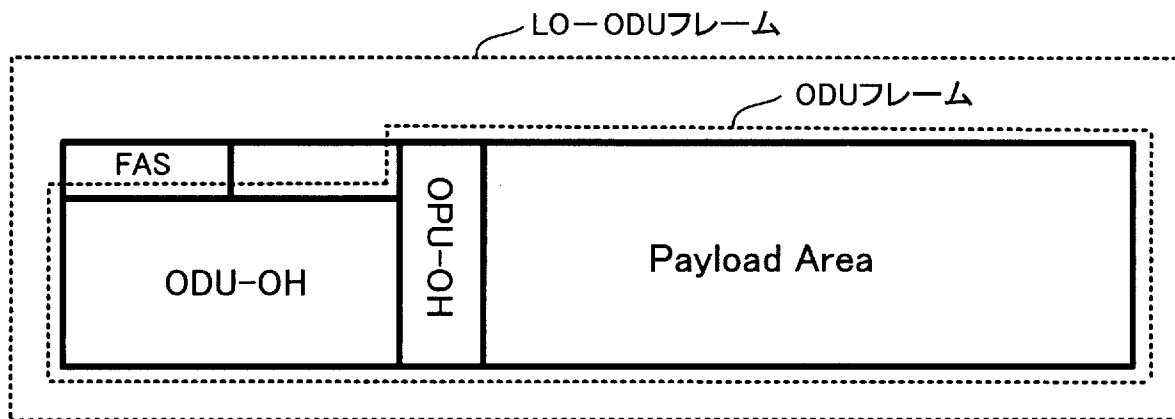
[図2]



[図3]

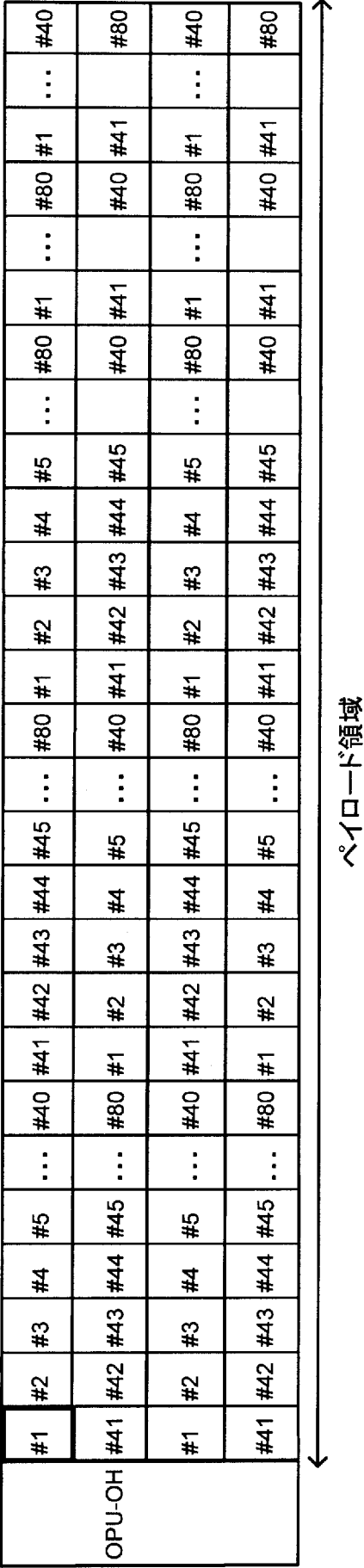


[図4]



[図5]

TS



[図6]

LO—ODU0

OPI-OH	#1	#2	#3	#4	#5	...	#40	#41	#42	#43	#44	#45	...	#80	#1	...	#80	#1	...	#80	#1	...	#40
	#41	#42	#43	#44	#45	...	#80	#1	#2	#3	#4	#5	...	#40	#41	#42	#43	#44	#45	...	#80	#41	#80
	#1	#2	#3	#4	#5	...	#40	#41	#42	#43	#44	#45	...	#80	#1	#2	#3	#4	#5	...	#80	#1	#40
	#41	#42	#43	#44	#45	...	#80	#1	#2	#3	#4	#5	...	#40	#41	#42	#43	#44	#45	...	#80	#41	#80

[図7]

TS#1	
TS#2	
TS#3	
TS#4	
TS#5	
TS#6	
.....	
TS#79	
TS#80	



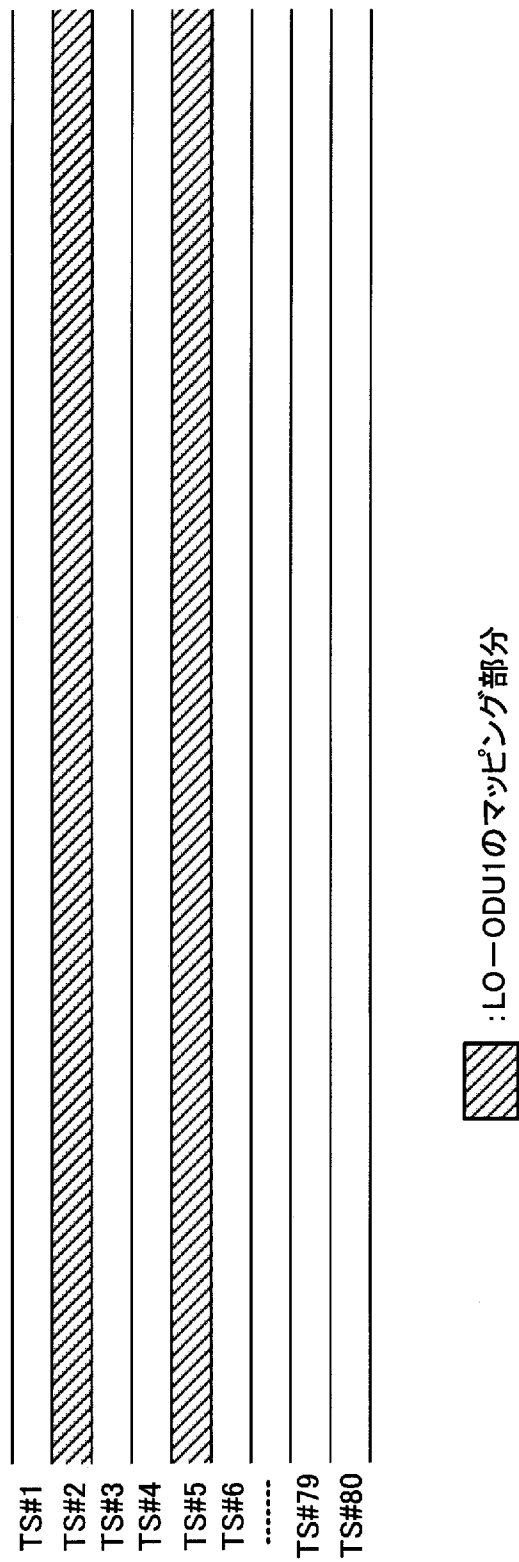
:LO-ODU00のマッピング部分

[図8]

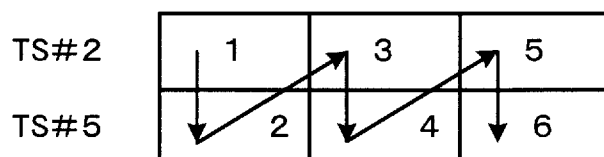
LO-ODU1

OPU-OH	#1	#2	#3	#4	#5	...	#40	#41	#42	#43	#44	#45	...	#80	#1	#2	#3	#4	#5	...	#80	#1	...	#80	#1	...	#40
	#41	#42	#43	#44	#45	...	#80	#1	#2	#3	#4	#5	...	#40	#41	#42	#43	#44	#45	...	#40	#41	...	#40	#41	...	#80
	#1	#2	#3	#4	#5	...	#40	#41	#42	#43	#44	#45	...	#80	#1	#2	#3	#4	#5	...	#80	#1	...	#80	#1	...	#40
	#41	#42	#43	#44	#45	...	#80	#1	#2	#3	#4	#5	...	#40	#41	#42	#43	#44	#45	...	#40	#41	...	#40	#41	...	#80

[図9]



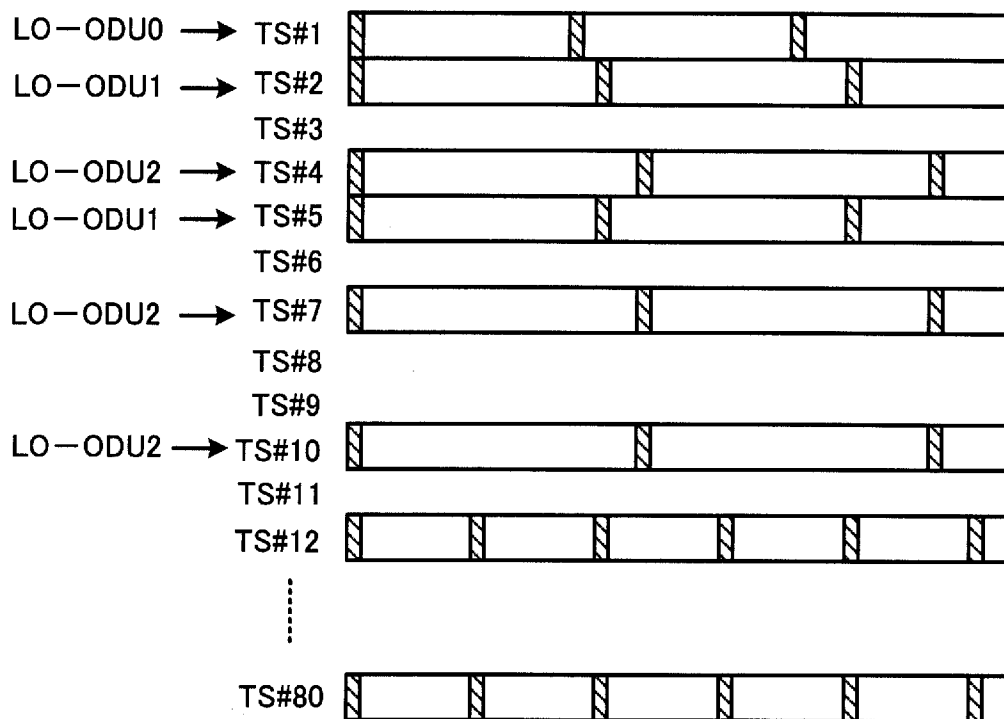
[図10]



[図11]

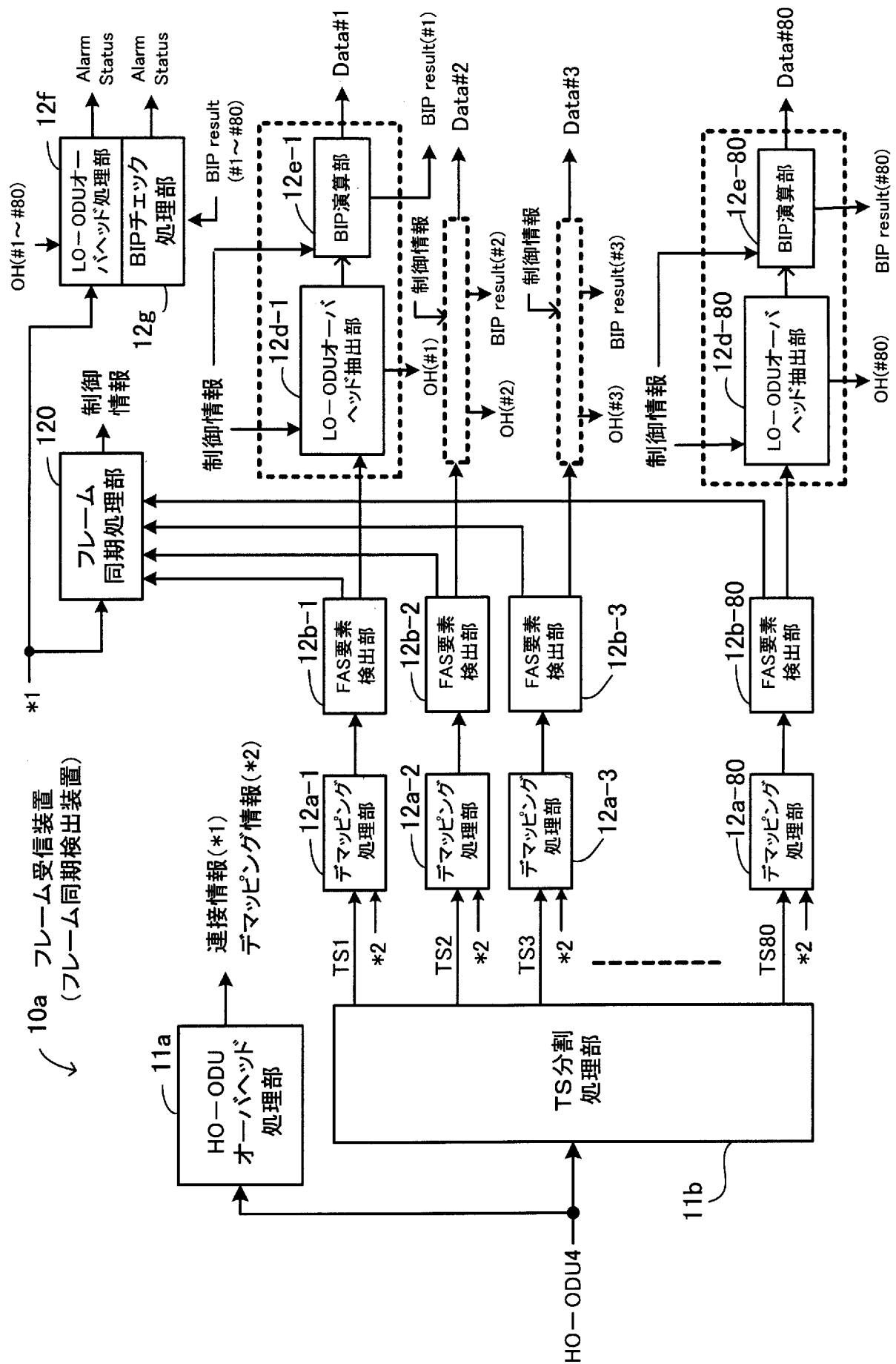
TS#4	1	9	5
TS#7	2	10	17
TS#10	3	11	18
TS#13	4	12	19
TS#16	5	13	20
TS#19	6	14	21
TS#22	7	15	22
TS#25	8	16	23

[図12]



▨ : スタッフ

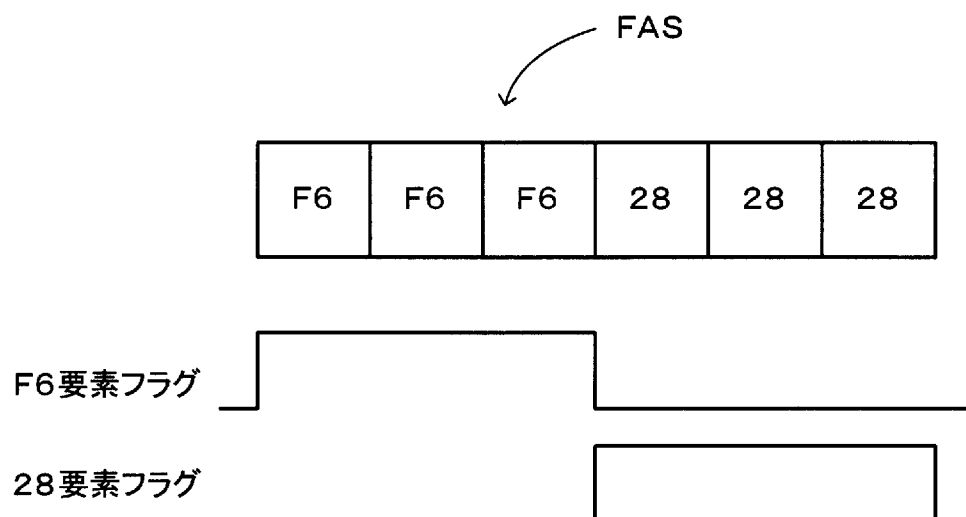
[図13]



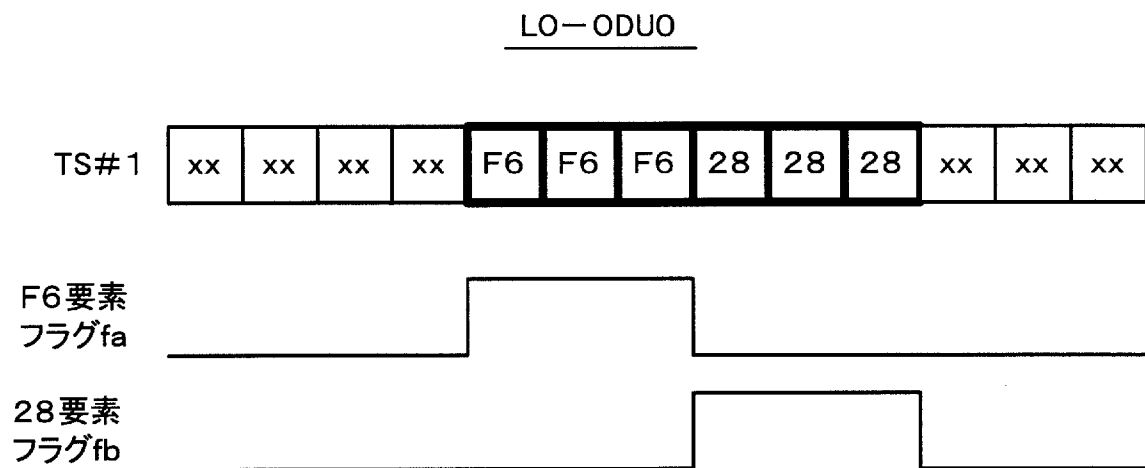
[図14]

TS No.	論理ポートNo.
0	0
1	0
2	1
3	2
4	2
5	1
6	2
.....	
79	2
80	2

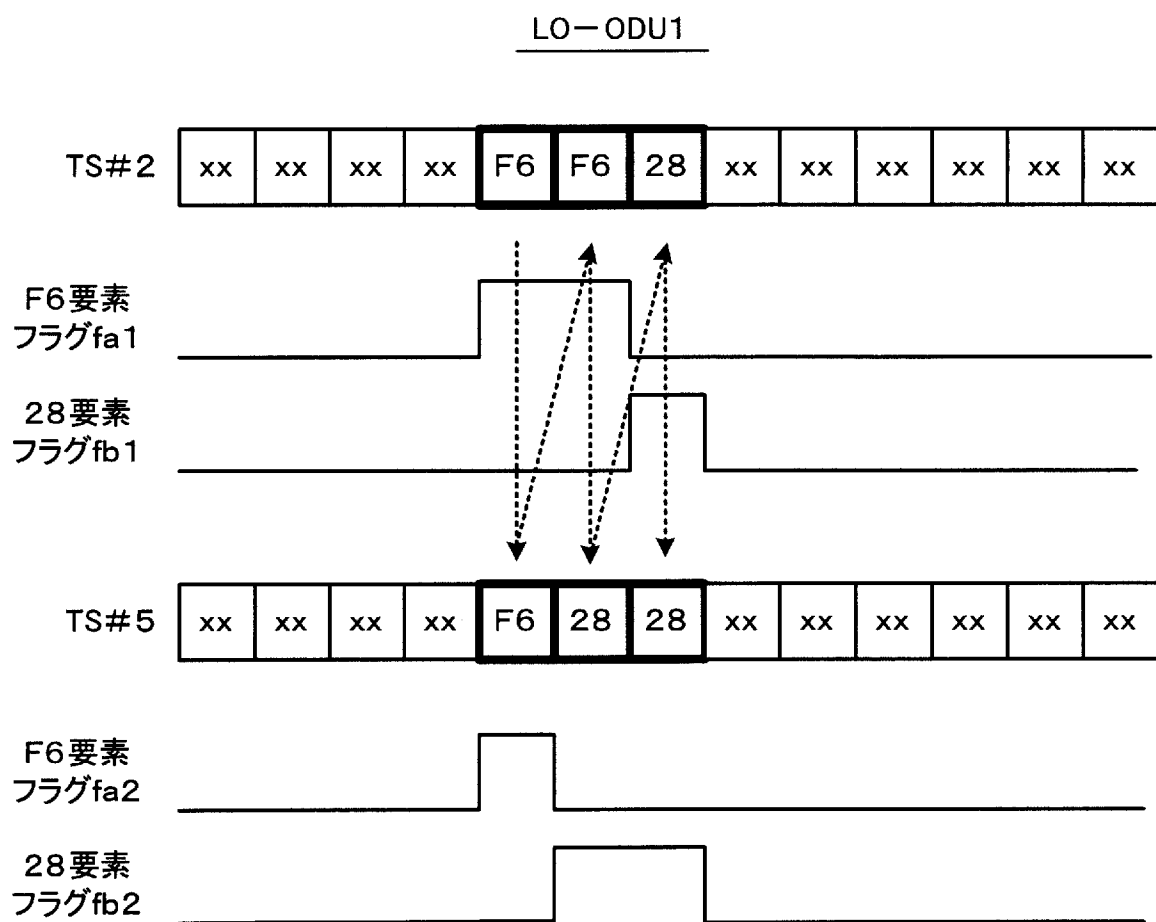
[図15]



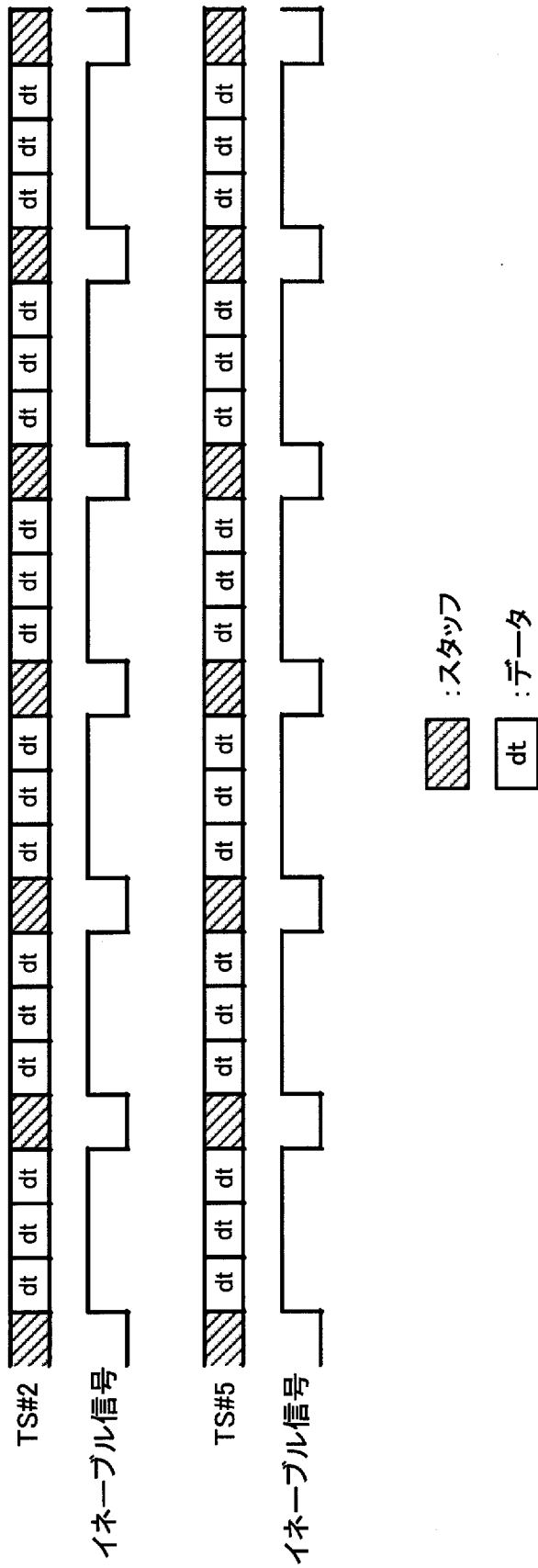
[図16]



[図17]



[図18]



TS#2

F6要素
フラグfa1

28要素
フラグfb1

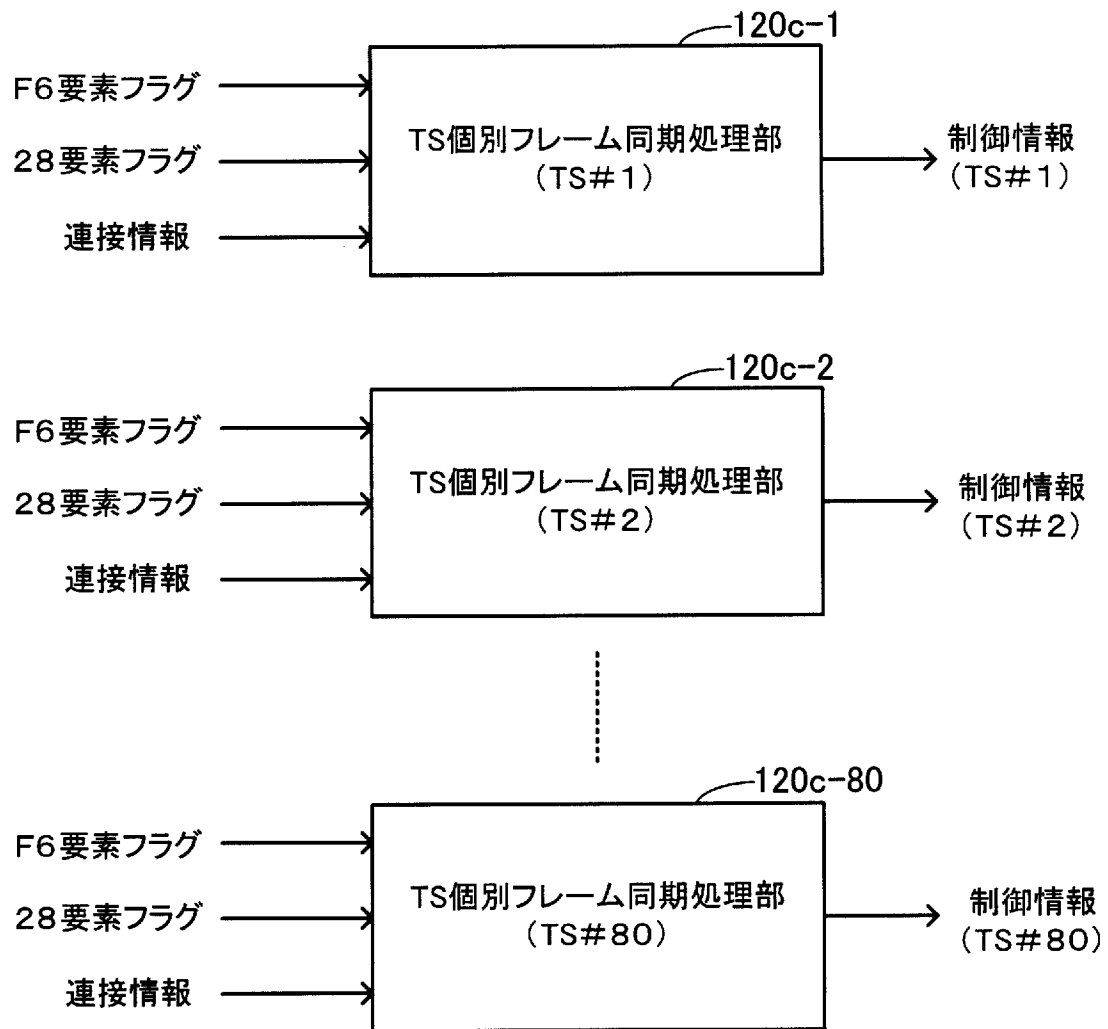
TS#5

F6要素
フラグfa2

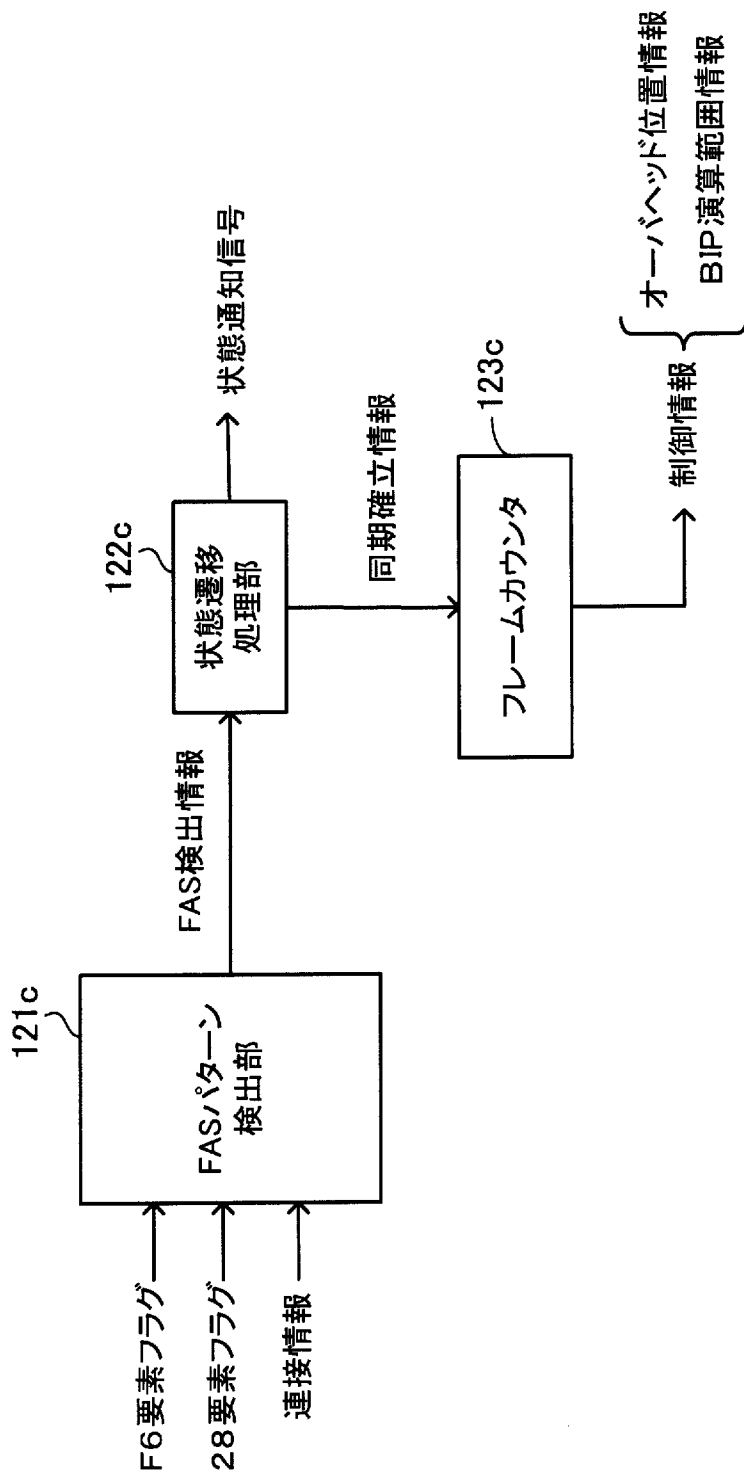
28要素
フラグfb2

スタツフ
デ一タ

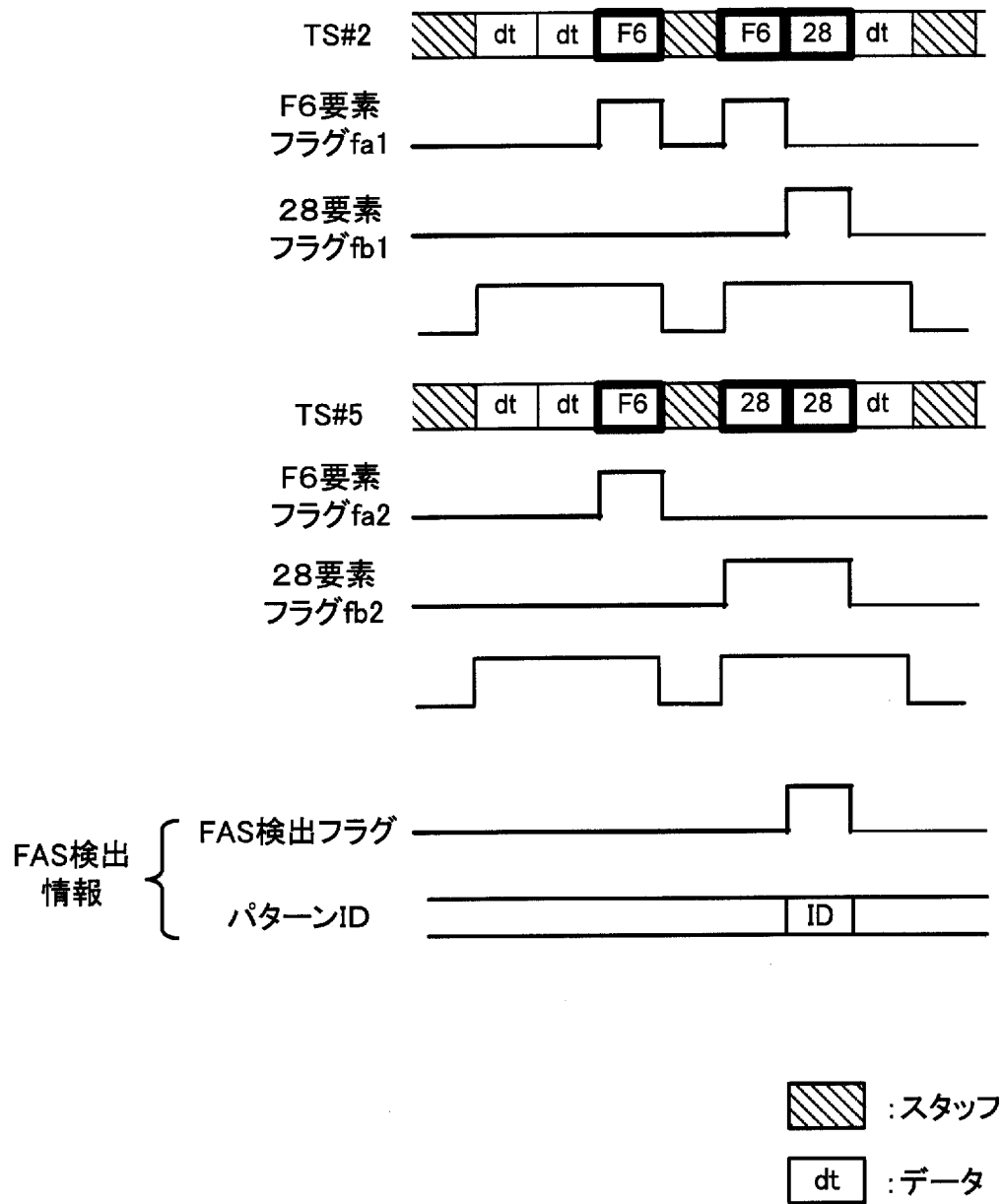
[図20]



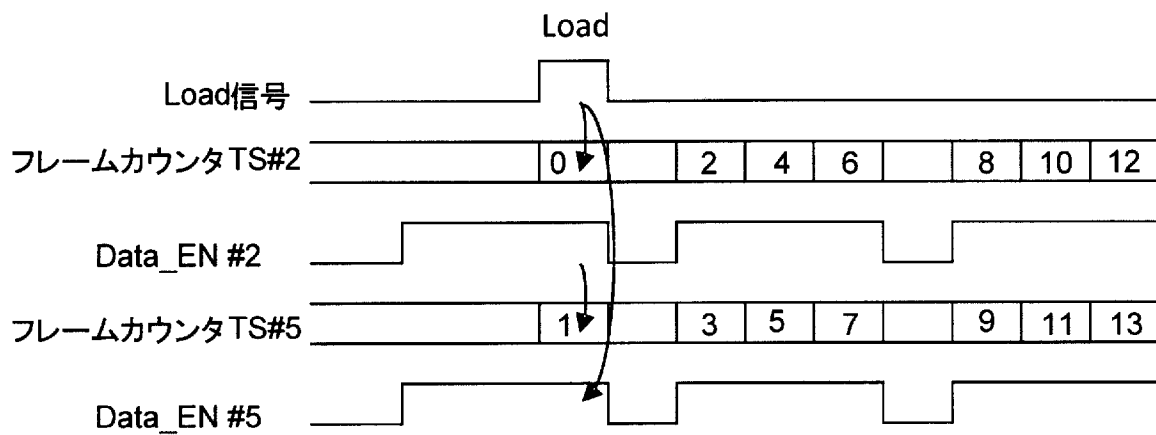
[図21]



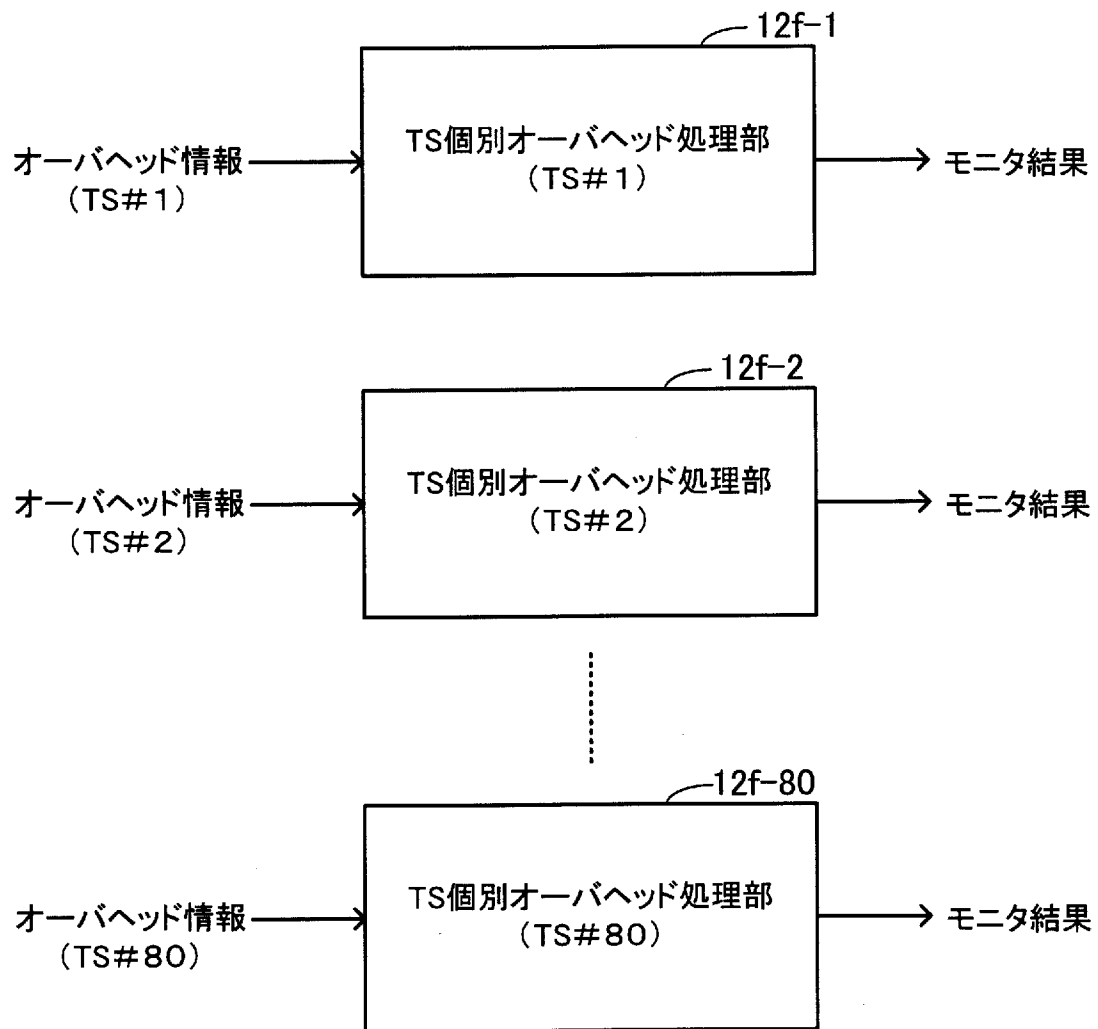
[図22]



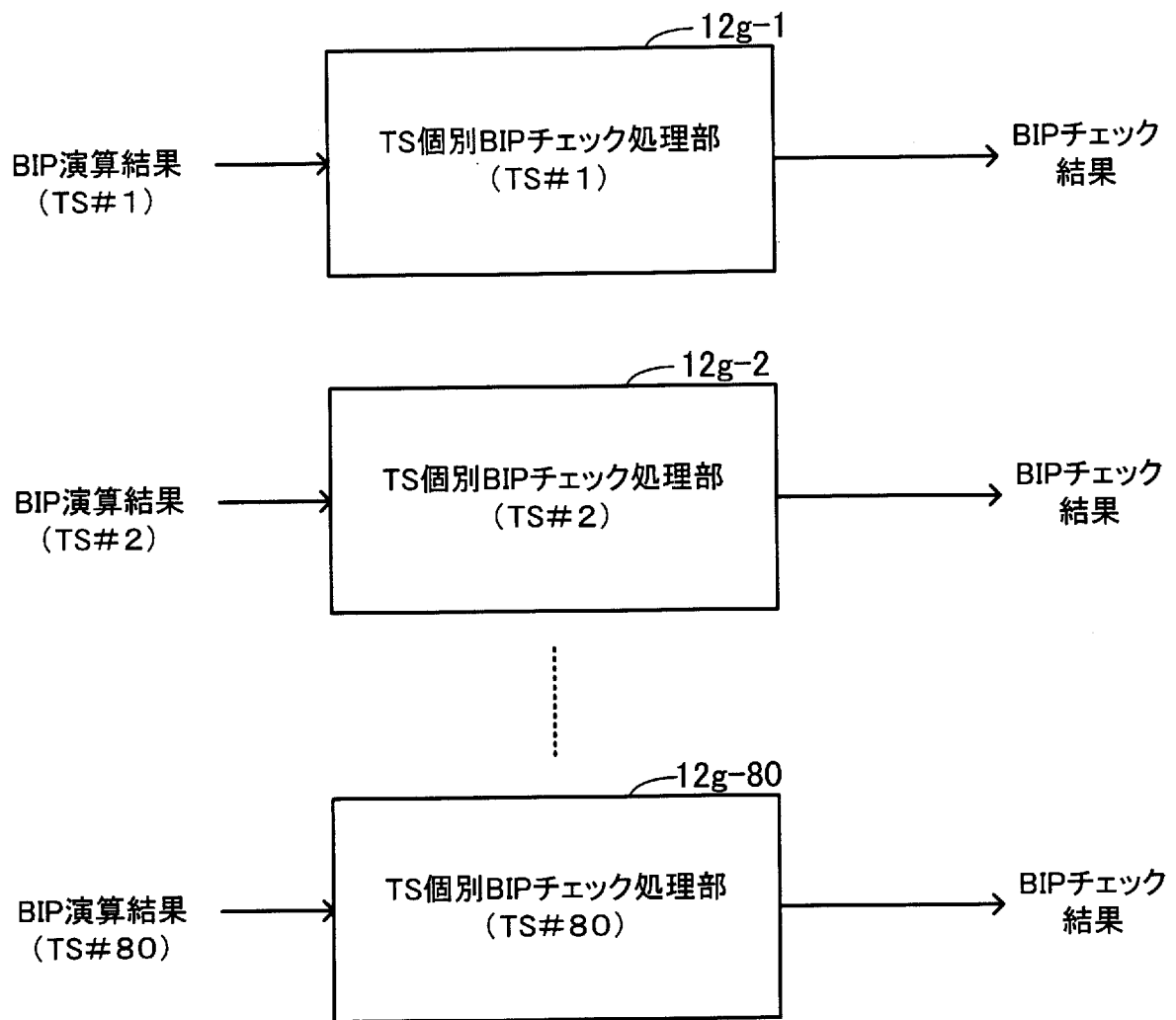
[図23]



[図24]



[図25]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/059254

A. CLASSIFICATION OF SUBJECT MATTER

H04J3/06(2006.01) i, H04J3/00(2006.01) i, H04L7/08(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04J3/06, H04J3/00, H04L7/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2008/149407 A1 (Fujitsu Ltd.), 11 December 2008 (11.12.2008), entire text & US 2010/0074386 A	1-6
A	JP 5-344114 A (Matsushita Electric Industrial Co., Ltd.), 24 December 1993 (24.12.1993), entire text (Family: none)	1-6



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
16 August, 2010 (16.08.10)

Date of mailing of the international search report
24 August, 2010 (24.08.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04J3/06(2006.01)i, H04J3/00(2006.01)i, H04L7/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04J3/06, H04J3/00, H04L7/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2008/149407 A1（富士通株式会社）2008.12.11, 全文 & US 2010/0074386 A	1-6
A	JP 5-344114 A（松下電器産業株式会社）1993.12.24, 全文（ファミリーなし）	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 6 . 0 8 . 2 0 1 0

国際調査報告の発送日

2 4 . 0 8 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

阿部 弘

5 K

9 3 8 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 5 6