



(12) 发明专利

(10) 授权公告号 CN 102801744 B

(45) 授权公告日 2015. 11. 25

(21) 申请号 201210324925. 2

CN 102609286 A, 2012. 07. 25, 全文 .

(22) 申请日 2012. 09. 05

CN 1581026 A, 2005. 02. 16, 说明书第 5 页第 22 行至第 10 页第 22 行, 附图 1-5.

(73) 专利权人 上海斐讯数据通信技术有限公司
地址 201616 上海市松江区广富林路 4855 弄 20 号、90 号

US 2007294443 A1, 2007. 12. 20, 全文 .

审查员 赵颖

(72) 发明人 李军

(74) 专利代理机构 上海申新律师事务所 31272
代理人 竺路玲

(51) Int. Cl.

H04L 29/06(2006. 01)

H04Q 11/00(2006. 01)

G06F 13/42(2006. 01)

(56) 对比文件

CN 101141234 A, 2008. 03. 12, 全文 .

CN 101150476 A, 2008. 03. 26, 全文 .

CN 101477504 A, 2009. 07. 08, 权利要求第 7-9 项, 说明书第 6 页第 10 行至第 13 页第 11 行, 附图 1 和 2.

CN 102088502 A, 2011. 06. 08, 全文 .

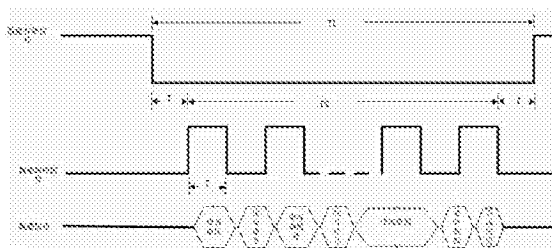
权利要求书2页 说明书4页 附图1页

(54) 发明名称

一种通信方法及系统

(57) 摘要

本发明涉及通信电子领域, 尤其涉及一种通信方法及系统; 其中, 公开了一种通信方法及系统, 通过利用 EPON 设备的主控盘的 CPU 上空闲 IO 和主控盘的 FPGA 设置一条管理通道及定义该管理通道的通信总线协议, 从而解决了主控盘上 CPU 的总线接口资源有限时, 无法给出其他的总线接口资源用作管理通道的问题, 进而实现主控盘对业务盘有效的监督和管理。



1. 一种通信方法,应用于 EPON 的主设备 CPU 无法给出总线接口资源时,利用该 CPU 上空闲 IO 接口,进行所述主设备与其从设备进行通信,其特征在于,所述主设备通过通信总线与所述从设备进行通信;

在一个通信周期内进行数据有效信号的传输;

在一个时钟周期内进行通信时钟信号的传输;

在一个主周期内进行双向数据信号的传输;

所述主周期是从所述通信周期开始后的一个所述时钟周期开始后开始进行所述双向数据信号的传输,并且在所述通信周期停止前的一个所述时钟周期停止前停止;

其中,所述双向数据信号是串行单线传输,且预先定义每个主周期内传输的每个比特或字节的状态及每种状态的含义;

所述双向数据信号中包括读 / 写数据位;

所述主设备向所述从设备执行读操作时,所述主设备将与所述从设备连接的管脚设置为高阻态;或者

所述主设备向所述从设备执行写操作时,将所述读 / 写数据位作为向所述从设备发送的数据位;

所述通信总线包括数据有效信号线、通信时钟信号线和双向数据信号线,以分别依次用于传输所述数据有效信号、所述通信时钟信号和所述双向数据信号;

在通信开始时,所述数据有效信号由高电平拉低,以开始一次通信动作,并在该次通信动作过程中,始终保持低电平,并在该次通信完成时,恢复至高电平。

2. 根据权利要求 1 所述的通信方法,其特征在于,所述通信时钟信号在所述数据有效信号由高电平拉低后的一个时钟后开始,并在所述数据有效信号恢复至高电平的前一个时钟周期停止。

3. 根据权利要求 1 所述的通信方法,其特征在于,在一次通信过程中的主周期内,于所述通信时钟信号的每一个时钟周期内发送一个比特位的数据。

4. 根据权利要求 1-3 中任意一项所述的通信方法,其特征在于,所述双向数据信号包括设备地址数据位、读写命令位、寄存器地址数据位、响应位、读 / 写数据位、数据校验位和通信完成应答位;

所述设备地址数据位通过 FPGA 或 CPLD 设备的空闲管脚配置,以作为通信时的设备地址;

所述读写命令位为所述主设备进行读或写动作的数据,且所述从设备通过所述读写命令位的数据来解析主设备是写操作还是读操作;

所述寄存器地址数据位,提供多个寄存器地址的寻址,且该多个寄存器均可在 FPGA 或者 CPLD 中用以存储相关的设备和数据信息;

所述响应位为所述从设备对所述主设备进行读操作时接收送达数据的响应;

所述读 / 写数据位是双向的,当主设备进行读操作时,主设备将管脚设置为高阻态,以等待选定地址的从设备将读数据的发送,当从设备将相应的所述读数据发送至主控盘时,主设备将管脚状态进行转换;当主设备进行写操作时,所述读 / 写数据位的数据就是主设备发送给从设备的数据;

所述数据校验位的数据为所述读 / 写数据位的校验数据;且当主设备进行读操作时,

所述数据效验位的数据为从设备发送,进行写操作时,所述数据效验位的数据为主设备发送;

在整个数据通信完成后,当为读操作时,主设备发送通信完成应答位数据至从设备,以告知从设备该主设备已经接受完其发送的数据;当为写操作时,从设备发送通信完成应答位数据,以告知主设备该从设备已经接受到其发送的全部数据。

5. 根据权利要求 4 所述的通信方法,其特征在于,所述设备地址数据位是通过该设备的 CPLD 或 FPGA 的选定 IO 管脚上下电设置,且上电过程中,写入设备的地址寄存器作为通信过程中的设备地址寻址。

6. 一种通信系统,其特征在于,利用 EPON 设备的主控盘的 CPU 上空闲 IO 和主控盘的 FPGA 设置一条管理通道,采用如权利要求 1-5 中任意一项所述的通信方法,通过通信总线,与该主控盘的附属业务盘的 CPLD、FPGA 或 CPU 进行通信。

一种通信方法及系统

技术领域

[0001] 本发明涉及通信电子领域,尤其涉及一种通信方法及系统。

背景技术

[0002] 目前,在以太网无源光网络(Ethernet Passive Optical Network,简称EPON)设备中,主控盘需要对其附属的各个业务盘进行通信,同时还需要对所有的业务盘上的状态进行监督和管理,这样就需要通过从主控盘的CPU上设置一条管理通道,以分别连接各个业务盘上,实现相应的管理功能。但是,当主控盘上CPU的总线接口资源有限时,就无法给出其他的总线接口资源用作管理通道,从而影响主控盘对业务盘的监督和管理。

发明内容

[0003] 为解决上述问题,现提供一种旨在解决由于主控盘CPU总线接口资源有限,从而造成无法设置管理通道以实现主控盘对业务盘的监督和管理的技术方案:

[0004] 一种通信方法,应用于EPON的主设备CPU无法给出总线接口资源时,利用该CPU上空闲IO接口,进行所述主设备与其从设备进行通信,其中,所述主设备通过通信总线与所述从设备进行通信;

[0005] 在一个通信周期内进行数据有效信号的传输;

[0006] 在一个时钟周期内进行通信时钟信号的传输;

[0007] 在一个主周期内进行数据有效信号的传输;

[0008] 所述主周期是从所述通信周期开始后的一个所述时钟周期开始后开始进行所述数据有效信号的传输,并且在所述通信周期停止前的一个所述时钟周期停止前停止;

[0009] 其中,所述数据有效信号是串行单线传输,且预先定义每个主周期内传输的每个比特或字节的状态及每种状态的含义。

[0010] 优选的,所述通信总线包括数据有效信号线、通信时钟信号线和双向数据信号线,以分别依次用于传输所述数据有效信号、所述通信时钟信号和所述数据有效信号。

[0011] 优选的,在通信开始时,所述数据有效信号由高电平拉低,以开始一次通信动作,并在该次通信动作过程中,始终保持低电平,并在该次通信完成时,恢复至高电平。

[0012] 优选的,所述通信时钟信号在所述数据有效信号由高电平拉低后的一个时钟后开始,并在所述数据有效信号恢复至高电平的前一个时钟周期停止。

[0013] 优选的,在一次通信过程中的主周期内,于所述通信时钟信号的每一个时钟周期内发送一个比特位的数据。

[0014] 优选的,所述双向数据信号包括设备地址数据位、读写命令位、寄存器地址数据位、响应位、读/写数据位、数据效验位和通信完成应答位。

[0015] 所述设备地址数据位通过FPGA或CPLD设备的空闲管脚配置,以作为通信时的设备地址;

[0016] 所述读写命令位为所述主设备进行读或写动作的数据,且所述从设备通过所述读

写命令位的数据来解析主设备是写操作还是读操作；

[0017] 所述寄存器地址数据位，提供多个寄存器地址的寻址，且该多个寄存器均可在 FPGA 或者 CPLD 中用以存储相关的设备和数据信息；

[0018] 所述响应位为所述从设备对所述主设备进行读操作时接受送达数据的响应；

[0019] 所述读 / 写数据位是双向的，当主设备进行读操作时，主设备将管脚设置为特定状态，以等待选定地址的从设备将读数据的发送，当从设备将相应的所述读数据发送至主控盘时，主设备将管脚状态进行转换；当主设备进行写操作时，所述读 / 写数据位的数据就是主设备发送给从设备的数据；

[0020] 所述数据效验位的数据为所述读 / 写数据位的校验数据；且当主设备进行读操作时，所述数据效验位的数据为从发送，进行写操作时，所述数据效验位的数据为主设备发送；

[0021] 在整个数据通信完成后，当为读操作时，主设备发送通信完成应答位数据至从设备，以告知从设备该主设备已经接受完其发送的数据；当为写操作时，从设备发送通信完成应答位数据，以告知主设备该从设备已经接受到其发送的全部数据。

[0022] 优选的，所述设备地址数据位是通过该设备的 CPLD 或 FPGA 的选定 IO 管脚上下电设置，且上电过程中，写入设备的地址寄存器作为通信过程中的设备地址寻址。

[0023] 本发明还公开了一种通信系统，利用 EPON 设备的主控盘的 CPU 上空闲 IO 和主控盘的 FPGA 设置一条管理通道，采用如上述任意一项所述的通信方法，通过通信总线，与该主控盘的附属业务盘的 CPLD、FPGA 或 CPU 进行通信。

[0024] 上述技术方案，通过利用 EPON 设备的主控盘的 CPU 上空闲 IO 和主控盘的 FPGA 设置一条管理通道及定义该管理通道的通信方法，从而解决了主控盘上 CPU 的总线接口资源有限时，无法给出其他的总线接口资源用作管理通道的问题，进而实现主控盘对业务盘有效的监督和管理。

附图说明

[0025] 通过阅读参照如下附图对非限制性实施例所作的详细描述，本发明的其它特征，目的和优点将会变得更明显。

[0026] 图 1 为本发明实施例中通信总线操作的时序图。

具体实施方式

[0027] 为了使本发明实现的技术手段、创造特征、达成目的和功效易于明白了解，下结合具体图示，进一步阐述本发明的实施例。

[0028] 本发明一种通信方法，应用于 EPON 设备的主控盘与其附属业务盘进行通信，如 FP6508 设备上注会与 EPON 业务卡的 FPGA 或 CPLD 之间的通信，其中，该通信协议的接口定义为：

[0029] 进行数据通信的通信总线包括数据有效信号线、通信时钟信号线和双向数据信号线，相应的，通信总线协议包括数据有效信号、通信时钟信号和双向数据信号线。

[0030] 图 1 为本发明实施例中通信总线操作的时序图，如图 1 所示，在一个通信周期内 T1 进行数据有效信号的传输；在一个时钟周期 T 内进行通信时钟信号的传输；在一个主周期

T2 内进行数据有效信号的传输；上述的主周期 T2 是从通信周期 T1 开始后的一个时钟周期 T 开始后开始进行数据有效信号的传输，并且在通信周期 T1 停止前的一个时钟周期 T 停止前停止。

[0031] 数据有效信号是整个一次通信动作的开始，当在通信开始时，数据有效信号在通信周期 T1 内由高电平拉低，表示一次通信动作开始，并在通信动作过程中，通信周期 T1 内始终保持低电平，并在该次通信完成，即通信周期 T1 结束时，恢复至高电平；通信时钟信号是作为整个通信过程的一个时钟信号，在上述的数据有效信号在通信周期 T1 内由高电平拉低后的一个时钟周期 T 后开始，并在数据有效信号恢复至高电平的前一个时钟周期 T 停止，构成主周期 T2；双向数据信号是串行单线传输，在主周期 T2 内进行通信传输，于通信时钟信号的每一个时钟周期 T 内发送一个 bit 位数据；当主控盘进行读操作时，读取地址寄存器的值的时候，双向数据信号为高阻态，而在主控盘进行写操作时，双向数据信号则为正的 IO 输出。

[0032] 进一步的，双向数据信号数据长度为 3-8byte，且包括设备地址数据位、读写命令位、寄存器地址数据位、响应位、读 / 写数据位、数据效验位和通信完成应答位。

[0033] 优选的，如图 1 所示，在主周期 T2 内双向数据信号的数据长度设置为 8byte，即 64 个 bit 时，该双向数据信号的数据结构为 16bit 的设备地址数据位、2bit 读写命令位、8bit 寄存器地址数据位、2bit 的响应位、32bit 读 / 写数据位、2bit 的数据效验位和 2bit 的通信完成应答位。

[0034] 具体的，上述的设备地址数据位是通过该设备的 CPLD 或 FPGA 的选定 IO 管脚上下电设置，且在上电过程中，写入设备的地址寄存器作为通信过程中的设备地址寻址，且由 16 个 bit 数据组成的该设备地址数据位通过 FPGA 或 CPLD 设备的空闲管脚配置，以作为通信时的设备地址；而由 2 个 bit 数据组成的读写命令位，当主控盘进行读操作时，该读写命令位的数据为 01，当主控盘对附属业务盘进行写操作时，该读写命令位的数据为 10，且附属业务盘同时通过该读写命令位的数据来解析主控盘是写操作还是读操作；由 8 个 bit 数据组成的寄存器地址数据位，能够提供 128 个寄存器地址的寻址，且该 128 个寄存器均可在 FPGA 或者 CPLD 中用以存储相关的设备和数据信息；由 2 个 bit 数据组成的响应位，当主控盘进行读操作时，附属业务盘则发送响应位数据为 10，以表明接收到前面送达的数据；由 32 个 bit 数据组成的读 / 写数据位是双向的，当进行读操作时，主控盘将管脚设置为高阻态，等待选定地址的附属业务盘将数据发送给主控盘，附属业务盘则通过数据线将主控盘要读取的附属业务盘的寄存器的数据值发送至主控盘，而当进行写操作时，该 32bit 的读 / 写数据位数据就是主控盘发送给附属业务盘的数据 32bit 的数据位；由 2 个 bit 数据组成的数据效验位的数据分别为读 / 写数据位的高 16bit 和低 16bit 的数据异或的结果，且在进行读操作时，该数据效验位的数据为附属业务盘发送，而进行写操作时，该数据效验位的数据由主控盘发送；由 2 个 bit 数据组成的通信完成应答位，在整个数据通信完成后，当为读操作时，主控盘发送通信完成应答位数据 11 至附属业务盘，以告知附属业务盘该主控盘已经接受完其发送的数据，当为写操作时，附属业务盘发送通信完成应答位数据 10，以告知主控盘该附属业务盘已经接受到其发送的全部数据。

[0035] 综上所述，上述实施例的一种通信方法，通过利用 EPON 设备的主控盘的 CPU 上空闲 IO 和主控盘的 FPGA 设置一条管理通道及定义该管理通道的通信总线协议，从而解决了

主控盘上 CPU 的总线接口资源有限时,无法给出其他的总线接口资源用作管理通道的问题,进而实现主控盘对业务盘有效的监督和管理。

[0036] 除了上述通信方法,本发明实施例还提供了一种通信系统,利用 EPON 设备的主控盘的 CPU 上空闲 IO 和主控盘的 FPGA 设置一条管理通道,采用上述通信方法,通过通信总线,与该主控盘的附属业务盘的 CPLD、FPGA 或 CPU 进行通信,且该通信总线包括数据有效信号线、通信时钟信号线和双向数据信号线,其余结构请参考现有技术,在此不予赘述。

[0037] 以上对本发明的具体实施例进行了描述。需要理解的是,本发明并不局限于上述特定实施方式,其中未尽详细描述的设备 and 结构应该理解为用本领域中的普通方式予以实施;本领域技术人员可以在权利要求的范围内做出各种变形或修改,这并不影响本发明的实质内容。

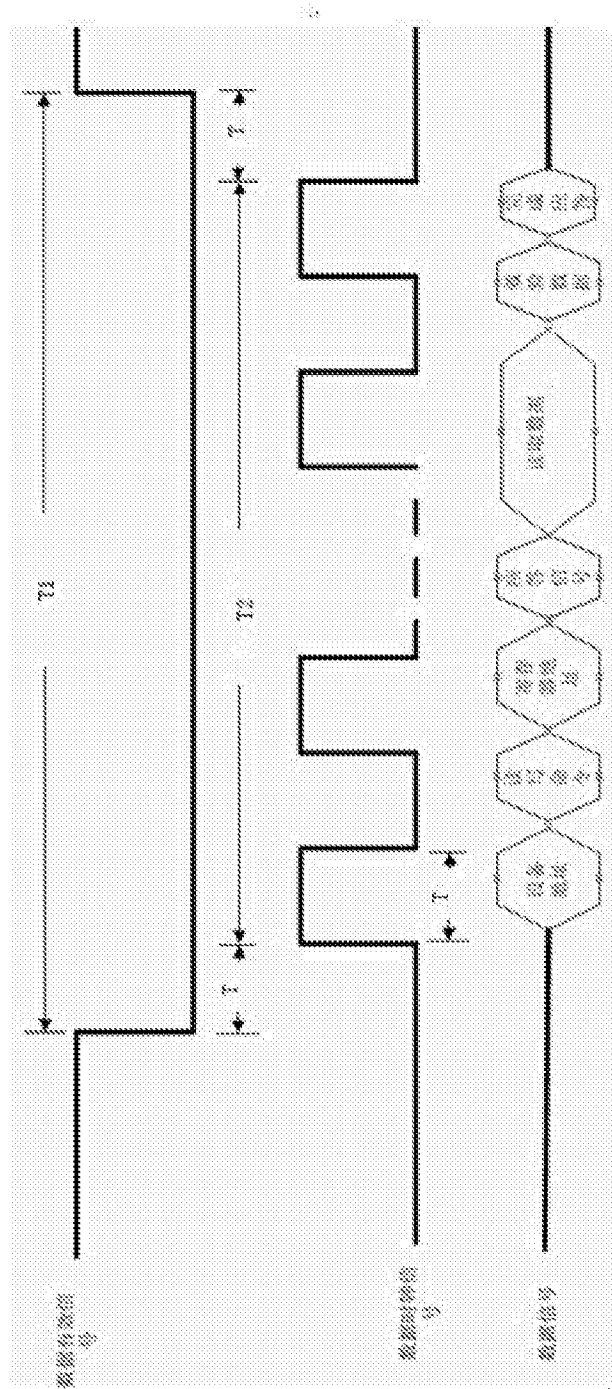


图 1