(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年10月19日(19.10.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/199474 A1

(51) 国際特許分類:
G11C 16/04 (2006.01) *H01L 27/10* (2006.01)
G11C 11/401 (2006.01) *H01L 27/108* (2006.01)
H01L 21/8242 (2006.01)

(21) 国際出願番号： PCT/JP2022/017819

(22) 国際出願日： 2022年4月14日(14.04.2022)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人(*US* を除く全ての指定国について):ユニサンティス エレクトロニクス シンガポール プライベート リミテッド(**UNISANTIS ELECTRONICS SINGAPORE PTE. LTD.**) [SG/SG]; 179098 ノースブリッジロード 11、ペニンシュラ プラザ #23-05 Singapore (SG).

(72) 発明者；および

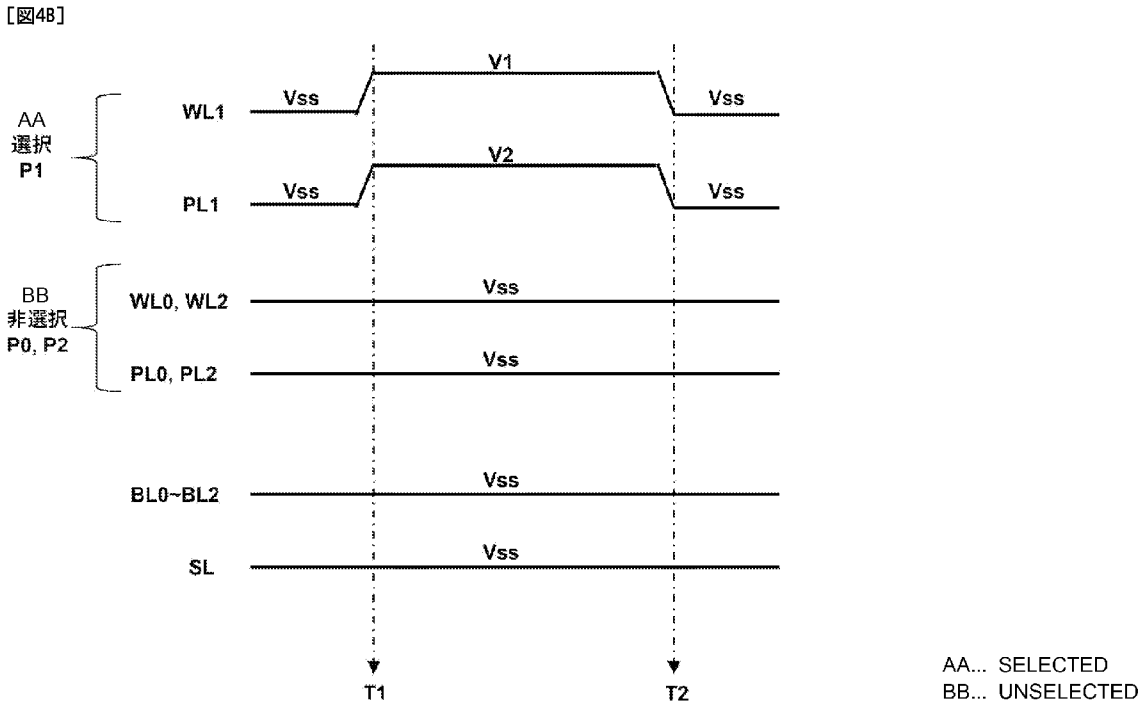
(71) 出願人（*US* についてのみ):作井 康司(**SAKUI Koji**) [JP/JP]; 〒1020083 東京都千代田区麹町１丁目３番７号 日月館麹町ビル５階 Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP). 原田 望(**HARADA Nozomu**) [JP/JP]; 〒1020083 東京都千代田区麹町１丁目３番７号 日月館麹町ビル５階 Ｓｅｍｉｃｏｎ Ｃｏｎｓｕｌｔｉｎｇ株式会社内 Tokyo (JP).

(74) 代理人:田中 伸一郎，外(**TANAKA Shinichiro et al.**); 〒1008355 東京都千代田区丸の内３

(54) **Title:** MEMORY DEVICE USING SEMICONDUCTOR ELEMENT

(54) 発明の名称： 半導体素子を用いたメモリ装置

[図4B]



(57) **Abstract:** This memory device comprises a page made of a plurality of memory cells arranged in columns, in plan view, on a substrate, wherein, during a page erase operation, voltages to be applied to a first impurity layer, a second impurity layer, a first gate conductor layer, and a second gate conductor layer are controlled to remove a hole group from one or both of the first impurity layer and the second impurity layer, and the voltage of a channel semiconductor layer is set to a second data retention voltage that is lower than a first data retention voltage. The first impurity layer is connected

WO 2023/199474 A1

[続葉有]

丁目３番１号 新東京ビル 中村合同特許法律事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

— 国際調査報告（条約第21条(3)）

to a source line, the second impurity layer is connected to a bit line, the first gate conductor layer is connected to a plate line, and the second gate conductor layer is connected to a word line. During the page erase operation, a positive voltage pulse is applied to one or both of the word line and the plate line of the page that has been selected to be erased, a ground voltage is applied to the word line and the plate line of the page that has not been selected, and the ground voltage is applied to all the source line and the bit line.

(57) 要約：メモリ装置は、基板上に平面視において列状に配列された複数のメモリセルからなるページを備え、ページ消去動作時には、第１の不純物層と、第２の不純物層と、第１のゲート導体層と、第２のゲート導体層に印加する電圧を制御して、前記第１の不純物層と、前記第２の不純物層の一方もしくは両方から正孔群を抜きとり、チャネル半導体層の電圧を、第１のデータ保持電圧よりも低い第２のデータ保持電圧とする。前記第１の不純物層はソース線と接続し、前記第２の不純物層はビット線と接続し、前記第１のゲート導体層はプレート線と接続し、前記第２のゲート導体層はワード線と接続する。前記ページ消去動作時には、選択消去する前記ページの前記ワード線及び前記プレート線の一方もしくは両方に正電圧パルスを印加し、非選択の前記ページの前記ワード線及び前記プレート線に接地電圧を印加し、全ての前記ソース線及び前記ビット線に接地電圧を印加する。

明　細　書

発明の名称 ： 半導体素子を用いたメモリ装置

技術分野

[0001] 本発明は、半導体素子を用いたメモリ装置に関する。

背景技術

[0002] 近年、ＬＳＩ（Large Scale Integration）技術開発において、メモリ素子の高集積化と高性能化が求められている。

[0003] 通常のプレナー型ＭＯＳトランジスタでは、チャネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、ＳＧＴのチャネルは、半導体基板の上表面に対して垂直な方向に延在する（例えば、特許文献１、非特許文献１を参照）。このため、ＳＧＴはプレナー型ＭＯＳトランジスタと比べ、半導体装置の高密度化が可能である。このＳＧＴを選択トランジスタとして用いて、キャパシタを接続したＤＲＡＭ（Dynamic Random Access Memory、例えば、非特許文献２を参照）、抵抗変化素子を接続したＰＣＭ（Phase Change Memory、例えば、非特許文献３を参照）、ＲＲＡＭ（Resistive Random Access Memory、例えば、非特許文献４を参照)、電流により磁気スピンの向きを変化させて抵抗を変化させるＭＲＡＭ（Magneto-resistive Random Access Memory、例えば、非特許文献５を参照）などの高集積化を行うことができる。また、キャパシタを有しない、１個のＭＯＳトランジスタで構成された、ＤＲＡＭメモリセル（非特許文献７を参照）などがある。本願は、抵抗変化素子やキャパシタを有しない、ＭＯＳトランジスタのみで構成可能な、ダイナミック フラッシュ メモリに関する。

[0004] 図６（ａ）～（ｄ）に、前述したキャパシタを有しない、１個のＭＯＳトランジスタで構成された、ＤＲＡＭメモリセルの書込み動作を、図７（ａ）と（ｂ）に、動作上の問題点を、図８（ａ）～（ｃ）に、読出し動作を示す（非特許文献７～１０を参照）。図６（ａ）は、“１”書込み状態を示している。ここで、メモリセルは、ＳＯＩ基板１００に形成され、ソース線ＳＬ

が接続されるソースN+層１０３（以下、ドナー不純物を高濃度で含む半導体領域を「N+層」と称する。）、ビット線ＢＬが接続されるドレインN+層１０４、ワード線ＷＬが接続されるゲート導電層１０５、ＭＯＳトランジスタ１１０のフローティングボディ（Floating Body）１０２により構成され、キャパシタを有さず、ＭＯＳトランジスタ１１０が１個でＤＲＡＭのメモリセルが構成されている。なお、フローティングボディ１０２直下には、ＳＯＩ基板のＳｉO_2層１０１が接している。このＭＯＳトランジスタ１１０、１個で構成されたメモリセルの“１”書込みを行う際には、ＭＯＳトランジスタ１１０を飽和領域で動作させる。すなわち、ソースN+層１０３から延びる電子のチャネル１０７には、ピンチオフ点１０８があり、ビット線が接続しているドレインN+層１０４までには、到達していない。このようにドレインN+層に接続されたビット線ＢＬとゲート導電層１０５に接続されたワード線ＷＬを共に高電圧にして、ゲート電圧をドレイン電圧の約１／２程度で、ＭＯＳトランジスタ１１０を動作させると、ドレインN+層１０４近傍のピンチオフ点１０８において、電界強度が最大となる。この結果、ソースN+層１０３からドレインN+層１０４に向かって流れる加速された電子は、Ｓｉの格子に衝突して、その時に失う運動エネルギーによって、電子・正孔対が生成される（インパクトイオン化現象）。発生した大部分の電子（図示せず）は、ドレインN+層１０４に到達する。また、ごく一部のとても熱い電子は、ゲート酸化膜１０９を飛び越えて、ゲート導電層１０５に到達する。そして、同時に発生した正孔１０６は、フローティングボディ１０２を充電する。この場合、発生した正孔は、フローティングボディ１０２がＰ型Ｓｉのため、多数キャリアの増分として、寄与する。フローティングボディ１０２は、生成された正孔１０６で満たされ、フローティングボディ１０２の電圧がソースN+層１０３よりもＶｂ以上に高くなると、さらに生成された正孔は、ソースN+層１０３に放電する。ここで、Ｖｂは、ソースN+層１０３とＰ層のフローティングボディ１０２との間のＰＮ接合のビルトイン電圧であり、約０．７Ｖである。図６（ｂ）には、生成された正孔１０６でフローティングボディ１０

２が飽和充電された様子を示している。

[0005] 次に、図６（ｃ）を用いて、メモリセル１１０の“０”書込み動作を説明する。共通な選択ワード線ＷＬに対して、ランダムに“１”書込みのメモリセル１１０と“０”書込みのメモリセル１１０が存在する。図６（ｃ）では、“１”書込み状態から“０”書込み状態に書き換わる様子を示している。“０”書込み時には、ビット線ＢＬの電圧を負バイアスにして、ドレインN^+層１０４とＰ層のフローティングボディ１０２との間のＰＮ接合を順バイアスにする。この結果、フローティングボディ１０２に予め前サイクルで生成された正孔１０６は、ビット線ＢＬに接続されたドレインN^+層１０４に流れる。書込み動作が終了すると、生成された正孔１０６で満たされたメモリセル１１０（図６（ｂ））と、生成された正孔が吐き出されたメモリセル１１０（図６（ｃ））の２つのメモリセルの状態が得られる。正孔１０６で満たされたメモリセル１１０のフローティングボディ１０２の電位は、生成された正孔がいないフローティングボディ１０２よりも高くなる。したがって、“１”書込みのメモリセル１１０のしきい値電圧は、“０”書込みのメモリセル１１０のしきい値電圧よりも低くなる。その様子を図６（ｄ）に示している。

[0006] 次に、この１個のＭＯＳトランジスタ１１０で構成されたメモリセルの動作上の問題点を図７（ａ）と（ｂ）を用いて、説明する。図７（ａ）に示したように、フローティングボディの容量C_{FB}は、ワード線の接続されたゲートとフローティングボディとの間の容量C_{WL}と、ソース線の接続されたソースN^+層１０３とフローティングボディ１０２との間のＰＮ接合の接合容量C_{SL}と、ビット線の接続されたドレインN^+層１０４とフローティングボディ１０２との間のＰＮ接合の接合容量C_{BL}との総和で、

$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad （９）$$

で表される。また、ワード線の接続されたゲートとフローティングボディ間の容量結合比β_{WL}は、

$$\beta_{WL} = C_{WL} / (C_{WL} + C_{BL} + C_{SL}) \quad （１０）$$

で表される。したがって、読出し時または書込み時にワード線電圧V_{WL}が振幅すると、メモリセルの記憶ノード（接点）となるフローティングボディ１０２の電圧も、その影響を受ける。その様子を図７（ｂ）に示している。読出し時、または、書込み時にワード線電圧V_{WL}が０ＶからV_{WLH}に上昇すると、フローティングボディ１０２の電圧V_{FB}は、ワード線電圧が変化する前の初期状態の電圧V_{FB1}からV_{FB2}へワード線との容量結合によって上昇する。その電圧変化量ΔV_{FB}は、

$$\Delta V_{FB} = V_{FB2} - V_{FB1}$$
$$= \beta_{WL} \times V_{WLH} \quad （１１）$$

で表される。

ここで、式（１１）のβ_{WL}において、C_{WL}の寄与率が大きく、例えば、C_{WL}：C_{BL}：C_{SL}＝８：１：１である。この場合、β_{WL}＝０．８となる。ワード線が、例えば、書込み時の５Ｖから、書込み終了後に０Ｖになると、ワード線ＷＬとフローティングボディ１０２との容量結合によって、フローティングボディ１０２が、５Ｖ×β_{WL}＝４Ｖも振幅ノイズを受ける。このため、書込み時のフローティングボディ１０２の“１”電位と“０”電位との電位差マージンを十分に取れない問題点があった。

[0007] 図８（ａ）～（ｃ）に読出し動作を示しており、図８（ａ）は、“１”書込み状態を、図８（ｂ）は、“０”書込み状態を示している。しかし、実際には、“１”書込みでフローティングボディ１０２にＶｂが書き込まれていても、書込み終了でワード線が０Ｖに戻ると、フローティングボディ１０２は、負バイアスに引き下げられる。“０”が書かれる際には、さらに深く負バイアスになってしまうため、図７（ｃ）に示すように、書込みの際に“１”と“０”との電位差マージンを十分に大きく出来ないため、実際にキャパシタを有しない、ＤＲＡＭメモリセルの製品化が困難な状況にあった。

[0008] また、ＳＯＩ（Silicon on Insulator）層に、２つのＭＯＳトランジスタを用いて１つのメモリセルを形成したTwin-Transistorメモリ素子がある（例えば、特許文献４、５を参照）。これらの素子では、２つのＭＯＳトランジ

スタのフローティングボディチャネルを分ける、ソース、またはドレインとなるN+層が絶縁層に接して形成されている。このN+層が絶縁層に接してあることにより、２つのＭＯＳトランジスタのフローティングボディ チャネルは、電気的に分離される。信号電荷である正孔群は、一方のトランジスタのフローティングボディ チャネルに蓄積される。正孔が蓄積されているフローティングボディ チャネルの電圧は、前述のように、隣接したＭＯＳトランジスタのゲート電極へのパルス電圧印加により、（１１）式で示されたと同様に、大きく変化する。これにより、図６～図８を用いて説明したように、書込みの際の“１”と“０”との動作マージンを十分に大きく出来ない（例えば、非特許文献１５、Fig.8を参照）。

先行技術文献

特許文献

[0009] 特許文献1：特開平２－１８８９６６号公報

特許文献2：特開平３－１７１７６８号公報

特許文献3：特許第３９５７７７４号公報

特許文献4：ＵＳ２００８／０１３７３９４　Ａ１

特許文献5：ＵＳ２００３／０１１１６８１　Ａ１

非特許文献

[0010] 非特許文献1：Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

非特許文献2：H. Chung, H. Kim, H. Kim, K. Kim, S. Kim, K. Dong, J. Kim, Y.C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: “4F2 DRAM Cell with Vertical Pillar Transistor (VPT),” 2011 Proceeding of the European Solid-State Device Research Conference, (2011)

非特許文献3：H. S. Philip Wong, S. Raoux, S. Kim, Jiale Liang, J. R. Reifenberg, B. Rajendran, M. Asheghi and K. E. Goodson: “Phase Change Memory,” Proceeding of IEEE, Vol.98, No 12, December, pp.2201-2227

(2010)

非特許文献4：T. Tsunoda, K. Kinoshita, H. Noshiro, Y. Yamazaki, T. Iizuka, Y. Ito, A. Takahashi, A. Okano, Y. Sato, T. Fukano, M. Aoki, and Y. Sugiyama: “Low Power and High Speed Switching of Ti-doped NiO ReRAM under the Unipolar Voltage Source of less than 3V,” IEDM (2007)

非特許文献5：W. Kang, L. Zhang, J. Klein, Y. Zhang, D. Ravelosona, and W. Zhao: “Reconfigurable Codesign of STT-MRAM Under Process Variations in Deeply Scaled Technology,” IEEE Transaction on Electron Devices, pp.1-9 (2015)

非特許文献6：M. G. Ertosum, K. Lim, C. Park, J. Oh, P. Kirsch, and K. C. Saraswat: “Novel Capacitorless Single-Transistor Charge-Trap DRAM (1T CT DRAM) Utilizing Electron,” IEEE Electron Device Letter, Vol. 31, No.5, pp.405-407 (2010)

非特許文献7：J. Wan, L. Rojer, A. Zaslavsky, and S. Critoloveanu: “A Compact Capacitor-Less High-Speed DRAM Using Field Effect-Controlled Charge Regeneration,” Electron Device Letters, Vol. 35, No.2, pp.179-181 (2012)

非特許文献8：T. Ohsawa, K. Fujita, T. Higashi, Y. Iwata, T. Kajiyama, Y. Asao, and K. Sunouchi: “Memory design using a one-transistor gain cell on SOI,” IEEE JSSC, vol.37, No.11, pp1510-1522 (2002).

非特許文献9：T. Shino, N. Kusunoki, T. Higashi, T. Ohsawa, K. Fujita, K. Hatsuda, N. Ikumi, F. Matsuoka, Y. Kajitani, R. Fukuda, Y. Watanabe, Y. Minami, A. Sakamoto, J. Nishimura, H. Nakajima, M. Morikado, K. Inoh, T. Hamamoto, A. Nitayama: “Floating Body RAM Technology and its Scalability to 32nm Node and Beyond,” IEEE IEDM (2006).

非特許文献10：E. Yoshida: “A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory,” IEEE IEDM (2006).

非特許文献11：J. Y. Song, W. Y. Choi, J. H. Park, J. D. Lee, and B-G. Park: “Design Optimization of Gate-All-Around (GAA) MOSFETs,” IEEE Trans. Electron Devices, vol. 5, no. 3, pp.186-191, May 2006.

非特許文献12：N. Loubet, et al.: “Stacked Nanosheet Gate-All-Around Transistor to Enable Scaling Beyond FinFET,” 2017 IEEE Symposium on VLSI Technology Digest of Technical Papers, T17-5, T230-T231, June 2017.

非特許文献13：H. Jiang, N. Xu, B. Chen, L. Zeng1, Y. He, G. Du, X. Liu and X. Zhang: “Experimental investigation of self-heating effect (SHE) in multiple-fin SOI FinFETs,” Semicond. Sci. Technol. 29 (2014) 115021 (7pp).

非特許文献14：E. Yoshida, and T. Tanaka: “A Capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory,” IEEE Transactions on Electron Devices, Vol. 53, No. 4, pp. 692-69, Apr. 2006.

非特許文献15：F. Morishita, H. Noda, I. Hayashi, T. Gyohten, M. Oksmoto, T. Ipposhi, S. Maegawa, K. Dosaka, and K. Arimoto: “Capacitorless Twin-Transistor Random Access Memory (TTRAM) on SOI,”IEICE Trans. Electron., Vol. E90-c., No.4 pp.765-771 (2007)

発明の概要

発明が解決しようとする課題

[0011] キャパシタを無くした、１個のトランジス型のＤＲＡＭ（ゲインセル）では、ワード線とフローティングボディとの容量結合が大きく、データ読み出し時や書き込み時にワード線の電位を振幅させると、直接フローティングボディへのノイズとして、伝達されてしまう問題点があった。この結果、誤読み出しや記憶データの誤った書き換えの問題を引き起こし、キャパシタを無くした１トランジス型のＤＲＡＭ（ゲインセル）の実用化が困難となっていた。

課題を解決するための手段

[0012] 上記の課題を解決するために、本発明に係る半導体素子を用いたメモリ装置は、

基板上に平面視において、行方向に配列された複数のメモリセルによってページが構成され、複数のページが列方向に配列されたメモリ装置であって、

前記各ページに含まれる各メモリセルは、

基板上に、前記基板に対して、垂直方向に立つか、または水平方向に伸延する半導体母体と、

前記半導体母体の両端にある第１の不純物層と、第２の不純物層と、

前記第１の不純物層と前記第２の不純物層の間の前記半導体母体の側面の一部または全てを囲こみ、前記第１の不純物層に接するか、または、近接した第１のゲート絶縁層と、

前記半導体母体の側面を囲み、前記第１のゲート絶縁層に繋がり、且つ前記第２の不純物層に接するか、または、近接した第２のゲート絶縁層と、

前記第１のゲート絶縁層の一部または全体を覆う第１のゲート導体層と、

前記第２のゲート絶縁層を覆う第２のゲート導体層と、

前記半導体母体が前記第１のゲート絶縁層と、前記第２のゲート絶縁層とで覆われたチャネル半導体層とを、有し、

前記第１のゲート導体層と、前記第２のゲート導体層と、前記第１の不純物領域と、前記第２の不純物領域と、に印加する電圧を制御して、前記チャネル半導体層の内部に、インパクトイオン化現象により形成した正孔群を保持し、

ページ書込み動作時には、前記チャネル半導体層の電圧を、前記第１の不純物層及び前記第２の不純物層の一方もしくは両方の電圧より高い、第１のデータ保持電圧とし、

ページ消去動作時には、前記第１の不純物層と、前記第２の不純物層と、前記第１のゲート導体層と、前記第２のゲート導体層とに印加する電圧を制

御して、前記チャネル半導体層の前記正孔群を消滅させ、前記チャネル半導体層の電圧を、前記第１のデータ保持電圧よりも低い、第２のデータ保持電圧とし、

前記メモリセルの前記第１の不純物層は、ソース線と接続し、前記第２の不純物層は、ビット線と接続し、前記第１のゲート導体層と前記第２のゲート導体層のうちの一方はワード線と接続し、他方はプレート線と接続し、

前記ページ消去動作時には、選択消去する前記ページの前記ワード線及び前記プレート線の一方もしくは両方に正電圧パルスを印加し、非選択の前記ページの前記ワード線及び前記プレート線に接地電圧を印加し、全ての前記ソース線及び前記ビット線に前記接地電圧を印加する、

ことを特徴とする（第１発明）。

[0013] 上記の第１発明において、平面視において、前記ワード線と前記プレート線は、前記ページに対して、平行に配設され、

前記ビット線は、前記ページに対して、垂直方向に配設されている、

ことを特徴とする（第２発明）。

[0014] 上記の第１発明において、前記プレート線の接続する、前記第１のゲート導体層もしくは前記第２のゲート導体層と前記チャネル半導体層との間の第１のゲート容量が、前記ワード線の接続する、前記第１のゲート導体層もしくは前記第２のゲート導体層と前記チャネル半導体層との間の第２のゲート容量よりも大きい、

ことを特徴とする（第３発明）。

[0015] 上記の第１発明において、前記接地電圧は零ボルトであることを特徴とする（第４発明）。

[0016] 上記の第１発明において、平面視において、前記ソース線は、前記列方向に配列された前記メモリセル毎に分離され、前記ワード線と前記プレート線に平行に配設されていることを特徴とする（第５発明）。

[0017] 上記の第１発明において、平面視において、前記ソース線は、隣接する前記ページに共通に配設されていることを特徴とする（第６発明）。

[0018] 上記の第１発明において、平面視において、隣接する前記ページの前記プレート線は、少なくとも２本以上を共通に配設されていることを特徴とする（第７発明）。

[0019] 上記の第１発明において、前記チャネル半導体層はＰ型シリコンであり、前記第１の不純物層と前記第２の不純物層はＮ型シリコンであることを特徴とする（第８発明）。

[0020] 上記の第１発明において、前記ページ消去動作時には、少なくとも２組の前記ページを選択消去することを特徴とする（第９発明）。

[0021] 上記の第１発明において、前記ワード線と前記プレート線は、ロウデコーダ回路に接続し、前記ロウデコーダ回路にはロウアドレスを入力し、前記ロウアドレスに従って、前記ページを選択することを特徴とする（第１０発明）。

[0022] 上記の第１発明において、前記ビット線は、センスアンプ回路に接続し、前記センスアンプ回路は、カラムデコーダ回路に接続し、前記カラムデコーダ回路にはカラムアドレスを入力し、前記カラムアドレスに従って、前記センスアンプ回路が入出力回路に選択的に接続することを特徴とする（第１１発明）。

図面の簡単な説明

[0023] [図1]第１実施形態に係るＳＧＴを有するメモリ装置の構造図である。

[図2]第１実施形態に係るＳＧＴを有するメモリ装置のプレート線ＰＬに接続された第１のゲート導体層５ａのゲート容量が、ワード線ＷＬが接続された、第２のゲート導体層５ｂのゲート容量よりも、大きくなるようにした場合の効果を説明する図である。

[図3A]第１実施形態に係るメモリ装置のページ書込み動作メカニズムを説明するための図である。

[図3B]第１実施形態に係るメモリ装置のページ書込み動作メカニズムを説明するための図である。

[図4A]第１実施形態に係るメモリ装置のページ消去動作メカニズムを説明す

るための図である。

[図4B]第１実施形態に係るメモリ装置のページ消去動作メカニズムを説明するための図である。

[図4C]第１実施形態に係るメモリ装置のページ消去動作メカニズムを説明するための図である。

[図4D]第１実施形態に係るメモリ装置のページ消去動作メカニズムを説明するための図である。

[図4E]第１実施形態に係るメモリ装置のページ消去動作メカニズムを説明するための図である。

[図4F]第１実施形態に係るメモリ装置のページ消去動作メカニズムを説明するための図である。

[図4G]第１実施形態に係るメモリ装置のページ消去動作メカニズムを説明するための図である。

[図4H]第１実施形態に係るメモリ装置のページ消去動作メカニズムを説明するための図である。

[図4I]第１実施形態に係るメモリ装置のページ消去動作メカニズムを説明するための図である。

[図5A]第１実施形態に係るメモリ装置の読出し動作メカニズムを説明するための図である。

[図5B]第１実施形態に係るメモリ装置の読出し動作メカニズムを説明するための図である。

[図6]従来例のキャパシタを有しない、ＤＲＡＭメモリセルの書込み動作を説明するための図である。

[図7]従来例のキャパシタを有しない、ＤＲＡＭメモリセルの動作上の問題点を説明するための図である。

[図8]従来例のキャパシタを有しない、ＤＲＡＭメモリセルの読出し動作を示す図である。

発明を実施するための形態

[0024] 以下、本発明の実施形態に係る、半導体素子を用いたメモリ装置（以後、ダイナミック フラッシュ メモリと呼ぶ）について、図面を参照しながら説明する。

[0025] （第１実施形態）

図１～図５を用いて、本発明の第１実施形態に係るダイナミック フラッシュ メモリセルの構造と動作メカニズムを説明する。図１を用いて、ダイナミック フラッシュ メモリセルの構造を説明する。そして、図２を用いて、プレート線ＰＬに接続された第１のゲート導体層５ａのゲート容量が、ワード線ＷＬが接続された、第２のゲート導体層５ｂのゲート容量よりも、大きくなるようにした場合の効果を説明する。そして、図３を用いてデータ書込み動作メカニズムを、図４を用いてデータ消去動作メカニズムを、図５を用いてデータ読出し動作メカニズムを説明する。

[0026] 図１に、本発明の第１実施形態に係るダイナミック フラッシュ メモリセルの構造を示す。基板上に形成した、Ｐ型又はｉ型（真性型）の導電型を有するシリコン半導体柱２（以下、シリコン半導体柱を「Ｓｉ柱」と称する。）（特許請求の範囲の「半導体母体」の一例である）内の上下の位置に、一方がソースとなる場合に、他方がドレインとなるN^+層３ａ、３ｂ（特許請求の範囲の「第１の不純物層」、「第２の不純物層」の一例である）が形成されている。このソース、ドレインとなるN^+層３ａ、３ｂ間のＳｉ柱２の部分がチャネル領域７（特許請求の範囲の「チャネル半導体層」の一例である）となる。このチャネル領域７を囲むように第１のゲート絶縁層４ａ（特許請求の範囲の「第１のゲート絶縁層」の一例である）、第２のゲート絶縁層４ｂ（特許請求の範囲の「第２のゲート絶縁層」の一例である）が形成されている。この第１のゲート絶縁層４ａ、第２のゲート絶縁層４ｂは、このソース、ドレインとなるN^+層３ａ、３ｂに、それぞれ接するか、または近接している。この第１のゲート絶縁層４ａ、第２のゲート絶縁層４ｂを囲むように第１のゲート導体層５ａ（特許請求の範囲の「第１のゲート導体層」の一例である）、第２のゲート導体層５ｂ（特許請求の範囲の「第２のゲート導体

層」の一例である）がそれぞれ形成されている。そして、第１のゲート導体層５ａ、第２のゲート導体層５ｂは絶縁層６により分離されている。そして、N^+層３ａ、３ｂ間のチャネル領域７は、第１のゲート絶縁層４ａで囲まれた第１のチャネルＳｉ層７ａと、第２のゲート絶縁層４ｂで囲まれた第２のチャネルＳｉ層７ｂと、よりなる。これによりソース、ドレインとなるN^+層３ａ、３ｂ、チャネル領域７、第１のゲート絶縁層４ａ、第２のゲート絶縁層４ｂ、第１のゲート導体層５ａ、第２のゲート導体層５ｂからなるダイナミック フラッシュ メモリセル１０が形成される。そして、ソースとなるN^+層３ａはソース線ＳＬ（特許請求の範囲の「ソース線」の一例である）に、ドレインとなるN^+層３ｂはビット線ＢＬ（特許請求の範囲の「ビット線」の一例である）に、第１のゲート導体層５ａはプレート線ＰＬ（特許請求の範囲の「プレート線」の一例である）に、第２のゲート導体層５ｂはワード線ＷＬ（特許請求の範囲の「ワード線」の一例である）に、それぞれ接続している。プレート線ＰＬが接続された、第１のゲート導体層５ａの第１のゲート容量（特許請求の範囲の「第１のゲート容量」の一例である）は、ワード線ＷＬが接続された、第２のゲート導体層５ｂの第２のゲート容量（特許請求の範囲の「第２のゲート容量」の一例である）よりも、大きくなるような構造を有することが望ましい。

[0027] なお、図１では、プレート線ＰＬに接続された第１のゲート導体層５ａのゲート容量が、ワード線ＷＬが接続された、第２のゲート導体層５ｂのゲート容量よりも大きくなるように、第１のゲート導体層５ａのゲート長（Ｓｉ半導体柱２の中心軸方向のゲートの寸法）を、第２のゲート導体層５ｂのゲート長よりも長くしている。しかし、その他にも、第１のゲート導体層５ａのゲート長を、第２のゲート導体層５ｂのゲート長よりも長くせずに、それぞれのゲート絶縁層の膜厚を変えて、第１のゲート絶縁層４ａのゲート絶縁膜の膜厚を、第２のゲート絶縁層４ｂのゲート絶縁膜の膜厚よりも薄くしてもよい。また、それぞれのゲート絶縁層の材料の誘電率を変えて、第１のゲート絶縁層４ａのゲート絶縁膜の誘電率を、第２のゲート絶縁層４ｂのゲー

ト絶縁膜の誘電率よりも高くしてもよい。また、ゲート導体層５ａ、５ｂの長さ、ゲート絶縁層４ａ、４ｂの膜厚、誘電率のいずれかを組み合わせて、プレート線ＰＬに接続された第１のゲート導体層５ａのゲート容量が、ワード線ＷＬが接続された、第２のゲート導体層５ｂのゲート容量よりも、大きくしてもよい。

[0028] 図２（ａ）～（ｃ）は、プレート線ＰＬに接続された第１のゲート導体層５ａのゲート容量が、ワード線ＷＬが接続された、第２のゲート導体層５ｂのゲート容量よりも、大きくなるようにした場合の効果を説明する図である。

[0029] 図２（ａ）は、本発明の第１実施形態に係るダイナミック フラッシュ メモリセルの構造図を主要部分のみを簡略化して示している。ダイナミック フラッシュ メモリセルには、ビット線ＢＬ、ワード線ＷＬ、プレート線ＰＬ、ソース線ＳＬが接続されており、その電圧状態によって、チャネル領域７の電位状態が決まる。

[0030] 図２（ｂ）は、それぞれの容量関係を説明するための図である。チャネル領域７の容量C_{FB}は、ワード線ＷＬの接続されたゲート導体層５ｂとチャネル領域７の間の容量C_{WL}と、プレート線ＰＬの接続されたゲート導体層５ａとチャネル領域７の間の容量C_{PL}と、ソース線ＳＬの接続されたソースN^+層３ａとチャネル領域７の間のＰＮ接合の接合容量C_{SL}と、ビット線ＢＬの接続されたドレインN^+層３ｂとチャネル領域７の間のＰＮ接合の接合容量C_{BL}との総和で、

$$C_{FB} = C_{WL} + C_{PL} + C_{BL} + C_{SL} \quad (1)$$

で表される。

したがって、ワード線ＷＬとチャネル領域７の間のカップリング率β_{WL}、プレート線ＰＬとチャネル領域７の間のカップリング率β_{PL}、ビット線ＢＬとチャネル領域７の間のカップリング率β_{BL}、ソース線ＳＬとチャネル領域７の間のカップリング率β_{SL}は、それぞれ以下のように表される。

$$\beta_{WL} = C_{WL} / (C_{WL} + C_{PL} + C_{BL} + C_{SL}) \quad (2)$$

$\beta_{PL}= C_{PL} / (C_{WL} + C_{PL}+ C_{BL} + C_{SL})$ （３）

$\beta_{BL}= C_{BL} / (C_{WL} + C_{PL}+ C_{BL} + C_{SL})$ （４）

$\beta_{SL}= C_{SL} / (C_{WL} + C_{PL}+ C_{BL} + C_{SL})$ （５）

ここで、$C_{PL} > C_{WL}$ であるため、$\beta_{PL} > \beta_{WL}$となる。

[0031] 図２（ｃ）は、ワード線ＷＬの電圧V_{WL}が、読出し動作と書込み動作で、上昇し、その後に下降する時のチャネル領域７の電圧V_{FB}の変化を説明するための図である。ここで、ワード線ＷＬの電圧V_{WL}が、０Ｖから高電圧状態V_{WLH}に上がった時に、チャネル領域７の電圧V_{FB}が、低電圧状態V_{FBL}から高電圧状態V_{FBH}になるときの電位差ΔV_{FB}は、以下となる。

$\Delta V_{FB} = V_{FBH} - V_{FBL}$

$= \beta_{WL} \times V_{WLH}$ （６）

ワード線ＷＬとチャネル領域７の間のカップリング率β_{WL}が小さく、プレート線ＰＬとチャネル領域７の間のカップリング率β_{PL}が大きいため、ΔV_{FB}は、小さく、ワード線ＷＬの電圧V_{WL}が、読出し動作と書込み動作で、上下しても、チャネル領域７の電圧V_{FB}は、殆ど変化しない。

[0032] 図３Ａ（ａ）～（ｃ）と図３Ｂに、本発明の第１実施形態に係るダイナミック フラッシュ メモリセルのページ書込み動作（特許請求の範囲の「ページ書込み動作」の一例である）を示す。図３Ａ（ａ）に書込み動作のメカニズム、図３Ａ（ｂ）にビット線ＢＬ、ソース線ＳＬ、プレート線ＰＬ、ワード線ＷＬと、フローティングボディＦＢとなっているチャネル領域７の動作波形を示す。時刻Ｔ０で、ダイナミック フラッシュ メモリセルは、“０”消去状態にあり、チャネル領域７の電圧は、V_{FB}“０”となっている。また、ビット線ＢＬ、ソース線ＳＬ、ワード線ＷＬには、Ｖｓｓが、プレート線ＰＬには、V_{PLL}が印加されている。ここで、例えば、Ｖｓｓは０Ｖで、V_{PLL}は、２Ｖである。次に時刻Ｔ１～Ｔ２で、ビット線ＢＬがＶｓｓからV_{BLH}へと上がると、例えば、Ｖｓｓが０Ｖの場合、チャネル領域７の電圧は、ビット線ＢＬとチャネル領域７との容量結合により、V_{FB}“０”＋$\beta_{BL} \times V_{BLH}$となる。

[0033] 引き続き、図３Ａ（ａ）と（ｂ）を用いて、ダイナミック フラッシュ メ

モリセルの書込み動作を説明する。時刻Ｔ３～Ｔ４で、ワード線ＷＬがＶｓｓからV_{WLH}へと上がる。これにより、ワード線ＷＬの接続された第２のゲート導体層５ｂがチャネル領域７を取り囲む第２のＮチャネルＭＯＳトランジスタ領域の“０”消去のしきい値電圧をVt_{WL}“０”とすると、ワード線ＷＬの電圧上昇に伴い、ＶｓｓからＶｔ$_{WL}$“０”までは、ワード線ＷＬとチャネル領域７との第２の容量結合により、チャネル領域７の電圧は、V_{FB}“０”＋β_{BL}×V_{BLH}＋β_{WL}×Ｖｔ$_{WL}$“０”となる。ワード線ＷＬの電圧がＶｔ$_{WL}$“０”以上に上昇すると、第２のゲート導体層５ｂの内周のチャネル領域７に環状の反転層１２ｂが形成され、ワード線ＷＬとチャネル領域７との第２の容量結合を遮る。

[0034] 引き続き、図３Ａ（ａ）と（ｂ）を用いて、ダイナミック フラッシュ メモリセルの書込み動作を説明する。時刻Ｔ３～Ｔ４で、プレート線ＰＬの接続された第１のゲート導体層５ａに、例えば、V_{PLL}＝２Ｖを固定入力し、ワード線ＷＬの接続された第２のゲート導体層５ｂを、例えば、V_{WLH}＝４Ｖまで上げる。その結果、図３Ａ（ａ）で示したように、プレート線ＰＬの接続された第１のゲート導体層５ａの内周のチャネル領域７に環状の反転層１２ａが形成され、その反転層１２ａには、ピンチオフ点１３が存在する。この結果、第１のゲート導体層５ａを有する第１のＮチャネルＭＯＳトランジスタ領域は飽和領域で動作する。一方、ワード線ＷＬの接続された第２のゲート導体層５ｂを有する第２のＮチャネルＭＯＳトランジスタ領域は線形領域で動作する。この結果、ワード線ＷＬの接続された第２のゲート導体層５ｂの内周のチャネル領域７にピンチオフ点は存在せずにゲート導体層５ｂの内周全面に反転層１２ｂが形成される。このワード線ＷＬの接続された第２のゲート導体層５ｂの内周に全面に形成された反転層１２ｂは、第１のＮチャネルＭＯＳトランジスタ領域の実質的なドレインとして働く。この結果、直列接続された第１のゲート導体層５ａを有する第１のＮチャネルＭＯＳトランジスタ領域と、第２のゲート導体層５ｂを有する第２のＮチャネルＭＯＳトランジスタ領域との間のチャネル領域７の第１の境界領域で電界は最大となり

、この領域でインパクトイオン化現象が生じる。この領域は、ワード線ＷＬの接続された第２のゲート導体層５ｂを有する第２のＮチャネルＭＯＳトランジスタ領域から見たソース側の領域であるため、この現象をソース側インパクトイオン化現象と呼ぶ。このソース側インパクトイオン化現象により、ソース線ＳＬの接続されたN^+層３ａからビット線の接続されたN^+層３ｂに向かって電子が流れる。加速された電子が格子Ｓｉ原子に衝突し、その運動エネルギーによって、電子・正孔対が生成される。生成された電子の一部は、第１のゲート導体層５ａと第２のゲート導体層５ｂに流れるが、大半はビット線ＢＬの接続されたN^+層３ｂに流れる（図示せず）。

[0035] そして、図３Ａ（ｃ）に示すように、生成された正孔群９（特許請求の範囲の「正孔群」の一例である）は、チャネル領域７の多数キャリアであり、チャネル領域７を正バイアスに充電する。ソース線ＳＬの接続されたN^+層３ａは、０Ｖであるため、チャネル領域７はソース線ＳＬの接続されたN^+層３ａとチャネル領域７との間のＰＮ接合のビルトイン電圧Ｖｂ（約０．７Ｖ）まで充電される。チャネル領域７が正バイアスに充電されると、第１のＮチャネルＭＯＳトランジスタ領域と第２のＮチャネルＭＯＳトランジスタ領域のしきい値電圧は、基板バイアス効果によって、低くなる。

[0036] 引き続き、図３Ａ（ｂ）を用いて、ダイナミック フラッシュ メモリセルの書込み動作を説明する。時刻Ｔ６～Ｔ７で、ワード線ＷＬの電圧がV_{WLH}からＶｓｓに低下する。その際にワード線ＷＬとチャネル領域７とは、第２の容量結合をするが、ワード線ＷＬの電圧V_{WLH}が、チャネル領域７の電圧がＶｂの時の、第２のＮチャネルＭＯＳトランジスタ領域のしきい値電圧Vt_{WL}“１”以下になるまでは、反転層１２ｂが、この第２の容量結合を遮る。したがって、ワード線ＷＬとチャネル領域７との、実質的な容量結合は、ワード線ＷＬがVt_{WL}“１”以下になり、Ｖｓｓまで下降する時のみである。この結果、チャネル領域７の電圧は、$Vb-\beta_{WL}\times Vt_{WL}$“１”となる。ここで、$Vt_{WL}$“１”は、前記$Vt_{WL}$“０”よりも低く、$\beta_{WL}\times Vt_{WL}$“１”は小さい。

[0037] 引き続き、図３Ａ（ｂ）を用いて、ダイナミック フラッシュ メモリセル

のページ書込み動作を説明する。時刻Ｔ８～Ｔ９で、ビット線ＢＬが、V_{BLH}からＶｓｓへと低下する。ビット線ＢＬとチャネル領域７とは、容量結合しているため、最終的にチャネル領域７の“１”書込み電圧V_{FB}“１”は、以下のようになる。

$$V_{FB}\text{“1”}=Vb-\beta_{WL}\times Vt_{WL}\text{“1”}-\beta_{BL}\times V_{BLH} \quad (7)$$

ここで、ビット線ＢＬとチャネル領域７とのカップリング比β_{BL}も小さい。これにより、図３Ｂに示すように、ワード線ＷＬの接続された第２のチャネル領域７ｂの第２のＮチャネルＭＯＳトランジスタ領域のしきい値電圧は、低くなる。このチャネル領域７の“１”書込み状態を第１のデータ保持電圧（特許請求の範囲の「第１のデータ保持電圧」の一例である）とする、メモリ書込み動作を行い、論理記憶データ“１”に割り当てる。また、チャネル領域７の“０”消去状態では、プレート線ＰＬの接続された第１のチャネル領域７ａの第１のＮチャネルＭＯＳトランジスタ領域と、ワード線ＷＬの接続された第２のチャネル領域７ｂの第２のＮチャネルＭＯＳトランジスタ領域のしきい値電圧は高くなるため、プレート線ＰＬの印加電圧をしきい値電圧以下に設定すると、ワード線ＷＬの電圧を高くしてもセル電流Ｉｃｅｌｌは流れない。

[0038] なお、書込み動作時に、第１の境界領域に替えて、第１の不純物層３ａと第１のチャネル半導体層７ａとのあいだの第２の境界領域、または、第２の不純物層３ｂと第２のチャネル半導体層７ｂとのあいだの第３の境界領域において、インパクトイオン化現象で、電子・正孔対を発生させ、発生した正孔群９でチャネル領域７を充電しても良い。

[0039] なお、上記のビット線ＢＬ、ソース線ＳＬ、ワード線ＷＬ、プレート線ＰＬに印加する電圧条件と、フローティングボディの電位は、書込み動作を行うための一例であり、書込み動作ができる他の動作条件であってもよい。

[0040] 図４Ａ～図４Ｉを用いて、ページ消去動作（特許請求の範囲の「ページ消去動作」の一例である）メカニズムを説明する。

[0041] 図４Ａに、ページ消去動作を説明するためのメモリブロック回路図を示す

。ここでは、平面視において、３行×３列の計９個のメモリセルＣ００～Ｃ２２を示しているが、実際のメモリブロックは、この行列よりも大きい。メモリセルが行列状に配列されているときに、その配列の一方の方向を「行方向」（もしくは「行状」）、これに垂直な方向を「列方向」（もしくは「列状」）という。各メモリセルには、ソース線ＳＬ、ビット線ＢＬ０～ＢＬ２、プレート線ＰＬ０～ＰＬ２、ワード線ＷＬ０～ＷＬ２が接続されている。また、ソース線ＳＬ、プレート線ＰＬ０～ＰＬ２、ワード線ＷＬ０～ＷＬ２は、平行に配設され、それらに垂直な方向にビット線ＢＬ０～ＢＬ２が配設されている。例えば、このブロックにおいて、任意のページ（特許請求の範囲の「ページ」の一例である）Ｐ１のプレート線ＰＬ１とワード線ＷＬ１とソース線ＳＬが接続するメモリセルＣ１０～Ｃ１２が選択され、ページ消去動作を行うことを想定する。

[0042] 図４Ｂは、ページ消去動作の動作波形図を示している。ページ消去動作が始まり、例えば、ページＰ１の選択消去が行われる場合を説明する。第１の時刻Ｔ１で、ワード線ＷＬ１とプレート線ＰＬ１が接地電圧（特許請求の範囲の「接地電圧」の一例である）Ｖｓｓから、それぞれ第１の電圧Ｖ１と第２の電圧Ｖ２へ上昇する。ここで接地電圧Ｖｓｓは例えば、０Ｖである。また、第１の電圧Ｖ１と第２の電圧Ｖ２は、例えば、それぞれ１．５Ｖである。この結果、Ｐ層であるチャネル領域７に蓄積された正孔群９がN^+層である第１の不純物層３ａ及び第２の不純物層３ｂへ排出する。チャネル領域７に蓄積された正孔群９の排出が飽和すると、第２の時刻Ｔ２で、ワード線ＷＬ１とプレート線ＰＬ１が、それぞれ第１の電圧Ｖ１と第２の電圧Ｖ２から接地電圧Ｖｓｓに戻り、ページ消去動作が終了する。このチャネル領域７の“０”消去状態の電圧V_{FB}“０”を第２のデータ保持電圧（特許請求の範囲の「第２のデータ保持電圧」の一例である）とする、ページ消去動作を行い、論理記憶データ“０”に割り当てる。このように選択消去ページＰ１のワード線ＷＬ１とプレート線ＰＬ１に正電圧パルス（特許請求の範囲の「正電圧パルス」の一例である）を印加し、ページ消去動作が可能となる。

[0043] なお、ワード線ＷＬ１とプレート線ＰＬ１のうち、一方は第１の時刻Ｔ１の前後で接地電圧Ｖｓｓから第１の電圧Ｖ１、もしくは第２の電圧Ｖ２へ上昇しても良い。また、ワード線ＷＬ１とプレート線ＰＬ１とのうち、一方は第２の時刻Ｔ２の前後で第１の電圧Ｖ１、もしくは第２の電圧Ｖ２から接地電圧Ｖｓｓへ戻っても良い。

[0044] 図４Ｃを用いて、消去動作中の半導体母体の状態を説明する。図４Ｃ（ａ）に消去動作前に、インパクトイオン化により生成された正孔群９がチャネル領域７に蓄えられている状態を示す。ページ消去動作が始まると、図４Ｃ（ｂ）に示すように、チャネル領域７の正孔群９は、ソース線ＳＬのＮ$^{+}$層３ａ及びビット線ＢＬのＮ$^{+}$層３ｂに排出する。その結果、チャネル領域７の電圧V_{FB}は、ソース線ＳＬのＮ$^{+}$層３ａ及びビット線ＢＬのＮ$^{+}$層３ｂとＰ層のチャネル領域７とが形成するＰＮ接合のビルトイン電圧Ｖｂとなる。

[0045] 引き続き、選択消去するワード線ＷＬとプレート線ＰＬとが第１の電圧Ｖ１と第２の電圧Ｖ２から接地電圧Ｖｓｓへ戻ると、チャネル領域７の電圧V_{FB}は、ワード線ＷＬとプレート線ＰＬと、チャネル領域７との容量結合によって、ＶｂからＶ$_{FB}$“０”となる。この状態を図４Ｃ（ｃ）に示す。

[0046] なお、上記のビット線ＢＬ、ソース線ＳＬ、ワード線ＷＬ、プレート線ＰＬに印加する電圧条件と、フローティングボディの電位は、ページ消去動作を行うための一例であり、ページ消去動作ができる他の動作条件であってもよい。例えば、ビット線ＢＬとソース線ＳＬの間に電流を流しながら、正孔群と電子群を再結合させて正孔群を消滅させても良い。

[0047] 図４Ｄは、ページＰ１の選択消去が行われる場合、第１の時刻Ｔ１で、ワード線ＷＬ１が接地電圧Ｖｓｓから第１の電圧Ｖ１へ上昇する例を示している。プレート線ＰＬ１は、接地電圧Ｖｓｓを維持する。この動作条件においても、ページ消去動作が可能である。

[0048] 図４Ｅは、ページＰ１の選択消去が行われる場合、第１の時刻Ｔ１で、プレート線ＰＬ１が接地電圧Ｖｓｓから第２の電圧Ｖ２へ上昇する例を示している。ワード線ＷＬ１は、接地電圧Ｖｓｓを維持する。この動作条件におい

ても、ページ消去動作が可能である。

[0049] 図４Ｆは、例えば、少なくとも２組のページＰ１及びＰ２の選択消去が行われる場合を説明している。第１の時刻Ｔ１で、ワード線ＷＬ１及びＷＬ２と、プレート線ＰＬ１及びＰＬ２が接地電圧Ｖｓｓから、それぞれ第１の電圧Ｖ１と第２の電圧Ｖ２へ上昇する。ここで接地電圧Ｖｓｓは例えば、０Ｖである。また、第１の電圧Ｖ１と第２の電圧Ｖ２は、例えば、それぞれ１．５Ｖである。この結果、ページＰ１及びＰ２のＰ層であるチャネル領域７に蓄積された正孔群９がN^+層である第１の不純物層３ａ及び第２の不純物層３ｂへ排出する。チャネル領域７に蓄積された正孔群９の排出が飽和すると、第２の時刻Ｔ２で、ワード線ＷＬ１及びＷＬ２と、プレート線ＰＬ１及びＰＬ２が、それぞれ第１の電圧Ｖ１と第２の電圧Ｖ２から接地電圧Ｖｓｓに戻り、ページ消去動作が終了する。このように、少なくとも２組のページが同時に選択され、ページ消去動作が可能である。

[0050] 図４Ｇに、ソース線を分離したメモリブロック回路図を示している。ソース線ＳＬ０～ＳＬ２は、プレート線ＰＬ０～ＰＬ２、ワード線ＷＬ０～ＷＬ２に平行に配設され、それらに垂直方向にビット線ＢＬ０～ＢＬ２が配設されている。例えば、このブロックにおいて、任意のページＰ１のプレート線ＰＬ１とワード線ＷＬ１とソース線ＳＬ１が接続するメモリセルＣ１０～Ｃ１２が選択され、ページ消去動作を行うことが可能である。

[0051] 図４Ｈは、隣接するページのプレート線ＰＬは、少なくとも２本以上を共通に配設する場合のメモリブロック回路図を示す。３つのページＰ０～Ｐ２のプレート線ＰＬは、共通になっている。

[0052] 図４Ｉは、主要回路を含めたメモリブロック図を示す。ワード線ＷＬ０～ＷＬ２とプレート線ＰＬ０～ＰＬ２は、ロウデコーダ回路ＲＤＥＣ（特許請求の範囲の「ロウデコーダ回路」の一例である）に接続し、ロウデコーダ回路にはロウアドレスＲＡＤ（特許請求の範囲の「ロウアドレス」の一例である）を入力し、ロウアドレスＲＡＤに従って、ページＰ０～Ｐ２を選択する。また、ビット線ＢＬ０～ＢＬ２は、センスアンプ回路ＳＡ（特許請求の範

囲の「センスアンプ回路」の一例である）に接続し、センスアンプ回路ＳＡは、カラムデコーダ回路ＣＤＥＣ（特許請求の範囲の「カラムデコーダ回路」の一例である）に接続し、カラムデコーダ回路ＣＤＥＣにはカラムアドレスＣＡＤ（特許請求の範囲の「カラムアドレス」の一例である）を入力し、カラムアドレスＣＡＤに従って、センスアンプ回路ＳＡが入出力回路ＩＯ（特許請求の範囲の「入出力回路」の一例である）に選択的に接続する。

[0053] 図５Ａと図５Ｂは、本発明の第１実施形態に係るダイナミック フラッシュ メモリセルの読出し動作を説明するための図である。図５Ａを用いて、メモリセル電流が流れるか否かは、すなわち論理「１」と「０」は、ワード線ＷＬとプレート線ＰＬとのアンドロジックで決定されることを説明する。図５Ａ（ａ）に示すようにワード線ＷＬとプレート線ＰＬのしきい値電圧は、フローティングボディＦＢの電圧によって、その高低が決まる。そして、メモリセル電流の有無は、ワード線ＷＬとプレート線ＰＬの電圧がそれぞれのしきい値電圧以上になり、導通か非導通かにより、決定される。すなわち、図５Ａ（ｂ）に示すようにメモリセル電流Ｉｃｅｌｌは、ワード線ＷＬの導通「１」か非導通「０」かと、プレート線ＰＬの導通「１」か非導通「０」かとの、アンドロジックで（８）式で表される。

$$Icell = WL \cdot PL \quad (8)$$

[0054] 図５Ｂ（ａ）に示すように、チャネル領域７がビルトイン電圧Ｖｂ（約０．７Ｖ）まで充電されると、ワード線ＷＬの接続された第２のゲート導体層５ｂを有する第２のＮチャネルＭＯＳトランジスタ領域のしきい値電圧が基板バイアス効果によって、低下する。この状態を論理記憶データ“１”に割り当てる。図５Ｂ（ｂ）に示すように、書込みを行う前に選択するメモリブロックは、予め消去状態“０”になっており、チャネル領域７の電圧V_{FB}はV_{FB}“０”となっている。書込み動作によってランダムに書込み状態“１”が記憶される。この結果、ワード線ＷＬに対して、論理“０”と論理“１”の論理記憶データが作成される。図５Ｂ（ｃ）に示すように、このワード線ＷＬに対する２つのしきい値電圧の高低差を利用して、センスアンプで読出しが

行われる。

[0055] なお、上記のビット線ＢＬ、ソース線ＳＬ、ワード線ＷＬ、プレート線ＰＬに印加する電圧条件と、フローティングボディの電位は、読出し動作を行うための一例であり、読出し動作ができる他の動作条件であってもよい。

[0056] 図１において、Ｓｉ柱２の水平断面形状は、円形状、楕円状、長方形状であっても、本実施形態で説明したダイナミック フラッシュ メモリ動作ができる。また、同一チップ上に、円形状、楕円状、長方形状のダイナミック フラッシュ メモリセルを混在させてもよい。

[0057] また、図１では、基板上に垂直方向に立ったＳｉ柱２の側面全体を囲んだ第１のゲート絶縁層４ａ、第２のゲート絶縁層４ｂを設け、第１のゲート絶縁層４ａ、第２のゲート絶縁層４ｂの全体を囲んで第１のゲート導体層５ａ、第２のゲート導体層５ｂを有するＳＧＴを例にダイナミック フラッシュ メモリ素子を説明した。本実施形態の説明で示したように、本ダイナミック フラッシュ メモリ素子は、インパクトイオン化現象により発生した正孔群９がチャネル領域７に保持される条件を満たす構造であればよい。このためには、チャネル領域７は基板１と分離されたフローティング ボディ構造であればよい。これより、例えばＳＧＴの１つであるＧＡＡ（Gate All Around :例えば非特許文献１０を参照）技術、Nanosheet技術(例えば、非特許文献１１を参照）を用いて、チャネル領域の半導体母体を基板１に対して水平に（半導体母体の中心軸が基板と平行になるように）形成されていても、前述のダイナミック フラッシュ メモリ動作ができる。また、水平方向に形成されたＧＡＡやNanosheetを複数本積層させた構造であってもよい。また、ＳＯＩ（Silicon On Insulator）を用いたデバイス構造（例えば、非特許文献７～１０を参照）であってもよい。このデバイス構造ではチャネル領域の底部がＳＯＩ基板の絶縁層に接しており、且つ他のチャネル領域を囲んでゲート絶縁層、及び素子分離絶縁層で囲まれている。この構造においても、チャネル領域はフローティング ボディ構造となる。このように、本実施形態が提供するダイナミック フラッシュ メモリ素子では、チャネル領域がフローティング

ボディ構造である条件を満足すればよい。また、Ｆｉｎトランジスタ（例えば非特許文献１３を参照）をＳＯＩ基板上に形成した構造であっても、チャネル領域がフローティング ボディ構造であれば、本ダイナミック・フラッシュ動作が出来る。

[0058] また、本明細書及び図面の式（１）～（１１）は、現象を定性的に説明するために用いた式であり、現象がそれらの式によって限定されるものではない。

[0059] なお、図３Ａと図３Ｂの説明において、ワード線ＷＬ、ビット線ＢＬ、ソース線ＳＬのリセット電圧をＶｓｓと記載しているが、それぞれを異なる電圧にしても良い。

[0060] また、図４Ａ～図４Ｉ及びその説明において、ページ消去動作条件の一例を示した。これに対して、チャネル領域７にある正孔群９を、N^+層３ａ、N^+層３ｂのいずれか、または両方から除去する状態が実現できれば、ソース線ＳＬ、プレート線ＰＬ、ビット線ＢＬ、ワード線ＷＬに印加する電圧を変えてもよい。また、ページ消去動作において、選択されたページのソース線ＳＬに電圧を印加し、ビット線ＢＬはフローティング状態にしても良い。また、ページ消去動作において、選択されたページのビット線ＢＬに電圧を印加し、ソース線ＳＬはフローティング状態にしても良い。

[0061] また、図１において、基板に垂直な方向において、第１の絶縁層である絶縁層６で囲まれた部分のチャネル領域７では、第１のチャネル領域７ａ、第２のチャネル領域７ｂの電位分布が繋がって形成されている。これにより、第１のチャネル領域７ａ、第２のチャネル領域７ｂのチャネル領域７が、垂直方向において、第１の絶縁層である絶縁層６で囲まれた領域で繋がっている。

[0062] なお、図１において、プレート線ＰＬの接続する第１のゲート導体層５ａの垂直方向の長さを、ワード線ＷＬの接続する第２のゲート導体層５ｂの垂直方向の長さより更に長くし、$C_{PL} > C_{WL}$とすることが、望ましい。しかし、プレート線ＰＬを付加することだけで、ワード線WLのチャネル領域７に対する

、容量結合のカップリング比（$C_{WL}/(C_{PL}+C_{WL}+C_{BL}+C_{SL})$）が小さくなる。その結果、フローティングボディのチャネル領域７の電位変動ΔV_{FB}は、小さくなる。

[0063] なお、本明細書及び特許請求の範囲において「ゲート絶縁層やゲート導体層等がチャネル等を覆う」と言った場合の「覆う」の意味として、ＳＧＴやＧＡＡのように全体を囲む場合、Ｆｉｎトランジスタのように一部を残して囲む場合、さらにプレナー型トランジスタのように平面的なものの上に重なるような場合も含む。

[0064] 図１においては、第１のゲート導体層５ａは、第１のゲート絶縁層４ａの全体を囲んでいる。これに対して、第１のゲート導体層５ａは、平面視において、第１のゲート絶縁層４ａの一部を囲んでいる構造としてもよい。この第１のゲート導体層５ａを少なくとも２つのゲート導体層に分割して、それぞれをプレート線ＰＬ電極として、動作させても良い。同様に、第２のゲート導体層５ｂを２つ以上に分割して、それぞれをワード線の導体電極として、同期または非同期で動作させてもよい。これにより、ダイナミック フラッシュ メモリ動作を行うことができる。

[0065] また、図１において、第１のゲート導体層５ａはワード線ＷＬに接続し、第２のゲート導体層５ｂはプレート線ＰＬに接続してもよい。これによっても、上述の本ダイナミック フラッシュ メモリ動作が出来る。

[0066] 本実施形態は、下記の特徴を供する。

（特徴１）

本発明の第１実施形態に係るダイナミック フラッシュ メモリセルにおいて、ワード線ＷＬとプレート線ＰＬは、ページＰに対して、平行に配設されている。また、ビット線ＢＬは、ページＰに対して、垂直方向に配設されている。この結果、ページＰごとにページを制御するワード線ＷＬとプレート線ＰＬを独立に制御することが可能となる。ページ消去動作時には、選択消去するページＰのワード線ＷＬとプレート線ＰＬにのみ消去電圧を印加し、非選択のページのワード線ＷＬとプレート線ＰＬに接地電圧Ｖｓｓを印加出

来る。これにより、選択ページＰがページ消去動作中に非選択ページＰに与えるディスターバンス（Ｄｉｓｔｕｒｂａｎｃｅ）を完全に防止できる。したがって、特定ページＰを複数回選択して、そのページＰのメモリセルの記憶データを繰り返し書き換えても、その他のページＰのメモリセルにディスターバンスの影響が一切なく、ディスターバンスサイクル（Ｄｉｓｔｕｒｂａｎｃｅ　Ｃｙｃｌｅ）耐性の著しく強い、信頼性の高いメモリ装置を提供できる。

[0067]（特徴２）

本実施形態のダイナミック フラッシュ メモリセルでは、ソース、ドレインとなるN^+層３ａ、３ｂ、チャネル領域７、第１のゲート絶縁層４ａ、第２のゲート絶縁層４ｂ、第１のゲート導体層５ａ、第２のゲート導体層５ｂが、全体として柱状に形成される。また、ソースとなるN^+層３ａはソース線ＳＬに、ドレインとなるN^+層３ｂはビット線ＢＬに、第１のゲート導体層５ａはプレート線ＰＬに、第２のゲート導体層５ｂはワード線ＷＬに、それぞれ接続している。プレート線ＰＬが接続された、第１のゲート導体層５ａのゲート容量は、ワード線ＷＬが接続された、第２のゲート導体層５ｂのゲート容量よりも、大きくなるような構造を特徴としている。本ダイナミック フラッシュ メモリセルでは、垂直方向に第１のゲート導体層と、第２のゲート導体層が、積層されている。このため、プレート線ＰＬが接続された、第１のゲート導体層５ａのゲート容量が、ワード線ＷＬが接続された、第２のゲート導体層５ｂのゲート容量よりも、大きくなるような構造にしても、平面視において、メモリセル面積は大きくならない。これによりダイナミック フラッシュ メモリセルの高性能化と高集積化が同時に実現できる。

[0068]（特徴３）

図１に示したダイナミック フラッシュ メモリセルのプレート線ＰＬの接続する第１のゲート導体層５ａの役割に注目すると、ダイナミック フラッシュ メモリセルが書込み、読出し動作をする際に、ワード線ＷＬの電圧が上下に振幅する。この際に、プレート線ＰＬは、ワード線ＷＬとチャネル領域７

との間の容量結合比を低減させる役目を担う。この結果、ワード線ＷＬの電圧が上下に振幅する際の、チャネル領域７の電圧変化の影響を著しく抑えることができる。これにより、論理“０”と論理“１”を示すワード線ＷＬのＳＧＴトランジスタのしきい値電圧差を大きくすることが出来る。これは、ダイナミック フラッシュ メモリセルの動作マージンの拡大に繋がる。そして、論理“０”データ読み出しにおいて、第１のプレート線ＰＬ１に印加する電圧を、論理記憶データ“１”時のしきい値電圧より高く、且つ論理記憶データ“０”時のしきい値電圧より低く設定することにより、ワード線ＷＬ電圧を高くしても電流が流れない特性が得られる。これは、更なるダイナミック フラッシュ メモリセルの動作マージンの拡大に繋がる。

[0069] （その他の実施形態）

なお、本発明では、Ｓｉ柱を形成したが、Ｓｉ以外の半導体材料よりなる半導体柱であってもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0070] また、“１”書込みにおいて、非特許文献１０と非特許文献１４に記載されているゲート誘起ドレインリーク（ＧＩＤＬ:Gate Induced Drain Leakage）電流を用いた、インパクトイオン化現象により、電子・正孔対を発生させ、生成された正孔群でフローティングボディＦＢ内を満たしてもよい。このことは、本発明に係るその他の実施形態においても同様である。

[0071] また、図１において、N^+層３ａ、３ｂ、Ｐ層Ｓｉ柱２のそれぞれの導電型の極性を逆にした構造においても、ダイナミック フラッシュ メモリ動作がなされる。この場合、Ｎ型であるＳｉ柱２では、多数キャリアは電子になる。従って、インパクトイオン化により生成された電子群がチャネル領域７に蓄えられて、“１”状態が設定される。

[0072] また、メモリセルのＳｉ柱を２次元状に、正方格子状、または斜方格子状に配列させてメモリブロックを形成しても良い。Ｓｉ柱を斜方格子状に配置した場合、１つのワード線に繋がるＳｉ柱は複数個を１辺としてジグザグ状、またはのこぎり状に配置されてもよい。このことは、他の実施形態におい

ても同様である。

[0073] また、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した各実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

産業上の利用可能性

[0074] 本発明に係る、半導体素子を用いたメモリ装置によれば、高密度で、かつ高性能のＳＧＴを用いたメモリ装置であるダイナミック フラッシュ メモリが得られる。

符号の説明

[0075] １０： ダイナミック フラッシュ メモリセル

２： Ｐ型又はｉ型（真性型）の導電型を有するＳｉ柱

３ａ、３ｂ： N^+層

７： チャネル領域

４ａ、４ｂ： ゲート絶縁層

５ａ、５ｂ： ゲート導体層

６： ２層のゲート導体層を分離するための絶縁層

９： 正孔

ＢＬ： ビット線

ＳＬ： ソース線

ＰＬ： プレート線

ＷＬ： ワード線

ＦＢ： フローティングボディ

Ｃ００～Ｃ２２： メモリセル

ＳＬ０～ＳＬ２、ＳＬ０１、ＳＬ２３： ソース線

ＢＬ０～ＢＬ２： ビット線

ＰＬ０～ＰＬ２：　プレート線

ＷＬ０～ＷＬ２：　ワード線

ＲＤＥＣ：ロウアドレス回路

ＲＡＤ：ロウアドレス

ＳＡ：　センスアンプ回路

ＣＤＥＣ：カラムデコーダ回路

ＣＡＤ：カラムアドレス

ＩＯ：入出力回路

１１０：　キャパシタを有しない、ＤＲＡＭメモリセル

１００：　ＳＯＩ基板

１０１：　ＳＯＩ基板のSiO_2膜

１０２：　フローティングボディ（Floating Body）

１０３：　ソースN^+層

１０４：　ドレインN^+層

１０５：　ゲート導電層

１０６：　正孔

１０７：　反転層、電子のチャネル

１０８：　ピンチオフ点

１０９：　ゲート酸化膜

請求の範囲

[請求項1] 基板上に平面視において、行方向に配列された複数のメモリセルによってページが構成され、複数のページが列方向に配列されたメモリ装置であって、

前記各ページに含まれる各メモリセルは、

基板上に、前記基板に対して、垂直方向に立つか、または水平方向に伸延する半導体母体と、

前記半導体母体の両端にある第１の不純物層と、第２の不純物層と、

前記第１の不純物層と前記第２の不純物層の間の前記半導体母体の側面の一部または全てを囲こみ、前記第１の不純物層に接するか、または、近接した第１のゲート絶縁層と、

前記半導体母体の側面を囲み、前記第１のゲート絶縁層に繋がり、且つ前記第２の不純物層に接するか、または、近接した第２のゲート絶縁層と、

前記第１のゲート絶縁層の一部または全体を覆う第１のゲート導体層と、

前記第２のゲート絶縁層を覆う第２のゲート導体層と、

前記半導体母体が前記第１のゲート絶縁層と、前記第２のゲート絶縁層とで覆われたチャネル半導体層とを、有し、

前記第１のゲート導体層と、前記第２のゲート導体層と、前記第１の不純物領域と、前記第２の不純物領域と、に印加する電圧を制御して、前記チャネル半導体層の内部に、インパクトイオン化現象により形成した正孔群を保持し、

ページ書込み動作時には、前記チャネル半導体層の電圧を、前記第１の不純物層及び前記第２の不純物層の一方もしくは両方の電圧より高い、第１のデータ保持電圧とし、

ページ消去動作時には、前記第１の不純物層と、前記第２の不純物

層と、前記第１のゲート導体層と、前記第２のゲート導体層とに印加する電圧を制御して、前記チャネル半導体層の前記正孔群を消滅させ、前記チャネル半導体層の電圧を、前記第１のデータ保持電圧よりも低い、第２のデータ保持電圧とし、

前記メモリセルの前記第１の不純物層は、ソース線と接続し、前記第２の不純物層は、ビット線と接続し、前記第１のゲート導体層と前記第２のゲート導体層のうちの一方はワード線と接続し、他方はプレート線と接続し、

前記ページ消去動作時には、選択消去する前記ページの前記ワード線及び前記プレート線の一方もしくは両方に正電圧パルスを印加し、非選択の前記ページの前記ワード線及び前記プレート線に接地電圧を印加し、全ての前記ソース線及び前記ビット線に前記接地電圧を印加する、

ことを特徴とする半導体素子を用いたメモリ装置。

[請求項2] 平面視において、前記ワード線と前記プレート線は、前記ページに対して、平行に配設され、

前記ビット線は、前記ページに対して、垂直方向に配設されている、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置。

[請求項3] 前記プレート線の接続する、前記第１のゲート導体層もしくは前記第２のゲート導体層と前記チャネル半導体層との間の第１のゲート容量が、前記ワード線の接続する、前記第１のゲート導体層もしくは前記第２のゲート導体層と前記チャネル半導体層との間の第２のゲート容量よりも大きい、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置。

[請求項4] 前記接地電圧は零ボルトである、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置。

[請求項5] 平面視において、前記ソース線は、前記列方向に配列された前記メモリセル毎に分離され、前記ワード線と前記プレート線に平行に配設されている、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置。

[請求項6] 平面視において、前記ソース線は、隣接する前記ページに共通に配設されている、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置。

[請求項7] 平面視において、隣接する前記ページの前記プレート線は、少なくとも２本以上を共通に配設されている、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置。

[請求項8] 前記チャネル半導体層はＰ型シリコンであり、前記第１の不純物層と前記第２の不純物層はＮ型シリコンである、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置。

[請求項9] 前記ページ消去動作時には、少なくとも２組の前記ページを選択消去する、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置。

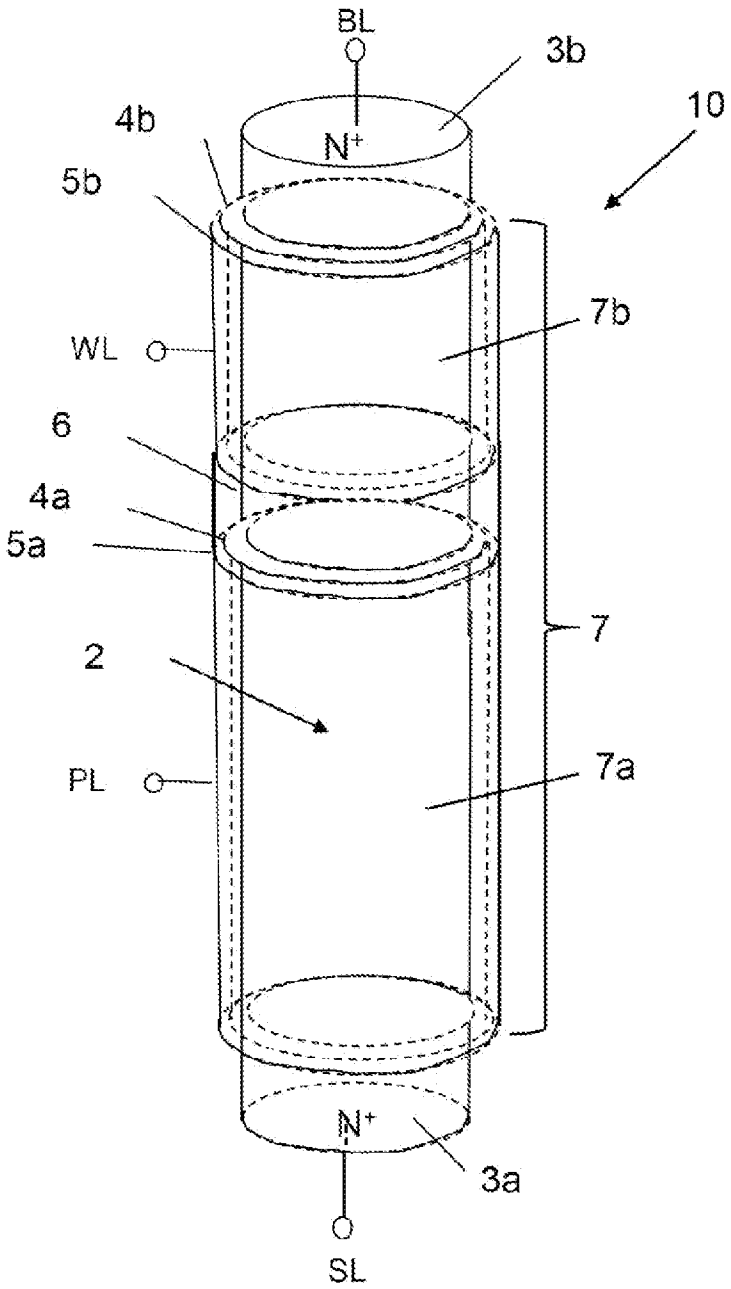
[請求項10] 前記ワード線と前記プレート線は、ロウデコーダ回路に接続し、前記ロウデコーダ回路にはロウアドレスを入力し、前記ロウアドレスに従って、前記ページを選択する、

ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置。

［請求項11］　前記ビット線は、センスアンプ回路に接続し、前記センスアンプ回路は、カラムデコーダ回路に接続し、前記カラムデコーダ回路にはカラムアドレスを入力し、前記カラムアドレスに従って、前記センスアンプ回路が入出力回路に選択的に接続する、

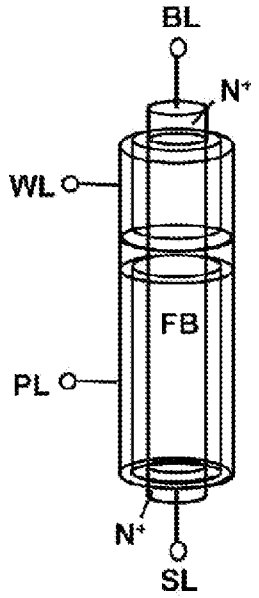
ことを特徴とする請求項１に記載の半導体素子を用いたメモリ装置。

[図1]

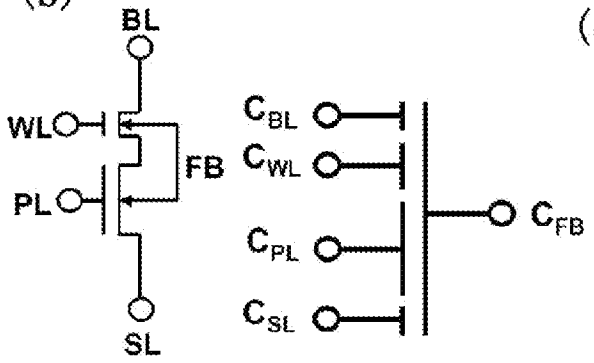


[図2]

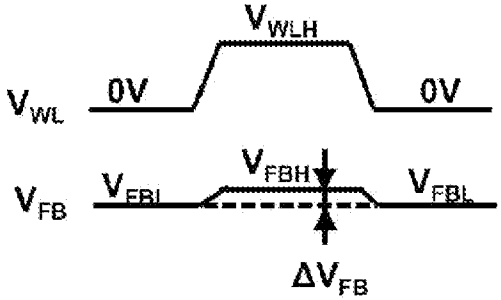
(a)



(b)



(c)



$$C_{FB} = C_{WL} + C_{PL} + C_{BL} + C_{SL} \quad (1)$$

$$\beta_{WL} = \frac{C_{WL}}{C_{WL} + C_{PL} + C_{BL} + C_{SL}} \quad (2) \Rightarrow \text{小さい } \beta_{WL}$$

$$\beta_{PL} = \frac{C_{PL}}{C_{WL} + C_{PL} + C_{BL} + C_{SL}} \quad (3) \Rightarrow \text{大きい } \beta_{PL}$$

$$\beta_{BL} = \frac{C_{BL}}{C_{WL} + C_{PL} + C_{BL} + C_{SL}} \quad (4) \Rightarrow \text{小さい } \beta_{BL}$$

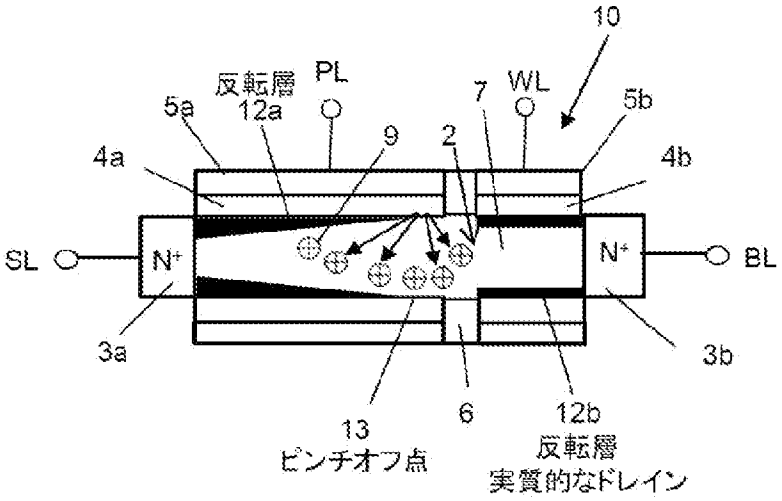
$$\beta_{SL} = \frac{C_{SL}}{C_{WL} + C_{PL} + C_{BL} + C_{SL}} \quad (5) \Rightarrow \text{小さい } \beta_{SL}$$

$$\Delta V_{FB} = V_{FBH} - V_{FBL}$$

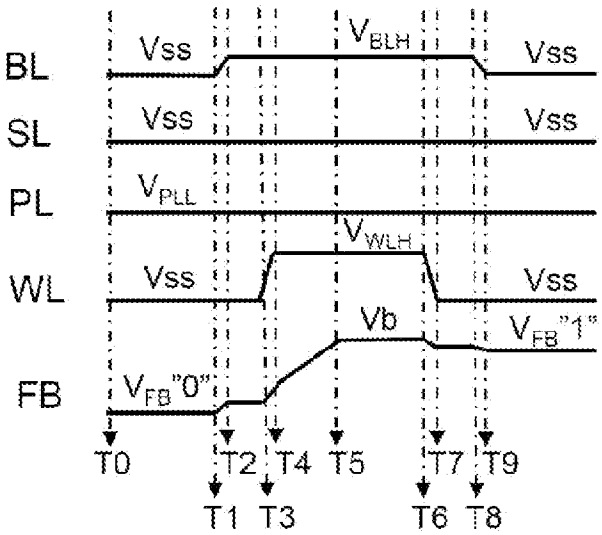
$$= \frac{\beta_{WL} \times V_{WLH}}{\text{小さい}} \quad (6)$$

[図3A]

(a) “1” ページ書込み動作
ソース側インパクトイオン化

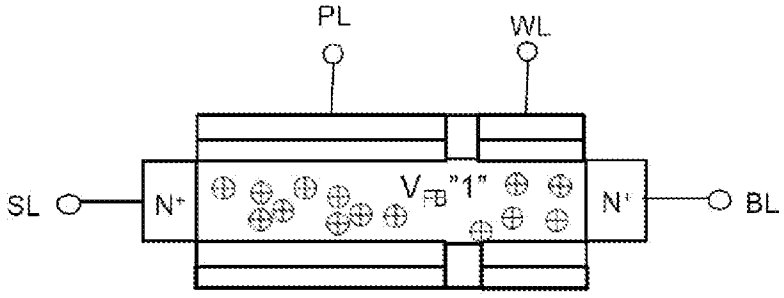


(b)

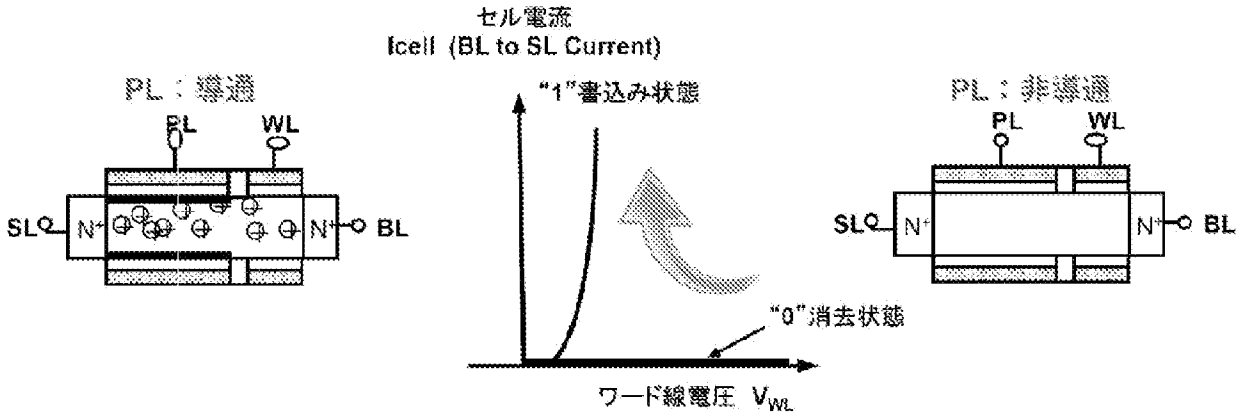


$$V_{FB}\text{“1”} = Vb - \underbrace{\beta_{WL} \times Vt_{WL}\text{“1”} - \beta_{BL} \times V_{BLH}}_{\text{小さい}} \quad (7)$$

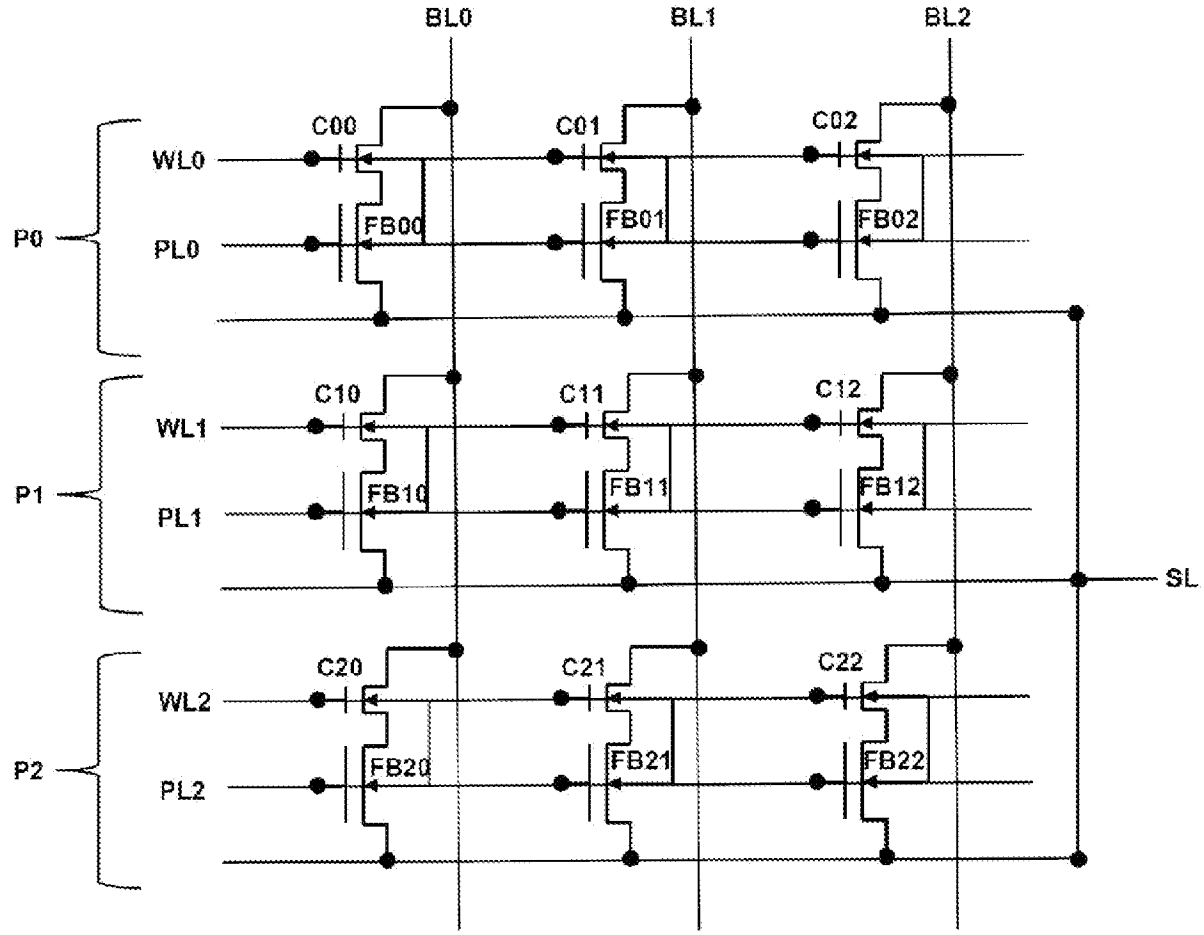
(c) “1” 書込み状態



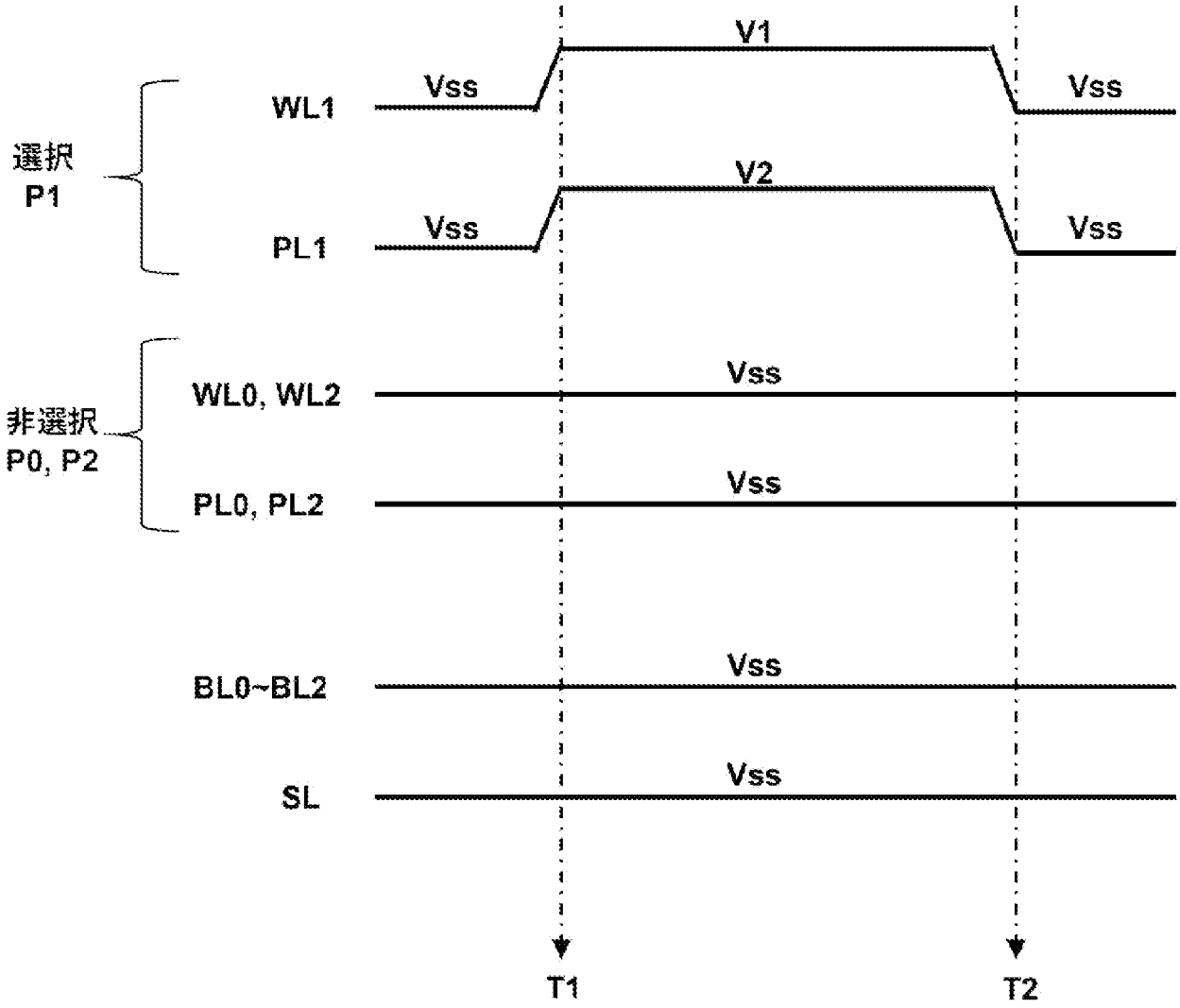
[図3B]


セル電流
Icell (BL to SL Current)
PL：導通
PL
WL
SL
N+
N+
BL
"1"書込み状態
"0"消去状態
ワード線電圧 V_{WL}
PL：非導通
PL
WL
SL
N+
N+
BL

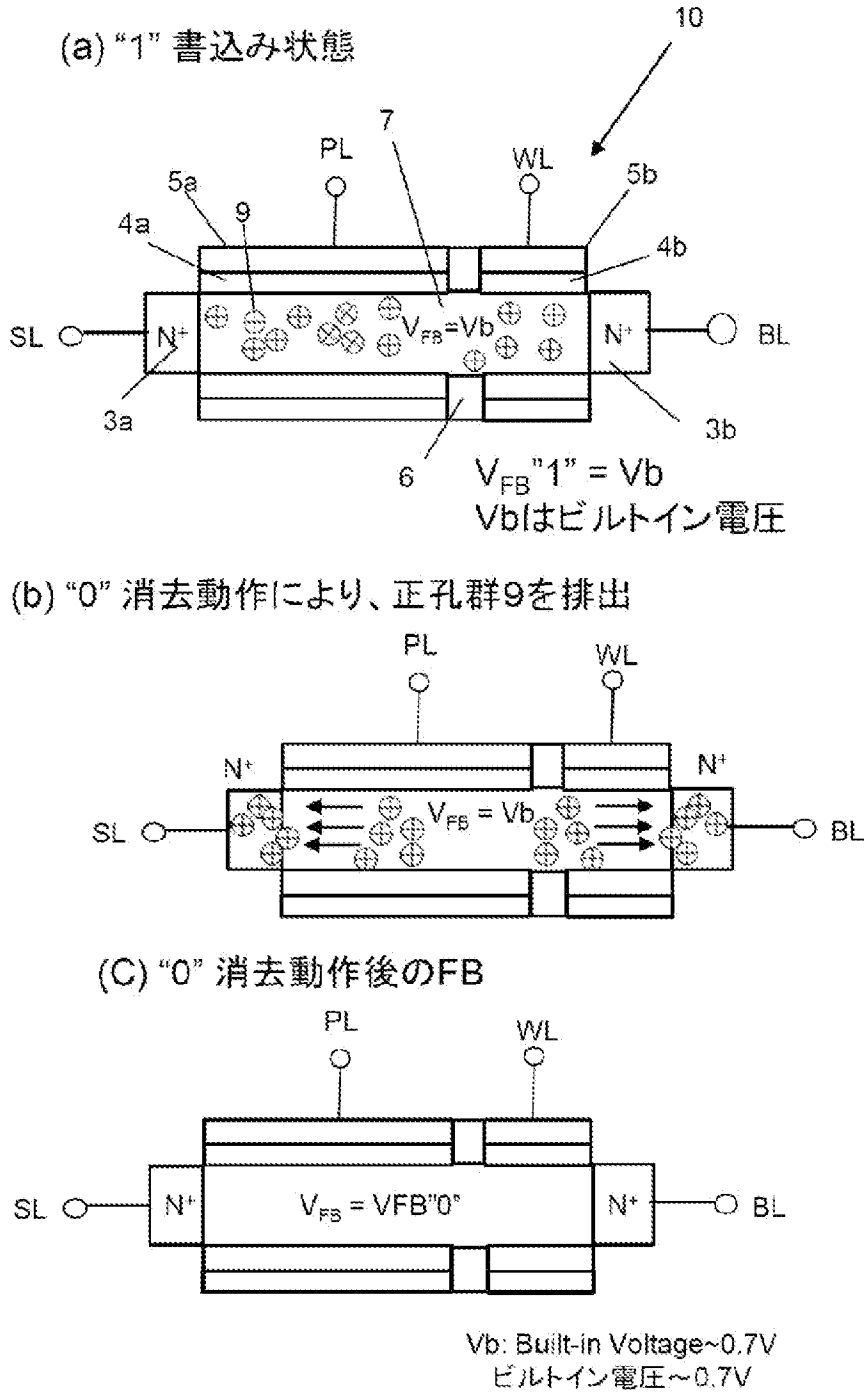
[図4A]


BL0
BL1
BL2
C00
C01
C02
WL0
PL0
FB00
FB01
FB02
P0
C10
C11
C12
WL1
PL1
FB10
FB11
FB12
P1
SL
C20
C21
C22
WL2
PL2
FB20
FB21
FB22
P2

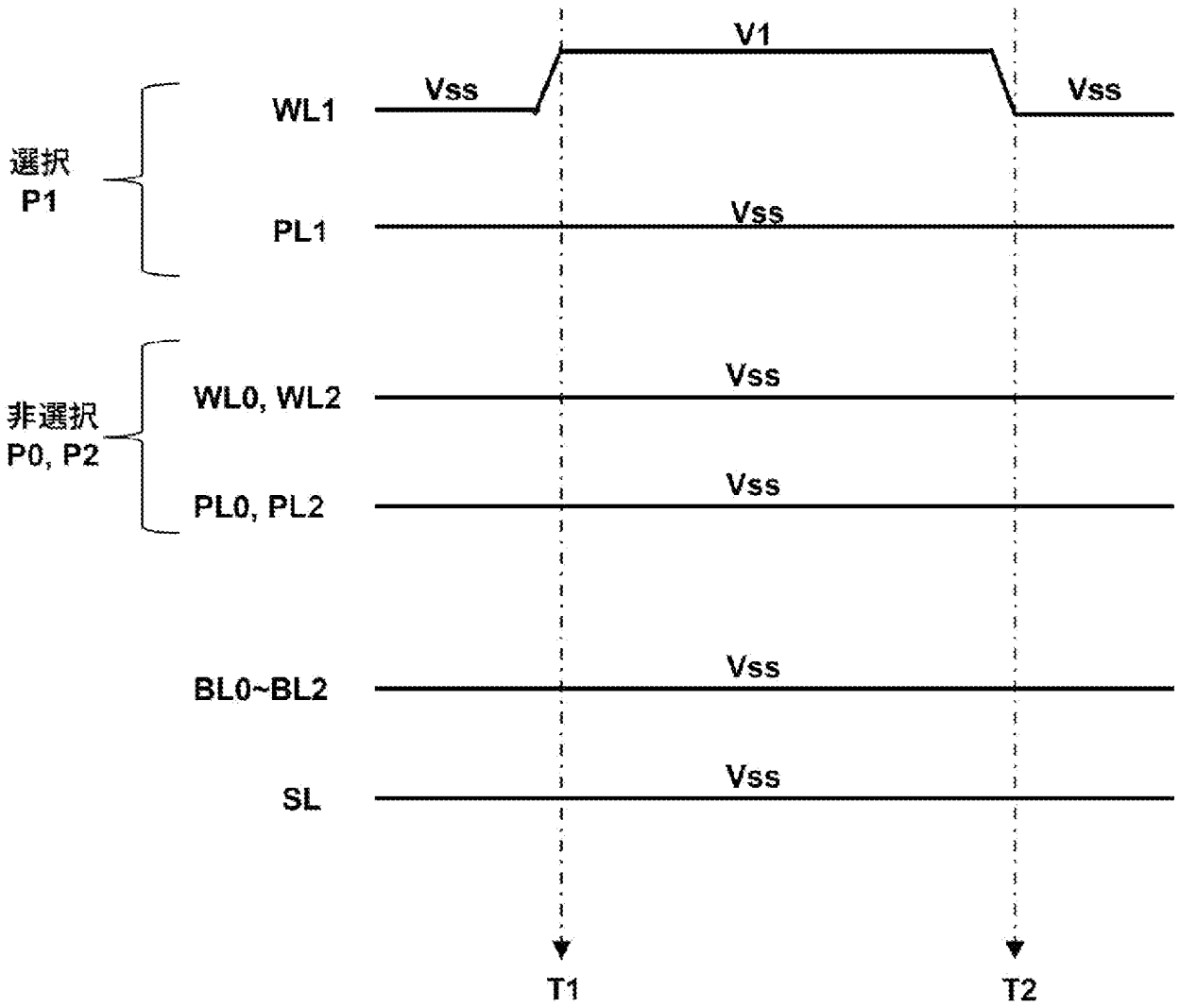
[図4B]



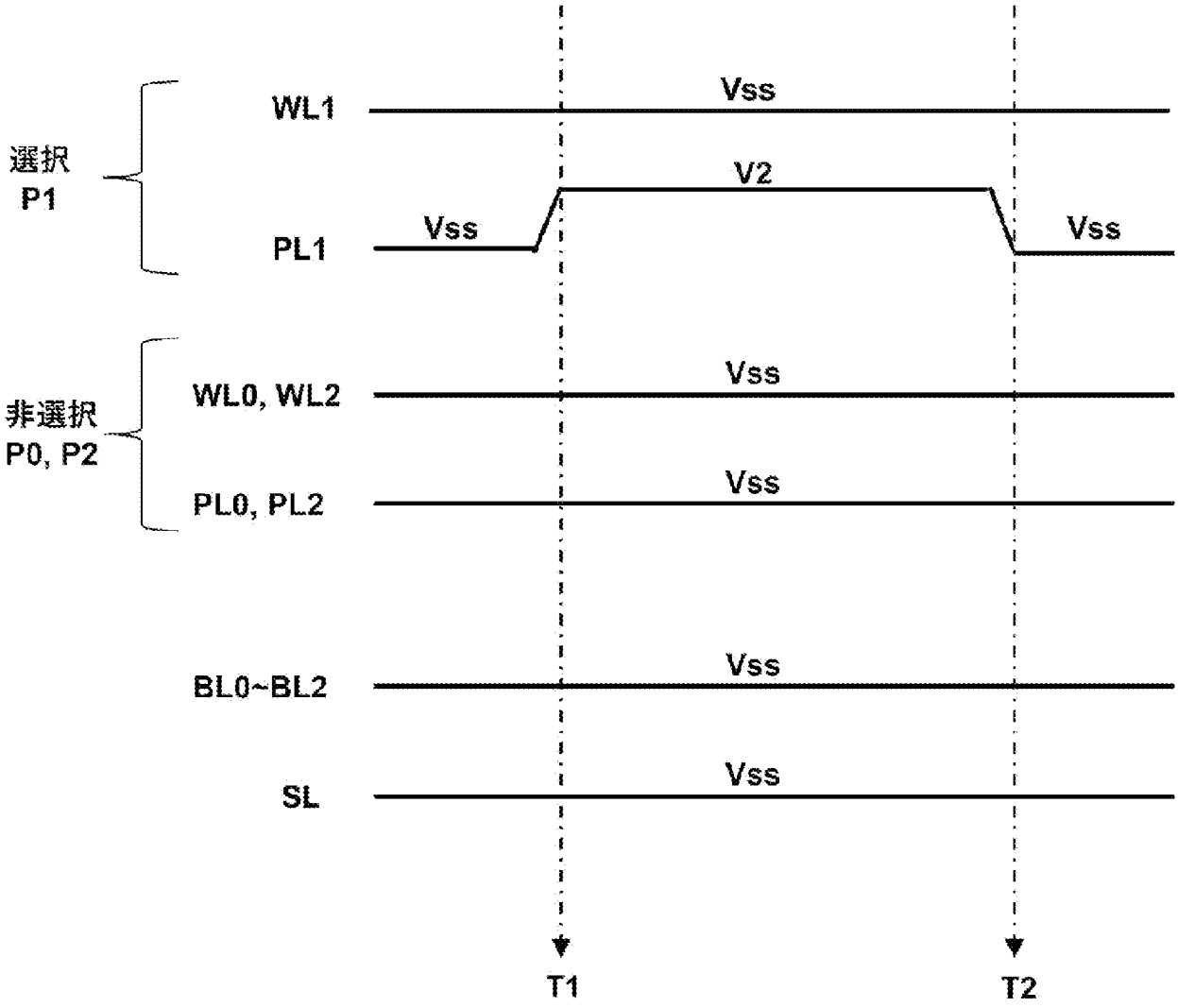
[図4C]


(a) "1" 書込み状態
10
7
PL
WL
5a
5b
9
4a
4b
SL
N+
V_{FB}=Vb
N+
BL
3a
3b
6
V_{FB}"1" = Vb
Vbはビルトイン電圧
(b) "0" 消去動作により、正孔群9を排出
PL
WL
N+
N+
SL
V_{FB} = Vb
BL
(C) "0" 消去動作後のFB
PL
WL
SL
N+
V_{FB} = VFB"0"
N+
BL
Vb: Built-in Voltage~0.7V
ビルトイン電圧~0.7V

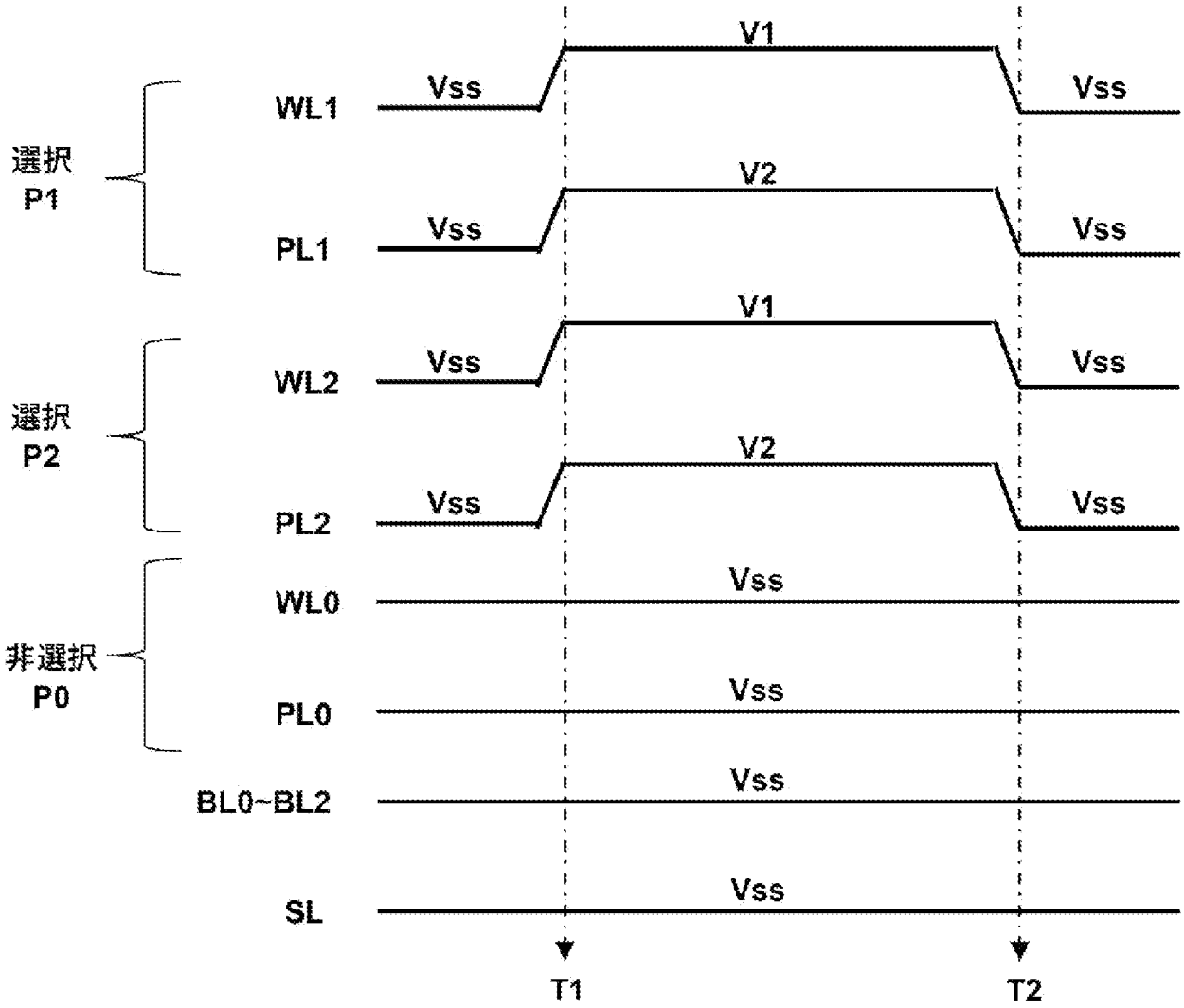
[図4D]


選択
P1
WL1
Vss
V1
Vss
PL1
Vss
非選択
P0, P2
WL0, WL2
Vss
PL0, PL2
Vss
BL0~BL2
Vss
SL
Vss
T1
T2

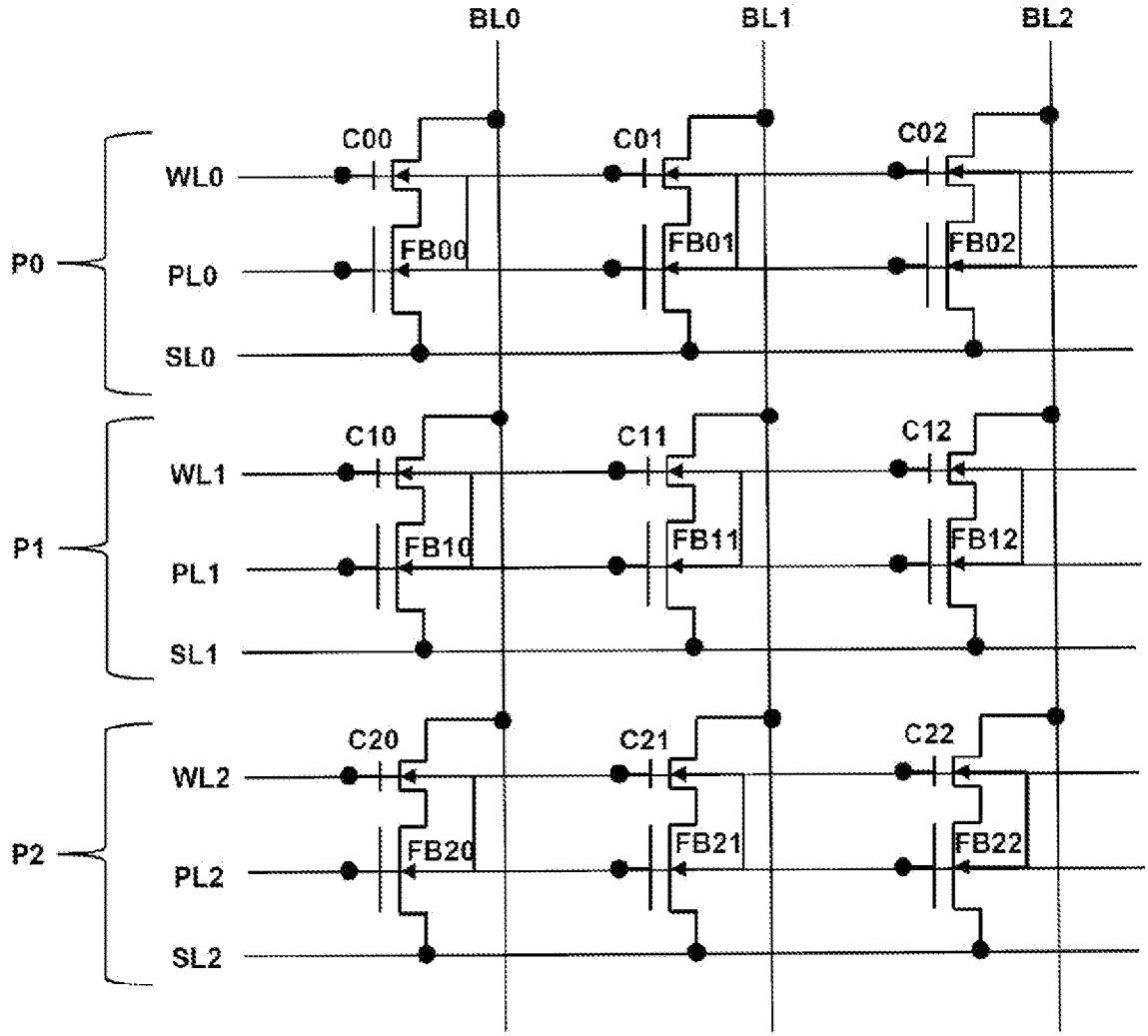
[図4E]


選択
P1
WL1
Vss
V2
PL1
Vss
Vss
非選択
P0, P2
WL0, WL2
Vss
PL0, PL2
Vss
BL0~BL2
Vss
SL
Vss
T1
T2

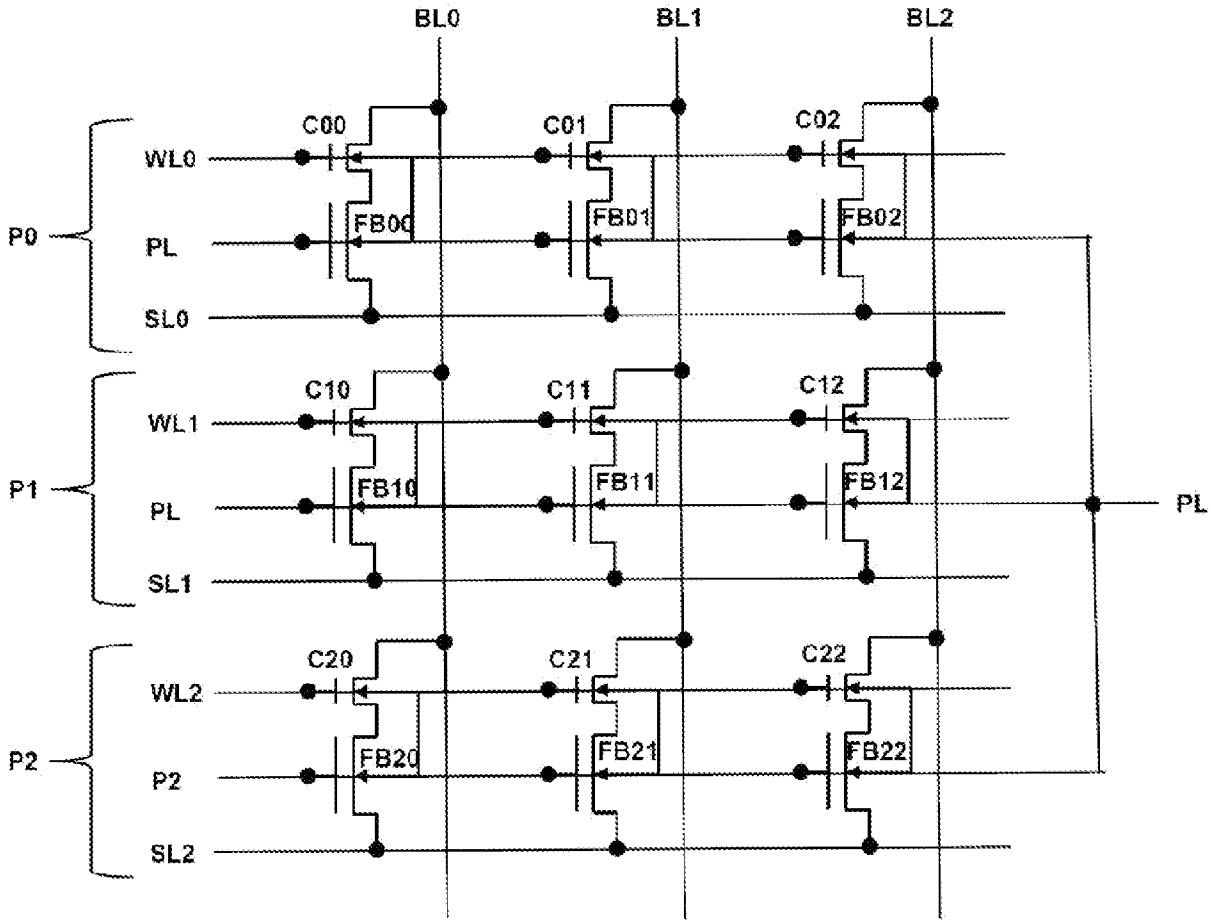
[図4F]


選択
P1
選択
P2
非選択
P0
WL1
PL1
WL2
PL2
WL0
PL0
BL0~BL2
SL
V1
V2
Vss
T1
T2

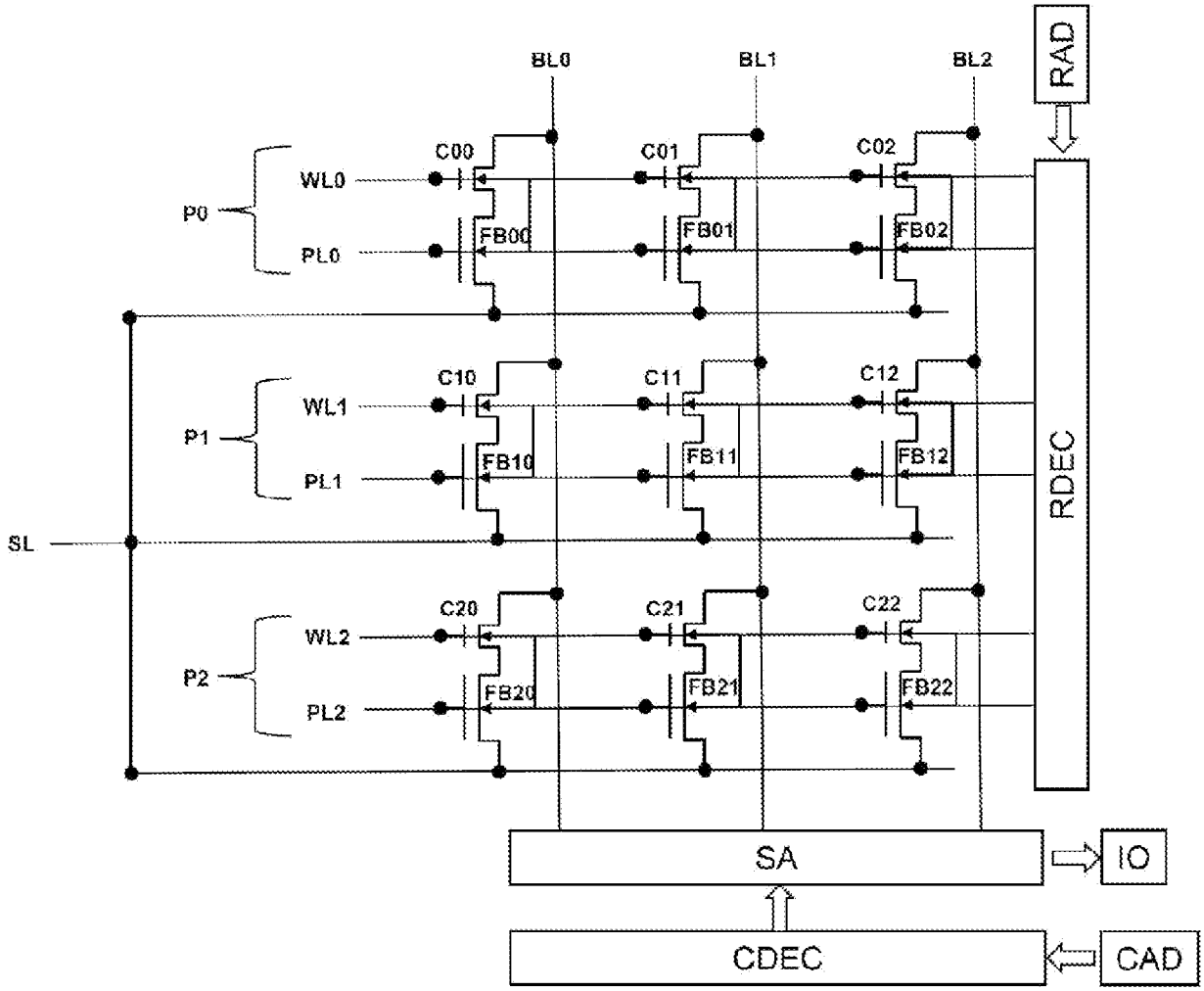
[図4G]


BL0
BL1
BL2
C00
C01
C02
WL0
FB00
FB01
FB02
P0
PL0
SL0
C10
C11
C12
WL1
FB10
FB11
FB12
P1
PL1
SL1
C20
C21
C22
WL2
FB20
FB21
FB22
P2
PL2
SL2

[図4H]

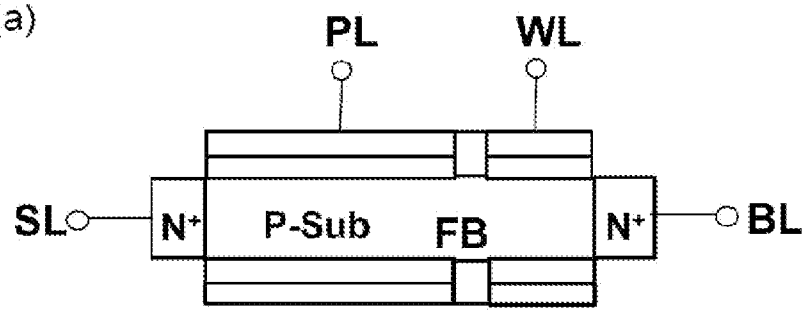

BL0
BL1
BL2
C00
C01
C02
WL0
FB00
FB01
FB02
P0
PL
SL0
C10
C11
C12
WL1
FB10
FB11
FB12
P1
PL
SL1
PL
C20
C21
C22
WL2
FB20
FB21
FB22
P2
P2
SL2

[図4I]

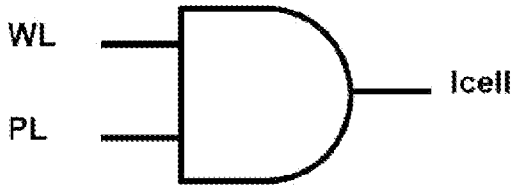

BL0
BL1
BL2
RAD
C00
C01
C02
WL0
P0
PL0
FB00
FB01
FB02
C10
C11
C12
WL1
P1
PL1
FB10
FB11
FB12
SL
C20
C21
C22
WL2
P2
PL2
FB20
FB21
FB22
RDEC
SA
IO
CDEC
CAD

[図5A]

(a)



(b)

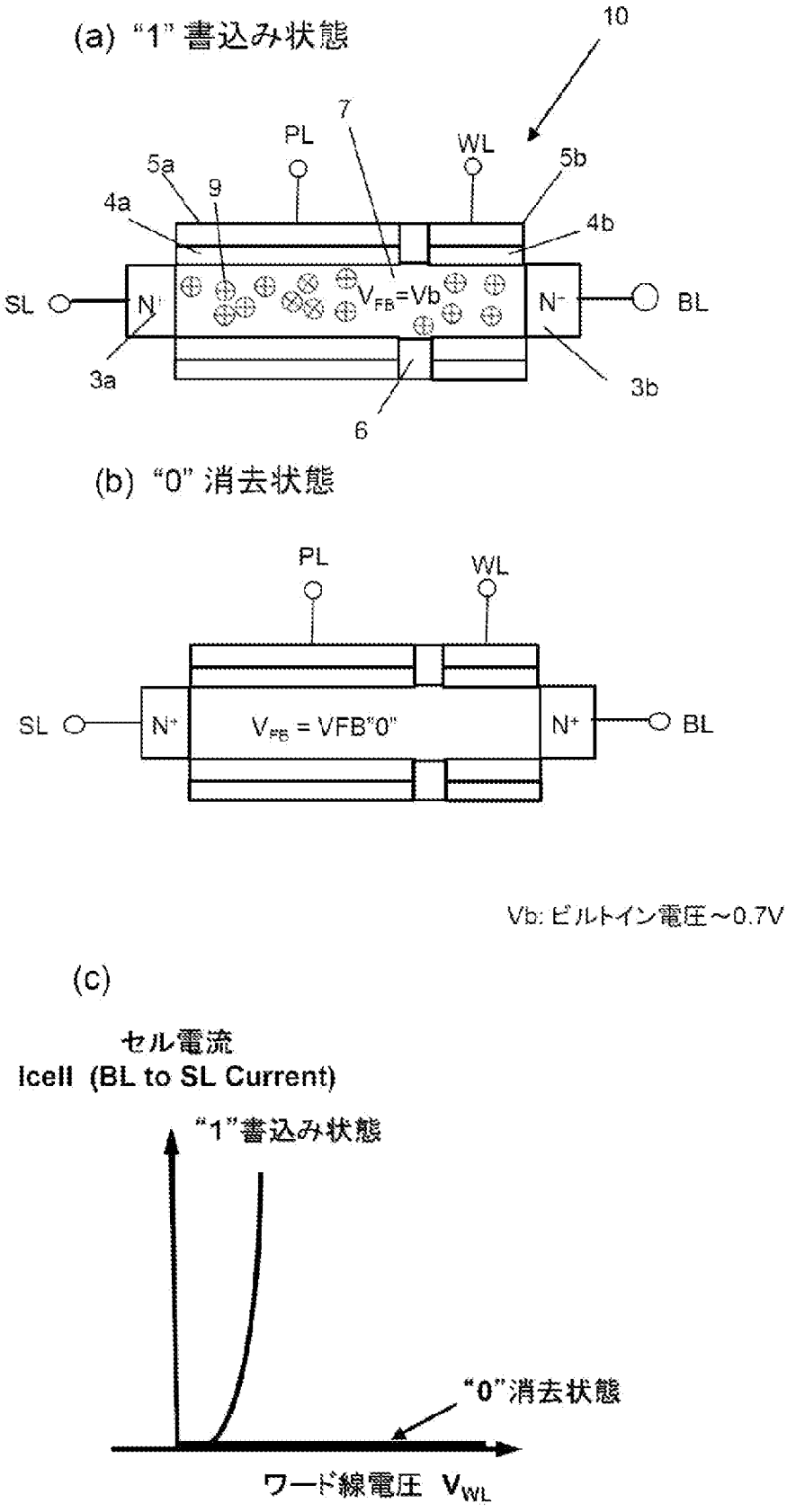


$$Icell = WL \cdot PL \quad (8)$$

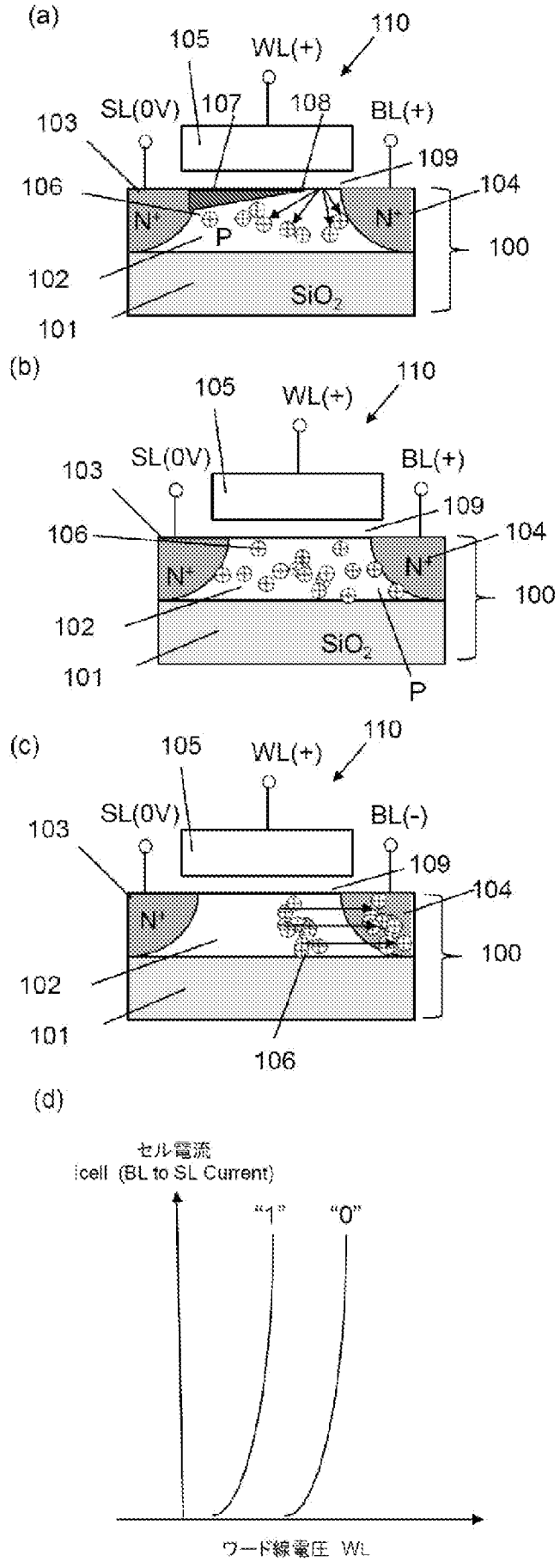
(c)

WL	PL	Icell
1	1	1
1	0	0
0	1	0
0	0	0

[図5B]

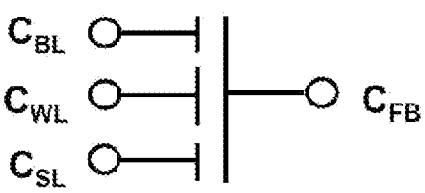

(a) “1” 書込み状態
10
7
PL
WL
5a
9
5b
4a
4b
SL
N+
V_{FB}=Vb
N-
BL
3a
3b
6
(b) “0” 消去状態
PL
WL
SL
N+
V_{FB} = VFB"0"
N+
BL
Vb: ビルトイン電圧～0.7V
(c)
セル電流
Icell (BL to SL Current)
“1”書込み状態
“0”消去状態
ワード線電圧 V_{WL}

[図6]


(a)
105
WL(+)
110
SL(0V)
107
108
BL(+)
103
109
106
104
N+
P
N+
100
102
SiO2
101
(b)
105
WL(+)
110
103
SL(0V)
BL(+)
109
106
104
N+
N+
100
102
SiO2
101
P
(c)
105
WL(+)
110
SL(0V)
BL(-)
103
109
104
N+
100
102
101
106
(d)
セル電流
Icell (BL to SL Current)
"1"
"0"
ワード線電圧 WL

[図7]

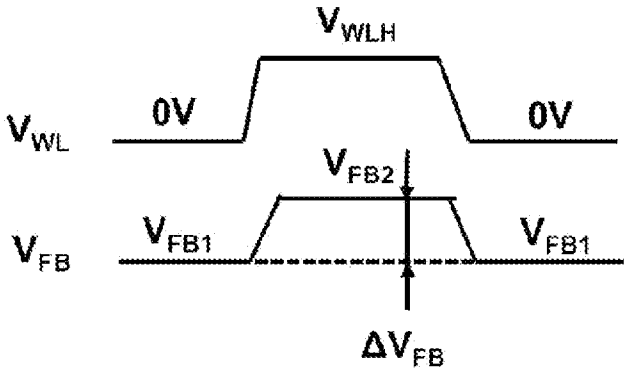
(a)



$$C_{FB} = C_{WL} + C_{BL} + C_{SL} \quad (9)$$

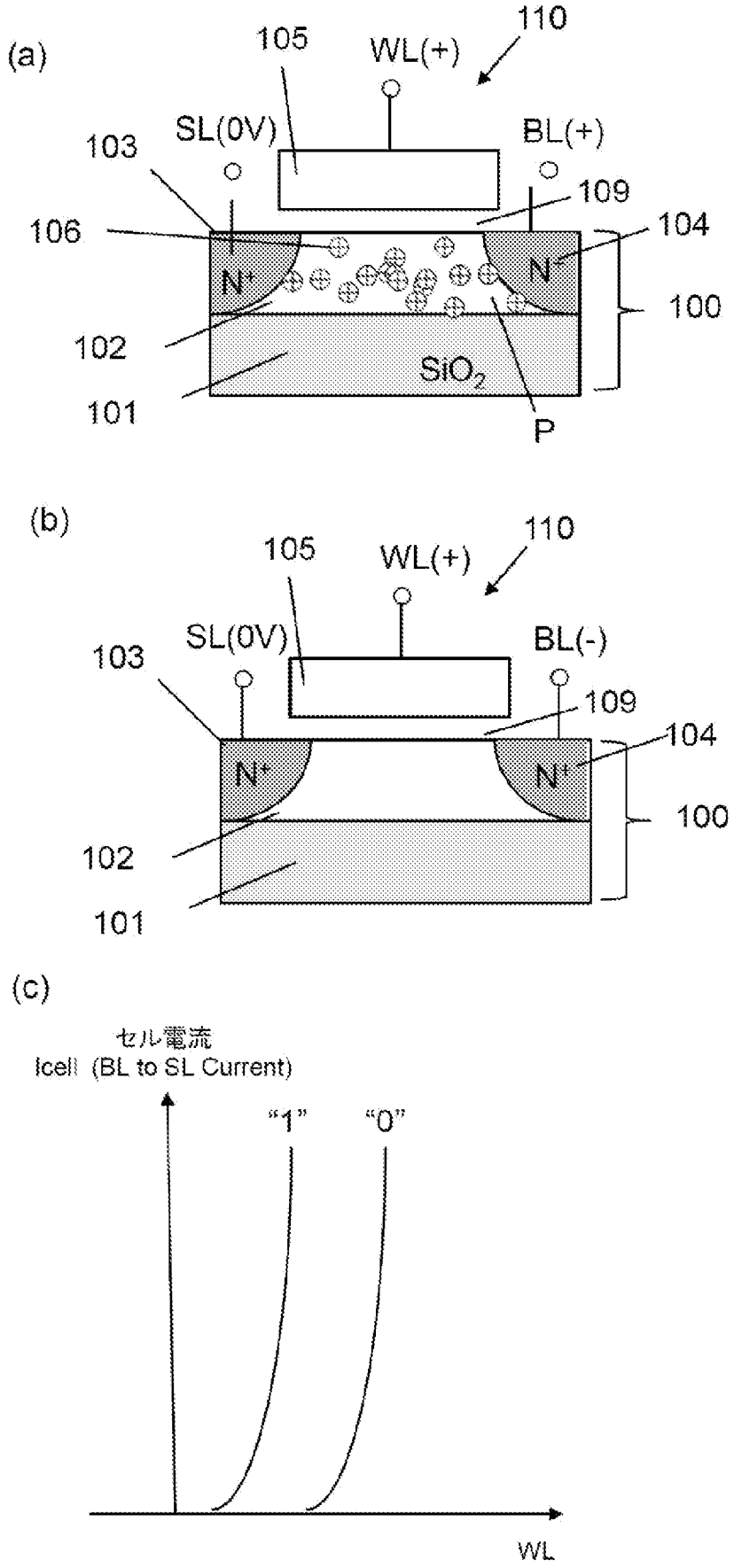
$$\beta_{WL} = \frac{C_{WL}}{C_{WL} + C_{BL} + C_{SL}} \quad (10)$$

(b)



$$\Delta V_{FB} = V_{FB2} - V_{FB1}$$
$$= \beta_{WL} \times V_{WLH} \quad (11)$$

[図8]


(a)
105
WL(+)
110
SL(0V)
BL(+)
103
109
106
104
N+
N+
100
102
SiO2
101
P
(b)
105
WL(+)
110
SL(0V)
BL(-)
103
109
104
N+
N+
100
102
101
(c)
セル電流
Icell (BL to SL Current)
"1"
"0"
WL

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2022/017819

A. CLASSIFICATION OF SUBJECT MATTER

G11C 16/04(2006.01)i; ***G11C 11/401***(2006.01)i; ***H01L 21/8242***(2006.01)i; ***H01L 27/10***(2006.01)i; ***H01L 27/108***(2006.01)i
FI: G11C16/04; G11C11/401; H01L27/10 451; H01L27/108 321

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C16/04; G11C11/401; H01L21/8242; H01L27/10; H01L27/108

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2022
Registered utility model specifications of Japan 1996-2022
Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2008-218556 A (TOSHIBA CORP) 18 September 2008 (2008-09-18) paragraphs [0026]-[0028], [0032], [0033], fig. 1, 5, 6	1-11
A	JP 2006-80280 A (TOSHIBA CORP) 23 March 2006 (2006-03-23) paragraphs [0028]-[0065], fig. 2-5	1-11

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 June 2022	**21 June 2022**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2022/017819

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2008-218556 A	18 September 2008	US 2008/0212366 A1 paragraphs [0042]-[0044], [0048], [0049], fig. 1, 5, 6	
JP 2006-80280 A	23 March 2006	US 2006/0049444 A1 paragraphs [0158]-[0196], fig. 2-5	

国際調査報告

国際出願番号
PCT/JP2022/017819

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G11C 16/04(2006.01)i; G11C 11/401(2006.01)i; H01L 21/8242(2006.01)i; H01L 27/10(2006.01)i; H01L 27/108(2006.01)i
FI: G11C16/04; G11C11/401; H01L27/10 451; H01L27/108 321

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G11C16/04; G11C11/401; H01L21/8242; H01L27/10; H01L27/108

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２２年
日本国実用新案登録公報	１９９６－２０２２年
日本国登録実用新案公報	１９９４－２０２２年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2008-218556 A (株式会社東芝) 18.09.2008 (2008-09-18) 段落[0026]-[0028],[0032],[0033], 図1,5,6	1-11
A	JP 2006-80280 A (株式会社東芝) 23.03.2006 (2006-03-23) 段落[0028]-[0065], 図2-5	1-11

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
06.06.2022	21.06.2022

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
後藤　彰 5S 4226
電話番号 03-3581-1101 内線 3546

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2022/017819

引用文献	公表日	パテントファミリー文献	公表日
JP 2008-218556 A	18.09.2008	US 2008/0212366 A1 段落[0042]-[0044],[0048], [0049], 図1,5,6	
JP 2006-80280 A	23.03.2006	US 2006/0049444 A1 段落[0158]-[0196], 図2-5	