公告本

發明專利說明書 578146

（填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫）

※ 申請案號：91133494 ※IPC分類：G11C11/02、G11C7/00

※ 申請日期：91.11.15

壹、發明名稱

（中文） 磁性隨機存取記憶體及其讀取方法

（日文） 磁気ランダムアクセスメモリ及びその読み出し方法

貳、發明人（共 1 人）

發明人 1 （如發明人超過一人，請填**說明書發明人續頁**）

姓名：（中文）岩田 佳久

（英文）

住居所地址：（中文）日本國神奈川縣横濱市戸塚區戸塚町1905-30

（英文）

國籍：（中文）日本 （英文）JAPAN

參、申請人（共 1 人）

申請人 1 （如申請人超過一人，請填**說明書申請人續頁**）

姓名或名稱：（中文）日商東芝股份有限公司

（英文）KABUSHIKI KAISHA TOSHIBA

住居所或營業所地址：（中文）日本國東京都港區芝浦1丁目1番1號

（英文）

國籍：（中文）日本 （英文）JAPAN

代表人：（中文）岡村 正

（英文）TADASHI OKAMURA

捌、聲明事項

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為：＿＿＿＿＿＿＿＿＿＿

☑ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號　順序註記】

1.日本；　2001 年 11 月 15 日；　特願 2001-350013

2.

3.

☑ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號　順序註記】

1.日本；　2001 年 11 月 15 日；　特願 2001-350013

2.

3.

4.

5.

6.

7.

8.

9.

10.

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號　順序註記】

1.

2.

3.

☐ 主張專利法第二十六條微生物：

☐國內微生物　【格式請依：寄存機構；日期；號碼　順序註記】

1.

2.

3.

☐國外微生物　【格式請依：寄存國名；機構；日期；號碼　順序註記】

1.

2.

3.

☐熟習該項技術者易於獲得，不須寄存。

玖、發明說明

(發明說明應敘明：發明所屬之技術領域、先前技術、內容、實施方式及圖式簡單說明)

相關申請案交叉參考

本案係以先前於2001年11月15日提出申請之日本專利申請案號2001-350013為基礎，茲主張優先權，該案之全部內容可經由參照方式引用於本案。

發明背景

1 發明的技術領域

本發明係關於利用磁阻(Magneto Resistive)效應記憶“1”、“0”資料之磁性隨機存取記憶體(MRAM：Magnetic Random Access Memory)。

2 相關技藝描述

近年來，已有相關業者提出多種利用新原理記憶資料之記憶體之方案，其中之一，有利用隧道磁阻(Tunneling Magneto Resistive；以下稱TMR)效應記憶“1”、“0”資料之磁性隨機存取記憶體。

在有關磁性隨機存取記憶體之提案方面，例如已知有Roy Scheuerlein et,al之 ISSCC2000 Technical Digest p.128「A 10ns Read and Write Non-Volatile Memory Array Using a Mangetic Tunnel Junction and FET Switch in each Cell」。

磁性隨機存取記憶體係利用TMR元件記憶“1”、“0”資料。TMR元件之基本構造係利用2個磁性層(強磁性層)夾入絕緣層(隧道障壁層)之構造。但，為了達成MR (Magneto Resistive：磁阻)比之最適化等之目的，有關TMR元件之構造，已有人提出種種構造之提案。

記憶於TMR元件之資料係利用2個磁性層之磁化狀態為平行或反平行加以判斷。在此，所謂平行，係指2個磁性層之磁化方向相同之意，所謂反平行，係指2個磁性層之磁化方向相反之意。

通常，在2個磁性層中之一(固定層)附設有反強磁性層。反強磁性層係固定層之磁化方向固定用之構件。因此，實際上，記憶於TMR元件之資料("1"或"0")係利用2個磁性層中之另一(自由層)之磁化方向加以決定。

TMR元件之磁化狀態平行時，夾在構成該TMR元件之2個磁性層間之絕緣層(隧道障壁層)之隧道電阻變得最低，此狀態例如設定為"1"-狀態。又，TMR元件之磁化狀態反平行時，夾在構成該TMR元件之2個磁性層間之絕緣層(隧道障壁層)之隧道電阻變得最高，此狀態例如設定為"0"-狀態。

其次，簡單說明有關對TMR元件之寫入/讀取動作之原理。

TMR元件係被配置於互相交叉之寫入字元線與資料選擇線(位元線)之交點。而，寫入係對寫入字元線與資料選擇線通以電流，利用流通於兩配線之電流所形成之磁場決定TMR元件之自由層之磁化方向所達成。

例如，在寫入時，對寫入字元線通以僅向一方向流通之電流，對寫入位元線，依照寫入資料，通以向一方側或他方側流通之電流。對寫入位元線，通以向一方側流通之電流時，配置在寫入字元線與寫入位元線之交點之TMR元件

之磁化狀態成為平行("1"-狀態)。另一方面，對寫入位元線，通以向他方側流通之電流時，配置在寫入字元線與寫入位元線之交點之TMR元件之磁化狀態成為反平行("0"-狀態)。

讀取時，例如係對被選擇之TMR元件通以讀取電流，而利用檢出該被選擇之TMR元件之電阻值之方式加以讀取。

讀取動作原理因磁性隨機存取記憶體之陣列構造而有相當大的變化。在1個TMR元件串聯連接1個開關元件之陣列構造之情形，使連接於被選擇之讀取字元線之開關元件處於通電狀態而對被選擇之TMR元件通以讀取電流，將此讀取電流引導至檢知放大器，並讀取被選擇之TMR元件之電阻值時，即可判斷該TMR元件之資料。

但，在讀取方面，卻有一個大問題。

由於讀取電流係通過TMR元件內之絕緣層(隧道障壁層)而流通，故TMR元件之電阻值大大地依存於該絕緣層之厚度。具體而言，TMR元件之電阻值係對TMR元件內之絕緣層之厚度變化部分呈現對數的變化。

也就是說，目前，報告中所記載之TMR元件內之隧道障壁層之厚度雖為數nm程度，但在多數TMR元件之間隧道障壁層之厚度之差異愈大，其電阻值之差異也愈會呈現對數的增大。

因此，在磁性隨機存取記憶體中，就難以採用例如在NOR型快閃記憶體所採用之使用基準單元之檢知方式。

假設希望在磁性隨機存取記憶體中，利用差動檢知放大

器比較被選擇之TMR元件之電阻值與基準單元之電阻值，以讀取記憶於被選擇之TMR元件之資料時，有必要防止資料被隧道障壁層之厚度之差異所產生之雜訊所埋沒而無法讀取。

也就是說，必須使決定於MR比(磁阻變化率)之TMR元件之電阻變化部分(磁化狀態平行時之電阻值與反平行時之電阻值之差)ΔR充分大於TMR元件及基準單元之電阻值之差異。

但，目前所能實現之MR比，一般為20～40%，頂多為50程度%。如果考慮到量產時之製造容限及良率等因素時，此程度之MR比無法達成獲得不被雜訊所埋沒之充分大之TMR元件之電阻變化部分ΔR之目的。

作為解決上述有關讀取之問題之提案之一，已知有使2個TMR元件記憶1位元之資料之技術，亦即：將正確之資料記憶於2個TMR元件之一方，將相反之資料記憶於他方，在讀取時將兩資料加以比較之技術。採用此技術時，實質上可將MR比所產生之電阻變化部分ΔR增大為2倍。

但，為了使2個TMR元件記憶1位元之資料，從必須增大記憶體容量之角度而言，當然較為不利。而且，此技術並不能消除多數TMR元件間之電阻值差異所造成之影響，在多數TMR元件間之電阻值差異大小相對較大之情形下，TMR元件之電阻變化部分ΔR仍不能說充分的大。

然而，美國09/961,326號專利申請案所提出之技術確屬可解決有關讀取之問題，即解決有關多數TMR元件間之電

阻值差異之問題，且對基準單元之高積體化、記憶體容量之大容量化也頗為有利之劃時代的技術。

採用此技術之磁性隨機存取記憶體具有並聯連接多數TMR元件之陣列構造。

讀取時，將讀取電流通至並聯連接之多數TMR元件，利用檢知放大器檢出當時之多數TMR元件之電阻值，其後，對多數TMR元件中被選擇之記憶單元寫入特定資料，其後，再將讀取電流通至並聯連接之多數TMR元件，利用檢知放大器檢出當時之多數TMR元件之電阻值。

將先檢出之多數TMR元件之電阻值與後檢出之多數TMR元件之電阻值加以比較，若兩者實質上相同，判斷被選擇之TMR元件之資料為特定資料，若不同，則判斷被選擇之TMR元件之資料為具有與特定資料相反之值之資料。

依據此種讀取動作原理，可以不受讀取時之多數TMR元件間之電阻值差異之影響，而正確地讀取被選擇之TMR元件之電阻值(或MR比)，因此，採用此讀取動作原理之磁性隨機存取記憶體可說實現性相當高。

又，依據此種讀取動作原理，在讀取之際，記憶於被選擇之TMR元件之資料有時會遭受破壞(破壞讀取)，因此，有必要在判斷被選擇之TMR元件之資料值後，對該TMR元件施行資料之重寫。

如此，美國09/961,326號專利申請案所提出之技術雖非常有效，但並未提出有關寫入驅動器等寫入電路及檢知放大器等讀取電路之具體的提案，且在有關磁性隨機存取記

憶體之陣列構造及讀取動作原理上，仍有更進一步提高實現性之必要。

發明概述

(1)依據本發明之一觀點所提供之磁性隨機存取記憶體之讀取方法係用於讀取利用磁阻效應記憶資料之記憶單元，且包含下列過程者：使第一讀取電流流通至前述記憶單元，在對前述記憶單元寫入具有預定值之寫入資料之同時或與此並行地，使第二讀取電流流通至前述記憶單元，檢出對前述第一及第二讀取電流之差或時間之變化量，以判斷前述記憶單元之資料。

(2)依據本發明之第一觀點所提供之磁性隨機存取記憶體係包含多數記憶單元，其係互相並聯連接而利用磁阻效應記憶資料者；位元線，其係連接於前述多數記憶單元之一端，並向第一方向延伸者；第一及第二寫入位元線驅動器/消能器，其係將寫入電流供應至前述位元線或由前述位元線吸收前述寫入電流者；第一開關，其係連接於前述位元線之一端與前述第一寫入位元線驅動器/消能器之間者；第二開關，其係連接於前述位元線之他端與前述第二寫入位元線驅動器/消能器之間者；讀取電路，其係將讀取電流供應至前述位元線者；及多數寫入字元線，其係向與前述第一方向成直交之第二方向延伸者。

依據本發明之第二觀點所提供之磁性隨機存取記憶體係包含記憶單元，其係利用磁阻效應記憶資料者；電流源，其係將讀取電流供應至前述記憶單元者；記憶電路，其

係記憶前述讀取電流或與前述讀取電流成正比之電流者；及檢知放大器，其係依據前述讀取電流或與前述讀取電流成正比之電流與記憶於前述記憶電路之電流，判斷前述記憶單元之資料者。

發明之詳細說明

本發明之一觀點之磁性隨機存取記憶體可由以下參照圖式之詳細說明中獲得明確之瞭解。

1.參考例

圖1係表示作為本發明之參考例之磁性隨機存取記憶體之主要部。

記憶單元陣列11具有在X方向及Y方向配置成陣列狀之多數TMR元件12。在配置於X方向之TMR元件12附近，配置有向X方向延伸之寫入字元線WL0、WL1、…WL11。寫入字元線WL0、WL1、…WL11之一端連接於含有列解碼器、電流源及電流消能器之電路區塊13，其他端連接於含有電流源及電流消能器之電路區塊14。

所謂電流消能器，係指吸收電流源所產生之電流之電路而言。

配置於Y方向之TMR元件12係並聯連接於第一資料轉送線15與第二資料轉送線16之間。第一資料轉送線15之一端連接於含有電壓源及電流源之電路區塊17，其他端經由寫入選擇開關(MOS電晶體)18而連接於接地點。第二資料轉送線16之一端經由讀取選擇開關(MOS電晶體)19及檢知電阻20而連接於接地點。

行解碼器21係連接於寫入/讀取選擇開關18、19之閘極。檢知電路22係連接於檢知電阻20之兩端，用以檢出檢知電阻20之兩端間之電壓。

其次，一面參照圖2之時間表，一面說明圖1之磁性隨機存取記憶體之讀取動作原理。

以下說明之讀取動作係由4個循環所構成：

①在第一循環中，施行初始資料之讀取。在此，所謂初始資料，係判斷被選擇之TMR元件之資料值所需之基準資料之意。

首先，使連接於含有被選擇之TMR元件12之被選擇之行之讀取選擇開關19處於通電狀態。所謂行，係指配置於Y方向而互相並聯連接之多數TMR元件群而言。其結果，電路區塊17內之電流源產生之讀取電流可經由被選擇之行之多數TMR元件12及檢知電阻20而流至接地點。

在流通讀取電流之狀態下，檢知電阻20兩端之間產生之電壓係依存於構成被選擇之行之並聯連接之多數TMR元件12之合成電阻。因此，利用檢知電路22檢出檢知電阻20兩端之間產生之電壓時，即可檢出初始資料。初始資料係被記憶於檢知電路22。

其後，使讀取選擇開關19處於斷電狀態。

②在第二循環中，對被選擇之TMR元件12施行嘗試資料之寫入。所謂嘗試資料，係指為了獲得與基準資料作比較之比較資料，而寫入於被選擇之TMR元件之具有預定值之資料而言，具體上為“1”或“0”。

首先，使連接於含有被選擇之TMR元件12之行之寫入選擇開關18處於通電狀態。其結果，電路區塊17內之電流源產生之寫入電流可經由被選擇之行之第一資料轉送線15及寫入選擇開關18而流至接地點。

又，使寫入電流流通至接近於含有被選擇之TMR元件12之被選擇之列而被配置之寫入字元線。流通至寫入字元線之寫入電流之方向係由嘗試資料之值所決定。又，所謂列，係指配置於X方向之多數TMR元件12群而言。

其結果，可將嘗試資料(“1”或“0”)寫入被選擇之TMR元件12。其後，使寫入選擇開關18處於斷電狀態，以切斷流至第一資料轉送線15之寫入電流，且也切斷流至接近於被選擇之列而被配置之寫入字元線之寫入電流。

③在第三循環中，施行比較資料之讀取。在此，所謂比較資料，係指利用與基準資料之比較，以判斷被選擇之TMR元件之資料值用之資料之意。

首先，使連接於含有被選擇之TMR元件12之被選擇之行之讀取選擇開關19處於通電狀態。其結果，電路區塊17內之電流源產生之讀取電流可經由被選擇之行之多數TMR元件12及檢知電阻20而流至接地點。

在流通讀取電流之狀態下，檢知電阻20兩端之間產生之電壓係依存於構成被選擇之行之並聯連接之多數TMR元件12之合成電阻。因此，利用檢知電路22檢出檢知電阻20兩端之間產生之電壓時，即可檢出比較資料。

其後，檢知電路22比較初始資料與比較資料，以判斷被

選擇之TMR元件12之資料值。

即，判斷初始資料與比較資料相同時，表示不因嘗試資料之寫入而改變被選擇之TMR元件12之資料值之意，故判斷被選擇之TMR元件12之資料值為與嘗試資料之值相同之值。

反之，判斷初始資料與比較資料不相同時，表示已因嘗試資料之寫入而改變被選擇之TMR元件12之資料值之意，故判斷被選擇之TMR元件12之資料值為具有與嘗試資料之值相反之值。

例如，嘗試資料為“1”時，如初始資料與比較資料相同，判斷被選擇之TMR元件12之資料值為“1”，如初始資料與比較資料不相同，判斷被選擇之TMR元件12之資料值為“0”。

又，嘗試資料為“0”時，如初始資料與比較資料相同，判斷被選擇之TMR元件12之資料值為“0”，如初始資料與比較資料不相同，判斷被選擇之TMR元件12之資料值為“1”。

如此，可決定被選擇之TMR元件12之資料值。

此後，使讀取選擇開關19處於斷電狀態。

④在第四循環中，對被選擇之TMR元件12施行資料之重新寫入。

依據本例之讀取動作原理，在第二循環中，將嘗試資料寫入被選擇之TMR元件。也就是說，此時，被選擇之TMR元件之資料會被破壞(破壞讀取)。

因此，判斷被選擇之TMR元件之資料值後，有必要對該TMR元件12施行資料之重寫。

首先，使連接於含有被選擇之TMR元件12之行之被選擇之寫入選擇開關18處於通電狀態。其結果，電路區塊17內之電流源產生之寫入電流可經由被選擇之行之第一資料轉送線15及寫入選擇開關18而流至接地點。

又，使寫入電流流通至接近於含有被選擇之TMR元件12之被選擇之列而被配置之寫入字元線。流通至寫入字元線之寫入電流之方向係由第三循環所判斷之被選擇之TMR元件之資料值所決定。

其結果，可將當初之正確之資料寫入被選擇之TMR元件12，其後，使寫入選擇開關18處於斷電狀態，以切斷流至第一資料轉送線15之寫入電流，且也切斷流至接近於被選擇之列而被配置之寫入字元線之寫入電流。

以上，在有關參考例之磁性隨機存取記憶體中，係採用所謂破壞讀取動作原理，因此，可以不受讀取時之多數TMR元件間之電阻值差異之影響，而正確地讀取被選擇之TMR元件之電阻值(或MR比)。

2.改良例

在參考例中，已針對有關破壞讀取動作原理與應用此原理之磁性隨機存取記憶體之一例加以說明。

以下，就有關可應用破壞讀取動作原理之改良之磁性隨機存取記憶體、與改良之破壞讀取動作原理，分別詳細地加以說明。

(1)改良例1

圖3係表示作為本發明之改良例1之磁性隨機存取記憶

體之主要部。圖4係僅表示有關圖3之磁性隨機存取記憶體之1行份之圖。

本改良例1之磁性隨機存取記憶體之陣列構造與參考例相同。改良例1與參考例相比時，其特徵在於寫入/讀取用之周邊電路。

記憶單元陣列11具有在X方向及Y方向配置成陣列狀之多數TMR元件12。在配置於X方向之TMR元件12附近，配置有向X方向延伸之多數條(在本例中，為12條)寫入字元線WL0、WL1、…WL11。寫入字元線WL0、WL1、…WL11之一端連接於寫入字元線驅動器23，其他端連接於寫入字元線消能器24。

列解碼器25係在寫入動作時，依據列位址訊號選擇寫入字元線WL0、WL1、…WL11中之1條。寫入字元線驅動器23係將寫入電流供應至被選擇之寫入字元線。寫入電流流過被選擇之寫入字元線後，被寫入字元線消能器24所吸收。

配置於Y方向之TMR元件12係並聯連接於第一資料轉送線(位元線)26與第二資料轉送線27之間。

第一資料轉送線26之一端經由行選擇開關(MOS電晶體)SW連接於共通資料線28。共通資料線28係被連接至含讀取電路(檢知放大器)、寫入位元線驅動器及寫入位元線消能器之電路區塊29。

第一資料轉送線26之他端經由行選擇開關(MOS電晶體)SW連接於共通驅動線30。共通驅動線30係被連接至含寫入位元線驅動器及寫入位元線消能器之電路區塊31。

行選擇線訊號CSL0、CSL1、…CSL7被輸入至行選擇開關SW之閘極。行解碼器32係對應於行選擇開關SW被設置，用以輸出行選擇線訊號CSL0、CSL1、…CSL7。第二資料轉送線27係被連接至接地點。

本例之磁性隨機存取記憶體在寫入動作時，由寫入字元線驅動器23流向寫入字元線消能器24之寫入電流流至被選擇之寫入字元線。又，在被選擇之行中，寫入電流流至第一資料轉送線(位元線)。流至第一資料轉送線之寫入電流係依照寫入資料之值而改變。

在讀取動作時，在被選擇之行中，讀取電流由電路區塊29，經由第一資料轉送線、多數TMR元件及第二資料轉送線而流至接地點。電路區塊29內之檢知放大器係在讀取電流流通之期間，檢出對應於多數TMR元件之合成電阻之讀取資料。

又，有關使用本例之磁性隨機存取記憶體之讀取動作原理之詳細情形容後再述。

(2)改良例2

圖5係表示作為本發明之改良例2之磁性隨機存取記憶體之主要部。在圖5中，係對應於圖4而僅顯示記憶單元陣列之1行份。

本改良例2之磁性隨機存取記憶體與改良例1相比時，其特徵在於1行份之TMR元件配置。即，在改良例1中，1行內之TMR元件係在Y方向配置成一行，但在改良例2中，1行內之TMR元件係在Z方向配置成一行。

在此，所謂Z方向，係指垂直於與X方向及Y方向成直交之紙面之方向。也就是說，圖5之TMR元件係在垂直於紙面之方向互相重疊。

記憶單元陣列11具有在X方向及Z方向配置成陣列狀之多數TMR元件12。在本例中，TMR元件12係在Z方向堆疊成8段。在TMR元件12附近，配置有向X方向延伸、向Z方向堆疊之多數條(在本例中，為8條)寫入字元線WL0、WL1、…WL7。

例如，在配置於第一段(最下段)之TMR元件(MTJ (Magnetic Tunnel Junction：磁性隧道接合元件) 0)附近，配置有寫入字元線WL0，在配置於第二段之TMR元件(MTJ1)附近，配置有寫入字元線WL1，在配置於第八段(最上段)之TMR元件(MTJ7)附近，配置有寫入字元線WL7。

寫入字元線WL0、WL1、…WL7之一端連接於寫入字元線驅動器23，其他端連接於寫入字元線消能器24。

列解碼器25係在寫入動作時，依據列位址訊號選擇寫入字元線WL0、WL1、…WL7中之1條。寫入字元線驅動器23係將寫入電流供應至被選擇之寫入字元線。寫入電流流過被選擇之寫入字元線後，被寫入字元線消能器24所吸收。

配置於Z方向之TMR元件12係互相並聯連接。TMR元件12之一端連接於第一資料轉送線(位元線BLi) 26，其他端連接於接地點。

第一資料轉送線26之一端經由行選擇開關(MOS電晶體)SWA連接於共通資料線28。共通資料線28係被連接至讀取

電路(含檢知放大器)29B。

在本例之磁性隨機存取記憶體中，在記憶單元陣列11內新設有向Y方向延伸而僅在寫入時使用之寫入線33。此寫入線33例如也可對應於Z方向之8個TMR元件12而設置8條，但在本例中，係使1條寫入線33對應於2個TMR元件。即，在1行內之寫入線33為4條。

寫入線33之一端經由行選擇開關(MOS電晶體)SWB連接至共通驅動線30A。共通驅動線30A連接至含寫入位元線驅動器及寫入位元線消能器之電路區塊29A。

寫入線33之他端經由行選擇開關(MOS電晶體)SWB連接至共通驅動線30B。共通驅動線30B連接至含寫入位元線驅動器及寫入位元線消能器之電路區塊31。

行選擇線訊號CSLj (j=0、1、…7)被輸入至行選擇開關SWA之閘極。讀取行解碼器32A係對應於行選擇開關SWA被設置，用以輸出行選擇線訊號CSLj。

行選擇線訊號CSLjk (j=0、1、…7、k=0、1、2、3)被輸入至行選擇開關SWB之閘極。讀取行解碼器32B係對應於行選擇開關SWB被設置，用以輸出行選擇線訊號CSLjk。

在本例之磁性隨機存取記憶體中，構成1行之多數TMR元件(記憶單元)並非配置於橫方向(Y方向)，即平行於半導體基板表面之方向，而係配置於縱方向(Z方向)，即垂直於半導體基板表面之方向。

因此，改良例2與改良例1相比，具有更適於使TMR元件(記憶單元)高積體化之陣列構造。

(3)改良例1、2之周邊電路之例

①寫入字元線驅動器/消能器

首先，說明有關改良例1、2(圖3、圖4及圖5)之寫入字元線驅動器23及寫入字元線消能器24之電路例。

有關寫入字元線驅動器23及寫入字元線消能器24，在改良例1、2中可使用相同之電路。

圖6係表示寫入字元線驅動器/消能器之一例。

寫入字元線驅動器23係由OR電路OR1、NAND電路ND1及P通道MOS電晶體P1所構成。寫入字元線消能器24係由N通道MOS電晶體N1所構成。電源電位VDD被輸入至N通道MOS電晶體N1之閘極。

寫入訊號WRITE、嘗試訊號TRIAL及重寫訊號REWRITE係被寫入OR電路OR1。

寫入訊號WRITE係對被選擇之TMR元件施行通常之寫入動作時成為"H (High)"之訊號。嘗試訊號TRIAL係在讀取動作(破壞讀取動作)之際，對被選擇之TMR元件寫入所謂嘗試資料時成為"H"之訊號。重寫訊號REWRITE在對被選擇之TMR元件施行讀取動作(破壞讀取動作)之際，寫入正確資料時成為"H"之訊號。

此等3種訊號WRITE、TRIAL、REWRITE中之一種為"H"時，OR電路OR1之輸出訊號成為"H"。

OR電路OR1之輸出訊號及列位址訊號(列i)係被輸入至NAND電路ND1。選擇列i(寫入字元線WLi)時，列位址訊號(列i)之全部位元成為"H"。因此，選擇列i，且3種訊號WRITE

、TRIAL、REWRITE中之一種為“H”時，NAND電路ND1之輸出訊號成為“L”。

NAND電路ND1之輸出訊號成為“L”時，P通道MOS電晶體P1成為通電狀態，故寫入電流由電源端子VDD，經由寫入字元線WLi而流向寫入字元線消能器24。

又，在列i以外之列方面，由於列位址訊號中至少之1個位元成為“L (Low)”，故寫入電流不會流至存在於列i以外之列之寫入字元線。

② 行解碼器

其次，說明有關改良例1 (圖3及圖4)之行解碼器32之電路例。

圖7係表示行解碼器之一例。

行解碼器32係由OR電路OR2、AND電路AD1所構成。讀取訊號READ1、READ2、寫入訊號WRITE、嘗試訊號TRIAL及重寫訊號REWRITE被輸入至OR電路OR2。

寫入訊號WRITE、嘗試訊號TRIAL及重寫訊號REWRITE係與輸入至圖6之寫入字元線驅動器23之寫入訊號WRITE、嘗試訊號TRIAL及重寫訊號REWRITE相同。

讀取訊號READ1、READ2係在讀取動作(破壞讀取動作)之際，讀取構成被選擇之行之多數TMR元件之合成電阻之值時成為“H”之訊號。例如，如上所述，依據通常之破壞讀取動作原理，需要施行2次讀取動作(圖2之第一及第三循環)。即，讀取訊號READ1在第一循環中成為“H”，讀取訊號READ2在第三循環中成為“H”。

在此等5種訊號READ1、READ2、WRITE、TRIAL、REWRITE中之任1種成為“H”時，OR電路OR2之輸出訊號成為“H”。

OR電路OR2之輸出訊號及行位址訊號(指定行j)被輸入至AND電路AD1。當選擇行j(位元線BLj)時，行位址訊號(指定行j)之全部位元均成為“H”，因此，選擇行j，且5種訊號READ1、READ2、WRITE、TRIAL、REWRITE中之任1種成為“H”時，AND電路AD1之輸出訊號成為“H”。

當AND電路AD1之輸出訊號成為“H”時，圖4之行選擇開關(N通道MOS電晶體)SW成為導電狀態，因此，寫入動作時，寫入電流流至位元線BLj，讀取動作時，讀取電流流至多數TMR元件。

圖8係表示行解碼器之另一例之圖。

圖8之行解碼器32與圖7之行解碼器32相比時，其特徵在於讀取訊號READ1、READ2不存在，但卻追加讀取訊號READ之點上。

此行解碼器32係在將圖2所述之破壞讀取動作原理加以改良後之新的破壞讀取動作原理應用於磁性隨機存取記憶體時所使用。

有關此新的破壞讀取動作原理容後再詳加敘述，惟其特徵簡單而言，此破壞讀取動作原理係將圖2之第二循環與第三循環合併為1個循環。

因此，在圖2之第一循環中，將成為“H”之讀取訊號READ輸入至行解碼器32，以取代2個讀取訊號READ1、READ2。

③讀取/寫入行解碼器

其次，說明有關改良例2(圖5)之讀取/寫入行解碼器32A、32B之電路例。

圖9係表示讀取行解碼器之一例。

讀取行解碼器32A係由OR電路OR3、AND電路AD2所構成。讀取訊號READ1、READ2被輸入至OR電路OR3。

讀取訊號READ1、READ2係在讀取動作(破壞讀取動作)之際，讀取構成被選擇之行之多數TMR元件之合成電阻之值時成為“H”之訊號。例如，如上所述，依據通常之破壞讀取動作原理，需要施行2次讀取動作(圖2之第一及第三循環)。即，讀取訊號READ1在第一循環中成為“H”，讀取訊號READ2在第三循環中成為“H”。

在此等2種訊號READ1、READ2中之任1種成為“H”時，OR電路OR3之輸出訊號成為“H”。

OR電路OR3之輸出訊號及行位址訊號(指定行j)被輸入至AND電路AD2。當選擇行j(位元線BLj)時，行位址訊號(指定行j)之全部位元均成為“H”，因此，選擇行j，且2種訊號READ1、READ2中之任1種成為“H”時，AND電路AD2之輸出訊號成為“H”。

當AND電路AD2之輸出訊號成為“H”時，圖5之行選擇開關(N通道MOS電晶體N)SWA成為導電狀態，因此，讀取動作時，讀取電流流至多數TMR元件。

圖10係表示讀取行解碼器之另一例。

圖10之讀取行解碼器32A與圖9之讀取行解碼器32A相比時，其特徵在於讀取訊號READ1、READ2不存在，但卻追

加讀取訊號READ及嘗試訊號TRIAL之點上。

此讀取行解碼器32A係在將圖2所述之破壞讀取動作原理加以改良後之新的破壞讀取動作原理應用於磁性隨機存取記憶體時所使用。

有關此新的破壞讀取動作原理容後再詳加敘述，惟其特徵簡單而言，此破壞讀取動作原理係將圖2之第二循環與第三循環合併為1個循環。

因此，將在圖2之第一循環中成為"H"之讀取訊號READ及在第二循環中成為"H"之嘗試訊號TRIAL輸入至讀取行解碼器32A，以取代2個讀取訊號READ1、READ2。

圖11係表示寫入行解碼器之一例。

寫入行解碼器32B係由OR電路OR4、AND電路AD3所構成。寫入訊號WRITE、嘗試訊號TRIAL及重寫訊號REWRITE被輸入至OR電路OR4。

寫入訊號WRITE、嘗試訊號TRIAL及重寫訊號REWRITE係與輸入至圖6之寫入字元線驅動器23之寫入訊號WRITE、嘗試訊號TRIAL及重寫訊號REWRITE相同。

此等3種訊號WRITE、TRIAL、REWRITE中之任一種為"H"時，OR電路OR4之輸出訊號成為"H"。

OR電路OR4之輸出訊號及行位址訊號(指定行j)被輸入至AND電路AD3。行位址訊號係由上位行位址訊號與下位行位址訊號所構成。

上位行位址訊號係用以選擇1個行。下位行位址訊號係用以選擇存在於被選擇之行內而堆疊於Z方向之多數TMR

元件。在圖5之例中，TMR元件係在Z方向堆疊成8段，為了選擇TMR元件而設有4條寫入線33，因此，下位行位址訊號為2位元。

行j內之第(k+1)段之TMR元件被行位址訊號所選擇，且3種訊號WRITE、TRIAL、REWRITE中之任一種為“H”時，AND電路AD3之輸出訊號成為“H”。

AND電路AD3之輸出訊號成為“H”，即，行選擇線訊號CSLjk成為“H”時，圖5之行選擇開關(N通道MOS電晶體)SWB成為通電狀態。因此，寫入動作時，寫入電流可流至圖5之寫入線33中之1條。

又，圖11之寫入行解碼器也可在將通常之破壞讀取動作原理及新的破壞讀取動作原理中任一種原理應用於磁性隨機存取記憶體之情形中使用。

④寫入位元線驅動器/消能器

其次，說明有關改良例1、2(圖3、圖4及圖5)之寫入位元線驅動器/消能器29、31之電路例。

關於寫入位元線驅動器/消能器29、31，在改良例1、2中可使用相同之電路。

A. 圖12係表示寫入位元線驅動器/消能器之一例。

本例之寫入位元線驅動器/消能器係在破壞讀取動作原理(例如參照圖2)之第二循環中，對應於寫入於被選擇之TMR元件之所謂嘗試資料為“1”之情形。

a. 寫入位元線驅動器/消能器29

寫入位元線驅動器/消能器29係由OR電路OR5、OR6、OR7

、AND電路AD4、AD5、NAND電路ND2、反相器電路I1、P通道MOS電晶體P2及N通道MOS電晶體N2所構成。

寫入位元線驅動器係由OR電路OR5、NAND電路ND2、反相器電路I1、P通道MOS電晶體P2所構成。寫入訊號WRITE及重寫訊號REWRITE係被寫入OR電路OR5。

寫入訊號WRITE係在對被選擇之TMR元件施行通常之寫入動作時成為“H”之訊號。重寫訊號REWRITE係在讀取動作(破壞讀取動作)後將正確之資料重寫於被選擇之TMR元件時成為“H”之訊號。

此等2種訊號WRITE、REWRITE中之一種成為“H”之訊號時，OR電路OR5之輸出訊號成為“H”。

寫入資料DATA被輸入於反相器電路I1。在此，所謂寫入資料DATA，係指除了嘗試資料以外之通常之寫入資料(含重寫資料)之意。

OR電路OR5之輸出訊號及反相器電路I1之輸出訊號係被輸入至NAND電路ND2。OR電路OR5之輸出訊號為“H”之情形下，寫入資料DATA為“1”時，反相器電路I1之輸出訊號會變成“L”，故NAND電路ND2之輸出訊號為“H”。另一方面，寫入資料DATA為“0”時，反相器電路I1之輸出訊號會變成“H”，故NAND電路ND2之輸出訊號為“L”。

又，“1”對應於“H”，“0”對應於“L”。

NAND電路ND2之輸出訊號為“H”時，P通道MOS電晶體P2為斷電狀態，NAND電路ND2之輸出訊號為“L”時，P通道MOS電晶體P2為通電狀態。

寫入位元線消能器係由OR電路OR6、OR7、AND電路AD4、AD5及N通道MOS電晶體N2所構成。寫入訊號WRITE及重寫訊號REWRITE係被寫入OR電路OR6。此2種訊號WRITE、REWRITE中之任一種成為“H”之訊號時，OR電路OR6之輸出訊號成為“H”。

OR電路OR6之輸出訊號及寫入資料DATA係被輸入至AND電路AD4。

OR電路OR6之輸出訊號為“H”之情形下，寫入資料DATA為“1”時，AND電路AD4之輸出訊號成為“H”。另一方面，寫入資料DATA為“0”時，AND電路AD4之輸出訊號成為“L”。

嘗試訊號TRIAL係被輸入至AND電路AD5。嘗試訊號TRIAL係在施行讀取動作(破壞讀取動作)之際，將所謂嘗試資料寫入被選擇之TMR元件時成為“H”之訊號。AND電路AD5具有2個輸入端子，其一方被輸入嘗試訊號TRIAL，其他方經常被固定於“1”。

OR電路OR7之輸出訊號係在2個AND電路AD4、AD5之輸出訊號中之任一方為“H”時成為“H”之訊號。即，2種訊號WRITE、REWRITE中之任一方為“H”，且寫入資料DATA為“1”時，OR電路OR7之輸出訊號成為“H”之訊號。當OR電路OR7之輸出訊號成為“H”時，N通道MOS電晶體N2成為通電狀態。

嘗試訊號TRIAL成為“H”時，OR電路OR7之輸出訊號也成為“H”，且N通道MOS電晶體N2成為通電狀態。也就是說，嘗試資料為“1”時，可使由寫入位元線驅動器/消能器31流向寫入位元線驅動器/消能器29之電流流至寫入線26、33。

b. 寫入位元線驅動器/消能器31

寫入位元線驅動器/消能器31係由OR電路OR8、OR9、AND電路AD6、AD7、AD8、NOR電路NR1、反相器電路I2、P通道MOS電晶體P3及N通道MOS電晶體N3所構成。

寫入位元線驅動器係由OR電路OR8、AND電路AD6、AD7、NOR電路NR1及P通道MOS電晶體P3所構成。寫入訊號WRITE及重寫訊號REWRITE係被寫入OR電路OR8。此等2種訊號WRITE、REWRITE中之任一種成為"H"之訊號時，OR電路OR8之輸出訊號成為"H"。

OR電路OR8之輸出訊號及寫入資料DATA被輸入至AND電路AD6。OR電路OR8之輸出訊號成為"H"之情形下，寫入資料DATA為"1"時，AND電路AD6之輸出訊號成為"H"。另一方面，寫入資料DATA為"0"時，AND電路AD6之輸出訊號成為"L"。

嘗試訊號TRIAL係被輸入至AND電路AD7。嘗試訊號TRIAL係如上所述，在施行破壞讀取動作之際，將所謂嘗試資料寫入被選擇之TMR元件時成為"H"之訊號。AND電路AD7具有2個輸入端子，其一方被輸入嘗試訊號TRIAL，其他方經常被固定於"1"。

NOR電路NR1之輸出訊號係在2個AND電路AD6、AD7之輸出訊號中之至少一方為"H"時成為"L"。即，2種訊號WRITE、REWRITE中之一方為"H"，且寫入資料DATA為"1"時，NOR電路NR1之輸出訊號成為"L"。當NOR電路NR1之輸出訊號成為"L"時，P通道MOS電晶體P3成為通電狀態。

嘗試訊號TRIAL成為“H”時，NOR電路NR1之輸出訊號也成為“L”，且P通道MOS電晶體P3成為通電狀態。也就是說，嘗試資料為“1”時，可使由寫入位元線驅動器/消能器31流向寫入位元線驅動器/消能器29之電流流至寫入線26、33。

寫入位元線消能器係由OR電路OR9、AND電路AD8、反相器電路I2及N通道MOS電晶體N3所構成。寫入訊號WRITE及重寫訊號REWRITE係被寫入OR電路OR9。此等2種訊號WRITE、REWRITE中之任一種成為“H”之訊號時，OR電路OR9之輸出訊號成為“H”。

寫入資料DATA係被輸入至反相器電路I2。OR電路OR9之輸出訊號及反相器電路I2之輸出訊號係被輸入至AND電路AD8。

OR電路OR9之輸出訊號為“H”之情形下，寫入資料DATA為“1”時，AND電路AD8之輸出訊號成為“L”。另一方面，寫入資料DATA為“0”時，AND電路AD8之輸出訊號成為“H”。AND電路AD8之輸出訊號成為“L”時，N通道MOS電晶體N3成為斷電狀態，AND電路AD8之輸出訊號成為“H”時，N通道MOS電晶體N3成為通電狀態。

c. 如此，在圖12之寫入位元線驅動器/消能器中，寫入動作時，即，訊號WRITE、REWRITE中之任一種成為“H”時，可依照寫入資料DATA之值(“1”或“0”)決定流至寫入線26、33之寫入電流之方向。

又，在讀取動作時，在將嘗試資料寫入TMR元件之際，也由於嘗試訊號TRIAL成為“H”，故在本例中，可使由寫入

位元線驅動器/消能器31流向寫入位元線驅動器/消能器29之寫入電流流至寫入線26、33。此時，當試資料“1”被寫入被選擇之TMR元件。

B. 圖13係表示寫入位元線驅動器/消能器之另一例。

本例之寫入位元線驅動器/消能器係在破壞讀取動作原理(例如參照圖2)之第二循環中，對應於寫入於被選擇之TMR元件之所謂當試資料為“0”之情形。

a. 寫入位元線驅動器/消能器29

寫入位元線驅動器/消能器29係由OR電路OR10、OR11、AND電路AD9、AD10、AD11、NOR電路NR2、反相器電路I3、I4、P通道MOS電晶體P4及N通道MOS電晶體N4所構成。

寫入位元線驅動器係由OR電路OR10、AND電路AD9、AD10、NOR電路NR2、反相器電路I3、I4及P通道MOS電晶體P4所構成。寫入訊號WRITE及重寫訊號REWRITE係被輸入OR電路OR10。此等2種訊號WRITE、REWRITE中之任一種成為“H”時，OR電路OR10之輸出訊號成為“H”。

寫入資料DATA被寫入於反相器電路I3。OR電路OR10之輸出訊號及反相器電路I3之輸出訊號係被輸入至AND電路AD9。OR電路OR10之輸出訊號為“H”之情形下，寫入資料DATA為“1”時，AND電路AD9之輸出訊號為“L”。另一方面，寫入資料DATA為“0”時，AND電路AD9之輸出訊號為“H”。

當試訊號TRIAL係被輸入至AND電路AD10。當試訊號TRIAL係在施行破壞讀取動作之際，將所謂當試資料寫入被選擇之TMR元件時成為“H”之訊號。AND電路AD10具有2

個輸入端子，其一方被輸入嘗試訊號TRIAL，其他方由於反相器I4之輸入訊號被固定於“0”，經常被固定於“1”。

NOR電路NR2之輸出訊號係在2個AND電路AD9、AD10之輸出訊號中之至少一方為“H”時成為“L”之訊號。即，2種訊號WRITE、REWRITE中之一方為“H”，且寫入資料DATA為“0”時，NOR電路NR2之輸出訊號成為“L”。當NOR電路NR2之輸出訊號成為“L”時，P通道MOS電晶體P4成為通電狀態。

嘗試訊號TRIAL成為“H”時，NOR電路NR2之輸出訊號也成為“L”，且P通道MOS電晶體P4成為通電狀態。也就是說，嘗試資料為“0”時，可使由寫入位元線驅動器/消能器29流向寫入位元線驅動器/消能器31之電流流至寫入線26、33。

寫入位元線消能器係由OR電路OR11、AND電路AD11及N通道MOS電晶體N4所構成。寫入訊號WRITE及重寫訊號REWRITE係被輸入OR電路OR11。此等2種訊號WRITE、REWRITE中之任一種成為“H”之訊號時，OR電路OR11之輸出訊號成為“H”。

OR電路OR11之輸出訊號及寫入資料DATA係被輸入至AND電路AD11。

OR電路OR11之輸出訊號為“H”之情形下，寫入資料DATA為“1”時，AND電路AD11之輸出訊號成為“H”。另一方面，寫入資料DATA為“0”時，AND電路AD11之輸出訊號成為“L”。AND電路AD11之輸出訊號成為“H”時，N通道MOS電晶體N4成為通電狀態，AND電路AD11之輸出訊號成為“L”時，N通道MOS電晶體N4成為斷電狀態。

b. 寫入位元線驅動器/消能器31

寫入位元線驅動器/消能器31係由OR電路OR12、OR13、OR14、AND電路AD12、AD13、NAND電路ND3、反相器電路I5、I6、P通道MOS電晶體P5及N通道MOS電晶體N5所構成。

寫入位元線驅動器係由OR電路OR12、NAND電路ND3及P通道MOS電晶體P5所構成。寫入訊號WRITE及重寫訊號REWRITE係被輸入OR電路OR12。此等2種訊號WRITE、REWRITE中之任一種成為"H"之訊號時，OR電路OR12之輸出訊號成為"H"。

OR電路OR12之輸出訊號及寫入資料DATA被輸入至NAND電路ND2。OR電路OR12之輸出訊號成為"H"之情形下，寫入資料DATA為"1"時，NAND電路ND3之輸出訊號成為"L"。另一方面，寫入資料DATA為"0"時，NAND電路ND3之輸出訊號成為"H"。

NAND電路ND3之輸出訊號成為"L"時，P通道MOS電晶體P5成為通電狀態，NAND電路ND3之輸出訊號成為"H"時，P通道MOS電晶體P5成為斷電狀態。

寫入位元線消能器係由OR電路OR13、OR14、AND電路AD12、AD13、反相器電路I5、I6及N通道MOS電晶體N5所構成。寫入訊號WRITE及重寫訊號REWRITE係被寫入OR電路OR13。此等2種訊號WRITE、REWRITE中之任一種成為"H"時，OR電路OR13之輸出訊號成為"H"。

寫入資料DATA係被輸入至反相器電路I5。OR電路OR13之輸出訊號及反相器電路I5之輸出訊號係被輸入至AND電

路AD12。

OR電路OR13之輸出訊號為“H”之情形下，寫入資料DATA為“1”時，AND電路AD12之輸出訊號成為“L”。另一方面，寫入資料DATA為“0”時，AND電路AD12之輸出訊號成為“H”。

嘗試訊號TRIAL係被輸入至AND電路AD13。嘗試訊號TRIAL係在施行讀取動作(破壞讀取動作)之際，將所謂嘗試資料寫入被選擇之TMR元件時成為“H”之訊號。AND電路AD13具有2個輸入端子，其一方被輸入嘗試訊號TRIAL，其他方由於反相器I6之輸入訊號被固定於“0”，故經常被固定於“1”。

OR電路OR14之輸出訊號係在2個AND電路AD12、AD13之輸出訊號中之任一方為“H”時成為“H”。即，2種訊號WRITE、REWRITE中之一方為“H”，且寫入資料DATA為“0”時，OR電路OR14之輸出訊號成為“H”。當OR電路OR14之輸出訊號成為“H”時，N通道MOS電晶體N5成為通電狀態。

嘗試訊號TRIAL成為“H”時，OR電路OR14之輸出訊號也成為“H”，且N通道MOS電晶體N5成為通電狀態。也就是說，嘗試資料為“0”時，可使由寫入位元線驅動器/消能器29流向寫入位元線驅動器/消能器31之電流流至寫入線26、33。

c. 如此，在圖13之寫入位元線驅動器/消能器中，在讀取動作時，在將嘗試資料寫入TMR元件之際，可使嘗試訊號TRIAL成為“H”，並使由寫入位元線驅動器/消能器29流向寫入位元線驅動器/消能器31之寫入電流流至寫入線26、33。

也就是說，在圖12之例中，寫入TMR元件之嘗試資料為“1”，但在圖13之例中，寫入TMR元件之嘗試資料為“0”。

又，在通常之寫入動作時，訊號WRITE、REWRITE中之任一方成為“H”(嘗試訊號TRIAL為“L”)，故可依照寫入資料DATA之值(“1”或“0”)決定流至寫入線26、33之寫入電流之方向。

(4)使用改良例1、2之讀取動作原理

改良例1、2之詳細構成係如以上所述。以下，說明有關使用改良例1、2之讀取動作原理。

在本例中，首先，說明以改良例1、2執行美國09/961,326號專利申請案所提出之讀取動作原理之情形。其後，說明在改良例1、2執行本案新提出之讀初動作原理之情形。

① 讀取動作原理1

圖14係表示讀取動作原理1之波形圖。

此讀取動作原理係關於圖2所示之讀取動作原理。但在本例中，1次之讀取動作係由5個步驟所構成。即，在本例中，係在第二讀取步驟與重寫步驟之間插入比較讀取結果之步驟。

有關執行此讀取動作原理所使用之電路，在圖3及圖4之改良例1中，為圖6所示之寫入字元線驅動器/消能器、圖7所示之行解碼器及圖12所示之寫入位元線驅動器/消能器(嘗試資料為“1”)。

又，在圖5之改良例2中，為圖6所示之寫入字元線驅動器/消能器、圖9所示之讀取行解碼器、圖11所示之寫入行

解碼器、及圖12所示之寫入位元線驅動器/消能器(嘗試資料為“1”)。

A. 第一步驟

在第一步驟中，執行初始資料之讀取(第一次讀取)。所謂初始資料，係判斷被選擇之TMR元件之資料值所需之基準資料之意。

在此步驟中，讀取訊號READ1為“H”。

因此，改良例1之情形，在行位址訊號之全部位元為“1”之被選擇之行中，行選擇線訊號CSLj (圖7)成為“H”。又，改良例2之情形，在上位行位址訊號之全部位元為“1”之行中，行選擇線訊號CSLj (圖9)成為“H”。

又，檢知放大器允許訊號成為“H”，使檢知放大器成為動作狀態。其結果，在圖4之改良例1中，電路區塊29內之讀取電路內之電流源產生之讀取電流經由被選擇之行之多數TMR元件而流至接地點。在圖5之改良例2中，電路區塊29B內之電流源產生之讀取電流經由被選擇之行之多數TMR元件而流至接地點。

讀取電路係在讀取電流流通之狀態下執行初始資料之檢出。初始資料係依存於構成被選擇之行之並聯連接之多數TMR元件之合成電阻。初始資料係記憶於檢知放大器內之記憶電路。

B. 第二步驟

在第二步驟中，對被選擇之TMR元件施行嘗試資料之寫入。所謂嘗試資料，係指為了獲得與基準資料作比較之比

較資料，而寫入於被選擇之TMR元件之具有預定值之資料而言。在本例中，嘗試資料為“1”。

在本步驟中，嘗試訊號TRIAL為“H”。

因此，改良例1、2之情形，在列位址訊號之全部位元為“1”之被選擇之列中，寫入字元線驅動器內之P通道MOS電晶體P1 (圖6)成為通電狀態，同時，寫入電流流至被選擇之列內之寫入字元線。

又，改良例1之情形，在行位址訊號之全部位元為“1”之行中，行選擇線訊號CSLj (圖7)成為“H”。又，改良例2之情形，在上位行位址訊號之全部位元為“1”之行，且下位行位址訊號之全部位元為“1”之段中，行選擇線訊號CSLjk (圖11)成為“H”。

也就是說，改良例1之情形，被選擇之行內之行選擇開關SW成為通電狀態，改良例2之情形，對應於被選擇之行內之被選擇之段之行選擇開關SWB成為通電狀態。

又，在圖12之寫入位元線驅動器/消能器29中，因嘗試訊號TRIAL為“H”，故N通道MOS電晶體N2成為通電狀態。在圖12之寫入位元線驅動器/消能器31中，因嘗試訊號TRIAL為“H”，故P通道MOS電晶體P2成為通電狀態。

因此，在圖4之改良例1之情形，使由寫入位元線驅動器/消能器31流向寫入位元線驅動器/消能器29之寫入電流流至被選擇之行內之寫入線26。又，在圖5之改良例2之情形，使由寫入位元線驅動器/消能器31流向寫入位元線驅動

器/消能器29之寫入電流流至被選擇之行內之被選擇之段內之寫入線33。

其結果，可將嘗試資料("1")寫入被選擇之TMR元件。此後，使行選擇開關SW、SWB成為斷電狀態，以切斷寫入電流。而且也切斷流向被選擇之列內之寫入字元線之寫入電流。

C. 第三步驟

在第三步驟中，施行比較資料之讀取(第二次之讀取)。在此，所謂比較資料，係指利用與基準資料之比較，以判斷被選擇之TMR元件之資料值用之資料之意。

在此步驟中，讀取訊號READ2成為"H"。

因此，改良例1之情形，在行位址訊號之全部位元為"1"之被選擇之行中，行選擇線訊號CSLj (圖7)成為"H"。又，改良例2之情形，在上位行位址訊號之全部位元為"1"之行中，行選擇線訊號CSLj (圖9)成為"H"。

又，檢知放大器允許訊號成為"H"，使檢知放大器成為動作狀態。其結果，在圖4之改良例1中，電路區塊29內之讀取電路內之電流源產生之讀取電流經由被選擇之行之多數TMR元件而流至接地點。在圖5之改良例2中，電路區塊29B內之電流源產生之讀取電流經由被選擇之行之多數TMR元件而流至接地點。

讀取電路係在讀取電流流通之狀態下執行比較資料之檢出。比較資料係依存於構成被選擇之行之並聯連接之多數TMR元件之合成電阻。

D. 第四步驟

在第四步驟中，比較初始資料與比較資料，以判斷被選擇之TMR元件之資料值。

即，判斷初始資料與比較資料相同時，意味著被選擇之TMR元件之資料值不因第二步驟之嘗試資料之寫入而變化，故判斷被選擇之TMR元件之資料值與嘗試資料之值同值。

反之，判斷初始資料與比較資料不相同時，意味著被選擇之TMR元件之電阻值已因第二步驟之嘗試資料之寫入而變化，故判斷被選擇之TMR元件之資料值具有與嘗試資料之值相反值。

在本例中，由於係假定嘗試資料為“1”，故若初始資料與比較資料相同，判斷被選擇之TMR元件之資料為“1”，若初始資料與比較資料不相同，判斷被選擇之TMR元件之資料為“0”。

如此，即可決定被選擇之TMR元件之資料值。

又，在第四步驟中，係依據觸發訊號執行2次之讀取結果之比較。在此，在本例中，行選擇線訊號與檢知放大器允許訊號係在觸發訊號剛要變成“H”以前處於“L”。

但，如圖15之波形圖所示，行選擇線訊號與檢知放大器允許訊號也可在由第三步驟至第四步驟中維持“H”位準。

而，在「改良例1、2之周邊電路例」之項目中，並未說明有關執行第四步驟用之電路，即讀取電路(含檢知放大器)之具體的構成。但，有關讀取電路(含檢知放大器)因有

提出多種改良例，故對於此等電路容後再予詳述。

E. 第五步驟

在第五步驟中，對被選擇之TMR元件執行資料之重寫。依據本例之讀取動作原理，在第二步驟中，將嘗試資料寫入被選擇之TMR元件。也就是說，此時，被選擇之TMR元件之資料會被破壞。

因此，判斷被選擇之TMR元件之資料值後，有必要對該TMR元件施行資料之重寫。

在此步驟中，重寫訊號REWRITE成為“H”。

因此，改良例1、2之情形，在列位址訊號之全部位元為“1”之被選擇之列中，寫入字元線驅動器內之P通道MOS電晶體P1 (圖6)成為通電狀態，同時，寫入電流流至被選擇之列內之寫入字元線。

又，改良例1之情形，在行位址訊號之全部位元為“1”之行中，行選擇線訊號CSLj (圖7)成為“H”。又，改良例2之情形，在上位行位址訊號之全部位元為“1”之行，且下位行位址訊號之全部位元為“1”之段中，行選擇線訊號CSLjk (圖11)成為“H”。

也就是說，改良例1之情形，被選擇之行內之行選擇開關SW成為通電狀態，改良例2之情形，對應於被選擇之行內之被選擇之段之行選擇開關SWB成為通電狀態。

又，在圖12之寫入位元線驅動器/消能器29中，因重寫訊號REWRITE為“H”，故可依照重寫資料DATA之值，決定通道MOS電晶體P2、N2之通電/斷電狀態。在圖12之寫入位

元線驅動器/消能器31中，也因重寫訊號REWRITE為“H”，故可依照重寫資料DATA之值，決定通道MOS電晶體P3、N3之通電/斷電狀態。

因此，在圖4之改良例1之情形，依照重寫資料DATA之值，使流向寫入位元線驅動器/消能器29側或流向寫入位元線驅動器/消能器31側之寫入電流流至被選擇之行內之寫入線26。

又，在圖5之改良例2之情形，依照重寫資料DATA之值，使流向寫入位元線驅動器/消能器29側或流向寫入位元線驅動器/消能器31側之寫入電流流至被選擇之行內之被選擇之段內之寫入線33。

其結果，在執行上述第一至第五步驟所構成之讀取動作前，可將被選擇之TMR元件所記憶之資料(“1”或“0”)重寫至該TMR元件。此後，使行選擇開關SW、SWB成為斷電狀態，並切斷寫入電流。且也切斷流至被選擇之列內之寫入字元線之寫入電流。

又，在第四步驟中，判斷初始資料與比較資料相同時，記憶於被選擇之TMR元件之資料與嘗試資料具有相同之值。因此，此時，也可省略第五步驟。

即，在第四步驟中，僅在判斷初始資料與比較資料不相同時，只要在第五步驟中，將具有與嘗試資料相反之值之資料重寫在被選擇之TMR元件即可。

以上，在改良例1、2之磁性隨機存取記憶體中，可採用所謂破壞讀取動作原理，並實際地加以執行。因此，可以

不受讀取時之多數TMR元件間之電阻值差異之影響，而正確地讀取被選擇之TMR元件之電阻值(或MR比)。

② 讀取動作原理2

圖16係表示讀取動作原理2之波形圖。

本讀取動作原理係上述讀取動作原理1之改良例。本讀取動作原理之特徵在於將嘗試資料之寫入步驟、比較資料之讀取步驟(第二次之讀取步驟)及比較讀取結果而判斷TMR元件之資料之步驟合併成1個步驟之點上。

因此，在本例中，1次之讀取動作由3個步驟所構成。本例之讀取動作原理係將圖14或圖15之讀取動作原理之第二至第四步驟合併成1個步驟。

有關執行此讀取動作原理所使用之電路，在圖3及圖4之改良例1中，為圖6所示之寫入字元線驅動器/消能器、圖8所示之行解碼器及圖12所示之寫入位元線驅動器/消能器(嘗試資料為“1”)。

又，在圖5之改良例2中，為圖6所示之寫入字元線驅動器/消能器、圖10所示之讀取行解碼器、圖11所示之寫入行解碼器、及圖12所示之寫入位元線驅動器/消能器(嘗試資料為“1”)。

A. 第一步驟

在第一步驟中，執行初始資料之讀取(第一次讀取)。

在此步驟中，讀取訊號READ為“H”。

因此，改良例1之情形，在行位址訊號之全部位元為“1”之被選擇之行中，行選擇線訊號CSLj (圖8)成為“H”。又，

改良例2之情形，在上位行位址訊號之全部位元為“1”之行中，行選擇線訊號CSLjk (圖10)成為“H”。

又，檢知放大器允許訊號成為“H”，使檢知放大器成為動作狀態。其結果，在圖4之改良例1中，電路區塊29內之讀取電路內之電流源產生之讀取電流經由被選擇之行之多數TMR元件而流至接地點。在圖5之改良例2中，電路區塊29B內之電流源產生之讀取電流經由被選擇之行之多數TMR元件而流至接地點。

讀取電路係在讀取電流流通之狀態下執行初始資料之檢出。初始資料係依存於構成被選擇之行之並聯連接之多數TMR元件之合成電阻。初始資料係記憶於檢知放大器內之記憶電路。

B. 第二步驟

在第二步驟中，同時或以在時間上並行之方式執行以下之3個事項：

•對被選擇之TMR元件施行嘗試資料之寫入

•讀取比較資料(第二次讀取)

•比較二次之讀取結果(判定TMR元件之資料值)

在本步驟中，嘗試訊號TRIAL為“H”。

因此，改良例1、2之情形，在列位址訊號之全部位元為“1”之被選擇之列中，寫入字元線驅動器內之P通道MOS電晶體P1 (圖6)成為通電狀態，同時，寫入電流流至被選擇之列內之寫入字元線。

又，改良例1之情形，在行位址訊號之全部位元為“1”之

行中，行選擇線訊號CSLj (圖8)成為“H”。又，改良例2之情形，在上位行位址訊號之全部位元為“1”之行，且下位行位址訊號之全部位元為“1”之段中，行選擇線訊號CSLjk (圖11)成為“H”。

也就是說，改良例1之情形，被選擇之行內之行選擇開關SW成為通電狀態，改良例2之情形，對應於被選擇之行內之被選擇之段之行選擇開關SWB成為通電狀態。

又，在圖12之寫入位元線驅動器/消能器29中，因嘗試訊號TRIAL為“H”，故N通道MOS電晶體N2成為通電狀態。在圖12之寫入位元線驅動器/消能器31中，因嘗試訊號TRIAL為“H”，故P通道MOS電晶體P2成為通電狀態。

因此，在圖4之改良例1之情形，使由寫入位元線驅動器/消能器31流向寫入位元線驅動器/消能器29之寫入電流流至被選擇之行內之寫入線26。又，在圖5之改良例2之情形，使由寫入位元線驅動器/消能器31流向寫入位元線驅動器/消能器29之寫入電流流至被選擇之行內之被選擇之段內之寫入線33。

其結果，可對被選擇之TMR元件執行嘗試資料(“1”)之寫入。

在此種嘗試資料之寫入之同時，執行比較資料之讀取(第二次讀取)。

即，嘗試訊號TRIAL為“H”時，在改良例1中，使行位址訊號之全部位元為“1”之行之行選擇線訊號CSLj (圖8)成為“H”。又，在改良例2中，使上位行位址訊號之全部位元為

“1”之行之行選擇線訊號CSLjk (圖10)成為“H”。

又，檢知放大器允許訊號成為“H”，使檢知放大器成為動作狀態。其結果，在圖4之改良例1中，利用電路區塊29內之讀取電路檢出比較資料。又，在圖5之改良例2中，利用電路區塊29B檢出比較資料。比較資料係依存於構成被選擇之行之並聯連接之多數TMR元件之合成電阻。

讀取電路所檢出之比較資料直接與初始資料被比較，以判斷被選擇之TMR元件之資料值。

即，判斷初始資料與比較資料相同時，表示不因嘗試資料之寫入而改變被選擇之TMR元件之電阻值之意，故判斷被選擇之TMR元件之資料值為與嘗試資料之值相同之值。

反之，判斷初始資料與比較資料不相同時，表示已因嘗試資料之寫入而改變被選擇之TMR元件之資料值之意，故判斷被選擇之TMR元件之資料值為具有與嘗試資料之值相反之值。

在本例中，由於係假定嘗試資料為“1”，故若初始資料與比較資料相同，判斷被選擇之TMR元件之資料為“1”，若初始資料與比較資料不相同，判斷被選擇之TMR元件之資料為“0”。

如此，即可決定被選擇之TMR元件之資料值。

C. 第三步驟

在第三步驟中，對被選擇之TMR元件執行資料之重寫。依據本例之讀取動作原理，在第二步驟中，將嘗試資料寫入被選擇之TMR元件。也就是說，此時，被選擇之TMR元

件之資料會被破壞。

因此，判斷被選擇之TMR元件之資料值後，有必要對該TMR元件施行資料之重寫。

在此步驟中，重寫訊號REWRITE成為“H”。

因此，改良例1、2之情形，在列位址訊號之全部位元為“1”之被選擇之列中，寫入字元線驅動器內之P通道MOS電晶體P1 (圖6)成為通電狀態，同時，寫入電流流至被選擇之列內之寫入字元線。

又，改良例1之情形，在行位址訊號之全部位元為“1”之行中，行選擇線訊號CSLj (圖8)成為“H”。又，改良例2之情形，在上位行位址訊號之全部位元為“1”之行，且下位行位址訊號之全部位元為“1”之段中，行選擇線訊號CSLjk (圖11)成為“H”。

也就是說，改良例1之情形，被選擇之行內之行選擇開關SW成為通電狀態，改良例2之情形，對應於被選擇之行內之被選擇之段之行選擇開關SWB成為通電狀態。

又，在圖12之寫入位元線驅動器/消能器29中，因重寫訊號REWRITE為“H”，故可依照重寫資料DATA之值，決定通道MOS電晶體P2、N2之通電/斷電狀態。在圖12之寫入位元線驅動器/消能器31中，也因重寫訊號REWRITE為“H”，故可依照重寫資料DATA之值，決定通道MOS電晶體P3、N3之通電/斷電狀態。

因此，在圖4之改良例1之情形，依照重寫資料DATA之值，使流向寫入位元線驅動器/消能器29側或流向寫入位

元線驅動器/消能器31側之寫入電流流至被選擇之行內之寫入線26。

又，在圖5之改良例2之情形，依照重寫資料DATA之值，使流向寫入位元線驅動器/消能器29側或流向寫入位元線驅動器/消能器31側之寫入電流流至被選擇之行內之被選擇之段內之寫入線33。

其結果，在執行讀取動作前，可將記憶於被選擇之TMR元件所記憶之資料("1"或"0")重寫至該TMR元件。此後，使行選擇開關SW、SWB成為斷電狀態，並切斷寫入電流。且也切斷流至被選擇之列內之寫入字元線之寫入電流。

又，在第二步驟中，判斷初始資料與比較資料相同時，記憶於被選擇之TMR元件之資料與嘗試資料具有相同之值。因此，此時，也可省略第三步驟。

即，在第二步驟中，僅在判斷初始資料與比較資料不相同時，只要在第三步驟中，將具有與嘗試資料相反之值之資料重寫在被選擇之TMR元件即可。

以上，在改良例1、2之磁性隨機存取記憶體中，可採用改良後之破壞讀取動作原理，並實際地加以執行。因此，可以不受讀取時之多數TMR元件間之電阻值差異之影響，而正確地讀取被選擇之TMR元件之電阻值(或MR比)。

(5) 改良例3

圖17係表示有關本發明之改良例3之磁性隨機存取記憶體之主要部。圖18係僅表示圖17之磁性隨機存取記憶體之1行份。

本改良例3之磁性隨機存取記憶體係改良例1之磁性隨機存取記憶體(圖3及圖4)之變形例。

即，在改良例1中，1行係由互相並聯連接之多數TMR元件構成之1個區塊所構成。相對地，在改良例3中，在將互相並聯連接之多數TMR元件群構成1區塊時，1行係由多數區塊之集合所構成。

利用多數區塊之集合構成1行之主要理由在於：在破壞讀取動作時，可減少讀取電流所流通之1區塊內之TMR元件數，以擴大單元資料與嘗試資料不同時之初始資料與比較資料之差，且增大讀取容限(或感度)。

記憶單元陣列11具有在X方向及Y方向配置成陣列狀之多數TMR元件12。在配置於X方向之TMR元件12附近，配置有向X方向延伸之多數條(在本例中，為12條)寫入字元線WWL0、WWL1、…WWL11。寫入字元線WWL0、WWL1、…WWL11之一端連接於寫入字元線驅動器23A，其他端連接於寫入字元線消能器24。

在本例中，1行係由3個區塊BK所構成。由於1行係由配置於Y方向之12個TMR元件12所構成，故1區塊BK由4個TMR元件12所構成。

1區塊BK內之TMR元件12係並聯連接於第一資料轉送線(位元線)26與第二資料轉送線27之間。

第一資料轉送線26之一端經由行選擇開關(MOS電晶體)SW連接於共通資料線28。共通資料線28係被連接至含讀取電路(含檢知放大器)、寫入位元線驅動器及寫入位元線消

能器之電路區塊29。

第一資料轉送線26之他端經由行選擇開關(MOS電晶體)SW連接於共通驅動線30。共通驅動線30係被連接至含寫入位元線驅動器及寫入位元線消能器之電路區塊31。

行選擇線訊號CSL0、CSL1、…CSL7被輸入至行選擇開關SW之閘極。行解碼器32係對應於行選擇開關SW被設置，用以輸出行選擇線訊號CSL0、CSL1、…CSL7。

第二資料轉送線27係經由讀取選擇開關(MOS電晶體)RSW而被連接至接地點。讀取選擇開關RSW之閘極連接至讀取字元線RWLo (o=0、1、2)。1條讀取字元線RWLo對應於1行內之1區塊BK，且共用於X方向之多數區塊。

在本例中，1行由3個區塊所構成，故讀取字元線RWLo數為3條。讀取字元線RWLo向X方向延伸，其一端連接於讀取字元線驅動器23B。

列解碼器25在寫入動作時，依據列位址訊號選擇寫入字元線WWL0、WWL1、…WWL11中之1條。寫入字元線驅動器23A係將寫入電流供應至被選擇之寫入字元線。寫入電流流過被選擇之寫入字元線後，被寫入字元線消能器24所吸收。

列解碼器25在讀取動作時，例如依據上位列位址訊號選擇1個區塊。讀取字元線驅動器23B係將讀取字元線電壓供應至連接於被選擇之區塊BK之讀取字元線RWLo。在被選擇之區塊BK中，讀取選擇開關RSW成為通電狀態，故讀取電流經由被選擇之區塊BK內之多數TMR元件流向接地點。

在本例之磁性隨機存取記憶體中，在寫入動作時，由寫入字元線驅動器23A流向寫入字元線消能器24之寫入電流流至被選擇之寫入字元線。又，在被選擇之行中，寫入電流流至第一資料轉送線(位元線)26。流至第一資料轉送線26之寫入電流之方向係依照寫入資料之值而改變。

讀取動作時，在被選擇之行內之被選擇之區塊中，讀取電流由電路區塊29，經由第一資料轉送線、多數TMR元件及第二資料轉送線而流至接地點。電路區塊29內之讀取電路係在讀取電流流通之期間，檢出對應於被選擇之區塊內之多數TMR元件之合成電阻之讀取資料。

又，有關使用本例之磁性隨機存取記憶體之讀取動作原理之詳細情形容後再述。

(6) 改良例4

圖19係表示作為本發明之改良例4之磁性隨機存取記憶體之主要部。在圖19中，係對應於圖18而僅顯示記憶單元陣列之1行份。

本改良例4之磁性隨機存取記憶體與改良例3相比時，其特徵在於1行份之TMR元件配置。

即，在改良例3中，1行內之多數區塊及1區塊內之多數TMR元件中之任何一個均在Y方向配置成一行，但在改良例4中，1行內之多數區塊係在Y方向配置成一行，1區塊內之多數TMR元件則在Z方向配置成一行。

在此，所謂Z方向，係指垂直於與X方向及Y方向成直交之紙面之方向。也就是說，圖19之TMR元件實際上係在垂

直於紙面之方向互相重疊。

記憶單元陣列11具有在X方向、Y方向及Z方向配置成陣列狀之多數TMR元件12。在本例中，1行由多數區塊BK所構成。

1區塊BK係由沿Z方向堆疊之多數(在本例中，為4個)TMR元件12所構成。在構成1區塊BK之TMR元件12附近，配置有向X方向延伸、向Z方向堆疊之多數條(在本例中，為4條)之寫入字元線WWL0、WWL1、WWL2、WWL3。

例如，在配置於第一段(最下段)之TMR元件(MTJ (Magnetic Tunnel Junction) 0)附近，配置有寫入字元線WWL0，在配置於第二段之TMR元件(MTJ1)附近，配置有寫入字元線WWL1，在配置於第四段(最上段)之TMR元件(MTJ3)附近，配置有寫入字元線WWL3。

寫入字元線WWL0、WWL1、WWL2、WWL3之一端連接於寫入字元線驅動器23A，其他端連接於寫入字元線消能器24。

配置於1區塊BK內之Z方向之多數TMR元件12互相並聯連接。

TMR元件12之一端連接於第一資料轉送線(位元線BLi)26。第一資料轉送線26之一端經由行選擇開關(MOS電晶體)SWA連接於共通資料線28。共通資料線28係被連接至讀取電路(含檢知放大器)29B。

TMR元件12之他端係經由讀取選擇開關(MOS電晶體)RSW連接於接地點。讀取選擇開關RSW之閘極連接於讀取

字元線RWLo (o=0、1、2)。1條讀取字元線RWLo對應於1行內之1區塊BK，且共用於X方向之多數區塊。

例如，1行由3個區塊所構成時，讀取字元線RWLo數為3條。讀取字元線RWLo向X方向延伸，其一端連接於讀取字元線驅動器23B。

列解碼器25在寫入動作時，依據列位址訊號選擇寫入字元線WWL0、WWL1、…WWL11中之1條。寫入字元線驅動器23A係將寫入電流供應至被選擇之寫入字元線。寫入電流流過被選擇之寫入字元線後，被寫入字元線消能器24所吸收。

列解碼器25在讀取動作時，例如依據上位列位址訊號選擇1個區塊。讀取字元線驅動器23B係將讀取字元線電壓供應至連接於被選擇之區塊BK之讀取字元線RWLo。在被選擇之區塊BK中，讀取選擇開關RSW成為通電狀態，故讀取電流經由被選擇之區塊BK內之多數TMR元件流向接地點。

在本例中，在記憶單元陣列11內新設有向Y方向延伸而僅在寫入時使用之寫入線33。此寫入線33例如也可對應於1區塊內之4個TMR元件12而設置4條，但在本例中，係使1條寫入線33對應於2個TMR元件。即，在1區塊內之寫入線33為2條。

寫入線33之一端經由行選擇開關(MOS電晶體)SWB連接至共通驅動線30A。共通驅動線30A連接至含寫入位元線驅動器及寫入位元線消能器之電路區塊29A。

寫入線33之他端經由行選擇開關(MOS電晶體)SWB連接

至共通驅動線30B。共通驅動線30B連接至含寫入位元線驅動器及寫入位元線消能器之電路區塊31。

行選擇線訊號CSLj (j=0、1、…7)被輸入至行選擇開關SWA之閘極。讀取行解碼器32A係對應於行選擇開關SWA被設置，用以輸出行選擇線訊號CSLj。

行選擇線訊號CSLjk (j=0、1、…7、k=0、1)被輸入至行選擇開關SWB之閘極。寫入行解碼器32B係對應於行選擇開關SWB被設置，用以輸出行選擇線訊號CSLjk。

在本例之磁性隨機存取記憶體中，在將互相並聯連接之多數TMR元件群構成1區塊時，1行係由多數區塊之集合所構成。因此，在破壞讀取動作時，可減少讀取電流所流通之1區塊內之TMR元件數，以擴大單元資料與嘗試資料不同時之初始資料與比較資料之差，且增大讀取容限(或感度)。

在改良例4中，1區塊內之多數TMR元件(記憶單元)並非配置於橫方向(Y方向)，即平行於半導體基板表面之方向，而係配置於縱方向(Z方向)，即垂直於半導體基板表面之方向。

因此，改良例4與改良例3相比，具有更適於使TMR元件(記憶單元)高積體化之陣列構造。

(7) 改良例3、4之周邊電路之例

① 寫入字元線驅動器/消能器

首先，說明有關改良例3、4 (圖17、圖18及圖19)之寫入字元線驅動器23A及寫入字元線消能器24之電路例。

有關寫入字元線驅動器23A及寫入字元線消能器24，在改良例3、4中可使用相同之電路。

圖20係表示寫入字元線驅動器/消能器之一例。

寫入字元線驅動器23A係由OR電路OR15、NAND電路ND4及P通道MOS電晶體P6所構成。寫入字元線消能器24係由N通道MOS電晶體N6所構成。電源電位VDD被輸入至N通道MOS電晶體N6之閘極。

寫入訊號WRITE、嘗試訊號TRIAL及重寫訊號REWRITE係被輸入OR電路OR15。

寫入訊號WRITE係在對被選擇之TMR元件施行通常之寫入動作時成為“H”之訊號。嘗試訊號TRIAL係在施行讀取動作(破壞讀取動作)之際，對被選擇之TMR元件寫入所謂嘗試資料時成為“H”之訊號。重寫訊號REWRITE係在對被選擇之TMR元件施行讀取動作(破壞讀取動作)之際，寫入正確資料時成為“H”之訊號。

此等3種訊號WRITE、TRIAL、REWRITE中之任一種為“H”時，OR電路OR15之輸出訊號成為“H”。

OR電路OR15之輸出訊號及列位址訊號(列i)係被輸入至NAND電路ND4。選擇列i(寫入字元線WLi)時，列位址訊號(列i)之全部位元成為“H”。因此，選擇列i，且3種訊號WRITE、TRIAL、REWRITE中之任一種為“H”時，NAND電路ND4之輸出訊號成為“L”。

列位址訊號係由上位列位址訊號與下位列位址訊號所構成。在本例中，上位列位址訊號係用以選擇1行內之多

數區塊中之一個，下位列位址訊號係用以選擇被選擇之區塊內之多數TMR元件中之一個。

例如，1行由3或4個區塊構成時，上位列位址訊號為2位元，1區塊由4個TMR元件構成時，下位列位址訊號為2位元。

NAND電路ND4之輸出訊號成為“L”時，P通道MOS電晶體P6成為通電狀態，故寫入電流由電源端子VDD，經由寫入字元線WLi而流向寫入字元線消能器24。

又，在列i以外之列方面，由於列位址訊號中至少之1個位元成為“L”，故寫入電流不會流至存在於列i以外之列之寫入字元線。

② 讀取字元線驅動器

其次，說明有關改良例3、4 (圖17、圖18及圖19)之讀取字元線驅動器23B之電路例。

有關讀取字元線驅動器23B，在改良例3、4中可使用相同之電路。

圖21係表示讀取字元線驅動器之一例。

讀取字元線驅動器23B係由OR電路OR16、AND電路AD14所構成。讀取訊號READ1、READ2係被輸入至OR電路OR16。

讀取訊號READ1、READ2係在讀取動作(破壞讀取動作)之際，讀取構成被選擇之區塊內之多數TMR元件之合成電阻之值時成為“H”之訊號。例如，如上所述，依據通常之破壞讀取動作原理，需要施行2次讀取動作(圖2之第一及第三循環)。即，讀取訊號READ1在第一循環中成為“H”，

讀取訊號READ2在第三循環中成為“H”。

在此等2種訊號READ1、READ2中之任1種成為“H”時，OR電路OR16之輸出訊號成為“H”。

OR電路OR16之輸出訊號及上位列位址訊號(指定區塊m)被輸入至AND電路AD14。當選擇區塊m時，上位列位址訊號(指定區塊m)之全部位元均成為“H”，因此，選擇區塊m，且2種訊號READ1、READ2中之任1種成為“H”時，AND電路AD14之輸出訊號成為“H”。

當AND電路AD14之輸出訊號成為“H”時，被選擇之區塊BK內之讀取選擇開關(N通道MOS電晶體)RSW成為通電狀態，因此，讀取電流流至被選擇之區塊BK內之多數TMR元件。又，未被選擇之區塊BK內之讀取選擇開關RSW當然成為斷電狀態，因此，讀取電流不會流至未被選擇之區塊BK內之多數TMR元件。

圖22係表示讀取字元線驅動器之另一例之圖。

本例之讀取字元線驅動器與圖21之讀取字元線驅動器相比時，其特徵在於讀取訊號READ1、READ2不存在，但卻追加讀取訊號READ之點上。

此讀取字元線驅動器係在將圖2所述之破壞讀取動作原理加以改良後之新的破壞讀取動作原理應用於磁性隨機存取記憶體時所使用。

讀取字元線驅動器23B係由OR電路OR17、AND電路AD15所構成。讀取訊號READ及嘗試訊號TRIAL係被輸入至OR電路OR17。

讀取訊號READ係在讀取動作(破壞讀取動作)之際，讀取被選擇之區塊內之多數TMR元件之合成電阻之值時成為"H"之訊號。嘗試訊號TRIAL係在讀取動作(破壞讀取動作)之際，對被選擇之TMR元件寫入所謂嘗試資料時成為"H"之訊號。

依據改良後之破壞讀取動作原理，需要與嘗試資料之寫入步驟並行地執行第二次讀取(比較資料之讀取)步驟與讀取結果之比較(被選擇之TMR元件之資料之判定)步驟。也就是說，需要在嘗試訊號TRIAL成為"H"時，一齊執行此等動作。

在此等2種訊號READ、TRIAL中之任1種成為"H"時，OR電路OR17之輸出訊號成為"H"。

OR電路OR17之輸出訊號及上位列位址訊號(區塊m)被輸入至AND電路AD15。當選擇區塊m時，上位列位址訊號(區塊m)之全部位元均成為"H"，因此，選擇區塊m，且2種訊號READ、TRIAL中之任1種成為"H"時，AND電路AD15之輸出訊號成為"H"。

當AND電路AD15之輸出訊號成為"H"時，被選擇之區塊BK內之讀取選擇開關(N通道MOS電晶體)RSW成為通電狀態，因此，讀取電流流至被選擇之區塊BK內之多數TMR元件。又，未被選擇之區塊BK內之讀取選擇開關RSW當然成為斷電狀態，因此，讀取電流不會流至未被選擇之區塊BK內之多數TMR元件。

③ 列解碼器

其次，說明有關改良例3、4 (圖17、圖18及圖19)之列解碼器25之電路例。有關列解碼器25，在改良例3、4中可使用相同之電路。

圖30係表示列解碼器之一例。

列解碼器25係用以解碼列位址訊號，使施加至被選擇之列i內之寫入字元線驅動器23A之列位址訊號之全部位元均成為“1”。又，列解碼器25係用以使施加至對應於被選擇之區塊BK之讀取字元線驅動器23B之上位列位址訊號之全部位元(在本例中，為2位元)均成為“1”。

④行解碼器

其次，說明有關改良例3 (圖17及圖18)之行解碼器32之電路例。

圖23係表示行解碼器之一例。

行解碼器32係由OR電路OR18、AND電路AD16所構成。讀取訊號READ1、READ2、寫入訊號WRITE、嘗試訊號TRIAL及重寫訊號REWRITE被輸入至OR電路OR18。

寫入訊號WRITE、嘗試訊號TRIAL及重寫訊號REWRITE係與輸入至圖20之寫入字元線驅動器23A之寫入訊號WRITE、嘗試訊號TRIAL及重寫訊號REWRITE相同。

讀取訊號READ1、READ2係在讀取動作(破壞讀取動作)之際，讀取構成被選擇之行之多數TMR元件之合成電阻之值時成為“H”之訊號。

在此等5種訊號READ1、READ2、WRITE、TRIAL、REWRITE中之任1種成為“H”時，OR電路OR18之輸出訊號成為“H”。

OR電路OR18之輸出訊號及行位址訊號(指定行j)被輸入至AND電路AD16。當選擇行j(位元線BLj)時，行位址訊號(指定行j)之全部位元均成為“H”，因此，選擇行j，且5種訊號READ1、READ2、WRITE、TRIAL、REWRITE中之任1種成為“H”時，AND電路AD16之輸出訊號成為“H”。

當AND電路AD16之輸出訊號成為“H”時，圖18之行選擇開關(N通道MOS電晶體)SW成為導電狀態，因此，寫入動作時，寫入電流流至位元線BLj，讀取動作時，讀取電流流至多數TMR元件。

圖24係表示行解碼器之另一例。

圖24之行解碼器32與圖23之行解碼器32相比時，其特徵在於讀取訊號READ1、READ2不存在，但卻追加讀取訊號READ之點上。

此行解碼器32係在將改良後之新的破壞讀取動作原理應用於磁性隨機存取記憶體時所使用。在此改良後之破壞讀取動作原理中，例如係將圖2之第二循環與第三循環合併為1個循環。

因此，例如，係將讀取訊號READ輸入至行解碼器32，以取代2個讀取訊號READ1、READ2。

⑤讀取/寫入行解碼器

其次，說明有關改良例4(圖19)之讀取/寫入行解碼器32A、32B之電路例。

圖25係表示讀取行解碼器之一例。

讀取行解碼器32A係由OR電路OR20、AND電路AD18所構

成。讀取訊號READ1、READ2被輸入至OR電路OR20。

讀取訊號READ1、READ2係在讀取動作(破壞讀取動作)之際，讀取構成被選擇之行之多數TMR元件之合成電阻之值時成為“H”之訊號。

在此等2種訊號READ1、READ2中之任1種成為“H”時，OR電路OR20之輸出訊號成為“H”。

OR電路OR20之輸出訊號及行位址訊號(指定行j)被輸入至AND電路AD18。當選擇行j(位元線BLj)時，行位址訊號(指定行j)之全部位元均成為“H”。

因此，選擇行j，且2種訊號READ1、READ2中之任1種成為“H”時，AND電路AD18之輸出訊號成為“H”。

當AND電路AD18之輸出訊號成為“H”時，圖19之行選擇開關(N通道MOS電晶體)SWA成為導電狀態，因此，讀取動作時，讀取電流流至多數TMR元件。

圖26係表示讀取行解碼器之另一例之圖。

圖26之讀取行解碼器32A與圖25之讀取行解碼器32A相比時，其特徵在於讀取訊號READ1、READ2不存在，但卻追加讀取訊號READ及嘗試訊號TRIAL之點上。

此讀取行解碼器32A係在將改良後之破壞讀取動作原理應用於磁性隨機存取記憶體時所使用。

圖27係表示寫入行解碼器之一例。

寫入行解碼器32B係由OR電路OR21、AND電路AD19所構成。寫入訊號WRITE、嘗試訊號TRIAL及重寫訊號REWRITE被輸入至OR電路OR21。

寫入訊號WRITE、嘗試訊號TRIAL及重寫訊號REWRITE係與輸入至圖20之寫入字元線驅動器23A之寫入訊號WRITE、嘗試訊號TRIAL及重寫訊號REWRITE相同。

此等3種訊號WRITE、TRIAL、REWRITE中之任一種為“H”時，OR電路OR21之輸出訊號成為“H”。

OR電路OR21之輸出訊號及行位址訊號(指定行j)被輸入至AND電路AD19。行位址訊號係由上位行位址訊號與下位行位址訊號所構成。

上位行位址訊號係用以選擇1個行。下位行位址訊號係用以選擇存在於被選擇之行內而堆疊於Z方向之多數TMR元件。在圖19之例中，TMR元件係在Z方向堆疊成4段，為了選擇該等TMR元件而設有2條寫入線33，因此，下位行位址訊號為1位元。

行j內之第(k+1)段之TMR元件被行位址訊號所選擇，且3種訊號WRITE、TRIAL、REWRITE中之任一種為“H”時，AND電路AD19之輸出訊號成為“H”。

AND電路AD19之輸出訊號成為“H”，即，行選擇線訊號CSLjk成為“H”時，圖19之行選擇開關(N通道MOS電晶體)SWB成為導通狀態。因此，寫入動作時，寫入電流可流至圖19之寫入線33中之1條。

又，圖27之寫入行解碼器也可在將通常之破壞讀取動作原理及改良後之新的破壞讀取動作原理中之任一種原理應用於磁性隨機存取記憶體之情形中使用。

⑥寫入位元線驅動器/消能器

其次，說明有關改良例3、4 (圖17、圖18及圖19)之寫入位元線驅動器/消能器29、31之電路例。

關於寫入位元線驅動器/消能器29、31，在改良例3、4中可使用相同之電路。

A. 圖28係表示寫入位元線驅動器/消能器之一例。

本例之寫入位元線驅動器/消能器係在破壞讀取動作原理(例如參照圖2)之第二循環中，對應於寫入於被選擇之TMR元件之所謂嘗試資料為“1”之情形。

a. 寫入位元線驅動器/消能器29

寫入位元線驅動器/消能器29係由OR電路OR5、OR6、OR7、AND電路AD4、AD5、NAND電路ND2、反相器電路I1、P通道MOS電晶體P2及N通道MOS電晶體N2所構成。

寫入位元線驅動器係由OR電路OR5、NAND電路ND2、反相器電路I1、P通道MOS電晶體P2所構成。寫入訊號WRITE及重寫訊號REWRITE係被寫入OR電路OR5。

寫入訊號WRITE係在對被選擇之TMR元件施行通常之寫入動作時成為“H”之訊號。重寫訊號REWRITE係在讀取動作(破壞讀取動作)之際，將正確之資料重寫於被選擇之TMR元件時成為“H”之訊號。

此2種訊號WRITE、REWRITE中之任一種成為“H”之訊號時，OR電路OR5之輸出訊號成為“H”。

寫入資料DATA被輸入於反相器電路I1。在此，所謂寫入資料，係指除了嘗試資料以外之通常之寫入資料(含重寫資料)之意。

OR電路OR5之輸出訊號及反相器電路I1之輸出訊號係被輸入至NAND電路ND2。OR電路OR5之輸出訊號為“H”之情形下，寫入資料DATA為“1”時，反相器電路I1之輸出訊號會變成“L”，故NAND電路ND2之輸出訊號為“H”。另一方面，寫入資料DATA為“0”時，反相器電路I1之輸出訊號會變成“H”，故NAND電路ND2之輸出訊號為“L”。

又，“1”對應於“H”，“0”對應於“L”。

NAND電路ND2之輸出訊號為“H”時，P通道MOS電晶體P2為斷電狀態，NAND電路ND2之輸出訊號為“L”時，P通道MOS電晶體P2為通電狀態。

寫入位元線消能器係由OR電路OR6、OR7、AND電路AD4、AD5及N通道MOS電晶體N2所構成。寫入訊號WRITE及重寫訊號REWRITE係被寫入OR電路OR6。此等2種訊號WRITE、REWRITE中之任一種成為“H”時，OR電路OR6之輸出訊號成為“H”。

OR電路OR6之輸出訊號及寫入資料DATA係被輸入至AND電路AD4。

OR電路OR6之輸出訊號為“H”之情形下，寫入資料DATA為“1”時，AND電路AD4之輸出訊號成為“H”。另一方面，寫入資料DATA為“0”時，AND電路AD4之輸出訊號成為“L”。

嘗試訊號TRIAL係被輸入至AND電路AD5。嘗試訊號TRIAL係在施行讀取動作(破壞讀取動作)之際，將所謂嘗試資料寫入被選擇之TMR元件時成為“H”之訊號。AND電路AD5具有2個輸入端子，其一方被輸入嘗試訊號TRIAL，其

他方經常被固定於“1”。

OR電路OR7之輸出訊號係在2個AND電路AD4、AD5之輸出訊號中之任一方為“H”時成為“H”。即，2種訊號WRITE、REWRITE中之一方為“H”，且寫入資料DATA為“1”時，OR電路OR7之輸出訊號成為“H”。當OR電路OR7之輸出訊號成為“H”時，N通道MOS電晶體N2成為通電狀態。

嘗試訊號TRIAL成為“H”時，OR電路OR7之輸出訊號也成為“H”，且N通道MOS電晶體N2成為通電狀態。也就是說，嘗試資料為“1”時，可使由寫入位元線驅動器/消能器31流向寫入位元線驅動器/消能器29之電流流至寫入線26、33。

b. 寫入位元線驅動器/消能器31

寫入位元線驅動器/消能器31係由OR電路OR8、OR9、AND電路AD6、AD7、AD8、NOR電路NR1、反相器電路I2、P通道MOS電晶體P3及N通道MOS電晶體N3所構成。

寫入位元線驅動器係由OR電路OR8、AND電路AD6、AD7、NOR電路NR1及P通道MOS電晶體P3所構成。寫入訊號WRITE及重寫訊號REWRITE係被寫入OR電路OR8。此等2種訊號WRITE、REWRITE中之任一種成為“H”時，OR電路OR8之輸出訊號成為“H”。

OR電路OR8之輸出訊號及寫入資料DATA被輸入至AND電路AD6。OR電路OR8之輸出訊號成為“H”之情形下，寫入資料DATA為“1”時，AND電路AD6之輸出訊號成為“H”。另一方面，寫入資料DATA為“0”時，AND電路AD6之輸出訊號成為“L”。

嘗試訊號TRIAL係被輸入至AND電路AD7。嘗試訊號TRIAL係如上所述，在施行破壞讀取動作之際，將所謂嘗試資料寫入被選擇之TMR元件時成為“H”之訊號。AND電路AD7具有2個輸入端子，其一方被輸入嘗試訊號TRIAL，其他方經常被固定於“1”。

NOR電路NR1之輸出訊號係在2個AND電路AD6、AD7之輸出訊號中之至少一方為“H”時成為“L”。即，2種訊號WRITE、重寫訊號REWRITE中之一方為“H”，且寫入資料DATA為“1”時，NOR電路NR1之輸出訊號成為“L”之訊號。當NOR電路NR1之輸出訊號成為“L”時，P通道MOS電晶體P3成為通電狀態。

嘗試訊號TRIAL成為“H”時，NOR電路NR1之輸出訊號也成為“L”，且P通道MOS電晶體P3成為通電狀態。也就是說，嘗試資料為“1”時，可使由寫入位元線驅動器/消能器31流向寫入位元線驅動器/消能器29之電流流至寫入線26、33。

寫入位元線消能器係由OR電路OR9、AND電路AD8、反相器電路I2及N通道MOS電晶體N3所構成。寫入訊號WRITE及重寫訊號REWRITE係被寫入OR電路OR9。此等2種訊號WRITE、REWRITE中之任一種成為“H”時，OR電路OR9之輸出訊號成為“H”。

寫入資料DATA係被輸入至反相器電路I2。OR電路OR9之輸出訊號及反相器電路I2之輸出訊號係被輸入至AND電路AD8。

OR電路OR9之輸出訊號為“H”之情形下，寫入資料DATA

為“1”時，AND電路AD8之輸出訊號成為“L”。另一方面，寫入資料DATA為“0”時，AND電路AD8之輸出訊號成為“H”。AND電路AD8之輸出訊號成為“L”時，N通道MOS電晶體N3成為斷電狀態，AND電路AD8之輸出訊號成為“H”時，N通道MOS電晶體N3成為通電狀態。

c. 如此，在圖28之寫入位元線驅動器/消能器中，寫入動作時，即，訊號WRITE、REWRITE中之任一方成為“H”時，可依照寫入資料DATA之值(“1”或“0”)決定流至寫入線26、33之寫入電流之方向。

又，在讀取動作時，在將嘗試資料寫入TMR元件之際，也由於嘗試訊號TRIAL成為“H”，故在本例中，可使由寫入位元線驅動器/消能器31流向寫入位元線驅動器/消能器29之寫入電流流至寫入線26、33。此時，嘗試資料“1”被寫入被選擇之TMR元件。

B. 圖29係表示寫入位元線驅動器/消能器之另一例。

本例之寫入位元線驅動器/消能器係在破壞讀取動作原理(例如參照圖2)之第二循環中，對應於寫入於被選擇之TMR元件之所謂嘗試資料為“0”之情形。

a. 寫入位元線驅動器/消能器29

寫入位元線驅動器/消能器29係由OR電路OR10、OR11、AND電路AD9、AD10、AD11、NOR電路NR2、反相器電路I3、I4、P通道MOS電晶體P4及N通道MOS電晶體N4所構成。

寫入位元線驅動器係由OR電路OR10、AND電路AD9、AD10、NOR電路NR2、反相器電路I3、I4及P通道MOS電晶

體P4所構成。寫入訊號WRITE及重寫訊號REWRITE係被輸入OR電路OR10。此等2種訊號WRITE、REWRITE中之任一種成為“H”時，OR電路OR10之輸出訊號成為“H”。

寫入資料DATA被寫入於反相器電路I3。OR電路OR10之輸出訊號及反相器電路I3之輸出訊號係被輸入至AND電路AD9。OR電路OR10之輸出訊號為“H”之情形下，寫入資料DATA為“1”時，AND電路AD9之輸出訊號為“L”。另一方面，寫入資料DATA為“0”時，AND電路AD9之輸出訊號為“H”。

嘗試訊號TRIAL係被輸入至AND電路AD10。嘗試訊號TRIAL係在施行破壞讀取動作之際，將所謂嘗試資料寫入被選擇之TMR元件時成為“H”之訊號。AND電路AD10具有2個輸入端子，其一方被輸入嘗試訊號TRIAL，其他方由於反相器電路I4之輸入訊號被固定於“0”，故經常被固定於“1”。

NOR電路NR2之輸出訊號係在2個AND電路AD9、AD10之輸出訊號中之至少一方為“H”時成為“L”之訊號。即，2種訊號WRITE、REWRITE中之一方為“H”，且寫入資料DATA為“0”時，NOR電路NR2之輸出訊號成為“L”。當NOR電路NR2之輸出訊號成為“L”時，P通道MOS電晶體P4成為通電狀態。

嘗試訊號TRIAL成為“H”時，NOR電路NR2之輸出訊號也成為“L”，且P通道MOS電晶體P4成為通電狀態。也就是說，嘗試資料為“0”時，可使由寫入位元線驅動器/消能器29流向寫入位元線驅動器/消能器31之電流流至寫入線26、33。

寫入位元線消能器係由OR電路OR11、AND電路AD11及N

通道MOS電晶體N4所構成。寫入訊號WRITE及重寫訊號REWRITE係被輸入OR電路OR11。此等2種訊號WRITE、REWRITE中之任一種成為“H”時，OR電路OR11之輸出訊號成為“H”。

OR電路OR11之輸出訊號及寫入資料DATA係被輸入至AND電路AD11。

OR電路OR11之輸出訊號為“H”之情形下，寫入資料DATA為“1”時，AND電路AD11之輸出訊號成為“H”。另一方面，寫入資料DATA為“0”時，AND電路AD11之輸出訊號成為“L”。AND電路AD11之輸出訊號成為“H”時，N通道MOS電晶體N4成為通電狀態，AND電路AD11之輸出訊號成為“L”時，N通道MOS電晶體N4成為斷電狀態。

b. 寫入位元線驅動器/消能器31

寫入位元線驅動器/消能器31係由OR電路OR12、OR13、OR14、AND電路AD12、AD13、NAND電路ND3、反相器電路I5、I6、P通道MOS電晶體P5及N通道MOS電晶體N5所構成。

寫入位元線驅動器係由OR電路OR12、NAND電路ND3及P通道MOS電晶體P5所構成。寫入訊號WRITE及重寫訊號REWRITE係被輸入OR電路OR12。此等2種訊號WRITE、REWRITE中之任一種成為“H”時，OR電路OR12之輸出訊號成為“H”。

OR電路OR12之輸出訊號及寫入資料DATA被輸入至NAND電路ND2。OR電路OR12之輸出訊號成為“H”之情形下，寫入資料DATA為“1”時，NAND電路ND3之輸出訊號成為

“L”。另一方面，寫入資料DATA為“0”時，NAND電路ND3之輸出訊號成為“H”。

NAND電路ND3之輸出訊號成為“L”時，P通道MOS電晶體P5成為通電狀態，NAND電路ND3之輸出訊號成為“H”時，P通道MOS電晶體P5成為斷電狀態。

寫入位元線消能器係由OR電路OR13、OR14、AND電路AD12、AD13、反相器電路I5、I6及N通道MOS電晶體N5所構成。寫入訊號WRITE及重寫訊號REWRITE係被寫入OR電路OR13。此等2種訊號WRITE、REWRITE中之任一種成為“H”時，OR電路OR13之輸出訊號成為“H”。

寫入資料DATA係被輸入至反相器電路I5。OR電路OR13之輸出訊號及反相器電路I5之輸出訊號係被輸入至AND電路AD12。

OR電路OR13之輸出訊號為“H”之情形下，寫入資料DATA為“1”時，AND電路AD12之輸出訊號成為“0”。另一方面，寫入資料DATA為“0”時，AND電路AD12之輸出訊號成為“H”。

嘗試訊號TRIAL係被輸入至AND電路AD13。嘗試訊號TRIAL係在施行讀取動作(破壞讀取動作)之際，將所謂嘗試資料寫入被選擇之TMR元件時成為“H”之訊號。AND電路AD13具有2個輸入端子，其一方被輸入嘗試訊號TRIAL，其他方由於反相器I6之輸入訊號被固定於“0”，故經常被固定於“1”。

OR電路OR14之輸出訊號係在2個AND電路AD12、AD13之輸出訊號中之任一方為“H”時成為“H”。即，2種訊號WRITE

、REWRITE中之一方為“H”，且寫入資料DATA為“0”時，OR電路OR14之輸出訊號成為“H”。當OR電路OR14之輸出訊號成為“H”時，N通道MOS電晶體N5成為通電狀態。

嘗試訊號TRIAL成為“H”時，OR電路OR14之輸出訊號也成為“H”，且N通道MOS電晶體N5成為通電狀態。也就是說，嘗試資料為“0”時，可使由寫入位元線驅動器/消能器29流向寫入位元線驅動器/消能器31之電流流至寫入線26、33。

c. 如此，在圖29之寫入位元線驅動器/消能器中，在讀取動作時，在將嘗試資料寫入TMR元件之際，可使嘗試訊號TRIAL成為“H”，並使由寫入位元線驅動器/消能器29流向寫入位元線驅動器/消能器31之寫入電流流至寫入線26、33。

也就是說，在圖28之例中，寫入TMR元件之嘗試資料為“1”，但在圖29之例中，寫入TMR元件之嘗試資料為“0”。

又，在通常之寫入動作時，訊號WRITE、REWRITE中之任一方成為“H”(嘗試訊號TRIAL為“L”)，故可依照寫入資料DATA之值(“1”或“0”)決定流至寫入線26、33之寫入電流之方向。

(8) 使用改良例3、4之讀取動作原理

改良例3、4之詳細構成係如以上所述。以下，說明有關使用改良例3、4之讀取動作原理。

① 讀取動作原理1

圖31係表示讀取動作原理1之波形圖。

此讀取動作原理係關於圖2所示之讀取動作原理。但在

本例中，1次之讀取動作係由5個步驟所構成。即，在本例中，係在第二次讀取步驟與重寫步驟之間插入比較讀取結果之步驟。

有關執行此讀取動作原理所使用之電路，在圖17及圖18之改良例3中，為圖20所示之寫入字元線驅動器/消能器、圖21所示之讀取字元線驅動器、圖23所示之行解碼器及圖28所示之寫入位元線驅動器/消能器(嘗試資料為“1”)。

又，在圖19之改良例4中，為圖20所示之寫入字元線驅動器/消能器、圖21所示之讀取字元線驅動器、圖25所示之讀取行解碼器、圖27所示之寫入行解碼器、及圖28所示之寫入位元線驅動器/消能器(嘗試資料為“1”)。

A. 第一步驟

在第一步驟中，執行初始資料之讀取(第一次讀取)。

在此步驟中，讀取訊號READ1為“H”。

因此，改良例3之情形，在行位址訊號之全部位元為“1”之被選擇之行中，行選擇線訊號CSLj (圖23)成為“H”。又，改良例4之情形，在行位址訊號之全部位元為“1”之行中，行選擇線訊號CSLj (圖25)成為“H”。

又，在改良例3、4中，上位列位址訊號之全部位元為“1”之讀取字元線驅動器23B (圖21)之輸出訊號RWL0成為“H”。接受此輸出訊號RWL0之被選擇之區塊BK內之讀取選擇開關RSW成為通電狀態。

又，檢知放大器允許訊號成為“H”，使檢知放大器成為動作狀態。其結果，在圖18之改良例3中，電路區塊29內

之讀取電路內之電流源產生之讀取電流經由被選擇之區塊BK內之多數TMR元件而流至接地點。在圖19之改良例4中，電路區塊29B內之電流源產生之讀取電流經由被選擇之區塊BK之多數TMR元件而流至接地點。

讀取電路係在讀取電流流通之狀態下執行初始資料之檢出。初始資料係依存於構成被選擇之行之並聯連接之多數TMR元件之合成電阻。初始資料係記憶於檢知放大器內之記憶電路。

B. 第二步驟

在第二步驟中，對被選擇之TMR元件施行嘗試資料之寫入。在本例中，嘗試資料為“1”。

在本步驟中，嘗試訊號TRIAL為“H”。

因此，改良例3、4之情形，在列位址訊號之全部位元為“1”之被選擇之列中，寫入字元線驅動器內之P通道MOS電晶體P6(圖20)成為通電狀態，同時，寫入電流流至被選擇之列內之寫入字元線。

又，改良例3之情形，在行位址訊號之全部位元為“1”之行中，行選擇線訊號CSLj(圖23)成為“H”。又，改良例4之情形，在上位行位址訊號之全部位元為“1”之行，且下位行位址訊號之全部位元為“1”之段中，行選擇線訊號CSLjk (圖27)成為“H”。

也就是說，改良例3之情形，被選擇之行內之行選擇開關SW成為通電狀態，改良例4之情形，對應於被選擇之行內之被選擇之段之行選擇開關SWB成為通電狀態。

又，在圖28之寫入位元線驅動器/消能器29中，因嘗試訊號TRIAL為“H”，故N通道MOS電晶體N2成為通電狀態。在圖28之寫入位元線驅動器/消能器31中，因嘗試訊號TRIAL為“H”，故P通道MOS電晶體P2成為通電狀態。

因此，在圖18之改良例3之情形，使由寫入位元線驅動器/消能器31流向寫入位元線驅動器/消能器29之寫入電流流至被選擇之行內之寫入線26。又，在圖19之改良例4之情形，使由寫入位元線驅動器/消能器31流向寫入位元線驅動器/消能器29之寫入電流流至被選擇之行內之被選擇之段內之寫入線33。

其結果，可將嘗試資料(“1”)寫入被選擇之TMR元件。此後，使行選擇開關SW、SWB成為斷電狀態，以切斷寫入電流。而且也切斷流向被選擇之列內之寫入字元線之寫入電流。

C. 第三步驟

在第三步驟中，施行比較資料之讀取(第二次之讀取)。

在此步驟中，讀取訊號READ2成為“H”。

因此，改良例3之情形，在行位址訊號之全部位元為“1”之被選擇之行中，行選擇線訊號CSLj (圖23)成為“H”。又，改良例4之情形，在行位址訊號之全部位元為“1”之行中，行選擇線訊號CSLj (圖25)成為“H”。

又，在改良例3、4中，上位列位址訊號之全部位元為“1”之讀取字元線驅動器23B (圖21)之輸出訊號RWL0成為“H”

。接受此輸出訊號RWL0之被選擇之區塊BK內之讀取選擇開關RSW成為導電狀態。

又，檢知放大器允許訊號成為“H”，使檢知放大器成為動作狀態。其結果，在圖18之改良例3中，電路區塊29內之讀取電路內之電流源產生之讀取電流經由被選擇之區塊BK內之多數TMR元件而流至接地點。在圖19之改良例4中，讀取電路29B內之電流源產生之讀取電流經由被選擇之區塊BK內之多數TMR元件而流至接地點。

讀取電路係在讀取電流流通之狀態下執行比較資料之檢出。比較資料係依存於構成被選擇之行之並聯連接之多數TMR元件之合成電阻。

D. 第四步驟

在第四步驟中，比較初始資料與比較資料，以判斷被選擇之TMR元件之資料值。

即，判斷初始資料與比較資料相同時，意味著被選擇之TMR元件之電阻值不因第二步驟之嘗試資料之寫入而變化，故判斷被選擇之TMR元件之資料值與嘗試資料之值同值。

反之，判斷初始資料與比較資料不相同時，意味著被選擇之TMR元件之電阻值已因第二步驟之嘗試資料之寫入而變化，故判斷被選擇之TMR元件之資料值具有與嘗試資料之值相反值。

在本例中，由於係假定嘗試資料為“1”，故若初始資料與比較資料相同，判斷被選擇之TMR元件之資料為“1”，若

初始資料與比較資料不相同，判斷被選擇之TMR元件之資料為“0”。

如此，即可決定被選擇之TMR元件之資料值。

又，在第四步驟中，係依據觸發訊號執行2次之讀取結果之比較。在此，在本例中，行選擇線訊號及檢知放大器允許訊號係在觸發訊號剛要變成“H”以前處於“L”。

但，如圖32之波形圖所示，行選擇線訊號及檢知放大器允許訊號也可在由第三步驟至第四步驟中維持“H”位準。

而，有關執行第四步驟用之電路，即讀取電路(含檢知放大器)之具體的構成，容後再予詳述。

E. 第五步驟

在第五步驟中，對被選擇之TMR元件執行資料之重寫。依據本例之讀取動作原理，在第二步驟中，將嘗試資料寫入被選擇之TMR元件。也就是說，此時，被選擇之TMR元件之資料會被破壞。

因此，判斷被選擇之TMR元件之資料值後，有必要對該TMR元件施行資料之重寫。

在此步驟中，重寫訊號REWRITE成為“H”。

因此，改良例3、4之情形，在列位址訊號之全部位元為“1”之被選擇之列中，寫入字元線驅動器內之P通道MOS電晶體P6(圖20)成為通電狀態，同時，寫入電流流至被選擇之列內之寫入字元線。

又，改良例3之情形，在行位址訊號之全部位元為“1”之行中，行選擇線訊號CSLj(圖23)成為“H”。又，改良例4之情

形，在上位行位址訊號之全部位元為“1”之行，且下位行位址訊號之全部位元為“1”之段中，行選擇線訊號CSLjk (圖27)成為“H”。

也就是說，改良例3之情形，被選擇之行內之行選擇開關SW成為通電狀態，改良例4之情形，對應於被選擇之行內之被選擇之段之行選擇開關SWB成為通電狀態。

又，在圖28之寫入位元線驅動器/消能器29中，因重寫訊號REWRITE為“H”，故可依照重寫資料DATA之值，決定通道MOS電晶體P2、N2之通電/斷電狀態。在圖28之寫入位元線驅動器/消能器31中，也因重寫訊號REWRITE為“H”，故可依照重寫資料DATA之值，決定通道MOS電晶體P3、N3之通電/斷電狀態。

因此，在圖18之改良例3之情形，依照重寫資料DATA之值，使流向寫入位元線驅動器/消能器29側或流向寫入位元線驅動器/消能器31側之寫入電流流至被選擇之行內之寫入線26。

又，在圖19之改良例4之情形，依照重寫資料DATA之值，使流向寫入位元線驅動器/消能器29側或流向寫入位元線驅動器/消能器31側之寫入電流流至被選擇之行內之被選擇之段內之寫入線33。

其結果，在執行上述讀取動作前，可將被選擇之TMR元件所記憶之資料(“1”或“0”)重寫至該TMR元件。此後，使行選擇開關SW、SWB成為斷電狀態，並切斷寫入電流。且也切斷流至被選擇之列內之寫入字元線之寫入電流。

又，在第四步驟中，判斷初始資料與比較資料相同時，記憶於被選擇之TMR元件之資料與嘗試資料具有相同之值。因此，此時，也可省略第五步驟。

即，在第四步驟中，僅在判斷初始資料與比較資料不相同時，只要在第五步驟中，將具有與嘗試資料相反之值之資料重寫在被選擇之TMR元件即可。

以上，在改良例3、4之磁性隨機存取記憶體中，可採用所謂破壞讀取動作原理，並實際地加以執行。因此，可以不受讀取時之多數TMR元件間之電阻值差異之影響，而正確地讀取被選擇之TMR元件之電阻值(或MR比)。

② 讀取動作原理2

圖33係表示讀取動作原理2之波形圖。

本讀取動作原理係上述讀取動作原理1之改良例。本讀取動作原理之特徵在於將嘗試資料之寫入步驟、比較資料之讀取步驟(第二次之讀取步驟)及比較讀取結果而判斷TMR元件之資料之步驟合併成1個步驟之點上。

因此，在本例中，1次之讀取動作由3個步驟所構成。本例之讀取動作原理係將圖31或圖32之讀取動作原理之第二至第四步驟合併成1個步驟。

有關執行此讀取動作原理所使用之電路，在圖17及圖18之改良例3中，為圖20所示之寫入字元線驅動器/消能器、圖22所示之讀取字元線驅動器、圖24所示之行解碼器及圖28所示之寫入位元線驅動器/消能器(嘗試資料為“1”)。

又，在圖19之改良例4中，為圖20所示之寫入字元線驅

動器/消能器、圖22所示之讀取字元線驅動器、圖26所示之讀取行解碼器、圖27所示之寫入行解碼器、及圖28所示之寫入位元線驅動器/消能器(嘗試資料為“1”)。

A. 第一步驟

在第一步驟中，執行初始資料之讀取(第一次讀取)。

在此步驟中，讀取訊號READ為“H”。

因此，改良例3之情形，在行位址訊號之全部位元為“1”之被選擇之行中，行選擇線訊號CSLj (圖24)成為“H”。又，改良例4之情形，在上位行位址訊號之全部位元為“1”之行中，行選擇線訊號CSLjk (圖26)成為“H”。

又，在改良例3、4中，上位列位址訊號之全部位元為“1”之讀取字元線驅動器23B (圖22)之輸出訊號RWL0成為“H”。接受此輸出訊號RWL0之被選擇之區塊BK內之讀取選擇開關RSW成為導電狀態。

又，檢知放大器允許訊號成為“H”，使檢知放大器成為動作狀態。其結果，在圖18之改良例3中，電路區塊29內之讀取電路內之電流源產生之讀取電流經由被選擇之區塊BK內之多數TMR元件而流至接地點。在圖19之改良例4中，讀取電路29B內之電流源產生之讀取電流經由被選擇之區塊BK內之多數TMR元件而流至接地點。

讀取電路係在讀取電流流通之狀態下執行初始資料之檢出。初始資料係依存於構成被選擇之行之並聯連接之多數TMR元件之合成電阻。初始資料係記憶於檢知放大器內之記憶電路。

B. 第二步驟

在第二步驟中，同時或以在時間上並行之方式執行以下之3個事項：

•對被選擇之TMR元件施行嘗試資料之寫入

•讀取比較資料(第二次讀取)

•比較二次之讀取結果(判定TMR元件之資料值)

在本步驟中，嘗試訊號TRIAL為“H”。

因此，改良例3、4之情形，在列位址訊號之全部位元為“1”之被選擇之列中，寫入字元線驅動器內之P通道MOS電晶體P6(圖20)成為通電狀態，同時，寫入電流流至被選擇之列內之寫入字元線。

又，改良例3之情形，在行位址訊號之全部位元為“1”之行中，行選擇線訊號CSLj(圖24)成為“H”。又，改良例4之情形，在上位行位址訊號之全部位元為“1”之行，且下位行位址訊號之全部位元為“1”之段中，行選擇線訊號CSLjk(圖27)成為“H”。

也就是說，改良例3之情形，被選擇之行內之行選擇開關SW成為通電狀態，改良例4之情形，對應於被選擇之行內之被選擇之段之行選擇開關SWB成為通電狀態。

又，在圖28之寫入位元線驅動器/消能器29中，因嘗試訊號TRIAL為“H”，故N通道MOS電晶體N2成為通電狀態。在圖28之寫入位元線驅動器/消能器31中，因嘗試訊號TRIAL為“H”，故P通道MOS電晶體P2成為通電狀態。

因此，在圖18之改良例3之情形，使由寫入位元線驅動

器/消能器31流向寫入位元線驅動器/消能器29之寫入電流流至被選擇之行內之寫入線26。又，在圖19之改良例4之情形，使由寫入位元線驅動器/消能器31流向寫入位元線驅動器/消能器29之寫入電流流至被選擇之行內之被選擇之段內之寫入線33。

其結果，可對被選擇之TMR元件執行嘗試資料("1")之寫入。

在此種嘗試資料之寫入之同時，執行比較資料之讀取(第二次讀取)。

即，嘗試訊號TRIAL為"H"時，在改良例3中，使行位址訊號之全部位元為"1"之行之行選擇線訊號CSLj (圖24)成為"H"。又，在改良例4中，使行位址訊號之全部位元為"1"之行之行選擇線訊號CSLj (圖26)成為"H"。

又，在改良例3、4中，上位列位址訊號之全部位元為"1"之讀取字元線驅動器23B (圖22)之輸出訊號RWL0成為"H"。接受此輸出訊號RWL0之被選擇之區塊BK內之讀取選擇開關RSW成為導電狀態。

又，檢知放大器允許訊號成為"H"，使檢知放大器成為動作狀態。其結果，在圖18之改良例3中，利用電路區塊29內之讀取電路檢出比較資料。又，在圖19之改良例4中，利用讀取電路29B內檢出比較資料。比較資料係依存於構成被選擇之行之並聯連接之多數TMR元件之合成電阻。

讀取電路所檢出之比較資料直接與初始資料被比較，以判斷被選擇之TMR元件之資料值。

即，判斷初始資料與比較資料相同時，表示不因嘗試資料之寫入而改變被選擇之TMR元件之電阻值之意，故判斷被選擇之TMR元件之資料值為與嘗試資料之值相同之值。

反之，判斷初始資料與比較資料不相同時，表示已因嘗試資料之寫入而改變被選擇之TMR元件之電阻值之意，故判斷被選擇之TMR元件之資料值具有與嘗試資料之值相反之值。

在本例中，由於係假定嘗試資料為“1”，故若初始資料與比較資料相同，判斷被選擇之TMR元件之資料為“1”，若初始資料與比較資料不相同，判斷被選擇之TMR元件之資料為“0”。

如此，即可決定被選擇之TMR元件之資料值。

C. 第三步驟

在第三步驟中，對被選擇之TMR元件執行資料之重寫。依據本例之讀取動作原理，在第二步驟中，將嘗試資料寫入被選擇之TMR元件。也就是說，此時，被選擇之TMR元件之資料會被破壞。

因此，判斷被選擇之TMR元件之資料值後，有必要對該TMR元件施行資料之重寫。

在此步驟中，重寫訊號REWRITE成為“H”。

因此，改良例3、4之情形，在列位址訊號之全部位元為“1”之被選擇之列中，寫入字元線驅動器內之P通道MOS電晶體P6(圖20)成為通電狀態，同時，寫入電流流至被選擇之列內之寫入字元線。

又，改良例3之情形，在行位址訊號之全部位元為“1”之行中，行選擇線訊號CSLj (圖24)成為“H”。又，改良例4之情形，在上位行位址訊號之全部位元為“1”之行，且下位行位址訊號之全部位元為“1”之段中，行選擇線訊號CSLjk (圖27)成為“H”。

也就是說，改良例3之情形，被選擇之行內之行選擇開關SW成為通電狀態，改良例4之情形，對應於被選擇之行內之被選擇之段之行選擇開關SWB成為通電狀態。

又，在圖28之寫入位元線驅動器/消能器29中，因重寫訊號REWRITE為“H”，故可依照重寫資料DATA之值，決定通道MOS電晶體P2、N2之通電/斷電狀態。在圖28之寫入位元線驅動器/消能器31中，也因重寫訊號REWRITE為“H”，故可依照重寫資料DATA之值，決定通道MOS電晶體P3、N3之通電/斷電狀態。

因此，在圖18之改良例3之情形，依照重寫資料DATA之值，使流向寫入位元線驅動器/消能器29側或流向寫入位元線驅動器/消能器31側之寫入電流流至被選擇之行內之寫入線26。

又，在圖19之改良例4之情形，依照重寫資料DATA之值，使流向寫入位元線驅動器/消能器29側或流向寫入位元線驅動器/消能器31側之寫入電流流至被選擇之行內之被選擇之段內之寫入線33。

其結果，在執行讀取動作前，可將被選擇之TMR元件所記憶之資料(“1”或“0”)重寫至該TMR元件。此後，使行選擇

開關SW、SWB成為斷電狀態，並切斷寫入電流。且也切斷流至被選擇之列內之寫入字元線之寫入電流。

又，在第二步驟中，判斷初始資料與比較資料相同時，記憶於被選擇之TMR元件之資料與嘗試資料具有相同之值。因此，此時，也可省略第三步驟。

即，在第二步驟中，僅在判斷初始資料與比較資料不相同時，只要在第三步驟中，將具有與嘗試資料相反之值之資料重寫在被選擇之TMR元件即可。

以上，在改良例3、4之磁性隨機存取記憶體中，可採用改良後之破壞讀取動作原理，並實際地加以執行。因此，可以不受讀取時之多數TMR元件間之電阻值差異之影響，而正確地讀取被選擇之TMR元件之電阻值(或MR比)。

(9) 改良例5

圖34係表示作為本發明之改良例5之磁性隨機存取記憶體之主要部。圖35係僅表示圖34之磁性隨機存取記憶體之1行份。

本改良例5之磁性隨機存取記憶體係改良例1之磁性隨機存取記憶體之變形例。改良例5與改良例1相比時，其特徵在於新設有在行內向Y方向延伸而僅供寫入用之寫入線33之點上。

同時，改良例5與改良例1相比，在記憶單元陣列及週邊電路之構成方面也有其特徵。

記憶單元陣列11具有在X方向及Y方向配置成陣列狀之多數TMR元件12。在配置於X方向之TMR元件12附近，配置

有向X方向延伸之多數條(在本例中，為12條)寫入字元線WL0、WL1、…WL11。寫入字元線WL0、WL1、…WL11之一端連接於寫入字元線驅動器23，其他端連接於寫入字元線消能器24。

列解碼器25係在寫入動作時，依據列位址訊號選擇寫入字元線WL0、WL1、…WL11中之1條。寫入字元線驅動器23係將寫入電流供應至被選擇之寫入字元線。寫入電流流過被選擇之字元線後，被寫入字元線消能器24所吸收。

配置於Y方向之TMR元件12係並聯連接於讀取線(讀取位元線)26與接地點之間。

讀取線26之一端經由行選擇開關(MOS電晶體)SWA連接於共通資料線28。共通資料線28係被連接至讀取電路(含檢知放大器)29B。

行選擇開關SWA之閘極連接於讀取行解碼器32A。讀取行解碼器32A在讀取動作時，輸出選擇行用之行選擇線訊號RCSLj。

在行內，配置有向Y方向延伸之寫入線(寫入位元線)33。寫入線33係配置於行內之多數TMR元件12之附近。寫入線33之一端經由行選擇開關(MOS電晶體)SWB連接共通驅動線30A。共通驅動線30A連接至含寫入位元線驅動器/消能器之電路區塊29A。

寫入線33之他端經由行選擇開關(MOS電晶體)SWB連接至共通驅動線30B。共通驅動線30B連接至含寫入位元線驅動器/消能器之電路區塊31。

行選擇開關SWB之閘極連接至寫入行解碼器32B。寫入行解碼器32B在寫入動作時，輸出選擇行用之行選擇線訊號WCSLj。

在本例之磁性隨機存取記憶體中，在寫入動作時，將由寫入字元線驅動器23流向寫入字元線消能器24之寫入電流通至被選擇之寫入字元線，且在被選擇之行中，行選擇開關SWB成為通電狀態，可使寫入電流通至寫入線(寫入位元線)33。流至寫入線33之寫入電流之方向可依寫入資料之值而改變。

讀取動作時，在被選擇之行中，行選擇開關SWA成為通電狀態，可使讀取電流由讀取電路29B經由讀取線(讀取位元線)26及多數TMR元件12而流通至接地點。讀取電路29B係在讀取電流流通之期間，檢出對應於多數TMR元件之合成電阻之讀取資料。

(10) 改良例6

圖36係表示作為本發明之改良例6之磁性隨機存取記憶體之主要部。圖37係僅表示圖36之磁性隨機存取記憶體之1行份。

本改良例6之磁性隨機存取記憶體係改良例3之磁性隨機存取記憶體之變形例。改良例6與改良例3相比時，其特徵在於新設有在行內向Y方向延伸而僅供寫入用之寫入線33之點上。

同時，改良例6與改良例3相比，在記憶單元陣列及週邊電路之構成方面也有其特徵。

記憶單元陣列11具有在X方向及Y方向配置成陣列狀之多數TMR元件12。在配置於X方向之TMR元件12附近，配置有向X方向延伸之多數條(在本例中，為12條)寫入字元線WWL0、WWL1、…WWL11。寫入字元線WWL0、WWL1、…WWL11之一端連接於寫入字元線驅動器23A，其他端連接於寫入字元線消能器24。

在本例中，1行係由3個區塊BK所構成。由於1行係由配置於Y方向之12個TMR元件12所構成，故1區塊BK由4個TMR元件12所構成。

1區塊BK內之TMR元件12係互相並聯連接，其一端連接於讀取線(讀取位元線)26。又，TMR元件之他端係經由讀取選擇開關(MOS電晶體)RSW連接至接地點。

讀取線26之一端經由行選擇開關(MOS電晶體)SWA連接於共通資料線28。共通資料線28係被連接至讀取電路(含檢知放大器)29B。

行選擇開關SWA之閘極連接於讀取行解碼器32A。讀取行解碼器32A在讀取動作時，輸出選擇行用之行選擇線訊號RCSLj。

讀取選擇開關RSW之閘極連接至讀取字元線RWLo (o=0、1、2)。讀取字元線驅動器23B在讀取動作時，依據上位列位址訊號輸出選擇區塊BK用之區塊選擇訊號。

1條讀取字元線RWLo對應於1行內之1區塊BK，且共用於X方向之多數區塊。

在本例中，1行由3個區塊所構成，故讀取字元線RWLo

數為3條。讀取字元線RWLo向X方向延伸，其一端連接於讀取字元線驅動器23B。

列解碼器25在寫入動作時，依據列位址訊號選擇寫入字元線WWL0、WWL1、…WWL11中之1條。

寫入字元線驅動器23A係將寫入電流供應至被選擇之寫入字元線。寫入電流流過被選擇之字元線後，被寫入字元線消能器24所吸收。

列解碼器25在讀取動作時，例如依據上位列位址訊號選擇1個區塊。

讀取字元線驅動器23B係將讀取字元線電壓供應至連接於被選擇之區塊BK之讀取字元線RWLo。在被選擇之區塊BK中，讀取選擇開關RSW成為通電狀態，故讀取電流經由被選擇之區塊BK內之多數TMR元件流向接地點。

在行內，配置有向Y方向延伸之寫入線(寫入位元線)33。寫入線33係配置於行內之多數TMR元件12之附近。又，寫入線33係共用於1行內之多數區塊BK。

寫入線33之一端經由行選擇開關(MOS電晶體)SWB連接共通驅動線30A。共通驅動線30A連接至含寫入位元線驅動器/消能器之電路區塊29A。

寫入線33之他端經由行選擇開關(MOS電晶體)SWB連接至共通驅動線30B。共通驅動線30B連接至含寫入位元線驅動器/消能器之電路區塊31。

行選擇開關SWB之閘極連接至寫入行解碼器32B。寫入行解碼器32B在寫入動作時，輸出選擇行用之行選擇線訊

號 WCSLj。

在本例之磁性隨機存取記憶體中，在寫入動作時，由寫入字元線驅動器23A流向寫入字元線消能器24之寫入電流通至被選擇之寫入字元線，且在被選擇之行中，可使寫入電流通至寫入線(寫入位元線)33。流至寫入線33之寫入電流之方向可依寫入資料之值而改變。

讀取動作時，在被選擇之行內之被選擇之區塊中，可使讀取電流由讀取電路29B經由讀取線(讀取位元線)26及多數TMR元件12而流通至接地點。讀取電路29B係在讀取電流流通之期間，檢出對應於被選擇之區塊內之多數TMR元件之合成電阻之讀取資料。

(11) 改良例5、6之週邊電路例

① 寫入字元線驅動器/消能器

在改良例5、6中，例如可將圖6所示之電路使用作為寫入位元線驅動器/消能器。

② 寫入位元線驅動器/消能器

在改良例5、6中，例如可將圖12、圖13所示之電路使用作為寫入位元線驅動器/消能器。

③ 讀取/寫入行解碼器

其次，說明有關改良例5、6之讀取/寫入行解碼器32A、32B之電路例。

圖38係表示讀取行解碼器之一例。

讀取行解碼器32A係由OR電路OR3、AND電路AD2所構成。讀取訊號READ1、READ2被輸入至OR電路OR3。

讀取訊號READ1、READ2係在讀取動作(破壞讀取動作)之際，讀取構成被選擇之行之多數TMR元件之合成電阻之值時成為“H”之訊號。依據通常之破壞讀取動作原理，需要施行2次讀取動作。即，讀取訊號READ1在第一次寫入時成為“H”，讀取訊號READ2在第二次寫入時成為“H”。

在此等2種訊號READ1、READ2中之任1種成為“H”時，OR電路OR3之輸出訊號成為“H”。

OR電路OR3之輸出訊號及行位址訊號(指定行j)被輸入至AND電路AD2。當選擇行j(位元線BLj)時，行位址訊號(指定行j)之全部位元均成為“H”，因此，選擇行j，且2種訊號READ1、READ2中之任1種成為“H”時，AND電路AD2之輸出訊號成為“H”。

當AND電路AD2之輸出訊號成為“H”時，即，行選擇線訊號RCSLj成為“H”時，圖35及圖37之行選擇開關(N通道MOS電晶體)SWA成為導電狀態，因此，讀取動作時，可使讀取電流流至被選擇之行內之多數TMR元件。

圖39係表示讀取行解碼器之另一例。

圖39之讀取行解碼器32A與圖38之讀取行解碼器32A相比時，其特徵在於讀取訊號READ1、READ2不存在，但卻追加讀取訊號READ及嘗試訊號TRIAL之點上。

圖40係表示寫入行解碼器之一例之圖。

寫入行解碼器32B係由OR電路OR4、AND電路AD3所構成。寫入訊號WRITE、嘗試訊號TRIAL及重寫訊號REWRITE被輸入至OR電路OR4。此等3種訊號WRITE、TRIAL、REWRITE

中之任一種為“H”時，OR電路OR4之輸出訊號成為“H”。

OR電路OR4之輸出訊號及行位址訊號(指定行j)被輸入至AND電路AD3。列j被行位址訊號選擇，且3種訊號WRITE、TRIAL、REWRITE中之任一種為“H”時，AND電路AD3之輸出訊號成為“H”。

當AND電路AD3之輸出訊號成為“H”時，即，行選擇線訊號WCSLj成為“H”時，圖35及圖37之行選擇開關(N通道MOS電晶體) SWB成為導電狀態，因此，寫入動作時，寫入電流流至圖35及圖37之寫入線33。

(12) 使用改良例5、6之讀取動作原理

① 使用改良例5之讀取動作原理

在改良例5中，可應用與改良例2之磁性隨機存取記憶體大致同樣之讀取動作原理。即，在改良例5中，可分別應用通常之破壞讀取動作(圖14及圖15)及改良後之破壞讀取動作(圖16)。

改良例2與改良例5之陣列構造之差異在於1行內之多數TMR元件12沿著Y方向(橫方向)排列或沿著Z方向(縱方向)排列。其結果，在改良例2中，1行內配置多數條寫入位元線，相對地，在改良例5中，1行內只配置1條寫入位元線。

因此，在有關讀取動作方面，改良例5之寫入行解碼器之動作異於改良例2。

② 使用改良例6之讀取動作原理

在改良例6中，可應用與改良例4之磁性隨機存取記憶體大致同樣之讀取動作原理。即，在改良例6中，可分別應

用通常之破壞讀取動作(圖31及圖32)及改良後之破壞讀取動作(圖33)。

改良例4與改良例6之陣列構造之差異在於1區塊內之多數TMR元件12沿著Y方向(橫方向)排列或沿著Z方向(縱方向)排列。其結果，在改良例4中，1行內配置多數條寫入位元線，相對地，在改良例6中，1行內只配置1條寫入位元線。

因此，在有關讀取動作方面，改良例6之寫入行解碼器之動作異於改良例4。

(13) 改良例5、6之裝置構造例

圖41係表示改良例6之裝置構造之一例。

在本例中，係表示改良例6之1行內之1區塊之裝置構造。

多數TMR元件係配置於Y方向，且並聯連接於讀取線(上部配線) 26與下部配線34之間。下部配線34係經由讀取選擇開關RSW連接於源極線35。

讀取選擇開關RSW係配置於TMR元件之正下方。讀取字元線RWLo及源極線35均向X方向(垂直於紙面之方向)延伸。源極線35連接於接地點。

在多數TMR元件上配置有向Y方向延伸之寫入位元線33。寫入位元線33共用於多數TMR元件。在各TMR元件之正下方配置向X方向延伸之寫入字元線WWL0、WWL1、WWL2、WWL3。

又，在圖41中，不設置讀取選擇開關RSW，而將下部配線34直接連接於接地點，另外，如再增加TMR元件及寫入

字元線之數，即可獲得改良例5之裝置構造。

3. 讀取電路

以上，已就有關磁性隨機存取記憶體，分別詳細說明參考例、改良例1至6、週邊電路(不含讀取電路)及讀取動作原理。以下，說明有關也可應用於參考例及改良例1至6之任一例，且可實現上述破壞讀取動作原理1、2之讀取電路(含檢知放大器)之具體例及其動作。

(1) 電路例1

圖42係表示磁性隨機存取記憶體之讀取電路之電路例1。

多數TMR元件係互相並聯連接，其一端連接至接地點，其他端經由作為行選擇開關之N通道MOS電晶體N7 (SW)連接至節點n1。圖示之TMR元件群在參考例、改良例1、2、5中，相當於1行份，在改良例3、4、6中，相當於1行內之1區塊份。

節點n1之電位係被箝位電路設定於箝位電位Vclamp。箝位電路係由運算放大器OP1與N通道MOS電晶體N8所構成。

N通道MOS電晶體N8係被配置於節點n1與電流鏡電路M1之間。運算放大器OP1例如可控制N通道MOS電晶體N8之閘極電位，而使節點n1之電位等於箝位電位Vclamp。

箝位電路之作用在於調整於1行內或1區塊內之TMR元件兩端間之電壓。

即，例如將接地電位施加至TMR元件之一端時，如TMR元件之他端之電位變得過於大，則TMR元件之MR比會變小。TMR元件之MR比小係表示“1”狀態之TMR元件之電阻值

與“0”狀態之TMR元件之電阻值之差較小之意。也就是說，讀取時之“1”、“0”之判定用之容限會變小。

為防止此現象，在本例中，利用箝位電路調整TMR元件之他端電位，即調整TMR元件之兩端間之電壓，以防止TMR元件之MR比變小。

電流鏡電路M1具有使與流通至多數TMR元件之讀取電流之合計值相等之電流，流通至N通道MOS電晶體N9之作用。此時之節點n2之電位(例如初始資料)係被轉移閘電路TG1記憶於記憶電路43。

轉移閘電路TG1之通電/斷電係被控制訊號READ1S、bREAD1S所控制。控制訊號READ1S係第一次讀取動作時(初始資料讀取時)成為“H”之訊號。又，控制訊號bREAD1S係具有與控制訊號READ1S之值相反值之反轉訊號。

控制訊號READ1S為“H”時(第一次讀取動作時)，節點n2之電位經由轉移閘電路TG1被輸入至反相器電路I7。反相器電路I7之輸出訊號被輸入至運算放大器OP2之負側輸入端子。運算放大器OP2之輸出訊號被輸入至反相器電路I8，反相器電路I8之輸出訊號被輸入至運算放大器OP2之正側輸入端子。

運算放大器OP2例如可控制反相器電路I8內之N通道MOS電晶體之閘極電位，而使輸入至其負側輸入端子之輸入電位與輸入至其正側輸入端子之輸入電位互相相等。因此，結果可使流至接受運算放大器OP2之輸出訊號之反相器電路I8之電流成為初始資料(單元資料)。

轉移閘電路TG2係連接於運算放大器OP2之輸出端子與反相器電路I7之輸出端子之間。第一次讀取動作結束時，控制訊號READ1S成為“L”，控制訊號bREAD1S成為“H”，其結果，初始資料被鎖存於記憶電路43內。

檢知放大器SA之正側輸入端子連接於節點n2，其負側輸入端子連接於運算放大器OP2之輸出端子n3。欲判定被選擇之TMR元件之資料時，檢知放大器SA比較節點n2之電位與運算放大器OP2之輸出端子n3之電位。

即，節點n2之電位表示第二次讀取結果(比較資料)，運算放大器OP2之輸出端子n3之電位表示第一次讀取結果(初始資料)。

(2) 電路例2

圖43係表示磁性隨機存取記憶體之讀取電路之電路例2。

本電路例2係電路例1之變形例。電路例2與電路例1相比時，其特徵在於記憶電路43。即，在電路例1中，記憶電路43具有2個反相器電路I7、I8與運算放大器OP2，但在電路例2中，記憶電路43不具有運算放大器而設有4個反相器電路I9、I9’、I10、I11。

即，在電路例2中，不利用運算放大器而利用電流鏡電路將初始資料鎖存於記憶電路43。

例如，在第一次讀取動作時(初始資料讀取時)，控制訊號READ1S成為“H”，故節點n2之電位(初始資料)被轉送至4個反相器電路I9、I9’、I10、I11構成之記憶電路43。第一次讀取動作結束時，控制訊號READ1S成為“L”，控制訊號

bREAD1S成為“H”，故初始資料被鎖存於記憶電路43。

(3) 電路例3

圖44係表示磁性隨機存取記憶體之讀取電路之電路例3。

本電路例3亦為電路例1之變形例。與電路例1相比時，其特徵在於記憶電路43。即，在電路例3中，記憶電路43係由電容器C1所構成。

在本例中，例如，將節點n2之電位(初始資料)動態地記憶於電容器C1。因此，有必要將第一次讀取至第二次讀取之期間設定於短於電容器C1持續保持資料之期間。

電容器C1持續保持資料之期間如在DRAM (Dynamic Random Access Memory；動態隨機存取記憶體)之領域中所作之充分的研究一般，例如為數m秒。因此，如果第一次讀取至第二次讀取之期間短於數m秒，則也可在記憶電路43使用電容器C1。

(4) 檢知放大器之具體例

其次，說明電路例1、2、3所使用之檢知放大器SA之具體例。檢知放大器SA之構成決定於在破壞讀取動作時，寫入被選擇之TMR元件之初始資料之值。

① 初始資料為“1”之情形

圖45係表示初始資料為“1”之情形之檢知放大器之一例。

檢知放大器SA例如係由3個差動放大器DI1、DI2、DI3與NAND電路ND5所構成。

初段之差動放大器DI1係用以比較圖42至圖44之節點n2之電位(例如比較資料)與節點n3之電位(例如初始資料)。

差動放大器DI1係依據2種輸入電位，輸出2種輸出電位。差動放大器DI1之2種輸出電位之差係由2種輸入電位之差所決定。

依據節點n2之電位之電位被輸入至差動放大器DI2之正側輸入端子，基準電位VrefH被輸入至其負側輸入端子。差動放大器DI2在輸入至正側輸入端子之電位大於基準電位VrefH時輸出“H”，小於基準電位VrefH時輸出“L”。

依據節點n3之電位之電位被輸入至差動放大器DI3之負側輸入端子，基準電位VrefL被輸入至其正側輸入端子。差動放大器DI3在輸入至負側輸入端子之電位小於基準電位VrefL時輸出“H”，大於基準電位VrefL時輸出“L”。

例如，被選擇之TMR元件之資料為“0”，嘗試資料之資料為“1”時，在第二次讀取動作中被讀取之比較資料，即，節點n2之電位高於在第一次讀取動作中被讀取之初始資料，即，節點n3之電位。

此時，被輸入至差動放大器DI2之正側輸入端子之電位高於被輸入至其負側輸入端子之基準電位VrefH，故差動放大器DI2之輸出訊號為“H”。又，被輸入至差動放大器DI3之負側輸入端子之電位低於被輸入至其正側輸入端子之基準電位VrefL，故差動放大器DI3之輸出訊號也為“H”。

因此，NAND電路ND5之輸出訊號為“L”，即，檢知放大器SA之輸出訊號為“0”(“L”=“0”)。也就是說，可判斷被選擇之TMR元件之資料為“0”。

又，例如，被選擇之TMR元件之資料為“1”，嘗試資料之

資料為“1”時，在第二次讀取動作中被讀取之比較資料，即，節點n2之電位實質上相同於在第一次讀取動作中被讀取之初始資料，即，節點n3之電位。

此時，差動放大器DI1依據節點n2、n3之微小電位差，輸出2個輸出電位。

被輸入至差動放大器DI2之正側輸入端子之電位不會高過於被輸入至其負側輸入端子之基準電位VrefH，故差動放大器DI2之輸出訊號為“L”。又，被輸入至差動放大器DI3之負側輸入端子之電位不會低於被輸入至其正側輸入端子之基準電位VrefL，故差動放大器DI3之輸出訊號也為“L”。

因此，NAND電路ND5之輸出訊號為“H”，即，檢知放大器SA之輸出訊號為“1”(“H”=“1”)。也就是說，可判斷被選擇之TMR元件之資料為“1”。

圖46係表示圖45之檢知放大器之初段之差動放大器之一例。

本差動放大器DI1之特徵在於在2個輸出端子之間連接具有大電阻值之電阻Rr之點上。

如此，利用在2個輸出端子之間連接電阻，在被選擇之TMR元件之資料與嘗試資料相同時，即2個輸入電位幾乎無差異時，差動放大器DI1不會將其差值放大並輸出。差動放大器DI1僅在2個輸入電位有明顯差異時，才會將其差值放大並輸出。

圖47係表示圖45之檢知放大器之初段之差動放大器之另一例。

本差動放大器DI1之特徵在於在2個輸出端子之間連接空乏型通道MOS電晶體QD之點上。

空乏型通道MOS電晶體QD具有與圖46之電阻Rr相同之機能。也就是說，在被選擇之TMR元件之資料與嘗試資料相同時，即2個輸入電位幾乎無差異時，差動放大器DI1不會將其差值放大並輸出。差動放大器DI1僅在2個輸入電位有明顯差異時，才會將其差值放大並輸出。

② 嘗試資料為"0"之情形

圖48係表示嘗試資料為"0"之情形之檢知放大器之一例。

檢知放大器SA例如係由3個差動放大器DI1、DI2、DI3與NOR電路NR3所構成。

初段之差動放大器DI1係用以比較圖42至圖44之節點n2之電位(例如初始資料)與節點n3之電位(例如初始資料)。差動放大器DI1係依據2種輸入電位，輸出2種輸出電位。差動放大器DI1之2種輸出電位之差係依據2種輸入電位之差所決定。

依據節點n2之電位之電位被輸入至差動放大器DI2之負側輸入端子，基準電位VrefL被輸入至其正側輸入端子。差動放大器DI2在輸入至負側輸入端子之電位小於基準電位VrefL時輸出"H"，大於基準電位VrefL時輸出"L"。

依據節點n3之電位之電位被輸入至差動放大器DI3之正側輸入端子，基準電位VrefH被輸入至其負側輸入端子。差動放大器DI3在輸入至正側輸入端子之電位大於基準電位VrefH時輸出"H"，小於基準電位VrefH時輸出"L"。

例如，被選擇之TMR元件之資料為“1”，嘗試資料為“0”時，在第二次讀取動作中被讀取之比較資料，即，節點n2之電位低於在第一次讀取動作中被讀取之初始資料，即，節點n3之電位。

此時，被輸入至差動放大器DI2之負側輸入端子之電位低於被輸入至其正側輸入端子之基準電位VrefL，故差動放大器DI2之輸出訊號為“L”。又，被輸入至差動放大器DI3之正側輸入端子之電位高於被輸入至其負側輸入端子之基準電位VrefH，故差動放大器DI3之輸出訊號也為“L”。

因此，NOR電路NR3之輸出訊號為“H”，即，檢知放大器SA之輸出訊號為“1”(“H”=“1”)。也就是說，可判斷被選擇之TMR元件之資料為“1”。

又，例如，被選擇之TMR元件之資料為“0”，初始資料之資料為“0”時，在第二次讀取動作中被讀取之比較資料，即，節點n2之電位實質上相同於在第一次讀取動作中被讀取之初始資料，即，節點n3之電位。

此時，差動放大器DI1依據節點n2、n3之微小電位差，輸出2個輸出電位。

但，因被輸入至差動放大器DI2之負側輸入端子之電位不會低於被輸入至其正側輸入端子之基準電位VrefL，故差動放大器DI2之輸出訊號為“H”。又，被輸入至差動放大器DI3之正側輸入端子之電位不會高於被輸入至其負側輸入端子之基準電位VrefH，故差動放大器DI3之輸出訊號也為“H”。

因此，NAND電路ND5之輸出訊號為“L”，即，檢知放大器SA之輸出訊號為“0”(“L”=“0”)。也就是說，可判斷被選擇之TMR元件之資料為“0”。

又，有關圖48之檢知放大器之初段之差動放大器DI1，也可使用具有如圖46或圖47所示之構成之差動放大器DI1。

因此，在被選擇之TMR元件之資料與嘗試資料相同時，即2個輸入電位幾乎無差異時，差動放大器不會將其差值放大並輸出。差動放大器僅在2個輸入電位有明顯差異時，才會將其差值放大並輸出。

(5) 差動放大器之具體例

圖49係表示圖42至圖44之運算放大器OP1之具體例。

箝位電位Vclamp被輸入至運算放大器OP1之正側輸入端子，節點n1之電位被輸入至負側輸入端子。當允許訊號Enable成為“H”時，輸出節點n1之電位與箝位電位Vclamp相等之輸出訊號Out。

圖50係表示圖42之運算放大器OP2之具體例。

圖42之反相器電路I8之輸出訊號被輸入至運算放大器OP2之正側輸入端子，反相器電路I7之輸出訊號被輸入至其負側輸入端子。當允許訊號Enable成為“H”時，輸出反相器電路I7之輸出訊號與反相器電路I8之輸出訊號相等之輸出訊號Out。

(6) 電路例1、2、3之動作

其次，說明有關電路例1、2、3之讀取電路之動作。在電路例1、2、3中，也可執行通常之破壞讀取動作(圖14、

圖15及圖16)及改良後之破壞讀取動作(圖31、圖32及圖33)中之任一種讀取動作。

① 第一次讀取動作

在第一次讀取動作中，施行初始資料之讀取。

行位址訊號被輸入，行選擇開關N7 (SW)成為通電狀態。又，運算放大器OP1控制N通道MOS電晶體N8之閘極電位，使節點n1之電位與箝位電位Vclamp相等。

此時，讀取電流由電源端子VDD，經由電晶體M7、M8及多數TMR元件而流入接地點。電流鏡電路M1具有將與此讀取電流相等之電流流通至N通道MOS電晶體N9之作用。

因此，在節點n2會顯現出對應於多數TMR元件之合成電阻之電位(初始資料)。

又，控制訊號READ1S在第一次讀取動作時成為“H”。也就是說，轉移閘電路TG1成為通電狀態，轉移閘電路TG2成為斷電狀態。因此，節點n2之電位經由轉移閘電路TG1被輸入至記憶電路43。

在圖42之例中，運算放大器OP2控制反相器電路I8內之N通道MOS電晶體之閘極電位，使其負側輸入電位與之其正側輸入電位電位相等。結果，可使流至反相器電路I8之電流成為初始資料(單元資料)。

在圖43之例中，反相器電路I11之輸出節點n3之電位成為初始資料(單元資料)。在圖44之例中，電容器C1之一端n3之電位成為初始資料(單元資料)。

第一次讀取動作結束時，控制訊號READ1S成為“L”，控

制訊號bREAD1S成為“H”，其結果，初始資料被鎖存於記憶電路43內。

②第二次讀取動作及資料判定動作

在將嘗試資料寫入被選擇之TMR元件後(通常之破壞讀取動作)或在寫入之同時(改良後之破壞讀取動作)，執行第二次讀取動作，以讀取比較資料。

行位址訊號被輸入，行選擇開關N7 (SW)成為通電狀態。又，運算放大器OP1控制N通道MOS電晶體N8之閘極電位，使節點n1之電位與箝位電位Vclamp相等。

此時，讀取電流由電源端子VDD，經由電晶體M7、M8及多數TMR元件而流入接地點。電流鏡電路M1具有將與此讀取電流相等之電流流通至N通道MOS電晶體N9之作用。

因此，在節點n2會顯現出對應於多數TMR元件之合成電阻之電位(比較資料)。

此時，節點n2之電位被輸入至檢知放大器SA之正側輸入端子，記憶電路43之節點n3之電位被輸入至其負側輸入端子。其結果，檢知放大器SA即可依據節點n2之電位與節點n3之電位，判定被選擇之TMR元件之資料值。

又，檢知放大器SA之資料判定動作與(4)之「檢知放大器之具體例」之項目中所述相同。

(7) 電路例4

圖51係表示磁性隨機存取記憶體之讀取電路之電路例4。

在電路1、2、3中，係以類比值之形態將讀取資料(初始資料)記憶於記憶電路。相對地，在電路例4中，則以數

位值之形態將讀取資料記憶於記憶電路。

多數TMR元件係互相並聯連接，其一端連接至接地點，其他端經由作為行選擇開關之N通道MOS電晶體N7 (SW)連接至節點n1。圖示之TMR元件群在參考例、改良例1、2、5中，相當於1行份，在改良例3、4、6中，相當於1行內之1區塊份。

節點n1之電位係被箝位電路設定於箝位電位Vclamp。箝位電路係由運算放大器OP1與N通道MOS電晶體N8所構成。運算放大器OP1例如可使用圖49所示之運算放大器OP1。

N通道MOS電晶體N8係被配置於節點n1與電流鏡電路M1之間。運算放大器OP1例如可控制N通道MOS電晶體N8之閘極電位，而使節點n1之電位等於箝位電位Vclamp。

電流鏡電路M1具有使與流通至多數TMR元件之讀取電流之合計值相等之電流，流通至N通道MOS電晶體N9之作用。此時之節點n2之電位(初始資料)係被輸入至記憶電路43內之運算放大器OP3之正側輸入端子。

運算放大器OP3例如可使用圖50所示之運算放大器OP2。

在電路例4中，記憶電路43係包含運算放大器OP3、RGB(帶隙基準)電路36、振盪器37、抽樣保持電路38、計數器觸發訊號產生電路39、計數器/計數器驅動電路40、DAC (數位類比變換器) 41、P通道MOS電晶體P7及N通道MOS電晶體N10。

BGR電路36輸出不依存於溫度之輸出訊號。BGR電路36之輸出訊號被供應至振盪器37及DAC41。振盪器37依據BGR

電路36之輸出訊號，產生位準呈現週期性的變化之訊號OSC。

運算放大器OP3之輸出訊號被輸入至抽樣保持電路38。抽樣保持電路38保持運算放大器OP3之輸出訊號，以作為抽樣結果，且依據位準呈現週期性的變化之訊號OSC，週期性地將該抽樣結果輸出至計數器觸發訊號產生電路39。

計數器觸發訊號產生電路39依據位準呈現週期性的變化之訊號OSC及抽樣結果，輸出計數器觸發訊號。計數器/計數器驅動電路40依據計數器觸發訊號，使其輸出訊號之計數值發生變化。

DAC（數位類比變換器）41將計數器/計數器驅動電路40之計數值由數位訊號變換成類比訊號。DAC41之輸出訊號被輸入至P通道MOS電晶體P7之閘極。

P通道MOS電晶體P7及N通道MOS電晶體N10係串聯地被連接於電源端子VDD與接地點VSS之間。

N通道MOS電晶體N10之閘極與汲極互相連接。P通道MOS電晶體P7及N通道MOS電晶體N10之汲極分別被連接至運算放大器OP3之負側輸入端子及檢知放大器SA之負側輸入端子。

檢知放大器SA比較節點n2之電位與節點n3（運算放大器OP3之負側輸入端子）之電位，以判定被選擇之TMR元件之資料。

在電路例4中，例如係將在破壞讀取動作之第一次讀取動作中所獲得之初始資料記憶於記憶電路43，以作為數位

值。

具體而言，記憶電路43係施行使流至通道MOS電晶體P7、N10之電流值等於流至通道MOS電晶體P8、N9之電流值之動作。也就是說，記憶電路43可調整P通道MOS電晶體P7之閘極電位(DAC41之輸出值)，使節點n3之電位等於節點n2之電位。

在此，P通道MOS電晶體P7、P8之大小(驅動力)互相相同，N通道MOS電晶體N9、N10之大小(驅動力)互相相同。

在電路例4中，由於係以計數器之計數值(數位值)之形態記憶運算放大器OP3之輸出訊號，即記憶節點n2之電位與節點n3之電位之差(類比值)，故難以正確地記憶讀取電流(初始資料)。

但，即使在此種情形下，只要將計數器之每1次計數之電流變化量(流至通道MOS電晶體P7、N10之電流之變化量)控制在充分小於依據TMR元件之MR比之讀取電流之變化量，即可毫無問題地執行讀取動作。

(8) BGR電路之具體例

圖52係表示BGR電路之一例。

BGR電路36屬於一般所詳知之電路。在本例中，係利用BGR電路36分別產生DAC用之輸出電流Ibgr與振盪器用之輸出電流Ibgr。

(9) 振盪器之具體例

圖53係表示振盪器之一例。

振盪器37係接受BGR電路之輸出電流Ibgr，產生位準呈

現週期性的變化之訊號OSC。將BGR電路之輸出訊號施加至振盪器37時，可產生不依存於溫度及電源電壓之位準呈現週期性的變化之訊號。

因此，可使抽樣時間經常保持於一定。

(10) 抽樣保持電路之具體例

圖54係表示抽樣保持電路之一例。

抽樣保持電路38係保持運算放大器OP3之輸出訊號，以作為抽樣結果，且依據位準呈現週期性的變化之訊號OSC，將該抽樣結果DOWN輸出至計數器觸發訊號產生電路39。

(11) 計數器觸發訊號產生電路之具體例

圖55係表示計數器觸發訊號產生電路之一例。

計數器觸發訊號產生電路39係依據抽樣結果DOWN及位準呈現週期性的變化之訊號OSC，輸出計數器觸發訊號Dn、Up。

(12) 計數器驅動電路之具體例

圖56至圖63係表示計數器驅動電路之一例。

計數器驅動電路係依據計數器觸發訊號Dn、Up，產生計數器驅動用之控制訊號TP0、bTP0、TP1、bTP1、…TP7、bTP7。

(13) 計數器之具體例

圖64及圖65係表示計數器之一例。

計數器40係依據控制訊號TP0、bTP0、TP1、bTP1、…TP7、bTP7，改變其計數值C<0>、C<1>、…C<7>。

(14) DAC之具體例

圖66係表示DAC之一例。

BGR電路之輸出訊號Ibgr及計數器之輸出訊號(計數值)C<0>、C<1>、…C<7>被輸入至DAC41。DAC41係用以將計數器之計數值由數位訊號變換成類比訊號。

(15) 電路例4之動作

有關電路例4之讀取電路之動作，除了有關改良後之破壞讀取動作之點、及將第一次讀取動作中所得之初始資料以數位值記憶於記憶電路之點外，均與有關電路例1、2、3之讀取電路之動作相同。

① 第一次讀取動作

在第一次讀取動作中，施行初始資料之讀取。

行位址訊號被輸入，行選擇開關N7 (SW)成為通電狀態。又，運算放大器OP1控制N通道MOS電晶體N8之閘極電位，使節點n1之電位與箝位電位Vclamp相等。

此時，讀取電流由電源端子VDD，經由電晶體M7、M8及多數TMR元件而流入接地點。電流鏡電路M1具有使與此讀取電流相等之電流流通至N通道MOS電晶體N9之作用。

因此，在節點n2會顯現出對應於多數TMR元件之合成電阻之電位(初始資料)。

節點n2之電位被輸入至記憶電路43內之運算放大器OP3之正側輸入端子。節點n2之電位係被記憶於記憶電路43，以作為計數器40之計數值。依據計數器40之計數值，使電流流至通道MOS電晶體P7、N10，結果可使節點n3之電位等於節點n2之電位。

② 第二次讀取動作及資料判定動作

在將嘗試資料寫入被選擇之TMR元件之同時，執行第二次讀取動作，以讀取比較資料。

此時，讀取電流由電源端子VDD，經由電晶體M7、M8及多數TMR元件而流入接地點。電流鏡電路M1具有將與此讀取電流相等之電流流通至N通道MOS電晶體N9之作用。

因此，在節點n2會顯現出對應於多數TMR元件之合成電阻之電位(比較資料)。

此時，節點n2之電位被輸入至檢知放大器SA之正側輸入端子，記憶電路43之節點n3之電位被輸入至其負側輸入端子。其結果，檢知放大器SA即可依據節點n2之電位與節點n3之電位，判定被選擇之TMR元件之資料值。

又，檢知放大器SA之資料判定動作與(4)之「檢知放大器之具體例」之項目中所述相同。

(16) 電路例5

圖67係表示磁性隨機存取記憶體之讀取電路之電路例5。

在電路例5中，並未具有電路例1、2、3、4所具有之記憶電路。即，在電路例5中，僅將電感元件連接於電流經路，利用檢知放大器SA檢出電感元件兩端之電位差。因此，電路例5與電路例1、2、3、4相比，構成非常簡單。

多數TMR元件係互相並聯連接，其一端連接於接地點，其他端經由作為行選擇開關之N通道MOS電晶體N7 (SW)連接至節點n1。圖示之TMR元件群在參考例、改良例1、2、5中，相當於1行份，在改良例3、4、6中，相當於1行內之1區塊份。

節點n1之電位係被箝位電路設定於箝位電位Vclamp。箝位電路係由運算放大器OP1與N通道MOS電晶體N8所構成。運算放大器OP1例如可使用圖49所示之運算放大器OP1。

N通道MOS電晶體N8係被配置於節點n1與電流鏡電路M1之間。運算放大器OP1例如可控制N通道MOS電晶體N8之閘極電位，而使節點n1之電位等於箝位電位Vclamp。

電流鏡電路M1具有使與流通至多數TMR元件之讀取電流之合計值相等之電流，流通至N通道MOS電晶體N9之作用。電流鏡電路M1與N通道MOS電晶體N9之間連接電感元件L。

電感元件L之一端(節點n2)連接於檢知放大器SA之正側輸入端子，其他端(節點n3)連接於檢知放大器SA之負側輸入端子。

由於具有V=IR+L ·dI/dt (V為電源電位，I為電流值，R為MOS電晶體之通電電阻，L為電感)之關係，故經過充分時間，流向電感元件L之電流一定時，節點n2之電位與節點n3之電位會相等。

圖68及圖69係表示電感元件之一例。

電感元件例如可利用LSI之配線加工技術形成。此時，電感元件可形成在LSI晶片內。也就是說，可在磁性隨機存取記憶體之晶片內形成讀取電路用之電感元件。

(17) 電路例5之動作

電路例5之讀取電路之動作係與改良後之破壞讀取動作原理有關，其特徵在於將第一次讀取動作中所得之初始資

料記憶於記憶電路之動作不存在之點上。

① 第一次讀取動作

在第一次讀取動作中，施行初始資料之讀取。

行位址訊號被輸入，行選擇開關N7 (SW)成為通電狀態。又，運算放大器OP1控制N通道MOS電晶體N8之閘極電位，使節點n1之電位與箝位電位Vclamp相等。

此時，讀取電流由電源端子VDD，經由電晶體M7、M8及多數TMR元件而流入接地點。電流鏡電路M1具有使與此讀取電流相等之電流流通至N通道MOS電晶體N9之作用。

因此，經過充分時間，流向電感元件L之電流一定時，在節點n2會顯現出對應於多數TMR元件之合成電阻之電位(初始資料)。

② 第二次讀取動作及資料判定動作

在將嘗試資料寫入被選擇之TMR元件之同時，執行第二次讀取動作，以讀取比較資料。

此時，讀取電流由電源端子VDD，經由電晶體M7、M8及多數TMR元件而流入接地點。電流鏡電路M1具有將與此讀取電流相等之電流流通至N通道MOS電晶體N9之作用。

因此，多數TMR元件之合成電阻未變化時(被選擇之TMR元件之資料與嘗試資料相同時)，由於電流無變化，故節點n2之電位與節點n3之電位一直保持相等不變。

又，多數TMR元件之合成電阻有變化時(被選擇之TMR元件之資料與嘗試資料不相同時)，由於電流有變化，故受到電感成分影響，節點n3之電位會由節點n2之電位發生

偏移。

只要利用檢知放大器SA檢出此節點n2、n3之電位之變化，即可判斷該TMR元件之資料。

(18) 其他電路例

① 電路例6

圖70係表示磁性隨機存取記憶體之讀取電路之電路例6。

電路例6係電路例1(圖42)之改良例。

電路例6與電路例1相比，除了具有附加電流產生部42之點不同外，其他均與電路例1相同。

1行內或1區塊內之並聯連接之TMR元件增多時，對讀取電流之值之訊號電流之值會變得非常小，故難以利用檢知放大器檢出此微小之訊號電流。

因此，在本例中，新設附加電流產生部42。

附加電流產生部42具有電流源Is。此電流源Is所產生之定電流經由電流鏡電路M2被供應至TMR元件。

也就是說，在電路例6中，假設流至1行內或1區塊內之並聯連接之TMR元件之單元電流為Icell時，流至電流鏡電路M1之電流，即流至N通道MOS電晶體N9之電流Isense為Isense=Icell-Is。

因此，可增大對讀取電流之值之訊號電流之值，故可提高檢知放大器檢出訊號電流之檢出感度。

② 電路例7

圖71係表示磁性隨機存取記憶體之讀取電路之電路例7。

電路例7係電路例2(圖43)之改良例。

電路例7與電路例2相比，除了具有附加電流產生部42之點不同外，在其他之點均與與電路例2相同。

有關附加電流產生部42，與電路例6相同。在電路例7中，也由於可增大對讀取電流之值之訊號電流之值，故可提高檢知放大器檢出訊號電流之檢出感度。

③ 電路例8

圖72係表示磁性隨機存取記憶體之讀取電路之電路例8。

電路例8係電路例3 (圖44)之改良例。

電路例8與電路例3相比，除了具有附加電流產生部42之點不同外，在其他之點均與與電路例3相同。

有關附加電流產生部42，與電路例6相同。在電路例8中，也由於可增大對讀取電流之值之訊號電流之值，故可提高檢知放大器檢出訊號電流之檢出感度。

④ 附加電流產生部之電流源之具體例

圖73係表示附加電流產生部之電流源之一例之圖。

附加電流產生部42之電流源Is例如可採用與記憶單元陣列部相同之構成。即，電流源Is係由並聯連接之多數TMR元件、箝位電路及N通道MOS電晶體所構成。

在此，電流源Is內之TMR元件數以少於記憶單元陣列之1行內或1區塊內之並聯連接之TMR元件之數為宜。

又，在本例中，在構成附加電流產生部42之際，雖係利用TMR元件，但例如，也可利用BGR電路等加以取代。

4. 其他

在上述之說明中，磁性隨機存取記憶體之記憶單元雖係

以使用TMR元件作為前提，但本發明，即各種改良例、讀取動作原理、週邊電路之具體例等也均可應用於記憶單元使用GMR (Giant Magneto Resistance：巨磁阻)元件之情形。

又，在TMR元件及GMR元件之構造上，在應用本發明之際也均不受特別限定。

本發明之讀取動作原理如參考例及改良例1至6所示，除了可應用於在1行內或1區塊內配置並聯連接之多數記憶單元(TMR元件)之磁性隨機存取記憶體外，也可應用於使1個選擇電晶體對應於1個記憶單元之所謂1單元1電晶體構造之磁性隨機存取記憶體。

此時，讀取動作實質上與應用於參考例及改良例1至6之讀取動作相同，且在效果方面，也可獲得不受多數記憶單元之電阻值差異之影響，而正確地讀取資料之效果。

如以上所說明，依據本發明，特別在採用破壞讀取動作原理之磁性隨機存取記憶體中，由於可將寫入驅動器等寫入電路及檢知放大器等讀取電路具體化，故可進一步接近於磁性隨機存取記憶體之量產化。又，在磁性隨機存取記憶體之陣列構造及讀取動作原理方面，也可提出提高實現性用之改良技術之方案。

圖式之簡單說明

圖1係表示有關本發明之參考例之磁性隨機存取記憶體之圖。

圖2係表示有關本發明之參考例之破壞讀取動作原理之波形圖。

圖3係表示有關本發明之改良例1之磁性隨機存取記憶體之圖。

圖4係表示圖3之記憶體之1行份之圖。

圖5係表示有關本發明之改良例2之記憶體之1行份之圖。

圖6係表示寫入字元線驅動器/消能器之一例之圖。

圖7係表示行解碼器之一例之圖。

圖8係表示行解碼器之另一例之圖。

圖9係表示讀取行解碼器之一例之圖。

圖10係表示讀取行解碼器之另一例之圖。

圖11係表示寫入行解碼器之一例之圖。

圖12係表示寫入位元線驅動器/消能器之一例之圖。

圖13係表示寫入位元線驅動器/消能器之另一例之圖。

圖14係表示改良例1、2之破壞讀取動作原理之一例之波形圖。

圖15係表示改良例1、2之破壞讀取動作原理之另一例之波形圖。

圖16係表示改良例1、2之改良之破壞讀取動作原理之一例之波形圖。

圖17係表示有關本發明之改良例3之磁性隨機存取記憶體之圖。

圖18係表示圖17之記憶體之1行份之圖。

圖19係表示有關本發明之改良例4之記憶體之1行份之圖。

圖20係表示寫入字元線驅動器/消能器之一例之圖。

圖21係表示讀取字元線驅動器之一例之圖。

圖22係表示讀取字元線驅動器之另一例之圖。

圖23係表示行解碼器之一例之圖。

圖24係表示行解碼器之另一例之圖。

圖25係表示讀取行解碼器之一例之圖。

圖26係表示讀取行解碼器之另一例之圖。

圖27係表示寫入行解碼器之一例之圖。

圖28係表示寫入位元線驅動器/消能器之一例之圖。

圖29係表示寫入位元線驅動器/消能器之另一例之圖。

圖30係表示列解碼器之一例之圖。

圖31係表示改良例3、4之破壞讀取動作原理之一例之波形圖。

圖32係表示改良例3、4之破壞讀取動作原理之另一例之波形圖。

圖33係表示改良例3、4之改良之破壞讀取動作原理之一例之波形圖。

圖34係表示有關本發明之改良例5之磁性隨機存取記憶體之圖。

圖35係表示圖34之記憶體之1行份之圖。

圖36係表示有關本發明之改良例6之磁性隨機存取記憶體之圖。

圖37係表示圖36之記憶體之1行份之圖。

圖38係表示讀取行解碼器之一例之圖。

圖39係表示讀取行解碼器之另一例之圖。

圖40係表示寫入行解碼器之一例之圖。

圖41係表示改良例6之裝置構造之一例之圖。

圖42係表示讀取電路之電路例1之圖。

圖43係表示讀取電路之電路例2之圖。

圖44係表示讀取電路之電路例3之圖。

圖45係表示檢知放大器之一例之圖。

圖46係表示檢知放大器內之差動放大器之一例之圖。

圖47係表示檢知放大器內之差動放大器之另一例之圖。

圖48係表示檢知放大器之另一例之圖。

圖49係表示讀取電路內之運算放大器之一例之圖。

圖50係表示讀取電路內之運算放大器之另一例之圖。

圖51係表示讀取電路之電路例4之圖。

圖52係表示BGR電路之一例之圖。

圖53係表示振盪器之一例之圖。

圖54係表示抽樣保持電路之一例之圖。

圖55係表示計數器觸發電路之一例之圖。

圖56係表示計數器驅動電路之一部分之圖。

圖57係表示計數器驅動電路之一部分之圖。

圖58係表示計數器驅動電路之一部分之圖。

圖59係表示計數器驅動電路之一部分之圖。

圖60係表示計數器驅動電路之一部分之圖。

圖61係表示計數器驅動電路之一部分之圖。

圖62係表示計數器驅動電路之一部分之圖。

圖63係表示計數器驅動電路之一部分之圖。

圖64係表示計數器之一例之圖。

圖65係表示圖64之計數器內之區塊之一例之圖。

圖66係表示DAC之一例之圖。

圖67係表示讀取電路之電路例5之圖。

圖68係表示電感元件之一例之圖。

圖69係表示電感元件之一例之圖。

圖70係表示讀取電路之電路例6之圖。

圖71係表示讀取電路之電路例7之圖。

圖72係表示讀取電路之電路例8之圖。

圖73係表示附加電流產生部之一例之圖。

圖式代表符號說明

11	記憶單元陣列
12	TMR元件
17, 31	電路區塊
18	寫入選擇開關
26	讀取線
26	第一資料轉送線
27	第二資料轉送線
33	寫入線
35	源極線
SW	行選擇開關
SWB	選擇開關
P1-P9	P通道MOS電晶體
N1-N10	N通道MOS電晶體

BLj	位元線
WWL	寫入字元線
n1-N3	節點
RWLo	讀取字元線
SA	檢知放大器
TG1-TG2	轉移閘電路
OR1-OR11	OR電路
AD1-AD8	AND電路
NR1-NR3	NOR電路
D11、D12、D13	轉移閘電路
VDD	電源端子
OP1-OP3	運算放大器
OSC	訊號
Is	電流源
CSLj	行選擇線訊號
M1	電流鏡電路
M7, M8	電晶體
READ	讀取訊號
TRIAL	嘗試訊號

肆、中文發明摘要

本發明之磁性隨機存取記憶體及其讀取方法係在第一次讀取時，將讀取電流通至於1行內或1區塊內之並聯連接之多數TMR元件，以檢出初始資料，其後，對被選擇之記憶單元，執行嘗試資料之寫入。在嘗試資料寫入之同時或與此並行地，執行第二次讀取。在第二次讀取時，將讀取電流通至於1行內或1區塊內之並聯連接之多數TMR元件，以讀取比較資料。接著，比較初始資料與比較資料，以判斷被選擇之記憶單元之資料值。最後，對被選擇之記憶單元執行重新寫入。

伍、日文發明摘要

１回目の読み出しでは、１カラム内又は１ブロック内の並列接続された複数のＴＭＲ素子に読み出し電流を流し、イニシャルデータを検出する。この後、選択されたメモリセルに対して、試行データの書き込みが実行される。試行データの書き込みと同時又はこれに平行して、２回目の読み出しが行われる。２回目の読み出しでは、１カラム内又は１ブロック内の並列接続された複数のＴＭＲ素子に読み出し電流を流し、比較データを読み出す。続けて、イニシャルデータと比較データを比較し、選択されたメモリセルのデータ値を判断する。最後に、選択されたメモリセルに対して、再書き込みを行う。

陸、(一)、本案指定代表圖為：第 3 圖

(二)、本代表圖之元件代表符號簡單說明：

11 記憶體單元陣列

12 TMR 元件

23 寫入字元線驅動器

24 寫入字元線消能器

25 列解碼器

26 第一資料轉送線

28 共通資料線

29 檢知放大器及寫入位元線驅動器/消能器

30 共通驅動線

31 寫入位元線驅動器/消能器

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1. 一種磁性隨機存取記憶體之讀取方法，其係用於讀取利用磁阻效應記憶資料之記憶單元，且包含下列過程：

使第一讀取電流流通至前述記憶單元，

在對前述記憶單元寫入具有預定值之寫入資料之同時或與此並行地，使第二讀取電流流通至前述記憶單元，

檢出對前述第一及第二讀取電流之差或變化，且

依據前述變化判斷前述記憶單元之資料者。

2. 如申請專利範圍第1項之讀取方法，其中：

前述記憶單元之資料係依據將前述寫入資料寫入前述記憶單元前之前述記憶單元之電阻值與其後之前述記憶單元之電阻值之差加以判斷者。

3. 如申請專利範圍第1項之讀取方法，其中：

實質上無前述第一及第二讀取電流之差時，前述記憶單元之資料之值與前述寫入資料之值相同者。

4. 如申請專利範圍第1項之讀取方法，其中：

實質上有前述第一及第二讀取電流之差時，前述記憶單元之資料之值與前述寫入資料之值相異者。

5. 如申請專利範圍第4項之讀取方法，其中：

前述記憶單元之資料之值與前述寫入資料之值相異時，進一步將具有與前述寫入資料之值相異之值之資料重新寫入前述記憶單元者。

6. 如申請專利範圍第1項之讀取方法，其中：

在獲得前述第二讀取電流之同時，比較前述第一及第

二讀取電流者。

7. 如申請專利範圍第1項之讀取方法，其中：

前述第一及第二讀取電流之差之檢出係利用檢出與前述第一讀取電流成正比之第三讀取電流及與第二讀取電流成正比之第四讀取電流之差之方式所執行者。

8. 如申請專利範圍第1項之讀取方法，其中：

前述第一讀取電流係被記憶於前述記憶電路，以作為類比資料者。

9. 如申請專利範圍第8項之讀取方法，其中：

前述記憶電路包含使用差動放大器之反饋電路，前述第一讀取電流係被記憶於前述反饋電路者。

10. 如申請專利範圍第8項之讀取方法，其中：

前述記憶電路包含使用電流鏡電路之反饋電路，前述第一讀取電流係被記憶於前述反饋電路者。

11. 如申請專利範圍第8項之讀取方法，其中：

前述記憶電路包含電容器，前述第一讀取電流係被記憶於前述電容器，以作為電壓值者。

12. 如申請專利範圍第1項之讀取方法，其中：

前述第一讀取電流係被記憶於前述記憶電路，以作為數位資料者。

13. 如申請專利範圍第12項之讀取方法，其中：

前述記憶電路包含計數器，前述第一讀取電流係被記憶作為前述計數器之計數值者。

14. 如申請專利範圍第1項之讀取方法，其中：

前述第一及第二讀取電流對時間之變化量係利用電感元件檢出者。

15.如申請專利範圍第1項之讀取方法，其中：

前述記憶單元係互相並聯連接之多數記憶單元中之一者。

16.如申請專利範圍第15項之讀取方法，其中：

前述第一及第二讀取電流係流至前述多數記憶單元者。

17.如申請專利範圍第16項之讀取方法，其中：

前述多數記憶單元係構成記憶單元陣列之1行者。

18.如申請專利範圍第16項之讀取方法，其中：

前述多數記憶單元係構成記憶單元陣列之1行內之1區塊者。

19.如申請專利範圍第1項之讀取方法，其中：

在使前述寫入資料寫入前述記憶單元時所使用之寫入電流流通之同時或正當使前述寫入電流流通之時間中，使前述第二讀取電流流通者。

20.一種磁性隨機存取記憶體，其係包含：

多數記憶單元，其係互相並聯連接而利用磁阻效應記憶資料者；

位元線，其係連接於前述多數記憶單元之一端，並向第一方向延伸者；

第一及第二寫入位元線驅動器/消能器，其係將寫入電流供應至前述位元線或由前述位元線吸收前述寫入

電流者；

第一開關，其係連接於前述位元線之一端與前述第一寫入位元線驅動器/消能器之間者；

第二開關，其係連接於前述位元線之他端與前述第二寫入位元線驅動器/消能器之間者；

讀取電路，其係將讀取電流供應至前述位元線者；及

多數寫入字元線，其係向與前述第一方向成直交之第二方向延伸者。

21.如申請專利範圍第20項之磁性隨機存取記憶體，其中：

前述多數記憶單元之他端係直接連接於接地端子者。

22.如申請專利範圍第20項之磁性隨機存取記憶體，進一步包含：

第三開關，其係連接於前述多數記憶單元之他端與接地端子之間者；及讀取字元線，其係連接於前述第三開關之控制端子，且向前述第二方向延伸者。

23.如申請專利範圍第22項之磁性隨機存取記憶體，其中：

前述多數記憶單元係構成1區塊，且記憶單元陣列之1行係包含多數區塊者。

24.如申請專利範圍第20項之磁性隨機存取記憶體，其中：

前述第一及第二開關係在寫入動作時及讀取動作時成為通電狀態者。

25.如申請專利範圍第22項之磁性隨機存取記憶體，其中：

前述第三開關係在讀取動作時成為通電狀態者。

26.一種磁性隨機存取記憶體，其係包含：

多數記憶單元，其係互相並聯連接而利用磁阻效應記憶資料者；

寫入位元線，其係配置於前述多數記憶單元之附近，並向第一方向延伸者；

第一及第二寫入位元線驅動器/消能器，其係將寫入電流供應至前述寫入位元線或由前述寫入位元線吸收前述寫入電流者；

第一開關，其係連接於前述寫入位元線之一端與前述第一寫入位元線驅動器/消能器之間者；

第二開關，其係連接於前述寫入位元線之他端與前述第二寫入位元線驅動器/消能器之間者；

讀取位元線，其係連接於前述多數記憶單元之一端，並向第一方向延伸者；

讀取電路，其係將讀取電流供應至前述讀取位元線者；

第三開關，其係連接於前述讀取位元線與前述讀取電路之間者；及

多數寫入字元線，其係向與前述第一方向成直交之第二方向延伸者。

27.如申請專利範圍第26項之磁性隨機存取記憶體，其中：

前述多數記憶單元係堆疊於半導體基板上者。

28.如申請專利範圍第26項之磁性隨機存取記憶體，其中：

前述多數記憶單元係配置於前述第一方向者。

29.如申請專利範圍第26項之磁性隨機存取記憶體，其中：

前述多數記憶單元之他端係直接連接於接地端子者。

30.如申請專利範圍第26項之磁性隨機存取記憶體，進一步包含：

第四開關，其係連接於前述多數記憶單元之他端與接地端子之間者；及讀取字元線，其係連接於前述第四開關之控制端子，且向前述第二方向延伸者。

31.如申請專利範圍第30項之磁性隨機存取記憶體，其中：

前述多數記憶單元係構成1區塊，且記憶單元陣列之1行係包含多數區塊者。

32.如申請專利範圍第26項之磁性隨機存取記憶體，其中：

前述第一及第二開關係在寫入動作時成為通電狀態者。

33.如申請專利範圍第26項之磁性隨機存取記憶體，其中：

前述第三開關係在讀取動作時成為通電狀態者。

34.如申請專利範圍第30項之磁性隨機存取記憶體，其中：

前述第三及第四開關係在讀取動作時成為通電狀態者。

35.一種磁性隨機存取記憶體，其係包含：

多數位元線，其係向第一方向延伸者；

多數寫入字元線，其係向與前述第一方向成直交之第二方向延伸者；

共通驅動線，其係向前述第二方向延伸者；

多數第一開關，其係連接於前述多數位元線之一端與前述共通驅動線之間者；

第一寫入位元線驅動器/消能器，其係連接於前述共

通驅動線，將寫入電流供應至前述多數位元線之一或由前述多數位元線之一吸收前述寫入電流者；

共通資料線，其係向前述第二方向延伸者；

多數第二開關，其係連接於前述多數位元線之他端與前述共通資料線之間者；

第二寫入位元線驅動器/消能器，其係連接於前述共通資料線，將前述寫入電流供應至前述多數位元線之一或由前述多數位元線之一吸收前述寫入電流者；及

讀取電路，其係連接於前述共通資料線，將讀取電流供應至前述多數位元線之一者。

36.如申請專利範圍第35項之磁性隨機存取記憶體，其中：

利用前述多數位元線之一構成1行者。

37.一種磁性隨機存取記憶體，其係包含：

多數寫入位元線，其係向第一方向延伸者；

多數寫入字元線，其係向與前述第一方向成直交之第二方向延伸者；

第一共通驅動線，其係向前述第二方向延伸者；

多數第一開關，其係連接於前述多數寫入位元線之一端與前述第一共通驅動線之間者；

第一寫入位元線驅動器/消能器，其係連接於前述第一共通驅動線，將寫入電流供應至前述多數寫入位元線之一或由前述多數寫入位元線之一吸收前述寫入電流者；

第二共通驅動線，其係向前述第二方向延伸者；

多數第二開關，其係連接於前述多數寫入位元線之他端與前述第二共通驅動線之間者；

第二寫入位元線驅動器/消能器，其係連接於前述第二共通驅動線，將前述寫入電流供應至前述多數寫入位元線之一或由前述多數寫入位元線之一吸收前述寫入電流者；

多數讀取位元線，其係向前述第一方向延伸者；

共通資料線，其係向前述第二方向延伸者；

多數第三開關，其係連接於前述多數讀取位元線與前述共通資料線之間者；及

讀取電路，其係連接於前述共通資料線，將讀取電流供應至前述多數讀取位元線之一者。

38.如申請專利範圍第37項之磁性隨機存取記憶體，其中：

利用前述多數寫入位元線之一構成1行者。

39.如申請專利範圍第37項之磁性隨機存取記憶體，其中：

利用前述多數寫入位元線之二或其以上構成1行者。

40.一種磁性隨機存取記憶體，其係包含：

記憶單元，其係利用磁阻效應記憶資料者；

電流源，其係將讀取電流供應至前述記憶單元者；

記憶電路，其係記憶前述讀取電流或與前述讀取電流成正比之電流者；及

檢知放大器，其係依據前述讀取電流或與前述讀取電流成正比之電流與記憶於前述記憶電路之電流，判斷前述記憶單元之資料者。

41.如申請專利範圍第40項之磁性隨機存取記憶體，其中：

前述檢知放大器係依據前述讀取電流或與前述讀取電流成正比之電流與記憶於前述記憶電路之電流之差，判斷前述記憶單元之資料者。

42.如申請專利範圍第40項之磁性隨機存取記憶體，其中：

前述檢知放大器係包含：

第一差動放大器，其係輸入依據前述讀取電流或與前述讀取電流成正比之電流之第一輸入電位與依據記憶於前述記憶電路之電流之第二輸入電位者；

第二差動放大器，其係輸入對應於前述第一輸入電位之前述第一差動放大器之第一輸出電位與第一基準電位者；

第三差動放大器，其係輸入對應於前述第二輸入電位之第一差動放大器之第二輸出電位與第二基準電位者；及

邏輯電路，其係依據前述第二差動放大器之第三輸出電位與前述第三差動放大器之第四輸出電位，判斷前述記憶單元之資料者。

43.如申請專利範圍第42項之磁性隨機存取記憶體，其中：

在前述第一差動放大器之2個輸出端子之間連接電阻元件者。

44.如申請專利範圍第42項之磁性隨機存取記憶體，其中：

在前述第一差動放大器之2個輸出端子之間連接空乏型通道MOS電晶體者。

45.如申請專利範圍第40項之磁性隨機存取記憶體，其中：

前述記憶電路係記憶前述讀取電流，以作為類比資料者。

46.如申請專利範圍第45項之磁性隨機存取記憶體，其中：

前述記憶電路係包含使用差動放大器之反饋電路，前述讀取電流係被記憶於前述反饋電路者。

47.如申請專利範圍第45項之磁性隨機存取記憶體，其中：

前述記憶電路係包含使用電流鏡電路之反饋電路，前述讀取電流係被記憶於前述反饋電路者。

48.如申請專利範圍第45項之磁性隨機存取記憶體，其中：

前述記憶電路係包含電容器，前述讀取電流係被記憶於前述電容器，以作為電壓值者。

49.如申請專利範圍第40項之磁性隨機存取記憶體，其中：

前述記憶電路係記憶前述讀取電流，以作為數位資料者。

50.如申請專利範圍第49項之磁性隨機存取記憶體，其中：

前述記憶電路係包含計數器，前述讀取電流係被記憶作為前述計數器之計數值者。

51.一種磁性隨機存取記憶體，其係包含：

記憶單元，其係利用磁阻效應記憶資料者；

電流源，其係將讀取電流供應至前述記憶單元者；

電感元件，其係檢出前述讀取電流或與前述讀取電流成正比之電流對時間之變化量者；及

檢知放大器，其係依據前述電感元件之兩端之電位，

判斷前述記憶單元之資料者。

52.如申請專利範圍第51項之磁性隨機存取記憶體，其中：

前述電感元件係由半導體基板上之金屬薄膜所構成者。

53.如申請專利範圍第51項之磁性隨機存取記憶體，其中：

前述檢知放大器係依據前述電感元件之兩端之電位差，判斷前述記憶單元之資料者。

54.如申請專利範圍第51項之磁性隨機存取記憶體，其中：

前述檢知放大器係包含：

第一差動放大器，其係輸入前述電感元件之一端之第一輸入電位與其他端之第二輸入電位者；

第二差動放大器，其係輸入對應於前述第一輸入電位之前述第一差動放大器之第一輸出電位與第一基準電位者；

第三差動放大器，其係輸入對應於前述第二輸入電位之前述第一差動放大器之第二輸出電位與第二基準電位者；及

邏輯電路，其係依據前述第二差動放大器之第三輸出電位與前述第三差動放大器之第四輸出電位，判斷前述記憶單元之資料者。

55.如申請專利範圍第54項之磁性隨機存取記憶體，其中：

在前述第一差動放大器之2個輸出端子之間連接電阻元件者。

56.如申請專利範圍第54項之磁性隨機存取記憶體，其中：

在前述第一差動放大器之2個輸出端子之間連接空乏型通道MOS電晶體者。

57.如申請專利範圍第40項之磁性隨機存取記憶體，進一步包含：

箝位電路，其係設定前述記憶單元與前述電流源之間之節點之電位者。

58.如申請專利範圍第51項之磁性隨機存取記憶體，進一步包含：

箝位電路，其係設定前述記憶單元與前述電流源之間之節點之電位者。

59.如申請專利範圍第40項之磁性隨機存取記憶體，進一步包含：

電流鏡電路，其係將前述讀取電流或與前述讀取電流成正比之電流引導至前述記憶電路者。

60.如申請專利範圍第51項之磁性隨機存取記憶體，進一步包含：

電流鏡電路，其係將前述讀取電流或與前述讀取電流成正比之電流引導至前述記憶電路者。

61.如申請專利範圍第40項之磁性隨機存取記憶體，進一步包含：

附加電流產生部，其係將附加電流供應至前述記憶單元，且使前述附加電流附加在前述讀取電流後之電流流通至前述記憶單元者。

62.如申請專利範圍第61項之磁性隨機存取記憶體，其中：

前述附加電流產生部係包含與前述記憶單元相同之構造之元件者。

63.如申請專利範圍第51項之磁性隨機存取記憶體，進一步包含：

附加電流產生部，其係將附加電流供應至前述記憶單元，且使前述附加電流附加在前述讀取電流後之電流流通至前述記憶單元者。

64.如申請專利範圍第63項之磁性隨機存取記憶體，其中：

前述附加電流產生部係包含與前述記憶單元相同之構造之元件者。

65.如申請專利範圍第40項之磁性隨機存取記憶體，其中：

前述記憶單元係互相並聯連接之多數記憶單元中之一者。

66.如申請專利範圍第65項之磁性隨機存取記憶體，其中：

前述讀取電流係流至前述多數記憶單元者。

67.如申請專利範圍第66項之磁性隨機存取記憶體，其中：

前述多數記憶單元係構成記憶單元陣列之1行者。

68.如申請專利範圍第66項之磁性隨機存取記憶體，其中：

前述多數記憶單元係構成記憶單元陣列之1行內之1區塊者。

69.如申請專利範圍第51項之磁性隨機存取記憶體，其中：

前述記憶單元係互相並聯連接之多數記憶單元中之一者。

70.如申請專利範圍第69項之磁性隨機存取記憶體，其中：

前述讀取電流係流至前述多數記憶單元者。

71.如申請專利範圍第70項之磁性隨機存取記憶體，其中：

前述多數記憶單元係構成記憶單元陣列之1行者。

72.如申請專利範圍第70項之磁性隨機存取記憶體，其中：

前述多數記憶單元係構成記憶單元陣列之1行內之1區塊者。

拾壹、圖式

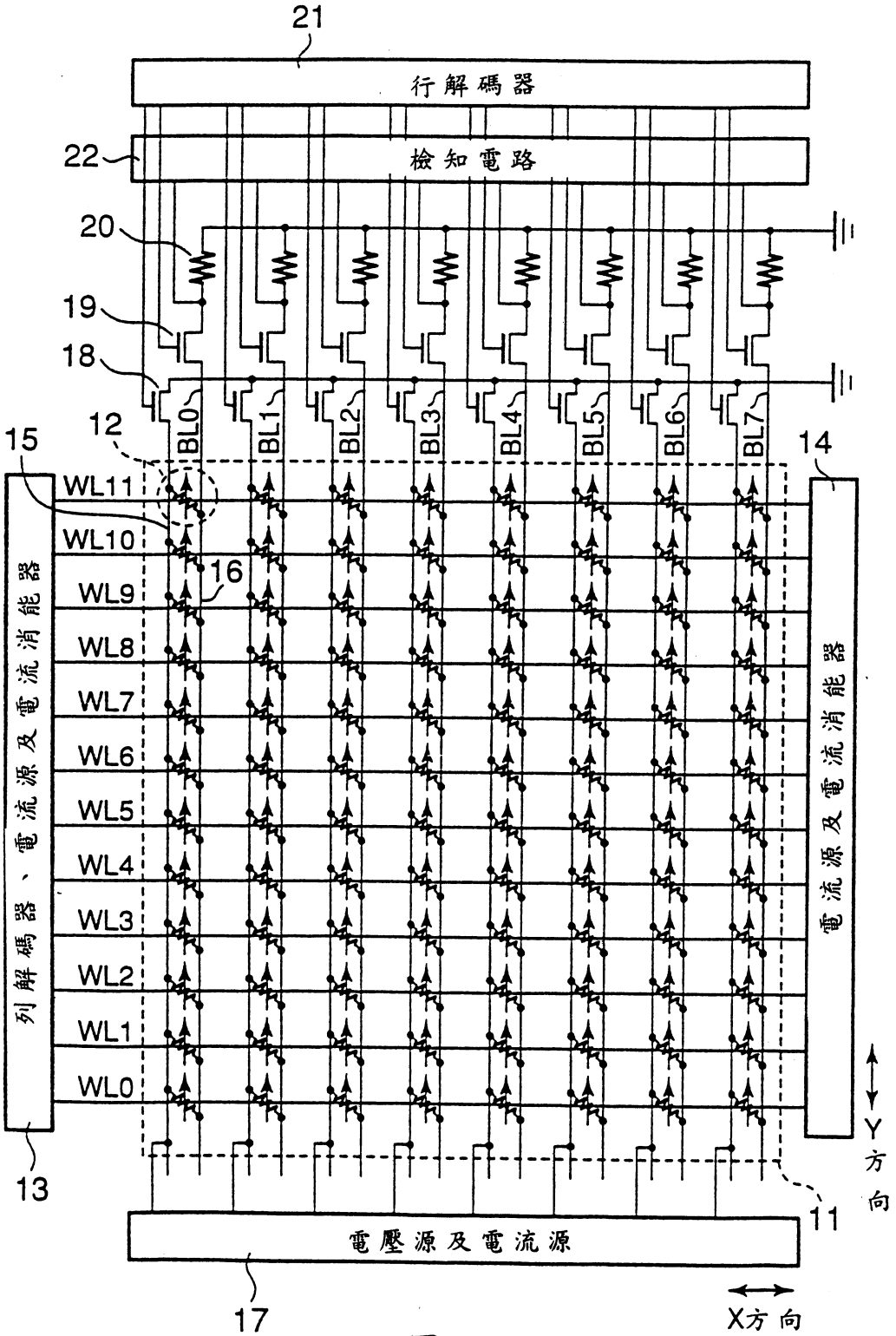
21
行解碼器
22
檢知電路
20
19
18
12
15
14
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
WL11
WL10
WL9
WL8
WL7
WL6
WL5
WL4
WL3
WL2
WL1
WL0
16
列解碼器、電流源及電流消能器
電流源及電流消能器
13
11
電壓源及電流源
17
Y方向
X方向

圖 1

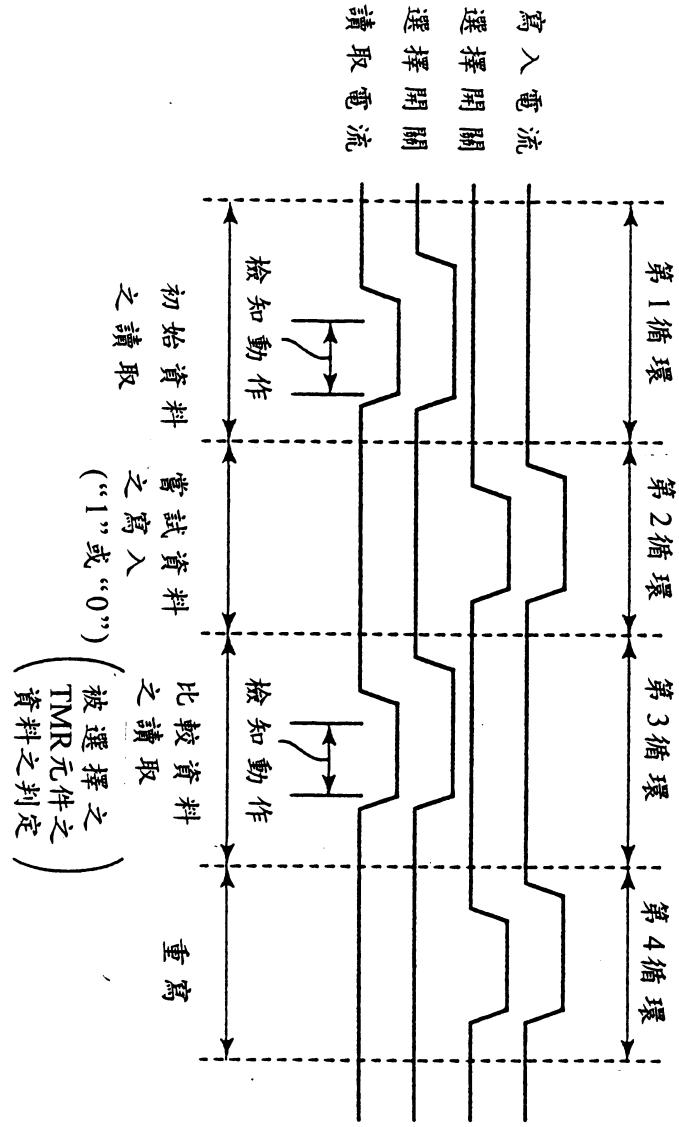
寫入電流
寫入選擇開關
讀取選擇開關
讀取電流
第1循環
第2循環
第3循環
第4循環
檢知動作
檢知動作
初始資料之讀取
嘗試資料之寫入
("1"或"0")
比較資料之讀取
(被選擇之TMR元件之資料之判定)
重寫

圖 2

圖式續頁

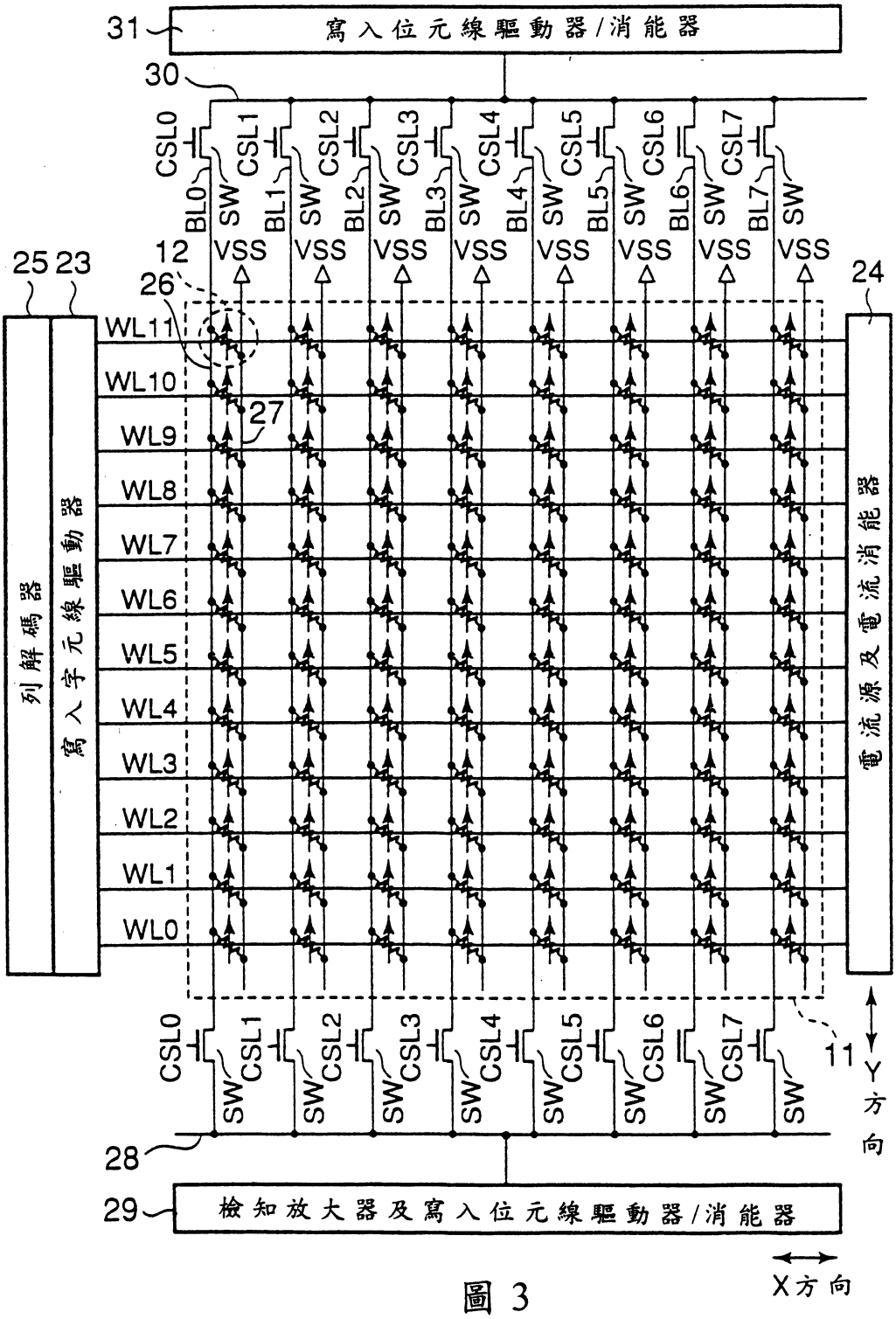
31
寫入位元線驅動器/消能器
30
CSL0
CSL1
CSL2
CSL3
CSL4
CSL5
CSL6
CSL7
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
SW
12
VSS
25
23
26
24
WL11
WL10
27
WL9
WL8
WL7
WL6
WL5
WL4
WL3
WL2
WL1
WL0
列解碼器
寫入字元線驅動器
電流源及電流消能器
11
Y方向
28
29
檢知放大器及寫入位元線驅動器/消能器
X方向

圖 3

圖式續頁

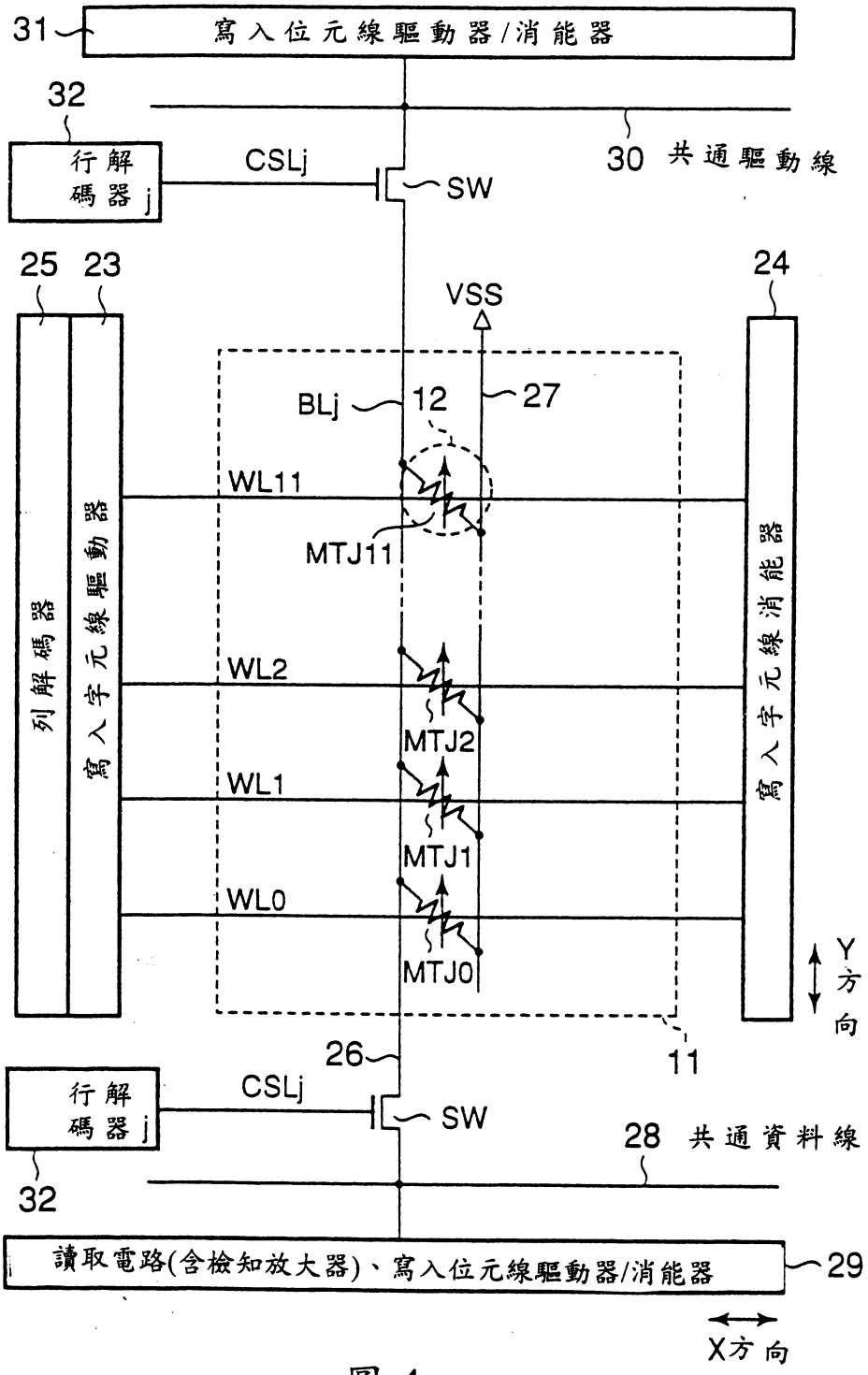
31
寫入位元線驅動器/消能器
32
行解碼器j
CSLj
SW
30 共通驅動線
25
23
24
VSS
BLj
12
27
WL11
MTJ11
WL2
MTJ2
WL1
MTJ1
WL0
MTJ0
列解碼器
寫入字元線驅動器
寫入字元線消能器
Y方向
26
11
行解碼器j
CSLj
SW
28 共通資料線
32
讀取電路(含檢知放大器)、寫入位元線驅動器/消能器
29
X方向

圖 4

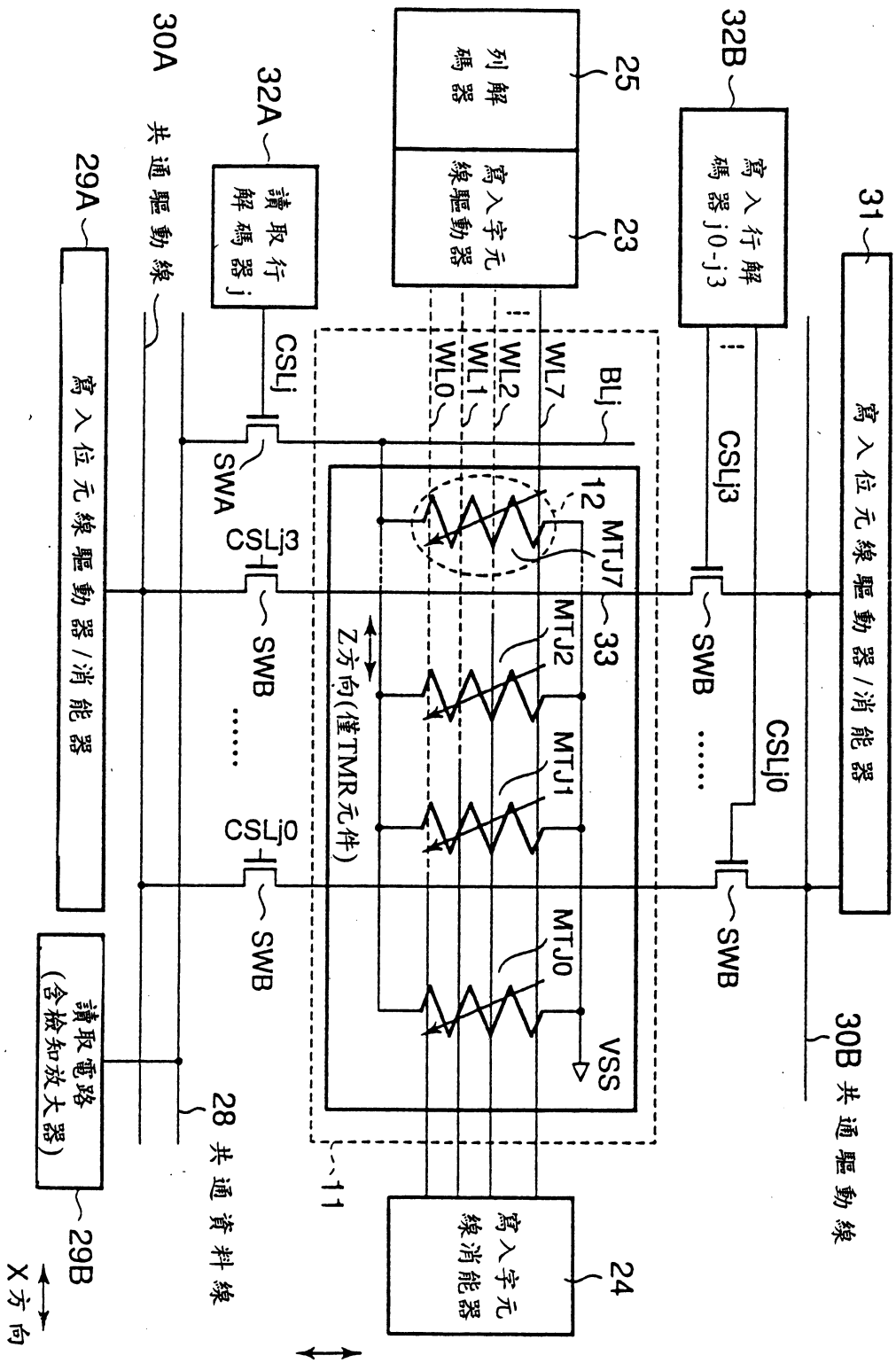
31
寫入位元線驅動器/消能器
32B
寫入行解碼器j0-j3
25
列解碼器
寫入字元線驅動器
23
32A
讀取行解碼器j
30A
共通驅動線
29A
寫入位元線驅動器/消能器
WL7
WL2
WL1
WL0
BLj
CSLj
SWA
CSLj3
SWB
CSLj0
12
MTJ7
MTJ2
MTJ1
MTJ0
33
Z方向(僅TMR元件)
VSS
11
24
寫入字元線消能器
30B 共通驅動線
28 共通資料線
29B
讀取電路(含檢知放大器)
X方向
Y方向

圖 5

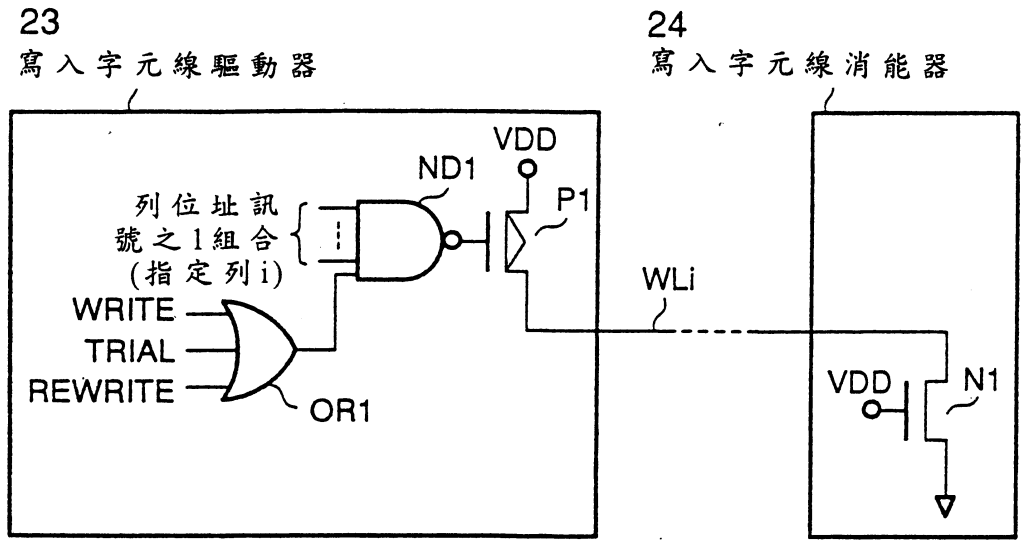
23
寫入字元線驅動器
24
寫入字元線消能器
VDD
ND1
P1
列位址訊
號之1組合
(指定列i)
WRITE
TRIAL
REWRITE
OR1
WLi
VDD
N1

圖 6

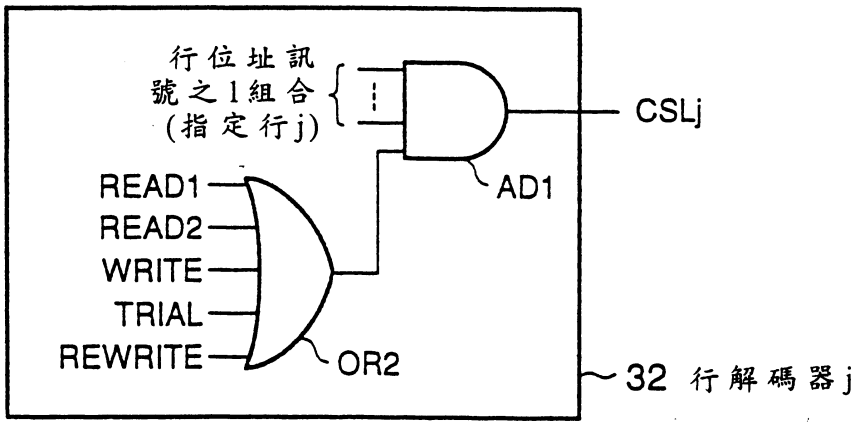
行位址訊
號之1組合
(指定行j)
CSLj
AD1
READ1
READ2
WRITE
TRIAL
REWRITE
OR2
32 行解碼器j

圖 7

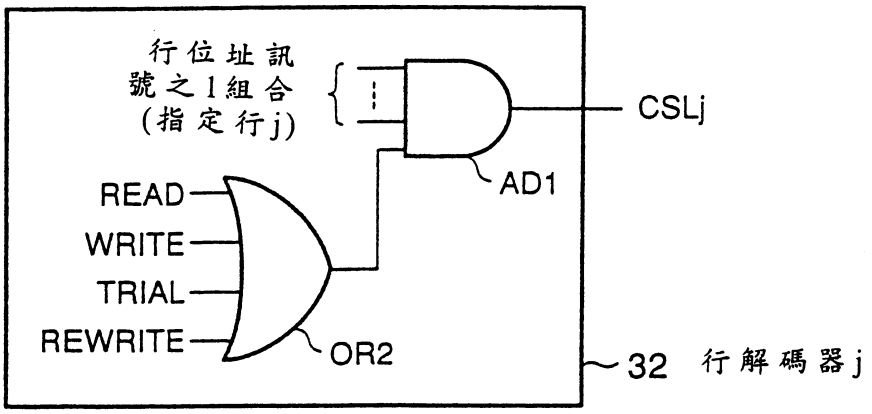
行位址訊
號之1組合
(指定行j)
CSLj
AD1
READ
WRITE
TRIAL
REWRITE
OR2
32 行解碼器j

圖 8

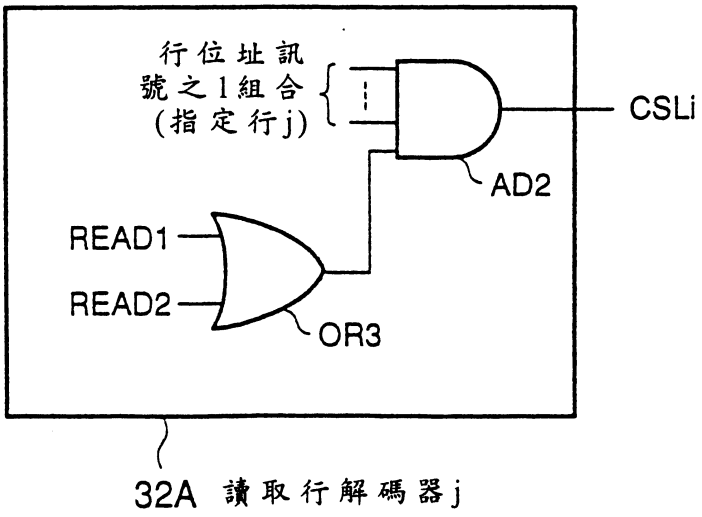
行位址訊
號之1組合
(指定行j)
CSLi
AD2
READ1
READ2
OR3
32A 讀取行解碼器j

圖 9

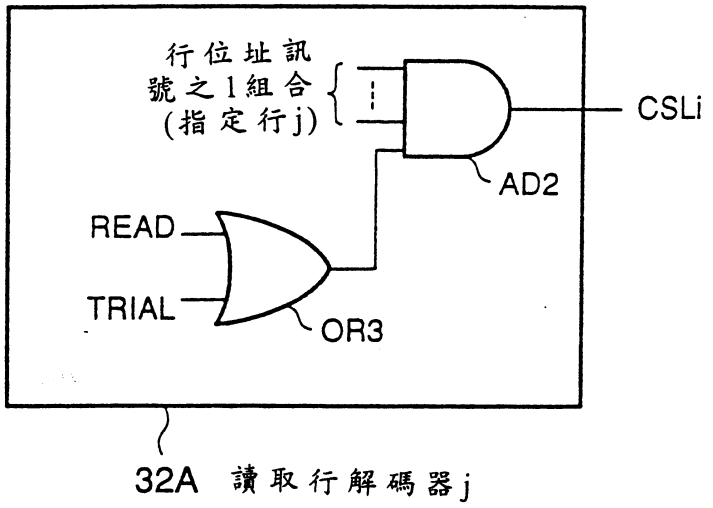
行位址訊
號之1組合
(指定行j)
CSLi
AD2
READ
TRIAL
OR3
32A 讀取行解碼器j

圖 10

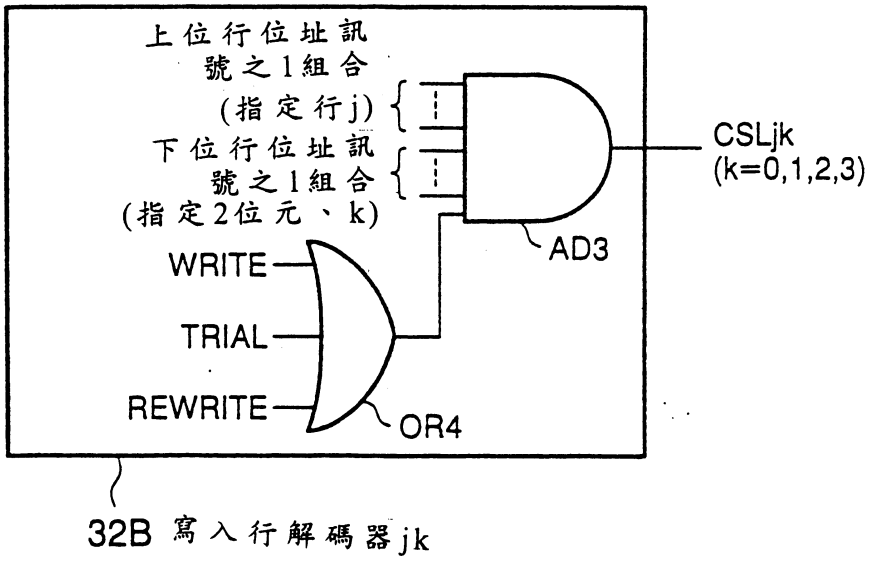
上位行位址訊
號之1組合
(指定行j)
下位行位址訊
號之1組合
(指定2位元、k)
CSLjk
(k=0,1,2,3)
AD3
WRITE
TRIAL
REWRITE
OR4
32B 寫入行解碼器jk

圖 11

圖式續頁

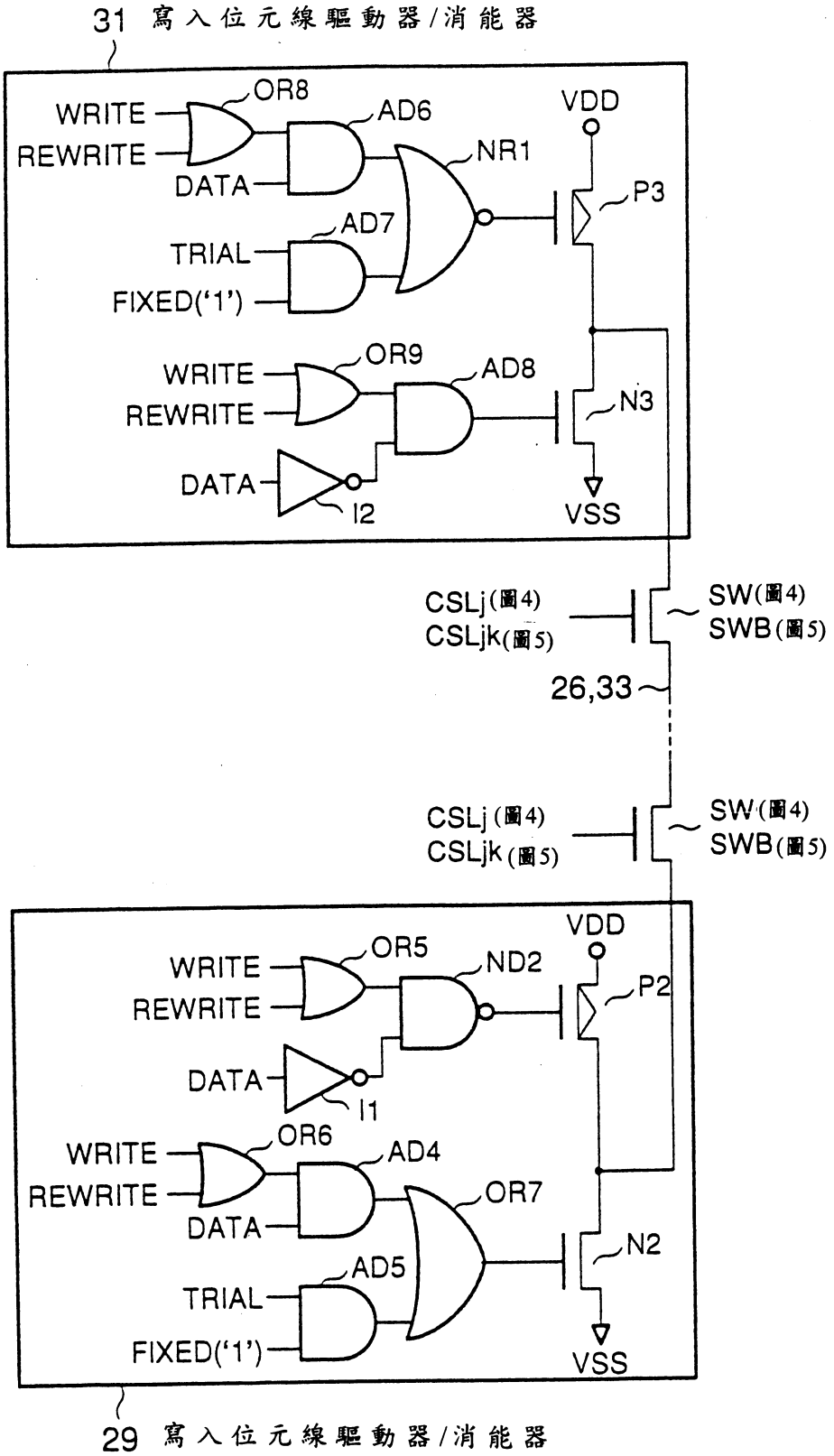
31 寫入位元線驅動器/消能器
WRITE
REWRITE
DATA
OR8
AD6
NR1
VDD
P3
TRIAL
FIXED('1')
AD7
WRITE
REWRITE
DATA
OR9
AD8
N3
I2
VSS
CSLj(圖4)
CSLjk(圖5)
SW(圖4)
SWB(圖5)
26,33
CSLj (圖4)
CSLjk (圖5)
SW (圖4)
SWB (圖5)
VDD
WRITE
REWRITE
DATA
OR5
ND2
P2
I1
WRITE
REWRITE
DATA
OR6
AD4
OR7
N2
TRIAL
FIXED('1')
AD5
VSS
29 寫入位元線驅動器/消能器

圖 12

圖式續頁

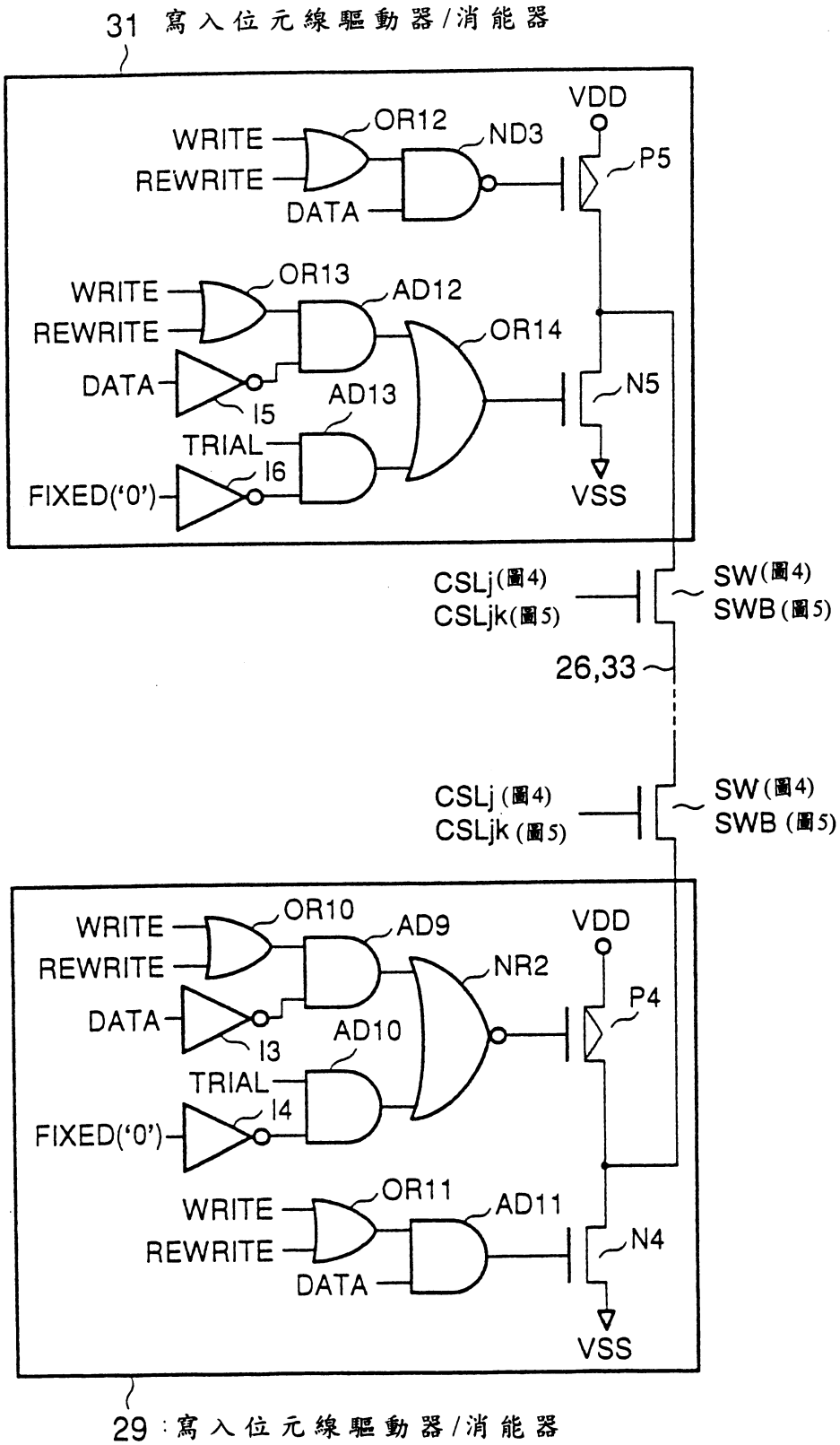
31 寫入位元線驅動器/消能器
VDD
WRITE
REWRITE
DATA
OR12
ND3
P5
WRITE
REWRITE
DATA
OR13
AD12
OR14
I5
AD13
TRIAL
I6
FIXED('0')
N5
VSS
CSLj(圖4)
CSLjk(圖5)
SW(圖4)
SWB(圖5)
26,33
CSLj (圖4)
CSLjk (圖5)
SW (圖4)
SWB (圖5)
WRITE
REWRITE
DATA
OR10
AD9
VDD
NR2
P4
I3
AD10
TRIAL
FIXED('0')
I4
WRITE
REWRITE
DATA
OR11
AD11
N4
VSS
29：寫入位元線驅動器/消能器

圖 13

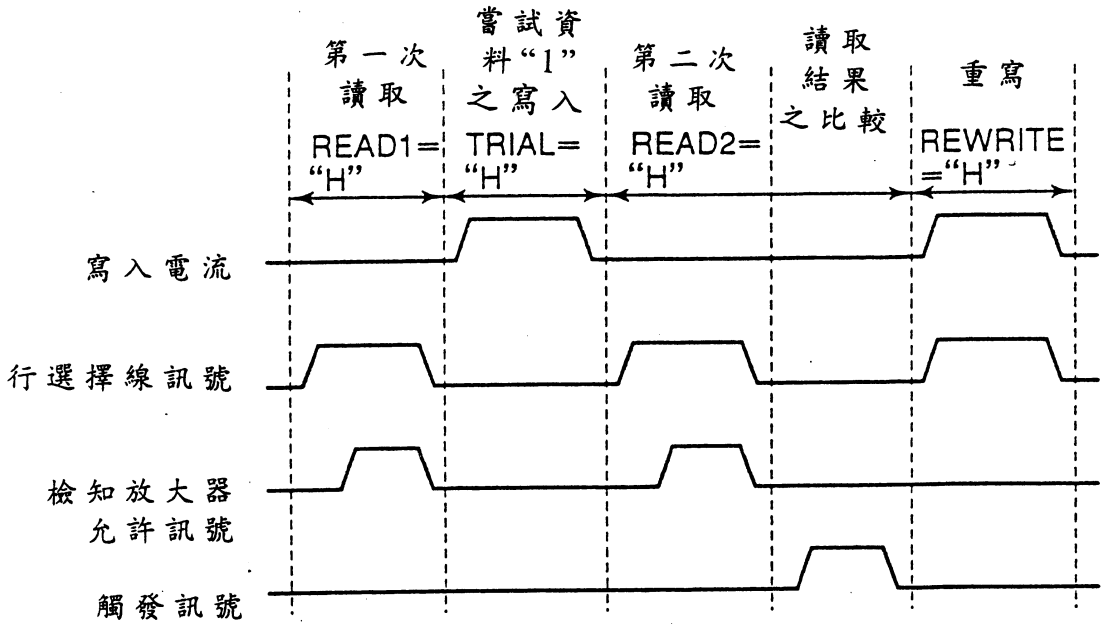
第一次讀取
READ1="H"
嘗試資料"1"之寫入
TRIAL="H"
第二次讀取
READ2="H"
讀取結果之比較
重寫
REWRITE="H"
寫入電流
行選擇線訊號
檢知放大器允許訊號
觸發訊號

圖 14

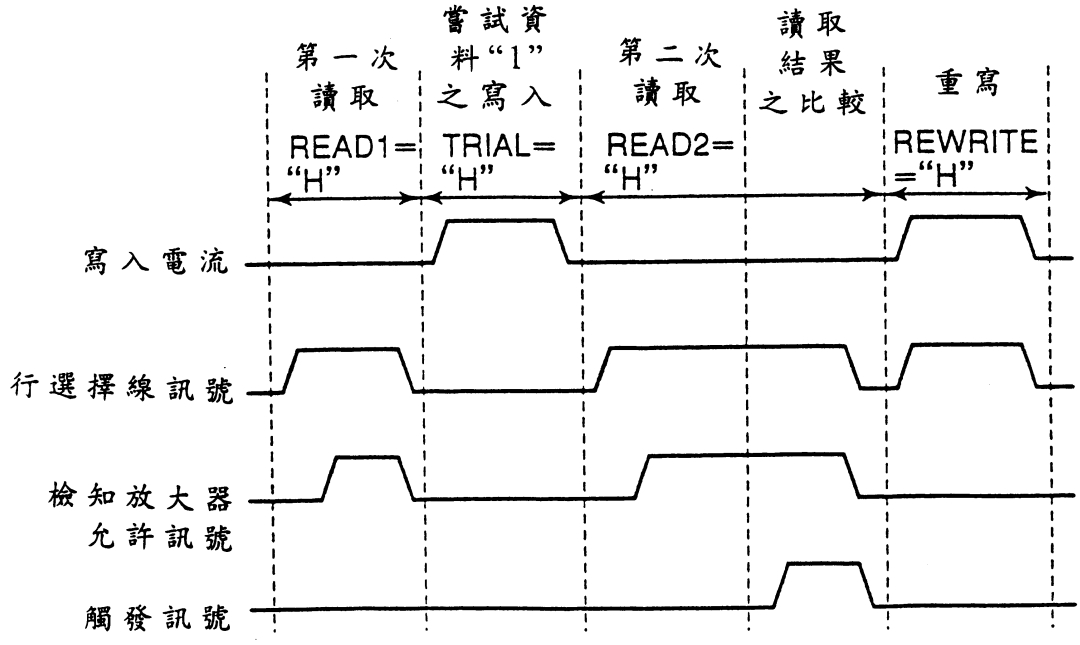
第一次讀取
READ1="H"
嘗試資料"1"之寫入
TRIAL="H"
第二次讀取
READ2="H"
讀取結果之比較
重寫
REWRITE="H"
寫入電流
行選擇線訊號
檢知放大器允許訊號
觸發訊號

圖 15

圖式續頁

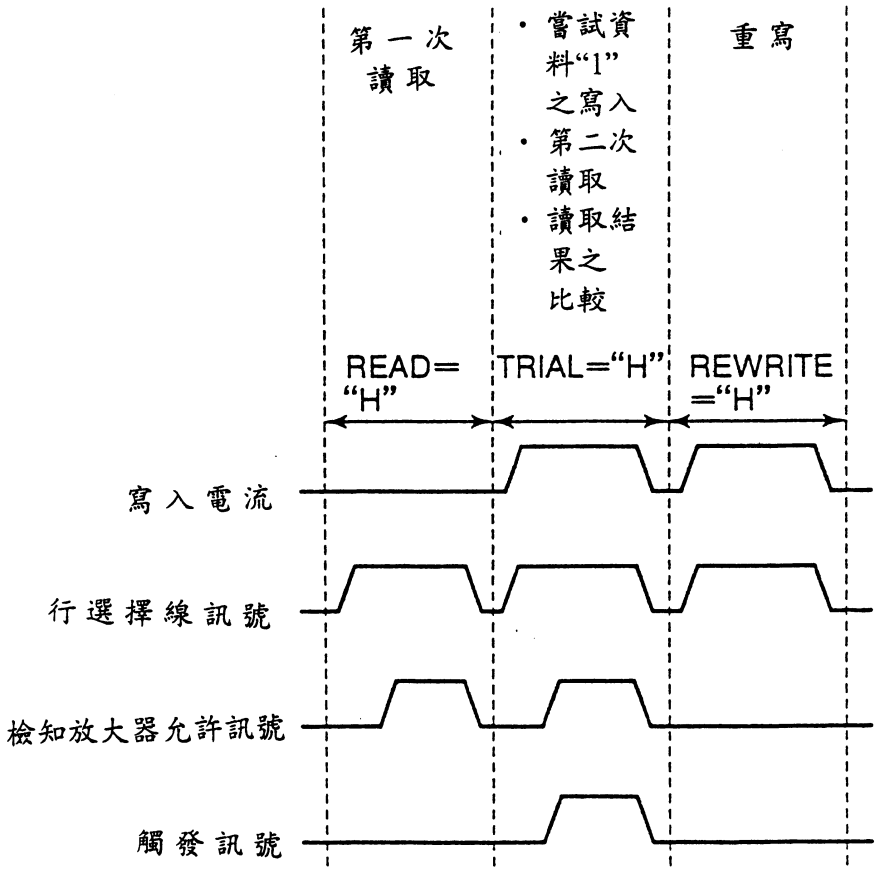
第一次讀取
・嘗試資料"1"之寫入
・第二次讀取
・讀取結果之比較
重寫
READ="H"
TRIAL="H"
REWRITE="H"
寫入電流
行選擇線訊號
檢知放大器允許訊號
觸發訊號

圖 16

圖式續頁

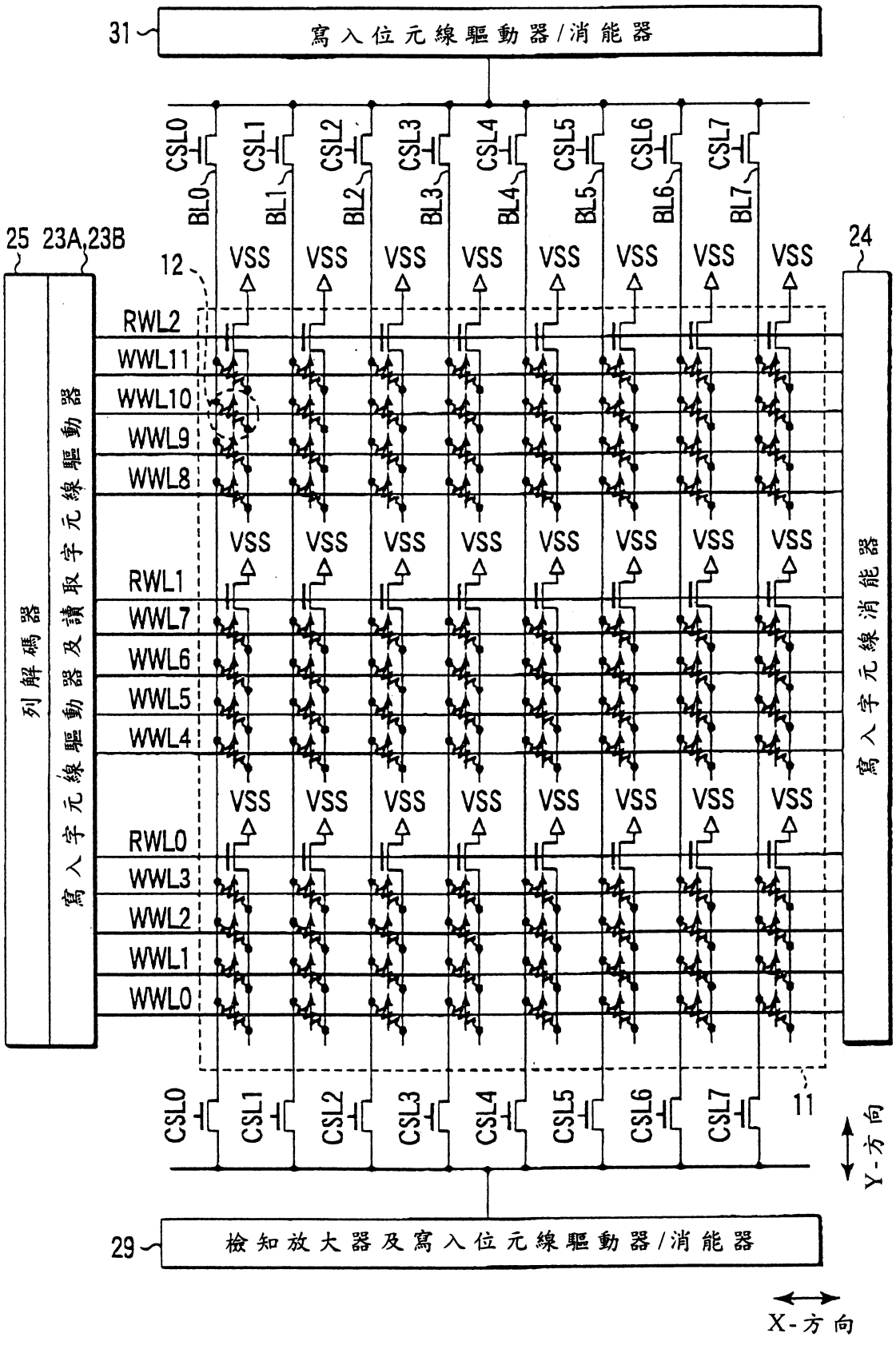
31
寫入位元線驅動器/消能器
CSL0
CSL1
CSL2
CSL3
CSL4
CSL5
CSL6
CSL7
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
25
23A,23B
12
24
VSS
RWL2
WWL11
WWL10
WWL9
WWL8
RWL1
WWL7
WWL6
WWL5
WWL4
RWL0
WWL3
WWL2
WWL1
WWL0
列解碼器
寫入字元線驅動器及讀取字元線驅動器
寫入字元線消能器
11
Y-方向
29
檢知放大器及寫入位元線驅動器/消能器
X-方向

圖 17

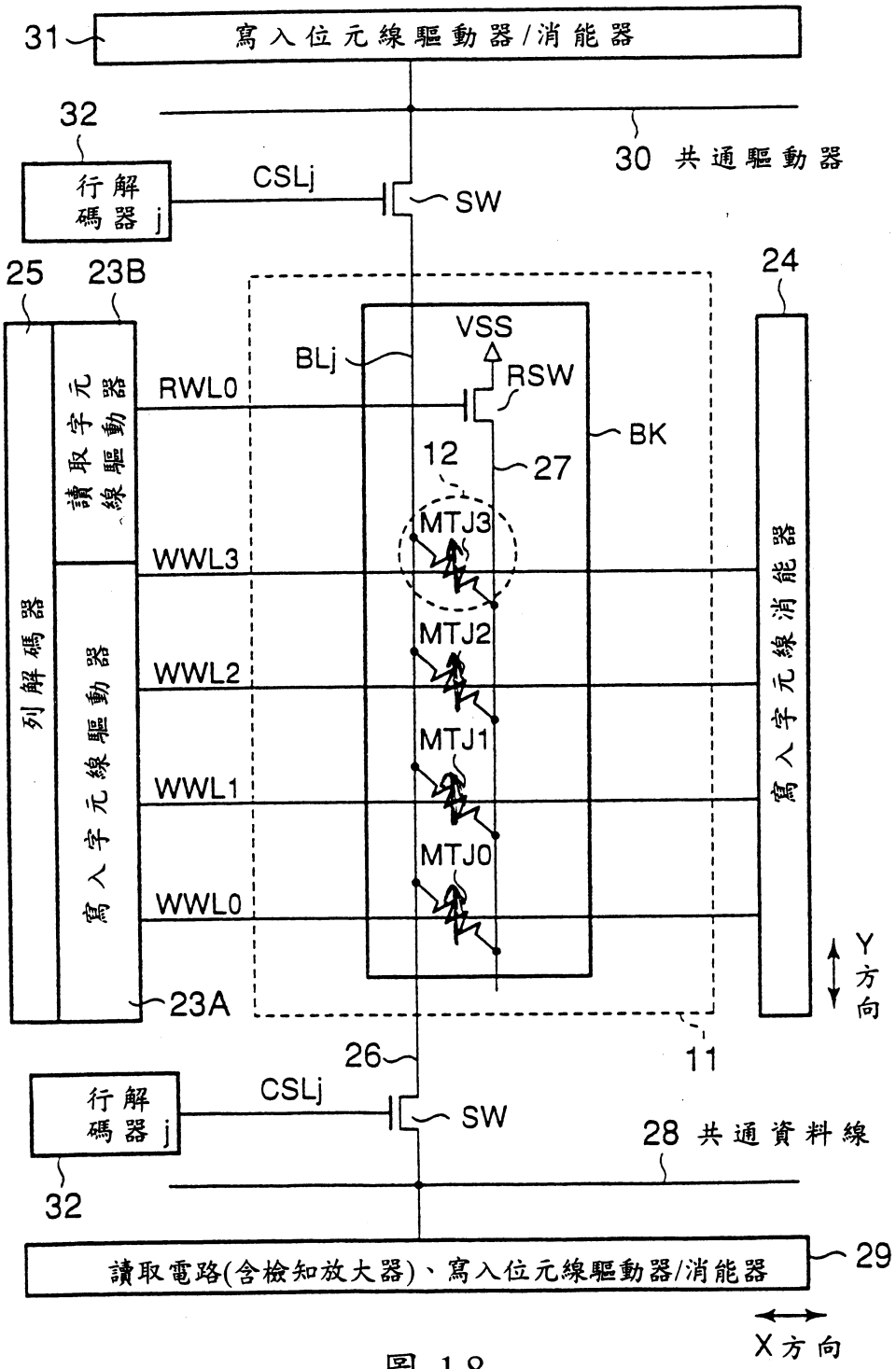
31
寫入位元線驅動器/消能器
32
30 共通驅動器
行解碼器 j
CSLj
SW
25
23B
24
VSS
BLj
RSW
RWL0
讀取字元線驅動器
BK
12
27
MTJ3
WWL3
MTJ2
WWL2
MTJ1
WWL1
MTJ0
WWL0
列解碼器
寫入字元線驅動器
寫入字元線消能器
Y方向
23A
11
26
行解碼器 j
CSLj
SW
28 共通資料線
32
讀取電路(含檢知放大器)、寫入位元線驅動器/消能器
29
X方向

圖 18

圖式續頁

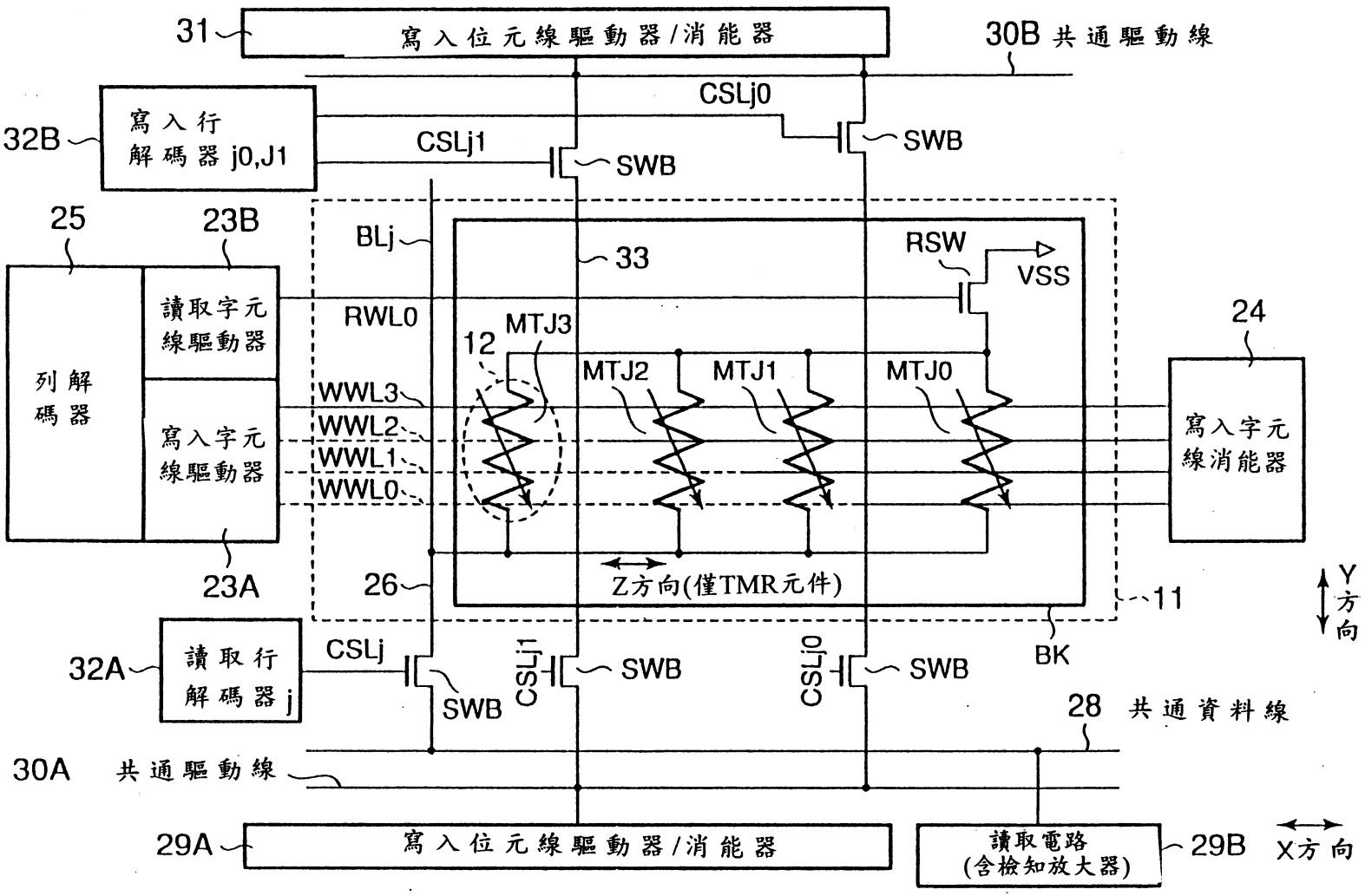
31
寫入位元線驅動器/消能器
30B 共通驅動線
32B
寫入行解碼器 j0,J1
CSLj0
CSLj1
SWB
SWB
25
23B
BLj
33
RSW
VSS
列解碼器
讀取字元線驅動器
RWL0
MTJ3
12
MTJ2
MTJ1
MTJ0
24
寫入字元線驅動器
WWL3
WWL2
WWL1
WWL0
寫入字元線消能器
23A
26
Z方向(僅TMR元件)
11
Y方向
32A
讀取行解碼器 j
CSLj
SWB
CSLj1
SWB
CSLj0
SWB
BK
28 共通資料線
30A 共通驅動線
29A
寫入位元線驅動器/消能器
讀取電路(含檢知放大器)
29B
X方向

圖 19

圖式續頁

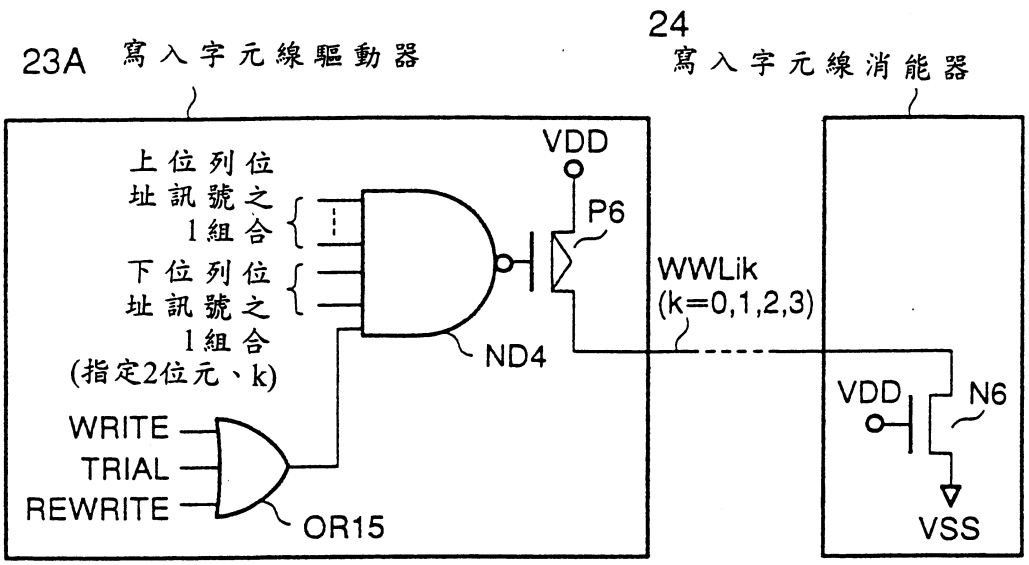
23A 寫入字元線驅動器
24
寫入字元線消能器
上位列位
址訊號之
1組合
下位列位
址訊號之
1組合
(指定2位元、k)
VDD
P6
WWLik
(k=0,1,2,3)
ND4
WRITE
TRIAL
REWRITE
OR15
VDD
N6
VSS

圖 20

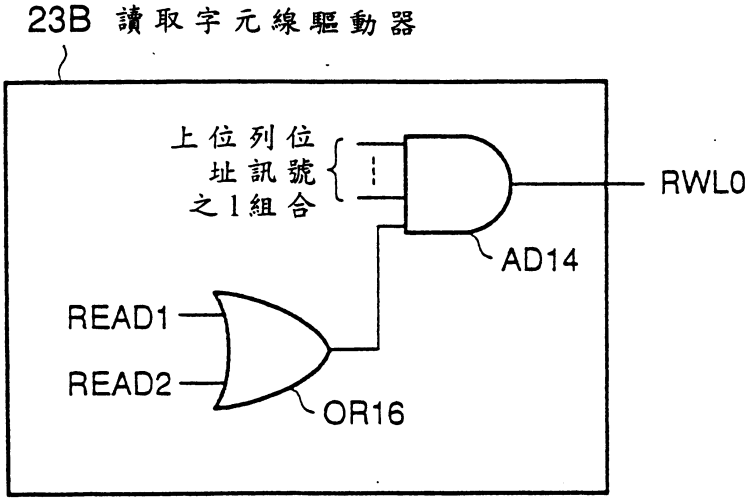
23B 讀取字元線驅動器
上位列位
址訊號
之1組合
RWL0
AD14
READ1
READ2
OR16

圖 21

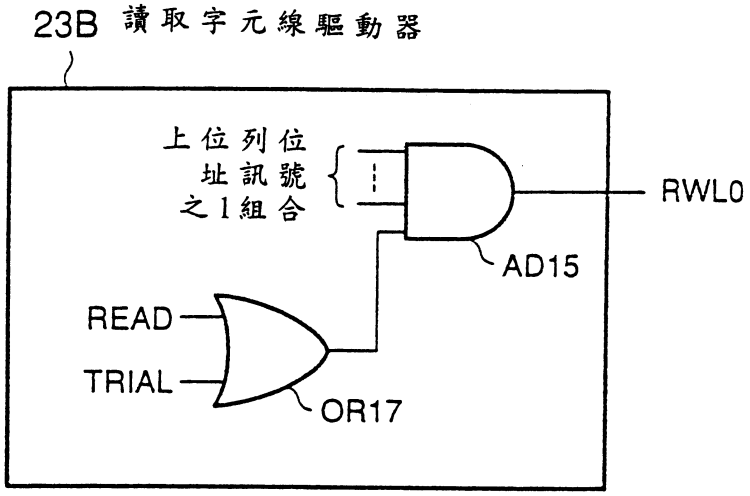
23B 讀取字元線驅動器
上位列位址訊號之1組合
RWL0
AD15
READ
TRIAL
OR17

圖 22

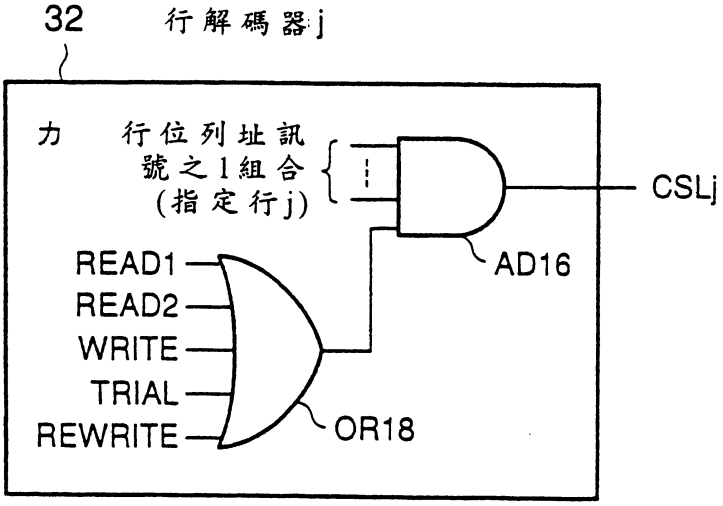
32 行解碼器j
力
行位列址訊號之1組合(指定行j)
CSLj
AD16
READ1
READ2
WRITE
TRIAL
REWRITE
OR18

圖 23

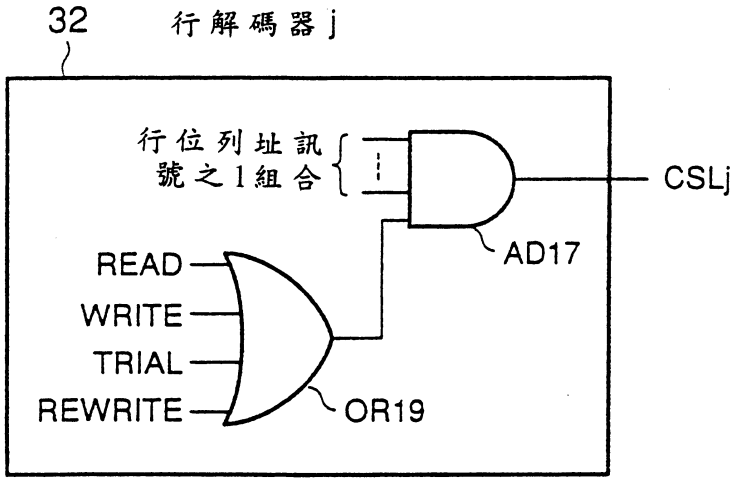
32
行解碼器j
行位列址訊號之1組合
CSLj
AD17
READ
WRITE
TRIAL
REWRITE
OR19

圖 24

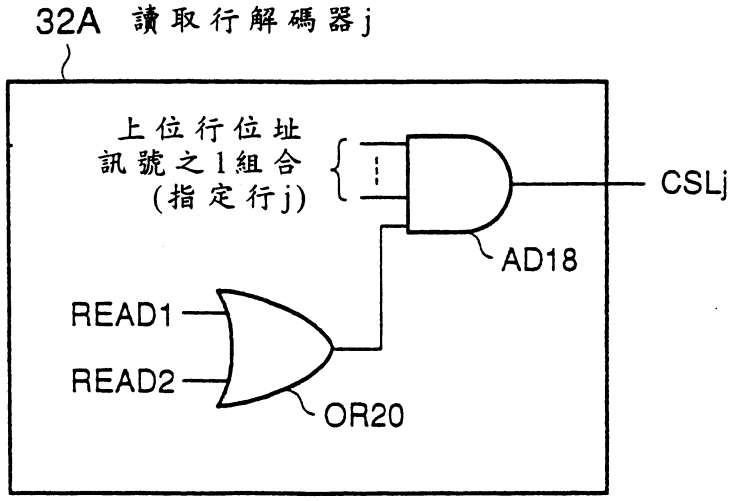
32A 讀取行解碼器j
上位行位址訊號之1組合(指定行j)
CSLj
AD18
READ1
READ2
OR20

圖 25

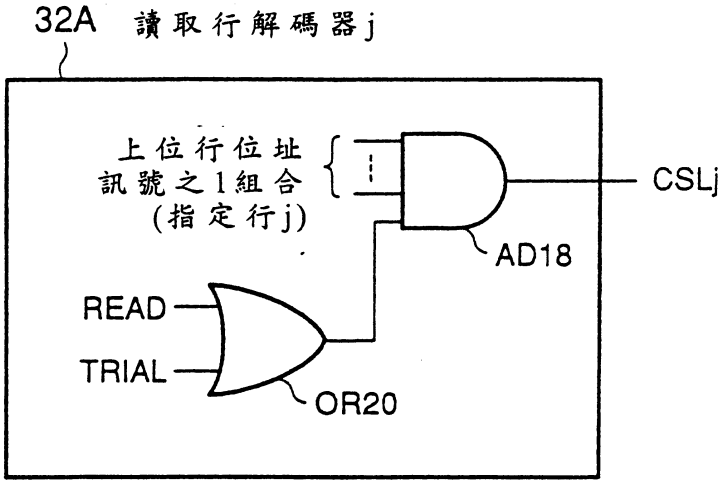
32A 讀取行解碼器j
上位行位址
訊號之1組合
(指定行j)
CSLj
AD18
READ
TRIAL
OR20

圖 26

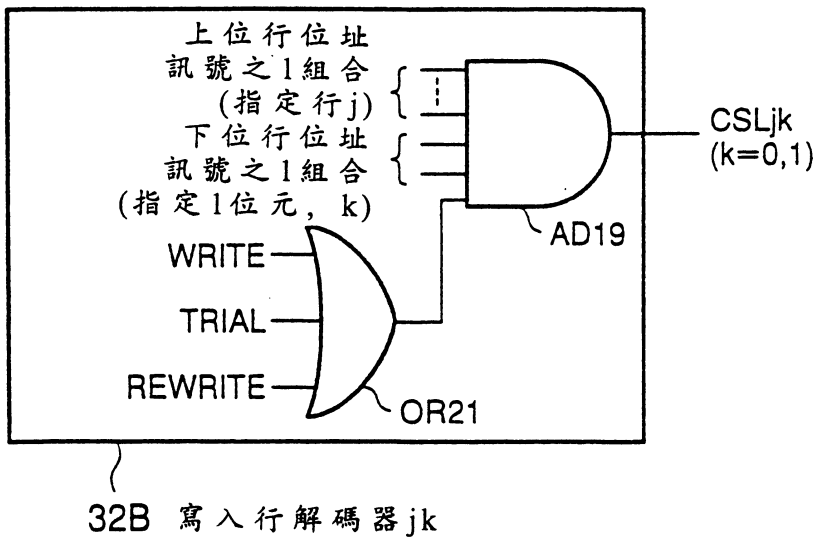
上位行位址
訊號之1組合
(指定行j)
下位行位址
訊號之1組合
(指定1位元, k)
CSLjk
(k=0,1)
AD19
WRITE
TRIAL
REWRITE
OR21
32B 寫入行解碼器jk

圖 27

圖式續頁

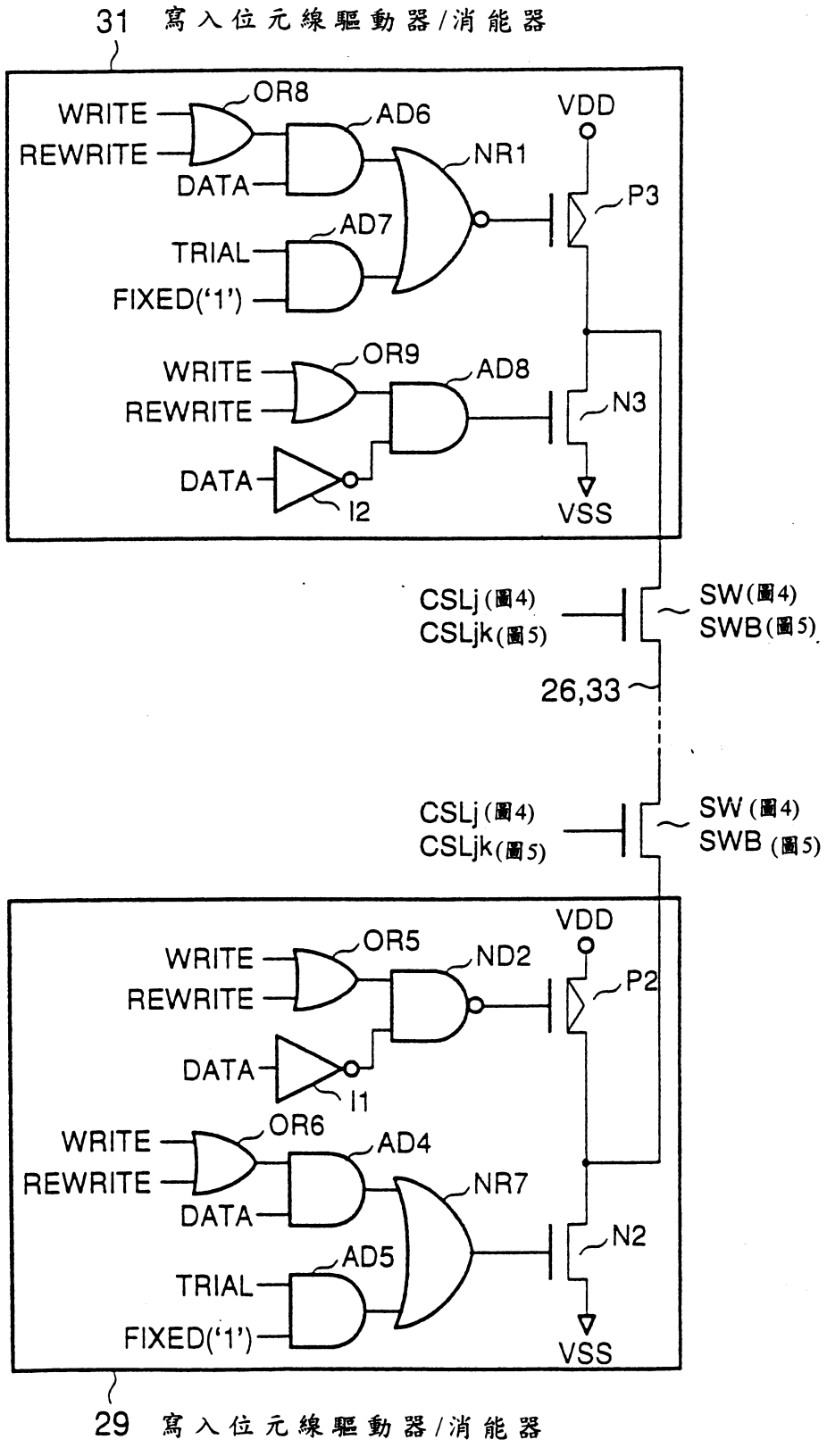
31 寫入位元線驅動器/消能器
WRITE
REWRITE
DATA
OR8
AD6
NR1
VDD
P3
TRIAL
FIXED('1')
AD7
WRITE
REWRITE
DATA
OR9
AD8
N3
I2
VSS
CSLj (圖4)
CSLjk (圖5)
SW (圖4)
SWB (圖5)
26,33
CSLj (圖4)
CSLjk (圖5)
SW (圖4)
SWB (圖5)
WRITE
REWRITE
DATA
OR5
ND2
VDD
P2
I1
WRITE
REWRITE
DATA
OR6
AD4
NR7
N2
TRIAL
FIXED('1')
AD5
VSS
29 寫入位元線驅動器/消能器

圖 28

圖式續頁

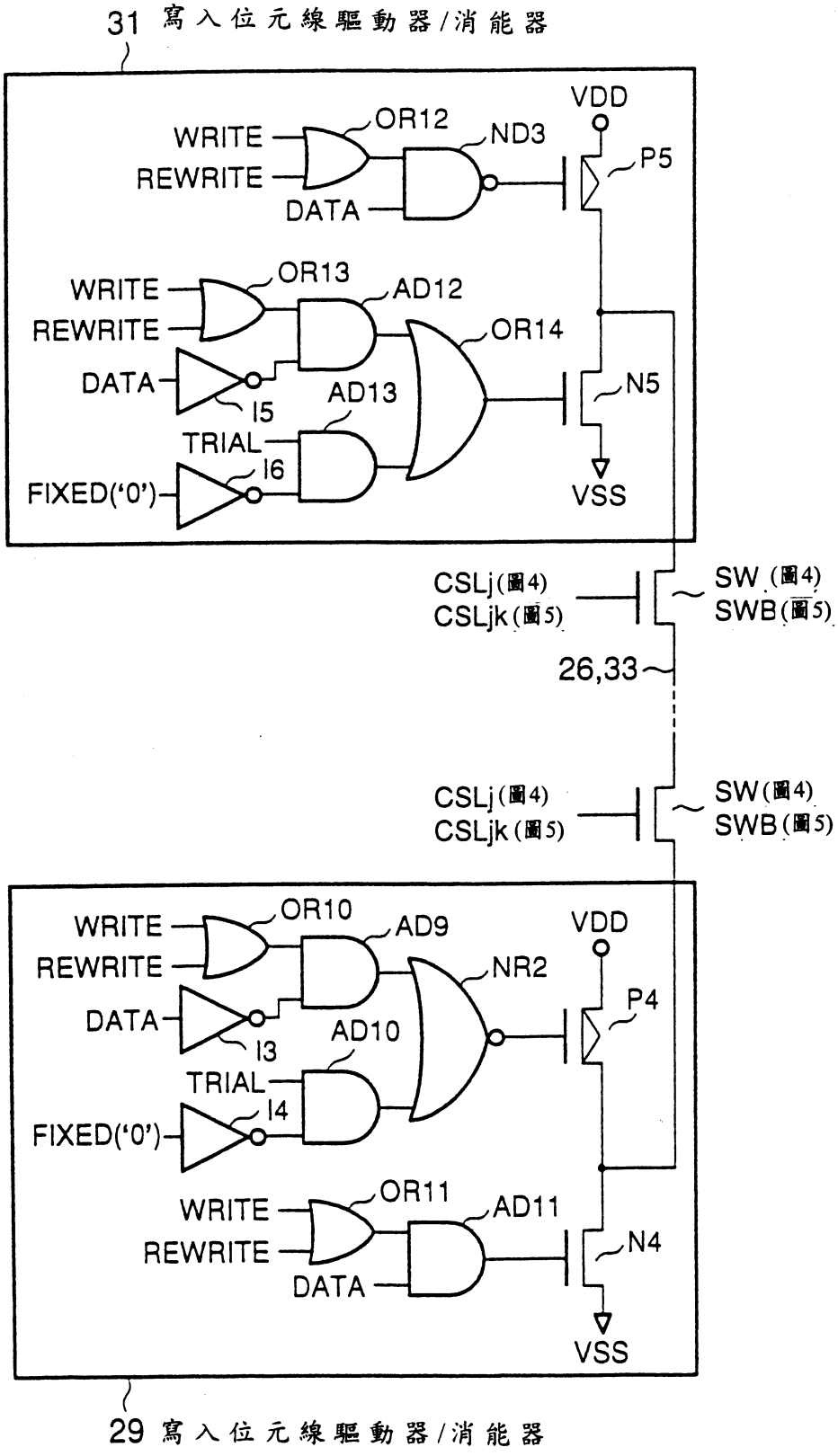
31 寫入位元線驅動器/消能器
WRITE
REWRITE
DATA
OR12
ND3
VDD
P5
WRITE
REWRITE
DATA
I5
OR13
AD12
AD13
OR14
N5
TRIAL
FIXED('0')
I6
VSS
CSLj(圖4)
CSLjk(圖5)
SW(圖4)
SWB(圖5)
26,33
CSLj(圖4)
CSLjk(圖5)
SW(圖4)
SWB(圖5)
WRITE
REWRITE
DATA
I3
OR10
AD9
AD10
NR2
VDD
P4
TRIAL
FIXED('0')
I4
WRITE
REWRITE
DATA
OR11
AD11
N4
VSS
29 寫入位元線驅動器/消能器

圖 29

圖式續頁

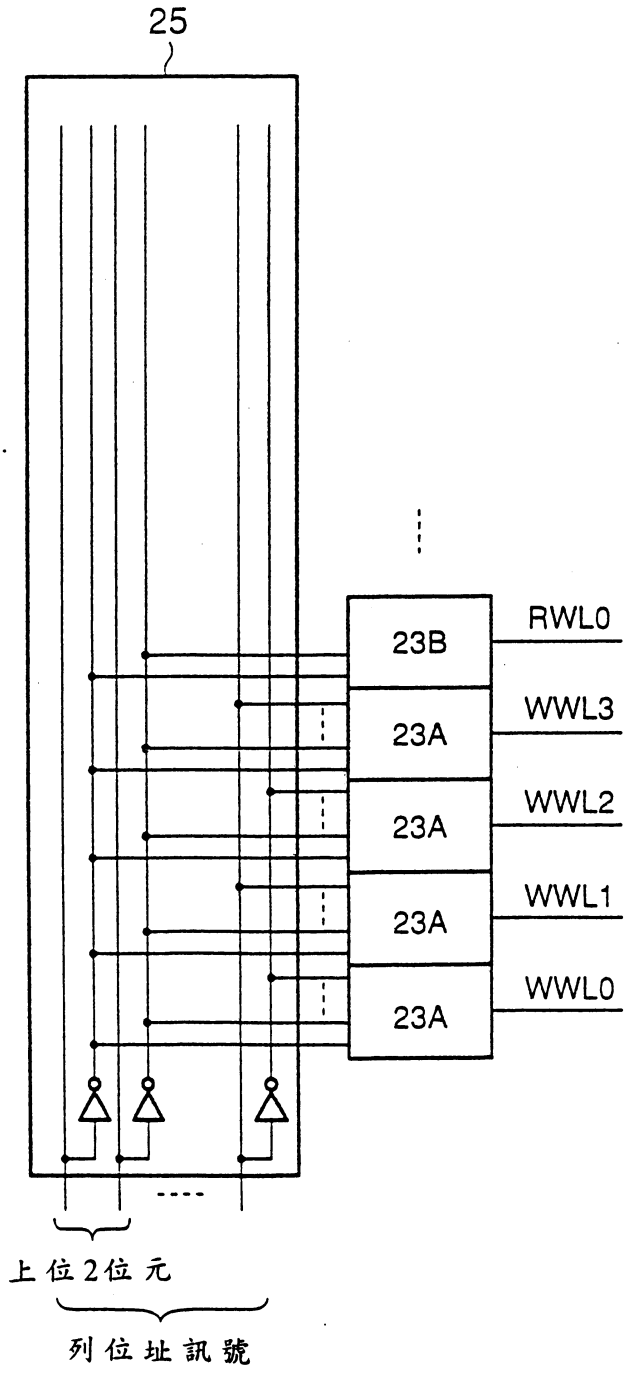

圖 30

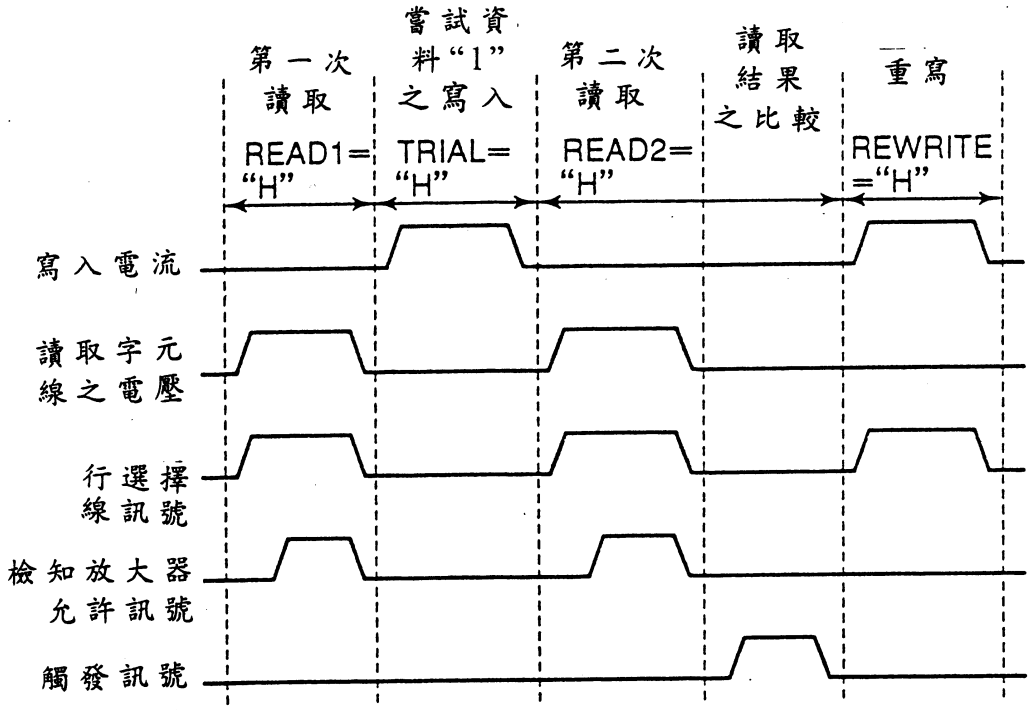
第一次讀取
嘗試資料"1"之寫入
第二次讀取
讀取結果之比較
重寫
READ1="H"
TRIAL="H"
READ2="H"
REWRITE="H"
寫入電流
讀取字元線之電壓
行選擇線訊號
檢知放大器允許訊號
觸發訊號

圖 31

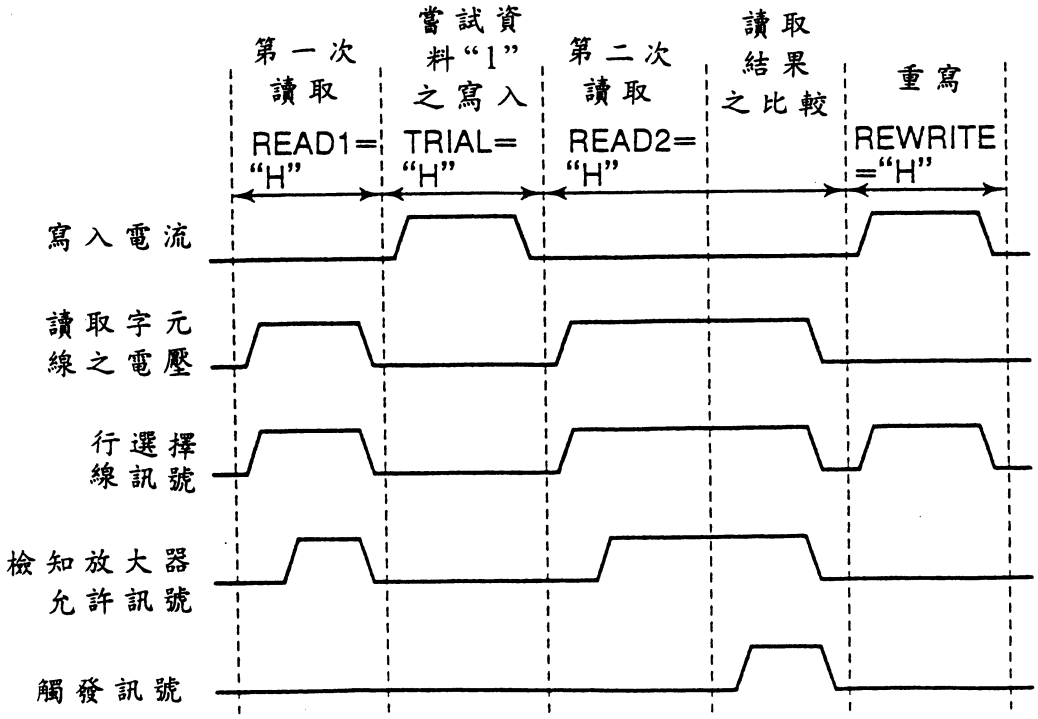
第一次讀取
嘗試資料"1"之寫入
第二次讀取
讀取結果之比較
重寫
READ1="H"
TRIAL="H"
READ2="H"
REWRITE="H"
寫入電流
讀取字元線之電壓
行選擇線訊號
檢知放大器允許訊號
觸發訊號

圖 32

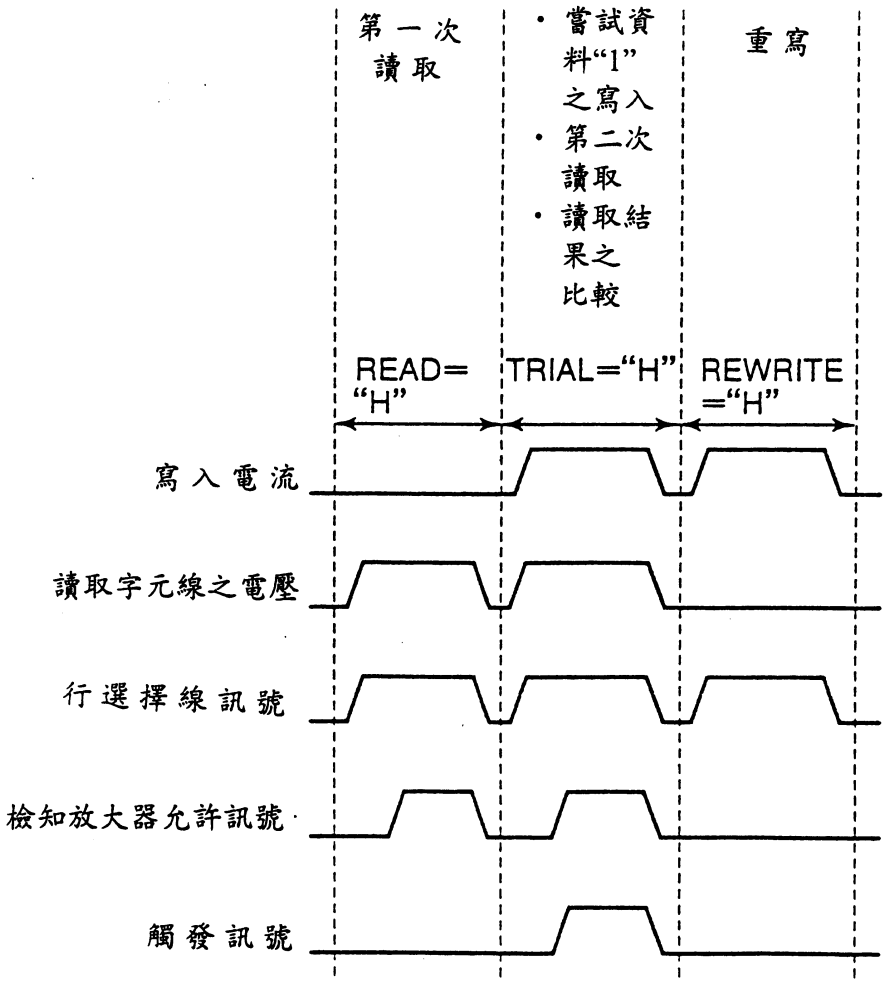
第一次讀取
• 嘗試資料"1"之寫入
• 第二次讀取
• 讀取結果之比較
重寫
READ="H"
TRIAL="H"
REWRITE="H"
寫入電流
讀取字元線之電壓
行選擇線訊號
檢知放大器允許訊號
觸發訊號

圖 33

圖式續頁

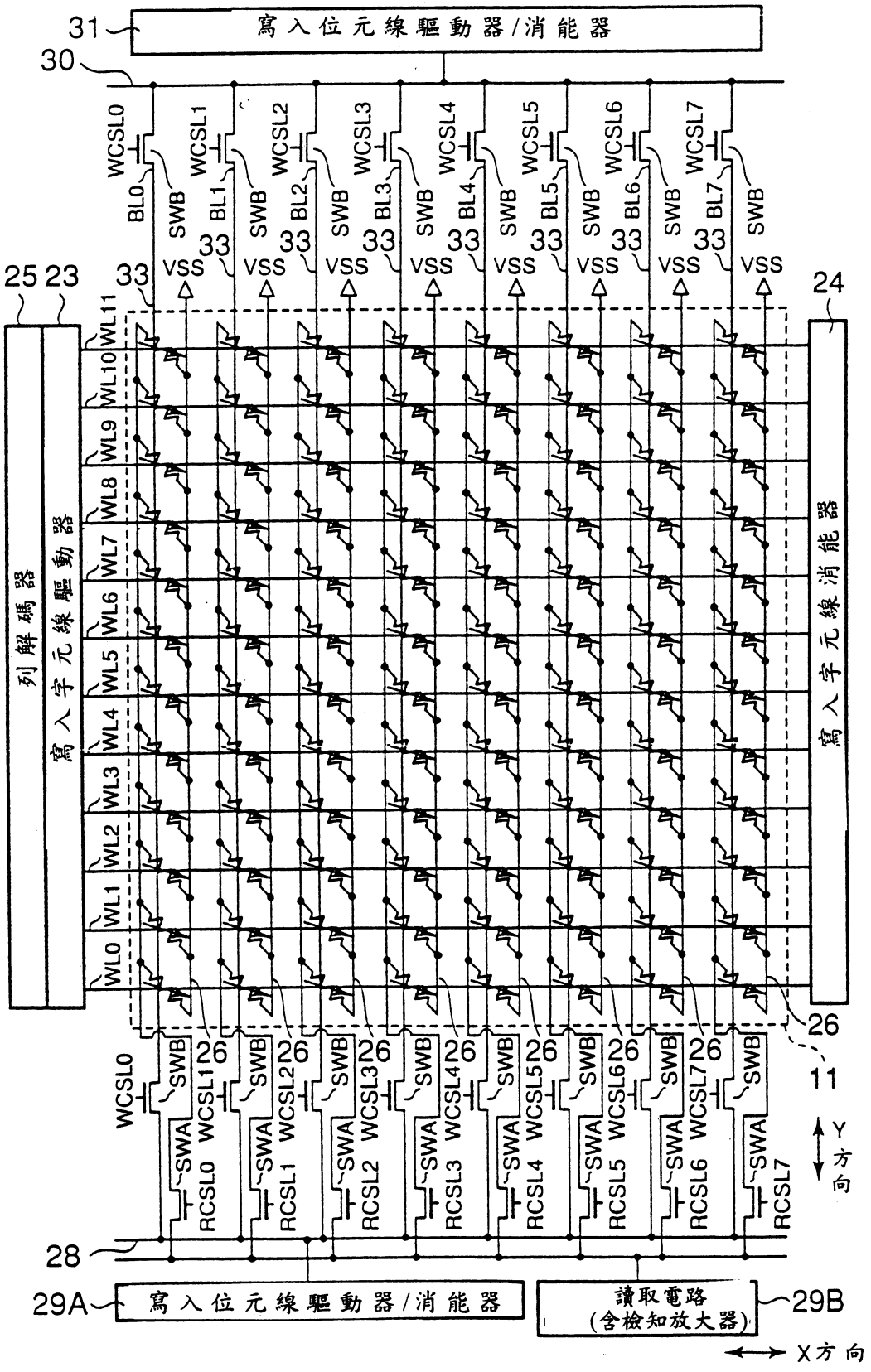
31
寫入位元線驅動器/消能器
30
WCSL0
WCSL1
WCSL2
WCSL3
WCSL4
WCSL5
WCSL6
WCSL7
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
SWB
33
VSS
25
23
24
列解碼器
寫入字元線驅動器
寫入字元線消能器
WL11
WL10
WL9
WL8
WL7
WL6
WL5
WL4
WL3
WL2
WL1
WL0
26
11
SWA
RCSL0
RCSL1
RCSL2
RCSL3
RCSL4
RCSL5
RCSL6
RCSL7
Y方向
28
29A
寫入位元線驅動器/消能器
讀取電路
(含檢知放大器)
29B
X方向

圖 34

圖式續頁

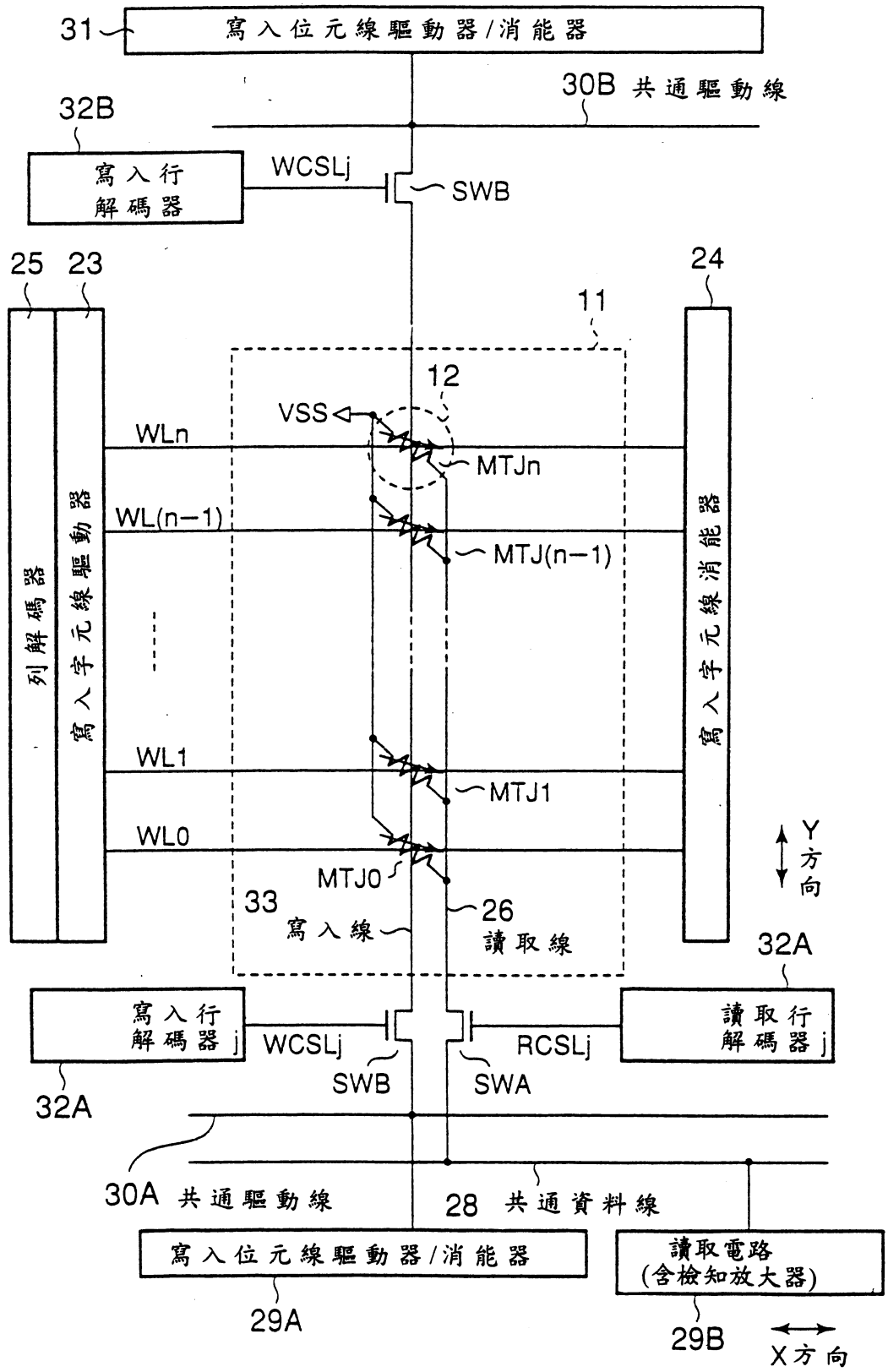
31
寫入位元線驅動器/消能器
30B 共通驅動線
32B
寫入行解碼器
WCSLj
SWB
25
23
24
11
12
VSS
WLn
MTJn
WL(n−1)
MTJ(n−1)
列解碼器
寫入字元線驅動器
寫入字元線消能器
WL1
MTJ1
WL0
MTJ0
Y方向
33
寫入線
26
讀取線
32A
寫入行解碼器 j
讀取行解碼器 j
WCSLj
RCSLj
SWB
SWA
32A
30A 共通驅動線
28 共通資料線
寫入位元線驅動器/消能器
讀取電路(含檢知放大器)
29A
29B
X方向

圖 35

圖式續頁

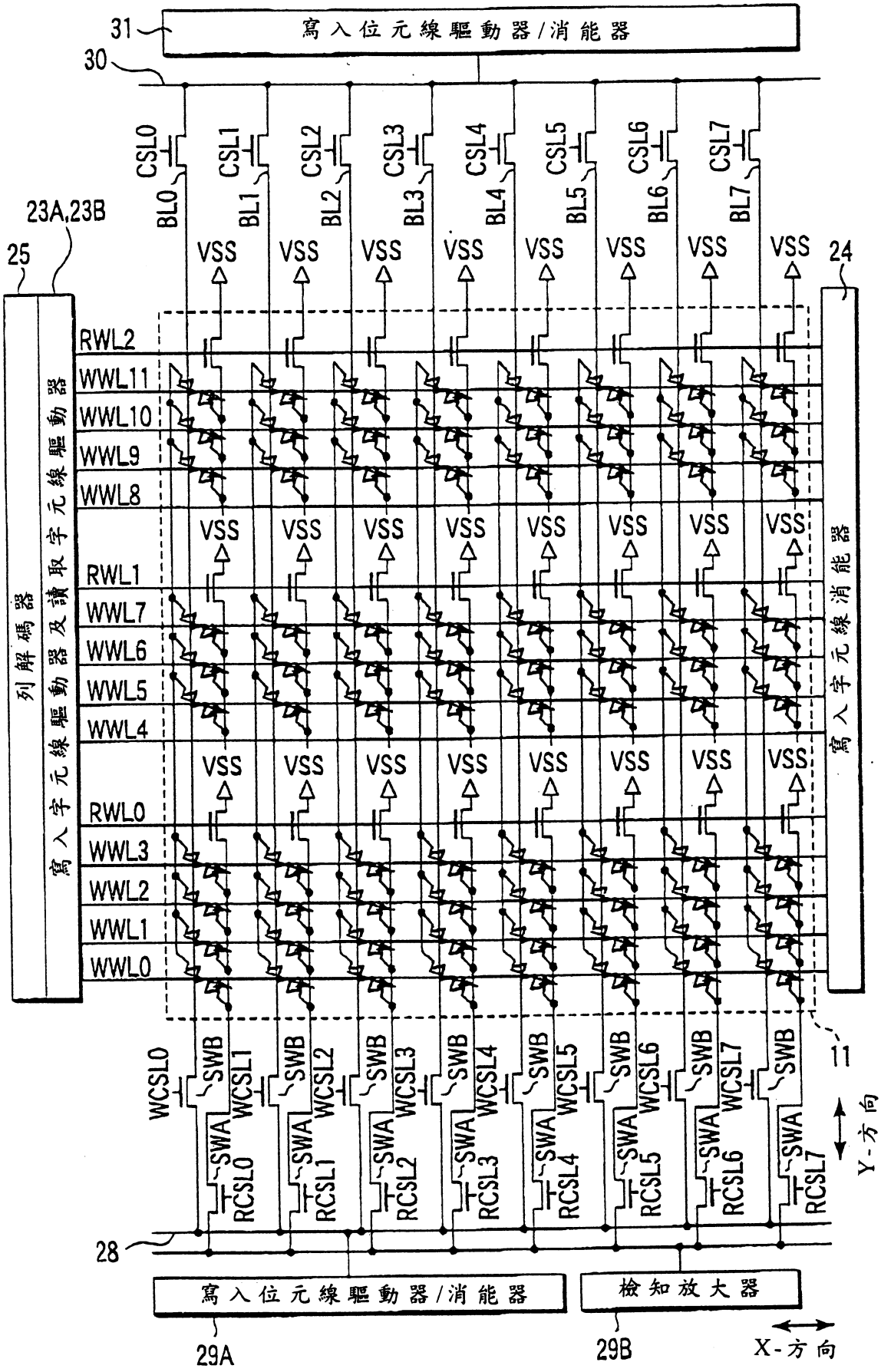
31
寫入位元線驅動器/消能器
30
CSL0
CSL1
CSL2
CSL3
CSL4
CSL5
CSL6
CSL7
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
23A,23B
25
24
VSS
RWL2
WWL11
WWL10
WWL9
WWL8
RWL1
WWL7
WWL6
WWL5
WWL4
RWL0
WWL3
WWL2
WWL1
WWL0
列解碼器
寫入字元線驅動器及讀取字元線驅動器
寫入字元線消能器
WCSL0
WCSL1
WCSL2
WCSL3
WCSL4
WCSL5
WCSL6
WCSL7
SWB
SWA
RCSL0
RCSL1
RCSL2
RCSL3
RCSL4
RCSL5
RCSL6
RCSL7
11
Y-方向
28
寫入位元線驅動器/消能器
檢知放大器
29A
29B
X-方向

圖 36

圖式續頁

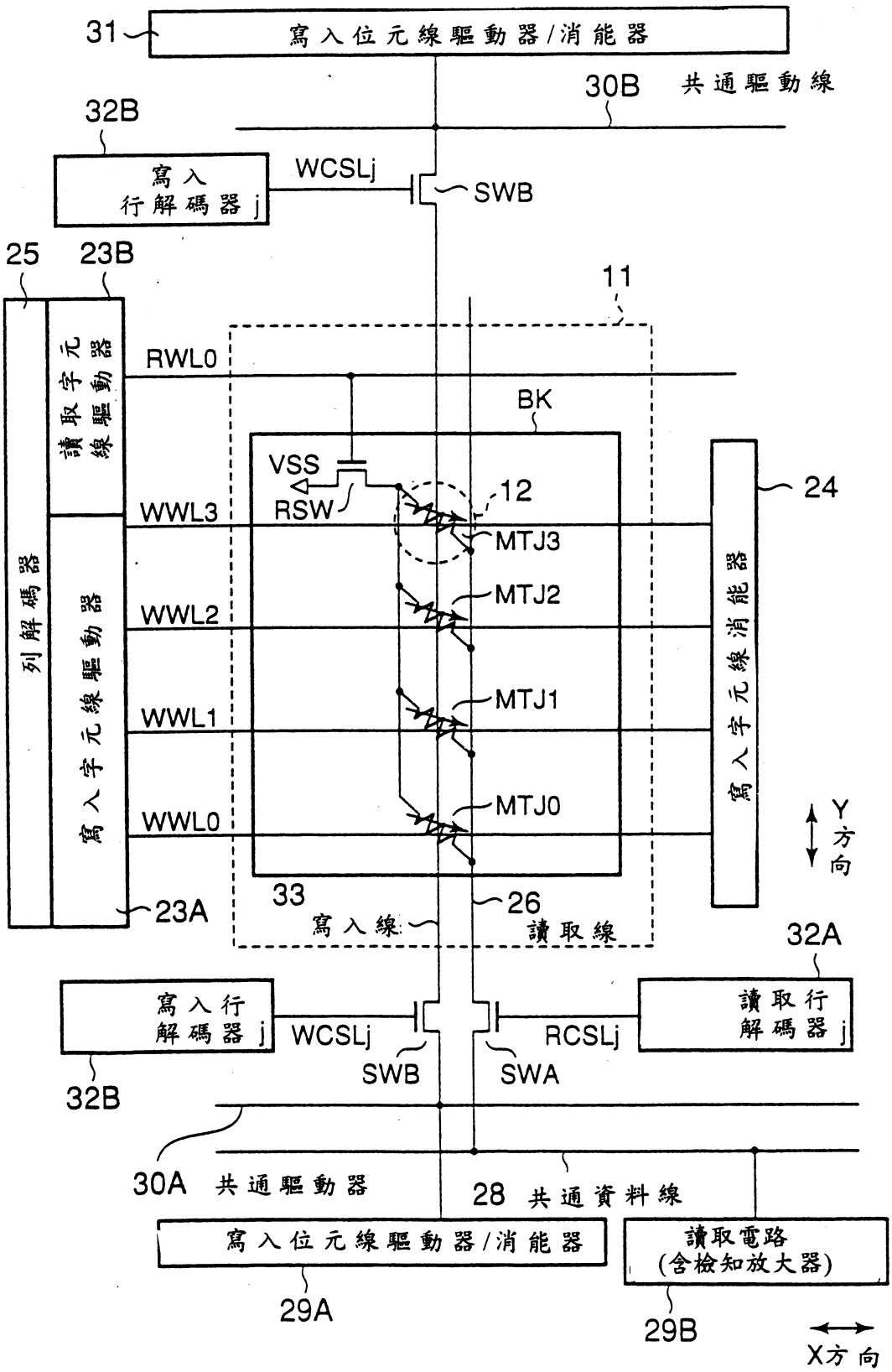
31
寫入位元線驅動器/消能器
30B
共通驅動線
32B
寫入
行解碼器 j
WCSLj
SWB
25
23B
11
列解碼器
讀取字元線驅動器
寫入字元線驅動器
RWL0
BK
VSS
RSW
12
24
WWL3
MTJ3
WWL2
MTJ2
WWL1
MTJ1
WWL0
MTJ0
寫入字元線消能器
Y
方向
33
26
23A
寫入線
讀取線
32A
寫入行
解碼器 j
WCSLj
SWB
SWA
RCSLj
讀取行
解碼器 j
32B
30A
共通驅動器
28
共通資料線
寫入位元線驅動器/消能器
讀取電路
(含檢知放大器)
29A
29B
X方向

圖 37

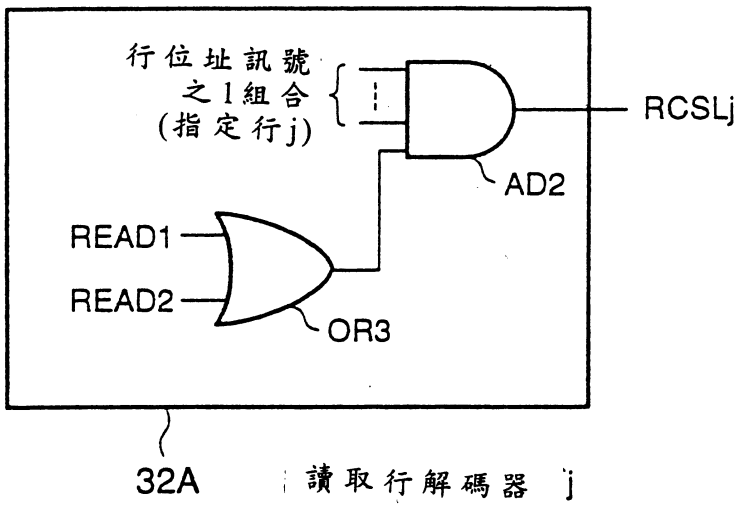
行位址訊號
之1組合
(指定行j)
RCSLj
AD2
READ1
READ2
OR3
32A
讀取行解碼器 j

圖 38

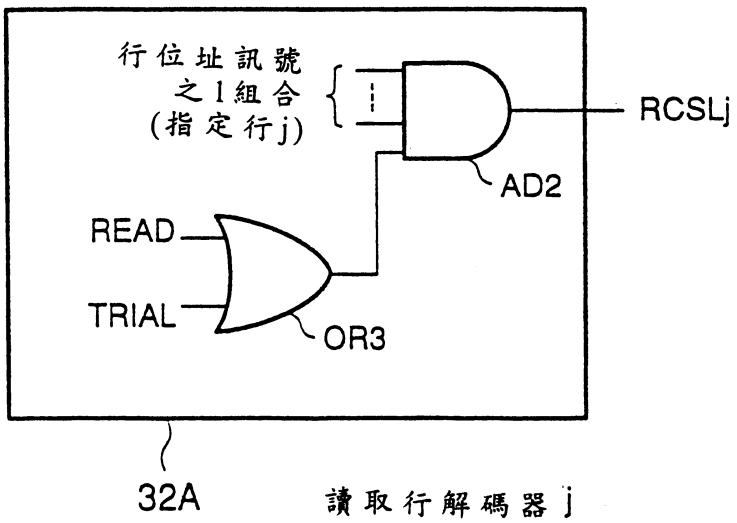
行位址訊號
之1組合
(指定行j)
RCSLj
AD2
READ
TRIAL
OR3
32A
讀取行解碼器 j

圖 39

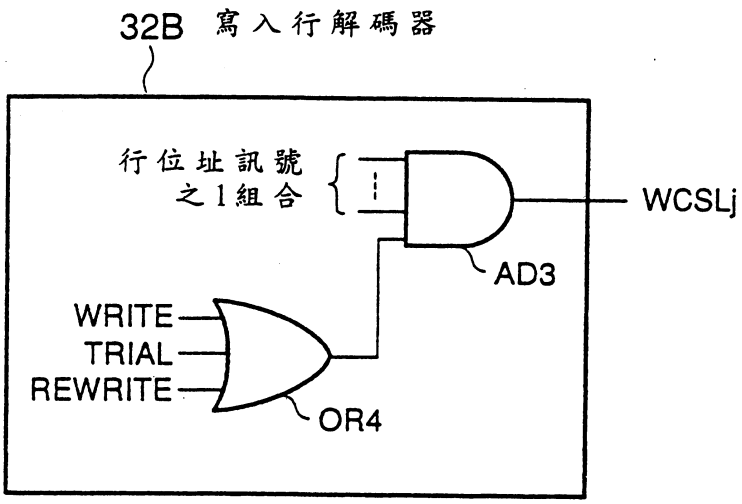

圖 40

圖式續頁

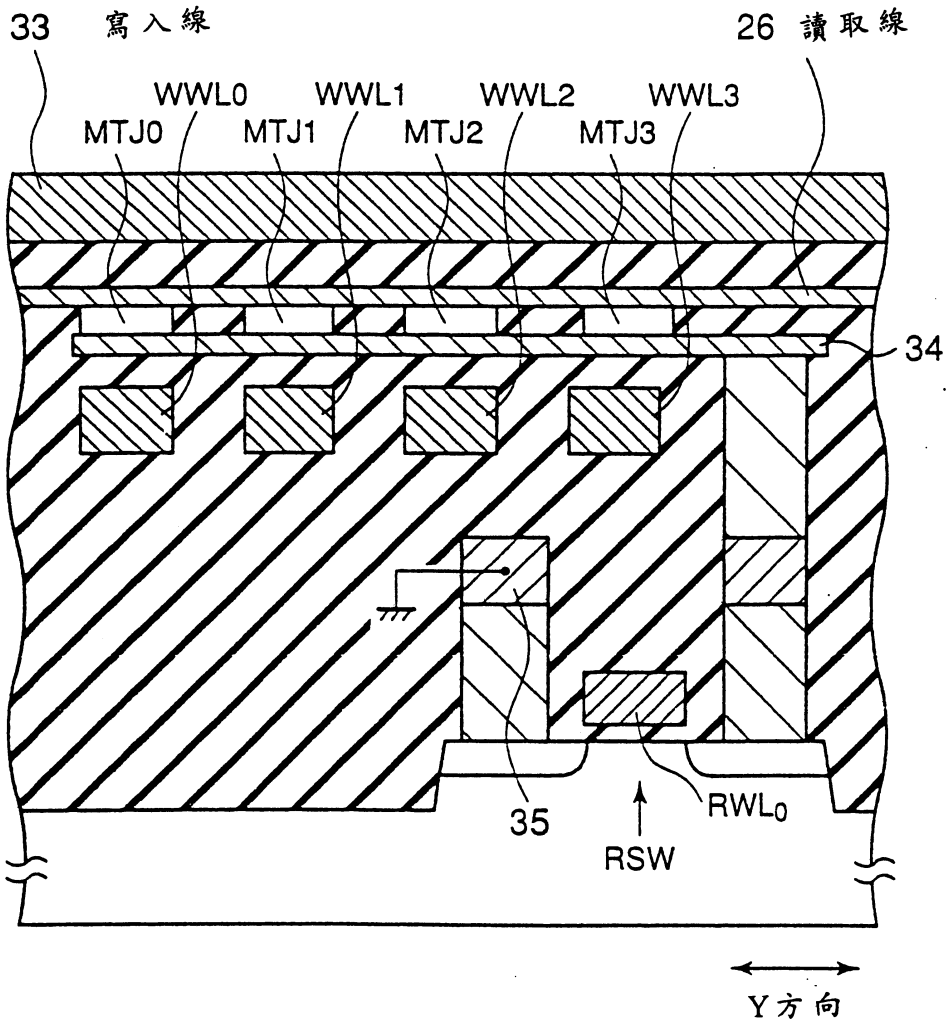
33
寫入線
26
讀取線
WWL0
WWL1
WWL2
WWL3
MTJ0
MTJ1
MTJ2
MTJ3
34
35
RSW
RWL0
Y方向

圖 41

圖式續頁

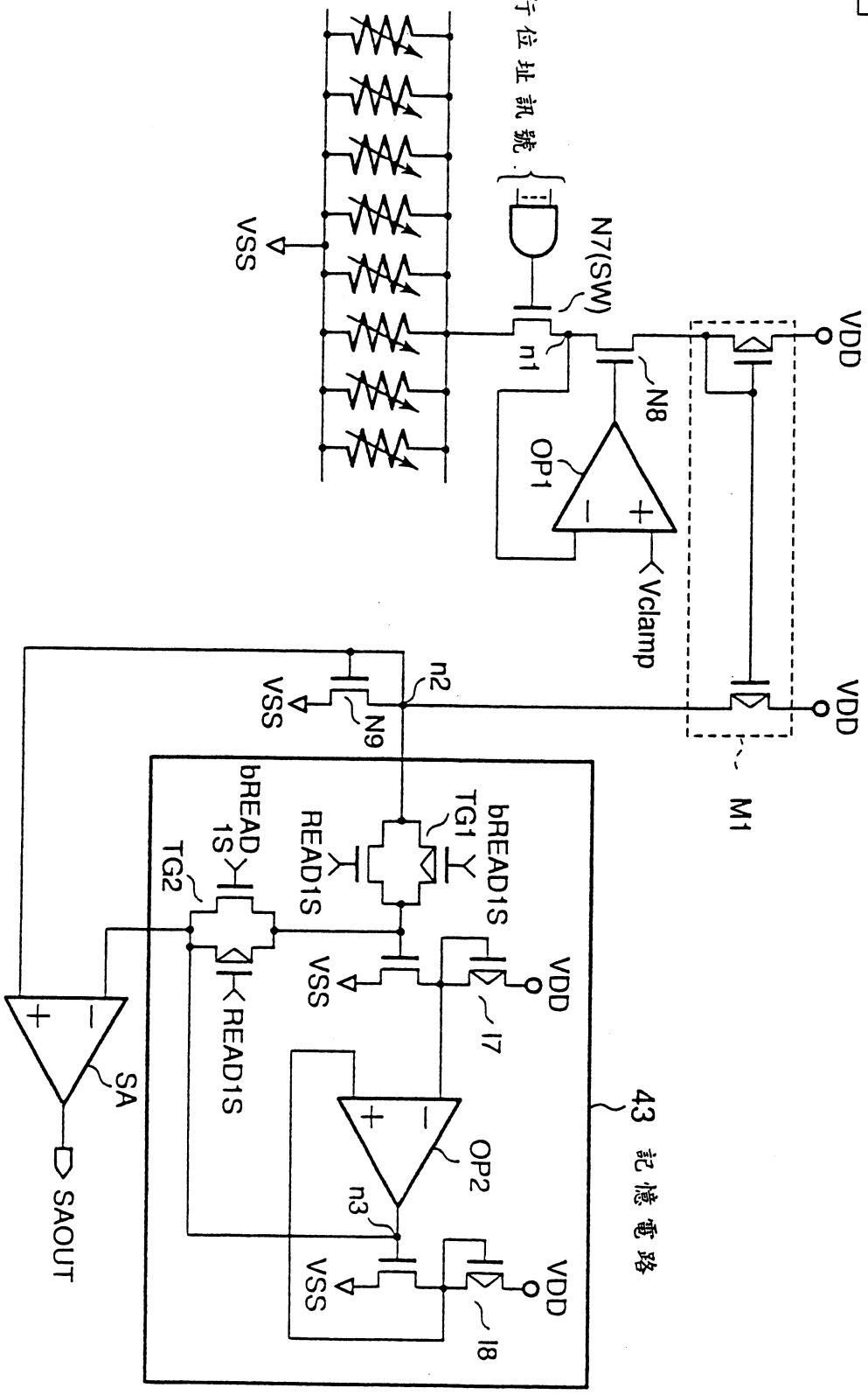
行位址訊號
VSS
N7(SW)
n1
N8
OP1
VDD
Vclamp
M1
n2
N9
bREAD1S
TG1
READ1S
bREAD1S
TG2
READ1S
I7
OP2
n3
I8
SA
SAOUT
43 記憶電路

圖 42

圖式續頁

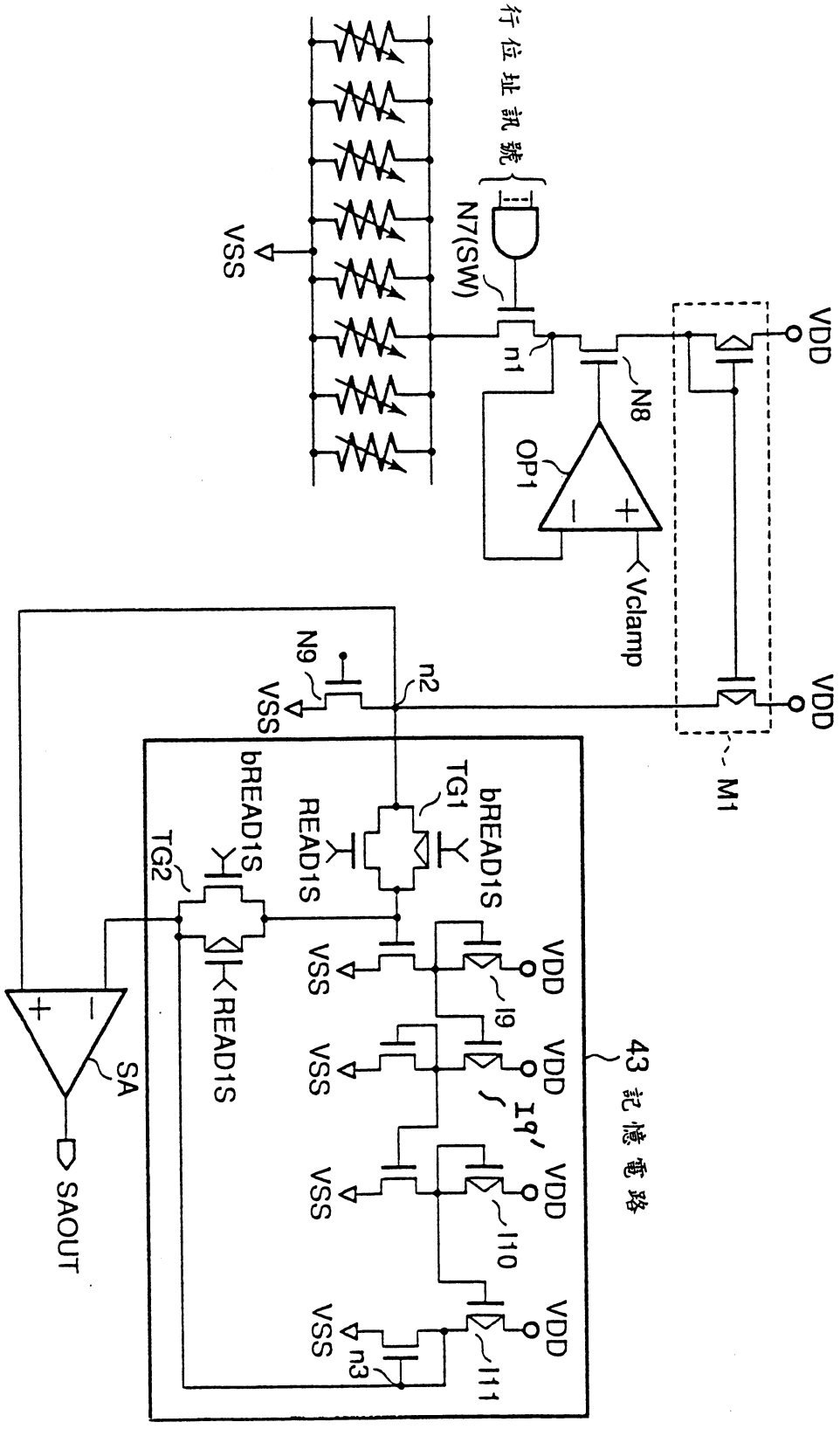
行位址訊號
N7(SW)
VSS
n1
N8
OP1
Vclamp
VDD
M1
N9
n2
TG1
bREAD1S
READ1S
TG2
I9
I9'
I10
I11
n3
SA
SAOUT
43 記憶電路

圖 43

圖式續頁

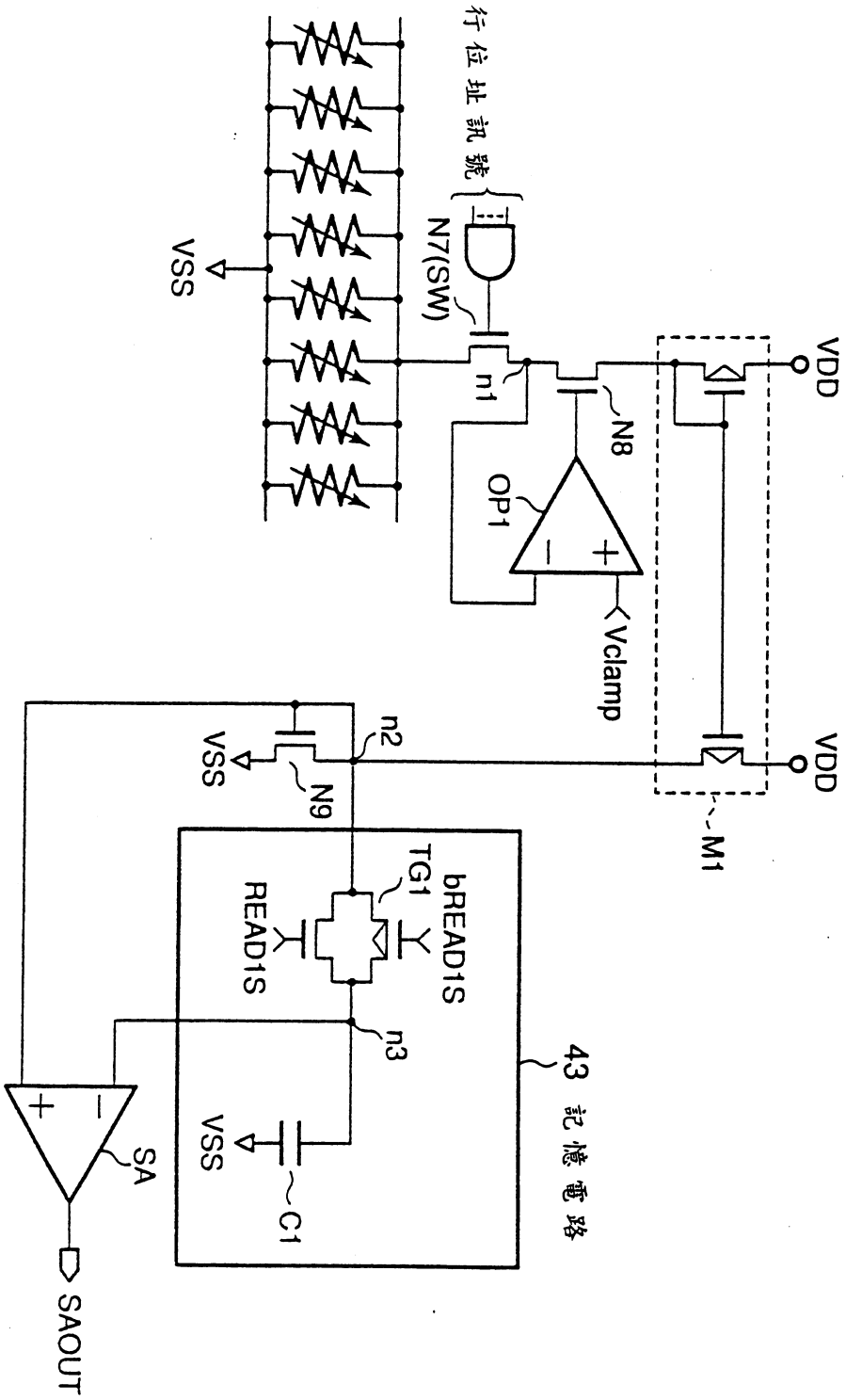
行位址訊號
N7(SW)
VSS
n1
N8
OP1
Vclamp
VDD
VDD
M1
n2
VSS
N9
bREAD1S
TG1
READ1S
n3
43 記憶電路
VSS
C1
SA
SAOUT

圖 44

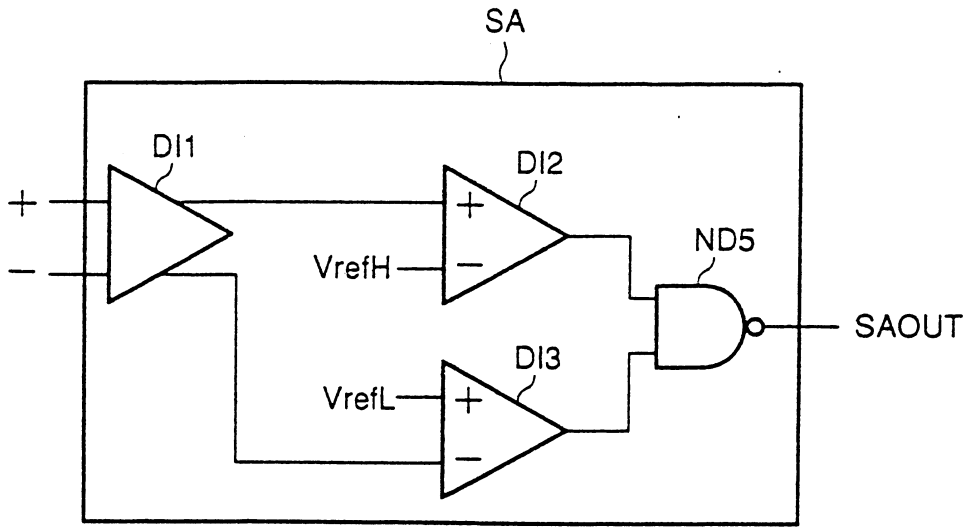
SA
DI1
DI2
DI3
ND5
VrefH
VrefL
SAOUT

圖 45

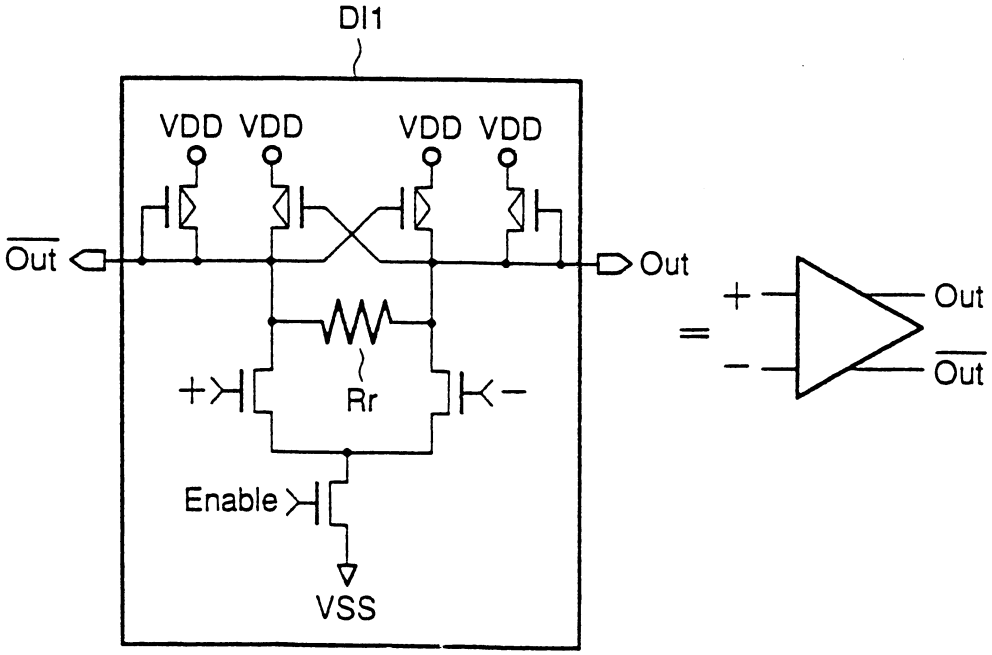
DI1
VDD VDD VDD VDD
Out
Out
Rr
Enable
VSS
=
Out
Out

圖 46

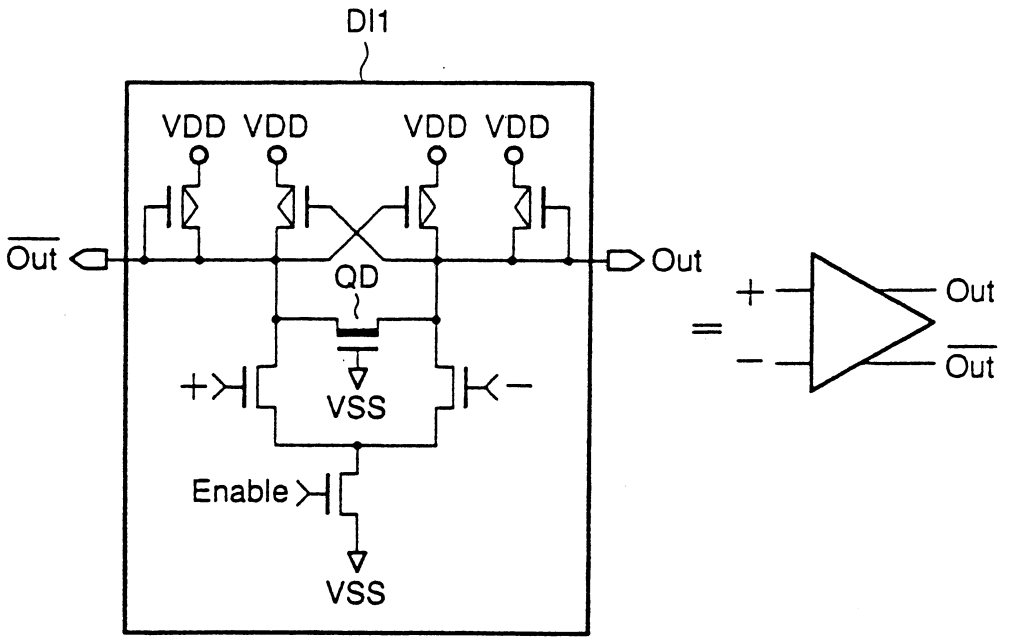
DI1
VDD VDD VDD VDD
Out
Out
QD
VSS
Enable
VSS
Out
Out

圖 47

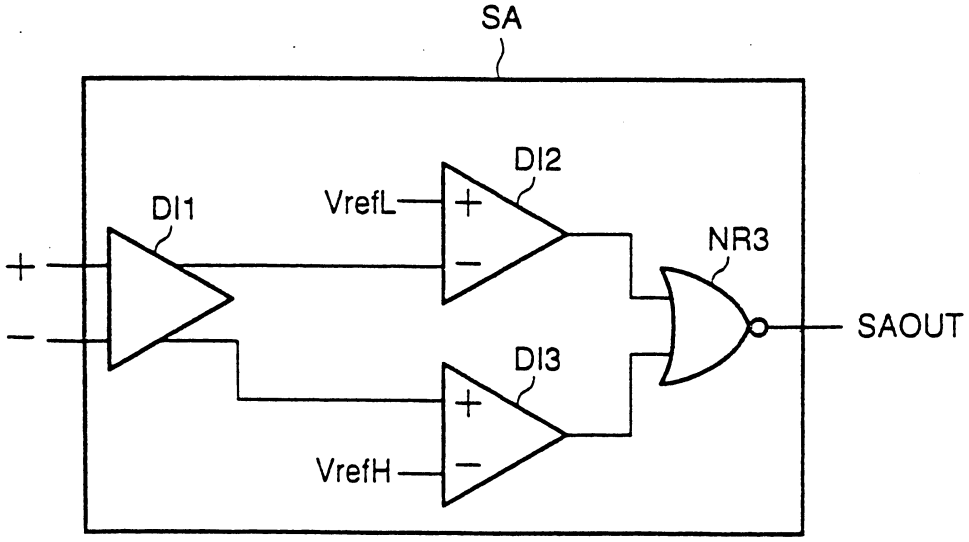
SA
DI1
VrefL
DI2
NR3
SAOUT
DI3
VrefH

圖 48

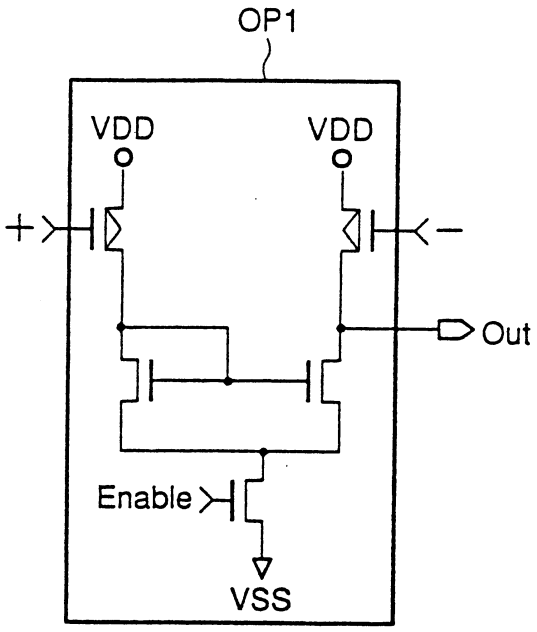

圖 49

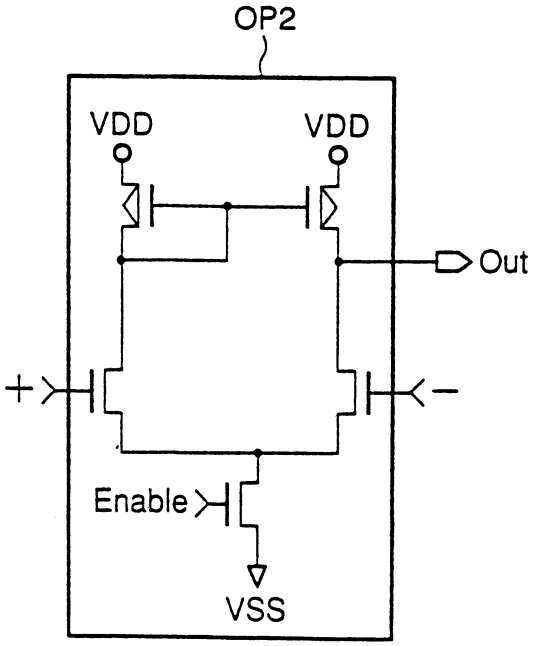

圖 50

圖式續頁

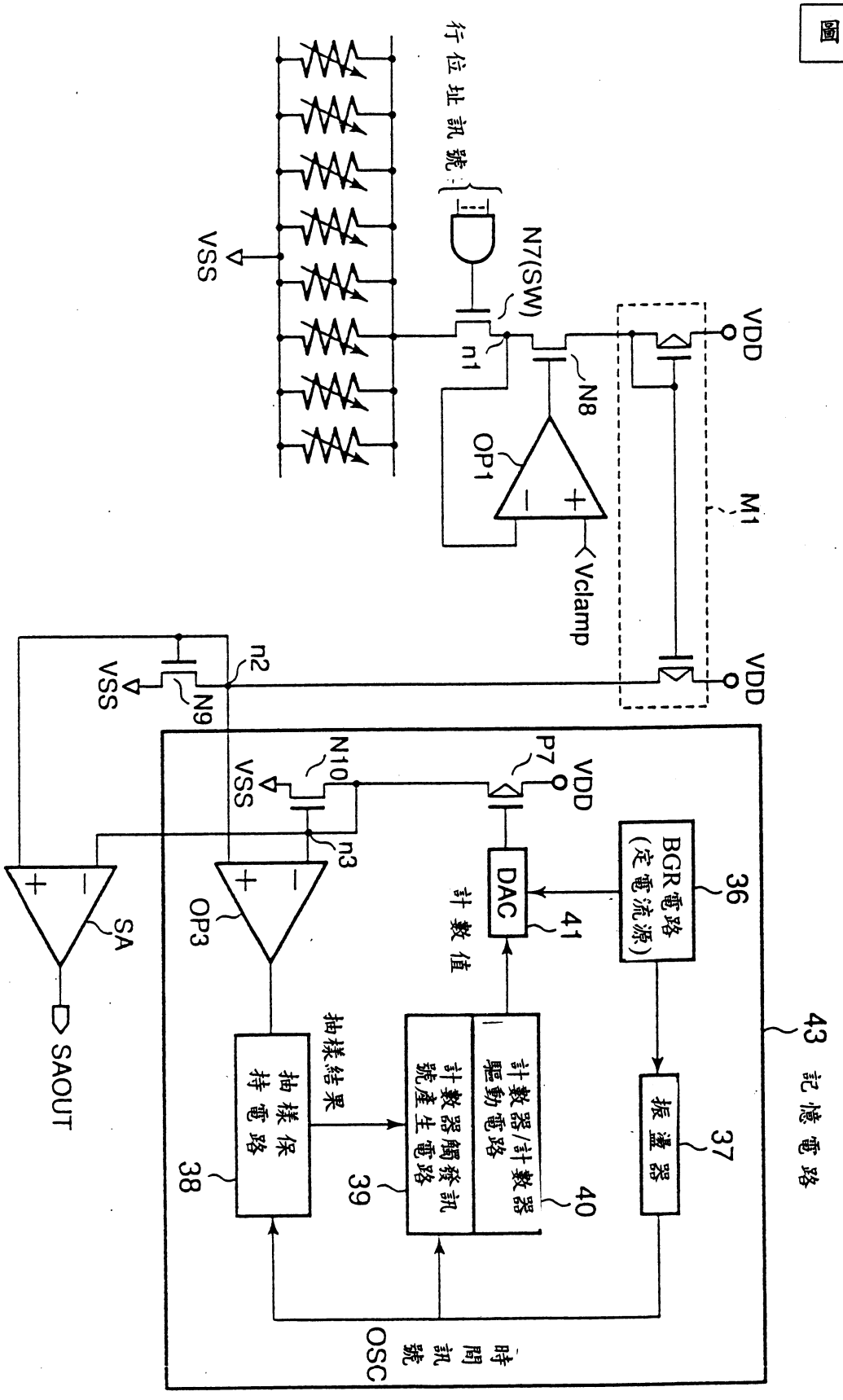
行位址訊號
VSS
N7(SW)
n1
N8
OP1
VDD
M1
Vclamp
VDD
n2
VSS
N9
N10
VSS
P7
VDD
n3
BGR電路
(定電流源)
36
DAC
41
計數值
OP3
SA
SAOUT
抽樣結果
抽樣保持電路
38
計數器觸發訊號產生電路
39
計數器/計數器驅動電路
40
振盪器
37
43 記憶電路
時間訊號
OSC

圖 51

圖式續頁

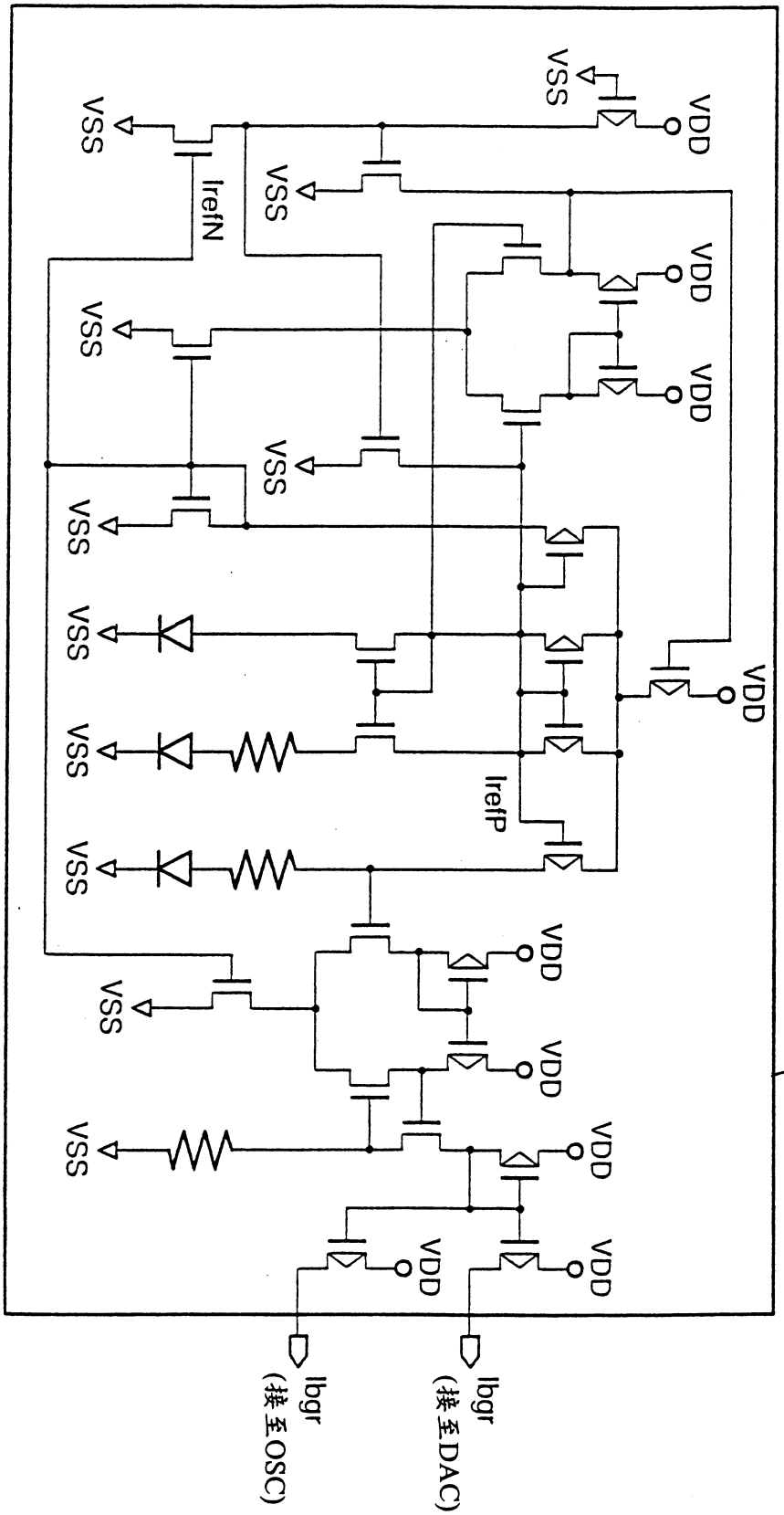

圖 5 2

圖式續頁

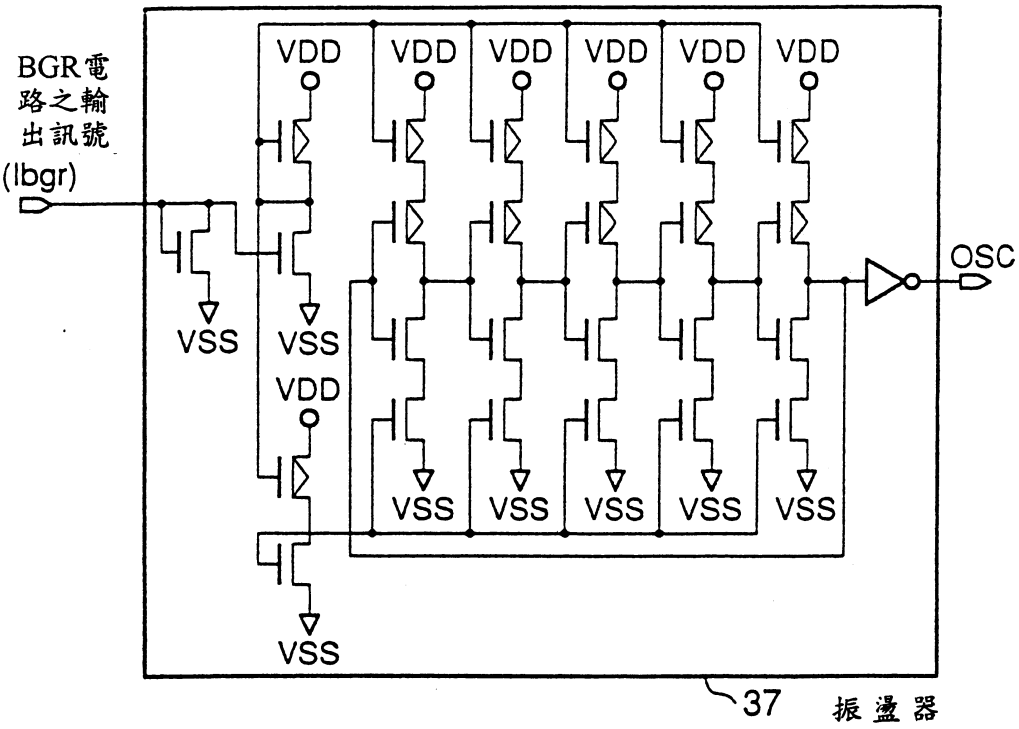
BGR電路之輸出訊號
(lbgr)
VDD
VDD
VDD
VDD
VDD
VDD
VSS
VSS
VDD
VSS
VSS
VSS
VSS
VSS
VSS
OSC
37
振盪器

圖 53

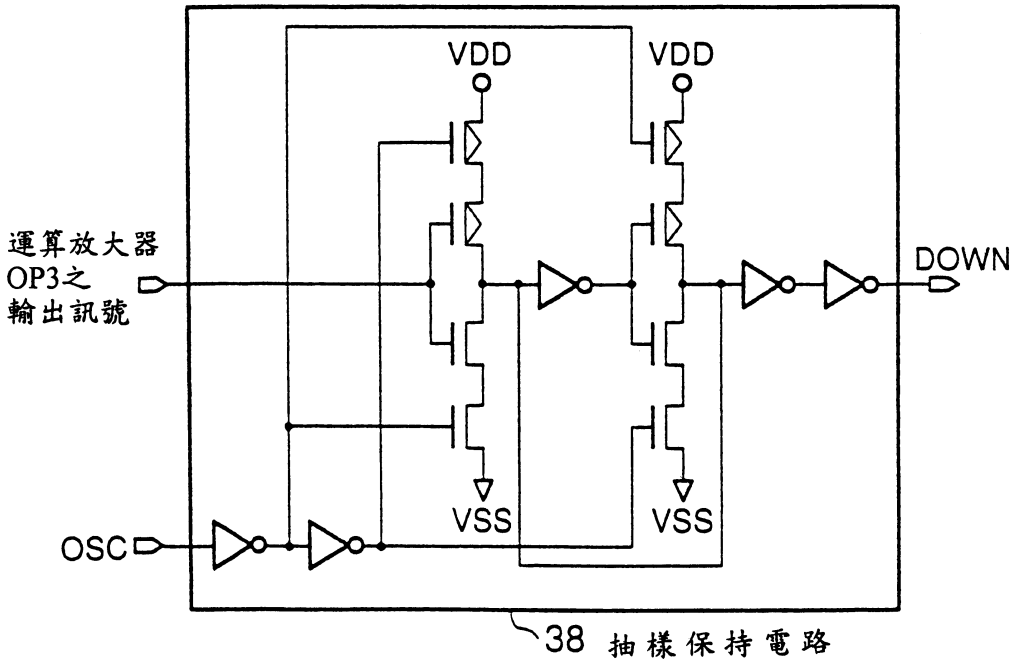
運算放大器
OP3之
輸出訊號
VDD
VDD
VSS
VSS
OSC
DOWN
38
抽樣保持電路

圖 54

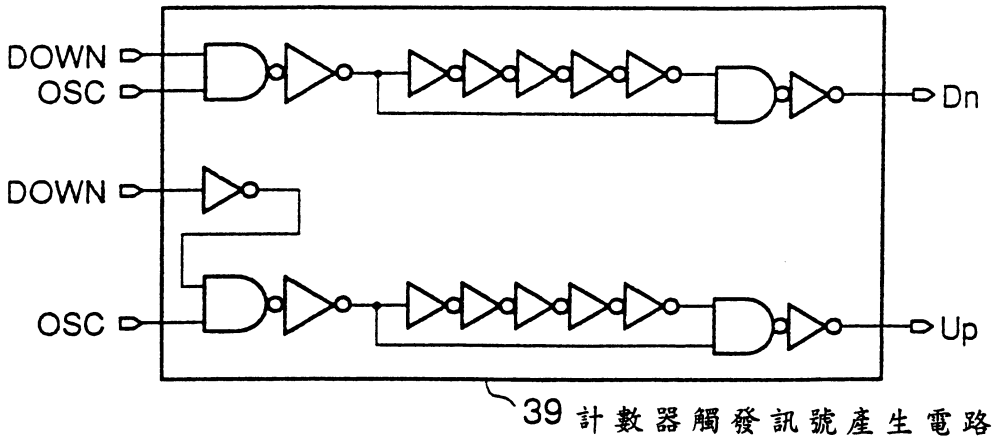
DOWN
OSC
DOWN
OSC
Dn
Up
39 計數器觸發訊號產生電路

圖 55

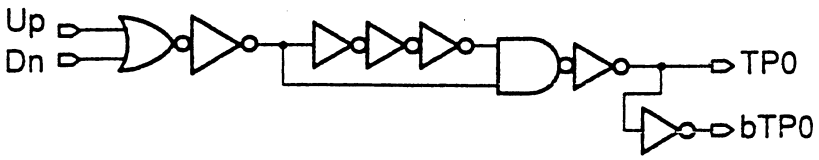
Up
Dn
TP0
bTP0

圖 56

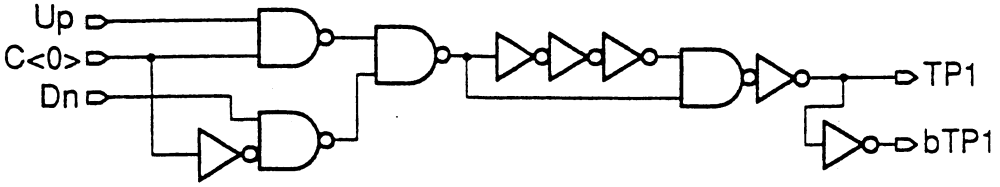
Up
C<0>
Dn
TP1
bTP1

圖 57

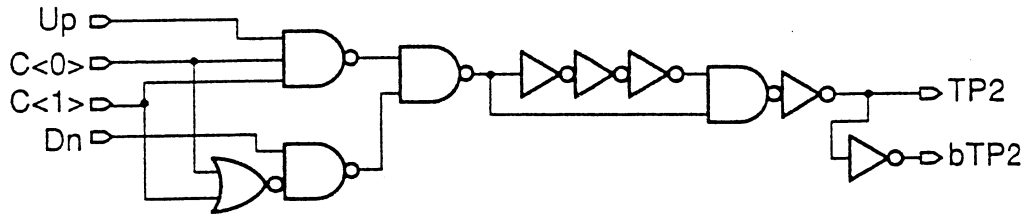
Up
C<0>
C<1>
Dn
TP2
bTP2

圖 58

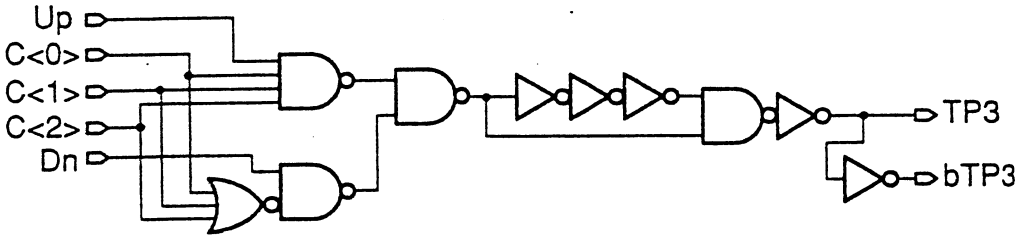
Up
C<0>
C<1>
C<2>
Dn
TP3
bTP3

圖 59

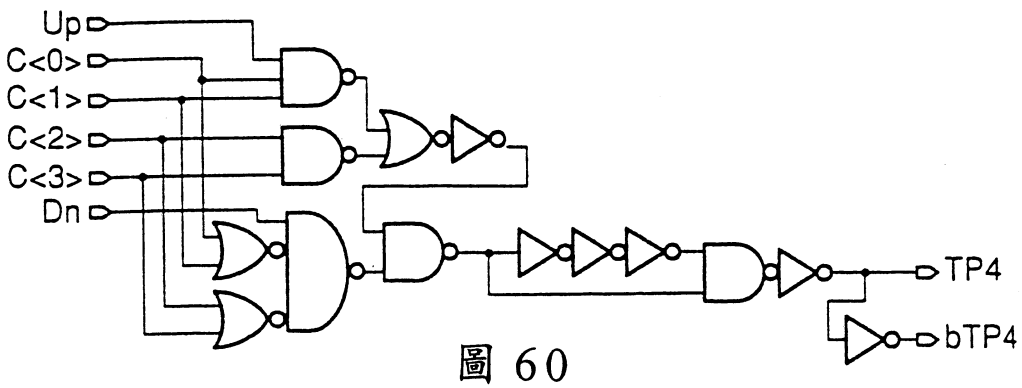
Up
C<0>
C<1>
C<2>
C<3>
Dn
TP4
bTP4

圖 60

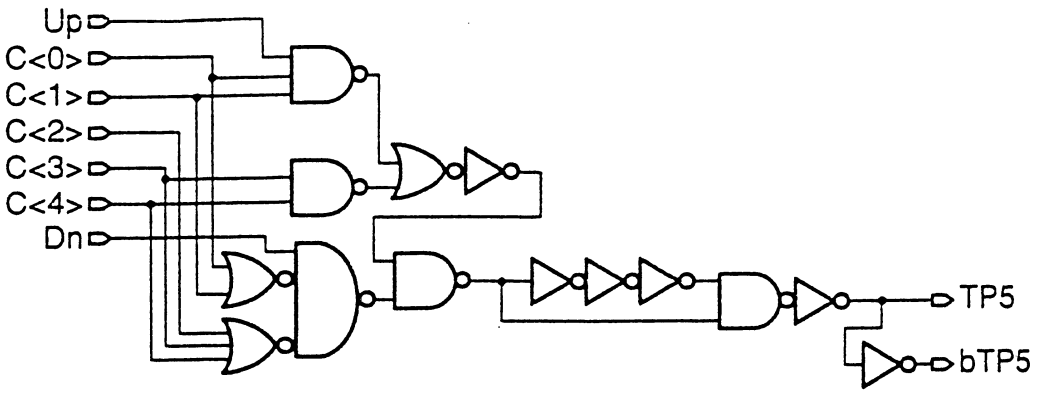
Up
C<0>
C<1>
C<2>
C<3>
C<4>
Dn
TP5
bTP5

圖 61

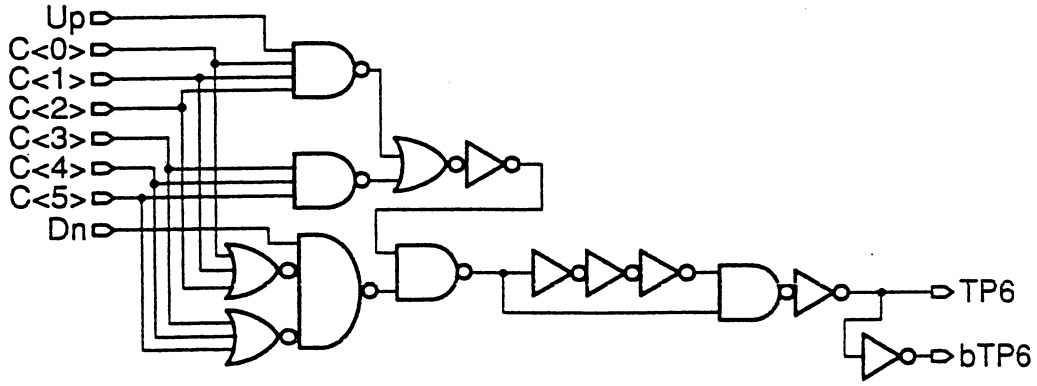
Up
C<0>
C<1>
C<2>
C<3>
C<4>
C<5>
Dn
TP6
bTP6

圖 62

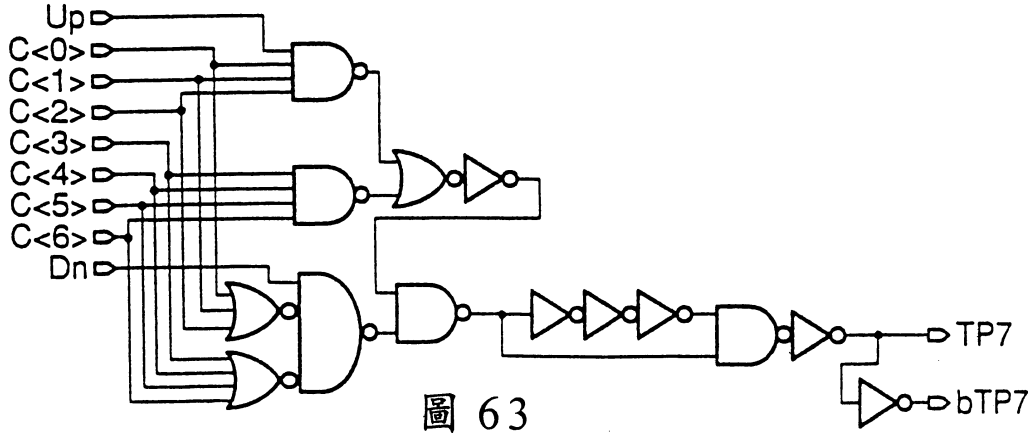
Up
C<0>
C<1>
C<2>
C<3>
C<4>
C<5>
C<6>
Dn
TP7
bTP7

圖 63

圖式續頁

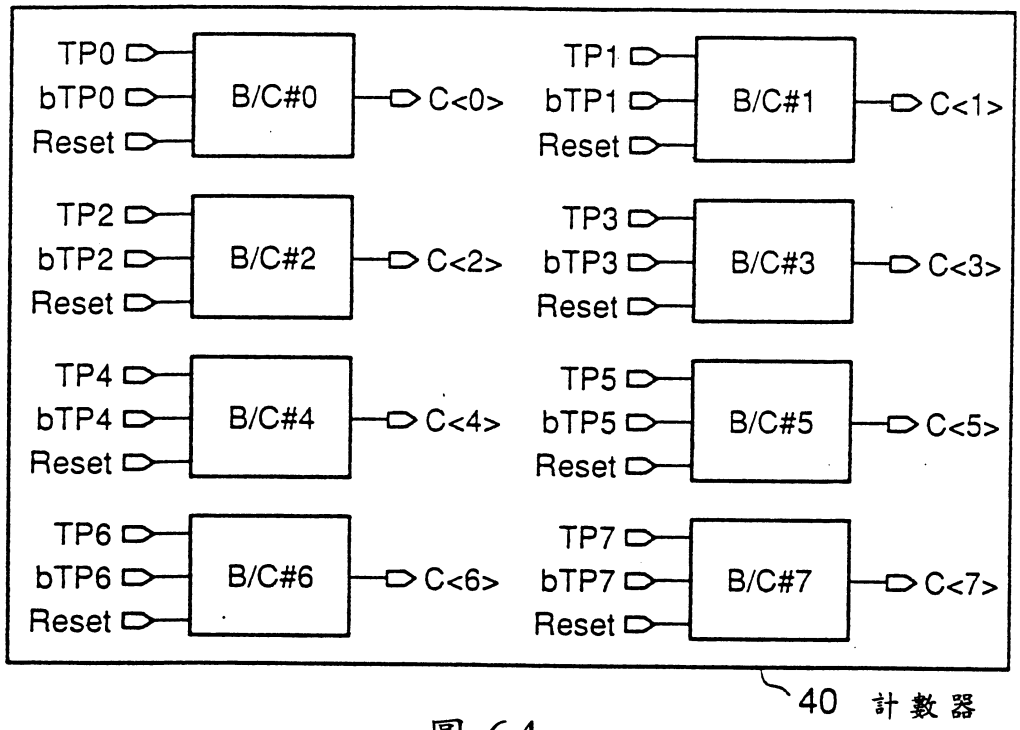
TP0
bTP0
Reset
B/C#0
C<0>
TP1
bTP1
Reset
B/C#1
C<1>
TP2
bTP2
Reset
B/C#2
C<2>
TP3
bTP3
Reset
B/C#3
C<3>
TP4
bTP4
Reset
B/C#4
C<4>
TP5
bTP5
Reset
B/C#5
C<5>
TP6
bTP6
Reset
B/C#6
C<6>
TP7
bTP7
Reset
B/C#7
C<7>
40 計數器

圖 64

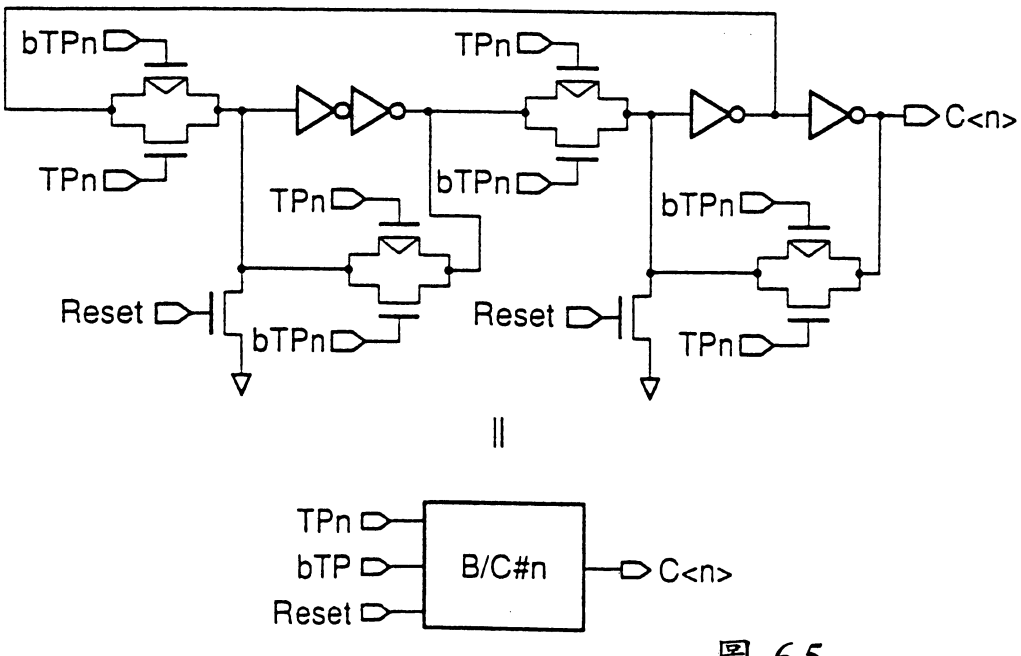
bTPn
TPn
TPn
TPn
bTPn
bTPn
C<n>
Reset
bTPn
Reset
TPn
TPn
bTP
Reset
B/C#n
C<n>

圖 65

圖式續頁

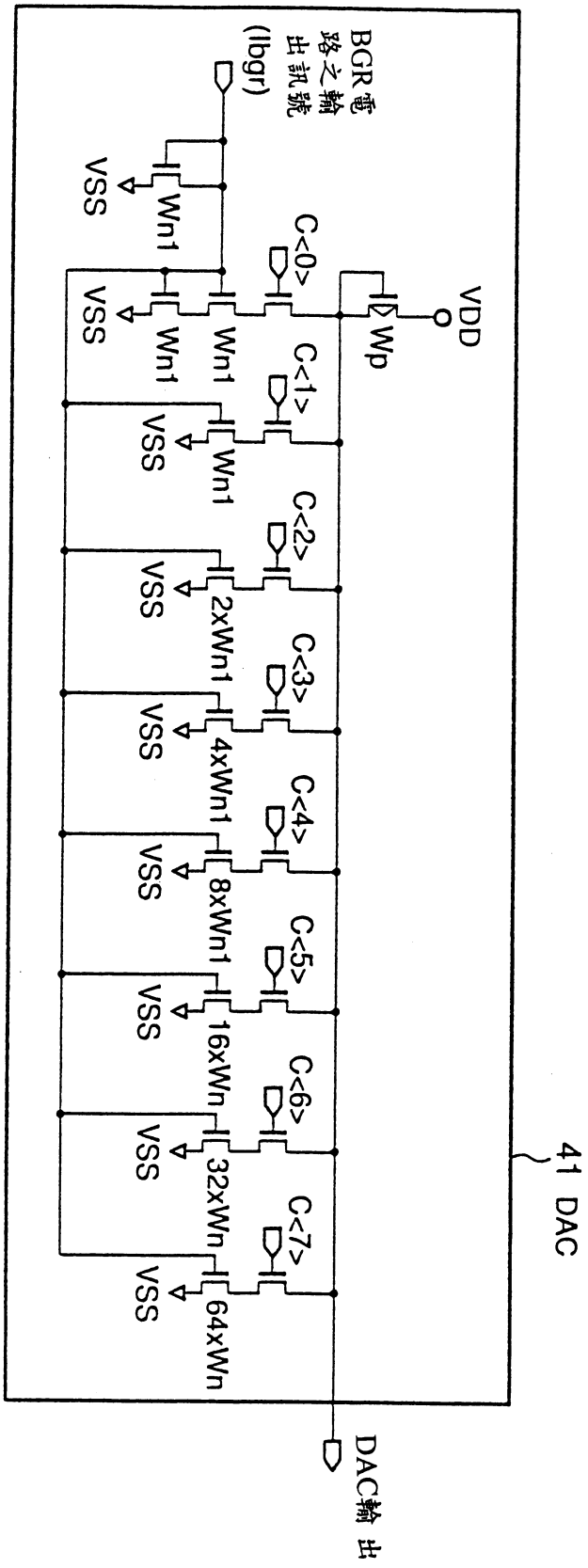
BGR電路之輸出訊號(Ibgr)
VDD
Wp
C<0>
C<1>
C<2>
C<3>
C<4>
C<5>
C<6>
C<7>
Wn1
2xWn1
4xWn1
8xWn1
16xWn
32xWn
64xWn
VSS
41 DAC
DAC輸出

圖 66

圖式續頁

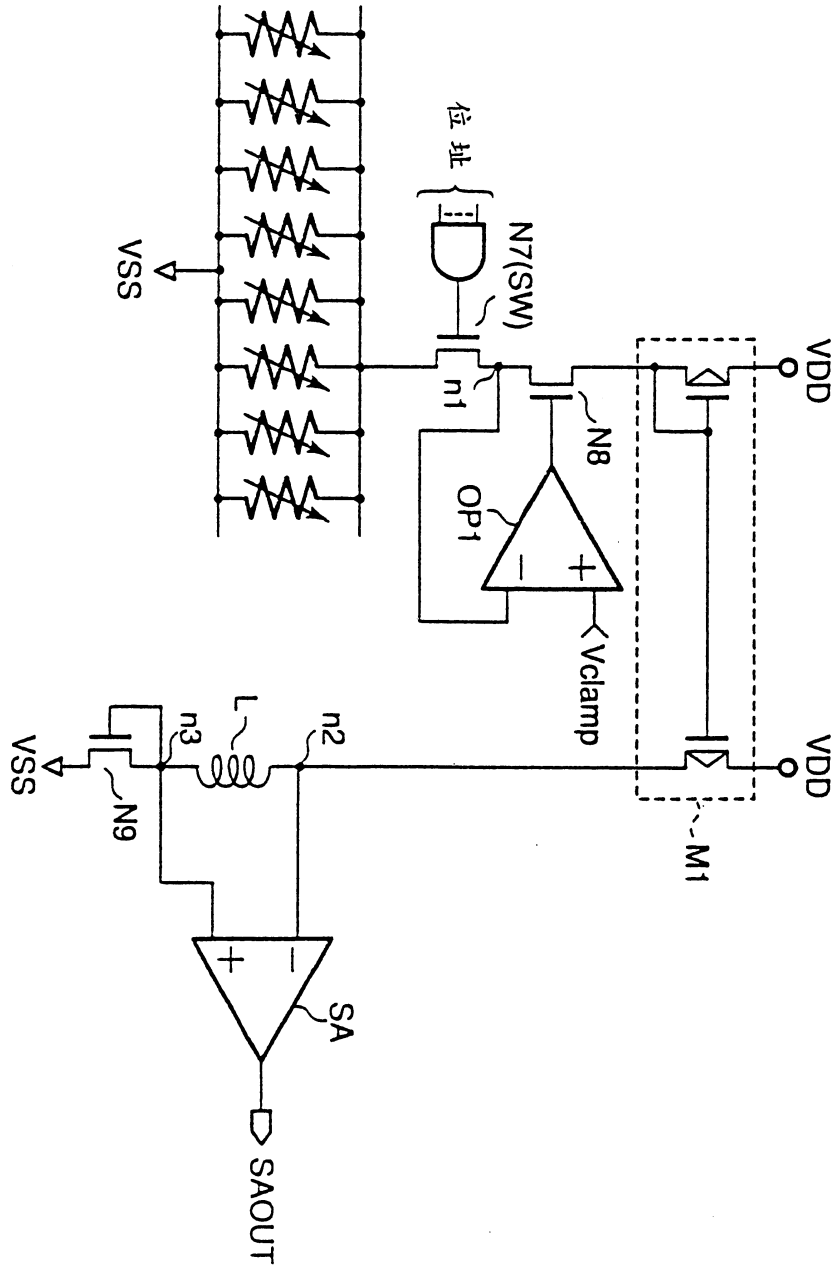

圖 67

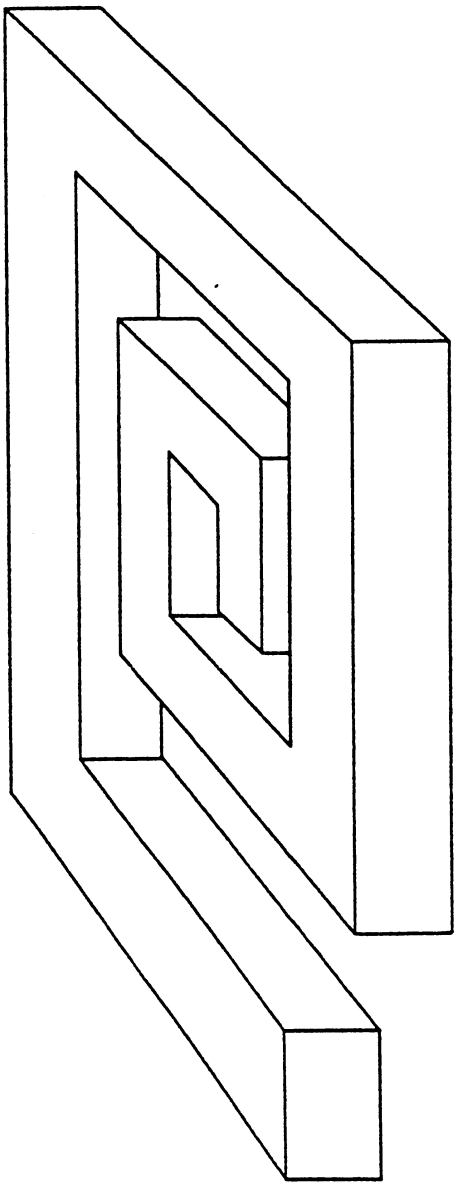

圖 68

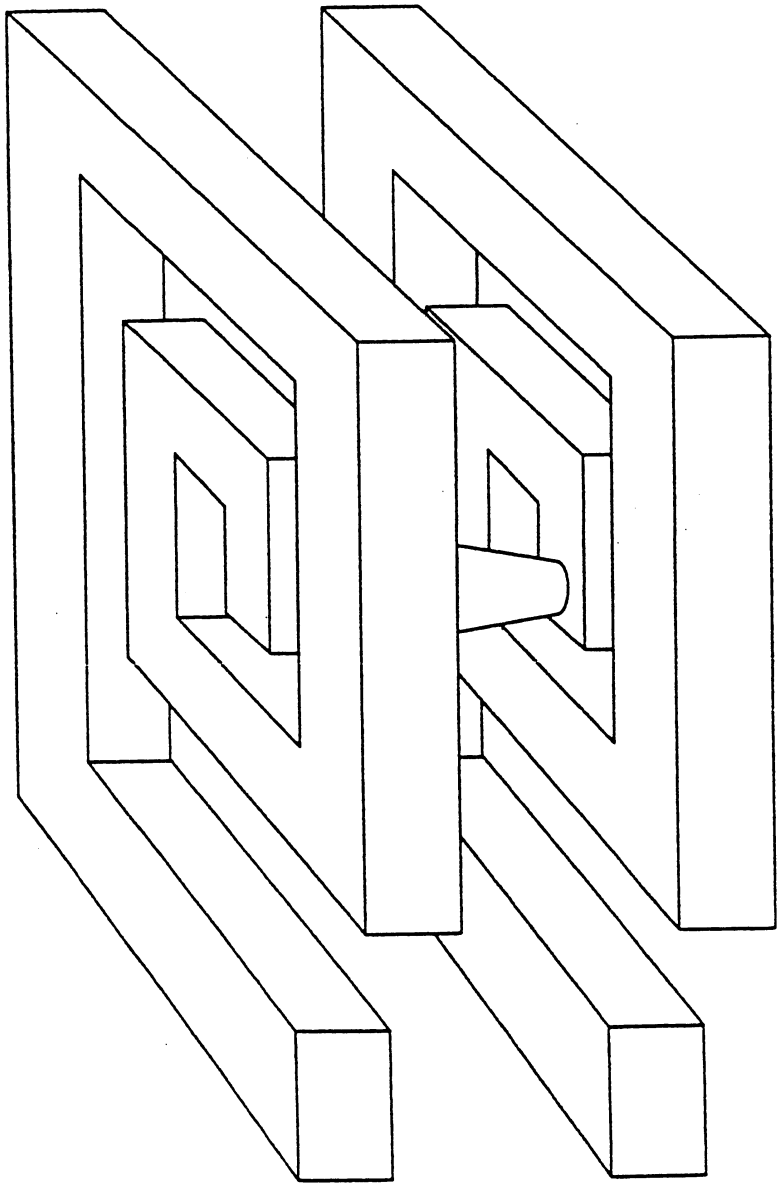

圖 69

圖式續頁

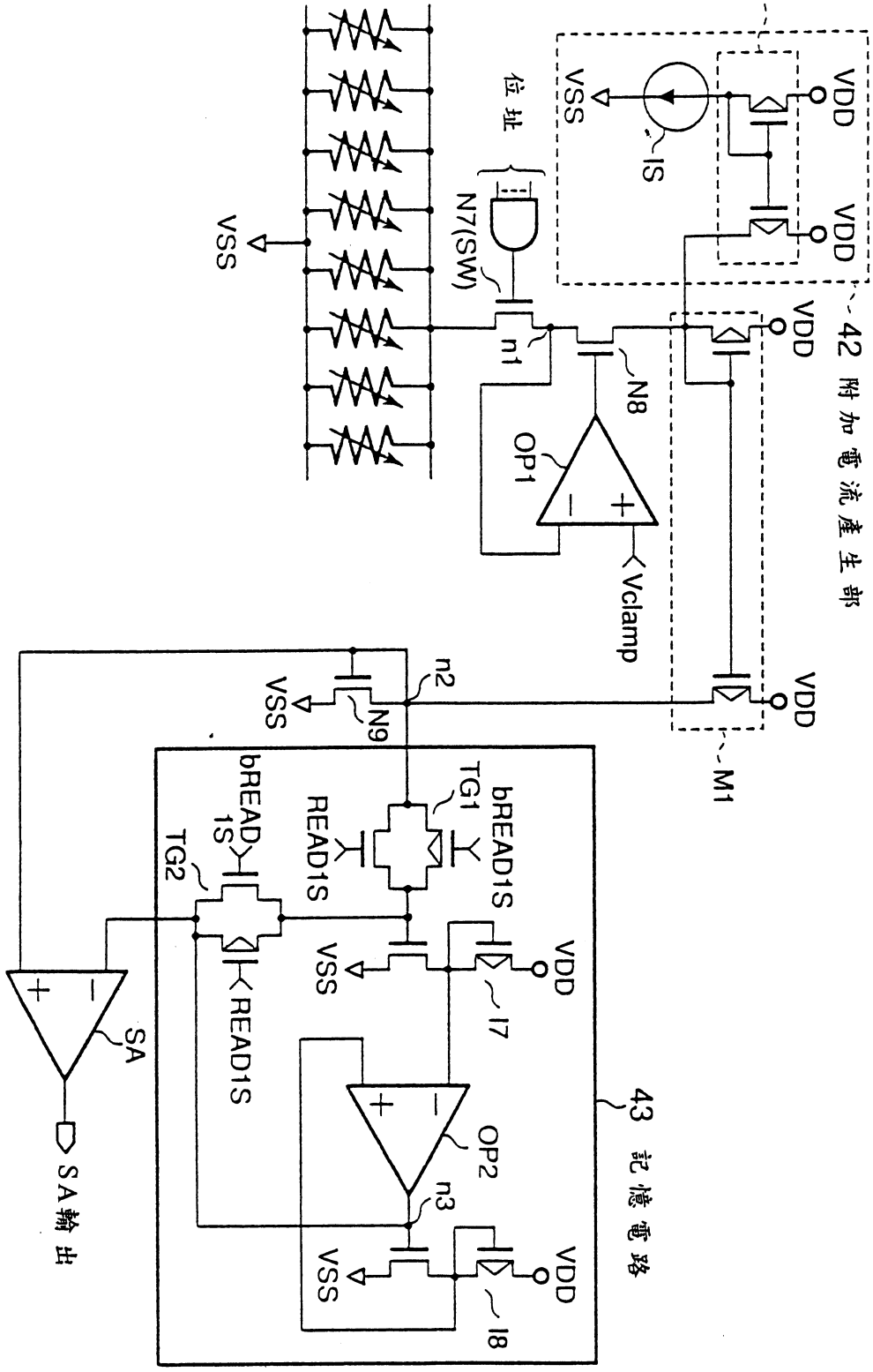
M2
VDD
VDD
VSS
IS
位址
N7(SW)
VSS
n1
N8
OP1
Vclamp
42 附加電流產生部
VDD
VDD
M1
n2
VSS
N9
bREAD1S
TG1
READ1S
bREAD1S
TG2
VSS
VDD
I7
READ1S
SA
OP2
n3
VSS
VDD
I8
43 記憶電路
SA輸出

圖 70

圖式續頁

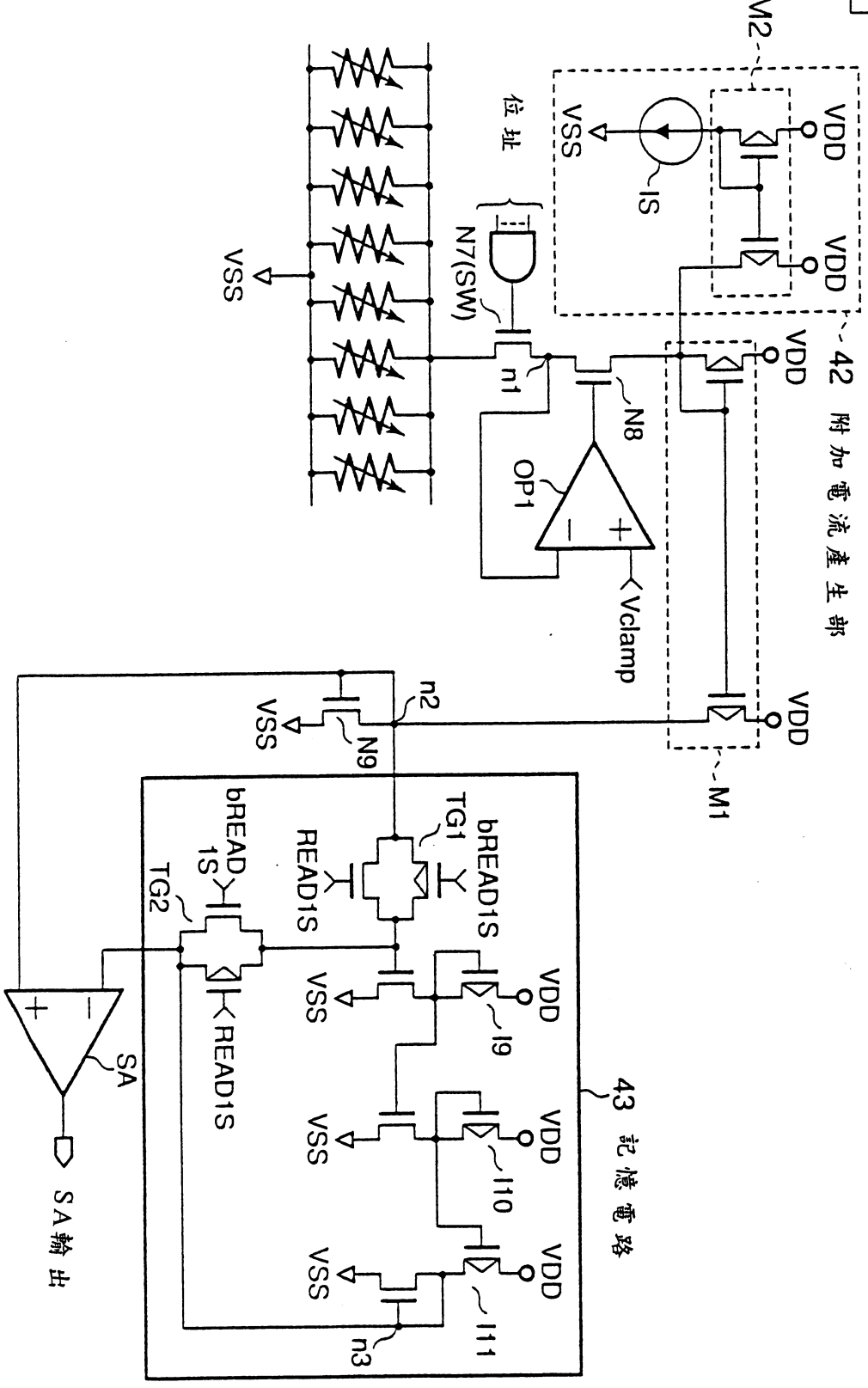
M2
VDD
VDD
VSS
IS
位址
N7(SW)
VSS
n1
VDD
42 附加電流產生部
N8
OP1
Vclamp
VDD
M1
n2
VSS
N9
bREAD1S
TG1
READ1S
bREAD1S
TG2
VSS
VDD
I9
VSS
VDD
I10
VSS
VDD
I11
n3
43 記憶電路
SA
READ1S
SA輸出

圖 71

圖式續頁

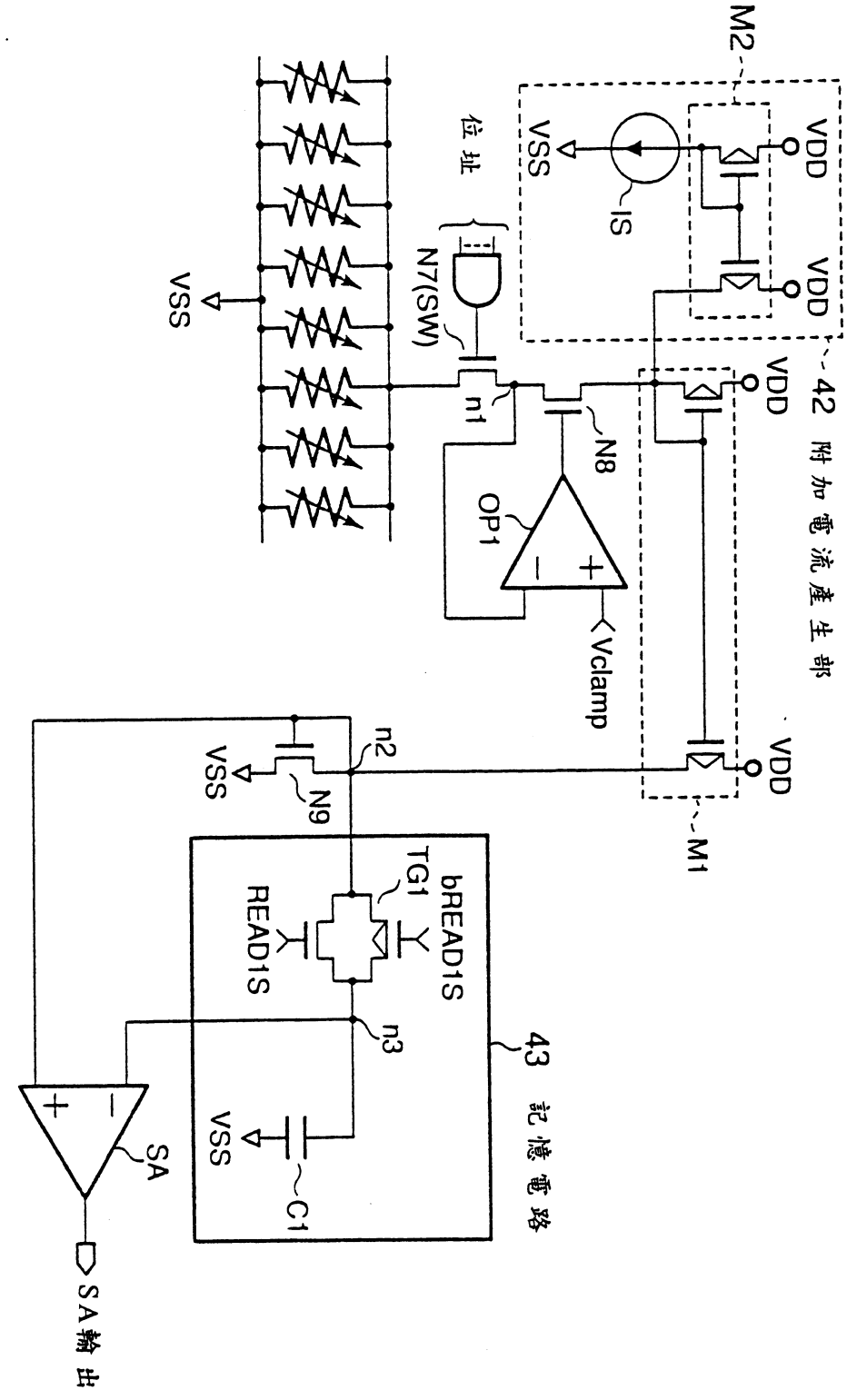
M2
VDD
VDD
VSS
IS
位址
N7(SW)
VSS
n1
N8
OP1
Vclamp
42 附加電流產生部
VDD
VDD
M1
n2
VSS
N9
bREAD1S
TG1
READ1S
n3
43 記憶電路
VSS
C1
SA
SA輸出

圖 72

圖式續頁

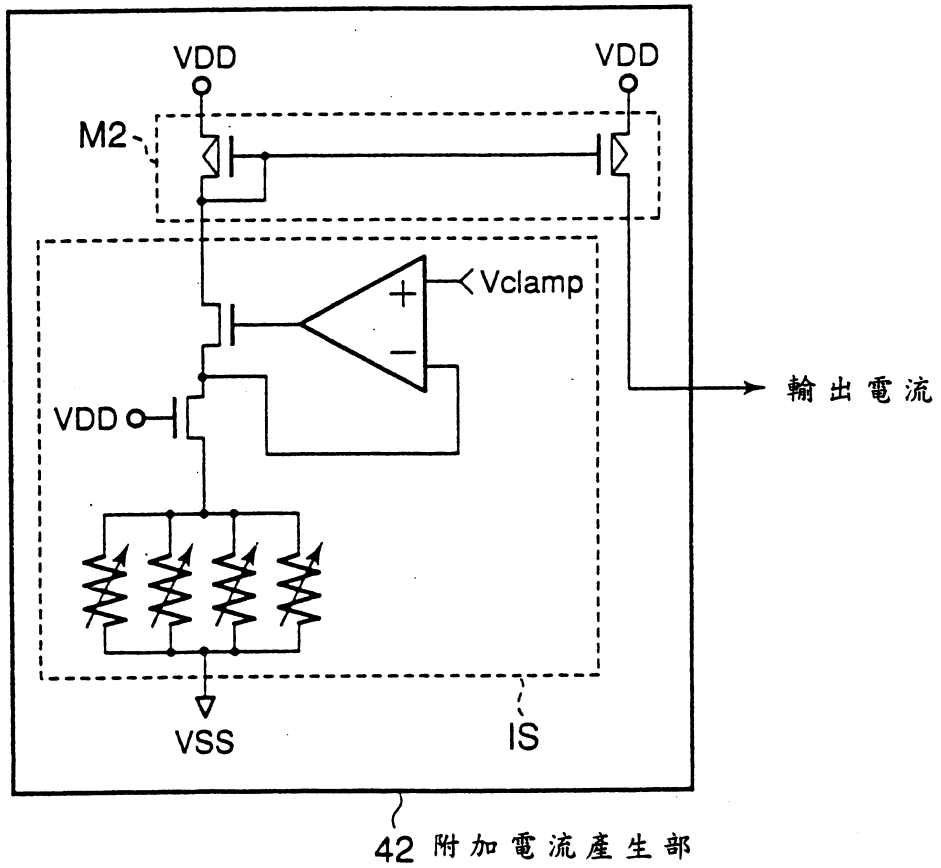

圖 73