

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年1月9日(09.01.2020)

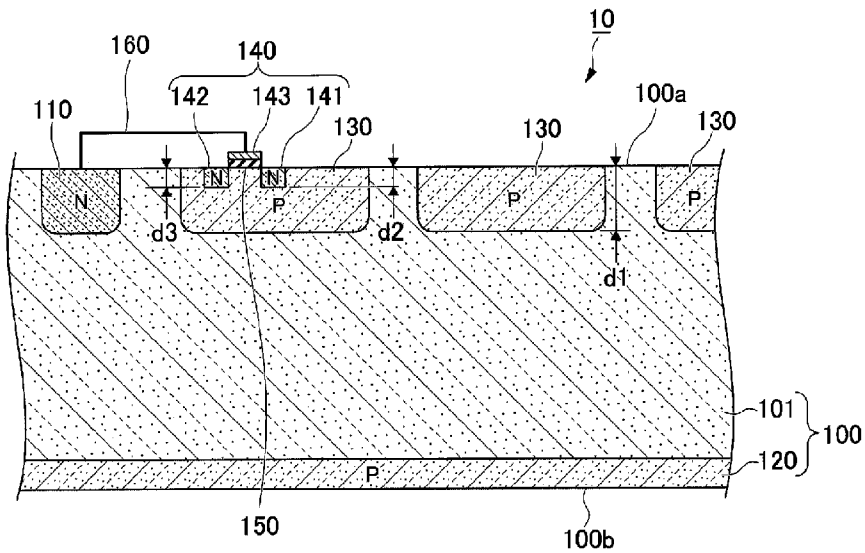


(10) 国際公開番号
WO 2020/008531 A1

- (51) 国際特許分類:
H01L 31/10 (2006.01) *G01T 1/24* (2006.01)
- (21) 国際出願番号: PCT/JP2018/025235
- (22) 国際出願日: 2018年7月3日(03.07.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: オリンパス株式会社 (**OLYMPUS CORPORATION**) [JP/JP]; 〒1928507 東京都八王子市石川町2951番地 Tokyo (JP).
- (72) 発明者: 武井 達也 (**TAKEI Tatsuya**); 〒1928507 東京都八王子市石川町2951番地 オリンパス株式会社内 Tokyo (JP). 只木 芳隆 (**TADAKI Yoshitaka**); 〒1928507 東京都八王子市石川町2951番地 オリンパス株式会社内 Tokyo (JP).
- (74) 代理人: 棚井 澄雄, 外 (**TANAI Sumio et al.**); 〒1006620 東京都千代田区丸の内一丁目9番2号 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: X-RAY DETECTOR

(54) 発明の名称: X線検出器



(57) Abstract: This X-ray detector has a semiconductor substrate, a first electrode, and a second electrode. The first electrode is placed on a first main surface of the semiconductor substrate. The second electrode is placed on a second main surface of the semiconductor substrate. The semiconductor substrate has a third electrode and a transistor. The third electrode is placed inside the semiconductor substrate, forming a portion of the first main surface, and a voltage for moving a charge in the direction of the first electrode is applied. The transistor has a source, a drain, and a gate. The source and the drain are placed inside the third electrode. The gate is placed on the first main surface, and is connected to the first electrode.



WO 2020/008531 A1

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

(57) 要約 : X線検出器は、半導体基板、第1の電極、および第2の電極を有する。前記第1の電極は、前記半導体基板の第1の主面に配置されている。前記第2の電極は、前記半導体基板の第2の主面に配置されている。前記半導体基板は、第3の電極およびトランジスタを有する。前記第3の電極は、前記半導体基板内に配置され、かつ前記第1の主面の一部を形成し、前記電荷を前記第1の電極の方向へ移動させるための電圧が印加される。前記トランジスタは、ソース、ドレイン、およびゲートを有する。前記ソースおよび前記ドレインは前記第3の電極内に配置されている。前記ゲートは前記第1の主面に配置され、かつ前記第1の電極に接続されている。

明 細 書

発明の名称： X線検出器

技術分野

[0001] 本発明は、X線検出器に関する。

背景技術

[0002] X線が金属等の物質に照射されたとき、その物質がその物質の原子に固有のエネルギー（波長）の蛍光を発することが知られている。蛍光の波長帯域はX線の波長帯域とほぼ等しい。蛍光の強度は非常に微弱である。

[0003] この現象は、対象物に含まれる金属等の物質の種類および量の推定に応用できる。この推定のために対象物にX線が照射され、かつ対象物から発せられた蛍光X線が観察される。蛍光X線に含まれる光の波長毎のエネルギー強度に基づいて、すなわち蛍光X線のスペクトルに基づいて上記の推定が実行される。

[0004] 微弱な蛍光X線を効率的に検出するシリコンドリフト検出器（SDD）が開示されている。図9は、特許文献1または特許文献2に開示されたSDDと同様に構成されたX線検出器1010の構成を示す。図9において、X線検出器1010の断面が示されている。図9に示すようにX線検出器1010は、半導体基板1100を有する。

[0005] 半導体基板1100は、半導体層1101、アノード電極1110、カソード電極1120、および複数の領域1130を有する。図9において、複数の領域1130のうち代表として1つの領域1130の符号が示されている。

[0006] 半導体基板1100は、面1100aおよび面1100bを有する。面1100aおよび面1100bは、互いに反対方向を向く。

[0007] 半導体層1101は、N型半導体を含む。アノード電極1110および複数の領域1130は、半導体層1101に配置されている。アノード電極1110は、N型半導体を含む。例えば、アノード電極1110の不純物濃度

は、半導体層 1101 の不純物濃度よりも高い。領域 1130 は、P 型半導体を含む。アノード電極 1110 および複数の領域 1130 は、面 1100 a を含む。アノード電極 1110 および複数の領域 1130 の各々は、面 1100 a から所定の深さまでの半導体領域である。

[0008] カソード電極 1120 は、半導体層 1101 に配置されている。カソード電極 1120 は、P 型半導体を含む。カソード電極 1120 は、面 1100 b を含む。カソード電極 1120 は、面 1100 b から所定の深さまでの半導体領域である。

[0009] アノード電極 1110 から信号を出力するための端子がアノード電極 1110 上に配置されてもよい。カソード電極 1120 に電圧を印加するための端子がカソード電極 1120 上に配置されてもよい。複数のゲート電極が面 1100 a 上に配置される。ゲート電極および領域 1130 は、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を構成する。

[0010] 図 10 は、X 線検出器 1010 の平面図である。図 10 において、半導体基板 1100 の面 1100 a に垂直な方向に X 線検出器 1010 を見たときの各要素が示されている。つまり、図 10 において、半導体基板 1100 の正面から X 線検出器 1010 を見たときの各要素が示されている。図 10 において、複数の領域 1130 のうち代表として 1 つの領域 1130 の符号が示されている。

[0011] アノード電極 1110 は、半導体基板 1100 の面 1100 a の中心に配置されている。アノード電極 1110 は、円形である。複数の領域 1130 は、リング状である。複数の領域 1130 は、同心円状に配置されている。複数の領域 1130 は、アノード電極 1110 を囲むように配置されている。図 10 に示す線 L10 を通る断面が図 9 に示されている。

[0012] 負電圧がカソード電極 1120 に印加される。カソード電極 1120 に印加される電圧の絶対値は、アノード電極 1110 の電圧の絶対値よりも大きい。半導体基板 1100 の内部の電位は、面 1100 b から面 1100 a に

向かって高くなる。

[0013] 負電圧が面1100a上のゲート電極に印加される。アノード電極1110の電位は、複数のゲート電極のどの電位よりも高い。より外側のゲート電極に印加される電圧の絶対値は、より内側のゲート電極に印加される電圧の絶対値よりも大きい。そのため、より外側の領域1130に印加される電圧の絶対値は、より内側の領域1130に印加される電圧の絶対値よりも大きい。半導体基板1100の内部の電位は、半導体基板1100の外周から中心に向かって高くなる。

[0014] 上記のような電圧がX線検出器1010に印加される。半導体基板1100内の電位は、面1100bから面1100aに向かって高くなり、かつ半導体基板1100の外周から中心に向かって高くなる。つまり、電位勾配が半導体基板1100に発生する。X線がX線検出器1010に入射した場合、半導体基板1100において電子が発生する。その電子は、電位勾配に従ってアノード電極1110に集まる。その電子に基づく信号がX線検出器1010から出力される。

[0015] X線検出器において、X線検出器に入射したX線のエネルギーに比例した数の電荷が発生する。その電荷を電圧信号に変換するために、初段アンプを有するチップが使用されている。初段アンプを有するチップは、X線検出器を有するチップとは異なる。初段アンプは、J F E T (J u n c t i o n F i e l d E f f e c t T r a n s i s t o r) などで構成されている。

[0016] しかし、この方法では、X線検出器と初段アンプとの間に、アルミまたは金などを含むワイヤが必要である。ワイヤにより容量、抵抗、およびインダクタの各々の成分が増加し、かつ雑音が増加する。この問題を解決するために、X線検出器の中心にJ F E Tを形成する技術が知られている。

先行技術文献

特許文献

[0017] 特許文献1：日本国特開2008-153256号公報

特許文献2：日本国特開2008-258348号公報

発明の概要

発明が解決しようとする課題

[0018] この技術では、X線検出器の中心にJFETが配置され、かつJFETの周囲にアノード電極が配置される。アノード電極はリング状である。この技術では、アノード電極をX線検出器の中心に配置する技術と比較して、アノード電極の周囲長が大きくなる。そのため、アノード電極に寄生する容量が大きくなり、かつ雑音が増加する。

[0019] 本発明は、雑音の増加を抑えることができるX線検出器を提供することを目的とする。

課題を解決するための手段

[0020] 本発明の第1の態様によれば、X線検出器は、半導体基板、第1の電極、および第2の電極を有する。前記半導体基板は、互いに反対方向を向く第1の主面および第2の主面を有する。前記第1の電極は、前記第1の主面に配置され、かつX線が前記半導体基板に入射したときに前記半導体基板内で発生した電荷を収集する。前記第2の電極は、前記第2の主面に配置されている。前記電荷を前記第1の電極の方向へ移動させるための電圧が前記第2の電極に印加される。前記半導体基板は、第3の電極およびトランジスタを有する。前記第3の電極は、前記半導体基板内に配置され、かつ前記第1の主面の一部を形成する。前記電荷を前記第1の電極の方向へ移動させるための電圧が前記第3の電極に印加される。前記トランジスタは、ソース、ドレイン、およびゲートを有する。前記ソースおよび前記ドレインが前記第3の電極内に配置されている。前記ゲートが前記第1の主面に配置され、かつ前記第1の電極に接続されている。

[0021] 本発明の第2の態様によれば、第1の態様において、前記電圧の絶対値は10V以下であってもよい。

[0022] 本発明の第3の態様によれば、第1の態様において、前記X線検出器は、複数の前記第1の電極および複数の前記第3の電極を有してもよい。

- [0023] 本発明の第4の態様によれば、第3の態様において、前記ソースおよび前記ドレインは、前記第1の電極に最も近い前記第3の電極内に配置されてもよい。
- [0024] 本発明の第5の態様によれば、第3の態様において、第1の電圧が前記電圧として、前記トランジスタが配置された前記第3の電極に印加されてもよい。第2の電圧が前記電圧として、前記トランジスタが配置されていない前記第3の電極に印加されてもよい。前記第1の電圧の絶対値は、前記第2の電圧の絶対値よりも小さくてもよい。
- [0025] 本発明の第6の態様によれば、第1の態様において、前記第3の電極は、前記第1の主面から第1の位置まで広がってもよい。前記第1の位置は、前記第1の主面から第1の距離だけ前記半導体基板の内部に向かって離れてもよい。前記第1の電極は、前記第1の主面から第2の位置まで広がってもよい。前記第2の位置は、前記第1の主面から第2の距離だけ前記半導体基板の内部に向かって離れてもよい。前記第1の距離は、前記第2の距離よりも大きくてもよい。
- [0026] 本発明の第7の態様によれば、第3の態様において、前記複数の前記第3の電極は、第1の部分として配置された前記第3の電極と、第2の部分として配置された前記第3の電極とを含んでもよい。前記第1の部分は、前記第1の主面から第3の位置まで広がってもよい。前記第3の位置は、前記第1の主面から第3の距離だけ前記半導体基板の内部に向かって離れてもよい。前記第2の部分は、前記第1の主面から第4の位置まで広がってもよい。前記第4の位置は、前記第1の主面から第4の距離だけ前記半導体基板の内部に向かって離れてもよい。前記第3の距離は、前記第4の距離よりも大きくてもよい。
- [0027] 本発明の第8の態様によれば、第7の態様において、前記第2の部分は、前記第1の電極と前記第1の部分との間に配置されてもよい。
- [0028] 本発明の第9の態様によれば、第7の態様において、前記ソースおよび前記ドレインは、前記第2の部分内に配置されてもよい。

[0029] 本発明の第10の態様によれば、第1の態様において、前記X線検出器は、第4の電極をさらに有してもよい。前記第4の電極は、第5の位置から第6の位置まで広がってもよい。前記第5の位置は、前記第2の主面から第5の距離だけ前記半導体基板の内部に向かって離れてもよい。前記第6の位置は、前記第2の主面から第6の距離だけ前記半導体基板の内部に向かって離れてもよい。前記第6の距離は、前記第5の距離よりも大きくてもよい。前記第2の電極は、前記第2の主面から前記第5の位置まで広がってもよい。

発明の効果

[0030] 上記の各態様によれば、X線検出器は雑音の増加を抑えることができる。

図面の簡単な説明

- [0031] [図1]本発明の第1の実施形態のX線検出器の断面図である。
[図2]本発明の第1の実施形態のX線検出器の平面図である。
[図3]本発明の第2の実施形態のX線検出器の断面図である。
[図4]本発明の第3の実施形態のX線検出器の断面図である。
[図5]本発明の第3の実施形態の第1の変形例のX線検出器の断面図である。
[図6]本発明の第3の実施形態の第2の変形例のX線検出器の断面図である。
[図7]本発明の第4の実施形態のX線検出器の平面図である。
[図8]本発明の第4の実施形態の変形例のX線検出器の平面図である。
[図9]従来技術のX線検出器の断面図である。
[図10]従来技術のX線検出器の平面図である。

発明を実施するための形態

[0032] 図面を参照し、本発明の実施形態を説明する。

[0033] (第1の実施形態)

図1は、本発明の第1の実施形態のX線検出器10の構成を示す。図1において、X線検出器10の断面が示されている。X線検出器10は、放射線すなわち蛍光X線を検出するシリコンドリフト検出器(SDD)として構成されている。

[0034] X線検出器10を構成する部分の寸法は、図1に示される寸法に従うとは

限らない。X線検出器10を構成する部分の寸法は任意であってよい。他の断面図における寸法についても同様である。

[0035] X線検出器10の概略構成について説明する。X線検出器10は、半導体基板100、アノード電極110（第1の電極）、およびカソード電極120（第2の電極）を有する。半導体基板100は、互いに反対方向を向く面100a（第1の主面）および面100b（第2の主面）を有する。アノード電極110は、面100aに配置され、かつX線が半導体基板100に入射したときに半導体基板100内で発生した電荷を収集する。カソード電極120は、面100bに配置されている。電荷をアノード電極110の方向へ移動させるための電圧がカソード電極120に印加される。半導体基板100は、領域130（第3の電極）およびトランジスタ140を有する。領域130は、半導体基板100内に配置され、かつ面100aの一部を形成する。電荷をアノード電極110の方向へ移動させるための電圧が領域130に印加される。トランジスタ140は、ソース141、ドレイン142、およびゲート143を有する。ソース141およびドレイン142は領域130内に配置されている。ゲート143は面100aに配置されている。ゲート143はアノード電極110に接続されている。

[0036] X線検出器10の詳細な構成について説明する。半導体基板100は、半導体層101、アノード電極110、カソード電極120、および複数の領域130を有する。例えば、半導体基板100を構成する半導体材料は、シリコン（Si）である。

[0037] 面100aおよび面100bは、半導体基板100の主面を構成する。主面は、半導体基板100の表面を構成する複数の面のうち相対的に広い面である。

[0038] 半導体層101は、N型半導体を含む。アノード電極110および複数の領域130は、半導体層101に配置されている。アノード電極110は、N型半導体を含む。例えば、アノード電極110の不純物濃度は、半導体層101の不純物濃度よりも高い。領域130は、P型半導体を含む。

- [0039] アノード電極110および領域130は、面100aを含む。アノード電極110および領域130の各々は、面100aから所定の深さまでの半導体領域である。領域130は、面100aから所定の位置まで広がっている。所定の位置は、面100aから距離d1だけ半導体基板100の内部に向かって離れている。距離d1は、領域130の深さである。
- [0040] トランジスタ140は、MOSFETである。ソース141およびドレイン142は、アノード電極110に最も近い領域130内に配置されている。ソース141およびドレイン142は、アノード電極110に隣接する領域130内に配置されている。ソース141が配置された領域130と、ドレイン142が配置された領域130とは、同じである。アノード電極110に近い側にドレイン142が配置され、かつアノード電極110から遠い側にソース141が配置されている。ドレイン142は、アノード電極110とソース141との間に配置されている。
- [0041] ソース141およびドレイン142は、N型半導体を含む。ソース141およびドレイン142は、面100aを含む。ソース141およびドレイン142の各々は、面100aから所定の深さまでの半導体領域である。ソース141は、面100aから所定の位置まで広がっている。ソース141のその所定の位置は、面100aから距離d2だけ半導体基板100の内部に向かって離れている。ドレイン142は、面100aから所定の位置まで広がっている。ドレイン142のその所定の位置は、面100aから距離d3だけ半導体基板100の内部に向かって離れている。距離d2は、距離d3と同じである。距離d2は、距離d3と異なってもよい。距離d2および距離d3は、距離d1よりも小さい。距離d2は、ソース141の深さである。距離d3は、ドレイン142の深さである。
- [0042] ソース141およびドレイン142の間の領域上に絶縁層150が配置されている。絶縁層150は、絶縁材料で構成されている。例えば、絶縁層150を構成する絶縁材料は、二酸化珪素(SiO₂)である。絶縁層150は、半導体層101に積層されている。絶縁層150は、面100aと接触

している。ゲート143は、絶縁層150に積層されている。ゲート143は、配線160によってアノード電極110に接続されている。ゲート143が配置された領域130と、ソース141およびドレイン142が配置された領域130とは、同じである。

[0043] ソース141およびドレイン142は、図1に示されていない配線に接続されている。ソース141およびドレイン142は、X線検出器10の外部の回路に電氣的に接続されている。トランジスタ140は、アノード電極110から信号を取り出し、かつ増幅するための回路素子である。トランジスタ140をX線検出器10に配置することにより、トランジスタ140を含む初段アンプをX線検出器10に配置することができる。

[0044] カソード電極120は、半導体層101に配置されている。カソード電極120は、P型半導体を含む。カソード電極120は、面100bを含む。カソード電極120は、面100bから所定の深さまでの半導体領域である。

[0045] アノード電極110から信号を出力するための端子がアノード電極110上に配置されてもよい。カソード電極120に電圧を印加するための端子がカソード電極120上に配置されてもよい。複数のゲート電極が面100a上に配置される。ゲート電極および領域130は、MOSFETを構成する。このMOSFETはPMOSであり、トランジスタ140はNMOSである。

[0046] 図2は、X線検出器10の平面図である。図2において、半導体基板100の面100aに垂直な方向にX線検出器10を見たときの各要素が示されている。つまり、図2において、半導体基板100の正面からX線検出器10を見たときの各要素が示されている。図2において、複数の領域130のうち代表として1つの領域130の符号が示されている。

[0047] X線検出器10の外形は矩形である。図2に示す例では、X線検出器10の外形は正方形である。X線検出器10の外形は、矩形に限らない。

[0048] アノード電極110は、半導体基板100の面100aの中心に配置され

ている。アノード電極 110 は、円形である。アノード電極 110 の外形は、矩形等であってもよい。複数の領域 130 は、リング状である。複数の領域 130 は、同心円状に配置されている。複数の領域 130 は、アノード電極 110 を囲むように配置されている。図 2 に示す線 L1 を通る断面が図 1 に示されている。

[0049] 負電圧がカソード電極 120 に印加される。カソード電極 120 に印加される電圧の絶対値は、アノード電極 110 の電圧の絶対値よりも大きい。例えば、カソード電極 120 に印加される電圧は、 -80V から -100V である。半導体基板 100 の内部の電位は、面 100b から面 100a に向かって高くなる。

[0050] 負電圧が面 100a 上のゲート電極に印加される。アノード電極 110 の電位は、複数のゲート電極のどの電位よりも高い。より外側のゲート電極に印加される電圧の絶対値は、より内側のゲート電極に印加される電圧の絶対値よりも大きい。そのため、より外側の領域 130 に印加される電圧の絶対値は、より内側の領域 130 に印加される電圧の絶対値よりも大きい。例えば、最も外側の領域 130 に印加される電圧は、 -80V から -100V である。半導体基板 100 の内部の電位は、半導体基板 100 の外周から中心に向かって高くなる。

[0051] 第 1 の電圧が、トランジスタ 140 が配置された領域 130 に印加される。第 2 の電圧が、トランジスタ 140 が配置されていない領域 130 に印加される。第 1 の電圧の絶対値は、第 2 の電圧の絶対値よりも小さい。

[0052] 絶対値が 10V 以下である電圧が、トランジスタ 140 が配置された領域 130 に印加される。例えば、 -5V から -10V の範囲に含まれる電圧がその領域 130 に印加される。 -1V から -10V の範囲に含まれる電圧がその領域 130 に印加されてもよい。

[0053] 上記のような電圧が X 線検出器 10 に印加される。半導体基板 100 内の電位は、面 100b から面 100a に向かって高くなり、かつ半導体基板 100 の外周から中心に向かって高くなる。つまり、電位勾配が半導体基板 1

00に発生する。X線がX線検出器10に入射した場合、半導体基板100において電子が発生する。その電子は、電位勾配に従ってアノード電極110に集まる。その電子に基づく信号がトランジスタ140によって取り出される。

[0054] 半導体基板100がP型半導体を含んでもよい。その場合、アノード電極110、ソース141、およびドレイン142は、P型半導体を含む。その場合、カソード電極120および領域130は、N型半導体を含む。その場合、正電圧がカソード電極120および領域130に印加される。その場合、正孔が電荷としてアノード電極110から出力される。

[0055] 第1の実施形態のX線検出器10は、半導体基板100内の領域130に配置されたトランジスタ140を有する。そのため、アノード電極110の周囲長は大きくならない。X線検出器10は、アノード電極110に寄生する容量を原因とする雑音の増加を抑えることができる。

[0056] トランジスタ140は、アノード電極110に最も近い領域130に配置されている。トランジスタ140が配置された領域130には、比較的低い電圧（絶対値が小さな電圧）が印加される。トランジスタ140の耐圧が確保されやすいため、絶縁層150を薄くすることができ、かつトランジスタ140の形成が容易である。

[0057] （第2の実施形態）

X線によって発生する複数の電子は、電位勾配によって均等に加速されるとは限らない。複数の電子の速度にはばらつきが発生する。そのため、X線検出器において複数の電子がアノード電極に到達する時間の違いが大きくなる。その違いが大きい場合、アノード電極から出力された信号は、後段の信号処理回路によって雑音として処理される。その信号は分析に適していない。

[0058] 速度のばらつきが大きな複数の電子を分析を使用するためには、後段の信号処理回路における信号検出の待ち時間（シェーピング時間）を長く設定する必要がある。長いシェーピング時間が設定された場合、検出レートが低下

する。そのため、分析装置の性能が低下する。より大きなX線検出器において、この問題は顕著である。

[0059] 図3は、本発明の第2の実施形態のX線検出器11の構成を示す。図3において、X線検出器11の断面が示されている。図1に示す部分と同じ部分の説明を省略する。

[0060] X線検出器11は、複数のアノード電極110を有する。図3において、3つのアノード電極110が示されている。隣接する2つのアノード電極110の間に領域130が配置されている。図3において、2つの領域130が示されている。トランジスタ140が各領域130に配置されている。例えば、アノード電極110の数と領域130の数とは同じである。例えば、複数のアノード電極110に印加される電圧は同じである。

[0061] X線が半導体基板100に入射したとき、複数の電子が発生する。各電子は、各電子に近いアノード電極110に向かって移動する。半導体基板100の中心部で発生した電子の移動距離と、半導体基板100の周辺部で発生した電子の移動距離との差が小さくなる。各電子がアノード電極110に到達する時間は、電子の速度のばらつきに依存する。この時間のばらつきは低減される。そのため、シェーピング時間を長く設定することなく、X線により発生した電子の量に応じた信号を検出することができる。

[0062] 複数のアノード電極110を配置することにより、1つのアノード電極110を小さくすることができる。そのため、アノード電極110に寄生する容量が小さくなる。

[0063] 各領域130によって、複数のアノード電極110は互いに分離される。各領域130からアノード電極110に向かう方向に電位勾配が発生する。電子は、その電位勾配に従ってアノード電極110に移動する。1つの電子群に含まれる複数の電子は分離しにくく、1つのアノード電極110に到達しやすい。

[0064] 複数のX線の波がほぼ同時にX線検出器に入射したとき、2つ以上の電子群がほぼ同時に発生する。2つ以上の電子群が1つのアノード電極110に

ほぼ同時に到達した場合、信号が、1つのX線の波に対応する信号として誤って検出される。この現象は、パイルアップと呼ばれる。複数のアノード電極110を配置し、かつ領域130を各アノード電極110間に配置することにより、2つ以上の電子群がそれぞれ異なるアノード電極110に到達する可能性が高まる。各アノード電極110に対応するトランジスタ140を配置することにより、各電子群に基づく信号を各トランジスタ140によって取り出すことができる。そのため、パイルアップの発生頻度が低下する。

[0065] (第3の実施形態)

図4は、本発明の第3の実施形態のX線検出器12の構成を示す。図4において、X線検出器12の断面が示されている。図1または図3に示す部分と同じ部分の説明を省略する。

[0066] 図3に示す領域130は領域131に変更される。領域131は、面100aから所定の位置(第1の位置)まで広がっている。所定の位置は、面100aから距離d4(第1の距離)だけ半導体基板100の内部に向かって離れている。距離d4は、図1に示す距離d1よりも大きい。アノード電極110は、面100aから所定の位置(第2の位置)まで広がっている。所定の位置は、面100aから距離d5(第2の距離)だけ半導体基板100の内部に向かって離れている。距離d4は、距離d5よりも大きい。距離d4は、領域131の深さである。距離d5はアノード電極110の深さである。

[0067] 例えば、図3に示す領域130は、イオン注入により形成される。一方、図4に示す領域131は、例えば以下の方法により形成される。半導体層101の深い位置まで穴を掘り、穴の表面が絶縁層で覆われる。その後、絶縁層で覆われた穴に導体層が形成される。適切な電圧が領域131に印加されたとき、MOSFETのオン状態と同様に、反転層が絶縁層と半導体層101との界面に形成される。反転層は、アノード電極110の極性とは逆の極性を持つ。

[0068] 所定の電圧が領域131に印加されたとき、アノード電極110と領域1

31との間の領域は完全に空乏化される。空乏化された領域のキャリア濃度は非常に小さい。領域131を深く形成することにより、カソード電極120と領域131との間で空乏化しなければならない範囲が減少する。そのため、カソード電極120に印加する電圧を低くすることができる。言い換えると、カソード電極120に印加する電圧の絶対値を小さくすることができる。

[0069] (第3の実施形態の第1の変形例)

図5は、本発明の第3の実施形態の第1の変形例のX線検出器13の構成を示す。図5において、X線検出器13の断面が示されている。図4に示す部分と同じ部分の説明を省略する。

[0070] 図4に示す領域131は領域132に変更される。トランジスタ140は領域132に配置されていない。領域132に加えて領域130が配置されている。トランジスタ140は、領域130に配置されている。領域132(第1の部分)は、面100aから所定の位置(第3の位置)まで広がっている。所定の位置は、面100aから距離d6(第3の距離)だけ半導体基板100の内部に向かって離れている。領域130(第2の部分)は、面100aから所定の位置(第4の位置)まで広がっている。所定の位置は、面100aから距離d1(第4の距離)だけ半導体基板100の内部に向かって離れている。距離d6は、距離d1よりも大きい。距離d6は、領域132の深さである。

[0071] 領域130は、アノード電極110と領域132との間に配置されている。領域132は、隣接する2つのアノード電極110の間に配置されている。

[0072] 領域132に印加される電圧と、領域130に印加される電圧とは、互いに異なる。領域132に印加される電圧の絶対値は、領域130に印加される電圧の絶対値よりも大きい。

[0073] X線検出器13において、図4に示すX線検出器12と同様に、カソード電極120に印加する電圧の絶対値を小さくすることができる。

[0074] (第3の実施形態の第2の変形例)

図6は、本発明の第3の実施形態の第2の変形例のX線検出器14の構成を示す。図6において、X線検出器14の断面が示されている。図4に示す部分と同じ部分の説明を省略する。

[0075] X線検出器14は、複数の領域170(第4の電極)をさらに有する。図6において、2つの領域170が示されている。領域170は、半導体層101に配置されている。領域170は、P型半導体を含む。

[0076] 領域170は、カソード電極120と半導体層101との界面から所定の深さまでの半導体領域である。カソード電極120は、面100bから位置P1(第5の位置)まで広がっている。位置P1は、面100bから距離d7(第5の距離)だけ半導体基板100の内部に向かって離れている。領域170は、位置P1から位置P2(第6の位置)まで広がっている。位置P2は、面100bから距離d8(第6の距離)だけ半導体基板100の内部に向かって離れている。距離d8は、距離d7よりも大きい。距離d7は、カソード電極120の深さである。距離d8は、領域170の深さである。

[0077] 面100aに平行な方向Dr1における領域170の位置と、方向Dr1における領域131との位置は、同じである。仮想直線VL1は、領域170および領域131を通る。仮想直線VL1は、面100aに垂直な方向Dr2に伸びる。方向Dr2は、半導体基板100の厚さ方向である。方向Dr1における領域170の位置と、方向Dr1における領域131との位置は、異なってもよい。

[0078] 領域170は、カソード電極120に接続されている。カソード電極120に印加された電圧は、領域170に印加される。

[0079] 領域131と領域170とが接続されてもよい。つまり、領域131および領域170は、半導体基板100を貫通する層として形成されてもよい。図1に示すX線検出器10、図3に示すX線検出器11、および図5に示すX線検出器13の少なくとも1つが領域170を有してもよい。

[0080] 領域170を深く形成することにより、領域170と領域131との間で

空乏化しなければならない範囲が減少する。そのため、カソード電極 120 に印加する電圧を低くすることができる。言い換えると、カソード電極 120 に印加する電圧の絶対値を小さくすることができる。

[0081] (第4の実施形態)

図7は、本発明の第4の実施形態のX線検出器15の平面図である。図7において、半導体基板100の面100aに垂直な方向にX線検出器15を見たときの各要素が示されている。つまり、図7において、半導体基板100の正面からX線検出器15を見たときの各要素が示されている。

[0082] X線検出器15は、複数のアノード電極110および複数の領域130を有する。図7において、複数のアノード電極110のうち代表として1つのアノード電極110の符号が示されている。図7において、複数の領域130のうち代表として1つの領域130の符号が示されている。

[0083] 複数のアノード電極110は、面100aの領域100cの周囲に配置されている。複数のアノード電極110は、等間隔に配置されている。領域100cの中心から複数のアノード電極110までの距離は、同じである。複数の領域130は、領域100cの中心から放射状に伸びる。各領域130は、隣接する2つのアノード電極110の間に配置されている。複数のアノード電極110および複数の領域130は、点対象に配置されている。

[0084] トランジスタ140は、領域130の部分130aに配置されている。部分130aは、隣接する2つのアノード電極110の間に配置されている。

[0085] X線検出器15において、複数のアノード電極110および複数の領域130は、偏らずに配置されている。そのため、各アノード電極110が電子を検出する性能が均等になる。

[0086] (第4の実施形態の変形例)

図8は、本発明の第4の実施形態の変形例のX線検出器16の平面図である。図8において、半導体基板100の面100aに垂直な方向にX線検出器16を見たときの各要素が示されている。つまり、図8において、半導体基板100の正面からX線検出器16を見たときの各要素が示されている。

- [0087] X線検出器16は、複数のアノード電極110および複数の領域130を有する。図8において、複数のアノード電極110のうち代表として1つのアノード電極110の符号が示されている。図8において、複数の領域130のうち代表として2つの領域130の符号が示されている。
- [0088] 複数のアノード電極110の位置は、図7に示す複数のアノード電極110の位置と同じである。複数の領域130は、第1のグループの8個の領域130と、第2のグループの8個の領域130とを含む。第1のグループの8個の領域130は、領域100cの中心から距離d9だけ離れた位置に配置されている。第1のグループの各領域130は、隣接する2つのアノード電極110の間に配置されている。第2のグループの8個の領域130は、領域100cの中心から距離d10だけ離れた位置に配置されている。距離d10は、距離d9よりも小さい。
- [0089] 第1のグループの8個の領域130は、等間隔に配置されている。第2のグループの8個の領域130は、等間隔に配置されている。複数のアノード電極110および複数の領域130は、点対象に配置されている。トランジスタ140は、第1のグループの各領域130に配置されている。
- [0090] X線検出器16において、複数のアノード電極110および複数の領域130は、偏らずに配置されている。そのため、各アノード電極110が電子を検出する性能が均等になる。
- [0091] 以上、本発明の好ましい実施形態を説明したが、本発明はこれら実施形態およびその変形例に限定されることはない。本発明の趣旨を逸脱しない範囲で、構成の付加、省略、置換、およびその他の変更が可能である。また、本発明は前述した説明によって限定されることはなく、添付のクレームの範囲によってのみ限定される。

産業上の利用可能性

- [0092] 本発明の各実施形態によれば、X線検出器は雑音の増加を抑えることができる。

符号の説明

- [0093] 10, 11, 12, 13, 14, 15, 16, 1010 X線検出器
100, 1100 半導体基板
101, 1101 半導体層
110, 1110 アノード電極
120, 1120 カソード電極
130, 131, 132, 170, 1130 領域
140 トランジスタ
141 ソース
142 ドレイン
143 ゲート
150 絶縁層

請求の範囲

- [請求項1] 互いに反対方向を向く第1の主面および第2の主面を有する半導体基板と、
前記第1の主面に配置され、かつX線が前記半導体基板に入射したときに前記半導体基板内で発生した電荷を収集する第1の電極と、
前記第2の主面に配置され、かつ前記電荷を前記第1の電極の方向へ移動させるための電圧が印加される第2の電極と、
を有し、
前記半導体基板は、
前記半導体基板内に配置され、かつ前記第1の主面の一部を形成し、前記電荷を前記第1の電極の方向へ移動させるための電圧が印加される第3の電極と、
ソース、ドレイン、およびゲートを有し、前記ソースおよび前記ドレインが前記第3の電極内に配置され、前記ゲートが前記第1の主面に配置され、前記ゲートが前記第1の電極に接続されたトランジスタと、
を有するX線検出器。
- [請求項2] 前記電圧の絶対値は10V以下である
請求項1に記載のX線検出器。
- [請求項3] 複数の前記第1の電極および複数の前記第3の電極を有する
請求項1に記載のX線検出器。
- [請求項4] 前記ソースおよび前記ドレインは、前記第1の電極に最も近い前記第3の電極内に配置されている
請求項3に記載のX線検出器。
- [請求項5] 第1の電圧が前記電圧として、前記トランジスタが配置された前記第3の電極に印加され、
第2の電圧が前記電圧として、前記トランジスタが配置されていない前記第3の電極に印加され、

前記第 1 の電圧の絶対値は、前記第 2 の電圧の絶対値よりも小さい
請求項 3 に記載の X 線検出器。

[請求項 6]

前記第 3 の電極は、前記第 1 の主面から第 1 の位置まで広がり、前記第 1 の位置は、前記第 1 の主面から第 1 の距離だけ前記半導体基板の内部に向かって離れており、

前記第 1 の電極は、前記第 1 の主面から第 2 の位置まで広がり、前記第 2 の位置は、前記第 1 の主面から第 2 の距離だけ前記半導体基板の内部に向かって離れており、

前記第 1 の距離は、前記第 2 の距離よりも大きい
請求項 1 に記載の X 線検出器。

[請求項 7]

前記複数の前記第 3 の電極は、

第 1 の部分として配置された前記第 3 の電極と、

第 2 の部分として配置された前記第 3 の電極と、

を含み、

前記第 1 の部分は、前記第 1 の主面から第 3 の位置まで広がり、前記第 3 の位置は、前記第 1 の主面から第 3 の距離だけ前記半導体基板の内部に向かって離れており、

前記第 2 の部分は、前記第 1 の主面から第 4 の位置まで広がり、前記第 4 の位置は、前記第 1 の主面から第 4 の距離だけ前記半導体基板の内部に向かって離れており、

前記第 3 の距離は、前記第 4 の距離よりも大きい
請求項 3 に記載の X 線検出器。

[請求項 8]

前記第 2 の部分は、前記第 1 の電極と前記第 1 の部分との間に配置されている

請求項 7 に記載の X 線検出器。

[請求項 9]

前記ソースおよび前記ドレインは、前記第 2 の部分内に配置されている

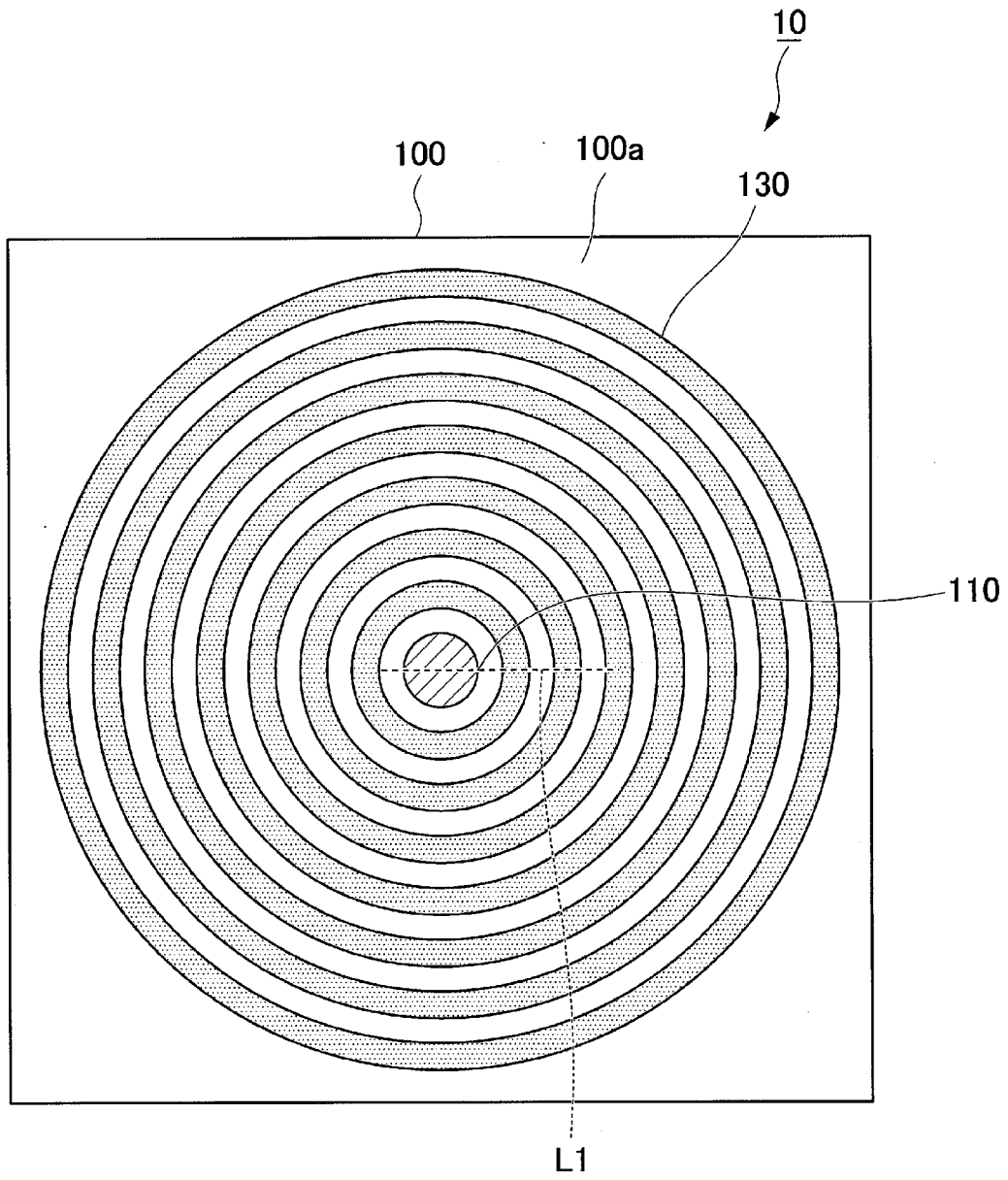
請求項 7 に記載の X 線検出器。

[請求項10] 第5の位置から第6の位置まで広がり、前記第5の位置は、前記第2の主面から第5の距離だけ前記半導体基板の内部に向かって離れ、前記第6の位置は、前記第2の主面から第6の距離だけ前記半導体基板の内部に向かって離れ、前記第6の距離は、前記第5の距離よりも大きい第4の電極をさらに有し、

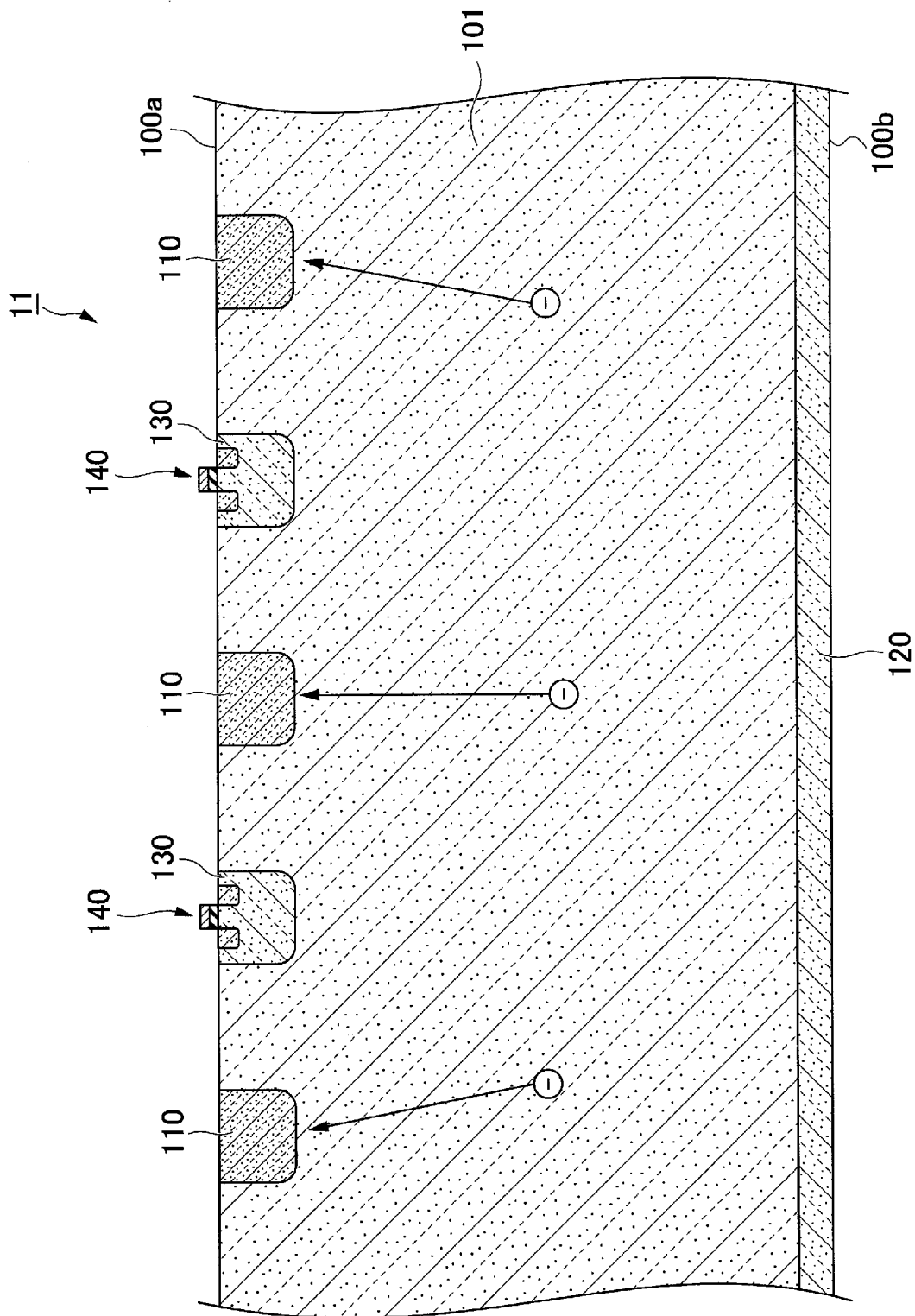
前記第2の電極は、前記第2の主面から前記第5の位置まで広がっている

請求項1に記載のX線検出器。

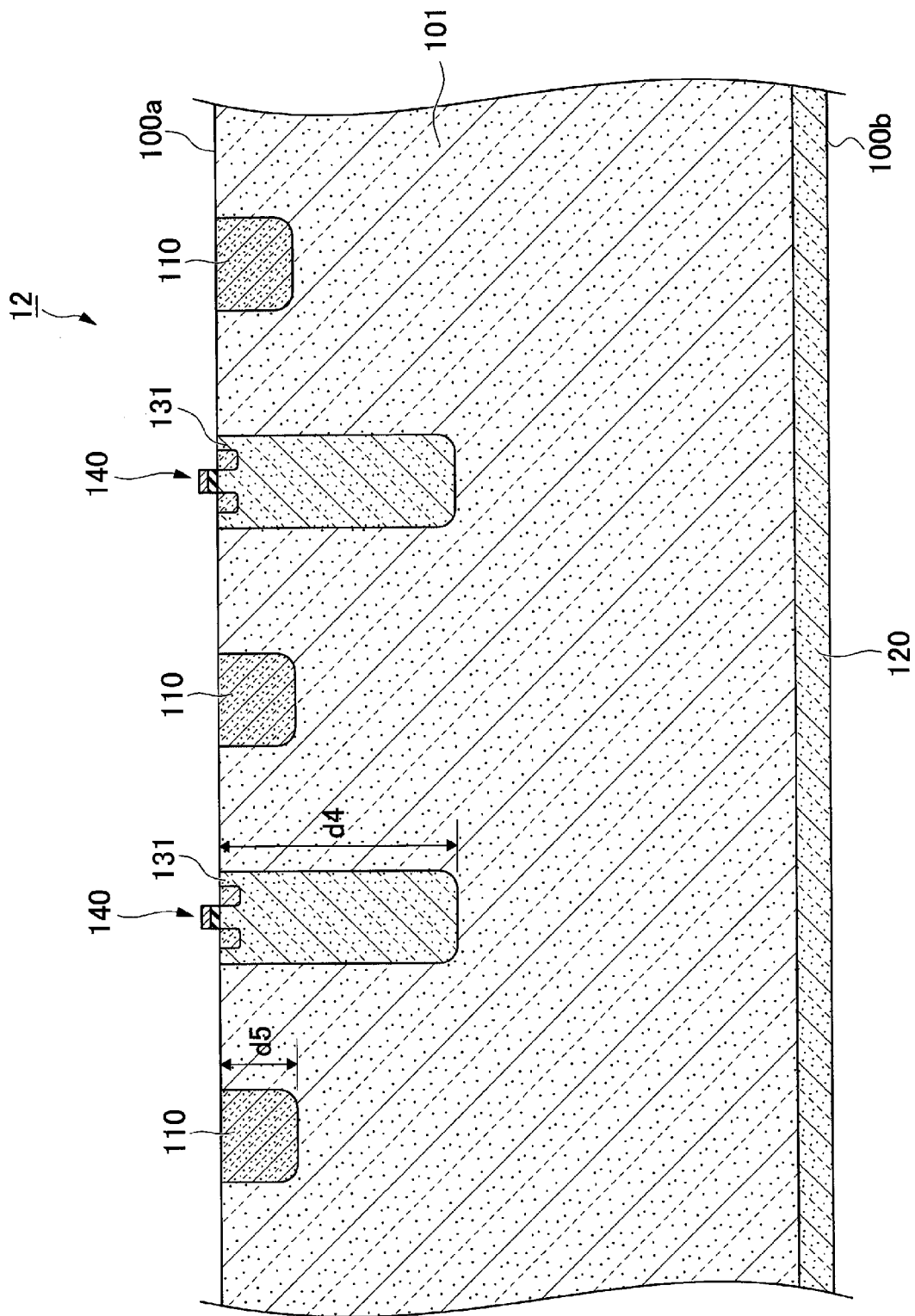
[図2]



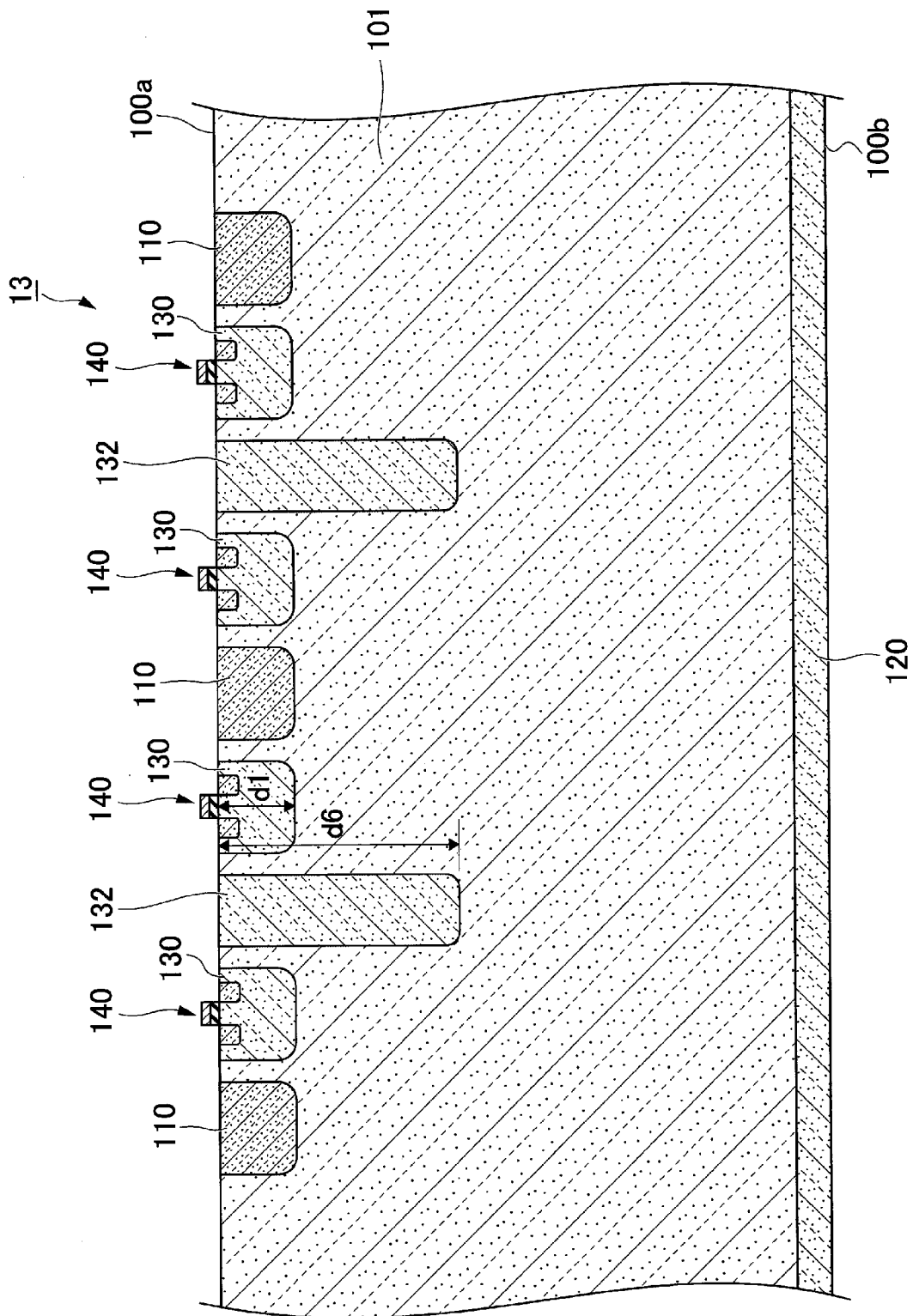
[図3]



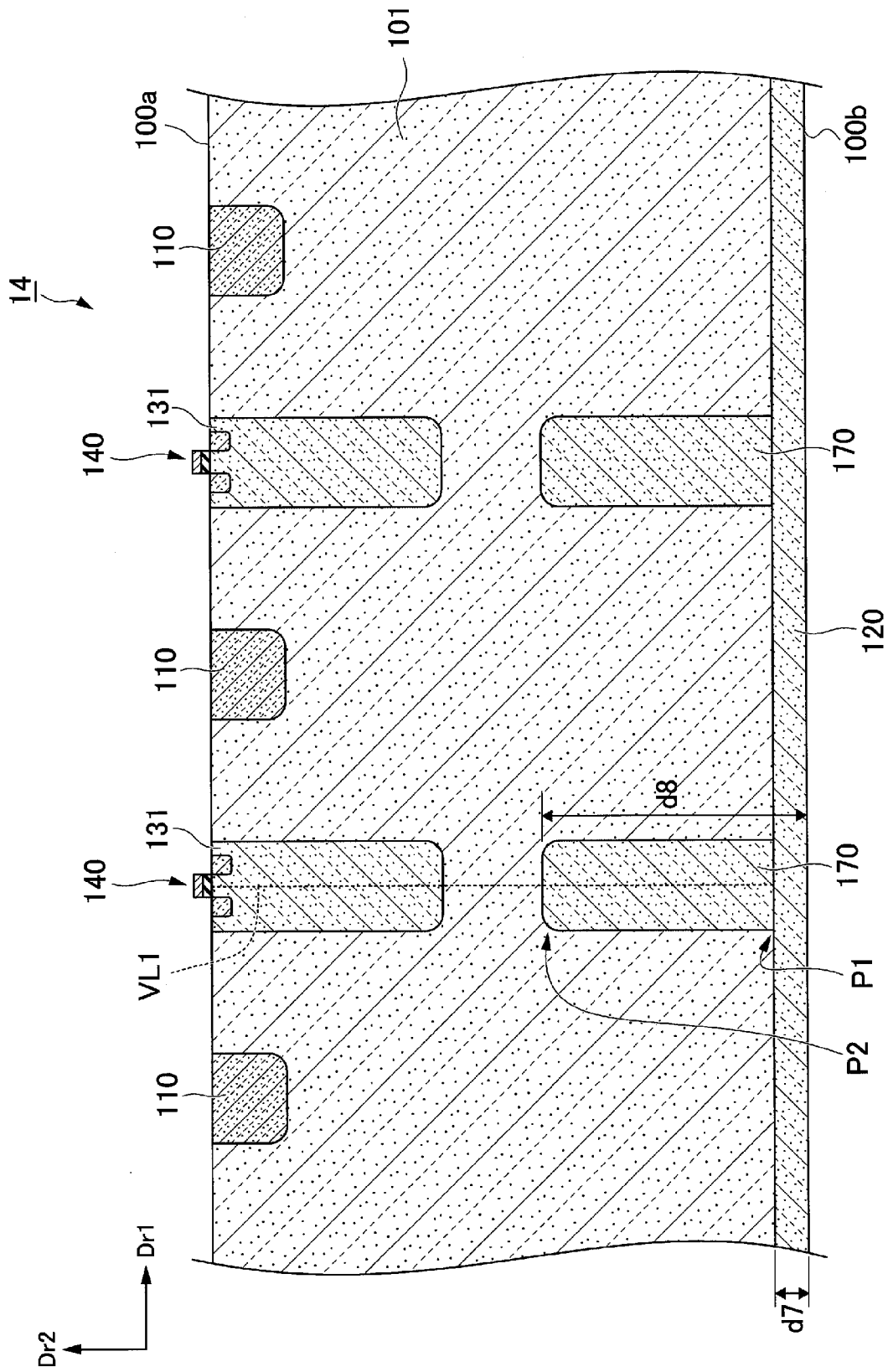
[図4]



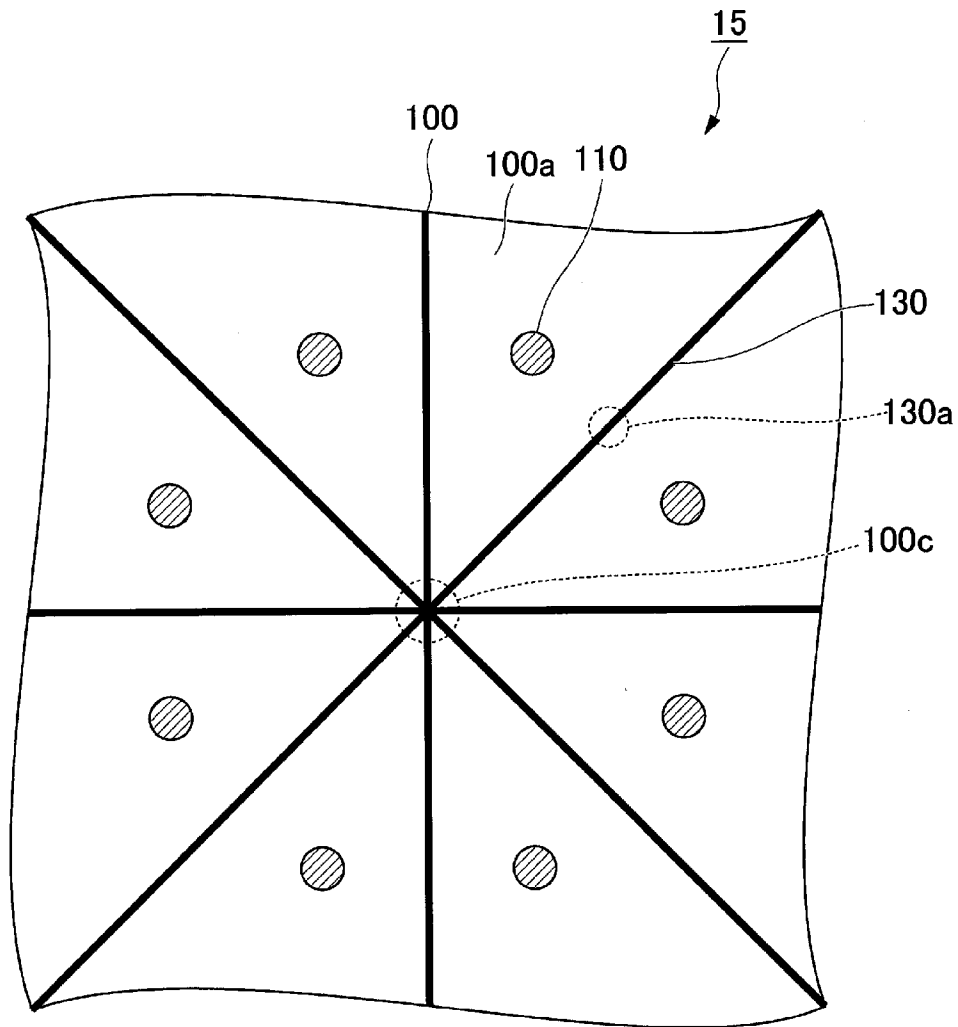
[図5]



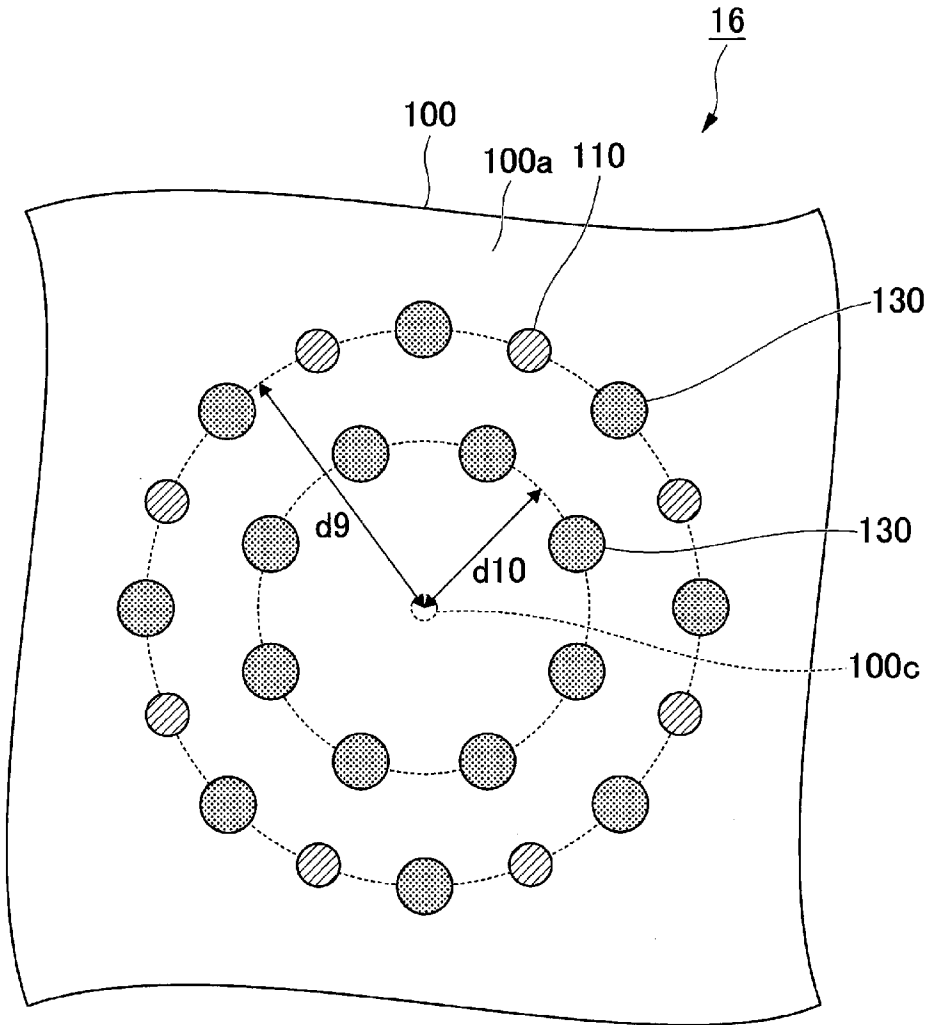
[図6]



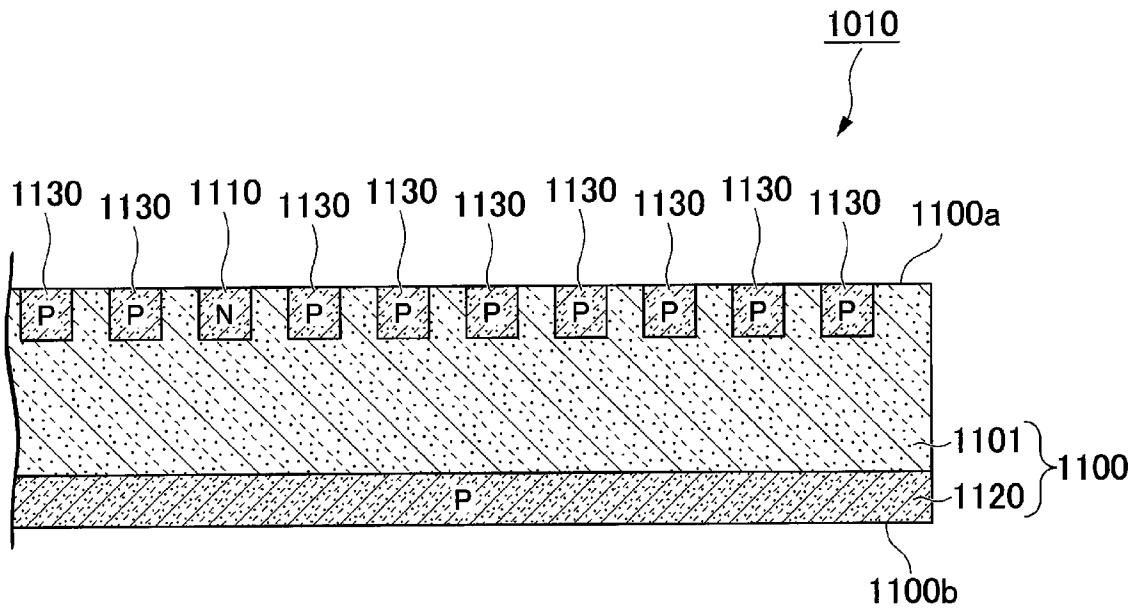
[図7]



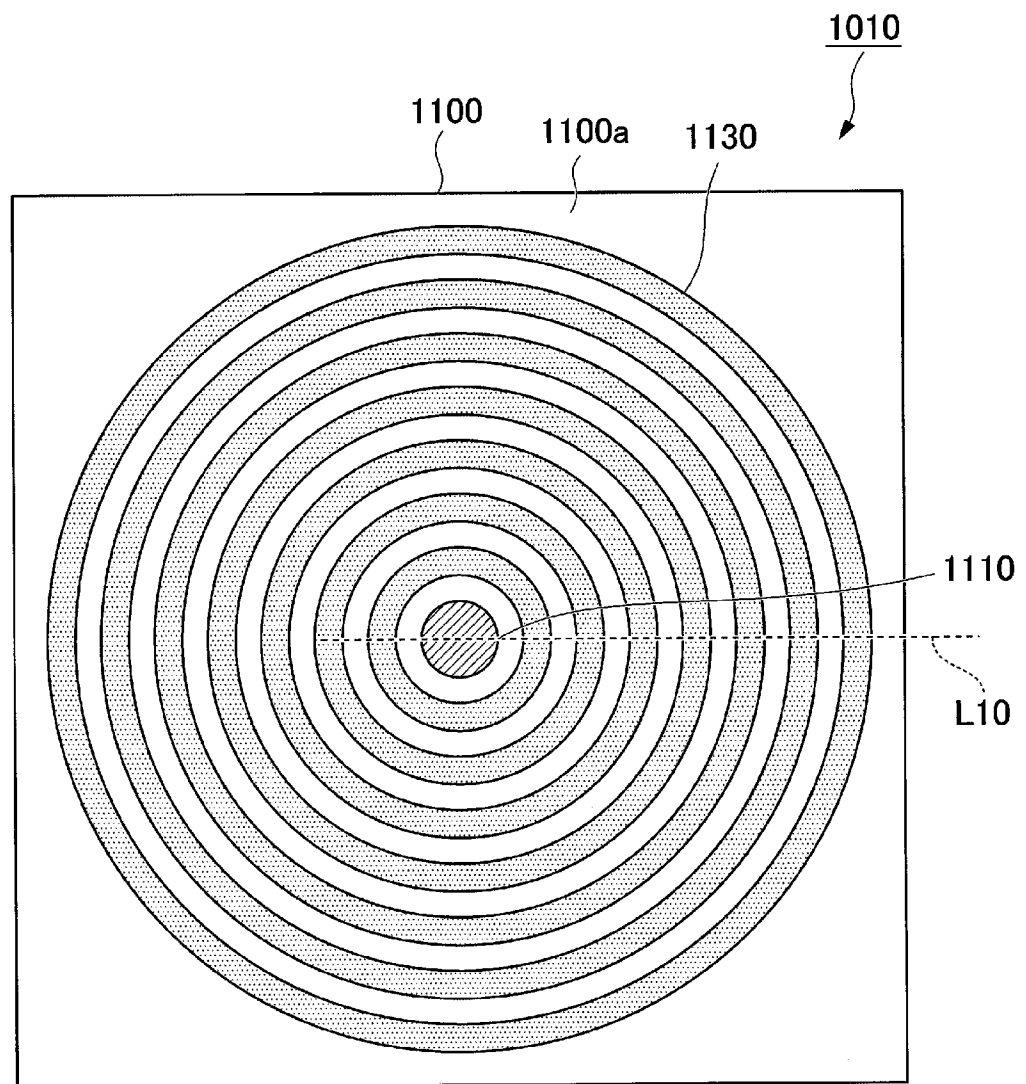
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/025235

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H01L31/10 (2006.01) i, G01T1/24 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H01L31/00-31/20, G01T1/00-7/12

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

Google scholar

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 11-186285 A (RIGAKU DENKI KOGYO KK) 09 July 1999, paragraphs [0011], [0012], [0014], [0015], fig. 1 (Family: none)	1-2
A	JP 2014-2155 A (OXFORD INSTRUMENTS ANALYTICAL OY) 09 January 2014 & US 8921797 B2 & EP 2677345 A2 & DE 13397521 T1 & CN 103515468 A	1-10
A	JP 2008-258348 A (INSTITUTE X-RAY TECHNOLOGIES CO., LTD.) 23 October 2008 (Family: none)	1-10

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	“&” document member of the same patent family
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 03.08.2018	Date of mailing of the international search report 21.08.2018
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/025235

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	MATSUURA, Hideharu, NISHIDA, Katsuhiko, "A new structure of an n-channel junction field-effect transistor embedded in a pin diode for an x-ray detector", Japanese Journal of Applied Physics, 1998, vol. 37, pp. L115-L118	1-10
A	MATSUURA, Hideharu et al., "A new n-channel junction field-effect transistor embedded in the i layer of a pin diode", Japanese Journal of Applied Physics, 1999, vol. 38, pp. L1015-L1017	1-10
A	US 2009/0026569 A1 (SHENZHEN SKYRAY INSTRUMENT CO., LTD.) 29 January 2009 & EP 2019436 A2 & CN 101281148 A	1-10

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L31/10(2006.01)i, G01T1/24(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L31/00-31/20, G01T1/00-7/12

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Google Scholar

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 11-186285 A（理学電機工業株式会社）1999.07.09, 段落 [0011]-[0012], [0014]-[0015], 第1図（ファミリーなし）	1-2
A	JP 2014-2155 A（オックスフォード インストゥルメンツ アナリ ティカル オーワイ）2014.01.09, & US 8921797 B2 & EP 2677345 A2 & DE 13397521 T1 & CN 103515468 A	1-10
A	JP 2008-258348 A（株式会社X線技術研究所）2008.10.23,（ファミ リーなし）	1-10

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

03.08.2018

国際調査報告の発送日

21.08.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

嗟峨根 多美

2K

1132

電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	MATSUURA, Hideharu and NISHIDA, Katsuhiko, "A New Structure of an N-Channel Junction Field-Effect Transistor Embedded in a Pin Diode for an X-Ray Detector", Japanese Journal of Applied Physics, 1998, Vol. 37, pp. L115-L118	1-10
A	MATSUURA, Hideharu et al., "A New N-Channel Junction Field-Effect Transistor Embedded in the i Layer of a Pin Diode", Japanese Journal of Applied Physics, 1999, Vol. 38, pp. L1015-L1017	1-10
A	US 2009/0026569 A1 (SHENZHEN SKYRAY INSTRUMENT CO., LTD.) 2009.01.29, & EP 2019436 A2 & CN 101281148 A	1-10