

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5011881号
(P5011881)

(45) 発行日 平成24年8月29日 (2012. 8. 29)

(24) 登録日 平成24年6月15日 (2012. 6. 15)

(51) Int. Cl.

F I

H O 1 L 29/78 (2006. 01)

H O 1 L 29/78 6 5 2 H

H O 1 L 21/336 (2006. 01)

H O 1 L 29/78 6 5 8 G

H O 1 L 29/78 6 5 8 E

H O 1 L 29/78 6 5 8 A

請求項の数 20 (全 24 頁)

(21) 出願番号 特願2006-219477 (P2006-219477)
 (22) 出願日 平成18年8月11日 (2006. 8. 11)
 (65) 公開番号 特開2008-47602 (P2008-47602A)
 (43) 公開日 平成20年2月28日 (2008. 2. 28)
 審査請求日 平成20年9月22日 (2008. 9. 22)

(73) 特許権者 000004260
 株式会社デンソー
 愛知県刈谷市昭和町 1 丁目 1 番地
 (74) 代理人 100100022
 弁理士 伊藤 洋二
 (74) 代理人 100108198
 弁理士 三浦 高広
 (74) 代理人 100111578
 弁理士 水野 史博
 (72) 発明者 山口 仁
 愛知県刈谷市昭和町 1 丁目 1 番地 株式会
 社デンソー内
 (72) 発明者 宮嶋 健
 愛知県刈谷市昭和町 1 丁目 1 番地 株式会
 社デンソー内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

ドリフト領域としての第 1 の第 1 導電型層 (2) および第 1 の第 2 導電型層 (3) が第 2 の第 1 導電型層 (1) 上に形成されていると共に、前記第 1 の第 1 導電型層 (2) および前記第 1 の第 2 導電型層 (3) が前記第 2 の第 1 導電型層 (1) の面方向に繰り返し配置された繰り返し構造をなしており、

前記繰り返し構造を構成する前記第 1 の第 1 導電型層 (2) および前記第 1 の第 2 導電型層 (3) のうち前記第 1 の第 1 導電型層 (2) をドリフト領域とする縦型の第 1 導電型チャンネルの半導体素子を備えた半導体装置の製造方法であって、

第 1 導電型の基板 (1 0) を用意する工程と、

前記第 1 導電型の基板 (1 0) の表面側にトレンチ (1 1) を形成する工程と、

前記トレンチ (1 1) 内に前記第 1 の第 2 導電型層 (3) を形成することで、前記第 1 導電型の基板 (1 0) のうち前記各第 1 の第 2 導電型層 (3) に挟まれた領域を前記第 1 の第 1 導電型層 (2) とし、当該第 1 の第 1 導電型層 (2) と前記第 1 の第 2 導電型層 (3) とが交互に配置された前記繰り返し構造を形成する工程と、

前記繰り返し構造が形成された前記第 1 導電型の基板 (1 0) の裏面側を薄膜化した後、当該裏面側に前記第 1 の第 1 導電型層 (2) よりも不純物濃度が高い前記第 2 の第 1 導電型層 (1) を形成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【請求項 2】

ドリフト領域としての第 1 の第 1 導電型層 (2) および第 1 の第 2 導電型層 (3) が第

10

20

2の第1導電型層(1)上または前記第2の第1導電型層(1)の面方向に隣接する第2の第2導電型層(19)上に形成されていると共に、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)が前記第2の第1導電型層(1)または前記第2の第2導電型層(19)の面方向に繰り返し配置された繰り返し構造をなしており、

前記繰り返し構造を構成する前記第1の第1導電型層(2)および前記第1の第2導電型層(3)のうち前記第1の第1導電型層(2)をドリフト領域とする縦型の第1導電型チャンネルの半導体素子と前記第1の第2導電型層(3)をドリフト領域とする縦型の第2導電型チャンネルの半導体素子とを備えた半導体装置の製造方法であって、

第1導電型の基板(10)を用意する工程と、

前記第1導電型の基板(10)の表面側にトレンチ(11)を形成する工程と、

前記トレンチ(11)内に前記第1の第2導電型層(3)を形成することで、前記第1導電型の基板(10)のうち前記各第1の第2導電型層(3)に挟まれた領域を前記第1の第1導電型層(2)とし、当該第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記第1導電型の基板(10)の裏面側において前記繰り返し構造のうち前記縦型の第1導電型チャンネルの半導体素子が形成された領域に前記第1の第1導電型層(2)よりも不純物濃度が高い前記第2の第1導電型層(1)を形成し、前記繰り返し構造のうち前記縦型の第2導電型チャンネルの半導体素子が形成された領域に前記第1の第2導電型層(3)よりも不純物濃度が高い前記第2の第2導電型層(19)を形成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【請求項3】

前記第1導電型の基板(10)を用意する工程では、当該第1導電型の基板(10)の不純物濃度を測定する工程およびトレンチ幅を測定する工程を含んでおり、

前記第1の第2導電型層(3)を形成する工程では、前記不純物濃度を測定する工程で得られた前記第1導電型の基板(10)の不純物濃度とトレンチ幅を測定する工程で得られた前記各第1の第2導電型層(3)の間の前記第1の第1導電型層(2)の幅との積が、前記各第1の第1導電型層(2)の間の前記第1の第2導電型層(3)の幅と当該第1の第2導電型層(3)の不純物濃度の積に等しくなるように、前記第1の第2導電型層(3)の不純物濃度を調整しつつ当該第1の第2導電型層(3)を形成することを特徴とする請求項1または2に記載の半導体装置の製造方法。

【請求項4】

前記第1の第2導電型層(3)を形成する工程では、前記第1導電型の基板(10)の温度を段階的に下げることなく当該第1の第2導電型層(3)を形成することを特徴とする請求項1ないし3のいずれか1つに記載の半導体装置の製造方法。

【請求項5】

前記繰り返し構造を形成する工程の後、当該繰り返し構造を構成する前記第1の第1導電型層(2)の表層部に前記縦型の第1導電型チャンネルの半導体素子を形成する工程を含んでいることを特徴とする請求項1ないし4のいずれか1つに記載の半導体装置の製造方法。

【請求項6】

前記第1導電型の基板(10)を用意する工程では、当該第1導電型の基板(10)を用意した後、前記第1導電型の基板(10)の表層部に前記縦型の第1導電型チャンネルの半導体素子を形成する工程を含んでおり、

前記トレンチ(11)を形成する工程では、前記第1導電型の基板(10)のうち前記各縦型の第1導電型チャンネルの半導体素子の間に前記トレンチ(11)を形成することを特徴とする請求項1ないし4のいずれか1つに記載の半導体装置の製造方法。

【請求項7】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(3)が第2の第1導電型層(1)上に形成されていると共に、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)が前記第2の第1導電型層(1)の面方向に繰り返し配

10

20

30

40

50

置された繰り返し構造をなしており、

当該繰り返し構造を挟むように前記第2の第1導電型層(1)の面方向に酸化膜(13)が配置され、前記繰り返し構造を構成する前記第1の第1導電型層(2)および前記第1の第2導電型層(3)のうち前記第1の第1導電型層(2)をドリフト領域とする縦型の第1導電型チャンネルの半導体素子を備えた半導体装置の製造方法であって、

第1導電型の基板(10)を用意する工程と、

前記第1導電型の基板(10)の表面側にトレンチ(11)を形成する工程と、

前記トレンチ(11)の内壁面に当該トレンチ(11)の幅の半分以下の厚さで前記第1の第2導電型層(3)をエピタキシャル成膜する工程と、

前記第1の第2導電型層(3)上に前記酸化膜(13)を形成して当該酸化膜(13)で前記トレンチ(11)を埋めることで、前記第1導電型の基板(10)のうち前記各第1の第2導電型層(3)に挟まれた領域を前記第1の第1導電型層(2)とし、当該第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記繰り返し構造が形成された前記第1導電型の基板(10)の裏面側を薄膜化した後、当該裏面側に前記第1の第1導電型層(2)よりも不純物濃度が高い前記第2の第1導電型層(1)を形成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【請求項8】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(3)が第2の第1導電型層(1)上に形成されていると共に、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)が前記第2の第1導電型層(1)の面方向に繰り返し配置された繰り返し構造をなしており、

当該繰り返し構造を挟むように前記第2の第1導電型層(1)の面方向に酸化膜(13)が配置され、前記繰り返し構造を構成する前記第1の第1導電型層(2)および前記第1の第2導電型層(3)のうち前記第1の第1導電型層(2)をドリフト領域とする縦型の第1導電型チャンネルの半導体素子を備えた半導体装置の製造方法であって、

第1導電型の基板(10)を用意する工程と、

前記第1導電型の基板(10)の表面側にトレンチ(11)を形成する工程と、

前記トレンチ(11)の内壁面を気相拡散するか若しくは前記トレンチ(11)の内壁面にイオン注入を行うことで前記トレンチ(11)の壁面を前記第1の第2導電型層(3)に形成する工程と、

前記第1の第2導電型層(3)上に酸化膜(13)を形成して当該酸化膜(13)で前記トレンチ(11)を埋めることで、前記第1導電型の基板(10)のうち前記各第1の第2導電型層(3)に挟まれた領域を前記第1の第1導電型層(2)とし、当該第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記繰り返し構造が形成された前記第1導電型の基板(10)の裏面側を薄膜化した後、当該裏面側に前記第1の第1導電型層(2)よりも不純物濃度が高い前記第2の第1導電型層(1)を形成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【請求項9】

前記繰り返し構造を形成する工程の後、当該繰り返し構造を構成する前記第1の第1導電型層(2)の表層部に前記縦型の第1導電型チャンネルの半導体素子を形成する工程を含んでいることを特徴とする請求項7または8に記載の半導体装置の製造方法。

【請求項10】

前記第1導電型の基板(10)を用意する工程では、当該第1導電型の基板(2)を用意した後、前記第1導電型の基板(10)の表層部に前記縦型の第1導電型チャンネルの半導体素子を形成する工程を含んでおり、

前記トレンチ(11)を形成する工程では、前記第1導電型の基板(10)のうち前記各縦型の第1導電型チャンネルの半導体素子の間に前記トレンチ(11)を形成することを特徴とする請求項7または8に記載の半導体装置の製造方法。

10

20

30

40

50

【請求項 1 1】

前記第 1 導電型の基板 (1 0) を用意する工程では、当該第 1 導電型の基板 (1 0) の不純物濃度を測定する工程を含んでおり、

前記縦型の第 1 導電型チャンネルの半導体素子を形成する工程では、前記縦型の第 1 導電型チャンネルの半導体素子を形成した後、当該縦型の第 1 導電型チャンネルの半導体素子の耐圧を測定する工程を含んでおり、

当該耐圧を測定する工程では、前記耐圧が基準値よりも低い場合、前記第 1 導電型の基板 (1 0) の不純物濃度と前記各第 1 の第 2 導電型層 (3) の間の前記第 1 の第 1 導電型層 (2) の幅との積が、前記各第 1 の第 1 導電型層 (2) の間の前記第 1 の第 2 導電型層 (3) の幅と当該第 1 の第 2 導電型層 (3) の不純物濃度の積に等しくなるように、前記第 1 導電型の基板 (1 0) を熱処理して前記第 1 の第 2 導電型層 (3) から当該第 1 の第 2 導電型層 (3) に含まれる不純物イオンを前記酸化膜 (1 3) に吸い出させる工程を含んでいることを特徴とする請求項 9 または 1 0 に記載の半導体装置の製造方法。

10

【請求項 1 2】

前記第 1 の第 2 導電型層 (3) を形成する工程では、当該第 1 の第 2 導電型層 (3) の不純物濃度が前記第 1 導電型の基板 (1 0) の不純物濃度よりも高くなるように前記第 1 の第 2 導電型層 (3) を形成することを特徴とする請求項 1 1 に記載の半導体装置の製造方法。

【請求項 1 3】

前記第 1 の第 2 導電型層 (3) を形成する工程では、前記第 1 導電型の基板 (1 0) の不純物濃度と前記各第 1 の第 2 導電型層 (3) の間の前記第 1 の第 1 導電型層 (2) の幅との積よりも、前記各第 1 の第 1 導電型層 (2) の間の前記第 1 の第 2 導電型層 (3) の幅と当該第 1 の第 2 導電型層 (3) の不純物濃度の積が大きくなるように前記第 1 の第 2 導電型層 (3) を形成することを特徴とする請求項 1 1 に記載の半導体装置の製造方法。

20

【請求項 1 4】

前記第 1 導電型の基板 (1 0) を用意する工程では、当該第 1 導電型の基板 (1 0) として、リン、もしくはヒ素、もしくはアンチモンを不純物としてドーブしたものを用意することを特徴とする請求項 1 ないし 1 3 のいずれか 1 つに記載の半導体装置の製造方法。

【請求項 1 5】

前記第 1 導電型の基板 (1 0) を用意する工程では、当該第 1 導電型の基板 (1 0) として、不純物濃度が $1 \times 10^{15} \text{ cm}^{-3}$ 以上、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下のものを用意することを特徴とする請求項 1 ないし 1 4 のいずれか 1 つに記載の半導体装置の製造方法。

30

【請求項 1 6】

ドリフト領域としての第 1 の第 1 導電型層 (2) および第 1 の第 2 導電型層 (3) が前記第 1 の第 1 導電型層 (2) よりも不純物濃度が低い第 3 の第 1 導電型層 (1 5) に形成され、前記第 3 の第 1 導電型層 (1 5) が外縁部に位置するように前記第 1 の第 1 導電型層 (2)、前記第 1 の第 2 導電型層 (3)、前記第 3 の第 1 導電型層 (1 5) が第 2 の第 1 導電型層 (1) 上に形成されており、

さらに、前記第 1 の第 1 導電型層 (2) および前記第 1 の第 2 導電型層 (3) が前記第 2 の第 1 導電型層 (1) の面方向に繰り返し配置された繰り返し構造をなしており、当該繰り返し構造を構成する前記第 1 の第 1 導電型層 (2) および前記第 1 の第 2 導電型層 (3) のうち前記第 1 の第 1 導電型層 (2) と、前記各第 1 の第 1 導電型層 (2) 間の第 3 の第 1 導電型層 (1 5) をドリフト領域とする縦型の第 1 導電型チャンネルの半導体素子を備えた半導体装置の製造方法であって、

40

第 1 の第 1 導電型層 (2) よりも不純物濃度が低い第 1 導電型の基板 (1 8) を用意する工程と、

前記第 1 導電型の基板 (1 8) の表面側にトレンチ (1 1) を形成する工程と、

前記トレンチ (1 1) の内壁面を気相拡散するか若しくは前記トレンチ (1 1) の内壁面にイオン注入を行うことで前記トレンチ (1 1) の壁面を前記第 1 の第 1 導電型層 (2) に形成する工程と、

50

前記第1の第1導電型層(2)上に第1の第2導電型層(3)をエピタキシャル成膜することで、前記第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記繰り返し構造が形成された前記第1導電型の基板(18)の裏面側を薄膜化した後、当該裏面側に前記第1の第1導電型層(2)よりも不純物濃度が高い前記第2の第1導電型層(1)を形成し、前記第2の第1導電型層(1)上の外縁部に前記第1導電型の基板(18)に基づく前記第3の第1導電型層(15)を構成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【請求項17】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(3)が前記第1の第1導電型層(2)よりも不純物濃度が低い第3の第1導電型層(15)に形成されたトレンチ(11)内に配置され、前記第3の第1導電型層(15)が外縁部に位置するように前記第1の第1導電型層(2)、前記第1の第2導電型層(3)、前記第3の第1導電型層(15)が第2の第1導電型層(1)上に形成されており、

前記トレンチ(11)内では、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)が前記第2の第1導電型層(1)の面方向に繰り返し配置された繰り返し構造をなしており、

さらに、前記繰り返し構造を構成する前記第1の第1導電型層(2)および前記第1の第2導電型層(3)のうち前記第1の第1導電型層(2)と、当該第1の第1導電型層(2)に挟まれた前記第3の第1導電型層(15)をドリフト領域とする縦型の第1導電型チャンネルの半導体素子を備えた半導体装置の製造方法であって、

前記第1の第1導電型層(2)よりも不純物濃度が低い第1導電型の基板(18)を用意する工程と、

前記第1導電型の基板(18)の表面側に前記トレンチ(11)を形成する工程と、

前記トレンチ(11)の内壁面に前記第1の第1導電型層(2)をエピタキシャル成膜する工程と、

前記第1の第1導電型層(2)上に前記第1の第2導電型層(3)をエピタキシャル成膜することで、前記第1の第1導電型層(2)と前記第1の第2導電型層(3)とが交互に配置された前記繰り返し構造を形成する工程と、

前記繰り返し構造が形成された前記第1導電型の基板(18)の裏面側を薄膜化した後、当該裏面側に前記第1の第1導電型層(2)よりも不純物濃度が高い前記第2の第1導電型層(1)を形成し、前記第2の第1導電型層(1)上の外縁部に前記第1導電型の基板(18)に基づく前記第3の第1導電型層(15)を構成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【請求項18】

ドリフト領域としての第1の第1導電型層(2)および第1の第2導電型層(3)が第2の第1導電型層(1)上で当該第2の第1導電型層(1)の面方向に繰り返し配置された繰り返し構造をなしており、

前記各繰り返し構造の間に前記第1の第1導電型層(2)よりも不純物濃度が低い第3の第1導電型層(15)が形成され、当該第3の第1導電型層(15)を挟んだ前記各繰り返し構造が酸化膜(13)に挟まれた状態になっており、

前記第3の第1導電型層(15)が外縁部に位置するように前記繰り返し構造、前記酸化膜(13)、前記第3の第1導電型層(15)が前記第2の第1導電型層(1)上に形成され、さらに前記第1の第1導電型層(2)と、前記各第1の第1導電型層(2)の間の前記第3の第1導電型層(15)をドリフト領域とする縦型の第1導電型チャンネルの半導体素子を備えた半導体装置の製造方法であって、

前記第1の第1導電型層(2)よりも不純物濃度が低い第1導電型の基板(18)を用意する工程と、

前記第1導電型の基板(18)の表面側にトレンチ(11)を形成する工程と、

前記トレンチ(11)の内壁面を気相拡散するか若しくは前記トレンチ(11)の内壁

10

20

30

40

50

面にイオン注入を行うことで前記トレンチ(11)の壁面を前記第1の第1導電型層(2)に形成する工程と、

前記トレンチ(11)の内壁面に前記第1の第2導電型層(3)をエピタキシャル成膜することで、前記第1の第1導電型層(2)および前記第1の第2導電型層(3)で構成される前記繰り返し構造を形成し、前記各繰り返し構造に挟まれた前記第1導電型の基板(18)を前記第3の第1導電型層(15)として構成する工程と、

前記第1の第2導電型層(3)上に前記酸化膜(13)を形成して当該酸化膜(13)で前記トレンチ(11)を埋める工程と、

前記繰り返し構造が形成された前記第1導電型の基板(18)の裏面側を薄膜化した後、当該裏面側に前記第1の第1導電型層(2)よりも不純物濃度が高い前記第2の第1導電型層(1)を形成する工程と、を含んでいることを特徴とする半導体装置の製造方法。

【請求項19】

前記第1導電型の基板(18)を用意する工程では、当該第1導電型の基板(18)を用意した後、前記第1導電型の基板(18)の表層部に前記縦型の第1導電型チャンネルの半導体素子を形成する工程を含んでおり、

前記トレンチ(11)を形成する工程では、前記第1導電型の基板(18)のうち前記各縦型の第1導電型チャンネルの半導体素子の間に前記トレンチ(11)を形成することを特徴とする請求項16ないし18のいずれか1つに記載の半導体装置の製造方法。

【請求項20】

前記第1導電型の基板(18)の裏面側を薄膜化して、当該裏面側に前記第2の第1導電型層(1)を形成する工程の前に、前記繰り返し構造を構成する前記第1の第1導電型層(2)および前記第3の第1導電型層(15)の表層部に前記縦型の第1導電型チャンネルの半導体素子を形成する工程を含んでいることを特徴とする請求項16ないし18のいずれか1つに記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、N型領域およびP型領域が基板方向に繰り返し配置されたスーパージャンクション構造を有する半導体装置の製造方法に関する。

【背景技術】

【0002】

従来より、例えば縦型のパワーMOSトランジスタ等にスーパージャンクション構造を採用したものが知られている。スーパージャンクション構造とは、ドリフト領域となるN型層とP型層とが基板の面方向に交互に配置された構成である。このような構造をとることで、ソースからドレインに向かう電界がN型層からP型層にも向かうようになり、ソースとドレインとの間で一カ所に電界が集中することを防止でき、ひいては絶縁破壊の防止を図ることができるようになっている。

【0003】

また、N型層の幅 d_n およびP型層の幅 d_p が狭いほど、各層をそれぞれ高濃度化することができると共にオン抵抗を低減することができ、さらに、各層の膜厚が大きいほど高耐圧化を実現することができるようになっている。

【0004】

上記のようなスーパージャンクション構造を有する半導体装置を形成する方法が、例えば特許文献1、2で提案されている。具体的に、特許文献1、2では、N+型基板上にN型のエピタキシャル層を形成した基板を準備し、この基板にトレンチを形成した後、当該トレンチ内にP型のエピタキシャル層を埋め込み、基板の表面を平坦化研磨することでP型領域とN型領域との繰り返し構造を形成する方法が提案されている。

【特許文献1】特開2005-317905号公報

【特許文献2】特開2005-294711号公報

【発明の開示】

10

20

30

40

50

【発明が解決しようとする課題】

【0005】

上記のようにMOSトランジスタにスーパージャンクション構造を採用する場合であって、オン抵抗の低減、かつ、高耐圧化を図ろうとすると、上述のように、N型層の幅 d_n やP型層の幅 d_p をそれぞれ狭くし、かつ、各層をより厚くすることが考えられる。しかしながら、オン抵抗の低減および高耐圧化を実現しようとする、以下の問題が発生することが発明者らによって明らかとなった。

【0006】

まず、第1の問題として、高耐圧のデバイスを製造するためには、N+型基板上のN型のエピタキシャル層を厚くする必要がある。例えば、600V耐圧ではN型のエピタキシャル層の厚さを30 μm 以上、1200Vでは60 μm 以上を必要とするため、これほどの膜厚を得るためには長時間の成膜が必要であり、工程コストが高くなってしまふ。

10

【0007】

また、第2の問題として、高耐圧化と低オン抵抗を両立させようとする、N型およびP型の各エピタキシャル層の幅 d_n 、 d_p をそれぞれ小さくして各層の濃度を高め、さらに各層を厚くする必要がある。しかし、例えばP型のエピタキシャル層の幅を狭くするためにトレンチの幅を狭くすると、トレンチの開口部分に先に形成されたP型のエピタキシャル層がトレンチの開口部を塞いでしまい、トレンチの底にP型のエピタキシャル層が形成されないという問題が生じる。これにより、トレンチ内に空洞が発生してしまい、トレンチ内全体にP型のエピタキシャル層を埋め込めなくなる。この場合、空洞が発生させないようにトレンチの底部からエピタキシャル層を埋め込むようにすることが考えられるが、成膜に時間がかかり工程コストが高くなってしまふ。

20

【0008】

さらに、第3の問題として、高耐圧化を実現するために、各層で（濃度 \times 膜厚）のバランス（チャージバランス）を調整することが必要である。すなわち、P型のエピタキシャル層における（濃度 $\times d_p$ ）の値とN型のエピタキシャル層における（濃度 $\times d_n$ ）の値とを一致させなければならない。しかし、トレンチ内にP型のエピタキシャル層を形成する際、外方拡散によってN+型基板から形成中のP型のエピタキシャル層に不純物イオンが移動してしまい、P型のエピタキシャル層の濃度が狙い値から外れてしまふ。したがって、チャージバランスを満たすように各層の濃度および膜厚を調整することは困難である。

30

【0009】

本発明は、上記点に鑑み、スーパージャンクション構造を構成するエピタキシャル層を短時間で成膜することで製造コストを削減することを第1の目的とし、スーパージャンクション構造を構成するエピタキシャル層の幅を小さくして半導体装置の高耐圧化および低オン抵抗を図ることを第2の目的とし、高耐圧を確保するため、スーパージャンクション構造を構成する各層においてチャージバランスを図ることを第3の目的とする。

【課題を解決するための手段】

【0010】

上記目的を達成するため、本発明の第1の特徴では、第1導電型（例えばN型）の領域（第1の第1導電型層（2））と第2導電型（例えばP型）の領域（第1の第2導電型層（3））が繰り返し配置されたスーパージャンクション構造を備えた半導体装置を製造するに際し、まず、後の工程でドリフト領域としての第1の第1導電型層（2）となる第1導電型の基板（10）を用意し（図2（a）参照）、第1導電型の基板（10）の表面側にトレンチ（11）を形成する（図2（b）参照）。そして、当該トレンチ（11）内に第1の第2導電型層（3）を形成する（図2（c）、（d）参照）。これにより、第1導電型の基板（10）のうち各第1の第2導電型層（3）に挟まれた領域を第1の第1導電型層（2）とすることで、当該第1の第1導電型層（2）と第1の第2導電型層（3）とが繰り返し配置された構造を形成する。この後、この繰り返し構造が形成された第1導電型の基板（10）の裏面側を薄膜化し、当該裏面側に第2の第1導電型層（1）を形成す

40

50

る（図2（f）参照）。

【0011】

このように、繰り返し構造をなす第1の第1導電型層（2）を構成するための第1導電型の基板（10）を用意し、この第1導電型の基板（10）を用いて繰り返し構造を形成する。これにより、例えば第2の第1導電型層（1）として構成される支持基板を用意して、この支持基板上に繰り返し構造のための第1の第1導電型層（2）をエピタキシャル成長させる工程をなくすことができ、製造工程および製造コストを削減することができる。製造工程を削減できることにより、短時間で半導体装置を製造することができる。

【0012】

また、上記のように第1導電型の基板（10）よりも不純物濃度が高い第2の第1導電型層（1）として構成される基礎基板を用いずに第1導電型の基板（10）を用いている。このため、トレンチ（11）内に第1の第2導電型層（3）を形成する際、第1導電型の基板（10）から第1の第2導電型層（3）に不純物が移動する外方拡散を抑制することができ、第1の第2導電型層（3）の不純物濃度が狙い値から外れてしまうことを防止することができる。

【0013】

本発明の第2の特徴では、上述のように、半導体装置を製造する場合において、ドリフト領域としての第1の第1導電型層（2）および第1の第2導電型層（3）が繰り返し構造をなしており、このうち第1の第1導電型層（2）をドリフト領域とする縦型の第1導電型チャンネルの半導体素子と第1の第2導電型層（3）をドリフト領域とする縦型の第2導電型チャンネルの半導体素子とを備えた半導体装置（図12参照）を製造することが特徴である。

【0014】

このように、1つの半導体装置内に第1導電型チャンネルおよび第2導電型チャンネルの各半導体素子を形成したものを製造する場合であっても、上記のように、ドリフト領域としての第1の第1導電型層（2）となる第1導電型の基板（10）を用意することで半導体装置を製造することができる。

【0015】

また、第1導電型の基板（10）を用意する際、第1導電型の基板（10）の不純物濃度を測定し、第1の第2導電型層（3）を形成する工程において、先に測定した第1導電型の基板（10）の不純物濃度と各第1の第2導電型層（3）の間の第1導電型（N型）層の幅との積が、各第1の第1導電型層（2）の間の第1の第2導電型層（3）の幅と当該第1の第2導電型層（3）の不純物濃度の積に等しくなるように、すなわちチャージバランスを図るように、第1の第2導電型層（3）を形成する。

【0016】

このように、あらかじめ第1導電型の基板（10）の濃度およびトレンチ幅を測定しておき、第1の第2導電型層（3）を形成する際に、チャージバランスを調整しつつ当該第1の第2導電型層（3）を形成することができる。これにより、半導体素子の耐圧を向上させることができる。

【0017】

さらに、第1の第2導電型層（3）を形成する際、第1導電型の基板（10）の温度を段階的に下げることなく当該第1の第2導電型層（3）を形成することもできる。これにより、第1導電型の基板（10）から第1の第2導電型層（3）への不純物イオンの外方拡散を防止できる。

【0018】

また、繰り返し構造を形成した後、当該繰り返し構造を構成する第1の第1導電型層（2）の表層部に縦型の第1導電型チャンネルの半導体素子を形成することができる。

【0019】

逆に、第1導電型の基板（10）を用意した後、第1導電型の基板（10）の表層部に縦型の第1導電型チャンネルの半導体素子を形成し、この後のトレンチ（11）を形成する

10

20

30

40

50

工程で、第1導電型の基板(10)のうち各縦型の第1導電型チャンネルの半導体素子の間にトレンチ(11)を形成することもできる。

【0020】

本発明の第3の特徴では、第1導電型の基板(10)を用意し、第1導電型の基板(10)の表面側にトレンチ(11)を形成した後、当該トレンチ(11)の内壁面に当該トレンチ(11)の幅の半分以下の厚さで第1の第2導電型層(3)をエピタキシャル成長させる。そして、エピタキシャル成長させた第1の第2導電型層(3)上に酸化膜(13)を形成して当該酸化膜(13)でトレンチ(11)を埋めることで、第1導電型の基板(10)のうち各第1の第2導電型層(3)に挟まれた領域を第1の第1導電型層(2)とし、当該第1の第1導電型層(2)と第1の第2導電型層(3)とが交互に配置された繰り返し構造を形成することを特徴とする(図6(a)、(b)参照)。

10

【0021】

このように、トレンチ(11)内に第1の第2導電型層(3)をエピタキシャル成長させることで当該第1の第2導電型層(3)の幅を小さくすることができ、ひいては当該第1の第2導電型層(3)におけるオン抵抗を低減させることができる。

【0022】

また、本発明の第4の特徴では、上記第3の特徴に対して、第1の第2導電型層(3)を形成する際、第1導電型の基板(10)に設けたトレンチ(11)の内壁面を気相拡散するか若しくはトレンチ(11)の内壁面にイオン注入を行うことでトレンチ(11)の壁面を第1の第2導電型層(3)に形成することを特徴とする。

20

【0023】

このように、トレンチ(11)内に第1の第2導電型層(3)を形成するのではなく、トレンチ(11)の壁面を第1の第2導電型層(3)として形成するようにすることもできる。

【0024】

半導体素子を形成する場合、上記繰り返し構造を形成した後、当該繰り返し構造を構成する第1の第1導電型層(2)の表層部に縦型の第1導電型チャンネルの半導体素子を形成することができる。

【0025】

逆に、第1導電型の基板(10)を用意した後、第1導電型の基板(10)の表層部に縦型の第1導電型チャンネルの半導体素子を形成し、各縦型の第1導電型チャンネルの半導体素子の間にトレンチ(11)を形成することもできる。

30

【0026】

また、第1導電型の基板(10)を用意する際、第1導電型の基板(10)の不純物濃度を測定しておく。そして、第1導電型の基板(10)に縦型の第1導電型チャンネルの半導体素子を形成した後、当該縦型の第1導電型チャンネルの型半導体素子の耐圧を測定する。この後、測定した耐圧が基準値よりも低い場合、第1導電型の基板(10)の不純物濃度と各第1の第2導電型層(3)の間の第1の第1導電型層(2)の幅との積が、各第1の第1導電型層(2)の間の第1の第2導電型層(3)の幅と当該第1の第2導電型層(3)の不純物濃度の積に等しくなるように、第1導電型の基板(10)を熱処理することで、第1の第2導電型層(3)から当該第1の第2導電型層(3)に含まれる不純物イオンを酸化膜(13)に吸い出させることができる。

40

【0027】

これにより、第1の第1導電型層(2)と第1の第2導電型層(3)との間のチャージバランスを図ることができ、半導体素子の耐圧を向上させることができる。

【0028】

上記のように、酸化膜(13)に第1の第2導電型層(3)の不純物イオンを吸い出させる場合、第1の第2導電型層(3)を形成する際に、当該第1の第2導電型層(3)の不純物濃度が第1導電型の基板(10)の不純物濃度よりも高くなるように第1の第2導電型層(3)を形成しておくことが好ましい。

50

【0029】

すなわち、第1導電型の基板(10)を熱処理することで第1の第2導電型層(3)の不純物イオンを酸化膜(13)に吸い出させることで第1の第1導電型層(2)と第1の第2導電型層(3)との間のチャージバランスを図る場合、第1の第2導電型層(3)から不純物イオンをはき出させることになる。このため、あらかじめ第1の第2導電型層(3)の不純物濃度を高く設定しておくことにより、第1導電型の基板(10)を熱処理する際のチャージバランスの調整を容易に行うことができる。

【0030】

また、チャージバランスを調整する場合、第1の第2導電型層(3)を形成する際、第1導電型の基板(10)の不純物濃度と各第1の第2導電型層(3)の間の第1の第1導電型層(2)の幅との積よりも、各第1の第1導電型層(2)の間の第1の第2導電型層(3)の幅と当該第1の第2導電型層(3)の不純物濃度の積が大きくなるように第1の第2導電型層(3)を形成することが好ましい。

10

【0031】

このような条件を満たすように第1の第2導電型層(3)を形成することにより、上記と同様に第1導電型の基板(10)を熱処理する際のチャージバランスの調整を容易に行うことができる。

【0032】

第1導電型の基板(10)を用意する際、当該第1導電型の基板(10)として、リン、もしくはヒ素、もしくはアンチモンを不純物としてドーピングしたものを用意することが好ましい

20

また、第1導電型の基板(10)を用意する際、当該第1導電型の基板(10)として、不純物濃度が $1 \times 10^{15} \text{ cm}^{-3}$ 以上、 $1 \times 10^{18} \text{ cm}^{-3}$ 以下のものを用意することが好ましい。すなわち、不純物をドーピングさせた基板とするためにドーピング量の下限を $1 \times 10^{15} \text{ cm}^{-3}$ とし、空乏層化しなくなってしまうことを防止するためにドーピング量の上限を $1 \times 10^{18} \text{ cm}^{-3}$ とすることが望ましい。

【0033】

本発明の第5の特徴では、第1の第1導電型層(2)よりも不純物濃度が低い第1導電型の基板(18)を用意し(図9(a)参照)、当該第1導電型の基板(18)の表面側にトレンチ(11)を形成する(図9(b))。そして、トレンチ(11)の内壁面を気相拡散するか若しくはトレンチ(11)の内壁面にイオン注入を行うことでトレンチ(11)の壁面を第1の第1導電型層(2)に形成する(図9(c)参照)。この後、第1の第1導電型層(2)上に第1の第2導電型層(3)を形成することで、第1の第1導電型層(2)と第1の第2導電型層(3)とが繰り返し配置された構造を形成し(図9(d)参照)、繰り返し構造が形成された第1導電型の基板(18)の裏面側を薄膜化して当該裏面側に第2の第1導電型層(1)を形成する。

30

【0034】

このように、半導体装置を製造する際に、まず、第1導電型の基板(18)を用意する。これにより、上述のように、繰り返し構造のためのエピタキシャル膜をあらかじめ形成する必要がなくなる。また、第1導電型の基板(18)を用いることで、半導体装置としてのチップの終端部を考慮したものを製造することができる。

40

【0035】

本発明の第6の特徴では、上記第5の特徴に対して、第1導電型の基板(18)の表面側に形成されたトレンチ(11)の内壁面に第1の第1導電型層(2)をエピタキシャル成膜し、当該第1の第1導電型層(2)上に第1の第2導電型層(3)をエピタキシャル成膜することを特徴とする。

【0036】

このように、第1の第1導電型層(2)および第1の第2導電型層(3)それぞれをエピタキシャル成長させて形成するようにしても良い。これにより、第1の第1導電型層(2)および第1の第2導電型層(3)の幅を小さくすることができ、各層におけるオン抵

50

抗を低減させることができる。

【0037】

本発明の第7の特徴では、上記第5の特徴に対して、第1の第2導電型層(3)上に酸化膜(13)を形成して当該酸化膜(13)でトレンチ(11)を埋めることを特徴とする。このように、酸化膜(13)でトレンチ(11)を埋めた構造とすることもできる。

【0038】

上記のように第1導電型の基板(18)を用いて半導体装置を製造する場合、第1導電型の基板(18)を用意した後、第1導電型の基板(18)の表層部に縦型のNチャネル型半導体素子を形成し、第1導電型の基板(18)のうち各縦型のNチャネル型半導体素子の間にトレンチ(11)を形成することができる。

10

【0039】

第1導電型の基板(18)を用いて半導体装置を製造する場合であって、裏面側に第2の第1導電型層(1)を形成する前に、繰り返し構造を構成する第1の第1導電型層(2)および各第1の第1導電型層(2)に挟まれた第3の第1導電型層(15)の表層部に縦型のNチャネル型半導体素子を形成することもできる。

【0040】

なお、上記各手段の括弧内の符号は、後述する実施形態に記載の具体的手段との対応関係を示すものである。

【発明を実施するための最良の形態】

【0041】

20

以下、本発明の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一若しくは均等である部分には、図中、同一符号を付してある。また、以下の各実施形態において、N型(N+型、N--型を含む)は本発明の第1導電型に相当し、P型(P+型、P--型を含む)は本発明の第2導電型に相当する。

【0042】

(第1実施形態)

以下、本発明の第1実施形態について図を参照して説明する。図1は、本発明の第1実施形態に係る半導体装置の概略断面図である。図1に示されるように、半導体装置には多数のNch型のMOSトランジスタが形成されている。N+型層1(本発明の第2の第1導電型層に相当する)上には、ドリフト領域としてN型層2(本発明の第1の第1導電型層に相当する)およびP型層3(本発明の第1の第2導電型層に相当する)が形成されていると共に、これらN型層2およびP型層3がN+型層1の面方向に交互に配置されたスーパージャンクション構造になっている。

30

【0043】

また、N型層2およびP型層3の表層部にはP型チャネル層4が形成されている。さらに、このP型チャネル層4の表層部のうち、N型層2の反対側にN+型ソース層5が形成され、P型層3の反対側にP+型層6が形成されている。

【0044】

そして、これらN+型ソース層5およびP型チャネル層4を貫通してN型層2に達するトレンチ7が形成され、このトレンチ7の内壁表面にゲート絶縁膜8とゲート層9とが順に形成され、これらトレンチ7、ゲート絶縁膜8、ゲート層9からなるトレンチゲート構造が構成されている。

40

【0045】

なお、N+型ソース層5の一部とトレンチゲート構造とが図示しない絶縁膜にて覆われている。そして、N+型ソース層5、ゲート層9に電氣的に接続される図示しない電極がそれぞれ形成されている。また、N+型層1には、当該N+型層1と接するように図示しないドレイン電極が形成されている。以上が本実施形態に係る半導体装置の全体構成である。

【0046】

次に、上記半導体装置の製造方法について、図を参照して説明する。図2は、図1に示

50

される半導体装置の製造工程を示した図である。

【0047】

図2(a)に示す工程では、シリコン基板に不純物としてAs(ヒ素)またはSb(アンチモン)またはPhos(リン)を例えば $1 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{18} \text{ cm}^{-3}$ のドーブ量でドーブしたN型基板10(本発明の第1導電型の基板に相当する)を用意する。本工程で、ドーブ量の下限を $1 \times 10^{15} \text{ cm}^{-3}$ としているのは、これよりも低い値とするとドーブの意味がなくなってしまうからである。また、ドーブ量の上限を $1 \times 10^{18} \text{ cm}^{-3}$ としているのは、これ以上不純物濃度が高くなると空乏層化しなくなってしまうからである。そして、不純物をドーブしたN型基板10の不純物濃度を例えば比抵抗測定の方法により測定する。

10

【0048】

図2(b)に示す工程では、N型基板10の表面に図示しない酸化膜を熱酸化若しくはCVDの方法により形成し、周知のフォトリソ工程およびエッチング工程によりトレンチ11となる部分のパターンを形成する。そして、エッチング工程としてドライエッチング若しくはウェットエッチングにより深さ $10 \mu\text{m} \sim 100 \mu\text{m}$ 、幅 $0.1 \mu\text{m} \sim 5 \mu\text{m}$ のトレンチ11を形成する。

【0049】

なお、ウェットエッチングによってN型基板10にトレンチ11を形成する場合、異方性エッチングを行うために、N型基板10として(110)基板を採用すると共に、KOH(水酸化カリウム)やTMAH(水酸化テトラメチルアンモニウム)等のアルカリエッチ液を用いることが好ましい。

20

【0050】

図2(c)に示す工程では、CVD装置を用意し、当該CVD装置内にN型基板10を設置すると共に、シラン或いはジクロルシラン若しくはトリクロルシランの成長ガスにホスフィン若しくはアルシン若しくはアンチモンのドーパントガスおよびトレンチ11上部におけるエピタキシャル成長を抑制するHCLガスを流す。これにより、N型基板10のトレンチ11内にP型エピタキシャル層12を埋め込む。

【0051】

このとき、図2(a)に示す工程で測定したN型基板10の濃度を用いて、P型エピタキシャル層12の幅(すなわちトレンチ11の幅)とその濃度との積が、トレンチ11間のN型基板10の幅(すなわちN型層2となる領域の幅)とその濃度との積が等しくなるようにP型エピタキシャル層12の濃度を調整しつつ、P型エピタキシャル層12を形成する。このようにして、N型基板10(この後の工程によりN型層2として構成される領域)とP型エピタキシャル層12とのチャージバランスを図ることができる。

30

【0052】

さらに、P型エピタキシャル層12を形成する際、段階的にN型基板10の温度を下げることなく、すなわち一定温度でトレンチ11内にP型エピタキシャル層12を埋め込む。これにより、N型基板10からP型エピタキシャル層12への不純物イオンの移動を抑制することができ、ひいては外方拡散を抑制することができる。

【0053】

40

図2(d)に示す工程では、N型基板10の表面側から厚さ $1 \mu\text{m}$ 程度CMPによる研磨若しくはドライエッチによるエッチバックにより、N型基板10の表面側を平坦化する。これにより、N型基板10の表面側にP型領域(P型エピタキシャル層12)とN型領域(N型基板10)との繰り返し部分を露出させる。

【0054】

図2(e)に示す工程では、周知の製造工程により半導体デバイスを形成する。具体的には、フォトリソ工程、イオン注入工程、熱拡散・アニール工程によってP型チャネル層4、N+型ソース層5、P+型層6を形成する。また、フォトリソ工程、ドライエッチング工程、熱酸化工程、ポリシリコン成膜工程によりトレンチゲート構造を形成し、さらにフォトリソ工程・エッチング工程・金属成膜工程・絶縁膜形成により図示しない電極、配

50

線、保護膜をN型基板10の表面側に形成する。

【0055】

本実施形態では、N型基板10にトレンチゲート構造が形成されることで、Nch型のMOSトランジスタが形成される。こうしてデバイスが形成されると、トレンチ11内のP型エピタキシャル層12は図1に示されるP型層3として構成される。

【0056】

図2(f)に示す工程では、N型基板10の裏面側を削ることでN型基板10を $30\mu\text{m} \sim 120\mu\text{m}$ の厚さに薄膜化し、リンのイオン注入・拡散によりN+型層1を形成する。これにより、P型層3に挟まれたN型基板10の領域がN型層2として構成される。そして、N+型層1上に図示しないドレイン電極を形成する。

10

【0057】

この後、図2(f)に示す工程を終えた基板をダイシングカットすることでチップ状に分割する。こうして図1に示される半導体装置が完成する。

【0058】

以上説明したように、本実施形態では、スーパージャンクション構造を構成するN型層2をN型基板10として用意し、このN型基板10を用いてスーパージャンクション構造を形成し、最後にN+型層1を形成することが特徴となっている。このように、N型層2となるエピタキシャル層を形成するのではなく、あらかじめN型の基板を用いることで、N型層2を形成するためのエピタキシャル層の形成を不要とすることができる。したがって、N型層2をエピタキシャル層として成膜する工程を無くすことができ、製造時間の短縮および製造コストの削減を実現することができる。

20

【0059】

本実施形態のようにN+型層1をイオン注入および熱拡散にて形成する方法は、N+型の基板の上にN型のエピタキシャル層を形成する従来の方法と比較して、工程数やそれに伴う工程コストを削減することができ、製造コストを安くすることができる。

【0060】

また、N+型層1に対して濃度の低いN型基板10を用いるため、図2(c)に示す工程においてトレンチ11内にP型エピタキシャル層12を形成する際、N型基板10から形成中のP型エピタキシャル層12への不純物イオンの移動、すなわち外方拡散を抑制することができる。これにより、P型層3およびN型層2の各層におけるチャージバランスを容易に合わせることができ、ひいては半導体装置における耐圧特性を向上させることができる。

30

【0061】

(第2実施形態)

本実施形態では、第1実施形態と異なる部分についてのみ説明する。本実施形態では、N型基板10にデバイスを形成した後、スーパージャンクション構造を形成することが特徴となっている。

【0062】

図3は、本実施形態に係る半導体装置の概略断面図である。本実施形態では、第1実施形態において図1に示された半導体装置に対し、P型層においてP型チャネル層4が存在しない構成となっている。すなわち、N型層2の表層部にP型チャネル層4が形成され、このP型チャネル層4の表層部にN+型ソース層5が形成されている。そして、これらN+型ソース層5およびP型チャネル層4を貫通してN型層2に達するトレンチ7が形成され、このトレンチ7の内壁表面にゲート絶縁膜8、ゲート層9が順に形成されることでトレンチゲート構造が構成されている。また、P型層3の表層部にはP+型層6が形成されている。以上が、本実施形態に係る半導体装置の構成である。

40

【0063】

次に、本実施形態に係る半導体装置の製造方法について、図を参照して説明する。図4は、図3に示される半導体装置の製造工程を示した図である。

【0064】

50

本実施形態では、まず、図2(a)に示す工程を終えた後、図4(a)に示す工程では、デバイスのトレンチゲート構造を形成する。すなわち、フォトリソ工程、イオン注入工程、熱拡散・アニール工程にてP型チャンネル層4、N+型ソース層5を形成し、さらにフォトリソ工程、ドライエッチング工程、熱酸化工程、ポリシリコン成膜工程にてトレンチゲート構造を形成する。

【0065】

そして、図4(b)に示す工程では、N型基板10の表面側に図示しない酸化膜を熱酸化若しくはCVDにより形成し、フォトリソ工程・エッチング工程によりトレンチ11となる部分のパターンを形成する。このとき、トレンチ11が各素子のトレンチゲート構造の間に位置するように、酸化膜をパターンニングする。そして、エッチング工程としてドライエッチング若しくはウェットエッチングにより深さ10 μ m~100 μ m、幅0.1 μ m~5 μ mのトレンチ11を形成する。

10

【0066】

図4(c)に示す工程では、図2(c)に示す工程と同様にしてトレンチ11内にP型エピタキシャル層12を埋め込む。

【0067】

図4(d)に示す工程では、図2(d)に示す工程と同様にしてN型基板10の表面側を平坦化する。さらに、フォトリソ工程・エッチング工程・金属成膜工程・絶縁膜形成によりMOSトランジスタの図示しない電極、配線、保護膜をN型基板10の表面側に形成する。

20

【0068】

図4(e)に示す工程では、図2(f)に示す工程と同様に、N+型層1を形成する。また、P型層3の表層部にP+型層6を形成する。以上のようにして、図3に示される半導体装置が完成する。

【0069】

以上説明したように、本実施形態では、先にデバイスを形成した後、P型層3となるP型エピタキシャル層12を形成するようにしている。このように、デバイス形成後にP型エピタキシャル層12を形成しているため、繰り返しPN層(すなわちP型層3およびN型層2の繰り返し構造)に係る熱処理を低減できる。そのため、繰り返しPN層の濃度を高く維持することが可能であり、オン抵抗をより低くすることができる。

30

【0070】

(第3実施形態)

本実施形態では、上記各実施形態と異なる部分についてのみ説明する。本実施形態では、トレンチ11内に完全にP型層3を埋め込むのではなく、トレンチ11の壁面にP型エピタキシャル層12を形成した状態でトレンチ11の形状を承継したP型エピタキシャル層12内に絶縁層を埋め込むことでP型エピタキシャル層12によって構成されるP型層3とN型層2との繰り返し構造を構成することが特徴となっている。

【0071】

図5は、本実施形態に係る半導体装置の概略断面図である。この図に示されるように、本実施形態では、トレンチゲート構造が形成された各N型層2に設けられたトレンチ11の内壁表面に酸化膜13とP型層3とが順に形成されている。酸化膜13としては、例えばSiO₂膜が採用される。

40

【0072】

次に、上記半導体装置の製造方法について、図を参照して説明する。図6は、図5に示される半導体装置の製造工程を示した図である。まず、図2(a)、(b)に示す工程を行い、トレンチ11が形成されたN型基板10を用意する。なお、本実施形態においても、N型基板10の不純物濃度を測定しておく。

【0073】

そして、図6(a)に示す工程では、CVD装置を用意し、トレンチ11が形成されたN型基板10を当該CVD装置内に設置すると共に、シラン或いはジクロルシラン若しく

50

はトリクロルシランの成長ガスにジボランのドーパントガスを流す。これにより、N型基板10のトレンチ11の壁面にP型エピタキシャル層12を成膜する。このとき、トレンチ11にトレンチ幅の半分以上の厚さでP型エピタキシャル層12を成膜する。これにより、酸化膜13を埋め込む幅を確保できる。

【0074】

また、P型エピタキシャル層12を形成する際、P型エピタキシャル層12の不純物濃度がN型基板10の不純物濃度よりも高くなるようにP型エピタキシャル層12を形成する。言い換えると、 $(P型エピタキシャル層12の幅 \times P型エピタキシャル層12の不純物濃度) > (N型基板10のうちN型層2となる部分の幅 \times 上記工程で測定したN型基板10の不純物濃度)$ を満たすように、P型エピタキシャル層12を形成する。

10

【0075】

さらに、上記CVD装置を用いてP型エピタキシャル層12内に酸化膜13を埋め込む。この酸化膜13を埋め込む工程では、低温で行うことができるため、P型エピタキシャル層12上に容易に酸化膜13を形成できる。

【0076】

この後、図6(b)に示す工程では、N型基板10の表面側であってP型エピタキシャル層12上に形成された酸化膜13をドライエッチングにより除去すると共に、表面のP型エピタキシャル層12をドライエッチング若しくはCMPによる研磨で平坦化する。

【0077】

図6(c)に示す工程では、図2(e)に示す工程と同様にN型基板10にデバイスを形成する。こうしてデバイスが形成されると、トレンチ11内のP型エピタキシャル層12は図5に示されるP型層3として構成される。

20

【0078】

本工程にてデバイス形成に際し、トレンチゲート構造までを形成する。そして、当該デバイスの耐圧を測定する。本実施形態では、例えばプローブをデバイスの電極部分に押し当て、ソース・ドレイン間に電圧を印加することで耐圧測定を行う。

【0079】

このようにして測定した耐圧の値が想定した値(基準値)よりも低い場合、酸化膜13とN型基板10としてのシリコンにおけるボロンの偏析係数の違いを利用して、N+型基板を熱処理することにより、酸化膜13からP型層3のボロンを吸い出させ、P型層3の濃度を低下させる。これにより、チャージバランスを調整することができ、デバイスの耐圧を狙い値に調整することができる。

30

【0080】

したがって、本工程においてP型層3の不純物イオンを酸化膜13に吸い出させてチャージバランス調整を容易にするために、上記図6(a)に示す工程においてあらかじめP型エピタキシャル層12の不純物濃度を高めにしておくことが好ましい。

【0081】

また、チャージバランスを調整した後、本工程においてデバイスの図示しない電極、配線、保護膜をN型基板10の表面側に形成する。なお、耐圧測定を行い、デバイスの耐圧として狙い値が得られた場合、熱処理を行う必要はないため、デバイスの電極等を形成した後、次の工程に進む。

40

【0082】

そして、図6(d)に示す工程では、図2(f)に示す工程と同様にN+型層1を形成する。こうして、図5に示される半導体装置が完成する。

【0083】

以上説明したように、本実施形態では、P型エピタキシャル層12を形成する際、トレンチ11の幅の半分以上の厚さでP型エピタキシャル層12を形成することが特徴となっている。これにより、P型層3の幅を小さくすることができ、これに伴ってP型層3の不純物濃度をN型基板10よりも高く設定することができる。また、P型層3の幅を小さくできるため、デバイスのオン抵抗を低減することができる。

50

【 0 0 8 4 】

また、P型エピタキシャル層12の不純物濃度をあらかじめN型基板10よりも高くなるように形成することで、デバイス形成後にP型エピタキシャル層12の不純物イオンを酸化膜13に吸い出させ、チャージバランスを調整することができる。これにより、デバイスの耐圧を高歩留まりに保つことができる。

【 0 0 8 5 】

本実施形態では、上記各実施形態と同様に、半導体装置を製造するための基板としてN型基板10を用いているため、上述のように、エピタキシャル層の製造工程や製造コストを削減することができる。

【 0 0 8 6 】

10

(第4実施形態)

本実施形態では、上記各実施形態と異なる部分についてのみ説明する。本実施形態では、図5に示される半導体装置を製造する上で、先にデバイスを形成した後、スーパー Junction構造を形成することが特徴となっている。

【 0 0 8 7 】

図7は、図5に示される半導体装置の製造工程を示した図である。まず、図4(b)に示す工程までを行い、デバイスが形成されたN型基板10にトレンチ11を形成したものを用意する。なお、本実施形態においても、N型基板10の不純物濃度を測定しておく。

【 0 0 8 8 】

図7(a)に示す工程では、N型基板10の表面側のうちデバイスが形成された部分(トレンチ11の開口部を除いた部分)に酸化膜14を形成し、この後、図6(a)に示す工程と同様にしてP型エピタキシャル層12および酸化膜13を形成する。

20

【 0 0 8 9 】

図7(b)に示す工程では、例えば図6(b)に示す工程と同様に、N型基板10の表面側に形成された酸化膜13、P型エピタキシャル層12、そして酸化膜14を除去し、N型基板10の表面側を平坦化する。そして、上記第3実施形態と同様に、デバイスの耐圧を測定し、耐圧が狙い値から外れていた場合にはN型基板10を熱処理することでチャージバランスを図る。

【 0 0 9 0 】

図7(c)に示す工程では、P型層3の表層部にP+型層6を形成する。また、図2(f)に示す工程と同様にN+型層1を形成する。この後、図示しない電極等を形成することで、図5に示す半導体装置が完成する。

30

【 0 0 9 1 】

以上説明したように、N型基板10に先にデバイスを形成した後、N型基板10にトレンチ11を形成してP型エピタキシャル層12および酸化膜13を形成することでスーパー Junction構造を形成するようにしても構わない。

【 0 0 9 2 】

(第5実施形態)

本実施形態では、上記各実施形態と異なる部分についてのみ説明する。本実施形態では、あらかじめ低濃度N--型基板若しくは真性半導体基板を用いることが特徴となっている。

40

【 0 0 9 3 】

図8は、本実施形態に係る半導体装置の概略構成図である。この図に示されるように、N+型層1上に、N--型層15(本発明の第1導電型の基板に相当する)が形成されている。このN--型層15は半導体装置の外縁部分にも配置されており、チップの終端部の耐圧を確保する役割を果たす。

【 0 0 9 4 】

また、N--型層15には複数のトレンチ11が形成されており、このトレンチ11の壁面にN型層16が形成され、さらにトレンチ11内のN型層16を埋めるようにP型層17が形成されている。すなわち、これらN型層16およびP型層17が繰り返し配置さ

50

れることでスーパージャンクション構造が構成されている。

【0095】

また、上記N - - 型層15、N型層16、およびP型層17の表層部にはデバイスが形成されている。具体的には、N - - 型層15、N型層16、P型層17の表層部にP型チャンネル層4が形成されており、このP型チャンネル層4の表層部にN + 型ソース層5が形成されている。

【0096】

そして、これらN + 型ソース層5およびP型チャンネル層4を貫通してN型層16およびN - - 型層15に達するトレンチ7が形成され、このトレンチ7の内壁表面にゲート絶縁膜8とゲート層9とが順に形成され、これらトレンチ7、ゲート絶縁膜8、ゲート層9からなるトレンチゲート構造が構成されている。

10

【0097】

さらに、P型層17上に形成されたP型チャンネル層4上にP + 型層6が形成されている。なお、上記各実施形態と同様に、トレンチゲート構造の上部にはゲート電極やソース電極等の電極、配線、絶縁膜等が形成されている。また、N - - 型層15には、当該N - - 型層15と接するように図示しないドレイン電極が形成されている。以上が、本実施形態に係る半導体装置の全体構成である。

【0098】

次に、上記半導体装置の製造方法について、図を参照して説明する。図9は、図8に示される半導体装置の製造工程を示した図である。

20

【0099】

図9(a)に示す工程では、シリコン基板に不純物としてAsまたはSbまたはPhosを $1 \times 10^{15} \text{ cm}^{-3}$ 以下の濃度でドーピングした低濃度N - - 型基板18を用意する。なお、真性半導体基板であっても構わない。また、図9(b)に示す工程では、図2(b)に示す工程と同様にトレンチ11を形成する。

【0100】

図9(c)に示す工程では、トレンチ11の側面および底部に気相拡散若しくはイオン注入によりホスフィン若しくはアルシン、若しくはアンチモンをドーピングすることで、N型層16を形成する。

【0101】

30

さらに、CVD装置を用意し、N型層16が形成されたN - - 型基板18を当該CVD装置内に設置すると共に、シラン或いはジクロルシラン若しくはトリクロルシランの成長ガスにジボランのドーパントガスおよびトレンチ11上部のエピタキシャル成長を抑制するHCLガスを流してN型層16内にP型エピタキシャル層12を埋め込む。

【0102】

図9(d)に示す工程では、図2(d)に示す工程と同様に、同様にしてN - - 型基板18の表面側を平坦化する。これにより、これにより、N - - 型基板18の表面側にP型領域(P型エピタキシャル層12)とN型領域(N型層16)との繰り返し部分を露出させる。

【0103】

40

図9(e)に示す工程では、図2(e)に示す工程と同様の方法でデバイスを形成する。こうしてデバイスが形成されると、トレンチ11内のP型エピタキシャル層12は図8に示されるP型層17として構成される。

【0104】

図9(f)に示す工程では、図2(f)に示す工程と同様に、N + 型層1を形成する。このとき、トレンチ11の底面に形成されたN型層16もN + 型層1とされる。この後、上記各実施形態と同様にデバイスの電極等を形成することにより、図8に示される半導体装置が完成する。

【0105】

以上説明したように、本実施形態では、チップとして構成される半導体装置の終端部の

50

耐圧を考慮して、あらかじめ低濃度N - - 型基板 1 8 (または真性半導体基板)を用いて半導体装置を製造することが特徴となっている。また、このN - - 型基板 1 8 にトレンチ 1 1 を形成し、このトレンチ 1 1 内にスーパージャンクション構造を構成している。これにより、半導体装置を製造するに際し、基板としてスーパージャンクション構造の一部となる層をエピタキシャル層として成膜する必要はなく、製造工程数や製造コストを削減することができる。

【 0 1 0 6 】

また、トレンチ 1 1 の側面および底部に気相拡散若しくはイオン注入によりN型層 1 6 を形成するようにしているため、このN型層 1 6 の幅を小さくすることができ、デバイスのオン抵抗を低減することができる。

10

【 0 1 0 7 】

さらに、本実施形態では、あらかじめ低濃度N - - 型基板 1 8 を用いているため、チップ状の半導体装置の終端部の耐圧を考慮したものを製造することができる。

【 0 1 0 8 】

(第6実施形態)

本実施形態では、上記各実施形態と異なる部分についてのみ説明する。本実施形態では、上記第3実施形態と第5実施形態とを組み合わせることが特徴となっている。

【 0 1 0 9 】

図 1 0 は、本実施形態に係る半導体装置の概略断面図である。この図に示されるように、本実施形態では、トレンチ 1 1 の壁面にN型層 1 6 が形成されている。そして、このN型層 1 6 の壁面にP型層 1 7 が形成されており、このP型層 1 7 内に酸化膜 1 3 が形成された構造になっている。

20

【 0 1 1 0 】

次に、上記半導体装置の製造方法について、図を参照して説明する。図 1 1 は、図 1 0 に示される半導体装置の製造工程を示した図である。まず、図 9 (a)、(b)に示す工程を行い、トレンチ 1 1 が形成されたN - - 型基板 1 8 を用意する。

【 0 1 1 1 】

図 1 1 (a)に示す工程では、トレンチ 1 1 の側面および底部に気相拡散若しくはイオン注入によりホスフィン若しくはアルシン、若しくはアンチモンをドーピングすることで、N型層 1 6 を形成する。

30

【 0 1 1 2 】

また、C V D 装置を用意し、当該C V D 装置内にN型層 1 6 が形成されたN - - 型基板 1 8 を設置すると共に、シラン或いはジクロルシラン若しくはトリクロルシランの成長ガスにジボランのドーパントガスを流してN型層 1 6 が完全に埋まらないようにN型層 1 6 の壁面にP型エピタキシャル層 1 2 を成膜する。さらに、当該C V D 装置を用いてP型エピタキシャル層 1 2 内に酸化膜 1 3 を埋め込む。

【 0 1 1 3 】

図 1 1 (b)に示す工程では、N - - 型基板 1 8 の表面に形成されたN型層 1 6、P型エピタキシャル層 1 2、酸化膜 1 3 のうち、まず酸化膜 1 3 をドライエッチで除去すると共に、さらにP型エピタキシャル層 1 2、N型層 1 6 をドライエッチ若しくはCMPによる研磨で平坦化する。これにより、N - - 型基板 1 8 の表面にP型領域 (P型エピタキシャル層 1 2) およびN型領域 (N型層 1 6) の繰り返し部分を露出させる。

40

【 0 1 1 4 】

図 1 1 (c)に示す工程では、図 6 (c)と同様にデバイスを形成する。そして、トレンチ 1 1 内のP型エピタキシャル層 1 2 は図 1 0 に示されるP型層 3 として構成される。

【 0 1 1 5 】

図 1 1 (d)に示す工程では、図 9 (f)に示す工程と同様にN + 型層 1 を形成する。この後、上述のように、図示しない電極等を形成することで、図 1 0 に示される半導体装置が完成する。

【 0 1 1 6 】

50

以上説明したように、N - - 型基板 1 8 に設けたトレンチ 1 1 内に P 型層 1 7、そして酸化膜 1 3 を形成するようにしても構わない。

【 0 1 1 7 】

(第 7 実施形態)

本実施形態では、上記各実施形態と異なる部分についてのみ説明する。本実施形態では、上記各実施形態で示した N c h 型の M O S トランジスタと、 P c h 型の M O S トランジスタとを 1 つのチップに形成したことが特徴となっている。

【 0 1 1 8 】

図 1 2 は、本実施形態に係る半導体装置の概略断面図である。この図に示されるように、N 型層 2 および P 型層 3 が繰り返し配置されたスーパージャンクション構造が形成されている。また、図 1 2 に示される半導体装置には N c h 型の M O S トランジスタと P c h 型の M O S トランジスタとが形成されている。

10

【 0 1 1 9 】

半導体装置において、N c h 型の M O S トランジスタが形成された領域では、N 型領域にトレンチゲート構造が形成されており、基板において当該トレンチゲート構造の反対側に N + 型層 1 が形成されている。また、半導体装置において、P c h 型の M O S トランジスタが形成された領域では、P 型領域にトレンチゲート構造が形成されており、基板において当該トレンチゲート構造の反対側に P + 型層 1 9 (本発明の第 2 の第 2 導電型層に相当する) が形成されている。

【 0 1 2 0 】

20

本実施形態では、周知のフォトリソ工程等により、基板の裏面側に N + 型層 1 および P + 型層 1 9 を選択的に形成することができる。なお、P + 型層 1 9 を形成する場合、ボロンをイオン注入して拡散することとなる。

【 0 1 2 1 】

以上のように、N 型層 2 および P 型層 3 が繰り返し配置されたスーパージャンクション構造を有する半導体装置において、N c h 型および P c h 型の各の M O S トランジスタを形成したものとすることができる。

【 0 1 2 2 】

(他の実施形態)

上記第 1 ~ 第 6 実施形態では、デバイスとして N c h 型の M O S トランジスタを備えた半導体装置について説明したが、P 型層 3 にトレンチゲート構造を形成することにより、デバイスとして P c h 型の M O S トランジスタを備えた半導体装置を製造することもできる。

30

【 0 1 2 3 】

また、上記第 1 ~ 第 6 実施形態では、半導体装置を製造する際に N 型基板 1 0 を用いているが、P 型基板を用いて半導体装置を製造するようにしても構わない。すなわち、上記第 1 ~ 第 6 実施形態において、半導体装置を N 型と P 型を入れ替えたものとすることもできる。例えば、第 1 ~ 第 4 実施形態では、N 型基板 1 0 の代わりに P 型基板を用意し、第 5、第 6 実施形態では、N - - 型基板 1 8 の代わりに P - - 型基板を用意し、それぞれ各基板に半導体装置を製造することとなる。

40

【 0 1 2 4 】

第 1 実施形態において、図 1 に示される半導体装置では、N + 型層 1 上に P 型層 3 および N 型層 2 が形成された構造になっているが、図 2 (f) に示す工程において N 型基板 1 0 を削る量を調整することで、N + 型層 1 と P 型層 3 との間に N 型層 2 が挟まれた構造になっても構わない。

【 0 1 2 5 】

第 3 実施形態において、図 5 に示される半導体装置では、N + 型層 1 と P 型層 3 との間に酸化膜 1 3 が形成された構造になっているが、図 6 (d) に示す工程において N 型基板 1 0 を削る量を調整することで、N + 型層 1 上に P 型層 3 が形成された構造になっても構わない。

50

【 0 1 2 6 】

上記第3実施形態では、図6(c)に示す工程において、P型エピタキシャル層12をCVD装置により成膜しているが、P型エピタキシャル層12を成膜する代わりに、気相拡散若しくはイオン注入でトレンチ11の側壁にドーピングを行ってP型エピタキシャル層12に相当するP型層を形成すると共に、このP型層内に酸化膜13を埋め込むようにすることもできる。

【 0 1 2 7 】

また、第3、第4実施形態では、N型基板10のトレンチ11壁面にP型層3をエピタキシャル成長させて形成しているが、トレンチ11の側壁から気相拡散若しくはイオン注入によりP型層3を形成するようにしても構わない。この場合においても、デバイス形成後に酸化膜13にP型層3の不純物イオンを吸い出させてチャージバランスを図ることができるようにするため、気相拡散若しくはイオン注入の際に、トレンチ11内に形成したP型層3の不純物濃度がN型基板10の不純物濃度よりも高くなるようにP型層3を形成することが好ましい。

10

【 0 1 2 8 】

上記第5、第6実施形態においては、第2、第4実施形態と同様に、先にN--型基板18にデバイスを形成した後、トレンチ11を形成してN型層16およびP型層3を形成することでスーパージャンクション構造を形成することもできる。また、N--型基板18のトレンチ11壁面に気相拡散若しくはイオン注入の方法によってN型層2を形成しているが、トレンチ11内にN型層2をエピタキシャル成長させてN型層2を形成するようにしても構わない。

20

【 0 1 2 9 】

第7実施形態では、Nch型およびPch型のMOSトランジスタを1つのチップに形成した半導体装置について説明したが、この半導体装置に例えば第3実施形態で示された酸化膜13を形成した構成としても良い。また、Nch型およびPch型のMOSトランジスタを1つのチップに形成する場合、第5、第6実施形態のように、チップの終端部の耐圧を考慮したものとしてN型層2を備えるようにしても良い。この場合、上述のように、N--型基板18にトレンチを形成して繰り返し構造を形成し、第7実施形態のようにNch型およびPch型のMOSトランジスタをそれぞれ形成することとなる。

【図面の簡単な説明】

30

【 0 1 3 0 】

【図1】第1実施形態に係る半導体装置の概略断面図である。

【図2】図1に示される半導体装置の製造工程を示した図である。

【図3】第2実施形態に係る半導体装置の概略断面図である。

【図4】図3に示される半導体装置の製造工程を示した図である。

【図5】第3実施形態に係る半導体装置の概略断面図である。

【図6】図5に示される半導体装置の製造工程を示した図である。

【図7】第4実施形態における半導体装置の製造工程を示した図である。

【図8】第5実施形態に係る半導体装置の概略構成図である。

【図9】図8に示される半導体装置の製造工程を示した図である。

40

【図10】第6実施形態に係る半導体装置の概略断面図である。

【図11】図10に示される半導体装置の製造工程を示した図である。

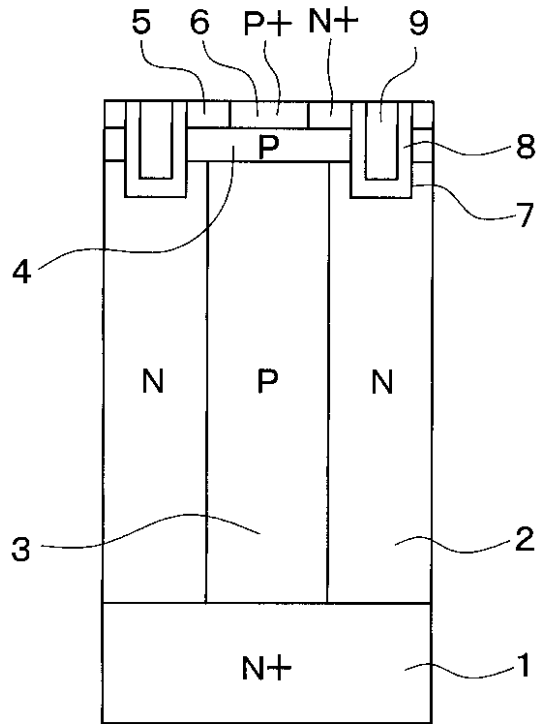
【図12】第7実施形態に係る半導体装置の概略断面図である。

【符号の説明】

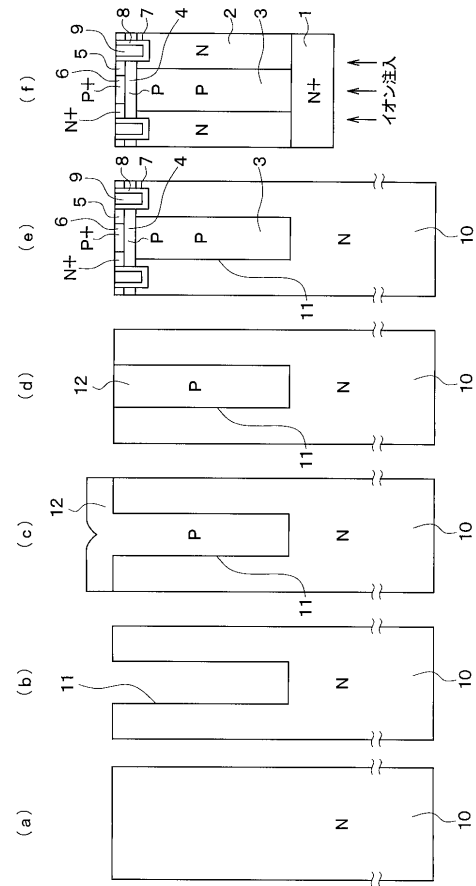
【 0 1 3 1 】

1...N+型層、2...N型層、3...P型層、10...N型基板、11...トレンチ、13...酸化膜、15...N--型層、18...N--型基板。

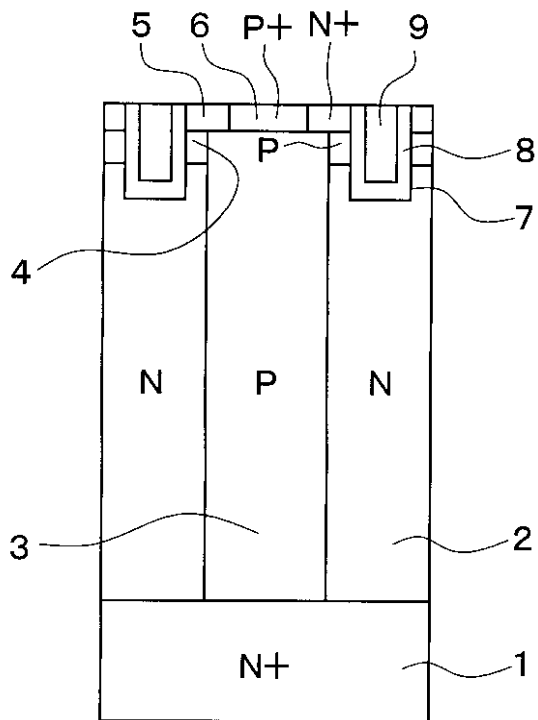
【図 1】



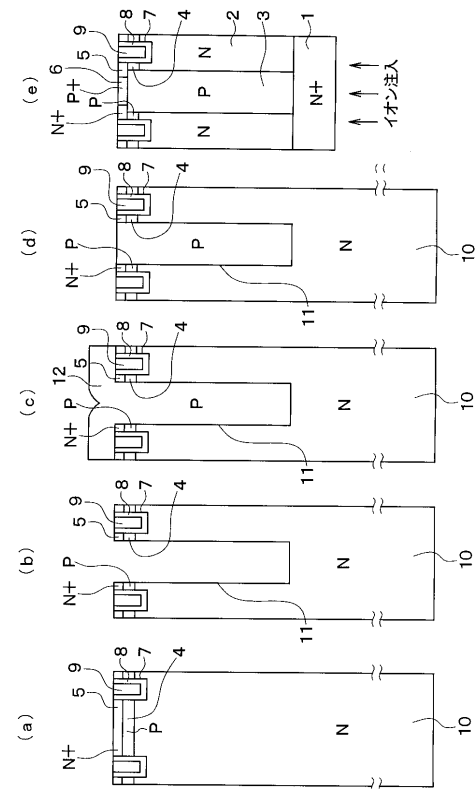
【図 2】



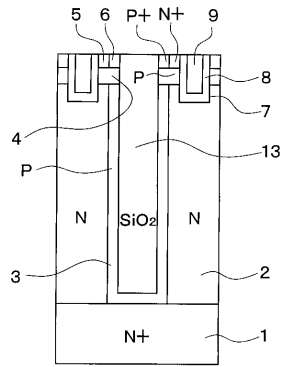
【図 3】



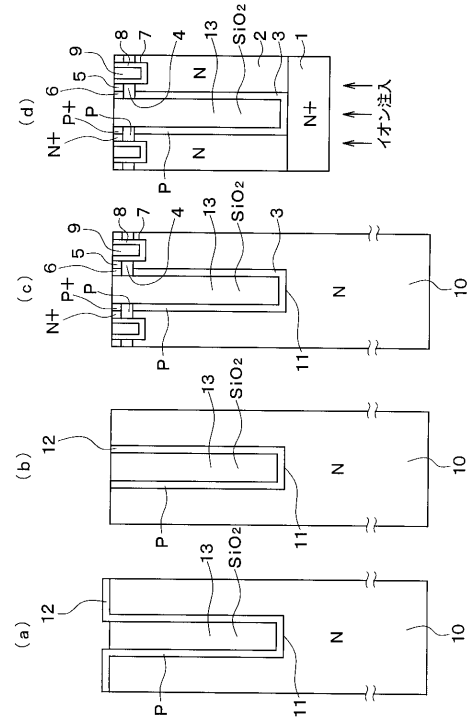
【図 4】



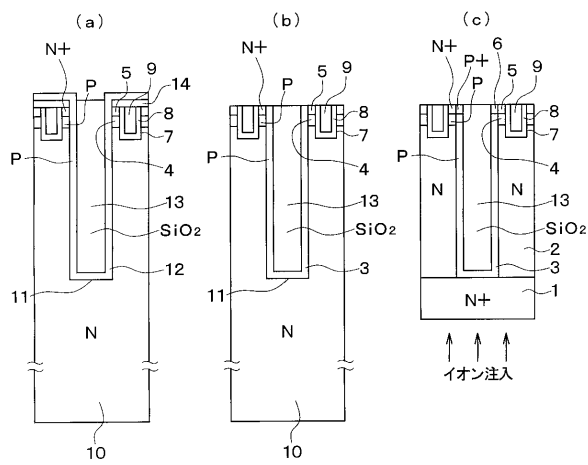
【図 5】



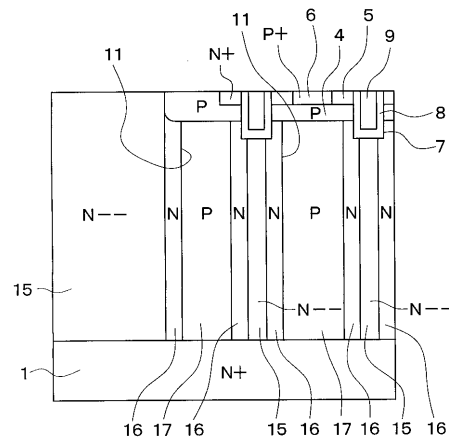
【図 6】



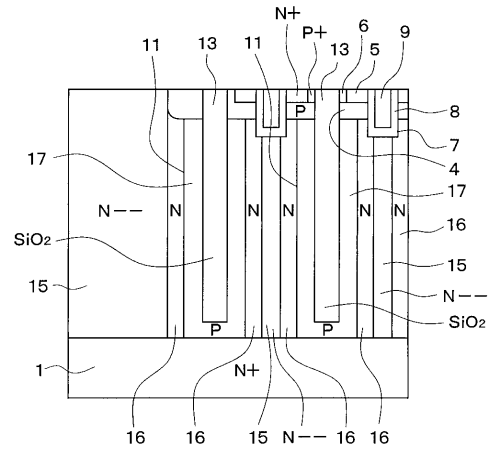
【図 7】



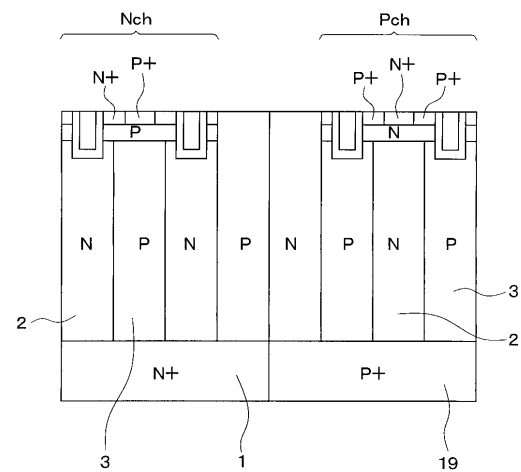
【図 8】



【 図 1 0 】



【 図 1 2 】



フロントページの続き

審査官 瀧内 健夫

(56)参考文献 特開 2 0 0 3 - 0 8 6 8 0 0 (J P , A)
特開 2 0 0 2 - 0 2 6 3 2 0 (J P , A)
特開 2 0 0 1 - 0 1 5 4 4 8 (J P , A)
国際公開第 2 0 0 5 / 0 6 0 6 7 6 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 3 3 6