

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 2 部門第 4 区分

【発行日】平成30年1月18日(2018.1.18)

【公開番号】特開2015-112877(P2015-112877A)

【公開日】平成27年6月22日(2015.6.22)

【年通号数】公開・登録公報2015-040

【出願番号】特願2014-242764(P2014-242764)

【国際特許分類】

B 4 1 J 2/14 (2006.01)

B 4 1 J 2/16 (2006.01)

【F I】

B 4 1 J 2/14 4 0 1

B 4 1 J 2/14 6 1 1

B 4 1 J 2/16 5 0 3

B 4 1 J 2/16 5 1 7

B 4 1 J 2/16

【手続補正書】

【提出日】平成29年11月29日(2017.11.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の静電アクチュエータを含むプリントヘッドであって、各静電アクチュエータが、半導体基材アセンブリを覆い、第 1 の部分を含むパターニングされた第 1 の伝導性層と

、

前記パターニングされた第 1 の伝導性層の第 1 の部分と物理的および電氣的に接触した第 1 の部分を有するパターニングされた第 2 の伝導性層であって、前記前記パターニングされた第 2 の伝導性層の前記第 1 の部分は、アクチュエータ電極の少なくとも一部である、第 2 の伝導性層と、

前記半導体基材アセンブリを覆い、側壁を含む第 1 の誘電体層と、

前記第 1 の誘電体層を覆う第 2 の誘電体層であって、前記側壁が、前記第 2 の誘電体層の下において側方に埋め込まれ、凹部を提供する第 2 の誘電体層と、

前記第 2 の誘電体層上の前記第 2 の伝導性層の第 2 の部分と、

前記第 2 の伝導性層の前記第 2 の部分に拡散接合したアクチュエータ膜と、を含む、プリントヘッド。

【請求項 2】

前記第 2 の伝導性層の前記第 1 の部分が、前記凹部内に縁部を含む、請求項 1 に記載のプリントヘッド。

【請求項 3】

前記第 2 の伝導性層が、自己パターニングされた層である、請求項 1 に記載のプリントヘッド。

【請求項 4】

前記パターニングされた第 1 の伝導性層の前記第 1 の部分および前記第 2 の伝導性層の前記第 1 の部分の下層となる第 3 の誘電体層をさらに含み、前記側壁が、前記第 2 の誘電体層と前記第 3 の誘電体層との間に埋め込まれる、請求項 1 に記載のプリントヘッド。

【請求項 5】

前記第 1 の伝導性層と前記第 2 の伝導性層の前記第 1 の部分との間に介在された第 3 の誘電体層をさらに含み、前記側壁が、前記第 2 の誘電体層と前記第 3 の誘電体層との間で埋め込まれる、請求項 1 に記載のプリントヘッド。

【請求項 6】

前記パターンニングされた第 1 の伝導性層が、前記複数の静電アクチュエータのために複数のトレースを提供する複数の第 2 の部分をさらに含み、

前記複数のトレースが、前記第 2 の伝導性層の前記第 1 の部分と前記半導体基材アセンブリとの間に直接挿入される、請求項 1 に記載のプリントヘッド。

【請求項 7】

前記パターンニングされた第 1 の伝導性層の前記第 1 の部分が第 1 の幅を含み、

前記パターンニングされた第 2 の伝導性層の前記第 1 の部分が、前記第 1 の幅よりも広い第 2 の幅を含む、請求項 1 に記載のプリントヘッド。

【請求項 8】

プリンタであって、

複数の静電アクチュエータを含むプリントヘッドを備え、

各静電アクチュエータが、

半導体基材アセンブリを覆い、第 1 の部分を含むパターンニングされた第 1 の伝導性層と

、
前記パターンニングされた第 1 の伝導性層の第 1 の部分と物理的および電氣的に接触した
第 1 の部分を有するパターンニングされた第 2 の伝導性層であって、前記前記パターンニング
された第 2 の伝導性層の前記第 1 の部分は、アクチュエータ電極の少なくとも一部である
、第 2 の伝導性層と、

前記半導体基材アセンブリを覆い、側壁を含む第 1 の誘電体層と、

前記第 1 の誘電体層を覆う第 2 の誘電体層であって、前記側壁が、前記第 2 の誘電体層
の下において側方に埋め込まれ、凹部を提供する第 2 の誘電体層と、

前記第 2 の誘電体層上の前記第 2 の伝導性層の第 2 の部分と、

前記第 2 の伝導性層の前記第 2 の部分に拡散接合したアクチュエータ膜と、
を含む、プリンタ。

【請求項 9】

前記第 2 の伝導性層の前記第 1 の部分が、前記凹部内に縁部を含む、請求項 8 に記載の
プリンタ。

【請求項 10】

前記第 2 の伝導性層が、自己パターンニングされた層である、請求項 8 に記載のプリンタ
。

【請求項 11】

前記パターンニングされた第 1 の伝導性層の前記第 1 の部分および前記第 2 の伝導性層の
前記第 1 の部分の下層となる第 3 の誘電体層をさらに含み、前記側壁が、前記第 2 の誘電
体層と前記第 3 の誘電体層との間に埋め込まれる、請求項 8 に記載のプリンタ。

【請求項 12】

前記第 1 の伝導性層と前記第 2 の伝導性層の前記第 1 の部分との間に介在された第 3 の
誘電体層をさらに含み、前記側壁が、前記第 2 の誘電体層と前記第 3 の誘電体層との間で
埋め込まれる、請求項 8 に記載のプリンタ。

【請求項 13】

前記パターンニングされた第 1 の伝導性層が、前記複数の静電アクチュエータのために複
数のトレースを提供する複数の第 2 の部分をさらに含み、

前記複数のトレースが、前記第 2 の伝導性層の前記第 1 の部分と前記半導体基材アセン
ブリとの間に直接挿入される、請求項 8 に記載のプリンタ。

【請求項 14】

前記パターンニングされた第 1 の伝導性層の前記第 1 の部分が第 1 の幅を含み、

前記パターニングされた第 2 の伝導性層の前記第 1 の部分が、前記第 1 の幅よりも広い第 2 の幅を含む、請求項 8 に記載のプリンタ。