



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0107799
(43) 공개일자 2013년10월02일

(51) 국제특허분류(Int. Cl.)
H01G 4/12 (2006.01) H01G 4/30 (2006.01)
(21) 출원번호 10-2012-0029878
(22) 출원일자 2012년03월23일
심사청구일자 없음

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)
(72) 발명자
정해석
경기도 수원시 영통구 매탄3동 삼성전기
이병화
경기도 수원시 영통구 매탄3동 삼성전기
(뒷면에 계속)
(74) 대리인
특허법인씨엔에스

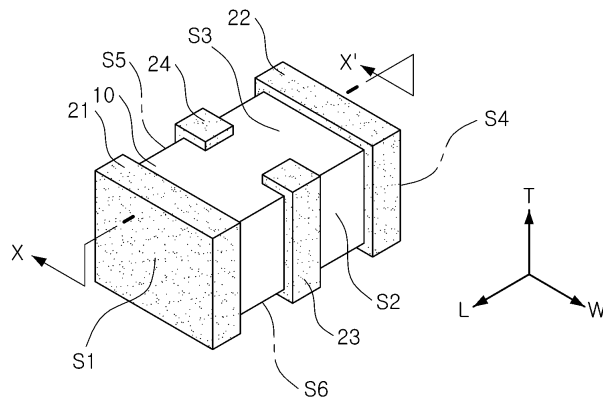
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 전자 부품 및 그 제조 방법

(57) 요약

본 발명은 전자 부품 및 그 제조 방법에 관한 것으로, 길이 방향의 양 측면, 폭 방향의 양 측면, 두께 방향의 상면 및 하면을 가지는 세라믹 본체; 상기 세라믹 본체의 길이 방향의 양 측면에 형성된 제1 및 제2 외부 전극; 상기 세라믹 본체의 폭 방향의 양 측면에 형성된 제3 및 제4 외부 전극; 상기 세라믹 본체의 내부에 형성되고 상기 제1 및 제2 내부 전극에 접속된 제1 내부 전극; 및 상기 제1 내부 전극과 세라믹 층을 사이에 두고 배치되고 제3 및 제4 외부 전극에 접속된 제2 내부 전극;을 포함하고, 상기 제1 내부전극의 두께 t_1 및 제2 내부 전극의 두께 t_2 는 각각 $0.9\mu\text{m}$ 이하이고, 상기 제1 내부 전극의 조도(R_1)는 상기 제2 내부 전극의 조도(R_2)보다 작은 것을 특징으로 하며, 본 발명에 의하면 직류 저항이 감소되지만 교류 저항은 상대적으로 감소되지 않는 전자 부품을 얻을 수 있다.

대표도 - 도1



(72) 발명자

채은혁

경기도 수원시 영통구 매탄3동 삼성전기

박민철

경기도 수원시 영통구 매탄3동 삼성전기

특허청구의 범위

청구항 1

길이 방향의 양 단면, 폭 방향의 양 측면, 두께 방향의 상면 및 하면을 가지는 세라믹 본체;
 상기 세라믹 본체의 길이 방향의 양 단면에 각각 형성된 제1 및 제2 외부 전극;
 상기 세라믹 본체의 폭 방향의 양 측면에 각각 형성된 제3 및 제4 외부 전극;
 상기 세라믹 본체의 내부에 형성되고 상기 제1 및 제2 외부 전극에 접속된 제1 내부 전극; 및
 상기 제1 내부 전극과 세라믹 층을 사이에 두고 배치되고 제3 및 제4 외부 전극에 접속된 제2 내부 전극;을 포함하고,
 상기 제1 내부전극의 두께 t_1 및 제2 내부 전극의 두께 t_2 는 각각 $0.9\mu\text{m}$ 이하이고, 상기 제1 내부 전극의 조도 (R_1)는 상기 제2 내부 전극의 조도(R_2)보다 작은 전자 부품.

청구항 2

제1항에 있어서,
 상기 전자 부품은 3 단자인 전자 부품.

청구항 3

제1항에 있어서,
 $(R_1/R_2) \leq 0.9$ 인 전자 부품.

청구항 4

제3항에 있어서,
 $(R_2/t_2) \leq 0.5$ 인 전자 부품.

청구항 5

제1항에 있어서,
 $(R_2/t_2) \leq 0.5$ 인 전자 부품.

청구항 6

제1항에 있어서,
 상기 제3 및 제4 외부 전극은 상기 상면 및 하면의 일부로 연장되어 형성된 전자 부품.

청구항 7

제1항에 있어서,

상기 제1 및 제2 내부 전극은 용량부 및 인출부를 갖는 전자 부품.

청구항 8

제7항에 있어서,

상기 제2 내부 전극의 인출부의 길이 방향 치수가 상기 제2 내부 전극의 용량부의 길이 방향 치수보다 작은 전자 부품.

청구항 9

제7항에 있어서,

상기 제 2 내부 전극의 인출부의 길이 방향 치수는 상기 제3 및 제4 외부 전극의 길이 방향 치수보다 작은 전자 부품.

청구항 10

세라믹 본체의 길이 방향의 양 단면에 각각 형성된 제1 및 제2 외부 전극;

상기 세라믹 본체의 폭 방향의 양 측면에 각각 형성된 복수 개의 제3 및 제4 외부 전극;

상기 세라믹 본체의 내부에 적층 배치되고 상기 제1 및 제2 내부 전극에 접속된 복수 개의 제1 내부 전극; 및

상기 복수 개의 제1 내부 전극의 상하 및 사이에 제1 내부 전극과 세라믹 층을 사이에 두고 배치되고 상기 복수 개의 제3 및 제4 외부 전극에 접속된 제2 내부 전극;

을 포함하고,

상기 제1 내부전극의 두께 t_1 및 제2 내부 전극의 두께 t_2 는 각각 $0.9\mu\text{m}$ 이하이고, 상기 제1 내부 전극의 조도 (R_1)는 상기 제2 내부 전극의 조도(R_2)보다 작은 다 단자 전자 부품.

청구항 11

제10항에 있어서,

$(R_2/t_2) \leq 0.5$ 인 다 단자 전자 부품.

청구항 12

제10항에 있어서,

$(R_1/R_2) \leq 0.9$ 인 다 단자 전자 부품.

청구항 13

제12항에 있어서,

$(R_2/t_2) \leq 0.5$ 인 다 단자 전자 부품.

청구항 14

제10항에 있어서,
상기 복수 개의 외부 전극은 상기 상면 및 하면의 일부로 연장되어 형성된 다 단자 전자 부품.

청구항 15

제10항에 있어서,
상기 제1 및 제2 내부 전극은 용량부 및 인출부를 갖는 다 단자 전자 부품.

청구항 16

제15항에 있어서,
상기 제2 내부 전극은 인출부의 길이 방향 치수가 용량부의 길이 방향 치수보다 작은 다 단자 전자 부품.

청구항 17

제15항에 있어서,
상기 제2 내부 전극의 인출부의 길이 방향 치수는 상기 제3 및 제4 외부 전극의 길이 방향 치수보다 작은 다 단자 전자 부품.

청구항 18

제1 및 제2 세라믹 그린 시트를 마련하는 단계;
제1 도전성 금속을 포함하는 제1 도전성 페이스트를 마련하는 단계;
상기 제1 도전성 금속보다 입경이 큰 제2 도전성 금속을 포함하고 상기 제1 도전성 페이스트보다 점도가 높은 제2 도전성 페이스트를 마련하는 단계;
상기 제1 및 제2 세라믹 그린 시트 상에 각각 상기 제1 및 제2 도전성 페이스트를 이용하여 제1 및 제2 내부 전극을 형성하는 단계; 및
상기 제1 및 제2 세라믹 그린 시트를 적층, 절단 및 소결하는 단계;
를 포함하는 전자 부품의 제조 방법.

청구항 19

제18항에 있어서,
상기 제1 및 제2 도전성 금속은 동일한 재료인 전자 부품의 제조 방법.

청구항 20

제18항에 있어서,
상기 전자 부품은 3 단자 또는 다 단자 전자 부품인 전자 부품의 제조 방법.

명세서

기술분야

[0001] 본 발명은 전자 부품 및 그 제조 방법에 관한 것으로, 구체적으로는 직류저항은 감소하고 교류 저항의 지나친 감소는 억제할 수 있는 전자 부품 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 3단자 캐패시터란 입력 단자, 출력 단자 및 접지 단자로 구성된 캐패시터를 의미하며, 피드스루 캐패시터라고 불리기도 한다.

[0003] 3단자 캐패시터는, 예컨대, 전자 회로에서 노이즈를 포함한 전기적인 신호가 입출력 단자를 통하여 유입되는 경우, 제품 내 구성된 접지 경로로 노이즈를 유도하는 기능을 한다.

[0004] 3단자 캐패시터는 낮은 잔류 인덕턴스 특성을 지니기 때문에 고 주파수 영역에서의 우수한 노이즈 감쇄 특성을 나타내며, 다양한 정전용량의 제품의 제작이 가능하여, 이를 통한 다양한 주파수 대역에서의 감쇄 특성 구현도 가능하다.

[0005] 즉, 정전 용량의 증가에 따라 전기적 신호의 노이즈 감쇄를 증가시키지만, 자기 공명 주파수는 저주파수 대역으로 이동하게 되어 오히려 고주파수 대역에서의 감쇄율은 낮아지게 되므로, 회로에 적합한 주파수 대역에 해당하는 캐패시터를 선택하여 노이즈 필터로 사용하게 된다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 직류 저항은 감소하고 교류 저항의 지나친 감소는 억제할 수 있는 전자 부품 및 그 제조 방법을 제공하고자 한다.

과제의 해결 수단

[0007] 본 발명의 일 실시 형태는 길이 방향의 양 단면, 폭 방향의 양 측면, 두께 방향의 상면 및 하면을 가지는 세라믹 본체; 상기 세라믹 본체의 길이 방향의 양 단면에 각각 형성된 제1 및 제2 외부 전극; 상기 세라믹 본체의 폭 방향의 양 측면에 각각 형성된 제3 및 제4 외부 전극; 상기 세라믹 본체의 내부에 형성되고 상기 제1 및 제2 외부 전극에 접속된 제1 내부 전극; 및 상기 제1 내부 전극과 세라믹 층을 사이에 두고 배치되고 제3 및 제4 외부 전극에 접속된 제2 내부 전극;을 포함하고, 상기 제1 내부전극의 두께 t_1 및 제2 내부 전극의 두께 t_2 는 각각 $0.9\mu\text{m}$ 이하이고, 상기 제1 내부 전극의 조도(R_1)는 상기 제2 내부 전극의 조도(R_2)보다 작은 전자 부품일 수 있다.

[0008] 일 실시예로, 상기 전자 부품은 3 단자일 수 있다.

[0009] 일 실시예로, $(R_1/R_2) \leq 0.9$ 일 수 있다.

[0010] 일 실시예로, $(R_2/t_2) \leq 0.5$ 일 수 있다.

[0011] 일 실시예로, 상기 제3 및 제4 외부 전극은 상기 상면 및 하면의 일부로 연장되어 형성될 수 있다.

[0012] 일 실시예로, 상기 제1 및 제2 내부 전극은 용량부 및 인출부를 가질 수 있다.

[0013] 일 실시예로, 상기 제2 내부 전극의 인출부의 길이 방향 치수가 상기 제2 내부 전극의 용량부의 길이 방향 치수보다 작을 수 있다.

[0014] 일 실시예로, 상기 제 2 내부 전극의 인출부의 길이 방향 치수는 상기 제3 및 제4 외부 전극의 길이 방향 치수보다 작을 수 있다.

[0015] 본 발명의 다른 실시 형태는 세라믹 본체의 길이 방향의 양 단면에 각각 형성된 제1 및 제2 외부 전극; 상기 세라믹 본체의 폭 방향의 양 측면에 각각 형성된 복수 개의 제3 및 제4 외부 전극; 상기 세라믹 본체의 내부에 적층 배치되고 상기 제1 및 제2 내부 전극에 접속된 복수 개의 제1 내부 전극; 및 상기 복수 개의 제1 내부 전극

의 상하 및 사이에 제1 내부 전극과 세라믹 층을 사이에 두고 배치되고 상기 복수 개의 제3 및 제4 외부 전극에 접속된 제2 내부 전극;을 포함하고, 상기 제1 내부전극의 두께 t_1 및 제2 내부 전극의 두께 t_2 는 각각 $0.9\mu\text{m}$ 이하이고, 상기 제1 내부 전극의 조도(R_1)는 상기 제2 내부 전극의 조도(R_2)보다 작은 다 단자 전자 부품일 수 있다.

- [0016] 일 실시예로, $(R_2/t_2) \leq 0.5$ 일 수 있다.
- [0017] 일 실시예로, $(R_1/R_2) \leq 0.9$ 일 수 있다.
- [0018] 일 실시예로, 상기 복수 개의 외부 전극은 상기 상면 및 하면의 일부로 연장되어 형성될 수 있다.
- [0019] 일 실시예로, 상기 제1 및 제2 내부 전극은 용량부 및 인출부를 가질 수 있다.
- [0020] 일 실시예로, 상기 제2 내부 전극은 인출부의 길이 방향 치수가 용량부의 길이 방향 치수보다 작을 수 있다.
- [0021] 일 실시예로, 상기 제 2 내부 전극의 인출부의 길이 방향 치수는 상기 제3 및 제4 외부 전극의 길이 방향 치수보다 작을 수 있다.
- [0022] 본 발명의 또 다른 실시 형태는 제1 및 제2 세라믹 그린 시트를 마련하는 단계; 제1 도전성 금속을 포함하는 제1 도전성 페이스트를 마련하는 단계; 상기 제1 도전성 금속보다 입경이 큰 제2 도전성 금속을 포함하고 상기 제1 도전성 페이스트보다 점도가 높은 제2 도전성 페이스트를 마련하는 단계; 상기 제1 및 제2 세라믹 그린 시트에 각각 상기 제1 및 제2 도전성 페이스트를 이용하여 제1 및 제2 내부 전극을 형성하는 단계; 및 상기 제1 및 제2 세라믹 그린 시트를 적층, 절단 및 소결하는 단계;를 포함하는 전자 부품의 제조 방법일 수 있다.
- [0023] 일 실시예로, 상기 제1 및 제2 도전성 금속은 동일할 수 있다.
- [0024] 일 실시예로, 상기 전자 부품은 3 단자 또는 다 단자일 수 있다.

발명의 효과

- [0025] 본 발명에 의하면, 직류 저항은 감소되지만 교류 저항은 감소되지 않는 3 단자 전자 부품을 얻을 수 있다.

도면의 간단한 설명

- [0026] 도 1은 본 발명의 일 실시 형태에 따른 전자 부품의 사시도이다.
- 도 2는 본 발명의 일 실시 형태에 따른 전자 부품의 분해 사시도이다.
- 도 3은 도 1의 X-X'에 따른 단면도이다.
- 도 4는 도 3의 Z 부분에 대한 확대도이다.
- 도 5 및 6은 내부 전극의 조도 측정을 설명하는 모식도이다.
- 도 7은 본 발명의 다른 실시 형태에 따른 전자 부품의 분해 사시도이다.
- 도 8은 본 발명의 다른 실시 형태에 따른 전자 부품의 대한 도 1의 X-X'에 따른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시 형태들을 설명한다.
- [0028] 본 발명의 실시 형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시 형태로 한정되는 것은 아니다.
- [0029] 또한, 본 발명의 실시 형태는 당업계에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다.
- [0030] 따라서, 도면에서의 요소들의 형상 및 크기 등은 보다 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.

- [0031] 도 1은 본 발명의 일 실시 형태인 전자 부품의 사시도이다. 도 2는 본 발명의 일 실시 형태인 전자 부품의 분해 사시도이다. 도 3은 도 1의 X-X'에 따른 단면도이다. 도 4는 도 3의 Z 부분에 대한 확대도이다. 도 5는 내부 전극의 두께 측정을 설명하는 모식도이다. 도 6은 내부 전극의 조도 측정을 설명하는 모식도이다.
- [0032] 도 1을 참조하면, 본 발명의 일 실시 형태인 전자 부품은 세라믹 본체(10), 상기 세라믹 본체(10)의 외부에 형성된 외부 전극(21~24), 상기 세라믹 본체(10)의 내부에 적층 배치된 내부 전극(32, 33)을 포함할 수 있다. 구체적으로 3 단자 캐패시터를 예로 들어 설명한다.
- [0033] “L 방향”을 길이 방향, “W 방향”을 폭 방향, “T 방향”을 두께 방향이라 할 수 있다.
- [0034] 세라믹 본체(10)는 직육면체 형상일 수 있으며, 길이 방향의 양 단면(S1, S4), 폭 방향의 양 측면(S2, S5), 두께 방향의 상면 및 하면(S3, S6)을 가질 수 있다.
- [0035] 세라믹 본체(10)는 세라믹 재료, 즉 유전율이 높은 유전체를 포함할 수 있으며, 구체적으로는 티탄산바륨 또는 티탄산스트론튬 등을 포함할 수 있다.
- [0036] 유전체가 다른 극성이 인가된 두 전극 사이에 위치하는 경우, 유전체 내의 전기 이중 극자(electric dipole)가 두 전극에 의하여 형성된 전기장에 반응하여 정렬할 수 있고 이에 의하여 두 전극에는 더 많은 양의 전하가 축적될 수 있다.
- [0037] 외부 전극은 제1 내지 제4 외부 전극(21~24)을 포함할 수 있다.
- [0038] 제1 및 제2 외부 전극(21, 22)은 세라믹 본체(10)의 길이 방향의 양 단면(S1, S4)에 형성될 수 있으며, 제1 및 제2 내부 전극(21, 22)은 세라믹 본체(10)의 길이 방향으로 서로 마주 보고 형성될 수 있다. 또한 제1 및 제2 외부 전극(21, 22)은 세라믹 본체(10)의 길이 방향의 양 단면(S1, S4)에 이웃하는 타면(S2, S3, S5, S6)의 일부로 연장되어 형성될 수 있다.
- [0039] 제3 및 제4 외부 전극(23, 24)은 세라믹 본체(10)의 폭 방향의 양 측면(S2, S5)에 형성될 수 있으며, 제3 및 제4 내부 전극(23, 24)은 세라믹 본체(10)의 폭 방향으로 서로 마주 보고 형성될 수 있다. 또한 제3 및 제4 외부 전극(23, 24)은 세라믹 본체(10)의 상면(S3) 및 하면(S6)의 일부로 연장되어 형성될 수 있다.
- [0040] 제1 및 제2 외부 전극(21, 22)에는 시그널 신호인 직류 성분과 노이즈인 교류 성분으로 이루어진 시그널 전압이 인가될 수 있으며, 제3 및 제4 외부 전극(23, 24)은 그라운드에 연결되어 노이즈인 교류 성분을 제거할 수 있다.
- [0041] 외부 전극(21~24)은 금, 은, 구리, 니켈, 팔라듐 등의 도전성 금속을 주성분으로 함으로써 도전성을 띠게 되고, 이로써 외부에서 인가되는 전기를 효율적으로 내부 전극(31~33)으로 전달할 수 있다.
- [0042] 또한 외부 전극(21~24)에는 글래스를 더 포함될 수 있는데, 글래스는 외부 전극(21~24) 내에 존재하는 기공을 메움으로써 외부 전극(21~24)의 치밀도를 향상시킬 수 있다. 외부 전극(21~24)의 치밀도 향상으로 인하여 도금액의 침투를 방지하여 제품의 수명 및 신뢰성을 향상시킬 수 있다.
- [0043] 내부 전극은 제1 및 제2 내부 전극(32, 33)을 포함할 수 있다.
- [0044] 제1 내부 전극(32)은 세라믹 본체(10)의 내부에 형성되고 제1 및 제2 외부 전극(21, 22)에 접속될 수 있다.
- [0045] 제2 내부 전극(33)은 제1 내부 전극(32)과 세라믹 층(14)을 사이에 두고 배치되고 제3 및 제4 외부 전극(23, 24)에 접속될 수 있다.
- [0046] 제1 내부 전극(32)을 “시그널 전극”, 제2 내부 전극(33)을 “그라운드 전극”이라고 할 수도 있다.
- [0047] 본 실시 형태에 있어서, 제1 및 제2 내부 전극(32, 33)의 두께는 0.2 μ m ~ 0.9 μ m 일 수 있다. 즉, 제1 및 제2

내부 전극(32, 33)의 두께를 각각 t_1 , t_2 라 할 때, $0.2\mu\text{m} \leq t_1 \leq 0.9\mu\text{m}$, $0.2\mu\text{m} \leq t_2 \leq 0.9\mu\text{m}$ 일 수 있다.

[0048] 제1 및 제2 내부 전극(32, 33)의 두께(t_1 , t_2)가 $0.9 \mu\text{m}$ 이하라는 의미는 다음과 같다. 즉, 내부 전극의 두께(t_1 , t_2)가 $0.9 \mu\text{m}$ 초과인 경우에는 내부 전극(31~33)의 단면적이 충분히 넓기 때문에 내부 전극(32, 33)의 직류 저항이 충분히 작을 수 있으며, 따라서 직류 저항 증가로 인하여 시그널이 감쇄하는 문제는 발생하지 않는다.

[0049] 다만, 전자 부품의 소형화 및 초고용량화 경향에 따라 내부 전극(32, 33)의 두께가 $0.9\mu\text{m}$ 이하로 되는 경우에 내부 전극(32, 33)의 연결성이 급격히 감소하고 조도가 증가하여 직류 저항이 급격히 증가될 수 있다.

[0050] 본 발명은 내부 전극의 두께(t_1 , t_2)가 $0.9 \mu\text{m}$ 이하로 얇아지는 경우에 직류 저항 증가로 인한 문제를 해결하고자 하는 것이다.

[0051] 이와 관련된 실험 결과를 표 1에 나타내었다.

표 1

[0052]

구분	내부 전극의 두께(t_1 , t_2) (μm)	3 단자 부품의 DC 저항 ($\text{m}\Omega$)
샘플 1	0.5	183
샘플 2	0.6	172
샘플 3	0.7	143
샘플 4	0.8	121
샘플 5	0.9	92
샘플 6	1.0	73
샘플 7	1.2	65

[0053] 표 1을 참조하면, 내부 전극의 두께(t_1 , t_2)가 $0.9\mu\text{m}$ 이하로 되면서부터 직류 저항값이 $100 \text{ m}\Omega$ 이상으로 급격히 증가함을 확인할 수 있다.

[0054] 내부 전극(32, 33)의 두께(t_1 , t_2)가 $0.2 \mu\text{m}$ 이상이라는 의미는 다음과 같다. 즉, 내부 전극(32, 33)의 두께(t_1 , t_2)가 $0.2\mu\text{m}$ 미만인 경우에는 내부 전극(32, 33)의 커버리지가 너무 부족하여 용량 구현 자체가 불가능하여 캐패시터로서의 기능을 수행할 수 없기 때문이다.

[0055] 본 실시 형태에 있어서, 제1 내부 전극(32)의 조도는 제2 내부 전극(33)의 조도보다 작다. 구체적으로는 제2 내부 전극(33)의 조도의 0.9배 이하일 수 있다. 즉, 제1 및 제 2 내부 전극(32, 33)의 조도를 각각 R_1 , R_2 라 할 때, $(R_1/R_2) \leq 0.9$ 일 수 있다.

[0056] 그라운드 단자에 연결되는 제2 내부 전극(33)의 조도(R_2)를 시그널 단자에 연결되는 제1 내부 전극(32)의 조도(R_1)보다 상대적으로 크게 함으로써, 제1 내부 전극(32)의 직류 저항은 감소되더라도 제2 내부 전극(33)의 교류 저항은 상대적으로 감소되지 않게 할 수 있다.

[0057] 제2 내부 전극(33)의 교류 저항이 상대적으로 크기 때문에 교류 저항이 작은 경우에 나타나는 다음과 같은 문제를 미연에 방지할 수 있다. 즉, 교류 저항이 작은 경우에는 등가직렬저항(ESR, Equivalent Series Resistance)도 감소하게 되며, 등가직렬저항이 너무 작으면 병렬공진현상이 발생하여 임피던스가 더욱 커질 수 있다.

- [0058] 내부 전극(32, 33)으로 사용되는 니켈 분말을 미립화하고, 유기 용매, 바인더 등의 종류나 함량을 조절하여 점도를 낮은 페이스트를 제조하고, 이를 이용하여 내부 전극(32, 33)을 형성함으로써 내부 전극(32, 33)의 조도(R_1, R_2)를 낮출 수 있다.
- [0059] 니켈 분말의 크기가 클수록 소결 후 내부 전극(32, 33)의 조도(R_1, R_2)는 커질 수 있다. 유기 용매의 함량이 클수록 페이스트의 점도가 감소하고 내부 전극(32, 33)의 조도(R_1, R_2)가 감소할 수 있다. 바인더의 함량이 클수록 페이스트의 점도가 증가하고 내부 전극(32, 33)의 조도(R_1, R_2)가 커질 수 있다.
- [0060] 니켈 분말의 크기, 유기 용매, 바인더 등의 종류나 함량을 적절하게 함으로써 내부 전극용 페이스트의 점도를 원하는 수준으로 적절하게 조절할 수 있다.
- [0061] 본 실시 형태에 있어서, 제2 내부 전극(33)의 조도(R_2)는 제2 내부 전극(33)의 두께(t_2)보다 작을 수 있으며, 구체적으로는 제2 내부 전극(33)의 두께(t_2)의 2분의 1 이하일 수 있다. 즉 $(R_2/t_2) \leq 0.5$ 일 수 있다.
- [0062] $(R_2/t_2) > 0.5$ 이면, 제2 내부 전극의 연결성이 저하될 수 있다. 제2 내부 전극의 조도가 크다는 사실은 내부 전극 표면에 굴곡이 심하다는 것인데, 제2 내부 전극의 조도가 제2 내부 전극 두께의 2분의 1 보다 큰 경우에는 내부 전극을 관통하는 구멍이 형성될 수 있다. 이로 인하여 제2 내부 전극의 연결성이 저하될 수 있다.
- [0063] 제1 및 제2 내부 전극(32, 33)은 용량부(P) 및 인출부(Q)를 가지며, 용량부(P) 및 인출부(Q)는 이에 제한되는 것은 아니나 직사각형일 수 있다. 다만, 제조 공정 오차로 인하여 완전한 직사각형은 아닐 수 있다.
- [0064] 또한, 제1 및 제2 내부 전극(32, 33)의 용량부(P) 및 인출부(Q)의 모양은 원하는 설계 기준에 따라 다양하게 변경될 수 있다.
- [0065] 용량부(P)는 내부 전극(32) 중 정전 용량의 형성에 기여하는 부분으로서, 이웃하는 내부 전극(33)과 중첩될 수 있으며, 인출부(Q)는 내부 전극의 용량부의 일단이 연장되어 세라믹 본체(10)의 표면으로 인출되어 외부 전극(21~24)에 접촉되는 부분으로서, 정전 용량의 형성에 기여하지 않는다.
- [0066] 제2 내부 전극(33)은 인출부(Q)의 길이 방향 치수(L)가 용량부(P)의 길이 방향 치수(M)보다 작을 수 있으며, 또한 제3 및 제4 외부 전극(23, 24)의 길이 방향 치수(N)보다 작을 수 있다.
- [0067] 용량 확보를 위하여 제2 내부 전극(33)의 용량부(P)의 크기는 그대로 두고 인출부(Q)의 크기를 줄일 수 있다. 즉 인출부(Q)의 길이 방향 치수(L)를 줄일 수 있다.
- [0068] 제2 내부 전극(33)은 세라믹 본체(10)의 폭 방향 측면으로 인출되어 제3 및 제4 외부 전극(23, 24)에 접촉되므로, 인출부(Q)의 길이 방향 치수(L)가 제3 및 제4 외부 전극(23, 24)의 길이 방향 치수(N)보다 작아야 제3 및 제4 외부 전극(23, 24)이 세라믹 본체(10)의 표면에 노출된 인출부(Q)를 커버할 수 있다.
- [0069] 내부 전극(32, 33)은 도전성 금속, 구체적으로는 금, 은, 구리, 니켈, 팔라듐 및 이들의 합금을 포함하는 그룹으로부터 선택된 하나 이상을 포함할 수 있다.
- [0070] 이하에서는 도 4를 참조하여, 내부 전극(32, 33)의 두께(t_1, t_2) 측정에 관하여 설명한다.
- [0071] 내부 전극(32, 33)의 두께는(t_1, t_2)는 세라믹 본체(10)의 길이 방향 및 두께 방향의 단면을 주사전자현미경(SEM, Scanning Electron Microscope)으로 이미지를 스캔하여 측정할 수 있다.
- [0072] 예를 들어, 도 4와 같이 세라믹 본체(10)의 폭 방향의 중앙부에서 절단한 길이 및 두께 방향 단면을 주사전자현미경으로 스캔한 이미지에서 추출된 임의의 내부 전극(32, 33)에 대해서, 길이 방향으로 등간격인 30개의 지점

에서 그 두께를 측정하여 평균값을 측정할 수 있다.

[0073] 상기 등간격인 30개의 지점은 내부 전극(32, 33)이 서로 중첩되는 용량부(P)에서 측정될 수 있다.

[0074] 또한, 이러한 평균값 측정을 10개 이상의 내부 전극(32, 33)으로 확장하여 평균값을 측정하면, 내부 전극(32, 33)의 평균 두께를 더욱 일반화할 수 있다.

[0075] 이하에서는, 도 5 및 6을 참조하여, 내부 전극(32, 33)의 조도(R_1, R_2) 측정에 대하여 설명한다.

[0076] 조도는 거칠기(Roughness)를 의미하며, 조도를 나타내는 파라미터에는 중심선 평균 거칠기(R_a), 십점 평균 거칠기(R_z)가 있는데, 본 발명에서 사용하는 조도는 중심선 평균 거칠기(R_a)를 의미할 수 있다.

[0077] 중심선 평균 거칠기(R_a)는 표면에 조도가 형성된 거칠기를 산출한 값으로서, 상기 조도의 가상의 중심선을 기준으로 평균값을 구하여 산출된 거칠기를 의미할 수 있다.

[0078] 구체적인 중심선 평균 거칠기(R_a)를 산출하는 방법은 다음과 같다. 도 5를 참조하면, 상기 내부 전극(32, 33)의 일 표면에 형성되어 있는 조도에 대하여 가상의 중심선을 긋고, 상기 조도의 가상의 중심선을 기준으로 각각의 거리(예를 들어, $r_1, r_2, r_3, \dots, r_{13}$)를 측정된 후 아래 식과 같이 각 거리의 평균값을 구하여 산출된 값을 내부 전극(32, 33)의 중심선 평균 거칠기(R_a)로 할 수 있다.

$$Ra = \frac{r_1 + r_2 + r_3 + \dots + r_n}{n}$$

[0079]

[0080] 참고로, 십점 평균 거칠기(R_z)는 상기 조도의 가상의 중심선을 기준으로 중심선 위쪽에 있는 제일 높은 5개의 점들과 중심선 아래쪽에 있는 제일 낮은 5개의 점들의 각각의 거리의 평균값을 합하여 산출된 값을 의미할 수 있다.

[0081] 구체적으로, 도 6를 참조하면, 상기 십점 평균 거칠기(R_z)를 산출하는 방법은 상기 내부 전극(32, 33)의 일 표면에 형성되어 있는 조도에 대하여 가상의 중심선을 그을 수 있다.

[0082] 다음으로, 상기 조도의 가상의 중심선을 기준으로 중심선 위쪽에 있는 제일 높은 5개의 점들($r_1+r_2+r_3+r_4+r_5$)과 중심선 아래쪽에 있는 제일 낮은 5개의 점들($r_6+r_7+r_8+r_9+r_{10}$)의 각각의 거리를 측정된 후, 아래 식과 같이 각각의 거리의 평균값을 계산하여 산출할 수 있다.

$$Rz = \frac{(r_1 + r_2 + r_3 + r_4 + r_5) + (r_6 + r_7 + r_8 + r_9 + r_{10})}{10}$$

[0083]

[0084] 본 실시 형태에 따른 3 단자 전자 부품의 작용 효과에 대하여 설명한다.

[0085] 제1 내부 전극(32)에 시그널에 해당하는 직류 성분과 노이즈에 해당하는 교류 성분이 인가되는 경우, 시그널 신호에 섞여 있는 노이즈 신호는 그라운드에 연결되는 제2 내부 전극(33)으로 흘러 제거될 수 있다. 하지만, 제1

내부 전극(32)의 직류 저항이 큰 경우에는 오히려 시그널 신호의 감쇄가 발생할 수 있다.

- [0086] 본 실시 형태에 의하면 제1 내부 전극(32)의 조도를 낮게 하여 제1 내부 전극(32)의 직류 저항을 줄일 수 있고, 반면에, 제2 내부 전극(33)의 조도는 상대적으로 크게 유지함으로써 제2 내부 전극(33)의 교류 저항이 낮아지는 것을 막아 병렬공진현상에 의한 임피던스 증가를 예방할 수 있다.
- [0087] 이하에서는, 본 발명의 다른 실시 형태에 관하여 설명한다.
- [0088] 본 실시 형태에 따른 다 단자 전자 부품의 사시도는 도 1과 동일하다. 도 7은 본 실시 형태에 따른 다 단자 전자 부품의 분해 사시도이다. 도 8은 본 실시 형태에 따른 다 단자 전자 부품의 도 1의 X-X' 대응되는 라인에 따른 단면도이다.
- [0089] 도 1을 참조하면, 본 실시 형태인 다 단자 전자 부품은 세라믹 본체(10), 상기 세라믹 본체(10)의 외부에 형성된 외부 전극(21~24), 상기 세라믹 본체(10)의 내부에 적층 배치된 내부 전극(32, 33)을 포함할 수 있다.
- [0090] 외부 전극은 제1 내지 제4 외부 전극을 가질 수 있다. 제1 및 제2 외부 전극(21, 22)은 세라믹 본체(10)의 길이 방향의 양 단면(S1, S4)에 형성될 수 있고, 제3 및 제4 외부 전극(23, 24)은 각각 복수 개로서 세라믹 본체(10)의 폭 방향의 양 측면(S2, S5)에 각각 형성될 수 있다.
- [0091] 내부 전극은 제1 및 제2 내부 전극을 가질 수 있다. 제1 내부 전극(32)은 복수 개로서 세라믹 본체(10)의 내부에 형성되고 제1 및 제2 외부 전극(21, 22)에 접속될 수 있다. 제2 내부 전극(33)은 복수 개로서 상기 복수 개의 제1 내부 전극(32) 사이에 제1 내부 전극(32)과 세라믹 층(14)을 사이에 두고 배치될 수 있다.
- [0092] 상기 제1 및 제2 내부 전극(32, 33)의 두께(t_1, t_2)는 $0.9\mu\text{m}$ 이하이고, 상기 제1 내부 전극(32)의 조도(R_1)는 상기 제2 내부 전극(33)의 조도(R_2)보다 작다.
- [0093] 본 실시 형태는 제1 내부 전극(32)이 복수 개 적층되고, 그 상하 및 사이에 제2 내부 전극(33)이 배치되는 경우이다.
- [0094] 내부 전극(32, 33)의 개수가 증가하는 만큼 직류 저항이 감소될 수 있으며, 내부 전극(32, 33)의 적층수는 요구되는 특성에 맞추어 설계할 수 있다.
- [0095] 본 실시 형태의 경우 세라믹 본체의 양 측면에 각각 제3 및 제4 외부 전극이 형성될 수 있다. 제3 및 제4 외부 전극은 각각 복수 개일 수 있다.
- [0096] 본 실시 형태의 경우 $(R_1/R_2) \leq 0.9$ 일 수 있고, 또한 $(R_2/t_2) \leq 0.5$ 일 수 있다.
- [0097] 제1 및 제2 외부 전극(21, 22)은 세라믹 본체(10)의 길이 방향의 양 단면(S1, S4)에 이웃하는 타면(S2, S3, S5, S6)의 일부로 연장되어 형성될 수 있다.
- [0098] 제3 및 제4 외부 전극(23, 24)은 상기 상면(S3) 및 하면(S6)의 일부로 연장되어 형성될 수 있다.
- [0099] 제1 및 제2 내부 전극(21, 22)은 용량부(P) 및 인출부(Q)를 가지며, 상기 용량부(P) 및 상기 인출부(Q)는 직사각형일 수 있다.
- [0100] 제2 내부 전극(33)은 인출부(Q)의 길이 방향 치수(L)가 용량부(P)의 길이 방향 치수(M)보다 작을 수 있다.
- [0101] 제2 내부 전극(33)의 인출부(Q)의 길이 방향 치수(L)는 제3 및 제4 외부 전극(23, 24)의 길이 방향 치수(N)보다

작을 수 있다.

- [0102] 세라믹 본체(10)는 유전율인 높은 유전체를 포함할 수 있으며, 유전체는 티탄산바륨을 포함할 수 있다.
- [0103] 내부 전극(32, 33)은 금, 은, 구리, 니켈, 팔라듐 및 이들의 합금을 포함하는 그룹으로부터 선택된 하나 이상의 도전성 금속을 포함할 수 있다.
- [0104] 세라믹 본체(10), 내부 전극(32, 33), 외부 전극(21~24) 등에 관한 사항은 앞의 실시 형태에서 설명한 바와 동일하다.
- [0105] 본 발명의 또 다른 실시 형태인 3 단자 전자 부품의 제조 방법은 제1 및 제2 세라믹 그린 시트를 마련하는 단계; 제1 도전성 금속을 포함하는 제1 도전성 페이스트를 마련하는 단계; 상기 제1 도전성 금속보다 입경이 큰 제2 도전성 금속을 포함하고 상기 제1 도전성 페이스트보다 점도가 높은 제2 도전성 페이스트를 마련하는 단계; 상기 제1 및 제2 세라믹 그린 시트 상에 각각 상기 제1 및 제2 도전성 페이스트를 이용하여 제1 및 제2 내부 전극을 형성하는 단계; 상기 제1 및 제2 세라믹 그린 시트를 적층, 절단 및 소결하는 단계;를 포함할 수 있다.
- [0106] 본 실시 형태에서 “제1” 및 “제2” 라는 표현은 구성 요소를 구분하기 위한 것에 불과하다.
- [0107] 우선, 세라믹 분말, 유기 용매, 바인더 등을 혼합한 후, 이를 볼 밀링하여 세라믹 슬러리를 제조하고, 닥터 블레이드 방법 등을 통하여 세라믹 슬러리를 세라믹 그린 시트를 제조할 수 있다.
- [0108]
- [0109] 제1 도전성 페이스트에는 입경이 작은 도전성 금속 분말을 첨가할 수 있고, 제2 도전성 페이스트에는 입경이 큰 도전성 금속 분말을 첨가할 수 있다.
- [0110] 도전성 금속 분말의 입경이 작을수록 이를 이용하여 형성된 내부 전극의 조도를 감소시키기 위한 것이다.
- [0111] 제1 도전성 페이스트의 점도는 제2 도전성 페이스트의 점도보다 작을 수 있다.
- [0112] 바인더의 양을 조절하여 도전성 페이스트의 점도를 조절할 수 있다. 바인더의 함량이 클수록 도전성 페이스트의 점도가 커지고, 바인더의 함량이 작을수록 도전성 페이스트의 점도는 낮아질 수 있다.
- [0113] 제1 도전성 페이스트를 이용하여 제1 세라믹 그린 시트 상에 제1 내부 전극을 형성할 수 있으며, 제2 도전성 페이스트를 이용하여 제2 세라믹 그린 시트 상에 제2 내부 전극을 형성할 수 있다.
- [0114] 제1 및 제2 내부 전극이 각각 형성된 제1 및 제2 세라믹 그린 시트를 교대로 적층하여 그린 시트 적층체를 형성할 수 있다. 적층수는 설계 기준에 따라 변경할 수 있다.
- [0115] 그린 시트 적층체를 절단하여 그린 칩을 형성한 후, 이를 소결하여 소결 칩을 형성할 수 있다. 내부 전극으로 니켈 금속을 사용하는 경우에는 니켈의 산화를 방지하기 위하여 환원 분위기 하에서 소결을 진행할 필요가 있다.
- [0116] 소결 칩의 외부에는 구리를 주성분으로 포함하는 외부 전극을 형성할 수 있다. 또한 외부 전극에는 도금액 침투를 방지하기 위하여 글래스를 첨가할 수도 있다. 외부 전극 상에는 솔더링 특성을 향상시키기 위하여 주석 도금층을 형성할 수 있다.

- [0117] 제1 도전성 페이스트의 도전성 금속 분말의 입경이 더 작고, 또한 제1 도전성 페이스트의 점도가 더 작기 때문에, 제1 내부 전극의 조도는 제2 내부 전극의 조도는 상대적으로 작을 수 있다.
- [0118] 상기 제1 및 제2 세라믹 그린 시트는 티탄산바륨을 포함할 수 있다.
- [0119] 상기 도전성 금속은 금, 은, 구리, 니켈, 팔라듐 및 이들의 합금을 포함하는 그룹으로부터 선택된 하나 이상을 포함할 수 있다.
- [0120]
- [0121] < 실시예 >
- [0122] 이하에서는 실시예 및 비교예를 참조하여, 본 발명에 대하여 상세하게 설명한다.
- [0123] 본 발명의 일 실시 형태에 따른 3 단자 전자 부품은 다음과 같은 방법에 따라 마련하였다.
- [0124] 먼저, 티탄산바륨 분말 300g, 에탄올 85g, 톨루엔 57g, 지름이 0.1mm인 지르코니아 볼을 혼합하고, 3-롤 볼 밀링을 5 시간 동안 실시하여 세라믹 슬러리를 제조하였다.
- [0125] 세라믹 슬러리를 폴리에틸렌 필름 상에 닥터 블레이드 방식에 의하여 도포하고 건조하여 세라믹 그린 시트를 제조하였으며, 세라믹 그린 시트의 두께는 1.5 μ m 이었다.
- [0126]
- [0127] 도전성 페이스트는 니켈 분말 니켈 분말, 유기 용매, 바인더를 혼합하고, 이 혼합물에 세라믹 볼을 사용하여 볼 밀링 하여 마련하였다.
- [0128] 유기 용매로는 Terpineol을 사용하였고, 바인더로는 EC (ethyl cellulose)을 사용하였다. 세라믹 볼은 지름이 0.3mm인 지르코니아 볼을 사용하였으며, 볼 밀링은 7 시간 동안 실시하였다.
- [0129] 도전성 페이스트는 작은 니켈 입자를 포함하고 점도가 낮은 제1 도전성 페이스트 및 이보다 큰 니켈 입자를 포함하고 점도가 더 높은 제2 도전성 페이스트를 마련하였다.
- [0130] 제1 도전성 페이스트는 니켈 분말은 평균 입도가 180nm 인 것을 사용하였으며, 바인더의 함량을 90g~150g으로 변화시키면서 점도를 다르게 하였다.
- [0131] 제2 도전성 페이스트는 제1 도전성 페이스트의 경우와 동일한 방법에 의하여 제조하였다. 다만, 제1 도전성 페이스트의 경우보다 입경이 더 큰(300nm) 니켈 분말을 사용하고, 바인더의 함량을 200g으로 하였다. 제2 도전성 페이스트의 점도는 20,000cps이다.
- [0132] 제1 도전성 페이스트의 점도는 9,000cps~15,000cps 이었으며, 제2 도전성 페이스트의 점도보다 작았다.
- [0133] 제1 도전성 페이스트를 이용하여 세라믹 그린 시트 상에 제1 내부 전극을 형성하였으며, 제2 도전성 페이스트를 이용하여 별개의 세라믹 그린 시트 상에 제2 내부 전극을 형성하였다.
- [0134] 제1 및 제2 내부 전극이 형성된 세라믹 그린 시트를 교대로 적층하여, 제1 및 제2 내부 전극이 각각 120개, 120개 적층된 세라믹 그린 시트 적층체를 제조한 후, 절단하여 그린 칩을 얻었다.

[0135] 그린 칩을 260℃에서 50 시간 동안 대기 분위기에서 가소하고, 이어서 1,190℃에서 23 시간 동안 환원 분위기에서 소결하여 소결 칩을 얻었다.

[0136] 소결 칩을 구리를 주성분으로 하는 도전성 페이스트로 외부 전극을 형성하여 3 단자 캐패시터를 완성하였다.

[0137] 내부 전극(32, 33)의 평균 두께(t_1, t_2)는 0.8 μm 이다.

[0138] 상기와 같이 제조된 3 단자 캐패시터에 대하여 DC 저항을 측정하였다. DC 저항은 밀리옴미터 (Milliohmmeter 4338B, Agilent사)를 이용하여 측정하였다.

[0139] 이후에 폴리싱 가공한 절단면의 SEM 사진을 통하여 내부 전극(32, 33)의 두께(t_1, t_2) 및 조도(R_1, R_2)를 측정하였다. 내부 전극의 두께 및 조도의 측정은 앞서 설명한 바에 따라 실시하였으며, 그 결과를 표 2에 나타내었다.

표 2

[0140]

구분	$t_2(\mu\text{m})$	$R_2(\mu\text{m})$	R_2/t_2	R_1 (μm)	R_1/R_2	DC 저항 (m Ω)	전극연결성 (%)
실시예 1	0.8	0.1	0.13	0.01	0.100	51	98
실시예 2				0.03	0.300	53	97
실시예 3				0.05	0.500	54	97
실시예 4				0.07	0.700	55	96
실시예 5				0.09	0.900	56	96
실시예 6	0.2	0.25	0.25	0.01	0.050	53	96
실시예 7				0.1	0.500	58	94
실시예 8				0.15	0.750	59	94
비교예 1				0.2	1.000	82	93
비교예 2				0.25	1.250	96	92
실시예 9	0.3	0.38	0.38	0.1	0.333	59	93
실시예 10				0.15	0.500	60	92
실시예 11				0.2	0.667	67	92
비교예 3				0.3	1.000	86	90
비교예 4				0.4	1.333	98	87
실시예 12	0.4	0.5	0.5	0.1	0.250	61	92
실시예 13				0.2	0.500	65	90
실시예 14				0.3	0.750	73	88
비교예 5				0.4	1.000	97	86
비교예 6				0.5	1.250	108	84
실시예 15	0.5	0.63	0.63	0.1	0.200	62	79
실시예 16				0.2	0.400	68	77
실시예 17				0.3	0.600	71	75
실시예 18				0.4	0.800	77	74
비교예 7				0.5	1.000	115	72

[0141] 표 2를 참조하면, 제1 내부 전극(32)의 조도(R_1)는 0.01 μm ~0.5 μm 의 범위 내에서 변화시켰고, 제2 내부 전극(33)의 조도(R_2)는 0.1 μm ~0.5 μm 의 범위 내에서 변화시켰다.

[0142] 실시예 1~5는 R_1/R_2 가 0.1~0.9로서, 1 미만인 경우이다. 이 경우, DC 저항이 51m Ω ~56m Ω 으로 비교적 작은 값을 나타내었다. 또한, R_2/t_2 가 0.13인 경우로서, 전극 연결성이 모두 양호하였다.

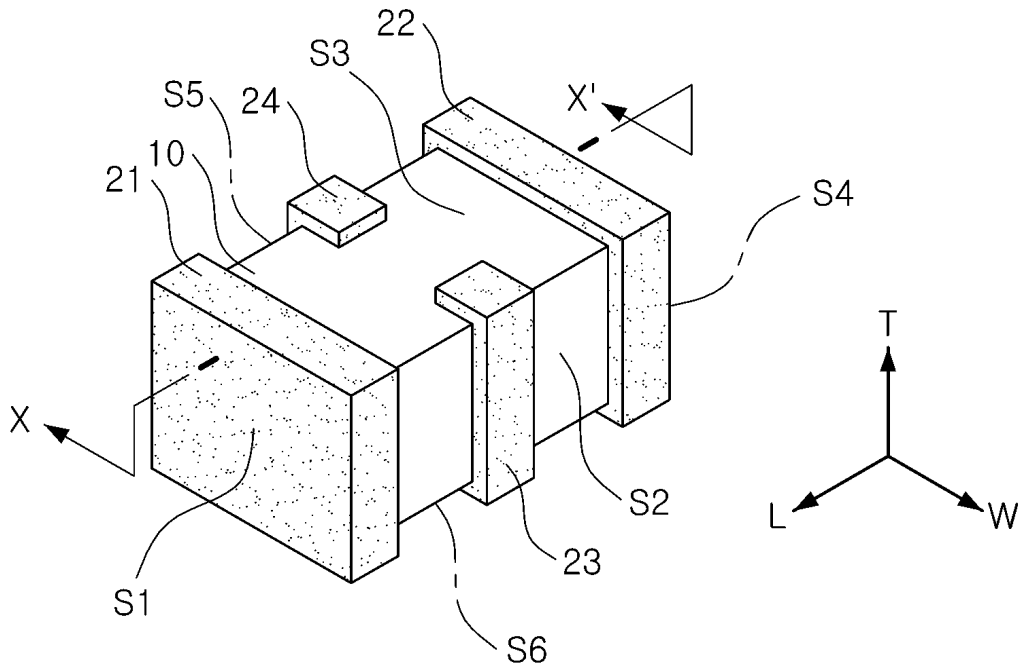
- [0143] 실시예 6~8은 R_1/R_2 가 0.05~0.75로서, 1 미만인 경우이다. 이 경우, DC 저항이 53m Ω ~59m Ω 으로 비교적 작은 값을 나타내었다. 또한, R_2/t_2 가 0.25인 경우로서, 전극 연결성이 모두 양호하였다. 반면에, 비교예 1 및 비교예 2는 R_1/R_2 가 1 이상인 경우로서, DC 저항이 82m Ω 이상으로 급격히 증가하였다.
- [0144] 실시예 9~11은 R_1/R_2 가 0.333~0.667로서, 1 미만인 경우이다. 이 경우, DC 저항이 59m Ω ~67m Ω 으로 비교적 작은 값을 나타내었다. 또한, R_2/t_2 가 0.38인 경우로서, 전극 연결성이 모두 양호하였다. 반면에, 비교예 3 및 비교예 4는 R_1/R_2 가 1 이상인 경우로서, DC 저항이 86m Ω 이상으로 급격히 증가하였다.
- [0145] 실시예 12~14는 R_1/R_2 가 0.25~0.75로서, 1 미만인 경우이다. 이 경우, DC 저항이 61m Ω ~73m Ω 으로 비교적 작은 값을 나타내었다. 또한, R_2/t_2 가 0.5인 경우로서, 전극 연결성이 모두 양호하였다. 반면에, 비교예 5 및 비교예 6은 R_1/R_2 가 1 이상인 경우로서, DC 저항이 97m Ω 이상으로 급격히 증가하였다.
- [0146] 실시예 15~18은 R_1/R_2 가 0.2~0.8로서, 1 미만인 경우이다. 이 경우, DC 저항이 62m Ω ~77m Ω 으로 비교적 작은 값을 나타내었다. 반면에, 비교예 7은 R_1/R_2 가 1 이상인 경우로서, DC 저항이 115m Ω 이상으로 급격히 증가하였다.
- [0147] 실시예 15~18은 R_2/t_2 가 0.63으로 0.5 초과인 경우이다. 이 경우, DC 저항이 비교적 작은 값을 나타내고 있지만, 전극 연결성이 80% 미만으로 비교적 낮았다. 이는 제2 내부 전극의 두께 대비 제2 내부 전극의 조도가 커서, 제2 내부 전극을 관통하는 구멍이 많이 존재할 수 있기 때문인 것으로 보인다. 따라서, 전극 연결성도 고려할 때, R_2/t_2 는 0.5 이하인 것이 더 바람직할 수 있다.
- [0148] 결론적으로, 표 2에 의하면 제1 및 제2 내부 전극(32, 33)의 두께(t_1 , t_2)가 0.9 μ m 이하인 경우에 있어서, R_1/R_2 가 0.9 이하이어야 DC 저항이 비교적 작은 값을 나타내고, R_2/t_2 가 0.5 이하이면 전극 연결성도 양호함을 확인할 수 있다.
- [0149] 본 발명은 상술한 실시 형태 및 첨부된 도면에 의해 한정되는 것이 아니며, 첨부된 청구범위에 의해 한정하고자 한다.
- [0150] 따라서, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 당 기술분야의 통상의 지식을 가진 자에 의해 다양한 형태의 치환, 변형 및 변경이 가능할 것이며, 이 또한 본 발명의 범위에 속한다고 할 것이다.

부호의 설명

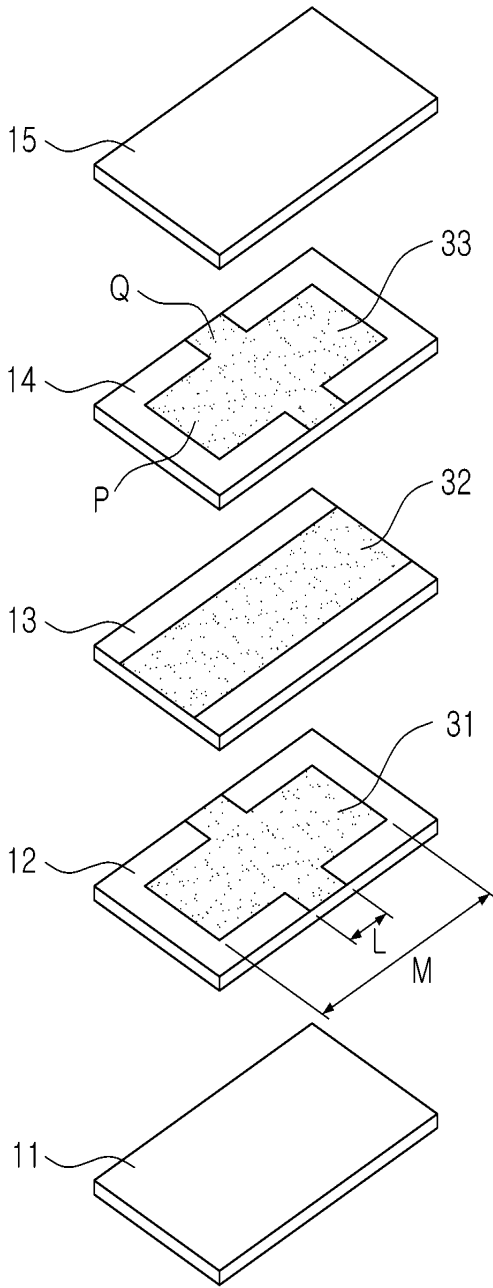
- [0151] 10: 세라믹 본체
- 11~15: 세라믹 층
- 21~24: 외부 전극
- 31, 33: 그라운드 전극(제2 내부 전극)
- 32: 시그널 전극(제1 내부 전극)
- S1~S6: 세라믹 본체의 외부면

도면

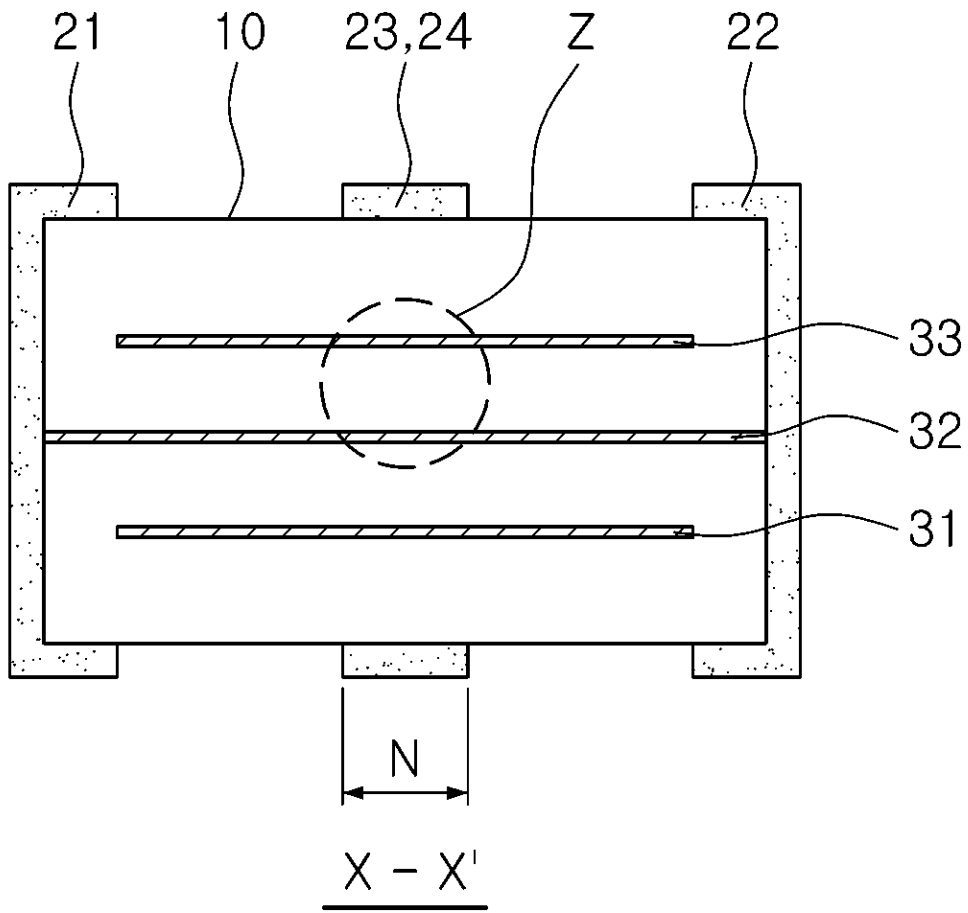
도면1



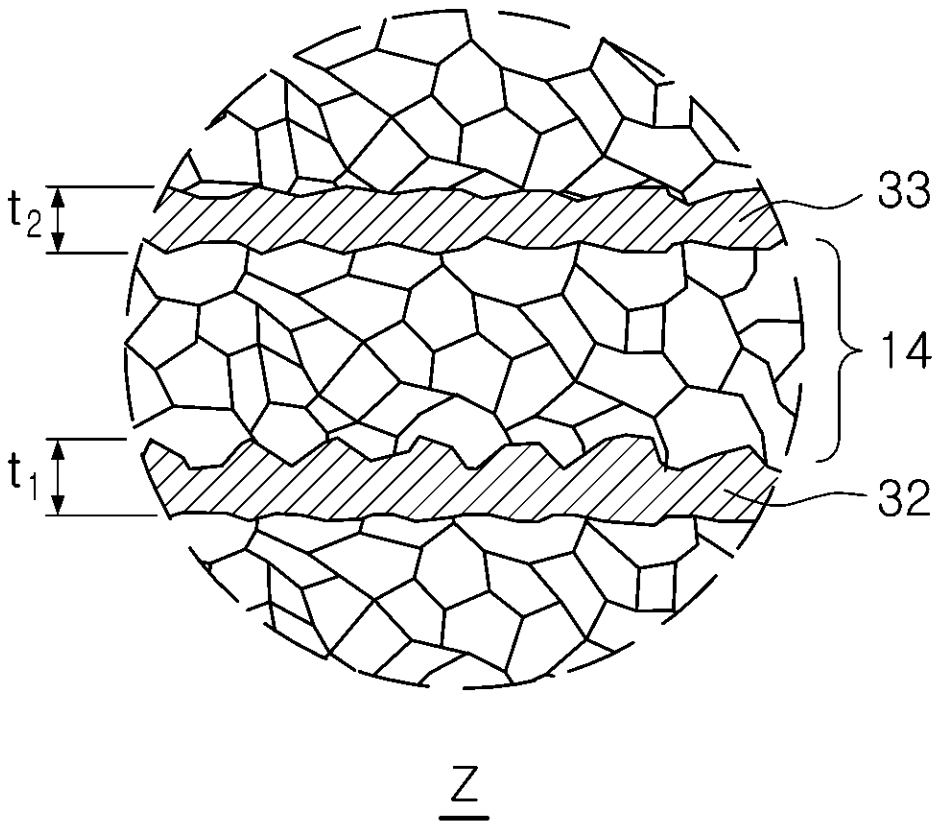
도면2



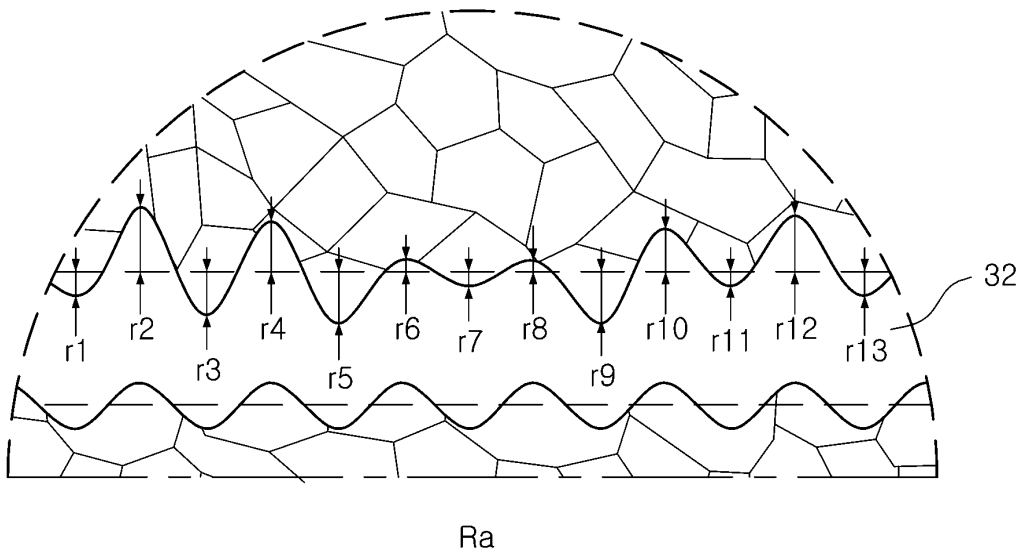
도면3



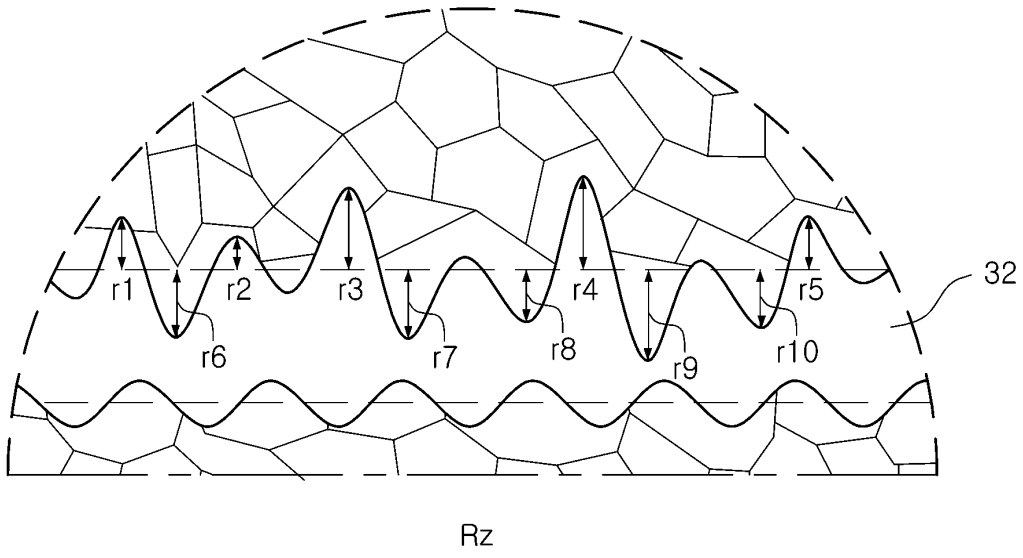
도면4



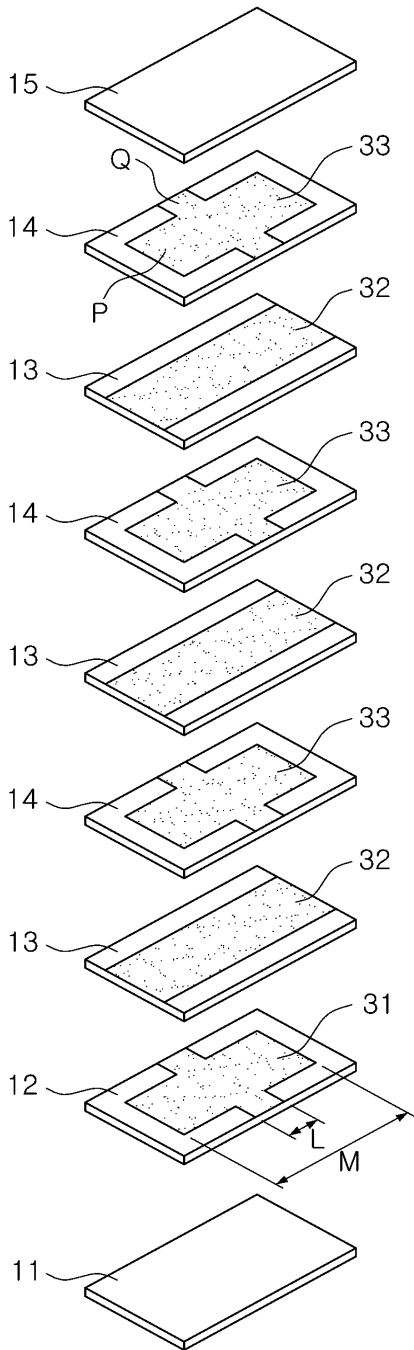
도면5



도면6



도면7



도면8

