

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-123719

(P2009-123719A)

(43) 公開日 平成21年6月4日(2009.6.4)

(51) Int.Cl.

H01L 23/12 (2006.01)

F I

H01L 23/12 F
 H01L 23/12 501W
 H01L 23/12 501B

テーマコード (参考)

審査請求 未請求 請求項の数 14 O L (全 14 頁)

(21) 出願番号 特願2007-290839 (P2007-290839)
 (22) 出願日 平成19年11月8日 (2007.11.8)
 (31) 優先権主張番号 特願2006-302443 (P2006-302443)
 (32) 優先日 平成18年11月8日 (2006.11.8)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2007-275739 (P2007-275739)
 (32) 優先日 平成19年10月23日 (2007.10.23)
 (33) 優先権主張国 日本国 (JP)

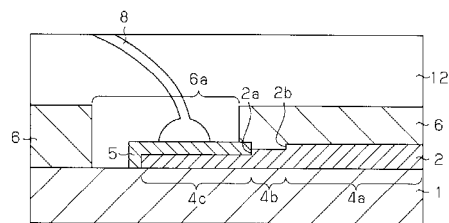
(71) 出願人 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100105924
 弁理士 森下 賢樹
 (72) 発明者 長松 正幸
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内
 (72) 発明者 臼井 良輔
 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(54) 【発明の名称】 素子搭載用基板およびその製造方法、半導体モジュールならびに携帯機器

(57) 【要約】

【課題】パッド電極部から浸入する水分が配線パターン表面を拡散するのを抑制し、半導体モジュールの信頼性を向上させる。

【解決手段】半導体モジュールの配線パターン2は、絶縁基板1上に形成され、配線領域4aと、半導体素子との接続を行う電極領域4cと、配線領域4aと電極領域4cとの間に設けた境界領域4bとから構成される。配線パターン2の電極領域4cにはその表面に金めっき層5が設けられる。境界領域4bにおける配線パターン2の上面は配線領域4aにおける配線パターン2の上面よりも窪むように形成され、境界領域4bには段差部2bが設けられる。ソルダーレジスト6は、金めっき層5の一部、及び境界領域4bと配線領域4aの配線パターンを被覆して形成され、半導体素子との接続を行うための所定の開口部6aを有する。電極領域4cにおける金めっき層5には導電部材8が接続され、封止樹脂層12がこれら全体を封止している。



【選択図】 図2

【特許請求の範囲】

【請求項 1】

配線領域とこれに接続された電極領域を含み、前記配線領域と前記電極領域との境界領域に段差部を有する、銅からなる配線層と、

前記電極領域における配線層の表面に形成された金めっき層と、

前記金めっき層の一部と、前記境界領域および前記配線領域の配線層とを被覆して形成され、前記電極領域に所定の開口部を有する絶縁層と、
を備える、素子搭載用基板。

【請求項 2】

前記段差部は前記配線領域の配線層の上面よりも窪んで形成されていることを特徴とした請求項 1 に記載の素子搭載用基板。

10

【請求項 3】

前記境界領域において前記絶縁層と接する配線層の表面は粗面加工が施されていることを特徴とした請求項 1 または 2 に記載の素子搭載用基板。

【請求項 4】

前記配線層および前記絶縁層は基板上に設けられ、

前記配線層は前記基板と接する側の縁部に沿って前記基板との間に隙間を有し、前記絶縁層はこの隙間を埋め込むように形成されていることを特徴とした請求項 1 ~ 3 のいずれか一項に記載の素子搭載用基板。

【請求項 5】

請求項 1 乃至 4 のいずれか 1 項に記載の素子搭載用基板と、

前記素子搭載用基板に実装された半導体素子と、

を備えることを特徴とする半導体モジュール。

20

【請求項 6】

前記半導体素子が前記素子搭載用基板にワイヤボンディング接続されていることを特徴とする請求項 5 に記載の半導体モジュール。

【請求項 7】

前記半導体素子が前記素子搭載用基板にフリップチップ接続されていることを特徴とする請求項 5 に記載の半導体モジュール。

【請求項 8】

請求項 5 乃至 7 のいずれか 1 項に記載の半導体モジュールを搭載したことを特徴とする携帯機器。

30

【請求項 9】

基板の上に第 1 の金属層を形成する工程と、

前記第 1 の金属層をパターンニングして、電極領域、配線領域、および前記電極領域と前記配線領域の間に設けられた境界領域を有する配線を形成する工程と、

前記配線および前記基板の表面に第 2 の金属層を形成する工程と、

前記電極領域、前記境界領域、ならびに前記電極領域および前記境界領域の周囲の所定領域において前記第 2 の金属層の一部が露出するように、前記基板の上に第 1 のマスクを形成する工程と、

40

前記第 1 のマスクを用いて、前記電極領域、前記境界領域、ならびに前記電極領域および前記境界領域の周囲の所定領域の前記第 2 の金属層を選択的に除去した後、前記電極領域および前記境界領域の前記配線層を掘り下げて、前記境界領域の表面を前記配線領域の表面より低くする工程と、

前記第 1 のマスクを除去する工程と、

前記電極領域の前記配線および前記電極領域の周囲の所定領域の前記基板が露出するように、前記基板の上に第 2 のマスクを形成する工程と、

前記第 2 の金属層をめっきリードとして用いて前記電極領域に金めっき層を形成する工程と、

前記第 2 のマスクおよび前記第 2 の金属層を除去する工程と、

50

前記電極領域の一部、前記境界領域および前記配線領域の配線層とを絶縁層で被覆する工程と、

を備えることを特徴とする素子搭載用基板の製造方法。

【請求項 10】

前記第 1 の金属層を無電解めっき、および電解めっきを用いて形成することを特徴とする請求項 9 に記載の素子搭載用基板の製造方法。

【請求項 11】

前記第 2 の金属層を無電解めっきを用いて形成することを特徴とする請求項 9 または 10 に記載の素子搭載用基板の製造方法。

【請求項 12】

前記金めっき層が Au / Ni 層、または Au / Pd / Ni 層であることを特徴とする請求項 9 乃至 11 のいずれか 1 項に記載の素子搭載用基板の製造方法。

【請求項 13】

前記配線を形成した後、前記配線の表面を粗化させる工程を、さらに備えることを特徴とする請求項 9 乃至 12 のいずれか 1 項に記載の素子搭載用基板。

【請求項 14】

前記絶縁層が被覆される領域にある前記配線の底部の縁部に沿って、当該配線と前記基板との間に隙間を設けた後、前記絶縁層を形成することを特徴とする請求項 9 乃至 13 のいずれか 1 項に記載の素子搭載用基板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、素子搭載用基板に関し、特にパッド電極を備える素子搭載用基板に関する。

【背景技術】

【0002】

携帯電話、PDA、DVC、DSC といったポータブルエレクトロニクス機器の高機能化が加速するなか、こうした製品が市場で受け入れられるためには小型・軽量化が必須となっており、その実現のために高集積のシステム LSI が求められている。一方、これらのエレクトロニクス機器に対しては、より使い易く便利なものが求められており、機器に使用される LSI に対し、高機能化、高性能化が要求されている。このため、LSI チップの高集積化にともないその I / O 数が増大する一方でパッケージ自体の小型化要求も強く、これらを両立させるために、半導体部品の高密度な基板実装に適合した半導体パッケージの開発が強く求められている。こうした要求に対応するため、CSP (Chip Size Package) と呼ばれるパッケージ技術が種々開発されている。

【0003】

こうしたパッケージの例として、BGA (Ball Grid Array) が知られている。BGA は、パッケージ用基板の上に半導体チップを実装し、それを樹脂モールドイングした後、反対側の面に外部端子としてハンダボールをエリア状に形成したものである。

【0004】

図 13 は特許文献 1 に記載された BGA 型の半導体モジュールの概略断面図である。この半導体装置は、回路基板 110 の一方の面に半導体素子 106 を搭載し、他方の面に外部接続端子としてはんだボール 112 を接合したものである。回路基板 110 の一方の面には半導体素子 106 と電氣的に接続する配線パターン 103 (パッド電極部 103a) が設けられ、回路基板 110 の他方の面には外部接続端子を接合するランド部 103b が設けられている。配線パターン 103 とランド部 103b との電氣的接続は絶縁基板 101 を貫通する貫通孔 111 の内壁面に設けた導体部を介してなされる。ソルダーレジスト 105 は回路基板 110 の表面を保護している。回路基板 110 の一方の面は半導体素子 106 を搭載した後、封止樹脂層 108 により封止されている。

【0005】

10

20

30

40

50

図14は図13に示した半導体装置のパッド電極部(図13のXで示した断面部分)を拡大した断面図である。半導体素子106と金線などのワイヤ107によりワイヤ接続されるパッド電極部103aは、銅からなる配線部と、その表面を覆う金めっき層104から構成されている。ソルダーレジスト105は、パッド電極部103aにおける銅配線部を被覆し、さらに金めっき層104の一部を被覆するように設けられている。ソルダーレジスト105の開口部は、半導体素子106の搭載およびワイヤ接続などがなされた後、封止樹脂層108によって半導体素子106とともに封止される。

【特許文献1】特開2005-197648号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0006】

しかしながら、ソルダーレジスト105や封止樹脂層108は外部からの水分がこれら自体を浸透するのを抑制しているものの、それぞれの界面を経由する水分の浸入を抑制することはできていない。特に金めっき層104の表面は平滑であるため、ソルダーレジスト105との界面を経由して配線パターン103側に水分が入り込みやすい構造となっている。このため、金めっき層104近傍の配線パターン103部分には水分が多く存在する。このように入り込んだ水分がさらに配線パターン103の表面上を拡散していった場合には、半導体モジュールの動作時にプラス電圧に印加されている配線パターン103部分から溶け出した銅イオンが絶縁基板101とソルダーレジスト105との界面を移動して、マイナス電圧が印加されている配線パターン103部分に析出し、いわゆるイオンマイグレーションによるショート(絶縁破壊)が発生するという問題がある。こうした問題は従来の半導体モジュールの信頼性を向上させるのに大きな障害となっている。

20

【0007】

本発明は上記事情に鑑みなされたものであって、その目的とするところは、パッド電極部から浸入する水分が配線パターン表面を拡散するのを抑制し、素子搭載用基板の信頼性を向上させることにある。

【課題を解決するための手段】

【0008】

本発明のある態様は、素子搭載用基板である。当該素子搭載用基板は、配線領域とこれに接続された電極領域を含み、配線領域と電極領域との境界領域に段差部を有する、銅からなる配線層と、電極領域における配線層の表面に形成された金めっき層と、金めっき層の一部と、境界領域および配線領域の配線層とを被覆して形成され、電極領域に所定の開口部を有する絶縁層と、を備えることを特徴とする。ここで、電極領域の電極とは、たとえば、パッケージ基板もしくはモジュール基板などの回路基板に設けられたパッド電極、あるいはLSIチップに代表される半導体素子に設けられたパッド電極を意味する。この電極により、素子搭載用基板とLSIチップに代表される半導体素子とをワイヤボンディングで接続したり、素子搭載用基板と外部の半導体装置とをワイヤボンディングで接続したりする。

30

【0009】

この態様によれば、金めっき層と絶縁層の界面を介して浸入する水分が配線層の表面上を拡散していく距離に関して、その拡散距離が従来のように段差部を設けない場合に比べて長くなる。このため、配線領域における配線層への水分の供給が抑制され、配線層間でイオンマイグレーションが発生しにくくなる。この結果、素子搭載用基板の信頼性を向上させることができる。

40

【0010】

上記態様において、段差部は配線領域の配線層の上面よりも窪んで形成されていることが好ましい。このようにすることで、段差部の底部側に水分が留まりやすくなり、段差部が浸入した水分の障壁として作用するため、配線層の境界領域から配線領域への水分の拡散がさらに抑制される。この結果、素子搭載用基板の信頼性をさらに向上させることができる。

50

【0011】

上記態様において、境界領域において絶縁層と接する配線層の表面は粗面加工が施されていることが好ましい。この場合、境界領域における配線層の表面に微細な凹凸が設けられるので、浸入する水分の配線層の表面上の拡散距離が長くなりその拡散が制限される。また、配線層の表面に微細な凹凸が設けられると、その部分では絶縁層との密着性が向上するので、浸入する水分が境界領域における配線層と絶縁層との界面をより拡散しにくくなる。これらの結果、配線層の境界領域から配線領域への水分の拡散がさらに抑制され、素子搭載用基板の信頼性をさらに向上させることができる。

【0012】

上記態様において、配線層および絶縁層は基板上に設けられ、配線層は基板と接する側の縁部に沿って基板との間に隙間を有し、絶縁層はこの隙間を埋め込むように形成されていてもよい。このようにすることで、隙間に埋め込まれた絶縁層のアンカー効果により配線層と絶縁層との密着性が向上するので、浸入する水分が配線領域における配線層の表面上をより拡散しにくくなる。この結果、素子搭載用基板の信頼性をさらに向上させることができる。

10

【0013】

本発明の他の態様は、半導体モジュールである。当該半導体モジュールは、上述したいずれかの態様の素子搭載用基板と、当該素子搭載用基板に実装された半導体素子と、を備えることを特徴とする。この態様において、半導体素子が素子搭載用基板にワイヤボンディング接続されていてもよい。また、半導体素子が素子搭載用基板にフリップチップ接続されていてもよい。

20

【0014】

本発明のさらに他の態様は携帯機器である。当該携帯機器は、上述したいずれかの態様の半導体モジュールを搭載したことを特徴とする。

【0015】

本発明のさらに他の態様は、素子搭載用基板の製造方法である。当該素子搭載用基板の製造方法は、基板の上に第1の金属層を形成する工程と、第1の金属層をパターニングして、電極領域、配線領域、および電極領域と配線領域の間に設けられた境界領域を有する配線を形成する工程と、配線および基板の表面に第2の金属層を形成する工程と、電極領域、境界領域、ならびに電極領域および境界領域の周囲の所定領域において第2の金属層の一部が露出するように、基板の上に第1のマスクを形成する工程と、第1のマスクを用いて、電極領域、境界領域、ならびに電極領域および境界領域の周囲の所定領域の第2の金属層を選択的に除去した後、電極領域および境界領域の配線層を掘り下げて、境界領域の表面を配線領域の表面より低くする工程と、第1のマスクを除去する工程と、電極領域の配線および電極領域の周囲の所定領域の基板が露出するように、基板の上に第2のマスクを形成する工程と、第2の金属層をめっきリードとして用いて電極領域に金めっき層を形成する工程と、第2のマスクおよび第2の金属層を除去する工程と、電極領域の一部、境界領域および配線領域の配線層とを絶縁層で被覆する工程と、を備えることを特徴とする。

30

【0016】

上記態様の素子搭載用基板製造方法において、第1の金属層を無電解めっき、および電解めっきを用いて形成してもよい。また、第2の金属層を無電解めっきを用いて形成してもよい。また、金めっき層がAu/Ni層、またはAu/Pd/Ni層であってもよい。

40

【0017】

また、上記態様の素子搭載用基板製造方法において、配線を形成した後、配線の表面を粗化させる工程を、さらに備えてもよい。

【0018】

また、上記態様の素子搭載用基板製造方法において、絶縁層が被覆される領域にある配線の底部の縁部に沿って、当該配線と基板との間に隙間を設けた後、絶縁層を形成してもよい。

50

【発明の効果】

【0019】

本発明によれば、パッド電極部から浸入する水分が配線パターン表面を拡散するのを抑制し、素子搭載用基板の信頼性を向上させることができる。

【発明を実施するための最良の形態】

【0020】

以下、本発明を具現化した実施形態について図面に基づいて説明する。なお、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【0021】

(第1実施形態)

10

図1は第1実施形態に係るパッド電極を備えた半導体モジュールの概略断面図である。また、図2は図1に示した半導体モジュールのパッド電極部(図1のXで示した断面部分)を拡大した断面図であり、図3は図1に示した半導体モジュールのパッド電極部を上側からみた概略平面図である。なお、図2は図3中のA-A線に沿った断面図である。

【0022】

第1実施形態の半導体モジュールは、素子搭載用基板20の上面に半導体素子7を搭載し、下面に外部接続端子としてはんだボール11を接合したものである。素子搭載用基板20の上面には半導体素子7と電氣的に接続する銅からなる配線パターン2が設けられ、素子搭載用基板20の下面には外部接続端子を接合する銅からなる配線パターン9が設けられている。配線パターン2と配線パターン9との電氣的接続は絶縁基板1を貫通するビアホール1aの内壁面に設けた導電部を介してなされる。配線パターン2はその表面に金めっき層5が設けられた電極領域4cと段差部2bを有し、電極領域4cにおいて導電部材8を介して半導体素子7と接続されている。ソルダーレジスト6およびソルダーレジスト10は配線パターン2および配線パターン9の表面をそれぞれ保護している。さらに、素子搭載用基板20の上面、および素子搭載用基板20に搭載された半導体素子7は、封止樹脂層12により封止されている。

20

【0023】

具体的には、図2に示すように、配線パターン2は、コア基材として機能する絶縁基板1上に形成され、回路配線の引き回しや上下配線間の接続などを行う配線領域4aと、半導体素子7との接続を行う電極領域(パッド電極部)4cと、配線領域4aと電極領域4cとの間に設けられた境界領域4bとから構成されている。配線パターン2の電極領域4cにはその表面に金めっき層5が設けられている。境界領域4bにおける配線パターンの上面は配線領域4aにおける配線パターンの上面よりも窪むように形成され、境界領域4bには段差部2bが設けられている。この段差部2bは、図3に示すように、配線パターン2を横断するように設けられている。ソルダーレジスト6は、金めっき層5の一部、及び境界領域4bと配線領域4aの配線パターンを被覆して形成され、半導体素子7との接続を行うための所定の開口部6aを有している。電極領域4cにおける金めっき層5には導電部材8が接続され、封止樹脂層12がこれら全体を封止している。

30

【0024】

なお、配線パターン2は「配線層」、配線領域4aは「配線領域」、境界領域4bは「境界領域」、電極領域4cは「電極領域」、金めっき層5は「金めっき層」、ソルダーレジスト6は「絶縁層」、及び段差部2bは「段差部」の一例である。

40

【0025】

(製造方法)

図4~図6は、図2に示した素子搭載用基板に係るパッド電極部の製造プロセスを説明するための概略断面図である。次に、図2、図4~図6を参照して、第1実施形態による素子搭載用基板のパッド電極部の製造プロセスについて説明する。

【0026】

まず、図4(A)に示すように、コア基材として機能する絶縁基板1上に、無電界めっき法および電界めっき法を用いて銅からなる配線層2zを約20 μ mの厚みで形成する。

50

【0027】

絶縁基板1にはエポキシ樹脂を主成分とする膜が採用され、その厚さは、たとえば、約100 μm である。素子搭載用基板の放熱性向上の観点から、絶縁基板1は高熱伝導性を有することが望ましい。このため、絶縁基板1は、銀、ビスマス、銅、アルミニウム、マグネシウム、錫、亜鉛およびこれらの合金などやシリカ、アルミナ、窒化ケイ素、窒化アルミニウムなどを高熱伝導性フィラーとして含有することが好ましい。なお、本実施形態では、図1に示したように、絶縁基板1にはビアホール1aを設けているが、本製造方法での説明では省略する。

【0028】

図4(B)に示すように、フォトリソグラフィ技術を用いて配線層2z上に所定のパターンを有するレジストマスクPR1を形成する。

10

【0029】

図4(C)に示すように、塩化第二鉄を使用したウェットエッチング技術を用いて配線層2zをパターニングした後、ウェット処理によりレジストマスクPR1を除去する。その後、薬液による洗浄処理を行うことでアッシング時に発生する残渣などを剥離する。これにより、所定の回路配線を有する配線パターン2が形成される。

【0030】

図4(D)に示すように、無電解めっき法を用いて配線パターン2を含む絶縁基板1上の全面に銅薄膜3zを約1 μm の厚みでめっきする。

【0031】

20

次に、図5(A)に示すように、フォトリソグラフィ技術を用いて銅薄膜3z上に所定のパターンを有するレジストマスクPR2を形成する。この際、レジストマスクPR2は電極領域4cおよび境界領域4bにおける銅薄膜3z上には形成しないようにする。

【0032】

図5(B)に示すように、エッチング技術を用いて銅薄膜3zをパターニングした後、ウェット処理によりレジストマスクPR2を剥離する。この際、境界領域4bにおける配線パターン2の表面も同時にエッチングされるため、境界領域4bにおける配線パターン2の上面は配線領域4aにおける配線パターン2の上面よりも窪み、境界領域4bには銅薄膜3の厚さに対応した段差部2b(段差約1 μm)が形成される。これにより、後の工程で金めっき層5をめっき形成する際に、配線パターン2に対して一括して給電するための銅薄膜3が形成される。言い換えると、銅薄膜3は、金めっき層5を形成する際のめっきリードとして用いられる。

30

【0033】

図5(C)に示すように、フォトリソグラフィ技術を用いて配線パターン2における電極領域4cを含む部分に開口部を有する耐金レジストマスクPR3を形成する。この際、境界領域4bは耐金レジストマスクPR3によって覆われている。

【0034】

図5(D)に示すように、エッチング技術を用いて銅薄膜3の表面を約5 μm 程度ソフトエッチングし、段差部2aを形成する。これにより、後の工程で金めっき層5を形成した際に、パッド電極部(電極領域4c)における配線の厚み(高さ)を低減することが可能になる。

40

【0035】

次に、図6(A)に示すように、選択めっき法を用いて、所定領域(電極領域4c)における配線パターン2の表面に金めっき層(電解Au/Niめっき膜)5を約5.5 μm (約0.5 μm /約5 μm)の厚みで形成する。その後、ウェット処理により耐金レジストマスクPR3を剥離する。これにより、配線パターン2の電極領域4cの表面に金めっき層5が選択的に形成される。なお、金めっき層5は、Au/Ni層に限られず、たとえば、金めっき層5としてAu/Pb/Ni層を用いてもよい。

【0036】

図6(B)に示すように、エッチング技術を用いて全面エッチングすることにより銅薄

50

膜 3 を除去する。

【 0 0 3 7 】

図 6 (C) に示すように、所定の開口部 6 a を有し、金めっき層 5 の一部と、境界領域 4 b および配線領域 4 a の配線パターン 2 とを被覆するようにソルダーレジスト 6 を形成する。ソルダーレジスト 6 は配線パターン 2 の保護膜として機能する。

【 0 0 3 8 】

最後に、図 1 に示したように、配線パターン 2 の電極領域 4 c における金めっき層 5 に導電部材 8 をワイヤボンディング接続する。ここで、導電部材 8 には金線などが採用される。その後、これら全体を封止するための封止樹脂層 1 2 を形成する。封止樹脂層 1 2 は、ソルダーレジスト 6 の上に形成され、半導体素子 7 (図 1 参照) および配線パターン 2 の電極領域 4 c (金めっき層 5) を覆うように全面に形成される。この封止樹脂層 1 2 は、半導体素子 7 を外界からの影響から保護している。封止樹脂層 1 2 の材料は、たとえば、エポキシ樹脂などの熱硬化性の絶縁性の樹脂である。なお、封止樹脂層 1 2 中には熱伝導性を高めるためのフィラーが添加されていてもよい。

【 0 0 3 9 】

これらの工程により、第 1 実施形態の素子搭載用基板 (素子搭載用基板のパッド電極部) を得ることができる。

【 0 0 4 0 】

以上説明した第 1 実施形態の素子搭載用基板および半導体モジュールによれば、以下のような効果を得ることができるようになる。

(1) 金めっき層 5 との境界領域 4 b に段差部 2 b を設けたことで、金めっき層 5 とソルダーレジスト 6 の界面を介して浸入する水分が配線パターン 2 の表面上を拡散していく距離に関して、その拡散距離が従来のように段差部を設けない場合に比べて長くなる。このため、配線領域 4 a における配線パターン 2 への水分の供給 (拡散) が抑制され、配線パターン間でイオンマイグレーションが発生しにくくなる。この結果、素子搭載用基板ひいては半導体モジュールの信頼性を向上させることができる。

(2) 境界領域 4 b における配線パターン 2 の上面が配線領域 4 a における配線パターン 2 の上面よりも窪むように段差部 2 b を形成したことで、段差部 2 b の底部側に水分が溜まりやすくなり、段差部 2 b が浸入した水分の障壁として作用するため、配線パターン 2 の境界領域 4 b から配線領域 4 a への水分の拡散がさらに抑制される。この結果、素子搭載用基板ひいては半導体モジュールの信頼性をさらに向上させることができる。

(3) 配線パターン 2 の表面に境界領域 4 b の段差部 2 b を含む凹状の窪みを設けたことで、ソルダーレジスト 6 との間にアンカー効果が生じ、配線パターン 2 とソルダーレジスト 6 との間の密着性が向上する。このため、浸入する水分が境界領域 4 b における配線パターン 2 の表面上をより拡散しにくくなる。この結果、素子搭載用基板ひいては半導体モジュールの信頼性をさらに向上させることができる。

(4) 金めっき層 5 との境界領域 4 b に段差部 2 b を設けたことで、段差部 2 b が水分の浸入源に隣接して確実に水分の拡散を抑制するので、配線領域 4 a 内に段差部が設けられている場合に比べて、素子搭載用基板ひいては半導体モジュールの信頼性をより効果的に向上させることができる。

【 0 0 4 1 】

(第 2 実施形態)

図 7 は図 3 中の B - B 線に沿った断面図に相当し、図 7 (A) は第 1 実施形態に係る半導体モジュールの断面図であり、図 7 (B) は第 2 実施形態に係る半導体モジュールの断面図である。

【 0 0 4 2 】

第 1 実施形態の半導体モジュールにおける配線パターン 2 は、図 7 (A) に示すように、絶縁基板 1 上に矩形の配線パターン 2 が形成され、これをソルダーレジスト 6 が被覆形成している。これに対して、第 2 実施形態の半導体モジュールにおける配線パターン 2 は、その底部が裾引き状態 2 c に広がり、さらにその部分の縁部に沿って絶縁基板 1 との間

10

20

30

40

50

に隙間 1 b を有している。それ以外については、先の第 1 実施形態と同様である。

【 0 0 4 3 】

このような半導体モジュールは、図 4 (C) に示した工程でのエッチング条件を制御して配線パターン 2 の形状をその底部が裾引き状態 2 c になるよう加工した上で、図 4 (C)、図 5 (B)、及び図 6 (A) に示した工程での薬液処理を制御して絶縁基板 1 を等方的にエッチングすることで、配線パターン 2 の底部の縁部に沿って絶縁基板 1 との間に隙間 1 b を形成することができる。なお、隙間 1 b は配線パターン 2 上にソルダーレジスト 6 を形成する際に、ソルダーレジスト 6 により容易に埋め込まれる。

【 0 0 4 4 】

この第 2 実施形態の半導体モジュールによれば、上記 (1) ~ (4) の効果に加え、以下のよう
10
な効果を得ることができるようになる。

(5) 配線パターン 2 に絶縁基板 1 と接する側の縁部に沿って絶縁基板 1 との間に隙間 1 b を設け、ソルダーレジスト 6 がこの隙間 1 b を埋め込むように形成したことで、隙間 1 b に埋め込まれたソルダーレジスト 6 のアンカー効果により配線パターン 2 とソルダーレジスト 6 との密着性が向上するので、浸入する水分が配線領域 4 a における配線パターン 2 の表面上をより拡散しにくくなる。この結果、半導体モジュールの信頼性をさらに向上させることができる。

(6) 配線パターン 2 の底部を裾引き状態にし、その下部に隙間 1 b を設けたことで、配線パターン 2 の側面を絶縁基板 1 側に移動していく水分の拡散距離が、それらが設けられていない場合に比べて長くなるので、水分の供給が抑制され、その分、配線パターン間でイオンマイグレーションが発生しにくくなる。この結果、半導体モジュールの信頼性を向上する。
20

【 0 0 4 5 】

(第 3 実施形態)

図 8 は第 3 実施形態に係る半導体モジュールのパッド電極部の断面図である。第 1 実施形態と異なる箇所は、境界領域 4 b および配線領域 4 a における配線パターン 2 の表面が粗面加工が施されていることである。それ以外については、先の第 1 実施形態と同様である。

【 0 0 4 6 】

このような半導体モジュールは、図 6 (B) に示した工程の後、銅からなる配線パターン 2 の表面をウェット処理などにより粗化することで容易に形成することができる。たとえば、酸系薬液を用いた表面処理を行うと、その表面は微小な凹凸を有する粗面となる。これにより、配線パターン 2 の表面が微小な凹凸を有して粗面化される。この粗面化による配線パターン 2 の算術平均粗さ R_a は約 $0.38 \mu\text{m}$ である。配線パターン 2 の表面の R_a は、触針式表面形状測定器で計測することができる。なお、この酸系薬液によるウェット処理では、金めっき層 5 の表面は粗面化されない。金めっき層 5 の R_a は約 $0.11 \mu\text{m}$ である。
30

【 0 0 4 7 】

この第 3 実施形態の半導体モジュールによれば、上記 (1) ~ (4) の効果に加え、以下のよう
40
な効果を得ることができるようになる。

(7) 境界領域 4 b においてソルダーレジスト 6 と接する配線パターン 2 の表面を粗面加工したことで、境界領域 4 b における配線パターン 2 の表面に微細な凹凸が設けられるので、浸入する水分の配線パターン 2 の表面上の拡散距離が長くなりその拡散が制限される。また、配線パターン 2 の表面に微細な凹凸が設けられると、その部分ではソルダーレジスト 6 との密着性が向上するので、浸入する水分が境界領域 4 b における配線パターン 2 とソルダーレジスト 6 との界面をより拡散しにくくなる。これらの結果、配線パターン 2 の境界領域 4 b から配線領域 4 a への水分の拡散がさらに抑制され、半導体モジュールの信頼性をさらに向上させることができる。

【 0 0 4 8 】

なお、上記実施形態では、銅薄膜 3 の形成・除去を利用して段差部 2 b を形成する例を示したが、本発明はこれに限らず、たとえば、フォトリソグラフィ技術を用いて境界領域 4 b において段差部を形成するためのレジストマスクを別途設け、エッチング技術を用いて所望の段差部を形成するようにしてもよい。この場合にも上記効果を楽しむことができる。

【0049】

上記実施形態では、素子搭載用基板 20 上に設けたパッド電極部（電極領域 4 c）での例を示したが、本発明はこれに限らず、たとえば、LSIチップに代表される半導体素子に設けられたパッド電極部であってもよい。この場合にも上記効果を楽しむことができる。

10

【0050】

上記第3実施形態では、ウェット処理による粗化の例を示したが、本発明はこれに限らず、たとえば、配線パターン 2 の表面をプラズマ処理などにより粗化してもよい。この場合、たとえば、アルゴンガスを用いたプラズマ照射による表面処理を行うと、その表面は微小な凹凸を有する粗面となる。なお、このプラズマ処理では金めっき層 5 の表面は粗面化されない。

【0051】

上記実施形態では、境界領域 4 b における配線パターン 2 の表面に段差部 2 b を設けた例を示したが、たとえば、配線領域 4 a における配線パターン 2 の表面に段差部を設けるようにしてもよい。この場合には、電極領域 4 c から浸入する水分がその段差部より先の配線領域に拡散しにくくなり、段差部より先の配線パターン間でイオンマイグレーションの発生が抑制される。

20

【0052】

（第4実施形態）

図9は、第4実施形態に係るパッド電極を備えた半導体モジュールの構成を示す概略断面図である。図10は、図9に示した半導体モジュールのパッド電極部を拡大した断面図である。第1実施形態に係る半導体モジュールでは、半導体素子7が配線パターン2の電極領域4cにおける金めっき層5に導電部材8がワイヤボンディング接続されている。これに対して、第4実施形態に係る半導体モジュールでは、半導体素子7が素子搭載用基板20にフリップチップ接続されている。具体的には、バンプ90が形成された半導体素子7の電極形成面がフェイスダウンされ、バンプ90がはんだ92を介して配線パターン2の電極領域4cにおける金めっき層5に接続されている。また、半導体素子7とソルダーレジスト6との間には、アンダーフィル94が充填されている。

30

【0053】

以上説明した第4実施形態の素子搭載用基板および半導体モジュールによれば、第1実施形態の素子搭載用基板および半導体モジュールと同様な効果を得ることができるようになる。

（8）アンダーフィル94により、バンプ90、はんだ92および金めっき層5が保護されるため、バンプ90と金めっき層5との接続信頼性が向上する。また、アンダーフィル94により、配線領域4aにおける配線パターン2への水分の供給（拡散）がさらに抑制され、配線パターン間でイオンマイグレーションがより一層発生しにくくなる。

40

【0054】

（第5実施形態）

次に、上述したの半導体モジュールを備えた携帯機器について説明する。なお、携帯機器として携帯電話に搭載する例を示すが、たとえば、個人用携帯情報端末（PDA）、デジタルビデオカメラ（DVC）、及びデジタルスチルカメラ（DSC）といった電子機器であってもよい。

【0055】

図11は第5実施形態に係る半導体モジュールを備えた携帯電話の構成を示す図である。携帯電話211は、第1の筐体212と第2の筐体214が可動部220によって連結

50

される構造になっている。第1の筐体212と第2の筐体214は可動部220を軸として回転可能である。第1の筐体212には文字や画像等の情報を表示する表示部218やスピーカ部224が設けられている。第2の筐体214には操作ボタンなどの操作部222やマイク部226が設けられている。なお、各実施形態に係る半導体モジュールはこうした携帯電話211の内部に搭載されている。

【0056】

図12は図11に示した携帯電話の部分断面図(第1の筐体212の断面図)である。本発明の各実施形態に係る半導体モジュール130は、外部接続電極290を介してプリント基板228に搭載され、こうしたプリント基板228を介して表示部218などと電氣的に接続されている。また、半導体モジュール130の裏面側(外部接続電極290とは反対側の面)には金属基板などの放熱基板216が設けられ、たとえば、半導体モジュール130から発生する熱を第1の筐体212内部に籠もらせることなく、効率的に第1の筐体212の外部に放熱することができるようになっている。

10

【0057】

本実施形態に係る半導体モジュールを備えた携帯機器によれば、以下の効果を得ることができる。

(10) パッド電極部において、配線パターン2への水分の供給(拡散)が抑制され、配線パターン間でイオンマイグレーションが発生しにくくなり、半導体モジュール130の接続信頼性が向上するので、こうした半導体モジュール130を搭載した携帯機器の信頼性が向上する。

20

(11) 上記実施形態で示したウエハレベルCSP(Chip Size Package)プロセスにより製造された半導体モジュール130は薄型化・小型化されるので、こうした半導体モジュール130を搭載した携帯機器の薄型化・小型化を図ることができる。

【図面の簡単な説明】

【0058】

【図1】第1実施形態に係るパッド電極を備えた半導体モジュールの概略断面図である。

【図2】図1に示した半導体モジュールのパッド電極部を拡大した断面図である。

【図3】図1に示した半導体モジュールのパッド電極部を拡大した平面図である。

【図4】図4(A)~(D)は、第1実施形態の半導体モジュールのパッド電極部の製造プロセスを説明するための断面図である。

30

【図5】図5(A)~(D)は、第1実施形態の半導体モジュールのパッド電極部の製造プロセスを説明するための断面図である。

【図6】図6(A)~(C)は、第1実施形態の半導体モジュールのパッド電極部の製造プロセスを説明するための断面図である。

【図7】図7(A)および(B)は、第1および第2実施形態の半導体モジュールの配線パターン部分の断面図である。

【図8】第3実施形態に係る半導体モジュールのパッド電極部を示す断面図である。

【図9】第4実施形態に係るパッド電極を備えた半導体モジュールの構成を示す概略断面図である。

【図10】図9に示した半導体モジュールのパッド電極部を拡大した断面図である。

40

【図11】第5実施形態に係る、半導体モジュールを備えた携帯電話の構成を示す図である。

【図12】図11に示した携帯電話の部分断面図(第1の筐体の断面図)である。

【図13】従来のBGA型の半導体装置の概略断面構造を示す断面図である。

【図14】図13に示した半導体装置のパッド電極部を拡大した断面図である。

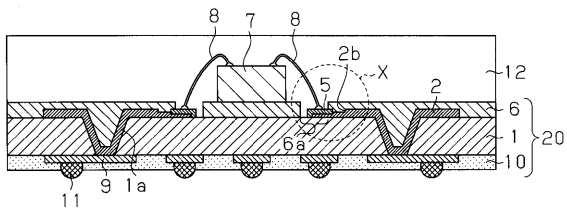
【符号の説明】

【0059】

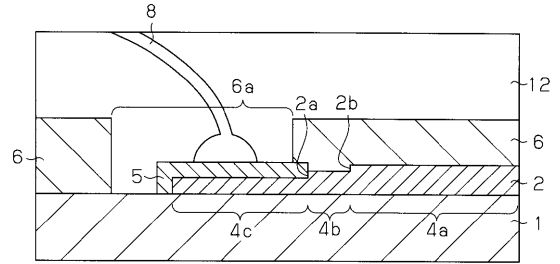
1・・・絶縁基板、2・・・配線パターン、2b・・・段差部、4a・・・配線領域、4b・・・境界領域、4c・・・電極領域、5・・・金めっき層、6・・・ソルダーレジスト、8・・・導電部材、12・・・封止樹脂層

50

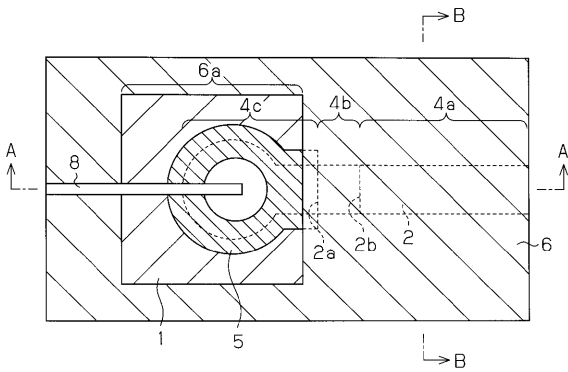
【 図 1 】



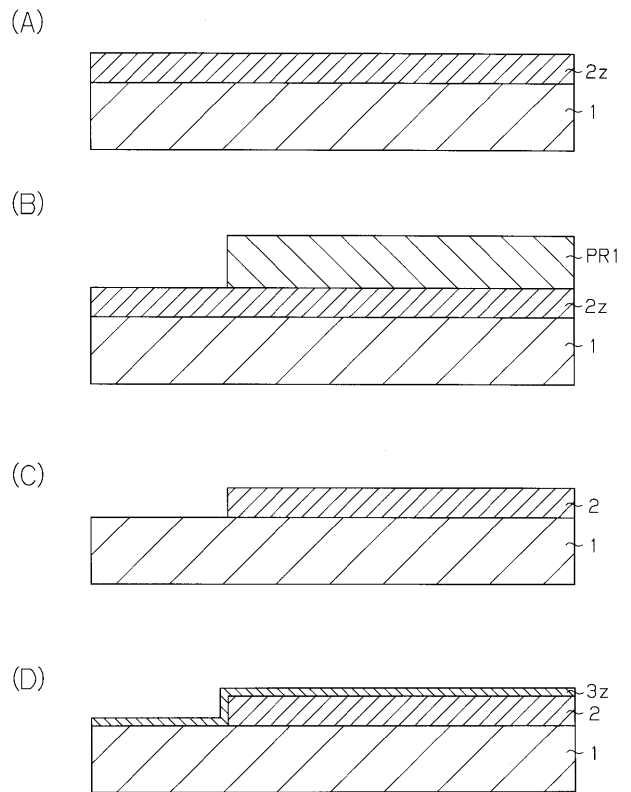
【 図 2 】



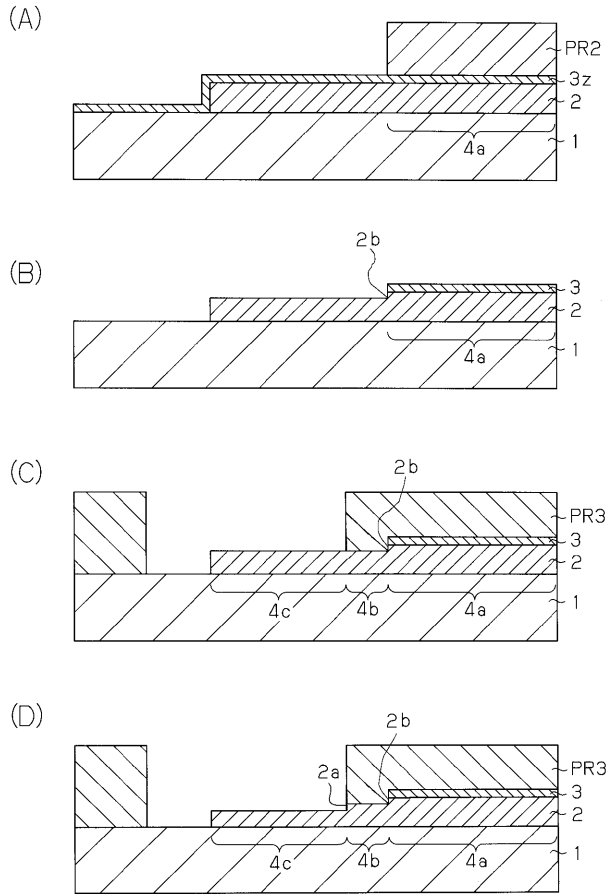
【 図 3 】



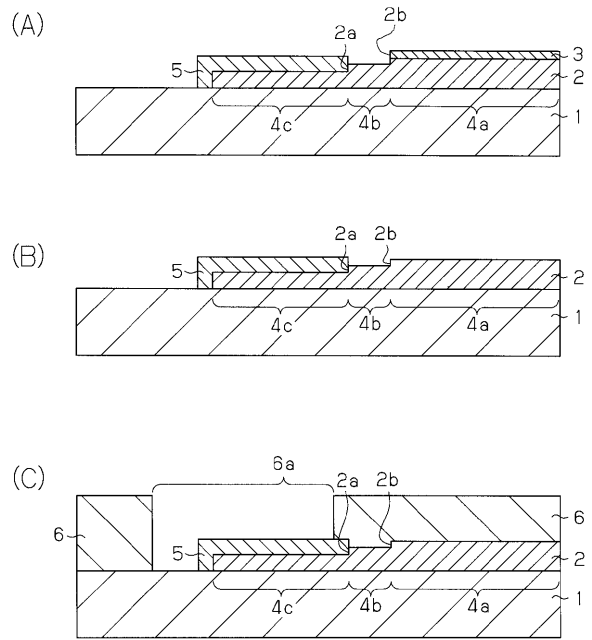
【 図 4 】



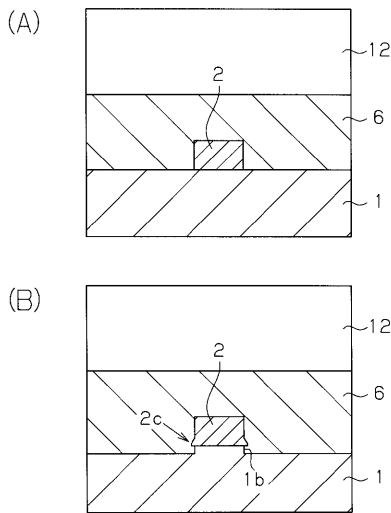
【 図 5 】



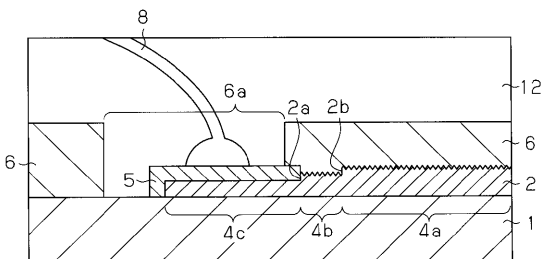
【 図 6 】



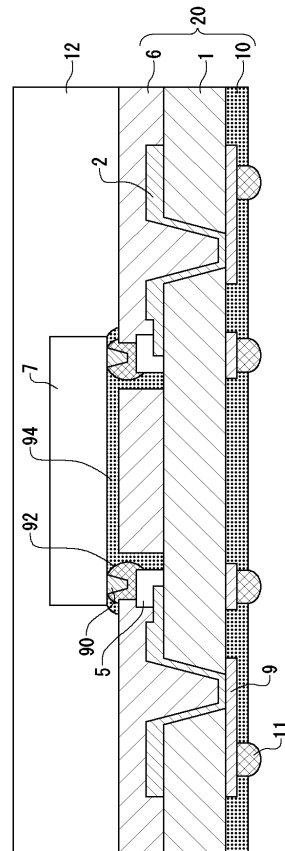
【 図 7 】



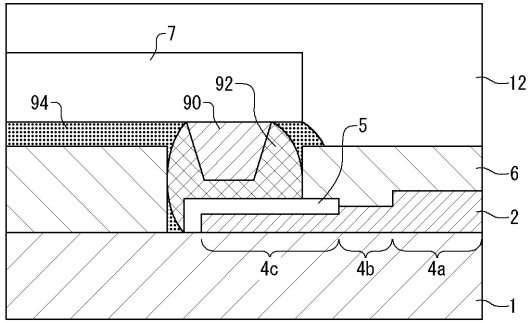
【 図 8 】



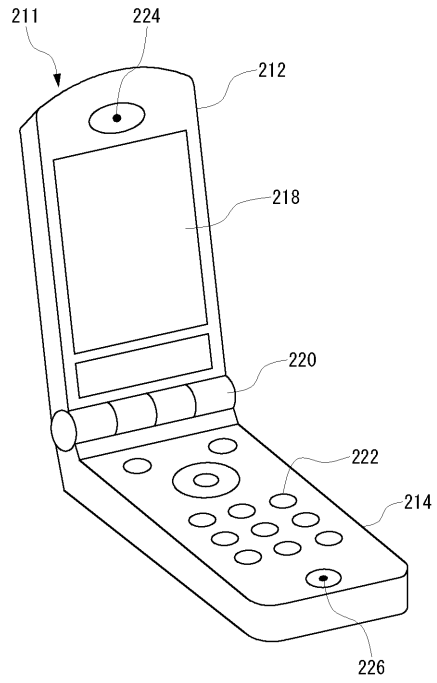
【 図 9 】



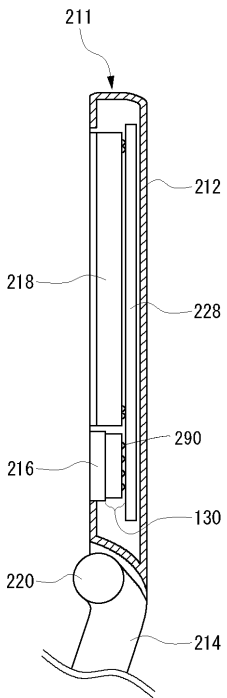
【図10】



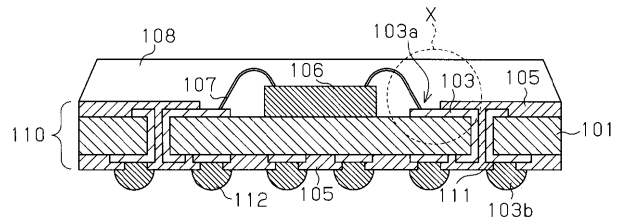
【図11】



【図12】



【図13】



【図14】

