

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年2月22日(22.02.2024)



(10) 国際公開番号

WO 2024/038685 A1

(51) 国際特許分類:

H01L 27/088 (2006.01) H01L 27/04 (2006.01)
H01L 21/336 (2006.01) H01L 27/06 (2006.01)
H01L 21/337 (2006.01) H01L 29/778 (2006.01)
H01L 21/338 (2006.01) H01L 29/78 (2006.01)
H01L 21/822 (2006.01) H01L 29/808 (2006.01)
H01L 21/8234 (2006.01) H01L 29/812 (2006.01)

(21) 国際出願番号: PCT/JP2023/023897

(22) 国際出願日: 2023年6月28日(28.06.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2022-129573 2022年8月16日(16.08.2022) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番1号 Kanagawa (JP).

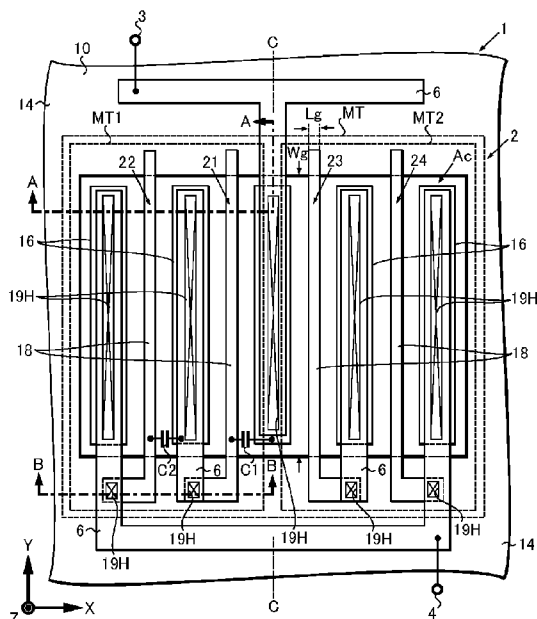
(72) 発明者: 竹内 克彦 (TAKEUCHI, Katsuhiko); 〒2430014 神奈川県厚木市旭町四丁目1番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号 さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) Title: SEMICONDUCTOR DEVICE, SEMICONDUCTOR MODULE, AND ELECTRONIC MACHINE

(54) 発明の名称: 半導体装置、半導体モジュール及び電子機器



(57) Abstract: This semiconductor device comprises: a multi-gate transistor in which a plurality of field effect transistors each having a pair of main electrodes and gate electrode arranged between the pair of main electrodes are electrically connected in series so as to share the main electrodes; a first terminal that is electrically connected to the main electrode of one of the field effect transistors at one end of the series connection in the multi-gate transistor and through which signals are input or output; and a second terminal that is electrically connected to the main electrode of another field effect transistor at the other end of the series connection in the multi-gate transistor and to which a fixed potential is supplied. The gate electrode of at least one field effect transistor in the multi-gate transistor is electrically connected to the main electrodes of said other field effect electrode.

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第21条(3))

(57) 要約: 半導体装置は、一对の主電極及び一对の主電極間に配設されたゲート電極を有する電界効果トランジスタが、互いに主電極を共有して電氣的に直列に複数接続されたマルチゲート型トランジスタと、マルチゲート型トランジスタの直列に接続された一端の電界効果トランジスタの一方の主電極に電氣的に接続され、信号が入力又は出力される第1端子と、マルチゲート型トランジスタの直列に接続された他端の電界効果トランジスタの他方の主電極に電氣的に接続され、固定電位が供給される第2端子とを備えている。マルチゲート型トランジスタの少なくとも1つの電界効果トランジスタのゲート電極は、当該電界効果トランジスタの他方の主電極に電氣的に接続されている。

明 細 書

発明の名称：半導体装置、半導体モジュール及び電子機器

技術分野

[0001] 本開示は、半導体装置、半導体モジュール及び電子機器に関する。

背景技術

[0002] ワイドギャップ半導体材料として、GaNが使用されている。GaNにより製作されるデバイスでは、絶縁破壊電圧が高く、高温動作が可能であり、飽和ドリフト速度が速い等の特徴がある。また、GaN系ヘテロ接合に生成される二次元電子ガス（2DEG）においては、移動度が高く、かつ、シート電子密度が高いという特徴がある。

これらの特徴により、GaN系ヘテロFET（HFET）では、低抵抗、高速動作、高耐圧動作が可能である。このため、パワーデバイスや高周波（RF）デバイス等への適用が期待されている。

[0003] GaN等の化合物半導体を用いた高周波デバイスでは、一般に、高周波特性に優れているが、静電気放電（ESD：Electro Static Discharge）破壊に対して弱い。このため、静電気放電破壊の対策が望まれている。

下記特許文献1には、静電保護回路が開示されている。静電保護回路は、外部端子と電源端子との間に配置され、一方のドレインと他方のソースとを接続して電氣的に直列に接続された複数のMOS（Metal Oxide Semiconductor）トランジスタを備えている。複数のMOSトランジスタのそれぞれのゲート電極は、ソースに接続されている。また、複数のMOSトランジスタは、各々、素子分離により電氣的に分離されている。

このように構成される静電保護回路では、外部端子に印加される静電気が複数のMOSトランジスタに分圧される。このため、静電気放電破壊耐圧を向上させることができる。

先行技術文献

特許文献

[0004] 特許文献1：特開2001-339044号公報

発明の概要

[0005] 上記静電保護回路では、複数のMOSトランジスタが素子分離により分離されているので、MOSトランジスタの接続数が増加すれば、占有面積が増大する。このため、パワートランジスタ、高周波デバイス等を構築する半導体装置では、DC信号が印加される外部端子に配設される静電気破壊保護回路において、静電気破壊耐圧を向上させ、かつ、占有面積を縮小させることが望まれていた。

[0006] 本開示の第1実施態様に係る半導体装置は、一对の主電極及び一对の主電極間に配設されたゲート電極を有する電界効果トランジスタが、互いに主電極を共有して電氣的に直列に複数接続されたマルチゲート型トランジスタと、マルチゲート型トランジスタの直列に接続された一端の電界効果トランジスタの一方の主電極に電氣的に接続され、信号が入力又は出力される第1端子と、マルチゲート型トランジスタの直列に接続された他端の電界効果トランジスタの他方の主電極に電氣的に接続され、固定電位が供給される第2端子とを備え、マルチゲート型トランジスタの少なくとも1つの電界効果トランジスタのゲート電極が、当該電界効果トランジスタの他方の主電極に電氣的に接続されている。

ここで、マルチゲート型トランジスタは、静電気破壊保護回路を構成している。

[0007] 本開示の第2実施態様に係る半導体モジュールは、半導体装置を備え、半導体装置は、一对の主電極及び一对の主電極間に配設されたゲート電極を有する電界効果トランジスタが、互いに主電極を共有して電氣的に直列に複数接続されたマルチゲート型トランジスタと、マルチゲート型トランジスタの直列に接続された一端の電界効果トランジスタの一方の主電極に電氣的に接続され、信号が入力又は出力される第1端子と、マルチゲート型トランジスタの直列に接続された他端の電界効果トランジスタの他方の主電極に電氣的に接続され、固定電位が供給される第2端子とを備え、マルチゲート型ト

ンジスタの少なくとも1つの電界効果トランジスタのゲート電極が、当該電界効果トランジスタの他方の主電極に電氣的に接続されている。

[0008] 本開示の第3実施態様に係る電子機器は、半導体装置を備え、半導体装置は、一对の主電極及び一对の主電極間に配設されたゲート電極を有する電界効果トランジスタが、互いに主電極を共有して電氣的に直列に複数接続されたマルチゲート型トランジスタと、マルチゲート型トランジスタの直列に接続された一端の電界効果トランジスタの一方の主電極に電氣的に接続され、信号が入力又は出力される第1端子と、マルチゲート型トランジスタの直列に接続された他端の電界効果トランジスタの他方の主電極に電氣的に接続され、固定電位が供給される第2端子とを備え、マルチゲート型トランジスタの少なくとも1つの電界効果トランジスタのゲート電極が、当該電界効果トランジスタの他方の主電極に電氣的に接続されている。

図面の簡単な説明

[0009] [図1]図1は、本開示の第1実施の形態に係る半導体装置に搭載された静電気放電保護回路（ESD保護素子）の及び内部回路を含む回路図である。

[図2]図2は、図1に示される静電気放電保護回路の平面図である。

[図3]図3は、図2に示される静電気放電保護回路の要部断面図（図2に示されるA-A切断線において切断された断面図）である。

[図4]図4は、図2に示される静電気放電保護回路の要部断面図（図2に示されるB-B切断線において切断された断面図）である。

[図5]図5は、図1～図3に示される静電気放電保護回路が搭載された半導体装置の製造方法を工程毎に示す第1工程断面図（図2に示されるA-A切断線において切断された断面に対応する断面図）である。

[図6]図6は、第2工程断面図である。

[図7]図7は、第3工程断面図である。

[図8]図8は、第4工程断面図である。

[図9]図9は、第5工程断面図である。

[図10]図10は、第6工程断面図である。

[図11]図 1 1 は、第 1 実施の形態に係る静電気放電保護回路の模式的な平面図である。

[図12]図 1 2 は、第 1 比較例に係る静電気放電保護回路の模式的な平面図である。

[図13]図 1 3 は、第 1 実施の形態に係る静電気放電保護回路の占有面積と第 1 比較例に係る静電気放電保護回路の占有面積とを比較したグラフである。

[図14]図 1 4 は、本開示の第 2 実施の形態に係る半導体装置に搭載された静電気放電保護回路の図 2 に対応する平面図である。

[図15]図 1 5 は、第 2 実施の形態に係る静電気放電保護回路の図 1 1 に対応する模式的な平面図である。

[図16]図 1 6 は、第 2 比較例に係る静電気放電保護回路の図 1 2 に対応する模式的な平面図である。

[図17]図 1 7 は、第 2 実施の形態に係る静電気放電保護回路の占有面積と第 2 比較例に係る静電気放電保護回路の占有面積とを比較したグラフである。

[図18]図 1 8 は、本開示の第 3 実施の形態に係る半導体装置及びそれに搭載された内部回路の要部断面図である。

[図19]図 1 9 は、本開示の第 4 実施の形態に係る半導体装置及びそれに搭載された内部回路の要部断面図である。

[図20]図 2 0 は、本開示の第 5 実施の形態に係る半導体モジュールの斜視図である。

[図21]図 2 1 は、本開示の第 6 実施の形態に係る電子機器のブロック構成図である。

発明を実施するための形態

[0010] 以下、本開示の実施の形態について図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 第 1 実施の形態

第 1 実施の形態は、静電気放電保護回路が搭載された半導体装置に、本技術を適用した第 1 例である。ここでは、静電気放電保護回路の回路構成、平

面構成、断面構成及び製造方法について説明する。

2. 第2実施の形態

第2実施の形態は、第1実施の形態に係る半導体装置の静電気放電保護回路において、電界効果トランジスタの接続数を増加した第2例である。

3. 第3実施の形態

第3実施の形態は、第1実施の形態又は第2実施の形態に係る半導体装置の内部回路において、静電気放電保護回路とモノリシックに構築された電界効果トランジスタの構造を説明する第1例である。

4. 第4実施の形態

第4実施の形態は、第1実施の形態又は第2実施の形態に係る半導体装置の内部回路において、静電気放電保護回路とモノリシックに構築された電界効果トランジスタの構造を説明する第2例である。

5. 第5実施の形態

第5実施の形態は、第1実施の形態～第4実施の形態に係る半導体装置を実装した半導体モジュールを説明する第5例である。

6. 第6実施の形態

第6実施の形態は、第1実施の形態～第4実施の形態に係る半導体装置を実装した電子機器を説明する第6例である。

7. その他の実施の形態

[0011] <1. 第1実施の形態>

図1～図13を用いて、本開示の第1実施の形態に係る半導体装置1を説明する。

ここで、図中、適宜、示されている矢印X方向は、便宜的に平面上に載置された半導体装置1の1つの平面方向を表している。矢印Y方向は、矢印X方向に対して直交する他の1つの平面方向を表している。また、矢印Z方向は、矢印X方向及び矢印Y方向に対して直交する上方向を表している。つまり、矢印X方向、矢印Y方向、矢印Z方向は、丁度、三次元座標系のX軸方向、Y軸方向、Z軸方向に各々一致している。

なお、これらの各方向は、説明の理解を助けるために図示したものであり、本技術の方向を限定するものではない。

[0012] [半導体装置 1 及び静電気放電保護回路 2 の回路構成]

(1) 半導体装置 1 の全体構成

図 1 は、第 1 実施の形態に係る半導体装置 1 に搭載された静電気放電保護回路 (ESD 保護素子) 2 の及び内部回路 5 を含む回路構成の一例を表している。

図 1 に示されるように、半導体装置 1 は、第 1 端子 3 と、第 2 端子 4 と、内部回路 5 とを備え、更に静電気放電保護回路 2 を備えている。

[0013] 第 1 端子 3 は、半導体装置 1 の外部から信号が入力される外部信号端子である。第 1 端子 3 は、半導体装置 1 の内部回路 5 に電氣的に接続されている。信号は、例えば 2 V 以上 20 V 以下、又は -20 V 以上 -2 V 以下の DC 信号である。

第 2 端子 4 は、半導体装置 1 の外部から電源が供給される外部電源端子である。第 2 端子 4 は、半導体装置 1 の内部回路 5 等に電氣的に接続されている。電源は、固定電位、例えば回路の接地電圧 0 V である。

[0014] 内部回路 5 は、第 1 実施の形態において、例えばパワーデバイス、高周波デバイス等を構築する電界効果トランジスタを備えている。電界効果トランジスタとしては、例えば GaN 系ヘテロ電界効果トランジスタ (HFEET: Hetero Field Effect Transistor) 又は GaN 系ヘテロ接合電界効果トランジスタ (HJFET: Hetero junction Field Effect Transistor) が使用されている。

なお、前述の通り、第 1 端子 3 には DC 信号が入力され、高周波 RF 信号が入力されない。このため、静電気放電保護回路 2 のリニアリティが悪くても、内部回路 5 の高周波回路特性を劣化させることがない。

[0015] (2) 静電気放電保護回路 2 の回路構成

静電気放電保護回路 2 は、第 1 端子 3 と内部回路 5 との間に配設されている。また、表現を代えれば、静電気放電保護回路 2 は、第 1 端子 3 と第 2 端

子4との間に配設されている。

静電気放電保護回路2は、マルチゲート型トランジスタMTを主要な構成要素として備えている。さらに、静電気放電保護回路2は、マルチゲート型トランジスタMTと内部回路5との間に、電氣的に直列に接続された抵抗Rを備えている。

[0016] マルチゲート型トランジスタMTは、第1実施の形態において、第1マルチゲート型トランジスタMT1と、第2マルチゲート型トランジスタMT2とを備えている。第1マルチゲート型トランジスタMT1は、2個の第1電界効果トランジスタ21及び第2電界効果トランジスタ22を備えている。第2マルチゲート型トランジスタMT2は、2個の第3電界効果トランジスタ23及び第4電界効果トランジスタ24を備えている。

マルチゲート型トランジスタMTの第1電界効果トランジスタ21～第4電界効果トランジスタ24は、いずれも、一对の主電極と、一对の主電極間に配設されたゲート電極とを含んで構成されている。さらに、第1電界効果トランジスタ21～第4電界効果トランジスタ24では、いずれも、一对の主電極のうちの他方の主電極とゲート電極とが電氣的に接続されている。

[0017] 第1マルチゲート型トランジスタMT1の直列に接続された一端に配設された第1電界効果トランジスタ21の一方の主電極は、第1端子3に接続されている。第1電界効果トランジスタ21の他方の主電極は、第1マルチゲート型トランジスタMT1の直列に接続された他端に配設された第2電界効果トランジスタ22の一方の主電極に接続されている。そして、第2電界効果トランジスタ22の他方の主電極は、第2端子4に接続されている。つまり、第1電界効果トランジスタ21及び第2電界効果トランジスタ22は、互いの主電極を共有し、第1端子3と第2端子4との間に電氣的に直列に接続されている。

ここで、「互いの主電極を共有する」とは、電界効果トランジスタの1つの主電極が他の電界効果トランジスタの1つの主電極と共通に形成され、絶縁分離や配線による接続が無く、一体に構成されているという意味において

使用されている。

また、表現を代えれば、第1電界効果トランジスタ21及び第2電界効果トランジスタ22は、第1端子3と内部回路5との間に電氣的に並列に接続されている。

[0018] 第2マルチゲート型トランジスタMT2の直列に接続された一端に配設された第3電界効果トランジスタ23の一方の主電極は、第1端子3に接続されている。第3電界効果トランジスタ23の他方の主電極は、第2マルチゲート型トランジスタMT2の直列に接続された他端に配設された第4電界効果トランジスタ24の一方の主電極に接続されている。そして、第4電界効果トランジスタ24の他方の主電極は、第2端子4に接続されている。つまり、第3電界効果トランジスタ23及び第4電界効果トランジスタ24は、互いの主電極を共有し、第1端子3と第2端子4との間に電氣的に直列に接続されている。

同様に、表現を代えれば、第3電界効果トランジスタ23及び第4電界効果トランジスタ24は、第1端子3と内部回路5との間に電氣的に並列に接続されている。

[0019] [静電気放電保護回路2の具体的なデバイス構成]

(1) 第1電界効果トランジスタ21～第4電界効果トランジスタ24の構成

図2は、静電気放電保護回路2の平面構成の一例を表している。図3は、静電気放電保護回路2の断面構成の一例を表している。図4は、静電気放電保護回路2を構成する第1電界効果トランジスタ21、第2電界効果トランジスタ22のそれぞれのゲート電極18と配線6との接続部の断面構成の一例を表している。

[0020] 第1実施の形態に係る半導体装置1は、主要な構成要素として、基板10を備えている。基板10の主面には、矢印Z方向に向かってバッファ層11が積層されている。

第1電界効果トランジスタ21～第4電界効果トランジスタ24は、素子

分離領域 14 に周囲を囲まれた領域内のアクティブ領域 A c において、基板 10 にバッファ層 11 を介在して配設されている。

[0021] すなわち、第 1 電界効果トランジスタ 21～第 4 電界効果トランジスタ 24 は、チャネル層 12 と、一对の主電極 16 と、一对の主電極 16 間に配設されたゲート電極 18 とを備えている。一对の主電極 16 の一方は、ソース電極（ソース領域）として使用される。ここでは、ソース電極は、第 1 端子 3 に電氣的に接続されている。一对の主電極 16 の他方は、ドレイン電極（ドレイン領域）として使用される。ドレイン電極は、第 2 端子 4 に電氣的に接続されている。

[0022] 第 1 電界効果トランジスタ 21 では、一方の主電極 16 が第 1 端子 3 に接続され、他方の主電極 16 が第 2 電界効果トランジスタ 22 の一方の主電極 16 に共有され、かつ、接続されている。

さらに、第 1 電界効果トランジスタ 21 では、ゲート電極 18 が他方の主電極 16 に接続されている。ゲート電極 18 と他方の主電極 16 との接続には、配線 6 が使用されている。ゲート電極 18 のゲート幅方向の一端部は素子分離領域 14 まで延設され、この延設されたゲート電極 18 の一端部に配線 6 の一端部が接続されている。一方、配線 6 の他端部は、他方の主電極 16 に重複する領域まで延設され、この延設された領域において他方の主電極 16 に接続されている。

第 2 電界効果トランジスタ 22 では、他方の主電極 16 が第 2 端子 4 に接続され、ゲート電極 18 が他方の主電極 16 に接続されている。ゲート電極 18 と他方の主電極 16 との接続には、第 1 電界効果トランジスタ 21 と同様に、配線 6 が使用されている。

[0023] 同様に、第 3 電界効果トランジスタ 23 では、一方の主電極 16 が第 1 端子 3 に接続され、他方の主電極 16 が第 4 電界効果トランジスタ 24 の一方の主電極 16 に共有され、かつ、接続されている。さらに、第 3 電界効果トランジスタ 23 では、ゲート電極 18 が他方の主電極 16 に接続されている。ゲート電極 18 と他方の主電極 16 との接続には、第 1 電界効果トランジ

スタ 2 1 と同様に、配線 6 が使用されている。

第 4 電界効果トランジスタ 2 4 では、他方の主電極 1 6 が第 2 端子 4 に接続され、ゲート電極 1 8 が他方の主電極 1 6 に接続されている。ゲート電極 1 8 と他方の主電極 1 6 との接続には、第 1 電界効果トランジスタ 2 1 と同様に、配線 6 が使用されている。

[0024] 第 1 電界効果トランジスタ 2 1 ～第 4 電界効果トランジスタ 2 4 は、素子分離領域 1 4 により周囲が取り囲まれた 1 つのアクティブ領域 A c に配設され、互いの主電極 1 6 を共有して構成されている。つまり、第 1 電界効果トランジスタ 2 1 及び第 2 電界効果トランジスタ 2 2 は、第 1 マルチゲート型トランジスタ M T 1 を構築し、第 3 電界効果トランジスタ 2 3 及び第 4 電界効果トランジスタ 2 4 は、第 2 マルチゲート型トランジスタ M T 2 を構築している。

第 1 マルチゲート型トランジスタ M T 1 と第 2 マルチゲート型トランジスタ M T 2 との間には、便宜的に中心線 C - C が示されている（図 2 参照）。中心線 C - C は、第 1 電界効果トランジスタ 2 1、第 3 電界効果トランジスタ 2 3 のそれぞれに共有される一方の主電極 1 6 の矢印 X 方向の中心位置において、矢印 Y 方向に延設されている。中心線 C - C を中心として、第 2 マルチゲート型トランジスタ M T 2 は、第 1 マルチゲート型トランジスタ M T 1 に対して、矢印 Z 方向から見て（以下、単に「平面視において」という。）線対称形状に形成されている。

そして、第 1 マルチゲート型トランジスタ M T 1 及び第 2 マルチゲート型トランジスタ M T 2 は、マルチゲート型トランジスタ M T を構築している。

[0025] （2）基板 1 0 の構成

基板 1 0 は、半導体材料が使用されている。詳しく説明すると、基板 1 0 には、例えば I I I - V 族化合物半導体材料が使用され、ここでは、例えば窒化物半導体、具体的には半絶縁性の単結晶 G a N 基板が使用されている。

また、第 1 実施の形態では、基板 1 0 とチャネル層 1 2 との間にバッファ層 1 1 が配設され、バッファ層 1 1 により格子定数が制御されている。この

ため、基板 10 には、チャネル層 12 に対して格子定数が異なる半導体材料が使用可能である。例えば、格子定数が異なる半導体材料として、例えば SiC、サファイア、Si 等を基板 10 に使用することができる。

[0026] (3) バッファ層 11 の構成

バッファ層 11 は、基板 10 に配設されている。バッファ層 11 には、例えば基板 10 上にエピタキシャル成長法を用いて成長させた化合物半導体層により形成されている。

基板 10 の格子定数に対して、チャネル層 12 の格子定数が異なる場合には、バッファ層 11 により格子定数を制御することができる。これにより、チャネル層 12 の結晶状態が良好になり、ウエハ状態の基板 10 の反りを良好に制御することができる。

[0027] 例えば、基板 10 が単結晶 Si 基板により形成され、チャネル層 12 が GaN により形成される場合、バッファ層 11 には、例えば AlN、AlGa_xN_{1-x}、GaN 等を使用することができる。

また、バッファ層 11 は単層に限定されない。例えば、バッファ層 11 は、前述の AlN、AlGa_xN_{1-x}、GaN 等を適宜積層した複合膜により形成してもよい。さらに、バッファ層 11 は、膜厚方向において、徐々に組成を変化させた三元系化合物半導体層により形成してもよい。

[0028] (4) チャネル層 12 の構成

チャネル層 12 のバッファ層 11 とは反対側には、バリア層 15 が配設されている。チャネル層 12 は、バリア層 15 との分極によりキャリアが蓄積される領域である。チャネル層 12 において、バリア層 15 の近傍には、キャリアが蓄積され、キャリアのチャネル領域として機能する二次元電子ガス (2DEG) 13 が生成される。

チャネル層 12 には、化合物半導体層が使用されている。例えば、チャネル層 12 は、窒化物半導体である GaN により形成されている。GaN は、例えばエピタキシャル成長法を用いて形成されている。ここでは、不純物が添加されていないアンドープ GaN (u-GaN) が、チャネル層 12 に使

用されている。不純物が添加されていないので、チャネル層 12 ではキャリアの不純物による散乱を抑制することができる。結果的に、キャリアの高移動度を実現することができる。

[0029] なお、バッファ層 11 とチャネル層 12 との間に、バックバリア層が配設されてもよい。バックバリア層は、チャネル層 12 内のバックバリア層側のエネルギーバンドを持ち上げる化合物半導体材料により形成されている。バックバリア層を備えると、第 1 電界効果トランジスタ 21 ～第 4 電界効果トランジスタ 24 において、短チャネル効果等を効果的に抑制することができる。

バックバリア層としては、例えば $A_{1-x-y}Ga_xIn_yN$ ($0 \leq x < 1$ 、 $0 \leq y < 1$)、アンドープ $A_{1-x-y}Ga_xIn_yN$ 等を実用的に使用することができる。バックバリア層は、エピタキシャル成長法を用いて形成されている。

[0030] (5) バリア層 15 の構成

バリア層 15 は、前述の通り、チャネル層 12 に配設されている。バリア層 15 は、チャネル層 12 との分極によりチャネル層 12 内にキャリアが蓄積される化合物半導体材料により形成されている。バリア層 15 は、例えば $A_{1-x-y}Ga_xIn_yN$ ($0 \leq x < 1$ 、 $0 \leq y < 1$) により形成されている。バリア層 15 は、エピタキシャル成長法を用いて形成されている。

[0031] また、バリア層 15 は、アンドープ $A_{1-x-y}Ga_xIn_yN$ により形成されてもよい。不純物が添加されていないので、チャネル層 12 においてキャリアの不純物による散乱を抑制することができる。結果的に、キャリアの高移動度を実現することができる。

また、バリア層 15 は単層に限定されない。例えば、バリア層 15 は、前述の $A_{1-x-y}Ga_xIn_yN$ ($0 \leq x < 1$ 、 $0 \leq y < 1$) の組成を変えた複数の層を積層した複合膜により形成してもよい。さらに、バリア層 15 は、膜厚方向において、徐々に組成を変化させて形成してもよい。

[0032] なお、図示は省略するが、チャネル層 12 とバリア層 15 との間に、スペ

ーサ層が配設されてもよい。スペーサ層は、キャリアの不純物による散乱を効果的に抑制し、高移動度を実現可能である。

スペーサ層は、例えば $A_{1-x}Ga_xN$ ($0 \leq x < 1$) 等の化合物半導体材料により形成されている。スペーサ層は、単層により形成されてもよいし、複合膜により形成されてもよい。複合膜は、スペーサ層の組成を変えた複数の層を積層して形成されている。また、スペーサ層は、膜厚方向において、徐々に組成を変化させて形成してもよい。

[0033] 平面視において、又は矢印Y方向に見て（以下、単に「側面視において」という。）、一对の主電極16間の中間部分において、バリア層15には、ゲートバリア開口15Aが配設されている。ゲートバリア開口15Aは、ゲート電極18に重複する位置に配設され、ここではバリア層15を膜厚方向に貫通して形成されている。

ゲートバリア開口15Aは、バリア層15を選択的にエッチングすることにより形成されている。エッチングには、例えば、チャネル層12に対してエッチング選択比が高い薬液を用いたウエットエッチングが使用される。これにより、高精度において、バリア層15の選択的なエッチングを実現することができる。

[0034] なお、前述のスペーサ層をゲートバリア開口15A内に残存させた構成では、第1電界効果トランジスタ21等のオン電流を高くすることができる。

逆に、ゲートバリア開口15A内のスペーサ層が完全に除去された構成では、第1電界効果トランジスタ21等のオフ電流を低減することができる。この構成の場合、ゲートバリア開口15A内において、チャネル層12の表層部が部分的にエッチングされていてもよい。

[0035] (6) 絶縁体17の構成

バリア層15のチャネル層12とは反対側及びゲートバリア開口15A内のチャネル層12には、絶縁体17が配設されている。絶縁体17は、第1電界効果トランジスタ21等のゲート絶縁膜として使用されている。詳しく説明すると、絶縁体17は、チャネル層12及びバリア層15に対して絶縁

性を有し、イオン等の不純物に対してチャネル層 12 及びバリア層 15 の表面を保護し、かつ、チャネル層 12 及びバリア層 15 との間に良好な界面を形成する。すなわち、絶縁体 17 は、第 1 電界効果トランジスタ 21 等のデバイス特性を向上させる絶縁材料により形成されている。

[0036] 絶縁体 17 としては、例えば、酸化アルミニウム (Al_2O_3)、酸化ハフニウム (HfO_2)、酸化シリコン (SiO_2) 及び窒化シリコン (SiN) から選択される 1 以上の絶縁材料を使用することができる。 Al_2O_3 、 HfO_2 のそれぞれは、例えば ALD (Atomic Vapor Deposition) 法により成膜可能である。また、 SiO_2 、 SiN のそれぞれは、CVD (Chemical Vapor Deposition) 法により成膜可能である。絶縁体 17 の膜厚は、酸化膜換算膜厚において、20 nm 以上に設定されている。

なお、絶縁体 17 は、単層であっても、上記選択された絶縁材料を複数積層した複合膜であってもよい。

[0037] (7) ゲート電極 18 の構成

ゲート電極 18 は、ゲートバリア開口 15A に重複する位置において、絶縁体 17 のチャネル層 12 とは反対側に配設されている。ゲート電極 18 は、ここでは、矢印 Z 方向に向かって、ニッケル (Ni)、金 (Au) のそれぞれを順次積層した複合膜により形成されている。

すなわち、第 1 電界効果トランジスタ 21 等は、ゲート絶縁型電界効果トランジスタである。

[0038] (8) 主電極 16 の構成

主電極 16 は、チャネル層 12 にバリア層 15 を介在させて配設されている。主電極 16 は、チャネル層 12 に対してオーミック接合 (オーミック接触) となるオーミック電極である。これにより、主電極 16 と二次元電子ガス 13 との接続は低抵抗になる。

主電極 16 は、例えば、矢印 Z 方向に向かって、チタン (Ti)、アルミニウム (Al)、ニッケル (Ni)、金 (Au) のそれぞれを順次積層した複合膜により形成されている。

[0039] さらに、主電極 16 は、チャネル層 12 とバリア層 15 との間に配設された高不純物密度領域 16N を介在させて、チャネル層 12 の二次元電子ガス 13 に接続されている。平面視並びに側面視において、高不純物密度領域 16N は、チャネル層 12 の主電極 16 に重複する位置に配設され、チャネル層 12 に流れるキャリアと同一導電性を有し、かつ、チャネル層 12 よりも不純物密度が高い半導体領域である。

第 1 実施の形態において、二次元電子ガス 13 にはキャリアとして電子が流れるので、高不純物密度領域 16N は n 型半導体領域により形成されている。高不純物密度領域 16N は、二次元電子ガス 13 よりも基板 10 側に深い位置まで形成されている。高不純物密度領域 16N は、例えば 10^{18} 原子 / cm^3 以上 10^{21} 原子 / cm^3 以下の不純物密度に形成されている。

高不純物密度領域 16N を備えることにより、主電極 16 と二次元電子ガス 13 との接続は低抵抗になる。

[0040] 高不純物密度領域 16N は、選択再成長法、又はイオン注入法を用いて形成されている。

選択再成長法は、例えば、チャネル層 12 の表面の一部をエッチングにより取り除き、この取り除かれた領域に高不純物密度領域 16N を選択的に成長させる方法である。この場合、高不純物密度領域 16N には、 $n-1n_{1-x}Ga_xN$ 等の半導体材料が使用可能である。

一方、イオン注入法は、例えばチャネル層 12 の表面部分に、n 型不純物を注入し、注入された n 型不純物を活性化する方法である。

[0041] (9) 素子分離領域 14 の構成

素子分離領域 14 は、アクティブ領域 Ac の周囲において、チャネル層 12 及びバリア層 15 に配設されている。素子分離領域 14 は、例えばイオン注入法を用いて形成されている。イオン注入法は、バリア層 15 及びチャネル層 12 に p 型不純物を注入し、結晶を壊して導電性を下げる方法である。p 型不純物としては、例えば硼素 (B) が使用されている。チャネル層 12 では、チャネル層 12 の表面から二次元電子ガス 13、更には高不純物密度

領域 16N よりも基板 10 側に深い位置にわたって素子分離領域 14 が形成されている。

[0042] (10) 層間絶縁体 19 の構成

層間絶縁体 19 は、ゲート電極 18 及び絶縁体 17 を覆って配設されている。層間絶縁体 19 は、ゲート電極 18 に対して絶縁性を有し、配線 6 間に電流を流さない絶縁材料により形成されている。層間絶縁体 19 としては、絶縁体 17 と同様に、例えば Al_2O_3 、 HfO_2 、 SiO_2 及び SiN から選択される 1 以上の絶縁材料を使用することができる。 Al_2O_3 、 HfO_2 のそれぞれは、例えば ALD 法により成膜可能である。 SiO_2 、 SiN のそれぞれは、CVD 法により成膜可能である。

なお、層間絶縁体 19 は、単層であっても、上記選択された複数の絶縁材料を複数積層した複合膜であってもよい。

[0043] (11) 配線 6 の構成

配線 6 は、層間絶縁体 19 のゲート電極 18 とは反対側に配設されている。配線 6 は、第 1 電界効果トランジスタ 21 等の主電極 16 に重複する位置に配設され、絶縁体 17 及び層間絶縁体 19 に形成された接続孔 19H を通して主電極 16 に接続されている。

第 1 実施の形態では、平面視において、第 1 電界効果トランジスタ 21 等の主電極 16 は、ゲート長 L_g 方向に短く、ゲート幅 W_g 方向に長いスリット形状に形成されている。このため、配線 6 は、主電極 16 の平面形状の大半に重複して配置され、かつ、平面視において主電極 16 に対して相似形状であるスリット形状の開口を有する接続孔 19H を通して主電極 16 の大半に接続されている。

[0044] また、第 1 実施の形態に係る静電気放電保護回路 2 では、第 1 電界効果トランジスタ 21 の他方の主電極 16 に接続された配線 6 は、この第 1 電界効果トランジスタ 21 のゲート電極 18 に接続されている。ゲート電極 18 の一端部は、素子分離領域 14 に延設されている。このゲート電極 18 の一端部が、接続孔 19H を通して配線 6 に接続されている。

第2電界効果トランジスタ22～第4電界効果トランジスタ24についても同様の構成とされている。

[0045] 配線6は、ゲート電極18、主電極16のそれぞれの比抵抗値よりも小さい比抵抗値を有する配線材料により形成されている。配線6としては、例えばTi、Pt、Al及びAuから選択される1以上の配線材料を使用することができる。ここでは、ゲート電極18と主電極16との間の配線6の抵抗値は、100Ω以下に設定されている。さらに好ましくは、抵抗値が10Ω以下に設定されている。

[0046] [半導体装置1及び静電気放電保護回路2の製造方法]

次に、第1実施の形態に係る半導体装置1及び静電気放電保護回路2の製造方法を説明する。図5～図10は、製造方法を工程毎に説明する工程断面の一例を表している。

[0047] まず、基板10上にバッファ層11が形成される(図5参照)。基板10には、例えばSi基板が使用される。

次に、バッファ層11上にチャネル層12が形成される(図5参照)。チャネル層12には、例えばGaNが使用される。GaNは、エピタキシャル成長法を用いて形成される。

[0048] 次に、チャネル層12上にバリア層15が形成される(図5参照)。バリア層15には、例えば u-AlGaN が使用される。例えば、バリア層15には、 $\text{Al}_{0.3}\text{-Ga}_{0.7}\text{N}$ 混晶が使用される。バリア層15は、エピタキシャル成長法を用いて形成される。

バリア層15が形成されると、チャネル層12においてバリア層15の近傍に二次元電子ガス13が生成される。

[0049] 図5に示されるように、バリア層15上にマスク30が形成される。マスク30には、例えば前述の絶縁材料が使用される。

[0050] 次に、マスク30がパターンニングされる。これにより、マスク30の一部に開口30Hが形成される(図6参照)。パターンニングには、フォトリソグラフィ技術及びエッチング技術が使用される。

[0051] 図6に示されるように、マスク30を用いて、開口30Hから露出するバリア層15がパターンニングされる。このパターンニングにより、バリア層15にはチャネル層12の表面が露出するゲートバリア開口15Aが形成される。

パターンニングにはエッチング技術が使用される。エッチング技術では、チャネル層12とバリア層15とのエッチング選択比を確保可能なウエットエッチングが使用される。ウエットエッチングを使用することにより、チャネル層12の表面がオーバエッチングされることなく、バリア層15を選択的に除去することができる。また、ドライエッチングが使用されていないので、チャネル層12の表面のエッチングダメージが生じない。

[0052] なお、パターンニングには、最初にドライエッチングを用い、引き続きウエットエッチングが使用される。また、低ダメージであれば、ドライエッチングのみでパターンニングが行われてもよい。

[0053] 次に、マスク30が除去される。なお、マスク30は、除去せずに、これ以降の工程において保護膜として使用してもよい。

[0054] 図7に示されるように、アクティブ領域Acの周囲において、素子分離領域14が形成される。素子分離領域14は、例えばp型不純物をイオン注入法によりバリア層15及びチャネル層12に注入し、高抵抗化された非アクティブ領域として形成される。これにより、素子分離領域14に周囲が取り囲まれた島状のアクティブ領域Acが形成される。

なお、素子分離領域14は、主電極16の形成後、又はゲート電極18の形成後に形成してもよい。

[0055] 図8に示されるように、バリア層15上の互いに離間された領域に一对の主電極16が形成される。主電極16は、例えば、マスク蒸着法を用いて、Ti、Al、Ni、Auのそれぞれを順次蒸着することにより形成される。

[0056] 図9に示されるように、主電極16を覆って絶縁体17が形成される。絶縁体17は、バリア層15上及びゲートバリア開口15Aから露出されるチャネル層12上にも形成される。この製造方法では、絶縁体17は、例えば

SiO_2 により形成される。 SiO_2 は例えばCVD法を用いて形成される。

[0057] 次に、ゲートバリア開口15Aに重複する領域において、絶縁体17上にゲート電極18が形成される（図10参照）。ゲート電極18は、例えば、マスク蒸着法を用いて、Ni、Auのそれぞれを順次蒸着することにより形成される。

[0058] 図10に示されるように、ゲート電極18を覆う層間絶縁体19が形成される。この製造方法では、層間絶縁体19は、例えば SiO_2 により形成される。 SiO_2 は例えばCVD法を用いて形成される。

[0059] 次に、層間絶縁体19に接続孔19Hが形成される（図2～図4参照）。引き続き、前述の図2～図4に示されるように、層間絶縁体19上に配線6が形成される。配線6は、接続孔19Hを通して主電極16、ゲート電極18のそれぞれに接続される。

[0060] これら一連の製造工程が終了すると、静電気放電保護回路2の第1電界効果トランジスタ21～第4電界効果トランジスタ24が形成され、第1実施の形態に係る半導体装置1が完成する。

[0061] [静電気放電保護回路2の動作]

前述の図1～図4を用いて、静電気放電保護回路2の保護動作について簡単に説明する。ここでは、第1マルチゲート型トランジスタMT1の保護動作について説明する。第1マルチゲート型トランジスタMT1の保護動作と同一であるので、第2マルチゲート型トランジスタMT2の保護動作についての説明は省略する。

[0062] 第1マルチゲート型トランジスタMT1は、第1端子3と第2端子4との間に電氣的に直列に接続されている。つまり、第1端子3と第2端子4との間には、第1電界効果トランジスタ21の一方の主電極16－ゲート電極18間容量C1と、第2電界効果トランジスタ22の一方の主電極16－ゲート電極18間容量C2とが電氣的に直列に接続されている（図2参照）。容量C1、容量C2のそれぞれは、等価である。

[0063] ここで、第1端子3にサージが印加されたと仮定する。サージは、容量C

1、容量C2のそれぞれに瞬時に分圧される。この分圧に伴い、第1マルチゲート型トランジスタMT1の第1電界効果トランジスタ21及び第2電界効果トランジスタ22は、一方の主電極16とゲート電極18との間に同一の電圧が印加されるので、オン状態になる。

このため、第1端子3に印加されたサージは、第1電界効果トランジスタ21及び第2電界効果トランジスタ22を流れて第2端子4に吸収される。

[0064] なお、静電気放電保護回路2において、第1電界効果トランジスタ21～第4電界効果トランジスタ24のゲート幅 W_g 寸法を長くすれば、保護耐性をより一層向上させることができる。

[0065] [静電気放電保護回路2の特徴]

図11は、第1実施の形態に係る静電気放電保護回路2の第1マルチゲート型トランジスタMT1の模式的な平面構造の一例を表している。図12は、第1比較例に係る静電気放電保護回路CEのスタック型トランジスタの模式的な平面構造の一例を表している。

[0066] 図11に示されるように、第1実施の形態に係る静電気放電保護回路2の第1マルチゲート型トランジスタMT1では、第1電界効果トランジスタ21及び第2電界効果トランジスタ22が、主電極16を共有して、矢印X方向に配列されている。

ここで、第1電界効果トランジスタ21、第2電界効果トランジスタ22のそれぞれのゲート長 L_g は、例えば $1\mu m$ に設定されている。また、第1電界効果トランジスタ21、第2電界効果トランジスタ22のそれぞれのゲート長 L_g に一致する主電極16のオーミック長 L_o は、例えば $1\mu m$ に設定されている。第1電界効果トランジスタ21のゲート電極18と第2電界効果トランジスタ22のゲート電極18との間のゲート間距離 L_{gg1} は、例えば $2\mu m$ に設定されている。

[0067] これに対して、図12に示されるように、第1比較例に係る静電気放電保護回路CEのスタック型トランジスタでは、電界効果トランジスタ201及び電界効果トランジスタ202が、素子分離領域14を介在して、矢印X方

向に配列されている。

ここで、電界効果トランジスタ201、電界効果トランジスタ202のそれぞれのゲート長 L_g は、例えば $1\mu m$ に設定されている。また、電界効果トランジスタ201、電界効果トランジスタ202のそれぞれの主電極16のオーミック長 L_o は、例えば $1\mu m$ に設定されている。電界効果トランジスタ201のゲート電極18と電界効果トランジスタ202のゲート電極18との間のゲート間距離 L_{gg2} は、ゲート間距離 L_{gg1} に、1つの主電極16及び素子分離領域14の矢印X方向の寸法を加算した値になる。

[0068] 図13は、第1実施の形態に係る静電気放電保護回路2の占有面積と第1比較例に係る静電気放電保護回路CEの占有面積とを比較したグラフである。横軸は、オーミック長 L_o [μm] を表している。縦軸は、静電気放電保護回路2、静電気放電保護回路CEのそれぞれの占有面積を表している。ここで、静電気放電保護回路2の第1マルチゲート型トランジスタMT1において、第1電界効果トランジスタ21及び第2電界効果トランジスタ22の合計のオーミック長 L_o が $3\mu m$ に設定されるとき、占有面積が「1」の値に規格化されている。

図13に示されるように、第1比較例に係る静電気放電保護回路CEでは、電界効果トランジスタ201等のオーミック長 L_o の増加並びに素子分離領域14の存在に伴い、占有面積が増加する。

第1実施の形態に係る静電気放電保護回路2でも、第1電界効果トランジスタ21等のオーミック長 L_o の増加に伴い、占有面積が増加する。しかしながら、第1比較例に係る静電気放電保護回路CEの占有面積の増加率に対して、第1実施の形態に係る静電気放電保護回路2の占有面積の増加率は約30%程度少ない。表現を代えれば、第1実施の形態に係る静電気放電保護回路2の占有面積は、第1比較例に係る静電気放電保護回路CEの占有面積に対して、オーミック長 L_o の増減に関係無く縮小されている。

[0069] [作用効果]

第1実施の形態に係る半導体装置1は、図1～図4に示されるように、マ

ルチゲート型トランジスタMTと、第1端子3と、第2端子4とを備える。

マルチゲート型トランジスタMTは、一对の主電極16及び一对の主電極16間に配設されたゲート電極18を有する第1電界効果トランジスタ21～第4電界効果トランジスタ24を備える。第1電界効果トランジスタ21～第4電界効果トランジスタ24は、互いに主電極16を共有して電氣的に直列に複数接続される。

ここで、マルチゲート型トランジスタMTは、第1マルチゲート型トランジスタMT1及び第2マルチゲート型トランジスタMT2を備える。第1マルチゲート型トランジスタMT1は、第1電界効果トランジスタ21及び第2電界効果トランジスタ22により構築される。また、第2マルチゲート型トランジスタMT2は、第3電界効果トランジスタ23及び第4電界効果トランジスタ24により構築される。第1マルチゲート型トランジスタMT1、第2マルチゲート型トランジスタMT2のそれぞれは同一構成であるので、第1マルチゲート型トランジスタMT1について主体的に説明し、第2マルチゲート型トランジスタMT2の説明は必要に応じて適宜説明する。

第1端子3は、第1マルチゲート型トランジスタMT1の直列に接続された一端の第1電界効果トランジスタ21の一方の主電極16に電氣的に接続される。第1端子3には、信号が入力される。

第2端子4は、第1マルチゲート型トランジスタMT1の直列に接続された他端の第2電界効果トランジスタ22の他方の主電極16に電氣的に接続される。第2端子4には、固定電位が供給される。

そして、第1マルチゲート型トランジスタMT1の少なくとも1つの第1電界効果トランジスタ21又は第2電界効果トランジスタ22のゲート電極18が、第1電界効果トランジスタ21又は第2電界効果トランジスタ22の他方の主電極16に電氣的に接続される。

第1マルチゲート型トランジスタMT1（及び第2マルチゲート型トランジスタMT2）は、静電気放電保護回路2を構築する。

このように構成される半導体装置1では、静電気放電保護回路2がマルチ

ゲート型トランジスタMTにより構成され、マルチゲート型トランジスタMTの第1電界効果トランジスタ21～第4電界効果トランジスタ24の主電極16が共有される。このため、図11～図13に示されるように、静電気放電保護回路2の占有面積を縮小することができる。加えて、このように構成される静電気放電保護回路2では、複数の第1電界効果トランジスタ21～第4電界効果トランジスタ24が直列に接続されているので、静電気破壊耐圧を向上させることができる。つまり、半導体装置1では、集積度を向上させつつ、静電気破壊耐圧を向上させることができる。

[0070] また、半導体装置1では、図1～図4に示されるように、静電気放電保護回路2を構築するマルチゲート型トランジスタMTのすべての第1電界効果トランジスタ21～第4電界効果トランジスタ24のゲート電極18が、第1電界効果トランジスタ21～第4電界効果トランジスタ24の他方の主電極16に電氣的に接続される。

このため、静電気放電保護回路2では、サージが入力されたときに即座にサージを吸収することができるので、静電気破壊耐圧をより一層向上させることができる。

[0071] また、半導体装置1では、図2～図4に示されるように、静電気放電保護回路2の第1電界効果トランジスタ21～第4電界効果トランジスタ24は、半導体層としてのチャネル層12にゲート絶縁膜としての絶縁体17を介在させてゲート電極18を形成する。つまり、第1電界効果トランジスタ21～第4電界効果トランジスタ24は、ゲート絶縁型電界効果トランジスタにより構成される。

ここで、絶縁体17の膜厚は、酸化膜換算膜厚において、20nm以上に設定される。

このため、静電気放電保護回路2では、第1電界効果トランジスタ21～第4電界効果トランジスタ24のそれぞれのオン電流を高くすることができる。

[0072] また、半導体装置1では、図2～図4に示されるように、静電気放電保護

回路 2 において、ゲート電極 1 8 と他方の主電極 1 6 とは、ゲート電極 1 8 、主電極 1 6 のそれぞれの比抵抗値よりも小さい比抵抗値を有する配線 6 を介在して接続される。

このため、静電気放電保護回路 2 の保護動作速度を向上させることができる。加えて、ゲート電極 1 8 と主電極 1 6 との接続経路に抵抗が挿入されていないので、静電気放電保護回路 2 の占有面積を更に縮小することができる。

[0073] また、半導体装置 1 では、図 2 ～図 4 に示されるように、静電気放電保護回路 2 において、主電極 1 6 と配線 6 とはオーミック接合により接続される。

加えて、主電極 1 6 は、第 1 電界効果トランジスタ 2 1 等のチャネル層 1 2 に配設されたオーミック電極である。オーミック電極は、高不純物密度領域 1 6 N を介在させてチャネル層 1 2 に電氣的に接続される。高不純物密度領域 1 6 N は、チャネル層 1 2 に配設され、チャネル層 1 2 に流れるキャリアと同一導電型を有し、かつ、チャネル層 1 2 よりも不純物密度が高い。

さらに加えて、ゲート電極 1 8 と他方の主電極 1 6 とは、 $100\ \Omega$ 以下、好ましくは $10\ \Omega$ 以下の抵抗値において接続される。

このように構成される半導体装置 1 では、静電気放電保護回路 2 の保護動作速度を向上させることができる。

[0074] また、半導体装置 1 では、図 2 及び図 3 に示されるように、静電気放電保護回路 2 の第 1 電界効果トランジスタ 2 1 ～第 4 電界効果トランジスタ 2 4 は、窒化物半導体を含んで構成される。加えて、図 1 に示されるように、第 1 端子 3 には、DC 信号が入力され、第 2 端子 4 には、高周波回路の基準電位（又は動作電源電位）が供給される。高周波回路は、例えばパワーデバイス、高周波デバイス等である。

このため、パワーデバイス、高周波デバイス等を構築する半導体装置 1 に好適な静電気放電保護回路 2 を実現することができる。

[0075] なお、第 1 実施の形態では、半導体装置 1 の信号入力側に配設される静電

気放電保護回路 2 について説明している。本技術は、半導体装置 1 の信号出力側に配設される静電気放電保護回路 2 に適用してもよい。この場合、第 1 端子 3 には、内部回路 5 からの DC 信号が出力される。

また、第 1 実施の形態では、静電気放電保護回路 2 は、左右対称構造の第 1 マルチゲート型トランジスタ MT 1 及び第 2 マルチゲート型トランジスタ MT 2 により、マルチゲート型トランジスタ MT を構築している。この場合、ゲート幅寸法を拡大することができるので、電流能力を向上させることができる。本技術では、ゲート幅寸法を十分に確保することができるのであれば、静電気放電保護回路 2 は、第 1 マルチゲート型トランジスタ MT 1 又は第 2 マルチゲート型トランジスタ MT 2 の一方により、マルチゲート型トランジスタ MT を構築してもよい。

[0076] < 2. 第 2 実施の形態 >

図 1 4 ~ 図 1 7 を用いて、本開示の第 2 実施の形態に係る半導体装置 1 及び静電気放電保護回路 2 を説明する。

なお、第 2 実施の形態並びにそれ以降に説明する実施の形態において、第 1 実施の形態の構成要素と同一の構成要素、又は実質的に同一の構成要素には同一の符号を付し、重複する説明は省略する。

[0077] [半導体装置 1 及び静電気放電保護回路 2 の具体的なデバイス構成]

図 1 4 は、半導体装置 1 に搭載された静電気放電保護回路 2 の平面構成の一例を表している。

[0078] 第 1 実施の形態に係る静電気放電保護回路 2 と同様に、第 2 実施の形態に係る静電気放電保護回路 2 は、マルチゲート型トランジスタ MT を備えている。マルチゲート型トランジスタ MT は、第 1 マルチゲート型トランジスタ MT 1 及び第 2 マルチゲート型トランジスタ MT 2 により構築されている。

[0079] 第 1 マルチゲート型トランジスタ MT 1 は、第 1 電界効果トランジスタ 2 1 及び第 2 電界効果トランジスタ 2 2 に加えて、更に第 5 電界効果トランジスタ 2 5 を備えている。つまり、第 1 マルチゲート型トランジスタ MT 1 は、主電極 1 6 を共有し、第 1 端子 3 と第 2 端子 4 との間に電氣的に直列に接

続された3個の第1電界効果トランジスタ21、第2電界効果トランジスタ22及び第5電界効果トランジスタ25により構成されている。

第1電界効果トランジスタ21、第2電界効果トランジスタ22、第5電界効果トランジスタ25のそれぞれのゲート電極18は、配線6を介在させて該当する他方の主電極16に電氣的に接続されている。

[0080] 第2マルチゲート型トランジスタMT2は、第3電界効果トランジスタ23及び第4電界効果トランジスタ24に加えて、更に第6電界効果トランジスタ26を備えている。つまり、第2マルチゲート型トランジスタMT2は、主電極16を共有し、第1端子3と第2端子4との間に電氣的に直列に接続された3個の第3電界効果トランジスタ23、第4電界効果トランジスタ24及び第6電界効果トランジスタ26により構成されている。

第3電界効果トランジスタ23、第4電界効果トランジスタ24、第6電界効果トランジスタ26のそれぞれのゲート電極18は、配線6を介在させて該当する他方の主電極16に電氣的に接続されている。

中心線C-Cを中心として、第2マルチゲート型トランジスタMT2は、第1マルチゲート型トランジスタMT1に対して線対称形状に形成されている。

[0081] 上記以外の構成要素は、前述の第1実施の形態に係る半導体装置1及び静電気放電保護回路2の構成要素と同一又は実質的に同一であるので、ここでの説明を省略する。

[0082] [静電気放電保護回路2の特徴]

図15は、第2実施の形態に係る静電気放電保護回路2の第1マルチゲート型トランジスタMT1の模式的な平面構造の一例を表している。図16は、第2比較例に係る静電気放電保護回路CEのスタック型トランジスタの模式的な平面構造の一例を表している。

[0083] 図15に示されるように、第2実施の形態に係る静電気放電保護回路2の第1マルチゲート型トランジスタMT1では、第1電界効果トランジスタ21、第2電界効果トランジスタ22及び第5電界効果トランジスタ25が、

矢印X方向に配列されている。第1電界効果トランジスタ21、第2電界効果トランジスタ22、第5電界効果トランジスタ25のそれぞれでは、主電極16が共有されている。

第1実施の形態に係る静電気放電保護回路2と同様に、第1電界効果トランジスタ21、第2電界効果トランジスタ22、第5電界効果トランジスタ25のそれぞれのゲート長 L_g は、例えば $1\mu m$ に設定されている。また、第1電界効果トランジスタ21、第2電界効果トランジスタ22、第5電界効果トランジスタ25のそれぞれのゲート長 L_g に一致する主電極16のオーミック長 L_o は、例えば $1\mu m$ に設定されている。第1電界効果トランジスタ21のゲート電極18と第2電界効果トランジスタ22のゲート電極18との間のゲート間距離 L_{gg1} は、例えば $2\mu m$ に設定されている。同様に、第2電界効果トランジスタ22のゲート電極18と第5電界効果トランジスタ25のゲート電極18との間のゲート間距離 L_{gg1} は、例えば $2\mu m$ に設定されている。

[0084] これに対して、図16に示されるように、第2比較例に係る静電気放電保護回路CEのスタック型トランジスタは、3個の電界効果トランジスタ201、電界効果トランジスタ202及び電界効果トランジスタ203を備えている。これら電界効果トランジスタ201、電界効果トランジスタ202及び電界効果トランジスタ203は、素子分離領域14を介在して、矢印X方向に配列されている。

ここで、電界効果トランジスタ201、電界効果トランジスタ202、電界効果トランジスタ203のそれぞれのゲート長 L_g は、例えば $1\mu m$ に設定されている。また、電界効果トランジスタ201、電界効果トランジスタ202、電界効果トランジスタ203のそれぞれの主電極16のオーミック長 L_o は、例えば $1\mu m$ に設定されている。電界効果トランジスタ201のゲート電極18と電界効果トランジスタ202のゲート電極18との間のゲート間距離 L_{gg2} は、ゲート間距離 L_{gg1} に、1つの主電極16及び素子分離領域14の矢印X方向の寸法を加算した値になる。同様に、電界効果

トランジスタ 202 のゲート電極 18 と電界効果トランジスタ 203 のゲート電極 18 との間のゲート間距離 L_{gg2} は、ゲート間距離 L_{gg1} に、1 つの主電極 16 及び素子分離領域 14 の矢印 X 方向の寸法を加算した値になる。

[0085] 図 17 は、第 2 実施の形態に係る静電気放電保護回路 2 の占有面積と第 2 比較例に係る静電気放電保護回路 CE の占有面積とを比較したグラフである。横軸は、オーミック長 L_o [μm] を表している。縦軸は、静電気放電保護回路 2、静電気放電保護回路 CE のそれぞれの占有面積を表している。ここで、静電気放電保護回路 2 の第 1 マルチゲート型トランジスタ MT1 において、第 1 電界効果トランジスタ 21、第 2 電界効果トランジスタ 22 及び第 5 電界効果トランジスタ 25 の合計のオーミック長 L_o が $3 \mu m$ に設定されるとき、占有面積が「1」の値に規格化されている。

図 17 に示されるように、第 2 比較例に係る静電気放電保護回路 CE では、電界効果トランジスタ 201 等のオーミック長 L_o の増加に伴い、占有面積が増加する。

第 2 実施の形態に係る静電気放電保護回路 2 でも、第 1 電界効果トランジスタ 21 等のオーミック長 L_o の増加に伴い、占有面積が増加する。しかしながら、第 2 比較例に係る静電気放電保護回路 CE の占有面積の増加率に対して、第 2 実施の形態に係る静電気放電保護回路 2 の占有面積の増加率は約 50% 程度少ない。表現を代えれば、第 2 実施の形態に係る静電気放電保護回路 2 の占有面積は、第 2 比較例に係る静電気放電保護回路 CE の占有面積に対して、オーミック長 L_o の増減に関係無く縮小されている。

[0086] [作用効果]

第 2 実施の形態に係る半導体装置 1 及び静電気放電保護回路 2 では、前述の第 1 実施の形態に係る半導体装置 1 及び静電気放電保護回路 2 により得ることができる作用効果と同様の作用効果を得ることができる。

[0087] また、静電気放電保護回路 2 は、図 14 に示されるように、第 1 端子 3 と第 2 端子 4 との間に、互いの主電極 16 を共有し、6 個の第 1 電界効果トラ

ンジスタ 21～第 6 電界効果トランジスタ 26 を備える。これにより、静電気破壊耐圧をより一層向上させることができ、加えて、図 15～図 17 に示されるように、静電気放電保護回路 2 の占有面積を縮小することができる。

[0088] さらに、静電気放電保護回路 2 では、第 1 実施の形態に係る静電気放電保護回路 2 よりも多くの電界効果トランジスタの直列接続数によりマルチゲート型トランジスタ MT が構築されている。直列接続数が増加しても、比較例 2 に係る静電気放電保護回路 CE に対して、静電気放電保護回路 2 の占有面積を縮小することができる。なお、本技術では、静電気放電保護回路 2 の第 1 マルチゲート型トランジスタ MT 1 は、4 以上の直列接続数により構築してもよい。

なお、第 1 実施の形態と同様に、第 2 実施の形態では、静電気放電保護回路 2 は、左右対称構造の第 1 マルチゲート型トランジスタ MT 1 及び第 2 マルチゲート型トランジスタ MT 2 により、マルチゲート型トランジスタ MT を構築している。本技術では、ゲート幅寸法を十分に確保することができるのであれば、静電気放電保護回路 2 は、第 1 マルチゲート型トランジスタ MT 1 又は第 2 マルチゲート型トランジスタ MT 2 の一方により、マルチゲート型トランジスタ MT を構築してもよい。

[0089] < 3. 第 3 実施の形態 >

図 18 を用いて、本開示の第 3 実施の形態に係る半導体装置 1 及び内部回路 5 を説明する。

[0090] [半導体装置 1 及び内部回路 5 の具体的なデバイス構成]

図 18 は、内部回路 5 の断面構成の一例を表している。

第 3 実施の形態に係る半導体装置 1 では、第 1 実施の形態に係る静電気放電保護回路 2 のマルチゲート型トランジスタ MT の第 1 電界効果トランジスタ 21～第 4 電界効果トランジスタ 24 と、内部回路 5（図 1 参照）の電界効果トランジスタ 27 とがモノリシック（monolithic）に構築されている。

詳しく説明すると、電界効果トランジスタ 27 は、基本的には、第 1 電界効果トランジスタ 21～第 4 電界効果トランジスタ 24 の構造と同様の構造

により構成され、ここではノーマリーオン動作を示すデプレッション型電界効果トランジスタ（D F E T : Depression type Field Effect Transistor）により構成されている。

[0091] さらに詳しく説明すると、内部回路5の電界効果トランジスタ27では、バリア層15にゲートバリア開口15Aが配設されていない（図3参照）。つまり、電界効果トランジスタ27では、チャネル層12にバリア層15及び絶縁体17を介在させてゲート電極18が配設されている。ここで、「バリア層15」は、本技術に係る「半導体層」に相当する。

平面視及び側面視において、チャネル層12のゲート電極18に重複する位置には、オフ状態のときに二次元電子ガス13が形成されている。

[0092] 上記以外の構成要素は、前述の第1実施の形態に係る半導体装置1及び静電気放電保護回路2の構成要素と同一又は実質的に同一であるので、ここでの説明を省略する。

[0093] なお、第3実施の形態に係る内部回路5は、第2実施の形態に係る静電気放電保護回路2のマルチゲート型トランジスタMTの第1電界効果トランジスタ21～第6電界効果トランジスタ26とモノリシックに構築された電界効果トランジスタ27により構成されてもよい。

[0094] [作用効果]

第3実施の形態に係る半導体装置1及び内部回路5では、前述の第1実施の形態又は第2実施の形態に係る半導体装置1及び静電気放電保護回路2により得ることができる作用効果と同様の作用効果を得ることができる。

[0095] また、内部回路5の電界効果トランジスタ27は、図18に示されるように、前述の第1実施の形態又は第2実施の形態に係る静電気放電保護回路2のマルチゲート型トランジスタMTとモノリシックに構成される。つまり、内部回路5と静電気放電保護回路2とにおいて、大半の構成要素並びに製造工程を共通化することができるので、簡易な構造並びに製造方法により半導体装置1を構築することができる。

[0096] <4. 第4実施の形態>

図 19 を用いて、本開示の第 4 実施の形態に係る半導体装置 1 及び内部回路 5 を説明する。

[0097] [半導体装置 1 及び内部回路 5 の具体的なデバイス構成]

図 19 は、内部回路 5 の断面構成の一例を表している。

第 4 実施の形態に係る内部回路 5 は、第 3 実施の形態に係る内部回路 5 と同様に、電界効果トランジスタ 27 を備えている。電界効果トランジスタ 27 には、T 型ゲート構造が採用されている。

[0098] 詳しく説明すると、内部回路 5 の電界効果トランジスタ 27 では、第 3 実施の形態に係る内部回路 5 の電界効果トランジスタ 27 と同様に、バリア層 15 にはゲートバリア開口 15A が配設されていない（図 3 参照）。一方、ゲート電極 18 に重複する位置には、絶縁体 17 に膜厚方向に貫通されたゲート開口 7A が配設されている。そして、少なくともゲート開口 7A から露出されるバリア層 15 にはゲート絶縁膜 7 が配設されている。つまり、電界効果トランジスタ 27 では、バリア層 15 にゲート絶縁膜 7 を介在させてゲート開口 7A 内にゲート電極 18 が配設されている。ここで、「バリア層 15」は、本技術に係る「半導体層」に相当する。

[0099] ゲート電極 18 には、ゲート開口 7A に対して、製造上のアライメント余裕寸法が付加される。このため、ゲート電極 18 は、ゲート開口 7A の開口寸法よりも、ゲート長 L_g 方向及びゲート幅 W_g 方向に大きな寸法に形成されている。すなわち、側面視において、ゲート電極 18 の断面は、T 型形状に形成されている。

[0100] 上記以外の構成要素は、前述の第 3 実施の形態に係る半導体装置 1 及び内部回路 5 の構成要素と同一又は実質的に同一であるので、ここでの説明を省略する。

[0101] なお、第 4 実施の形態に係る内部回路 5 は、第 2 実施の形態に係る静電気放電保護回路 2 のマルチゲート型トランジスタ MT の第 1 電界効果トランジスタ 21～第 6 電界効果トランジスタ 26 とモノリシックに構築された電界効果トランジスタ 27 により構成されてもよい。

[0102] [作用効果]

第4実施の形態に係る半導体装置1及び内部回路5では、前述の第3実施の形態に係る半導体装置1及び内部回路5により得ることができる作用効果と同様の作用効果を得ることができる。

[0103] また、内部回路5の電界効果トランジスタ27は、図19に示されるように、前述の第1実施の形態又は第2実施の形態に係る静電気放電保護回路2のマルチゲート型トランジスタMTとモノリシックに構成される。つまり、内部回路5と静電気放電保護回路2とにおいて、大半の構成要素並びに製造工程を共通化することができるので、簡易な構造並びに製造方法により半導体装置1を構築することができる。

[0104] <5. 第5実施の形態>

図20を用いて、本開示の第5実施の形態に係る半導体モジュール100を説明する。図20は、第5実施の形態に係る半導体モジュール100の概略的な構造を表している。

[0105] [半導体モジュール100の構成]

第5実施の形態に係る半導体モジュール100は、例えばアレイ状に配設されたエッジアンテナ101と、フロントエンド部品とを1つのモジュールとして基板110上に実装したアンテナ一体型モジュールである。フロントエンド部品には、スイッチ102、低ノイズアンプ103、バンドパスフィルタ104及びパワーアンプ105等が含まれている。半導体モジュール100は、例えば、通信用のトランシーバとして使用可能である。

[0106] 半導体モジュール100は、例えば、スイッチ102、低ノイズアンプ103、又はパワーアンプ105等を構成するトランジスタとして、第1実施の形態～第4実施の形態に係るいずれかの半導体装置1を備えている。

[0107] [作用効果]

第5実施の形態に係る半導体モジュール100では、半導体装置1が含まれるので、無線通信の更なる高速化、高効率化及び低消費電力化を実現することができる。

また、第1実施の形態～第4実施の形態のいずれかに係る静電気放電保護回路2が半導体装置1に搭載される。このため、半導体モジュール100では、静電破壊保護耐性を向上しつつ、静電気放電保護回路2の占有面積の縮小化を実現することができる。

[0108] <6. 第6実施の形態>

図21を用いて、本開示の第6実施の形態に係る無線通信装置300を説明する。図21は、第6実施の形態に係る無線通信装置300の概略的なブロック構成を表している。

[0109] [無線通信装置300の構成]

第6実施の形態に係る無線通信装置300は、アンテナANTと、アンテナスイッチ回路301と、高電力増幅器HPAと、高周波集積回路RFIC (Radio Frequency Integrated Circuit) と、ベースバンド部BBと、音声出力部MICと、データ出力部DTと、インタフェース部I/Fとを備えている。インタフェース部I/Fには、例えば、無線LAN (W-LAN: Wireless Local Area Network)、ブルートゥース (登録商標 (Bluetooth: 登録商標)) 等が含まれている。無線通信装置300は、例えば、音声、データ通信及びLAN接続等の多機能を有する携帯電話システムである。

[0110] 無線通信装置300は、アンテナスイッチ回路301、高電力増幅器HPA、高周波集積回路RFIC、又はベースバンド部BB等を構成するトランジスタとして第1実施の形態～第4実施の形態に係るいずれかの半導体装置1を備えている。

[0111] [作用効果]

第6実施の形態に係る無線通信装置300では、半導体装置1を備えるので、無線通信の更なる高速化、高効率化及び低消費電力化を実現することができる。したがって、無線通信装置300が携帯通信端末である場合、無線通信装置300では、使用時間を更に延長させることができるので、携帯性をより向上させることができる。

また、第1実施の形態～第4実施の形態のいずれかに係る静電気放電保護

回路 2 が半導体装置 1 に搭載される。このため、無線通信装置 300 では、静電破壊保護耐性を向上しつつ、静電気放電保護回路 2 の占有面積の縮小化を実現することができる。

[0112] < 7. その他の実施の形態 >

本技術は、上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲内において、種々変更可能である。

[0113] 例えば、前述の実施の形態に係る半導体装置では、トランジスタが GaN 系半導体により構成されている。本技術は、GaAs 系、InP 系又は SiGe 系の化合物半導体を用いてトランジスタが構成されている半導体装置に適用可能である。また、本技術は、Si 半導体を用いてトランジスタが構成されている半導体装置にも適用可能である。

また、本技術は、静電気放電保護回路の電界効果トランジスタとして、ショットキー接合型電界効果トランジスタを使用してもよい。

[0114] 以上説明したように、本開示の第 1 実施態様に係る半導体装置は、マルチゲート型トランジスタと、第 1 端子と、第 2 端子とを備える。マルチゲート型トランジスタでは、一对の主電極及び一对の主電極間に配設されたゲート電極を有する電界効果トランジスタが、互いに主電極を共有して電氣的に直列に複数接続される。第 1 端子は、マルチゲート型トランジスタの直列に接続された一端の電界効果トランジスタの一方の主電極に電氣的に接続される。第 1 端子には、信号が入力又は出力される。第 2 端子は、マルチゲート型トランジスタの直列に接続された他端の電界効果トランジスタの他方の主電極に電氣的に接続される。第 2 端子には、固定電位が供給される。

ここで、マルチゲート型トランジスタの少なくとも 1 つの電界効果トランジスタのゲート電極は、当該電界効果トランジスタの他方の主電極に電氣的に接続される。マルチゲート型トランジスタは、静電気破壊保護回路を構成している。

このため、第 1 端子と第 2 端子との間に複数の電界効果トランジスタが電氣的に直列に接続された静電気放電保護回路が配設されているので、静電気

破壊保護耐圧を向上させることができる。加えて、複数の電界効果トランジスタがマルチゲート型トランジスタとされ、主電極を共有しているので、静電気破壊保護回路の占有面積を縮小することができる。

[0115] 本開示の第2実施態様に係る半導体モジュールは、半導体装置を備える。半導体装置は、第1実施態様に係る半導体装置である。

このため、半導体モジュールでは、第1実施態様に係る半導体装置により得られる作用効果と同様の作用効果を得ることができる。

[0116] 本開示の第3実施態様に係る電子機器は、半導体装置を備える。半導体装置は、第1実施態様に係る半導体装置である。

このため、電子機器では、第1実施態様に係る半導体装置により得られる作用効果と同様の作用効果を得ることができる。

[0117] <本技術の構成>

本技術は、以下の構成を備えている。以下の構成の本技術によれば、半導体装置、半導体モジュール及び電子機器において、静電気破壊保護耐圧を向上させることができ、静電気破壊保護回路の占有面積を縮小することができる。

[0118] (1)

一対の主電極及び一対の前記主電極間に配設されたゲート電極を有する電界効果トランジスタが、互いに前記主電極を共有して電氣的に直列に複数接続されたマルチゲート型トランジスタと、

前記マルチゲート型トランジスタの直列に接続された一端の前記電界効果トランジスタの一方の前記主電極に電氣的に接続され、信号が入力又は出力される第1端子と、

前記マルチゲート型トランジスタの直列に接続された他端の前記電界効果トランジスタの他方の前記主電極に電氣的に接続され、固定電位が供給される第2端子とを備え、

前記マルチゲート型トランジスタの少なくとも1つの前記電界効果トランジスタの前記ゲート電極が、当該電界効果トランジスタの他方の前記主電極

に電氣的に接続されている半導体装置。

(2)

前記マルチゲート型トランジスタのすべての前記電界効果トランジスタの前記ゲート電極が、当該電界効果トランジスタの他方の前記主電極に電氣的に接続されている

前記(1)に記載の半導体装置。

(3)

前記電界効果トランジスタは、半導体層にゲート絶縁膜を介在させて前記ゲート電極を形成しているゲート絶縁型電界効果トランジスタである

前記(1)又は前記(2)に記載の半導体装置。

(4)

前記ゲート絶縁膜の膜厚は、酸化膜換算膜厚において、20nm以上である

前記(3)に記載の半導体装置。

(5)

前記ゲート電極と他方の前記主電極とは、当該ゲート電極、当該主電極のそれぞれよりも小さい比抵抗値を有する配線を介在して接続されている

前記(1)から前記(4)のいずれか1つに記載の半導体装置。

(6)

他方の前記主電極と前記配線とは、オーミック接合により接続されている。

前記(5)に記載の半導体装置。

(7)

他方の前記主電極は、前記電界効果トランジスタのチャネル層に配設されたオーミック電極であり、

前記オーミック電極は、前記チャネル層に配設され、当該チャネル層に流れるキャリアと同一導電型を有し、かつ、前記チャネル層よりも不純物密度が高い高不純物密度領域を介在させて前記チャネル層に電氣的に接続されて

いる

前記（５）又は前記（６）に記載の半導体装置。

（８）

前記ゲート電極と他方の前記主電極とは、 100Ω 以下の抵抗値において、接続されている

前記（５）から前記（７）のいずれか１つに記載の半導体装置。

（９）

前記電界効果トランジスタは、窒化物半導体を含んで構成されている

前記（１）から前記（８）のいずれか１つに記載の半導体装置。

（１０）

前記第１端子には、直流信号が入力又は出力され、

前記第２端子には、高周波回路の動作電源電位又は基準電位が供給される

前記（１）から前記（９）のいずれか１つに記載の半導体装置。

（１１）

前記高周波回路は、パワーアンプである

前記（１０）に記載の半導体装置。

（１２）

前記マルチゲート型トランジスタは、静電気破壊保護回路を構成している

前記（１）から前記（１１）のいずれか１つに記載の半導体装置。

（１３）

半導体装置を備え、

前記半導体装置は、

一対の主電極及び一対の前記主電極間に配設されたゲート電極を有する電界効果トランジスタが、互いに前記主電極を共有して電氣的に直列に複数接続されたマルチゲート型トランジスタと、

前記マルチゲート型トランジスタの直列に接続された一端の前記電界効果トランジスタの一方の前記主電極に電氣的に接続され、信号が入力又は出力される第１端子と、

前記マルチゲート型トランジスタの直列に接続された他端の前記電界効果トランジスタの他方の前記主電極に電氣的に接続され、固定電位が供給される第2端子とを備え、

前記マルチゲート型トランジスタの少なくとも1つの前記電界効果トランジスタの前記ゲート電極が、当該電界効果トランジスタの他方の前記主電極に電氣的に接続されている半導体モジュール。

(14)

半導体装置を備え、

前記半導体装置は、

一对の主電極及び一对の前記主電極間に配設されたゲート電極を有する電界効果トランジスタが、互いに前記主電極を共有して電氣的に直列に複数接続されたマルチゲート型トランジスタと、

前記マルチゲート型トランジスタの直列に接続された一端の前記電界効果トランジスタの一方の前記主電極に電氣的に接続され、信号が入力又は出力される第1端子と、

前記マルチゲート型トランジスタの直列に接続された他端の前記電界効果トランジスタの他方の前記主電極に電氣的に接続され、固定電位が供給される第2端子とを備え、

前記マルチゲート型トランジスタの少なくとも1つの前記電界効果トランジスタの前記ゲート電極が、当該電界効果トランジスタの他方の前記主電極に電氣的に接続されている電子機器。

[0119] 本出願は、日本国特許庁において2022年8月16日に出願された日本特許出願番号2022-129573号を基礎として優先権を主張するものであり、この出願のすべての内容を参照によって本出願に援用する。

[0120] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。

請求の範囲

- [請求項1] 一対の主電極及び一対の前記主電極間に配設されたゲート電極を有する電界効果トランジスタが、互いに前記主電極を共有して電氣的に直列に複数接続されたマルチゲート型トランジスタと、
- 前記マルチゲート型トランジスタの直列に接続された一端の前記電界効果トランジスタの一方の前記主電極に電氣的に接続され、信号が入力又は出力される第1端子と、
- 前記マルチゲート型トランジスタの直列に接続された他端の前記電界効果トランジスタの他方の前記主電極に電氣的に接続され、固定電位が供給される第2端子とを備え、
- 前記マルチゲート型トランジスタの少なくとも1つの前記電界効果トランジスタの前記ゲート電極が、当該電界効果トランジスタの他方の前記主電極に電氣的に接続されている半導体装置。
- [請求項2] 前記マルチゲート型トランジスタのすべての前記電界効果トランジスタの前記ゲート電極が、当該電界効果トランジスタの他方の前記主電極に電氣的に接続されている
- 請求項1に記載の半導体装置。
- [請求項3] 前記電界効果トランジスタは、半導体層にゲート絶縁膜を介在させて前記ゲート電極を形成しているゲート絶縁型電界効果トランジスタである
- 請求項1に記載の半導体装置。
- [請求項4] 前記ゲート絶縁膜の膜厚は、酸化膜換算膜厚において、20nm以上である
- 請求項3に記載の半導体装置。
- [請求項5] 前記ゲート電極と他方の前記主電極とは、当該ゲート電極、当該主電極のそれぞれよりも小さい比抵抗値を有する配線を介在して接続されている
- 請求項1に記載の半導体装置。

- [請求項6] 他方の前記主電極と前記配線とは、オーミック接合により接続されている
- 請求項5に記載の半導体装置。
- [請求項7] 他方の前記主電極は、前記電界効果トランジスタのチャネル層に配設されたオーミック電極であり、
- 前記オーミック電極は、前記チャネル層に配設され、当該チャネル層に流れるキャリアと同一導電型を有し、かつ、前記チャネル層よりも不純物密度が高い高不純物密度領域を介在させて前記チャネル層に電氣的に接続されている
- 請求項5に記載の半導体装置。
- [請求項8] 前記ゲート電極と他方の前記主電極とは、 100Ω 以下の抵抗値において、接続されている
- 請求項5に記載の半導体装置。
- [請求項9] 前記電界効果トランジスタは、窒化物半導体を含んで構成されている
- 請求項1に記載の半導体装置。
- [請求項10] 前記第1端子には、直流信号が入力又は出力され、
- 前記第2端子には、高周波回路の動作電源電位又は基準電位が供給される
- 請求項1に記載の半導体装置。
- [請求項11] 前記高周波回路は、パワーアンプである
- 請求項10に記載の半導体装置。
- [請求項12] 前記マルチゲート型トランジスタは、静電気破壊保護回路を構成している
- 請求項1に記載の半導体装置。
- [請求項13] 半導体装置を備え、
- 前記半導体装置は、
- 一対の主電極及び一対の前記主電極間に配設されたゲート電極を有

する電界効果トランジスタが、互いに前記主電極を共有して電氣的に直列に複数接続されたマルチゲート型トランジスタと、

前記マルチゲート型トランジスタの直列に接続された一端の前記電界効果トランジスタの一方の前記主電極に電氣的に接続され、信号が入力又は出力される第1端子と、

前記マルチゲート型トランジスタの直列に接続された他端の前記電界効果トランジスタの他方の前記主電極に電氣的に接続され、固定電位が供給される第2端子とを備え、

前記マルチゲート型トランジスタの少なくとも1つの前記電界効果トランジスタの前記ゲート電極が、当該電界効果トランジスタの他方の前記主電極に電氣的に接続されている半導体モジュール。

[請求項14]

半導体装置を備え、

前記半導体装置は、

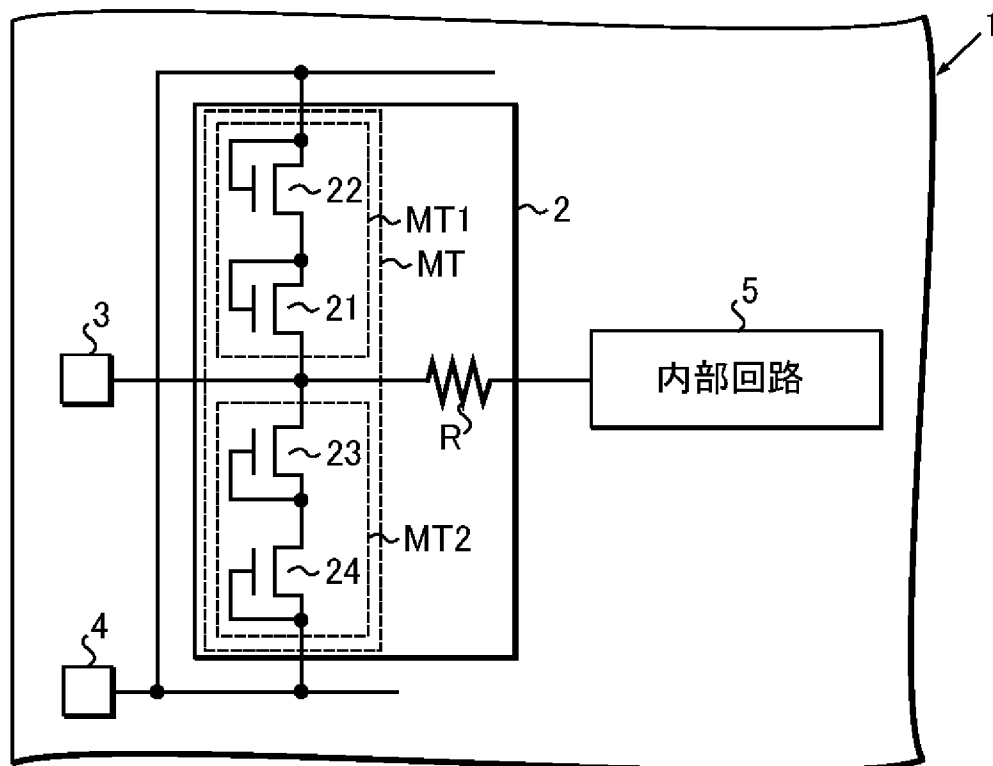
一对の主電極及び一对の前記主電極間に配設されたゲート電極を有する電界効果トランジスタが、互いに前記主電極を共有して電氣的に直列に複数接続されたマルチゲート型トランジスタと、

前記マルチゲート型トランジスタの直列に接続された一端の前記電界効果トランジスタの一方の前記主電極に電氣的に接続され、信号が入力又は出力される第1端子と、

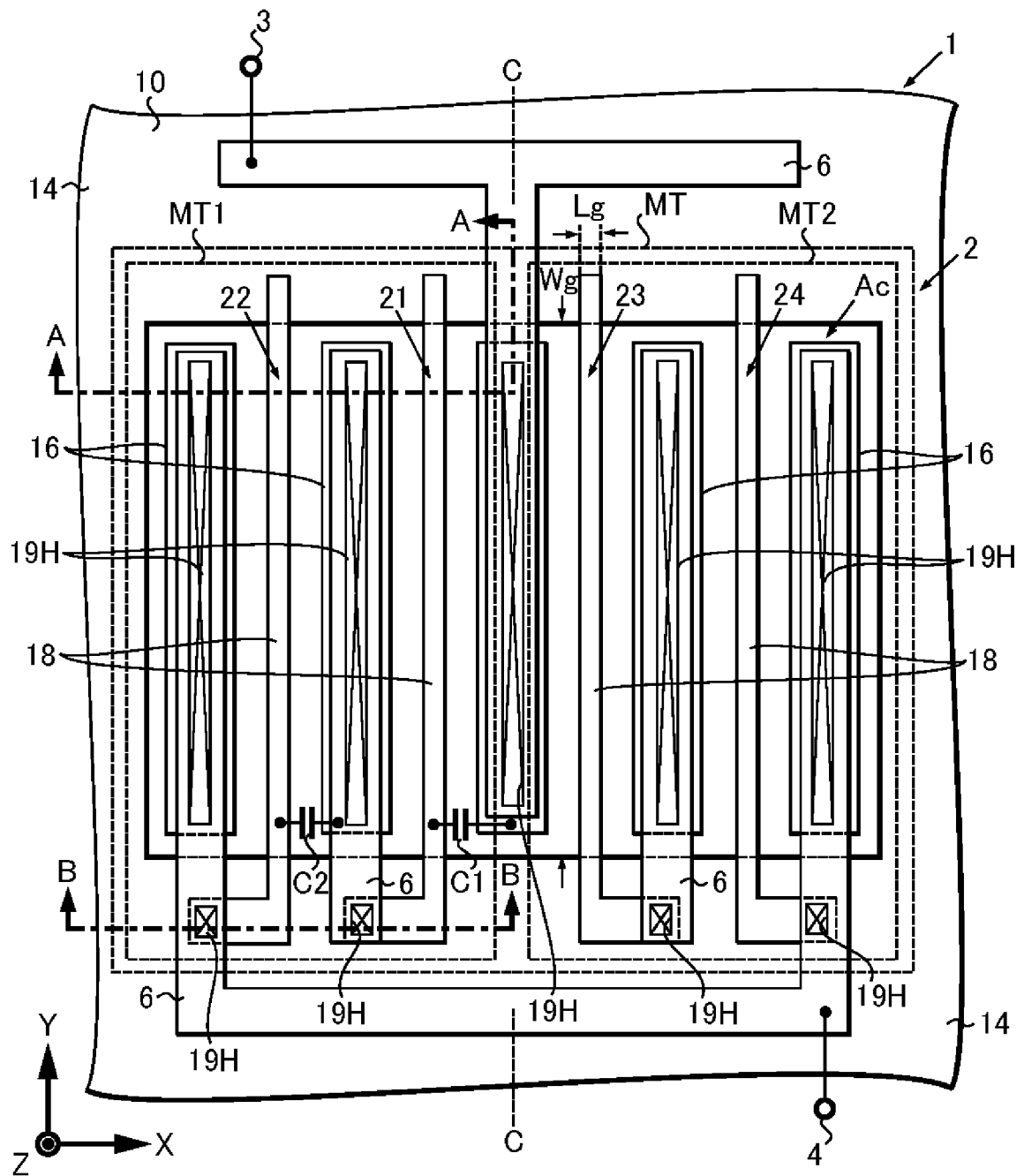
前記マルチゲート型トランジスタの直列に接続された他端の前記電界効果トランジスタの他方の前記主電極に電氣的に接続され、固定電位が供給される第2端子とを備え、

前記マルチゲート型トランジスタの少なくとも1つの前記電界効果トランジスタの前記ゲート電極が、当該電界効果トランジスタの他方の前記主電極に電氣的に接続されている電子機器。

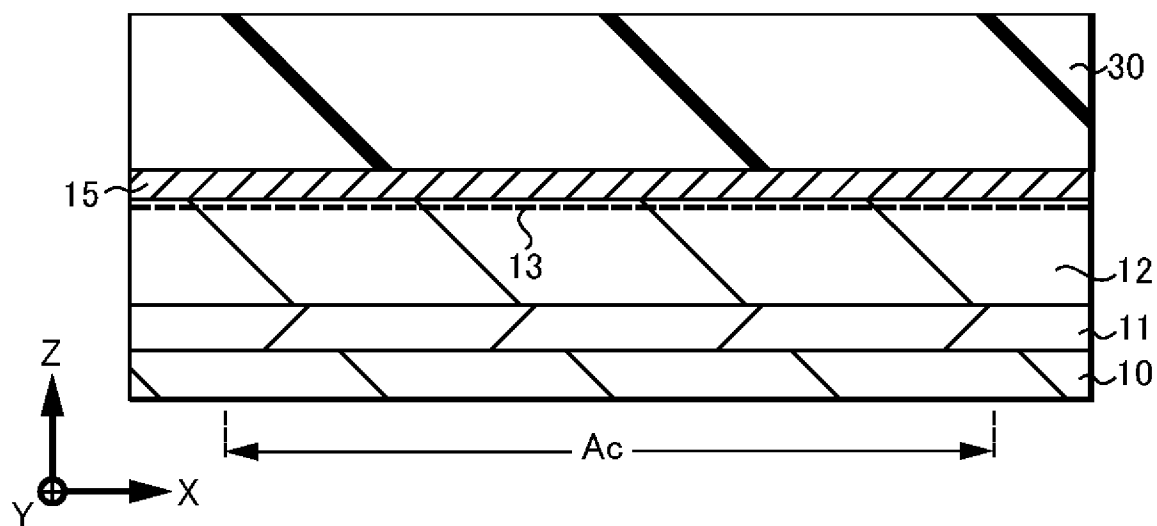
[図1]



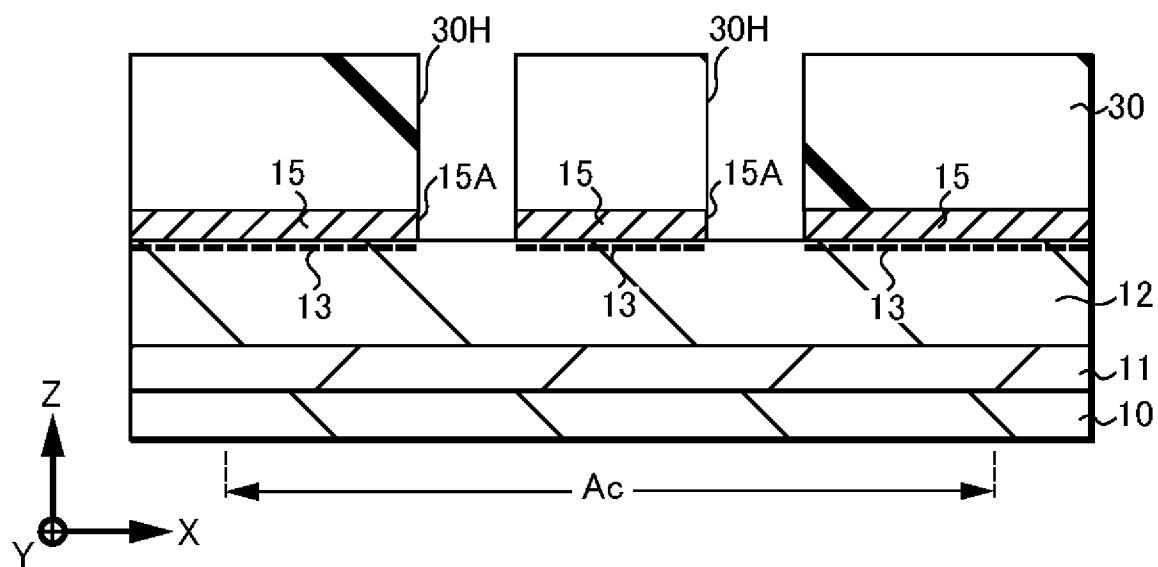
[図2]



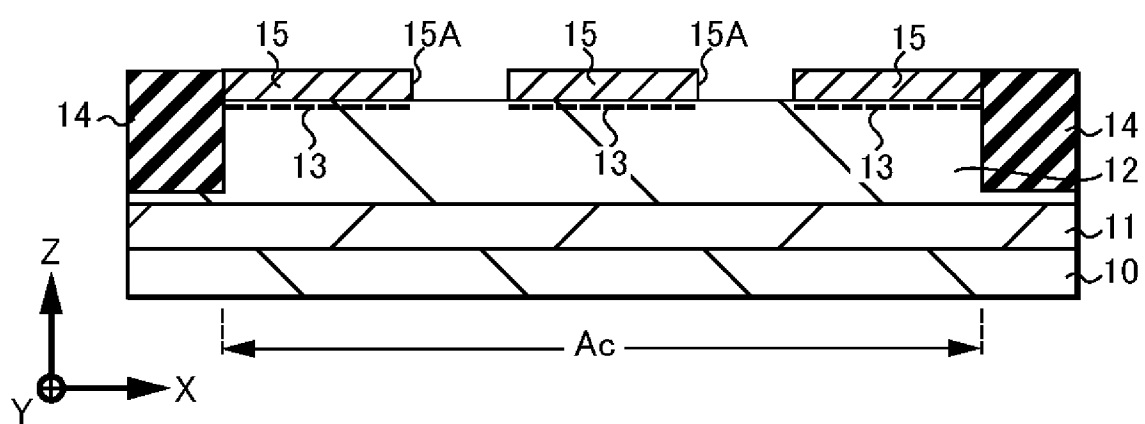
[図5]



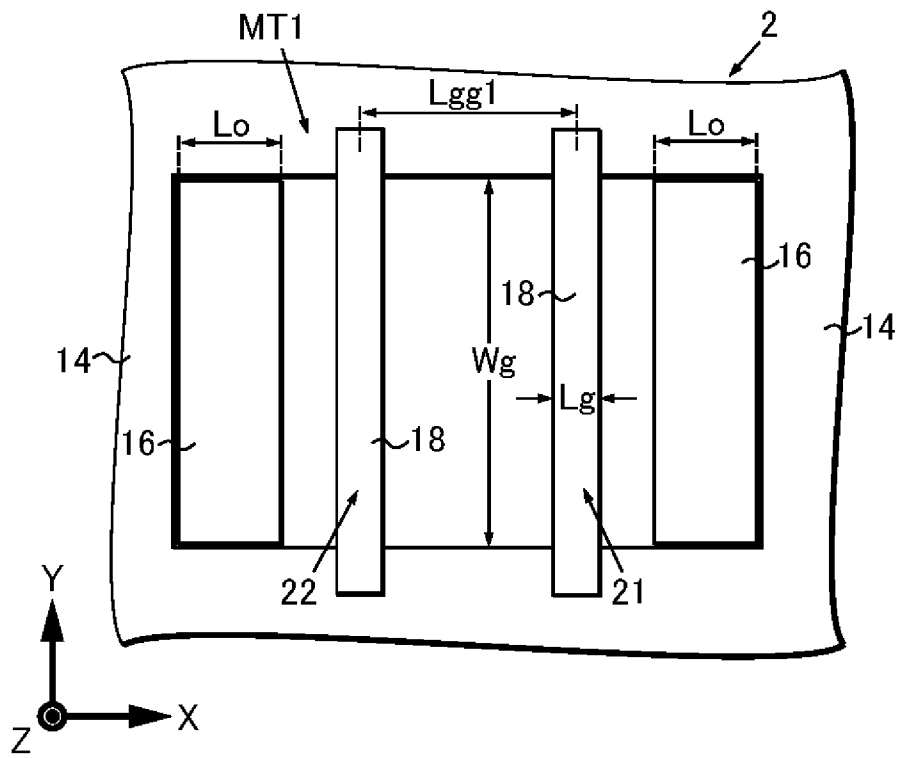
[図6]



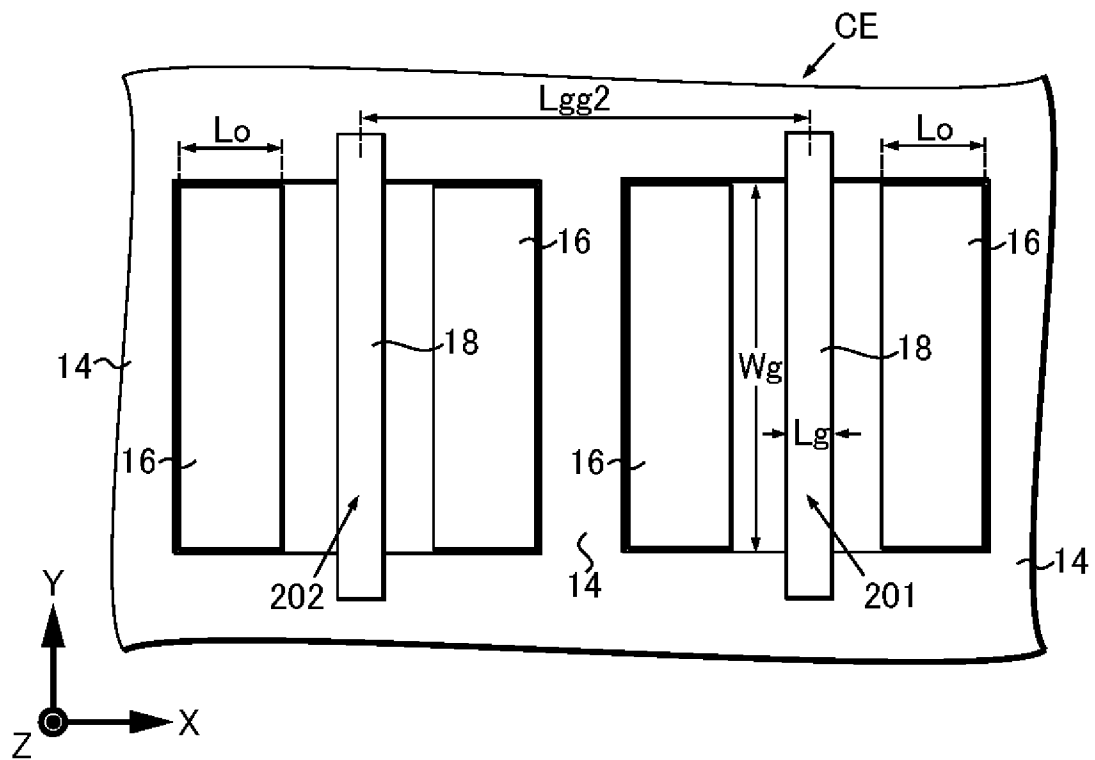
[図7]



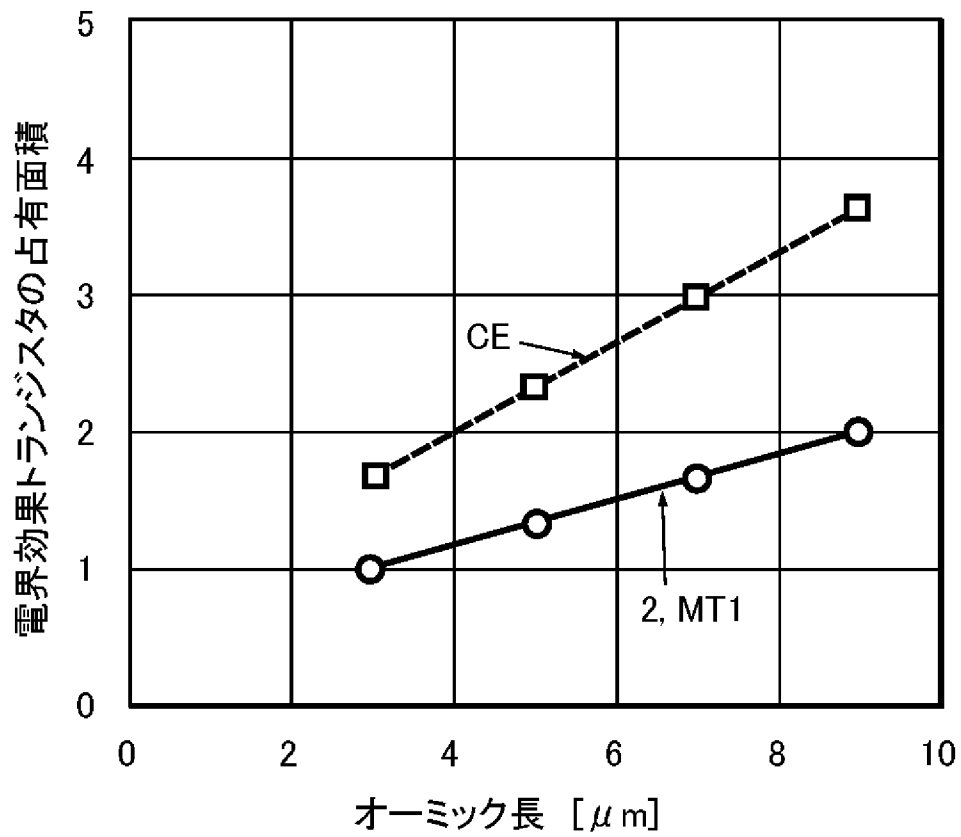
[図11]



[図12]



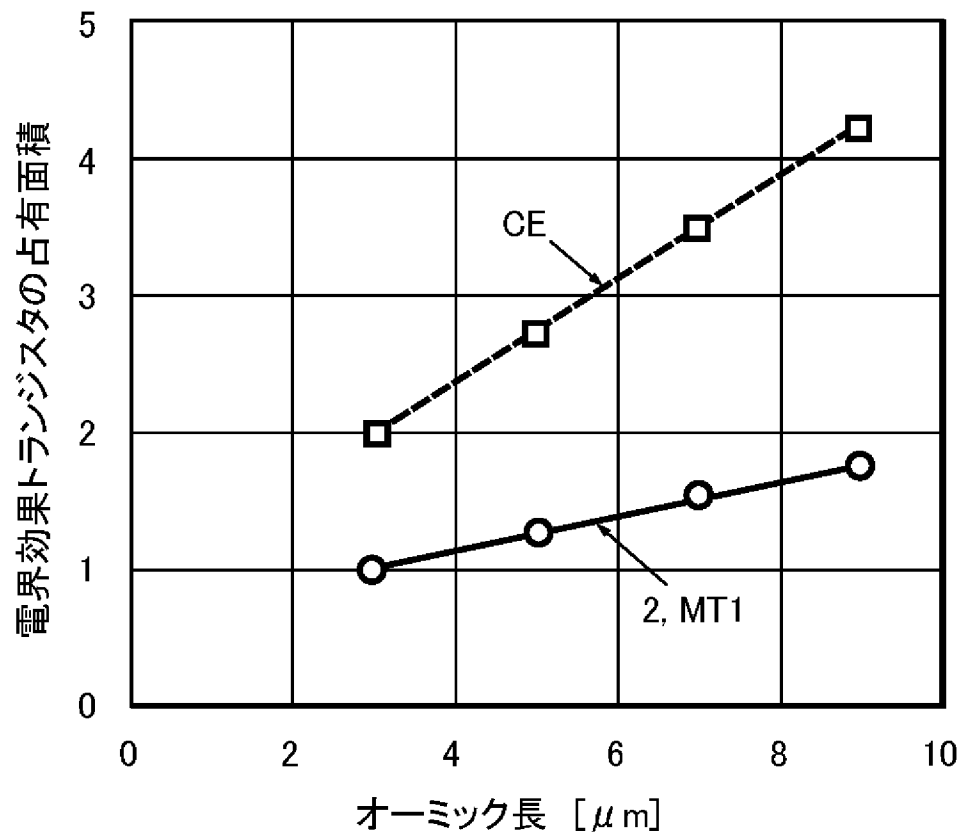
[図13]



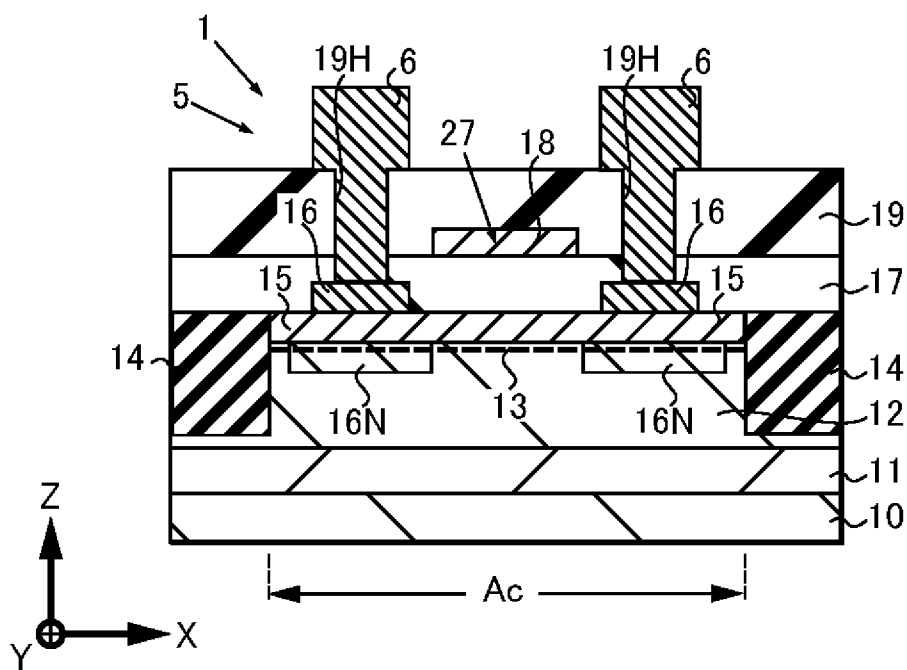
Plan view of a semiconductor device 2. The device features a series of gate electrodes 18 and semiconductor regions 16. The gate electrodes 18 are separated by a pitch L_{gg1} and have a length L_g . The semiconductor regions 16 have a length L_o . The gate width is denoted by W_g . The device is bounded by a boundary 14. A coordinate system (X, Y, Z) is shown at the bottom left. Labels include MT1, 25, 22, 21, and 16.

[illegible]

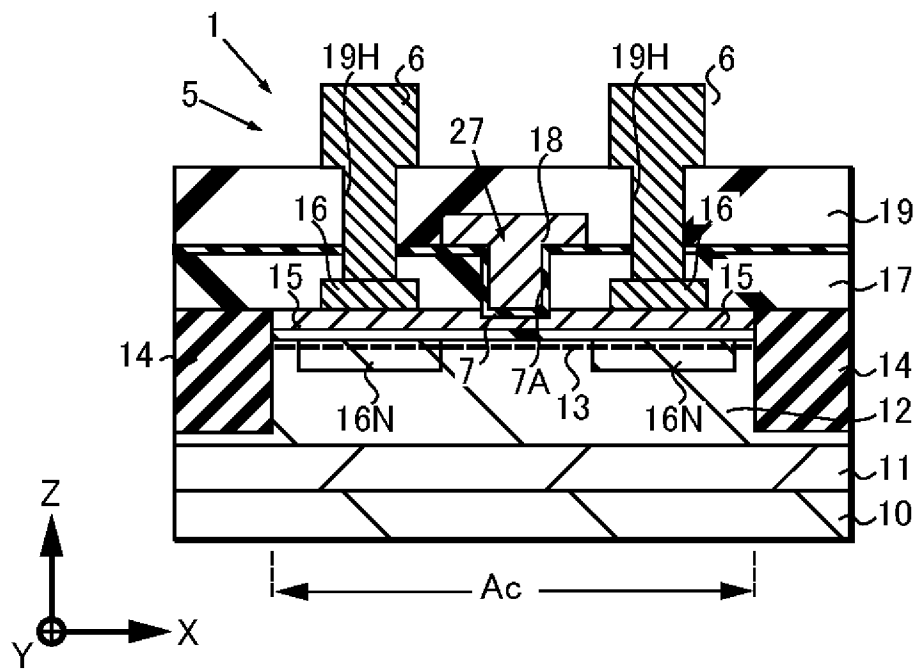
[図17]



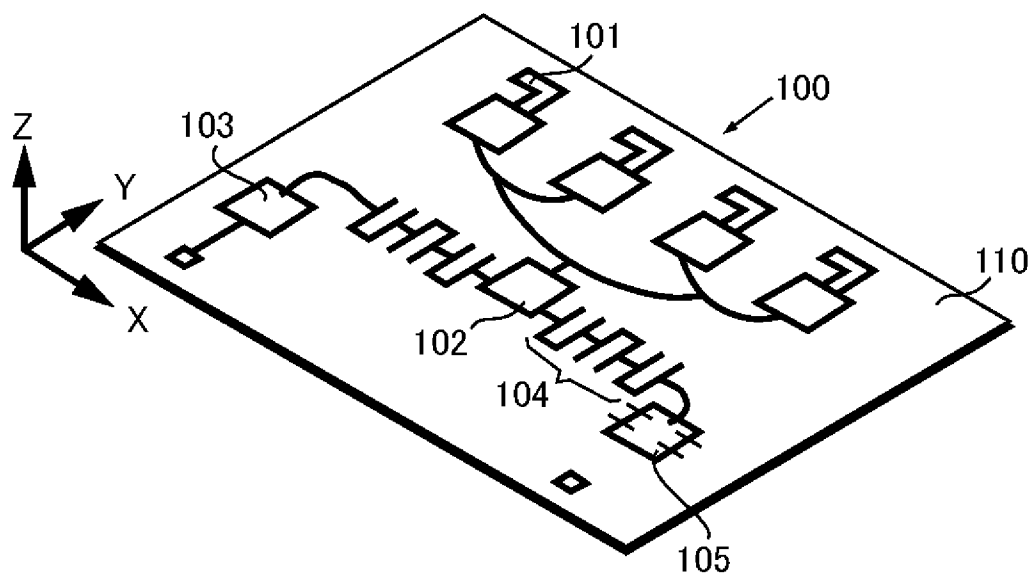
[図18]



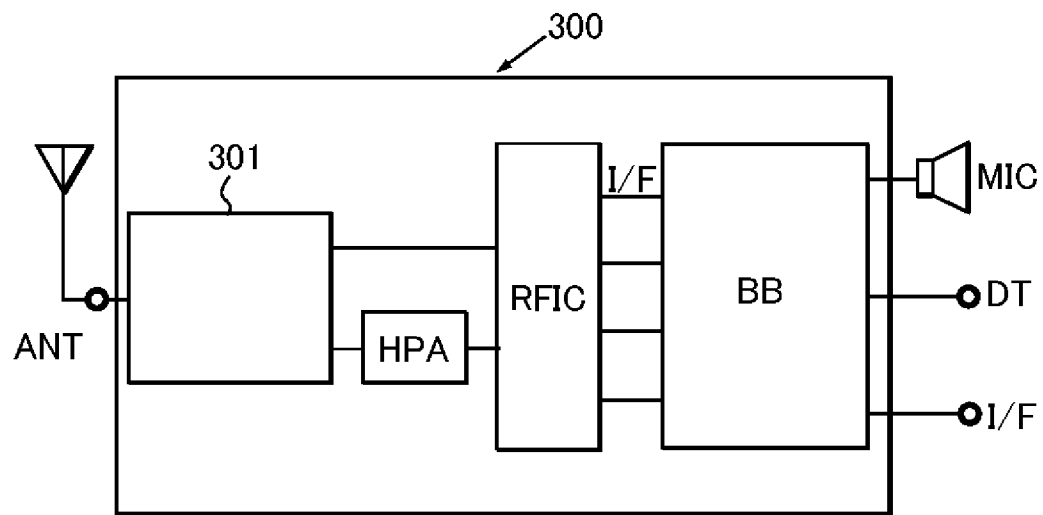
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/023897

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/088(2006.01)i; **H01L 21/336**(2006.01)i; **H01L 21/337**(2006.01)i; **H01L 21/338**(2006.01)i; **H01L 21/822**(2006.01)i; **H01L 21/8234**(2006.01)i; **H01L 27/04**(2006.01)i; **H01L 27/06**(2006.01)i; **H01L 29/778**(2006.01)i; **H01L 29/78**(2006.01)i; **H01L 29/808**(2006.01)i; **H01L 29/812**(2006.01)i

FI: H01L27/088 J; H01L29/80 P; H01L27/04 H; H01L29/80 H; H01L27/06 311Z; H01L29/78 301B; H01L29/78 301K

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L27/088; H01L21/336; H01L21/337; H01L21/338; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L29/778; H01L29/78; H01L29/808; H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2014-56972 A (RICOH CO., LTD.) 27 March 2014 (2014-03-27) paragraphs [0049], [0050], fig. 11	1-14
X	US 2013/0088801 A1 (TSAI, Fu-Yi) 11 April 2013 (2013-04-11) paragraphs [0022]-[0029], fig. 1	1-14
A	US 2018/0350797 A1 (SK HYNIX INC.) 06 December 2018 (2018-12-06)	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“&” document member of the same patent family

Date of the actual completion of the international search

01 September 2023

Date of mailing of the international search report

12 September 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/023897

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2014-56972	A	27 March 2014	(Family: none)	
US	2013/0088801	A1	11 April 2013	TW 201316479	A
US	2018/0350797	A1	06 December 2018	KR 10-2018-0131702	A
				CN 108987385	A

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 27/088(2006.01)i; H01L 21/336(2006.01)i; H01L 21/337(2006.01)i; H01L 21/338(2006.01)i; H01L 21/822(2006.01)i; H01L 21/8234(2006.01)i; H01L 27/04(2006.01)i; H01L 27/06(2006.01)i; H01L 29/778(2006.01)i; H01L 29/78(2006.01)i; H01L 29/808(2006.01)i; H01L 29/812(2006.01)i FI: H01L27/088 J; H01L29/80 P; H01L27/04 H; H01L29/80 H; H01L27/06 311Z; H01L29/78 301B; H01L29/78 301K														
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L27/088; H01L21/336; H01L21/337; H01L21/338; H01L21/822; H01L21/8234; H01L27/04; H01L27/06; H01L29/778; H01L29/78; H01L29/808; H01L29/812 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2023年													
日本国実用新案登録公報	1996 - 2023年													
日本国登録実用新案公報	1994 - 2023年													
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2014-56972 A (株式会社リコー) 27.03.2014 (2014 - 03 - 27) [0049]-[0050], 図11</td> <td>1-14</td> </tr> <tr> <td>X</td> <td>US 2013/0088801 A1 (TSAI, Fu-Yi) 11.04.2013 (2013 - 04 - 11) [0022]-[0029], 図1</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>US 2018/0350797 A1 (SK HYNIX INC.) 06.12.2018 (2018 - 12 - 06)</td> <td>1-14</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2014-56972 A (株式会社リコー) 27.03.2014 (2014 - 03 - 27) [0049]-[0050], 図11	1-14	X	US 2013/0088801 A1 (TSAI, Fu-Yi) 11.04.2013 (2013 - 04 - 11) [0022]-[0029], 図1	1-14	A	US 2018/0350797 A1 (SK HYNIX INC.) 06.12.2018 (2018 - 12 - 06)	1-14
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2014-56972 A (株式会社リコー) 27.03.2014 (2014 - 03 - 27) [0049]-[0050], 図11	1-14												
X	US 2013/0088801 A1 (TSAI, Fu-Yi) 11.04.2013 (2013 - 04 - 11) [0022]-[0029], 図1	1-14												
A	US 2018/0350797 A1 (SK HYNIX INC.) 06.12.2018 (2018 - 12 - 06)	1-14												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td> * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 </td> <td> “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 </td> </tr> </table>			* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献													
国際調査を完了した日 01.09.2023		国際調査報告の発送日 12.09.2023												
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 鈴木 聡一郎 5F 3864 電話番号 03-3581-1101 内線 3516												

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/023897

引用文献			公表日	パテントファミリー文献			公表日
JP	2014-56972	A	27.03.2014	(ファミリーなし)			
US	2013/0088801	A1	11.04.2013	TW	201316479	A	
US	2018/0350797	A1	06.12.2018	KR	10-2018-0131702	A	
				CN	108987385	A	