



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0128445
(43) 공개일자 2020년11월12일

<p>(51) 국제특허분류(Int. Cl.) H01L 21/02 (2006.01) H01J 37/32 (2006.01) H01L 21/324 (2017.01) H05H 1/46 (2006.01)</p> <p>(52) CPC특허분류 H01L 21/02274 (2013.01) H01J 37/32009 (2013.01)</p> <p>(21) 출원번호 10-2020-7031432</p> <p>(22) 출원일자(국제) 2019년04월01일 심사청구일자 없음</p> <p>(85) 번역문제출일자 2020년10월30일</p> <p>(86) 국제출원번호 PCT/US2019/025227</p> <p>(87) 국제공개번호 WO 2019/195188 국제공개일자 2019년10월10일</p> <p>(30) 우선권주장 201841012612 2018년04월03일 인도(IN)</p>	<p>(71) 출원인 어플라이드 머티어리얼스, 인코포레이티드 미국 95054 캘리포니아 산타 클라라 바우어스 애브뉴 3050</p> <p>(72) 발명자 장, 시시 미국 95051 캘리포니아 산타클라라 타마라크 레인 3765 #107 만나, 프라미트 미국 94086 캘리포니아 서니베일 웨스트 워싱턴 애비뉴 299 #421 (뒷면에 계속)</p> <p>(74) 대리인 특허법인 남앤남</p>
--	--

전체 청구항 수 : 총 15 항

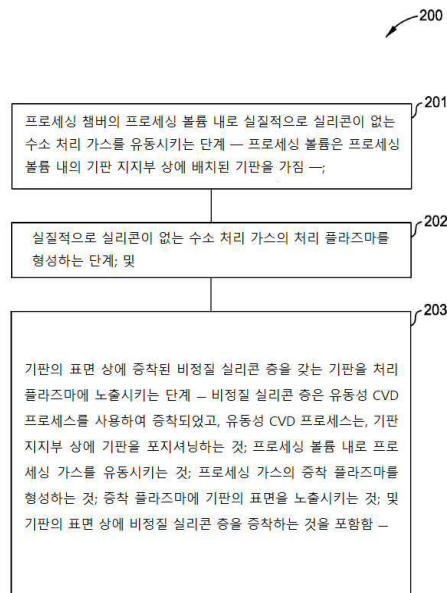
(54) 발명의 명칭 H2 플라즈마를 사용하는 유동성 막 경화

(57) 요약

본원의 실시예들은 FCVD(flowable chemical vapor deposition) 프로세스를 사용하여 증착된 비정질 실리콘 층을 플라즈마 처리하는 방법들을 제공한다. 일 실시예에서, 기판을 프로세싱하는 방법은, 프로세싱 챔버의 프로세싱 볼륨 내로 실질적으로 실리콘이 없는 수소 처리 가스를 유동시키는 것 - 프로세싱 볼륨은 프로세싱 볼륨 내의

(뒷면에 계속)

대표도 - 도2



기판 지지부 상에 배치된 기판을 가짐 - , 실질적으로 실리콘이 없는 수소 처리 가스의 처리 플라즈마를 형성하는 것, 및 기판의 표면 상에 증착된 비정질 실리콘 층을 갖는 기판을 처리 플라즈마에 노출시키는 것에 의해, 비정질 실리콘 층을 플라즈마 처리하는 단계를 포함한다. 여기서, 비정질 실리콘 층은 FCVD 프로세스를 사용하여 증착된다. FCVD 프로세스는, 기판 지지부 상에 기판을 포지셔닝하는 것, 프로세싱 볼륨 내로 프로세싱 가스를 유동시키는 것, 프로세싱 가스의 증착 플라즈마를 형성하는 것, 증착 플라즈마에 기판의 표면을 노출시키는 것, 및 기판의 표면 상에 비정질 실리콘 층을 증착하는 것을 포함한다.

(52) CPC특허분류

H01L 21/02164 (2013.01)

H01L 21/02315 (2013.01)

H01L 21/02592 (2013.01)

H01L 21/324 (2013.01)

H05H 1/46 (2013.01)

(72) 발명자

말릭, 아비지트 바수

미국 94539 캘리포니아 프리몬트 마스터스 코트
47863

세스, 수레시 찬드

인도 400078 뭄바이 반두프 웨스트 엘비에스 로드
마하비르 유니버시티 플랫 넘버 비2402

네마니, 스리니바스 디.

미국 94087 캘리포니아 서니베일 편 리지 코트 504

명세서

청구범위

청구항 1

기판을 프로세싱하는 방법으로서,

비정질 실리콘 층을 플라즈마 처리하는 단계를 포함하며,

상기 비정질 실리콘 층을 플라즈마 처리하는 단계는,

프로세싱 챔버의 프로세싱 볼륨 내로 실질적으로 실리콘이 없는 수소 처리 가스를 유동시키는 단계 - 상기 프로세싱 볼륨은 상기 프로세싱 볼륨 내의 기판 지지부 상에 배치된 기판을 가짐 -;

상기 실질적으로 실리콘이 없는 수소 처리 가스의 처리 플라즈마를 형성하는 단계; 및

기판의 표면 상에 증착된 비정질 실리콘 층을 갖는 상기 기판을 상기 처리 플라즈마에 노출시키는 단계를 포함하고,

상기 비정질 실리콘 층은 FCVD 프로세스를 사용하여 증착되었고,

상기 FCVD 프로세스는,

상기 기판 지지부 상에 상기 기판을 포지셔닝하는 것;

상기 프로세싱 볼륨 내로 프로세싱 가스를 유동시키는 것;

상기 프로세싱 가스의 증착 플라즈마를 형성하는 것;

상기 증착 플라즈마에 상기 기판의 표면을 노출시키는 것; 및

상기 기판의 표면 상에 상기 비정질 실리콘 층을 증착하는 것을 포함하는,

기판을 프로세싱하는 방법.

청구항 2

제1 항에 있어서,

상기 처리 플라즈마는 기판 표면적에 대한 약 0.10 W/cm^2 내지 약 1 W/cm^2 의 RF 전력으로 전극과 상기 실질적으로 실리콘이 없는 수소 처리 가스를 용량성 커플링시킴으로써 형성되는,

기판을 프로세싱하는 방법.

청구항 3

제1 항에 있어서,

상기 비정질 실리콘 층을 플라즈마 처리하는 단계는, 약 1 mTorr 내지 약 2 Torr의 압력으로 상기 프로세싱 볼륨을 유지하는 단계를 포함하는,

기판을 프로세싱하는 방법.

청구항 4

제1 항에 있어서,

상기 수소 처리 가스에는 실질적으로 실리콘이 없고 실질적으로 산소가 없는,

기판을 프로세싱하는 방법.

청구항 5

제1 항에 있어서,
 상기 기판을 프로세싱하는 것은, 약 -100 °C 내지 약 100 °C의 온도로 상기 기판을 유지하는 것을 더 포함하는,
 기판을 프로세싱하는 방법.

청구항 6

제1 항에 있어서,
 상기 실질적으로 실리콘이 없는 수소 처리 가스는 H₂ 및 불활성 가스를 포함하는,
 기판을 프로세싱하는 방법.

청구항 7

제1 항에 있어서,
 상기 비정질 실리콘 층을 플라즈마 처리하는 단계는, 약 10초 초과 동안 상기 처리 플라즈마에 상기 기판을 노출시키는 단계를 포함하는,
 기판을 프로세싱하는 방법.

청구항 8

제1 항에 있어서,
 상기 프로세싱 가스는, 실란(SiH₄), 디실란(Si₂H₆), 트리실란(Si₃H₈) 및 테트라실란(Si₄H₁₀), 네오펜타실란(NPS), 및 시클로헥사실란들로 구성된 그룹으로부터 선택되는 하나 이상의 실리콘 전구체들을 포함하는,
 기판을 프로세싱하는 방법.

청구항 9

제6 항에 있어서,
 상기 H₂ 대 상기 불활성 가스의 비율은 약 1:10 내지 약 5:1인,
 기판을 프로세싱하는 방법.

청구항 10

제7 항에 있어서,
 불활성 가스는 Ar인,
 기판을 프로세싱하는 방법.

청구항 11

제8 항에 있어서,
 상기 프로세싱 가스에는 실질적으로 질소가 없는 것과 실질적으로 산소가 없는 것 중 하나 또는 둘 모두인,
 기판을 프로세싱하는 방법.

청구항 12

기판을 프로세싱하는 방법으로서,
 약 -100 °C 내지 약 100 °C의 온도로 상기 기판을 유지하는 단계;
 비정질 실리콘 층을 증착하는 단계; 및

상기 비정질 실리콘 층을 플라즈마 처리하는 단계
를 포함하며,

상기 비정질 실리콘 층을 증착하는 단계는,

프로세싱 볼륨에 배치된 기판 지지부 상에 상기 기판을 포지셔닝하는 단계;

상기 프로세싱 볼륨 내로 프로세싱 가스를 유동시키는 단계 - 상기 프로세싱 가스에는 실질적으로 산소가 없고 실질적으로 질소가 없음 -;

약 300 W 미만의 RF 또는 다른 AC 주파수 전력으로 전극과 상기 프로세싱 가스를 용량성 커플링시킴으로써, 상기 프로세싱 가스의 증착 플라즈마를 형성하는 단계;

상기 증착 플라즈마에 상기 기판의 표면을 노출시키는 단계; 및

상기 기판의 표면 상에 상기 비정질 실리콘 층을 증착하는 단계
를 포함하고,

상기 비정질 실리콘 층을 플라즈마 처리하는 단계는,

상기 프로세싱 볼륨 내로 처리 가스를 유동시키는 단계 - 상기 처리 가스는 약 1:10 내지 약 5:1의 비율로 H₂ 및 불활성 가스를 포함하고, 상기 처리 가스에는 실질적으로 실리콘이 없고 실질적으로 산소가 없음 -;

약 100 W 내지 약 500 W의 RF 전력으로 전극과 상기 처리 가스를 용량성 커플링시킴으로써, 상기 처리 가스의 처리 플라즈마를 형성하는 단계; 및

약 10초 초과와 지속기간 동안 상기 처리 플라즈마에 상기 비정질 실리콘 층을 노출시키는 단계
를 포함하는,

기판을 프로세싱하는 방법.

청구항 13

제12 항에 있어서,

상기 비정질 실리콘 층을 플라즈마 처리하기 전에, 상기 프로세싱 볼륨을 퍼징(purging)하는 단계를 더 포함하
며,

상기 비정질 실리콘 층을 플라즈마 처리하기 전에, 상기 프로세싱 볼륨을 퍼징하는 단계는,

상기 프로세싱 가스의 유동을 중단하는 단계;

상기 증착 플라즈마를 소멸(extinguish)시키는 단계;

상기 프로세싱 볼륨 내로 퍼지 가스를 유동시키는 단계; 및

상기 비정질 실리콘 층을 플라즈마 처리하기 전에, 상기 프로세싱 볼륨으로부터 상기 퍼지 가스를 진공배기
(evacuate)시키는 단계

를 포함하는,

기판을 프로세싱하는 방법.

청구항 14

제12 항에 있어서,

상기 비정질 실리콘 층을 증착하는 단계와 상기 비정질 실리콘 층을 플라즈마 처리하는 단계의 복수의 순차적인
사이클들을 더 포함하는,

기판을 프로세싱하는 방법.

청구항 15

기판을 프로세싱하는 방법으로서,
 약 -100 °C 내지 약 100 °C의 온도로 상기 기판을 유지하는 단계;
 비정질 실리콘 층을 증착하는 단계;
 프로세싱 볼륨을 퍼징하는 단계; 및
 상기 비정질 실리콘 층을 플라즈마 처리하는 단계
 를 포함하며,
 상기 비정질 실리콘 층을 증착하는 단계는,
 상기 프로세싱 볼륨에 배치된 기판 지지부 상에 기판을 포지셔닝하는 단계;
 상기 프로세싱 볼륨 내로 프로세싱 가스를 유동시키는 단계 - 상기 프로세싱 가스에는 실질적으로 산소가 없고 실질적으로 질소가 없음 -;
 약 300 W 미만의 RF 또는 다른 AC 주파수 전력으로 전극과 상기 프로세싱 가스를 용량성 커플링시킴으로써, 상기 프로세싱 가스의 증착 플라즈마를 형성하는 단계;
 상기 증착 플라즈마에 상기 기판의 표면을 노출시키는 단계; 및
 상기 기판의 표면 상에 상기 비정질 실리콘 층을 증착하는 단계
 를 포함하고,
 상기 프로세싱 볼륨을 퍼징하는 단계는,
 상기 프로세싱 가스의 유동을 중단하는 단계;
 상기 증착 플라즈마를 소멸시키는 단계;
 상기 프로세싱 볼륨 내로 퍼지 가스를 유동시키는 단계; 및
 상기 비정질 실리콘 층을 플라즈마 처리하기 전에, 상기 프로세싱 볼륨으로부터 상기 퍼지 가스를 진공배기시키는 단계
 를 포함하고,
 상기 비정질 실리콘 층을 플라즈마 처리하는 단계는,
 상기 프로세싱 볼륨 내로 처리 가스를 유동시키는 단계 - 상기 처리 가스는 약 1:10 내지 약 5:1의 비율로 H₂ 및 불활성 가스를 포함하고, 상기 처리 가스에는 실질적으로 실리콘이 없고 실질적으로 산소가 없음 -;
 약 100 W 내지 약 500 W의 RF 또는 다른 AC 주파수 전력으로 전극에 용량성 커플링시킴으로써, 상기 처리 가스의 처리 플라즈마를 형성하는 단계; 및
 약 10초 초과와 지속기간 동안 상기 처리 플라즈마에 상기 비정질 실리콘 층을 노출시키는 단계
 를 포함하는,
 기판을 프로세싱하는 방법.

발명의 설명

기술 분야

[0001] 본원에서 설명되는 실시예들은 일반적으로 반도체 디바이스 제조의 분야에 관한 것으로, 더 구체적으로, FCVD(flowable chemical vapor deposition) 프로세스를 사용하여 증착된 비정질 실리콘 층을 인-시튜(in-situ) 플라즈마 처리하는 방법들에 관한 것이다.

배경 기술

[0002] 본원에서 설명되는 실시예들은 일반적으로 반도체 디바이스 제조의 분야에 관한 것으로, 더 구체적으로,

FCVD(flowable chemical vapor deposition) 프로세스를 사용하여 증착된 비정질 실리콘 층을 인-시튜 플라즈마 처리하는 방법들에 관한 것이다.

[0003] a-Si(amorphous silicon)는, 희생 재료, 예컨대 더미 게이트 재료로서, 또는 트렌치 충전(fill) 재료, 예컨대 트렌치 커패시터 재료로서 사용되는 것을 포함하여, 반도체 디바이스 제조에서 광범위하게 사용된다. 통상적으로 증착되는 a-Si는 일반적으로 등각적(conformal)이며, 이는 통상적으로 증착되는 a-Si가 기판 표면 상의 또는 기판 표면에 형성된 개구들의 표면들 상의 피처(feature)들에 걸쳐 균일한 증착 두께를 갖는 것을 의미한다. 통상적으로 증착되는 a-Si의 등각적인 성질은 통상적으로 증착되는 a-Si로 형성되는 피처들에 심(seam)들 또는 공극들의 바람직하지 않은 형성을 초래할 수 있다. 예컨대, 심들은, 이를테면 더미 게이트의 형성 동안, 개구의 하나 초과 수직 표면 상에 증착되는 a-Si의 층들이 개구의 중앙에서 만나는 경우 형성될 수 있다. 이러한 바람직하지 않은 심들은 후속 기판 프로세싱 동안 개방될 수 있고, a-Si 피처들의 구조적 장애(structural failure)를 야기할 수 있다. 다른 예에서, 공극들은, 통상적으로 증착되는 등각적인 a-Si 재료가 트렌치를 완전히 충전하기 전에, 통상적으로 증착되는 등각적인 a-Si가 트렌치 내에 개구들을 펀치 오프(pinche off)할 때, 고 종횡비 트렌치들에 형성될 수 있다. 심들과 마찬가지로, 공극들은 후속 기판 프로세싱 동안 노출될 수 있고 그리고/또는 디바이스 성능 또는 디바이스 기능성에 악영향을 미칠 수 있다.

[0004] FCVD a-Si 증착 프로세스들은, 심이 없고 공극이 없는 피처들이 요구되는 애플리케이션들에서, 종래의 a-Si 증착 프로세스들에 비해 유리하다. 불행하게도, FCVD 프로세스들을 사용하여 증착되는 a-Si(이하, 유동성 a-Si)는 바람직하지 않게, 통상적으로 증착되는 a-Si보다 밀도가 더 낮고 물리적으로 더 연질이고, 그에 따라, 막의 경도의 증가 및 고밀화를 위해 추가적인 프로세싱(예컨대, 경화)을 요구한다. UV 경화와 같은 종래의 경화 방법들은, 증착과 경화 사이의 상이한 프로세싱 온도 요건들 및 웨이퍼 전이 및 온도 안정화 요건들로 인해, FCVD a-Si 층을 증착하는 데 사용되는 FCVD 프로세싱 챔버에 추가하여 하나 이상의 프로세싱 챔버들을 요구하고, 그에 따라, 시간 소모적이고 장비 집약적이다. 추가로, UV 경화는, 이를테면, 증착 직후 부피의 최대 70 부피%의 수축과 같은, 유동성 a-Si 막들의 상당한 수축을 초래할 수 있으며, 이는, a-Si 충전 재료의 수축이 a-Si 충전 재료로 형성된 피처들에 바람직하지 않은 공극들을 초래하게 될 갭 충전 애플리케이션들에서 특히 바람직하지 않다.

[0005] 따라서, FCVD 프로세스를 사용하여 증착된 a-Si 층들을 경화시키는 개선된 방법들이 본 기술 분야에서 필요하다.

발명의 내용

[0006] 본원에서 설명되는 실시예들은 일반적으로 반도체 디바이스 제조의 분야에 관한 것으로, 더 구체적으로, FCVD(flowable chemical vapor deposition) 프로세스를 사용하여 증착된 a-Si(amorphous silicon) 층들(이하, 유동성 a-Si 층들)을 플라즈마 처리하는 방법들에 관한 것이다.

[0007] 일 실시예에서, 기판을 프로세싱하는 방법은 비정질 실리콘 층을 플라즈마 처리하는 단계를 포함한다. 비정질 실리콘 층을 플라즈마 처리하는 단계는, 프로세싱 챔버의 프로세싱 볼륨 내로 실질적으로 실리콘이 없는 수소 처리 가스를 유동시키는 단계 - 프로세싱 볼륨은 프로세싱 볼륨 내의 기판 지지부 상에 배치된 기판을 가짐 -; 실질적으로 실리콘이 없는 수소 처리 가스의 처리 플라즈마를 형성하는 단계; 및 기판의 표면 상에 증착된 비정질 실리콘 층을 갖는 기판을 처리 플라즈마에 노출시키는 단계를 포함한다. 여기서, 비정질 실리콘 층은 FCVD 프로세스를 사용하여 증착된다. FCVD 프로세스는, 기판 지지부 상에 기판을 포지셔닝하는 것; 프로세싱 볼륨 내로 프로세싱 가스를 유동시키는 것; 프로세싱 가스의 증착 플라즈마를 형성하는 것; 증착 플라즈마에 기판의 표면을 노출시키는 것; 및 기판의 표면 상에 비정질 실리콘 층을 증착하는 것을 포함한다.

[0008] 다른 실시예에서, 기판을 프로세싱하는 방법은, 약 -100 °C 내지 약 100 °C의 온도로 기판을 유지하는 단계; 비정질 실리콘 층을 증착하는 단계; 및 비정질 실리콘 층을 플라즈마 처리하는 단계를 포함한다. 비정질 실리콘 층을 증착하는 단계는, 프로세싱 볼륨에 배치된 기판 지지부 상에 기판을 포지셔닝하는 단계; 프로세싱 볼륨 내로 프로세싱 가스를 유동시키는 단계; 약 300 W 미만의 RF 또는 다른 AC 주파수 전력으로 전극과 프로세싱 가스를 용량성 커플링시킴으로써, 프로세싱 가스의 증착 플라즈마를 형성하는 단계; 증착 플라즈마에 기판의 표면을 노출시키는 단계; 및 기판의 표면 상에 비정질 실리콘 층을 증착하는 단계를 포함한다. 여기서, 프로세싱 가스에는 실질적으로 산소가 없고 실질적으로 질소가 없다. 비정질 실리콘 층을 플라즈마 처리하는 단계는, 프로세싱 볼륨 내로 처리 가스를 유동시키는 단계; 약 100 W 내지 약 500 W의 RF 또는 다른 AC 주파수 전력으로 전극과 프로세싱 가스를 용량성 커플링시킴으로써, 처리 가스의 처리 플라즈마를 형성하는 단계; 및 약 10초 초과 지속기간 동안 처리 플라즈마에 비정질 실리콘 층을 노출시키는 단계를 포함한다. 여기서, 처리 가스는

약 1:10 내지 약 5:1의 비율로 H₂ 및 불활성 가스를 포함하고, 처리 가스에는 실질적으로 실리콘이 없고 실질적으로 산소가 없다.

[0009] 다른 실시예에서, 기판을 프로세싱하는 방법은, 약 -100 °C 내지 약 100 °C의 온도로 기판을 유지하는 단계; 비정질 실리콘 층을 증착하는 단계; 프로세싱 볼륨으로부터 프로세싱 가스를 퍼징(purging)하는 단계; 및 비정질 실리콘 층을 플라즈마 처리하는 단계를 포함한다. 비정질 실리콘 층을 증착하는 단계는, 프로세싱 볼륨에 배치된 기판 지지부 상에 기판을 포지셔닝하는 단계; 프로세싱 볼륨 내로 프로세싱 가스를 유동시키는 단계 - 프로세싱 가스에는 실질적으로 산소가 없고 실질적으로 질소가 없음 -; 약 300 W 미만의 RF 또는 다른 AC 주파수 전력으로 전극과 프로세싱 가스를 용량성 커플링시킴으로써, 프로세싱 가스의 증착 플라즈마를 형성하는 단계; 증착 플라즈마에 기판의 표면을 노출시키는 단계; 및 기판의 표면 상에 비정질 실리콘 층을 증착하는 단계를 포함한다. 프로세싱 볼륨을 퍼징하는 단계는, 프로세싱 가스의 유동을 중단하는 단계; 증착 플라즈마를 소멸(extinguish)시키는 단계; 프로세싱 볼륨 내로 퍼지 가스를 유동시키는 단계; 및 비정질 실리콘 층을 플라즈마 처리하기 전에, 프로세싱 볼륨으로부터 퍼지 가스를 진공배기(evacuate)시키는 단계를 포함한다. 비정질 실리콘 층을 플라즈마 처리하는 단계는, 프로세싱 볼륨 내로 처리 가스를 유동시키는 단계 - 처리 가스는 약 1:10 내지 약 5:1의 비율로 H₂ 및 불활성 가스를 포함하고, 처리 가스에는 실질적으로 실리콘이 없고 실질적으로 산소가 없음 -; 약 100 W 내지 약 500 W의 RF 또는 다른 AC 주파수 전력으로 전극에 용량성 커플링시킴으로써, 처리 가스의 처리 플라즈마를 형성하는 단계; 및 약 10초 초과의 지속기간 동안 처리 플라즈마에 비정질 실리콘 층을 노출시키는 단계를 포함한다.

도면의 간단한 설명

[0010] [0009] 본 개시내용의 상기 열거된 특징들이 상세히 이해될 수 있는 방식으로, 앞서 간략히 요약된 본 개시내용의 보다 구체적인 설명이 실시예들을 참조로 하여 이루어질 수 있는데, 이러한 실시예들의 일부는 첨부된 도면들에 예시되어 있다. 그러나, 첨부된 도면들은 본 개시내용의 단지 전형적인 실시예들을 예시하는 것이므로 본 개시내용의 범위를 제한하는 것으로 간주되지 않아야 한다는 것이 주목되어야 하는데, 이는 본 개시내용이 다른 균등하게 유효한 실시예들을 허용할 수 있기 때문이다.

[0010] 도 1은 일 실시예에 따른, 본원에서 제시되는 방법들을 실시하기 위해 사용되는 예시적인 프로세싱 챔버의 개략적인 단면도이다.

[0011] 도 2는 일 실시예에 따른, 비정질 실리콘 층을 플라즈마 처리하는 방법의 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0011] [0012] 본원에서 설명되는 실시예들은 일반적으로 반도체 디바이스 제조의 분야에 관한 것으로, 더 구체적으로, FCVD(flowable chemical vapor deposition) 프로세스를 사용하여 증착된 a-Si(amorphous silicon) 층들(이하, 유동성 a-Si 층들)을 플라즈마 처리하는 방법들에 관한 것이다.

[0012] [0013] FCVD 프로세스를 사용하여 a-Si를 증착하는 것은 유리하게, 고 종횡비 개구들의 공극이 없는 충전 및 심지어 없는 피쳐들의 형성을 제공한다. 그러나, FCVD 프로세스를 사용하여 증착되는 a-Si는 전형적으로, 약 30 at.% 초과와 같은 높은 수소 함유량을 포함하며, 이는 더 낮은 수소 함유량을 갖는 통상적으로 증착되는 a-Si 막들과 비교할 때 더 낮은 막 밀도 및 막 품질을 바람직하지 않게 초래한다. 따라서, 본원의 방법들은, 유동성 a-Si 층을 증착하는 데 사용된 프로세싱 챔버와 동일한 프로세싱 챔버에서 인 시튜 플라즈마에 유동성 a-Si 층들을 노출시킴으로써, 유동성 a-Si 층들을 플라즈마 처리하는 것을 제공한다. 본원의 플라즈마 처리는 유동성 a-Si 막들의 Si-H 결합들을 파괴시켜서, dangling 결합들을 갖는 Si가 Si-Si 결합들을 형성할 수 있게 함으로써, 유동성 a-Si 막들의 수소 함유량을 감소시키며, 이는 바람직하게 밀도가 더 높은 막을 생성한다. 여기서, 유동성 a-Si 층을 플라즈마 처리하는 것은 유동성 a-Si 층을 증착하는 데 사용된 프로세싱 챔버와 동일한 프로세싱 챔버에서 수행됨으로써, 별개의 프로세싱 챔버 및 별개의 기판 프로세싱 동작을 요구하는 UV 경화와 같은 다른 경화 방법들과 비교할 때, 총 기판 프로세싱 시간 및 개별 기판 프로세싱 동작들을 감소시킨다.

[0013] [0014] 도 1은 일 실시예에 따른, 본원에서 제시되는 방법들을 실시하기 위해 사용되는 예시적인 프로세싱 챔버의 개략적인 단면도이다. 본원에서 설명되는 방법들을 실시하기 위해 사용될 수 있는 다른 예시적인 증착 챔버들은 Producer® ETERNA CVD® 시스템 또는 Ultima HDP CVD® 시스템(이들 둘 모두는 캘리포니아, 산타클라라의 Applied Materials, Inc.로부터 입수가가능) 뿐만 아니라 다른 제조자들로부터의 적합한 증착 챔버들을 포함한다.

다.

- [0014] [0015] 프로세싱 챔버(100)는 챔버 덮개 조립체(101), 하나 이상의 측벽들(102), 및 챔버 베이스(104)를 포함한다. 챔버 덮개 조립체(101)는 챔버 덮개(106), 챔버 덮개(106)에 배치된 샤워헤드(107), 및 챔버 덮개(106)와 하나 이상의 측벽들(102) 사이에 배치된 전기 절연 링(108)을 포함한다. 샤워헤드(107), 하나 이상의 측벽들(102), 및 챔버 베이스(104)는 함께 프로세싱 볼륨(105)을 정의한다. 챔버 덮개(106)를 통해 배치된 가스 유입구(109)는 가스 소스(110)에 유동적으로(fluidly) 커플링된다. 복수의 개구들(111)이 관통하여 배치된 샤워헤드(107)는 가스 소스(110)로부터 프로세싱 볼륨(105) 내로 프로세싱 가스들을 균일하게 분배하기 위해 사용된다. 샤워헤드(107)는 제1 전력 공급부(112), 이를테면 RF 전력 공급부에 전기적으로 커플링되며, 제1 전력 공급부(112)는 프로세싱 가스와의 용량성 커플링을 통해 프로세싱 가스의 플라즈마(113)를 점화 및 유지하기 위한 전력을 공급한다. 여기서, RF 전력은 약 400 kHz 내지 약 40 MHz, 예컨대 약 400 kHz 또는 약 13.56 MHz의 주파수를 갖는다. 다른 실시예들에서, 프로세싱 챔버(100)는 유도성 플라즈마 생성기를 포함하며, 플라즈마는 프로세싱 가스에 RF 전력을 유도성 커플링시키는 것을 통해 형성된다.
- [0015] [0016] 프로세싱 볼륨(105)은 진공 유출구(114)를 통해 진공 소스, 이를테면 하나 이상의 전용 진공 펌프들에 유동적으로 커플링되며, 그 진공 소스는 프로세싱 볼륨(105)을 대기압-미만 압력(sub-atmospheric) 조건들로 유지하고, 프로세싱 볼륨(105)으로부터 프로세싱 가스 및 다른 가스들을 진공배기시킨다. 프로세싱 볼륨(105)에 배치된 기관 지지부(115)는 이동가능 지지 샤프트(116) 상에 배치되며, 이동가능 지지 샤프트(116)는, 챔버 베이스(104) 아래의 구역에서 벨로즈(미도시)에 의해 둘러싸이는 것과 같이, 챔버 베이스(104)를 통해 밀봉식으로 연장된다. 여기서, 프로세싱 챔버(100)는 통상적으로, 하나 이상의 측벽들(102) 중 하나의 측벽 내의 개구(118)를 통해 기관(116)을 기관 지지부(115)로 그리고 기관 지지부(115)로부터 이송하는 것을 가능하게 하도록 구성되며, 개구(118)는 통상적으로, 기관 프로세싱 동안 도어 또는 밸브(미도시)에 의해 밀봉된다.
- [0016] [0017] 여기서, 기관 지지부(115) 상에 배치된 기관(117)은, 기관 지지부(115)에 배치된, 하나 이상의 냉각 채널들(120) 및 저항성 가열 엘리먼트(119)와 같은 가열기 중 하나 또는 둘 모두를 사용하여, 원하는 프로세싱 온도로 유지된다. 전형적으로, 하나 이상의 냉각 채널들(120)은 냉각제 소스(미도시), 이를테면, 비교적 높은 전기 저항을 갖는 개질된 워터 소스(modified water source) 또는 냉매 소스(refrigerant source)에 유동적으로 커플링된다. 일부 실시예들에서, 기관 지지부(115), 또는 기관 지지부(115)의 하나 이상의 전극들(미도시)은 제2 전력 공급부(121), 이를테면 CW(continuous wave) RF 전력 공급부 또는 펄스형 RF 전력 공급부에 전기적으로 커플링되며, 제2 전력 공급부(121)는 기관 지지부(115), 또는 기관 지지부(115)의 하나 이상의 전극들(미도시)에 바이어스 전압을 공급한다.
- [0017] [0018] 도 2는 일 실시예에 따른, 유도성 a-Si 층을 플라즈마 처리하는 방법의 흐름도이다. 액티비티(201)에서, 방법(200)은 프로세싱 챔버의 프로세싱 볼륨 내로 실질적으로 실리콘이 없는 수소 처리 가스를 유동시키는 단계를 포함한다. 여기서, 유도성 CVD 프로세스에 의해 a-Si 층이 상부에 형성된 기관은 프로세싱 볼륨에 배치된 기관 지지부 상에 배치된다. 전형적으로, 수소 처리 가스는 수소 소스 가스(이를테면, H₂, NH₃, 또는 이들의 조합들) 및 하나 이상의 불활성 희석 가스들(이를테면, He, Ar, Kr, N₂, 또는 이들의 조합들, 예컨대 Ar)을 포함한다. 전형적으로, 수소 소스 가스 대 불활성 희석 가스의 비율은 약 1:10 내지 약 5:1이고, 예컨대, 일 실시예에서, H₂ 대 Ar의 비율은 약 1:10 내지 약 2:1이다. 일부 실시예들에서, 수소 처리 가스는, 실질적으로 실리콘이 없는 가스, 실질적으로 산소가 없는 가스, 및 실질적으로 질소가 없는 가스 중 하나 또는 이들의 조합이며, 이는 수소 처리 가스를 형성하는 가스들이 각각 실리콘, 산소, 및 질소 모이어티(moiety)를 갖지 않는다는 것을 의미한다. 일부 실시예들에서, 기관은 바람직하게, 약 -100 °C 내지 약 100 °C, 약 -100 °C 내지 약 75 °C, 약 -100 °C 내지 약 75 °C, 예컨대 약 -100 °C 내지 약 50 °C, 또는 약 100 °C 미만, 이를테면 약 50 °C 미만의 온도로 유지된다.
- [0018] [0019] 액티비티(202)에서, 방법(200)은 수소 처리 가스의 처리 플라즈마를 형성하는 단계를 포함한다. 여기서, 처리 플라즈마를 형성하는 것은, RF 또는 다른 AC 주파수 전력 소스에 의해 전력을 공급받는 샤워헤드와의 용량성 커플링을 통해, 수소 처리 가스의 플라즈마를 점화 및 유지하는 것을 포함한다. 다른 실시예들에서, 처리 플라즈마는, RF 또는 다른 AC 주파수 전력 소스에 커플링된, 프로세싱 볼륨의 적어도 일부를 둘러싸거나 또는 커버하는 코일과 같은 ICP(inductively coupled plasma) 생성기와의 유도성 커플링을 통해 형성된다. 여기서, 처리 플라즈마는 인-시튜 플라즈마, 즉, 기관 지지부 상에 배치된 기관과 샤워헤드 사이에 형성된 인-시튜 플라즈마이다. 일부 실시예들에서, RF 또는 다른 AC 주파수 전력은 약 100 W 내지 약 500 W, 또는 약 500 W 미만이다. 일부 실시예들에서, 프로세싱 볼륨의 압력은 바람직하게, a-Si 층을 플라즈마 처리하는 동안, 약

1 mTorr 내지 약 2 Torr로 유지된다.

- [0019] [0020] 액티비티(203)에서, 방법(200)은 기판의 표면 상에 증착된 a-Si 층을 갖는 기판을 처리 플라즈마에 노출시키는 단계를 포함한다. 전형적으로, 기판의 플라즈마 처리 동안, 기판 지지부는 상승 기판 프로세싱 포지션, 본원에서는 제1 기판 프로세싱 포지션에 있다. 제1 기판 프로세싱 포지션에서, 기판의 표면은 샤워헤드의 기판 대향 표면으로부터 10 mm 초과, 이를테면 약 20 mm 초과, 또는 약 10 mm 내지 약 300 mm, 이를테면 약 20 mm 내지 약 300 mm, 약 50 mm 내지 약 300 mm, 또는 예컨대 약 20 mm 내지 약 100 mm, 약 100 mm 내지 약 200 mm, 또는 약 200 mm 내지 약 300 mm의 거리만큼 이격된다.
- [0020] [0021] 여기서, a-Si 층을 플라즈마 처리하는 것은, 약 10초 초과, 예컨대 약 10초 내지 약 60초의 지속기간 동안, 처리 플라즈마에 기판을 노출시키는 것을 포함한다. 여기서, a-Si 층은 FCVD 프로세스를 사용하여 증착되었으며, 그 FCVD 프로세스는, 프로세싱 볼륨에 배치된 기판 지지부 상에 기판을 포지셔닝하는 것, 프로세싱 볼륨 내로 프로세싱 가스를 유동시키는 것, 프로세싱 가스의 증착 플라즈마를 형성하는 것, 증착 플라즈마에 기판의 표면을 노출시키는 것, 및 기판의 표면 상에 a-Si 층을 증착하는 것을 포함한다. 전형적으로, a-Si 층의 증착 동안, 기판 지지부는 제2 기판 프로세싱 포지션에 있었다. 제2 기판 프로세싱 포지션에서, 기판은 샤워헤드의 기판 대향 표면으로부터 약 20 mm 미만, 이를테면 약 5 mm 내지 약 20 mm, 예컨대 약 7 mm 내지 약 18 mm의 거리만큼 이격되었다. 일부 실시예들에서, 방법(200)은 FCVD 프로세스를 사용하여 a-Si 층을 증착하는 단계를 포함한다. 일부 실시예들에서, 방법(200)은, 플라즈마 처리와 a-Si FCVD 프로세스들 사이에서, 기판 지지부를 하강시킴으로써, 제2 프로세싱 포지션으로부터 제1 프로세싱 포지션으로 기판을 이동시키는 단계를 포함한다.
- [0021] [0022] 여기서, 프로세싱 가스는 하나 이상의 실리콘 전구체들, 이를테면, 실란(SiH_4), 디실란(Si_2H_6), 트리실란(Si_3H_8) 및 테트라실란(Si_4H_{10}), 네오펜타실란(NPS), 시클로헥사실란들, 또는 이들의 조합들을 포함한다. 일부 실시예들에서, 실리콘 전구체에는 실질적으로 탄소가 없으며, 여기서, 실질적으로 탄소가 없다는 것은 실리콘 전구체가 실리콘 전구체에 탄소 모이어티를 갖지 않는 것을 의미한다. 일부 실시예들에서, 프로세싱 가스에는 실질적으로 탄소가 없는 것, 실질적으로 산소가 없는 것, 및 실질적으로 질소가 없는 것 중 하나 이상이다.
- [0022] [0023] 일부 실시예들에서, 기판은 패터닝된 기판이며, 패터닝된 기판은 그 패터닝된 기판의 표면 상에 형성된 복수의 피처들을 갖는다. 일부 실시예들에서, 패터닝된 기판은 그 패터닝된 기판의 표면에 형성된 복수의 개구들을 가지며, 기판의 표면 상에 a-Si 층을 증착하는 것은 복수의 개구들에 a-Si 층을 증착하는 것을 포함한다. 일부 실시예들에서, 복수의 개구들은 2:1 초과, 이를테면 5:1 초과, 10:1 초과, 20:1 초과, 예컨대 25:1 초과와 종횡비(깊이 대 폭 비율)를 갖는다. 일부 실시예들에서, 개구들의 폭은 약 90 nm 미만, 이를테면 약 65 nm 미만, 약 45 nm 미만, 약 32 nm 미만, 약 22 nm 미만, 예컨대 약 16 nm 미만, 또는 약 16 nm 내지 약 90 nm이다.
- [0023] [0024] 전형적으로, 기판은 전자 디바이스 제조 프로세스에서 사용하는 데 적합한 임의의 재료들 및 재료 층들, 이를테면, 실리콘, 실리콘 산화물, 스트레인드 실리콘(strained silicon), SOI(silicon on insulator), 탄소 도핑된 실리콘 산화물들, a-Si, 도핑된 실리콘, 게르마늄, 갈륨 비소, 유리, 사파이어, 금속들, 금속 질화물들, 금속 합금들, 및 이들의 조합들로 형성된다.
- [0024] [0025] 여기서, 증착 플라즈마를 형성하는 것은, 샤워헤드 상에 가해지는 (처리될 기판 표면에 대한) 약 1 W/cm^2 미만, 이를테면, 약 0.7 W/cm^2 미만, 약 0.5 W/cm^2 미만, 약 0.3 W/cm^2 미만, 약 0.15 W/cm^2 미만, 약 0.1 W/cm^2 미만, 예컨대 약 0.05 W/cm^2 미만의 RF 또는 다른 AC 주파수 전력을 갖는 샤워헤드와 용량성 커플링시키는 것을 포함한다. 예컨대, 약 300 mm의 직경을 갖는 기판의 경우, 샤워헤드 상에 가해지는 RF는 약 300 W 미만, 이를테면 약 250 W 미만, 약 200 W 미만, 약 150 W 미만, 약 100 W 미만, 약 50 W 미만, 예컨대 약 25 W 미만이다. 일부 실시예들에서, FCVD 프로세스는 기판 지지부에 바이어스 전력을 제공하는 것을 포함하며, 여기서, 바이어스 전력은, 300 mm 직경 기판의 경우, 약 20 W 내지 약 500 W의 연속 RF 전력이다. 다른 실시예들에서, 바이어스 전력은, 약 1 Hz 내지 약 1000 Hz의 펄스 주파수 및 약 10% 내지 95%의 온 타임 듀티(on time duty)를 갖는 약 20 W 내지 약 500 W의 펄스형 RF 전력이다. 다른 실시예들에서, 바이어스 전력은 펄스형 DC 전력이다.
- [0025] [0026] 일부 실시예들에서, 프로세싱 가스는 캐리어 가스 또는 희석 가스, 이를테면, He, Ar, H_2 , Kr, N_2 , NH_3 , 또는 이들의 조합들을 더 포함한다. 전형적으로, FCVD 프로세스 동안, 프로세싱 볼륨의 압력은 바람직하게, 약 10 mTorr 내지 약 10 Torr, 이를테면 약 6 Torr 미만, 이를테면 약 5 Torr 미만, 또는 약 0.1 Torr 내지 약 4 Torr, 이를테면 약 0.5 Torr 내지 약 3 Torr로 유지된다. 전형적으로, 기판은, FCVD 및 플라즈마 처리 프로세

스들 동안, 동일한 온도로 또는 동일한 온도 범위 내로 유지된다.

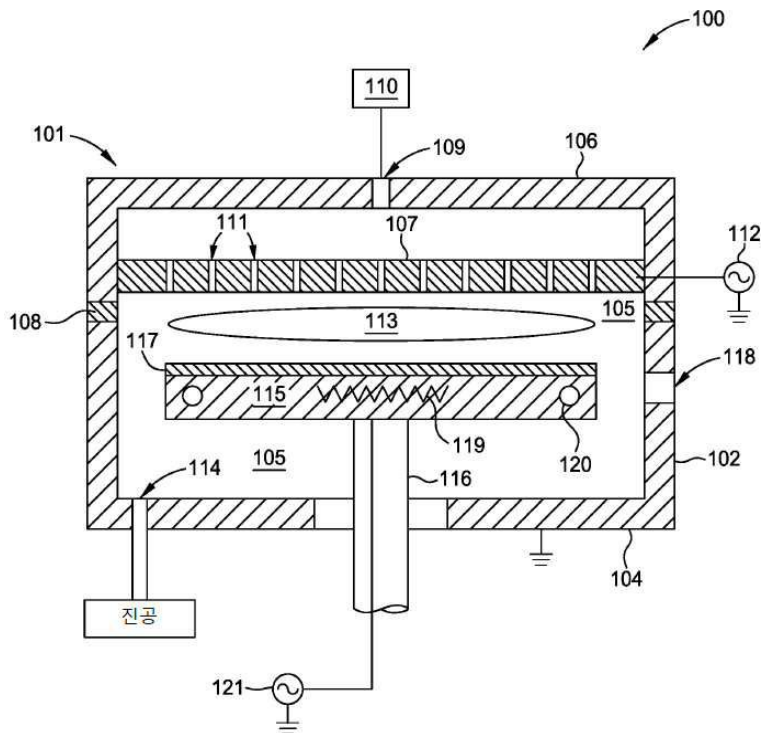
[0026] [0027] 일부 실시예들에서, 방법은, a-Si 층을 플라즈마 처리하기 전에, 프로세싱 볼륨으로부터 프로세싱 가스를 퍼징하는 단계를 포함한다. 전형적으로, 프로세싱 볼륨으로부터 프로세싱 가스 및 프로세싱 가스 부산물들을 퍼징하는 것은 프로세싱 가스의 유동을 중단하는 것, 증착 플라즈마를 소멸시키는 것, 프로세싱 볼륨 내로 퍼지 가스를 유동시키는 것, 및 비정질 실리콘 층을 플라즈마 처리하기 전에, 프로세싱 볼륨으로부터 퍼지 가스를 진공배기시키는 것을 포함한다. 전형적으로, 퍼지 가스는 불활성 가스, 이를테면 He, Ar, Kr, N₂, 또는 이들의 조합들, 예컨대 Ar을 포함한다. 일부 실시예들에서, 프로세싱 볼륨을 퍼징하는 것은, 퍼지 가스를 유동시키고, 약 5초 내지 약 60초의 지속기간 동안 퍼지 가스를 진공배기시키는 것을 포함한다.

[0027] [0028] 위에서 설명된 FCVD 및 사후 처리 프로세스는 바람직하게, 약 10:1 초과와 중형비 및 90 nm 미만의 폭을 갖는 개구들과 같은, 기판의 표면에 형성된 고 중형비 개구들의 공극이 없는 상향식 충전, 및 기판 표면 상의 심이 없는 피처들의 형성을 가능하게 하는 유동성 a-Si 막을 제공한다. 유동성 a-Si 층들의 플라즈마 처리는 유동성 a-Si 층 내의 수소 함유량을 감소시키고, 유동성 a-Si 층 내의 Si-Si 결합들의 수를 증가시키며, 이는 바람직하게 밀도가 더 높은 막을 생성한다. 일부 실시예들에서, 본원에서 설명되는 FCVD 방법들을 사용하여 증착된 a-Si 층의 플라즈마 처리-전 수소 함유량은 약 30 at.% 초과이고, 플라즈마 처리-후 수소 함유량은 약 20 at.% 미만이다. 추가로, 본원의 플라즈마 처리 방법들은 UV 경화와 같은 다른 경화 방법들과 비교할 때 더 적은 막 수축을 발생시킨다. 일부 실시예들에서, 본원에서 제공되는 플라즈마 처리 방법들을 사용한 유동성 a-Si 막의 수축은 약 50% 미만, 이를테면 약 40% 미만, 예컨대 약 30% 미만이다. 일부 실시예들에서, 본원에서 형성되는 플라즈마 처리된 a-Si 층들은 약 4.1 이상, 이를테면 약 4 이상, 또는 약 3.9 이상, 예컨대 약 3.8 이상의 굴절률을 가지며, 여기서, 더 높은 굴절률들은 증가된 막 품질을 나타낸다.

[0028] [0029] 전술한 바가 본 개시내용의 실시예들에 관한 것이지만, 본 개시내용의 다른 및 추가적인 실시예들이 본 개시내용의 기본적인 범위로부터 벗어나지 않으면서 고안될 수 있고, 본 개시내용의 범위는 다음의 청구항들에 의해 결정된다.

도면

도면1



도면2

