



(12) 发明专利申请

(10) 申请公布号 CN 102122672 A

(43) 申请公布日 2011. 07. 13

(21) 申请号 201110009601. 5

H01L 29/45(2006. 01)

(22) 申请日 2011. 01. 12

(30) 优先权数据

099142992 2010. 12. 09 TW

(71) 申请人 友达光电股份有限公司

地址 中国台湾省新竹科学工业园区新竹市力行二路1号

(72) 发明人 陈信学 林武雄 陈勃学

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 梁挥 鲍俊萍

(51) Int. Cl.

H01L 29/786(2006. 01)

H01L 29/06(2006. 01)

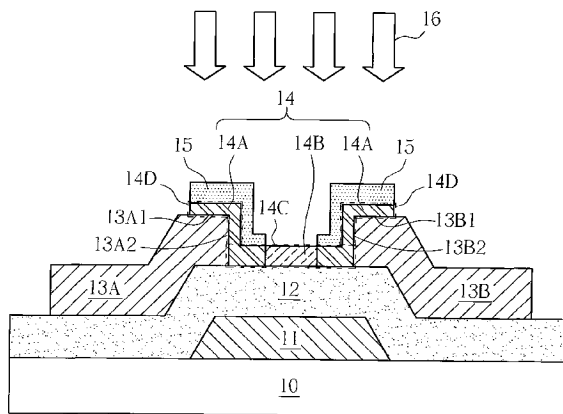
权利要求书 2 页 说明书 7 页 附图 6 页

(54) 发明名称

氧化物半导体薄膜晶体管及其制作方法

(57) 摘要

本发明公开了一种氧化物半导体薄膜晶体管及其制作方法,该薄膜晶体管包括一基板、一栅极电极、一源极电极与一漏极电极、一栅极介电层、一图案化氧化物半导体层、以及一图案化含氢材料层。图案化氧化物半导体层至少部分覆盖源极电极的上表面与侧表面以及至少部分覆盖漏极电极的上表面与侧表面。图案化含氢材料层设置于图案化氧化物半导体层上,且被图案化含氢材料层所覆盖的图案化氧化物半导体层的电阻率小于未被图案化含氢材料层所覆盖的图案化氧化物半导体层的电阻率。本发明可达到降低氧化物半导体层与源极电极/漏极电极之间的接触阻抗以提升其电子迁移率的目的。



1. 一种氧化物半导体薄膜晶体管,其特征在于,包括:
  - 一基板;
  - 一栅极电极,设置于该基板上;
  - 一源极电极与一漏极电极,设置于该基板上,其中该源极电极与该漏极电极分别具有一上表面与一侧表面;
  - 一栅极介电层,设置于该栅极电极与该源极电极/漏极电极之间;
  - 一图案化氧化物半导体层,设置于该基板上,其中该图案化氧化物半导体层具有一通道区以及一非通道区,该非通道区至少部分覆盖该源极电极的该上表面与该侧表面以及至少部分覆盖该漏极电极的该上表面与该侧表面,该通道区位于该源极电极与该漏极电极之间的该基板之上;以及
  - 一图案化含氢材料层,设置于该图案化氧化物半导体层上,其中该图案化含氢材料层至少覆盖部分的该图案化氧化物半导体层的该非通道区,且被该图案化含氢材料层所覆盖的该图案化氧化物半导体层的电阻率小于未被该图案化含氢材料层所覆盖的该图案化氧化物半导体层的电阻率。
2. 根据权利要求1所述的氧化物半导体薄膜晶体管,其特征在于,该图案化含氢材料层更覆盖部分的该图案化氧化物半导体层的该通道区,并暴露出部分的该图案化氧化物半导体层的该通道区。
3. 根据权利要求1所述的氧化物半导体薄膜晶体管,其特征在于,该源极电极与该漏极电极设置于该基板上,该栅极介电层设置于该源极电极与该漏极电极上,且该栅极电极设置于该栅极介电层上。
4. 根据权利要求1所述的氧化物半导体薄膜晶体管,其特征在于,该栅极电极设置于该基板上,该栅极介电层设置于该栅极电极上,且该源极电极与该漏极电极设置于该栅极介电层上。
5. 根据权利要求1所述的氧化物半导体薄膜晶体管,其特征在于,该图案化氧化物半导体层的材料包括氧化镓镓锌或氧化锌。
6. 根据权利要求5所述的氧化物半导体薄膜晶体管,其特征在于,该图案化氧化物半导体层的厚度大体上介于10纳米至60纳米之间。
7. 根据权利要求1所述的氧化物半导体薄膜晶体管,其特征在于,该图案化含氢材料层的材料包括含氢氮化硅、含氢氧化硅或含氢氮氧化硅。
8. 一种制作氧化物半导体薄膜晶体管的方法,其特征在于,包括:
  - 提供一基板;
  - 于该基板上形成一栅极电极;
  - 于该基板及该栅极电极上形成一栅极介电层;
  - 于该栅极介电层上形成一源极电极与一漏极电极,该源极电极与该漏极电极分别具有一上表面与一侧表面;
  - 于该源极电极、该漏极电极与该栅极介电层上形成一图案化氧化物半导体层,该图案化氧化物半导体层具有一通道区以及一非通道区,该非通道区至少部分覆盖该源极电极的一上表面与一侧表面以及至少部分覆盖该漏极电极的一上表面与一侧表面,该通道区位于该源极电极与该漏极电极之间的该栅极介电层上;

于该图案化氧化物半导体层上形成一图案化含氢材料层,该图案化含氢材料层至少覆盖部分的该图案化氧化物半导体层的该非通道区;以及

进行一退火工艺,将该图案化含氢材料层的氢向下驱入至该图案化氧化物半导体层内,以使得被该图案化含氢材料层所覆盖的该图案化氧化物半导体层的电阻率小于未被该图案化含氢材料层所覆盖的该图案化氧化物半导体层的电阻率。

9. 根据权利要求 8 所述的制作氧化物半导体薄膜晶体管的方法,其特征在于,该退火工艺包括一准分子激光退火工艺。

10. 根据权利要求 9 所述的制作氧化物半导体薄膜晶体管的方法,其特征在于,该准分子激光退火工艺的能量大体上介于  $50\text{mJ}/\text{cm}^2$  至  $600\text{mJ}/\text{cm}^2$  之间。

11. 根据权利要求 8 所述的制作氧化物半导体薄膜晶体管的方法,其特征在于,该图案化氧化物半导体层的材料包括氧化镉镓锌或氧化锌。

12. 根据权利要求 11 所述的制作氧化物半导体薄膜晶体管的方法,其特征在于,该图案化氧化物半导体层的厚度大体上介于 10 纳米至 60 纳米之间。

13. 根据权利要求 8 所述的制作氧化物半导体薄膜晶体管的方法,其特征在于,该图案化含氢材料层的材料包括含氢氮化硅、含氢氧化硅或含氢氮氧化硅。

14. 根据权利要求 8 所述的制作氧化物半导体薄膜晶体管的方法,其特征在于,该图案化含氢材料层更覆盖部分的该图案化氧化物半导体层的该通道区,并暴露出部分的该图案化氧化物半导体层的该通道区。

## 氧化物半导体薄膜晶体管及其制作方法

### 技术领域

[0001] 本发明涉及一种氧化物半导体薄膜晶体管及其制作方法,尤其涉及一种具有氧化物半导体层与源极电极/漏极电极之间低接触阻抗及高电子迁移率特性的氧化物半导体薄膜晶体管与其制作方法。

### 背景技术

[0002] 薄膜晶体管(thin film transistor, TFT)是一种广泛应用于显示器技术的半导体元件,例如应用在液晶显示器(liquid crystal display panel, LCD)、有机发光二极管显示器(organic light emitting diode display panel, OLED)及电子纸(electronicpaper, E-paper)等显示器产品。利用薄膜晶体管提供电压或电流的切换,使得各显示器中的像素呈现亮、暗以及灰阶的显示效果。而薄膜晶体管的电子迁移率(mobility)大小为薄膜晶体管利用于显示器时的重要指标特性。电子迁移率直接影响到该薄膜晶体管的切换速度,进而对显示器的显示画面质量有很大的影响。

[0003] 举例来说,先前一般传统电视影像信号的画面分辨率及更换频率的规格为VGA(640x480个像素)及60Hz,而目前一般数字电视的规格则进步到fullHD(1920x1080个像素)及120Hz,后续更是朝4K2K(3840x2160个像素)及240Hz的规格,也就是更高分辨率及更短的画面更新频率来不断地提升显示器的画面质量。然而,随着画面分辨率及更换频率的规格提升,对显示器中每一个单一像素要求的反应速率会越来越严苛。所以当各像素中使用的薄膜晶体管的电子迁移率无法快到满足其反应速率的要求时,即会造成显示画面异常的问题。

[0004] 目前显示器业界使用的薄膜晶体管可根据使用的半导体层材料来做区分,包括非晶硅薄膜晶体管(amorphous silicon TFT, a-Si TFT)、多晶硅薄膜晶体管(poly silicon TFT)以及氧化物半导体薄膜晶体管(oxide semiconductor TFT)。其中非晶硅薄膜晶体管由于具有工艺技术成熟以及良率高的优点,目前仍是显示器业界中的主流。但非晶硅薄膜晶体管受到非晶硅半导体材料本身特性的影响,使其电子迁移率无法大幅且有效地通过工艺或元件设计的调整来改善(目前非晶硅薄膜晶体管的电子迁移率大体上在 $1\text{cm}^2/\text{Vs}$ 以内),故无法满足目前可见的未来更高规格显示器的需求。而多晶硅薄膜晶体管受惠于其多晶硅材料的特性,于电子迁移率上有大幅的改善(多晶硅薄膜晶体管之电子迁移率大体上最佳可达 $100\text{cm}^2/\text{Vs}$ )。但由于多晶硅薄膜晶体管的工艺复杂(相对地成本提升)且于大尺寸面板应用时会有结晶化工艺导致结晶程度均匀性不佳的问题存在,故目前多晶硅薄膜晶体管仍以小尺寸面板应用为主。而氧化物半导体薄膜晶体管则是应用近年来新崛起的氧化物半导体材料,此类材料一般为非晶相(amorphous)结构,没有应用于大尺寸面板上均匀性不佳的问题,且可利用多种方式成膜,例如溅镀(sputter)、旋涂(spin-on)以及印刷(inkjet printing)等方式。因此在工艺上甚至还较非晶硅薄膜晶体管更有工艺简化的弹性。而氧化物半导体薄膜晶体管的电子迁移率一般可较非晶硅薄膜晶体管高10倍以上(氧化物半导体薄膜晶体管的电子迁移率大体上介于 $10\text{cm}^2/\text{Vs}$ 到 $50\text{cm}^2/\text{Vs}$ 之间),此程度已可

满足目前可见的未来高规格显示器的需求。

[0005] 然而,于氧化物半导体薄膜晶体管的结构中,源极电极/漏极电极与氧化物半导体层间的接触阻抗若过大,将使得此薄膜晶体管的效能降低且无法有效发挥其高电子迁移率的特性。故有必要降低氧化物半导体层与源极电极/漏极电极间的接触阻抗,以使得氧化物半导体薄膜晶体管展现高电子迁移率的特性。

## 发明内容

[0006] 本发明的主要目的之一在于提供一种氧化物半导体薄膜晶体管及其制作方法,以降低氧化物半导体层与源极电极/漏极电极之间的接触阻抗来提升电子迁移率。

[0007] 本发明的一较佳实施例提供一种氧化物半导体薄膜晶体管。上述氧化物半导体薄膜晶体管包括一基板、一栅极电极、一源极电极与一漏极电极、一栅极介电层、一图案化氧化物半导体层、以及一图案化含氢材料层。其中栅极电极、源极电极与漏极电极系设置于基板上,而源极电极与漏极电极分别具有一上表面与一侧表面。栅极介电层设置于栅极电极与源极电极/漏极电极之间。图案化氧化物半导体层设置于基板上,其中图案化氧化物半导体层具有一通道区以及一非通道区,非通道区至少部分覆盖源极电极的上表面与侧表面以及至少部分覆盖漏极电极的上表面与侧表面,而通道区位于源极电极与漏极电极之间的基板之上。图案化含氢材料层设置于图案化氧化物半导体层上,其中图案化含氢材料层至少覆盖部分的图案化氧化物半导体层的非通道区,且被图案化含氢材料层所覆盖的图案化氧化物半导体层的电阻率小于未被图案化含氢材料层所覆盖的图案化氧化物半导体层的电阻率。

[0008] 其中,该图案化含氢材料层更覆盖部分的该图案化氧化物半导体层的该通道区,并暴露出部分的该图案化氧化物半导体层的该通道区。

[0009] 其中,该源极电极与该漏极电极设置于该基板上,该栅极介电层设置于该源极电极与该漏极电极上,且该栅极电极设置于该栅极介电层上。

[0010] 其中,该栅极电极设置于该基板上,该栅极介电层设置于该栅极电极上,且该源极电极与该漏极电极设置于该栅极介电层上。

[0011] 其中,该图案化氧化物半导体层的材料包括氧化镓锌或氧化锌。

[0012] 其中,该图案化氧化物半导体层的厚度大体上介于 10 纳米至 60 纳米之间。

[0013] 其中,该图案化含氢材料层的材料包括含氢氮化硅、含氢氧化硅或含氢氮氧化硅。

[0014] 本发明的另一较佳实施例提供一种氧化物半导体薄膜晶体管的制作方法,包括下列步骤。首先,提供一基板。接着,于基板上形成一栅极电极。然后,于基板与栅极电极上形成一栅极介电层。随后,于栅极介电层上形成一源极电极与一漏极电极,其中源极电极与漏极电极分别具有一上表面与一侧表面。接下来,于源极电极、漏极电极与栅极介电层上形成一图案化氧化物半导体层,其中图案化氧化物半导体层具有一通道区以及一非通道区,非通道区至少部分覆盖源极电极的一上表面与一侧表面以及至少部分覆盖漏极电极的一上表面与一侧表面,而通道区位于源极电极与漏极电极之间的栅极介电层上。再者,于该图案化氧化物半导体层上形成一图案化含氢材料层,其中图案化含氢材料层至少覆盖部分的图案化氧化物半导体层的非通道区。然后,进行一退火工艺,将图案化含氢材料层的氢向下驱入至图案化氧化物半导体层内,以使得被图案化含氢材料层所覆盖的图案化氧化物半导体

层的电阻率降低且小于未被图案化含氢材料层所覆盖的图案化氧化物半导体层的电阻率。

[0015] 其中,该退火工艺包括一准分子激光退火工艺。

[0016] 其中,该准分子激光退火工艺的能量大体上介于  $50\text{mJ}/\text{cm}^2$  至  $600\text{mJ}/\text{cm}^2$  之间。

[0017] 其中,该图案化氧化物半导体层的材料包括氧化铟镓锌或氧化锌。

[0018] 其中,该图案化氧化物半导体层的厚度大体上介于 10 纳米至 60 内米之间。

[0019] 其中,该图案化含氢材料层的材料包括含氢氮化硅、含氢氧化硅或含氢氮氧化硅。

[0020] 其中,该图案化含氢材料层更覆盖部分的该图案化氧化物半导体层的该通道区,并暴露出部分的该图案化氧化物半导体层的该通道区。

[0021] 本发明利用于图案化氧化物半导体层上部分覆盖一图案化含氢材料层,搭配一退火工艺来降低被图案化含氢材料层所覆盖的图案化氧化物半导体层的电阻率,进而达到降低氧化物半导体层与源极电极 / 漏极电极之间的接触阻抗以提升其电子迁移率的目的。

[0022] 以下结合附图和具体实施例对本发明进行详细描述,但不作为对本发明的限定。

### 附图说明

[0023] 图 1 绘示了本发明一较佳实施例的氧化物半导体薄膜晶体管的示意图。

[0024] 图 2 绘示了本发明另一较佳实施例的氧化物半导体薄膜晶体管的示意图。

[0025] 图 3A 至图 3F 绘示了本发明一较佳实施例的氧化物半导体薄膜晶体管的制作方法示意图。

[0026] 图 4 绘示了本发明一较佳实施例的准分子激光退火工艺能量与图案化氧化物半导体层厚度关系示意图。

[0027] 图 5A 至图 5B 绘示了本发明另一较佳实施例的氧化物半导体薄膜晶体管的制作方法示意图。

[0028] 其中,附图标记:

[0029] 10 :基板 11 :栅极电极

[0030] 12 :栅极介电层 13A :源极电极

[0031] 13B :漏极电极 13A1 :上表面

[0032] 13A2 :侧表面 13B1 :上表面

[0033] 13B2 :侧表面 14 :图案化氧化物半导体层

[0034] 14A :覆盖区 14B :未覆盖区

[0035] 14C :通道区 14D :非通道区

[0036] 15 :图案化含氢材料层 16 :退火工艺

[0037] 20 :氧化物半导体薄膜晶体管 21 :氧化物半导体薄膜晶体管

### 具体实施方式

[0038] 为使本领域技术人员能更进一步了解本发明,下文特列举本发明的较佳实施例,并配合所附附图,详细说明本发明的构成内容及所欲达成的功效。

[0039] 请参考图 1。图 1 绘示了本发明一较佳实施例的氧化物半导体薄膜晶体管的示意图。如图 1 所示,氧化物半导体薄膜晶体管 20 为一底部栅极薄膜晶体管 (Bottom-Gate TFT) 结构。氧化物半导体薄膜晶体管 20 包括一基板 10、一栅极电极 11、一源极电极 13A 与一漏

极电极 13B、一栅极介电层 12、一图案化氧化物半导体层 14、以及一图案化含氢材料层 15。如图 1 所示,栅极电极 11 设置于基板 10 上,栅极介电层 12 设置于基板 10 与栅极电极 11 上,源极电极 13A 与漏极电极 13B 设置于栅极介电层 12 之上,其中源极电极 13A 具有一上表面 13A1 与一侧表面 13A2,漏极电极 13B 具有一上表面 13B1 与一侧表面 13B2。图案化氧化物半导体层 14 设置于源极电极 13A、漏极电极 13B 以及栅极介电层 12 之上,其中图案化氧化物半导体层 14 具有一通道区 14C 以及一非通道区 14D,非通道区 14D 至少部分覆盖源极电极 13A 的上表面 13A1 与侧表面 13A2 以及至少部分覆盖漏极电极 13B 的上表面 13B1 与侧表面 13B2,而通道区 14C 位于源极电极 13A 与漏极电极 13B 之间的栅极介电层 12 之上。图案化含氢材料层 15 设置于图案化氧化物半导体层 14 上,且图案化含氢材料层 15 至少覆盖部分的图案化氧化物半导体层 14 的非通道区 14D。例如在本实施例中,图案化含氢材料层 15 全面性地覆盖图案化氧化物半导体层 14 的非通道区 14D,然而并不以此为限,在本发明的其它实施例中,可视设计需要选择性地使图案化含氢材料层 15 仅局部性地覆盖图案化氧化物半导体层 14 的非通道区 14D,或使图案化含氢材料层 15 向外延伸而覆盖于源极电极 13A 与漏极电极 13B 上。此外,在本发明中,被图案化含氢材料层 15 所覆盖的图案化氧化物半导体层 14 的部分定义为覆盖区 14A,而未被图案化含氢材料层 15 所覆盖的图案化氧化物半导体层 14 的部分定义为未覆盖区 14B。覆盖区 14A 的电阻率小于未覆盖区 14B 的电阻率。在本实施例中,图案化氧化物半导体层 14 的材料包括氧化镓镓锌 (InGaZnO<sub>x</sub>, IGZO) 或氧化锌 (ZnO<sub>x</sub>),但并不以此为限而也可为其它各类型的氧化物半导体材料。此外,图案化氧化物半导体层 14 的较佳厚度值大体上介于 10 纳米至 60 纳米之间,但并不以此为限。图案化含氢材料层 15 的材料可包括含氢氮化硅、含氢氧化硅、含氢氮氧化硅或其它适合的材料,其主要的功用在于提供氢成分至所覆盖的图案化氧化物半导体层 14,使被覆盖的图案化氧化物半导体层 14 的电阻率下降,进而达到降低图案化氧化物半导体层 14 与源极电极 13A/漏极电极 13B 之间接触阻抗的效果。值得注意的是,在本实施例中,图案化含氢材料层 15 可更覆盖部分的图案化氧化物半导体层 14 的通道区 14C,并暴露出部分的图案化氧化物半导体层 14 的通道区 14C,以确保有效降低图案化氧化物半导体层 14 与源极电极 13A/漏极电极 13B 之间的接触阻抗。而于本发明的其它实施例中,图案化含氢材料层 15 也可依设计需求选择性地不覆盖图案化氧化物半导体层 14 的通道区 14C。

[0040] 请参考图 2。图 2 绘示了本发明另一较佳实施例的氧化物半导体薄膜晶体管 21 的示意图。在此实施例中,氧化物半导体薄膜晶体管 21 的各元件及材料特质与上述氧化物半导体薄膜晶体管 20 相同,为简化说明,各元件以相同标号进行标示。如图 2 所示,氧化物半导体薄膜晶体管 21 为一顶部栅极薄膜晶体管 (Top-Gate TFT) 结构。源极电极 13A 与漏极电极 13B 设置于基板 10 上,其中源极电极 13A 具有一上表面 13A1 与一侧表面 13A2,漏极电极 13B 具有一上表面 13B1 与一侧表面 13B2。图案化氧化物半导体层 14 设置于源极电极 13A、漏极电极 13B 以及基板 10 之上,其中图案化氧化物半导体层 14 具有一通道区 14C 以及一非通道区 14D,非通道区 14D 至少部分覆盖源极电极 13A 的上表面 13A1 与侧表面 13A2 以及至少部分覆盖漏极电极 13B 的上表面 13B1 与侧表面 13B2,而通道区 14C 位于源极电极 13A 与漏极电极 13B 之间的基板 10 之上。图案化含氢材料层 15 设置于图案化氧化物半导体层 14 上,其中图案化含氢材料层 15 至少覆盖部分的图案化氧化物半导体层 14 的非通道区 14D。例如在本实施例中,图案化含氢材料层 15 全面性地覆盖图案化氧化物半导体层 14

的非通道区 14D,但本发明并不以此为限。而被图案化含氢材料层 15 所覆盖的图案化氧化物半导体层 14 的部分定义为覆盖区 14A,未被图案化含氢材料层 15 所覆盖的图案化氧化物半导体层 14 的部分定义为未覆盖区 14B,且覆盖区 14A 的电阻率小于未覆盖区 14B 的电阻率。如图 2 所示,栅极介电层 12 覆盖于基板 10、源极电极 13A、漏极电极 13B、图案化氧化物半导体层 14、以及图案化含氢材料层 15 之上,而栅极电极 11 设置于栅极介电层 12 之上。本实施例中各元件材料特质与前一较佳实施例中的氧化物半导体薄膜晶体管相同,在此不再赘述。

[0041] 请参考图 3A 至图 3F。图 3A 至图 3F 绘示了本发明一较佳实施例的氧化物半导体薄膜晶体管的制作方法示意图。首先,如图 3A 所示,提供一基板 10。接着,于基板 10 上形成一栅极电极 11。在本实施例中,基板 10 包括硬质基板例如玻璃基板 (glass substrate) 或可挠式基板 (flexible substrate),但并不以此为限。然后,如图 3B 所示,于基板 10 与栅极电极 11 上形成一栅极介电层 12,栅极介电层 12 的材料包括含氢氮化硅、含氢氧化硅、含氢氮氧化硅或其它适合的材料。接着,如图 3C 所示,于栅极介电层 12 上形成一源极电极 13A 与一漏极电极 13B,其中源极电极 13A 具有一上表面 13A1 与一侧表面 13A2,漏极电极 13B 具有一上表面 13B1 与一侧表面 13B2。接下来,如图 3D 所示,于源极电极 13A、漏极电极 13B 与栅极介电层 12 上形成一图案化氧化物半导体层 14,图案化氧化物半导体层 14 具有一通道区 14C 以及一非通道区 14D,其中非通道区 14D 至少部分覆盖源极电极 13A 的一上表面 13A1 与一侧表面 13A2 以及至少部分覆盖漏极电极 13B 的一上表面 13B1 与一侧表面 13B2,且通道区 14C 位于源极电极 13A 与漏极电极 13B 之间的栅极介电层 12 之上。然后,如图 3E 所示,于图案化氧化物半导体层 14 上形成一图案化含氢材料层 15,其中图案化含氢材料层 15 至少覆盖部分的图案化氧化物半导体层 14 的非通道区 14D。例如在本实施例中,图案化含氢材料层 15 全面性地覆盖图案化氧化物半导体层 14 的非通道区 14D,但本发明并不以此为限。最后,如图 3F 所示,进行一退火工艺 16。其中,被图案化含氢材料层 15 所覆盖的图案化氧化物半导体层 14 的部分定义为覆盖区 14A,未被图案化含氢材料层 15 所覆盖的图案化氧化物半导体层 14 的部分定义为未覆盖区 14B。退火工艺 16 用来将图案化含氢材料层 15 的氢向下驱入至覆盖区 14A 内,使得覆盖区 14A 的电阻率小于未覆盖区 14B 的电阻率,而形成如图 1 所示的氧化物半导体薄膜晶体管 20。在本实施例中,退火工艺 16 包括一准分子激光退火 (Excimer Laser Annealing, ELA) 工艺或高温退火工艺,但并不以此为限。此外,在本实施例中,图案化氧化物半导体层 14 的材料包括氧化镓镓锌或氧化锌,但并不以此为限而也可为其它各类型的氧化物半导体材料。且图案化氧化物半导体层 14 的较佳厚度值大体上介于 10 纳米至 60 纳米之间。而图案化含氢材料层 15 的材料包括含氢氮化硅、含氢氧化硅或含氢氮氧化硅。值得注意的是,在本实施例中,图案化含氢材料层 15 可更覆盖部分的图案化氧化物半导体层 14 的通道区 14C,并暴露出部分的图案化氧化物半导体层 14 的通道区 14C,以确保有效降低图案化氧化物半导体层 14 与源极电极 13A/漏极电极 13B 之间的接触阻抗。

[0042] 请参考图 4,并一并参考图 3F。图 4 绘示了本发明一较佳实施例的准分子激光退火工艺的能量大小与图案化氧化物半导体层 14 的厚度关系示意图。图 4 中所描述对图案化氧化物半导体层 14 的影响,主要指的是如图 3F 中所示在进行准分子激光退火工艺时,该准分子激光退火工艺对于未覆盖区 14B 所造成的影响。如图 4 所示,其中横坐标标示出图案



氧化物半导体层 14 的厚度,而纵坐标则标示出该准分子激光退火工艺的能量大小。图 4 中的曲线代表未覆盖区 14B 在不同厚度下,准分子激光退火工艺造成图案化氧化物半导体层 14 由非晶相 (amorphous) 转变为结晶相 (crystal) 的临界能量值。换句话说,根据图 4 所示,于横坐标上选定一图案化氧化物半导体层 14 的厚度值,垂直向上与该曲线相交于一点,则该点的纵坐标值即为此图案化氧化物半导体层 14 的厚度下,由非晶相转变为结晶相的临界能量值。当该准分子激光退火工艺所施加的能量值大于此临界能量值时,将使原先呈现非晶相的图案化氧化物半导体层 14 转变为结晶相。在本发明中,需利用此准分子激光退火工艺提供相当的能量,将图案化含氢材料层 15 的氢向下驱入至覆盖区 14A 内,以使得覆盖区 14A 的电阻率小于未覆盖区 14B 的电阻率。但进行此准分子激光退火工艺时也须同时考虑控制该准分子激光退火工艺的能量不能过大到使得未覆盖区 14B 由非晶相转变为结晶相,而影响到此氧化物半导体薄膜晶体管的半导体特性。故在本实施例中,该准分子激光退火工艺的较佳能量范围大体上介于  $50\text{mJ}/\text{cm}^2$  至  $600\text{mJ}/\text{cm}^2$  之间,此较佳能量范围对照图案化氧化物半导体层 14 的较佳厚度值大体上介于 10 纳米至 60 纳米之间而定。

[0043] 请参考图 5A 与图 5B。图 5A 至图 5B 绘示了本发明另一较佳实施例的氧化物半导体薄膜晶体管的制作方法示意图。首先,如图 5A 所示,提供一基板 10。接着,于基板 10 上形成一源极电极 13A 与一漏极电极 13B,其中源极电极 13A 具有一上表面 13A1 与一侧表面 13A2,漏极电极 13B 具有一上表面 13B1 与一侧表面 13B2。在本实施例中,基板 10 包括硬质基板例如玻璃基板或可挠式基板,但并不以此为限。然后,于源极电极 13A、漏极电极 13B 与基板 10 上形成一图案化氧化物半导体层 14,图案化氧化物半导体层 14 具有一通道区 14C 以及一非通道区 14D,其中非通道区 14D 至少部分覆盖源极电极 13A 的一上表面 13A1 与一侧表面 13A2 以及至少部分覆盖漏极电极 13B 的一上表面 13B1 与一侧表面 13B2,且通道区 14C 位于源极电极 13A 与漏极电极 13B 之间的基板 10 上。然后,于图案化氧化物半导体层 14 上形成一图案化含氢材料层 15,其中图案化含氢材料层 15 至少覆盖部分的图案化氧化物半导体层 14 的非通道区 14D。例如在本实施例中,图案化含氢材料层 15 全面性地覆盖图案化氧化物半导体层 14 的非通道区 14D,但本发明并不以此为限。接着,如图 5B 所示,进行一退火工艺 16。其中,被图案化含氢材料层 15 所覆盖的图案化氧化物半导体层 14 的部分定义为覆盖区 14A,未被图案化含氢材料层 15 所覆盖的图案化氧化物半导体层 14 的部分定义为未覆盖区 14B。退火工艺 16 用来将图案化含氢材料层 15 的氢向下驱入至覆盖区 14A 内,以使得覆盖区 14A 的电阻率小于未覆盖区 14B 的电阻率。接着请参考图 2,于退火工艺 16 之后,如图 2 所示,于基板 10、源极电极 13A、漏极电极 13B、图案化氧化物半导体层 14、以及图案化含氢材料层 15 之上形成一栅极介电层 12。栅极介电层 12 的材料可包括氮化硅、氧化硅、氮氧化硅或其它适合之材料。最后,于栅极介电层 12 上形成一栅极电极 11 以完成如图 2 所示的氧化物半导体薄膜晶体管 21。

[0044] 本发明利用于图案化氧化物半导体层上部分覆盖一图案化含氢材料层,搭配一退火工艺来降低被图案化含氢材料层所覆盖的图案化氧化物半导体层的电阻率,同时控制其退火工艺所施加的能量大小避免影响氧化物半导体层的半导体特性,进而达到降低氧化物半导体层与源极电极 / 漏极电极之间的接触阻抗以提升其电子迁移率的目的。

[0045] 当然,本发明还可有其它多种实施例,在不背离本发明精神及其实质的情况下,熟悉本领域的技术人员可根据本发明作出各种相应的改变和变形,但这些相应的改变和变形

---

都应属于本发明权利要求的保护范围。

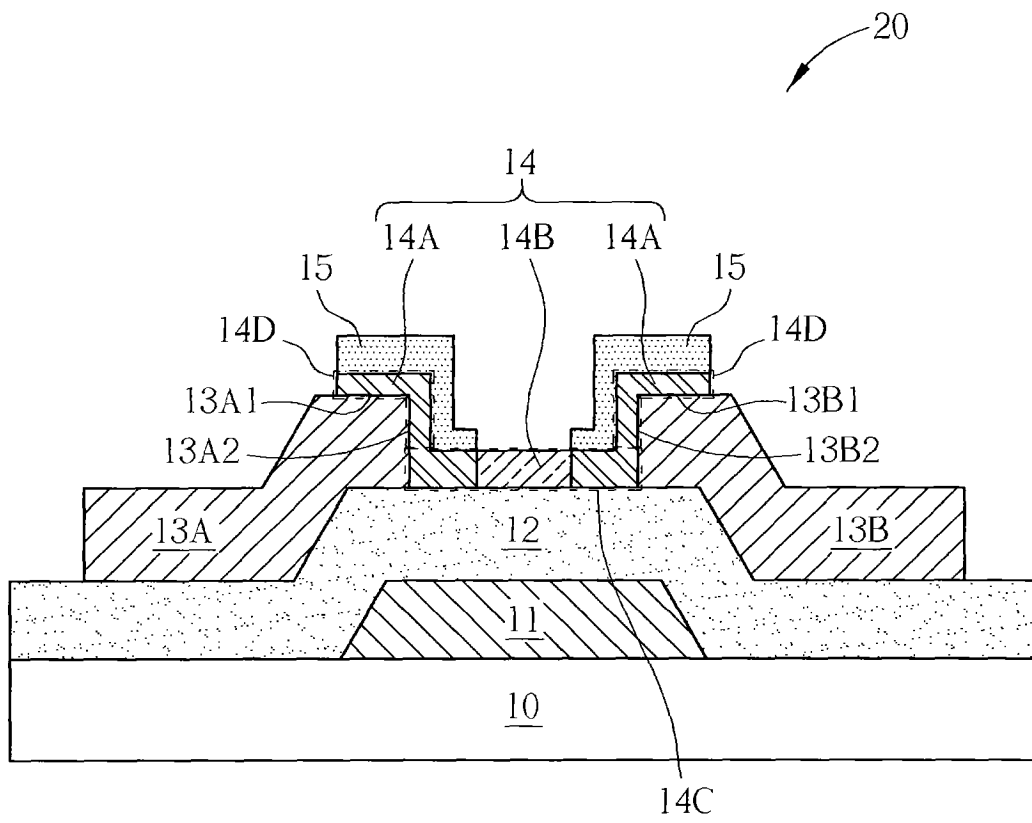


图 1

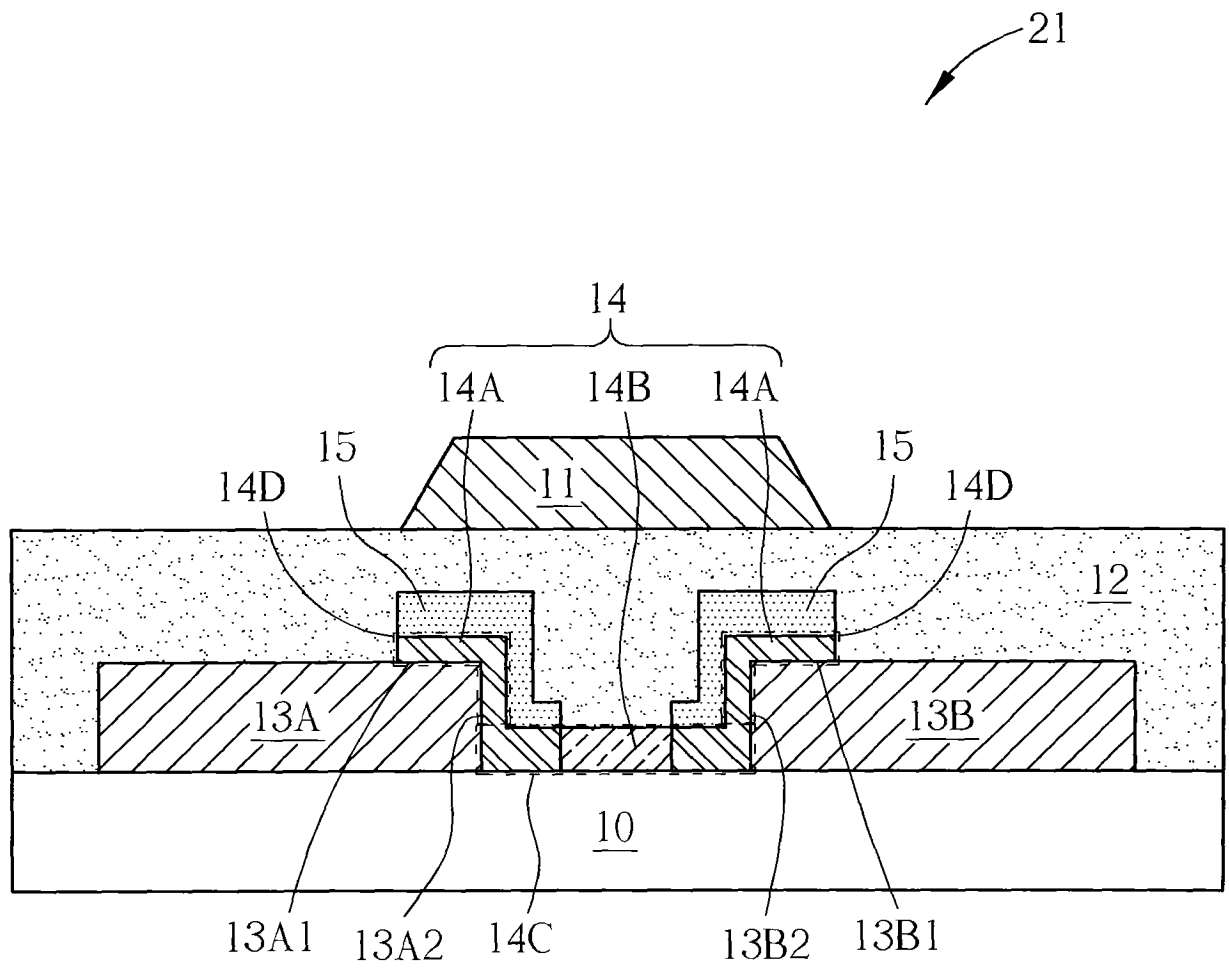


图 2

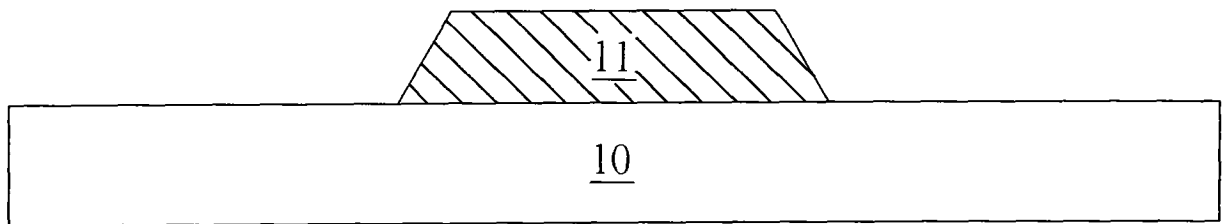


图 3A

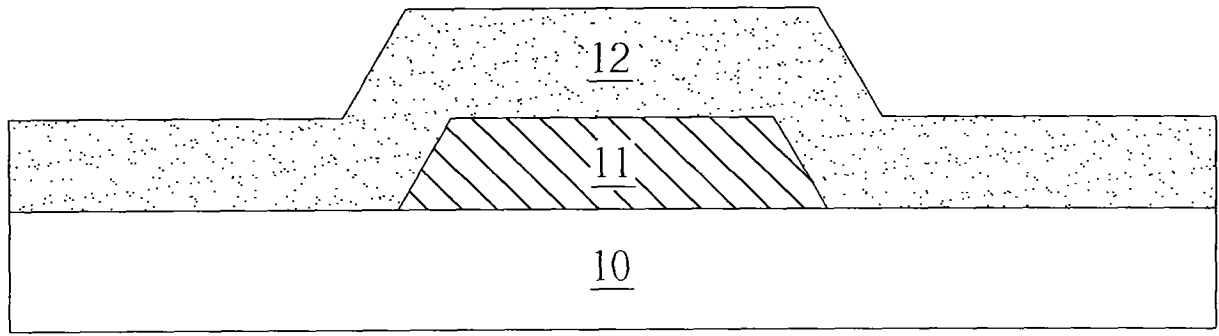


图 3B

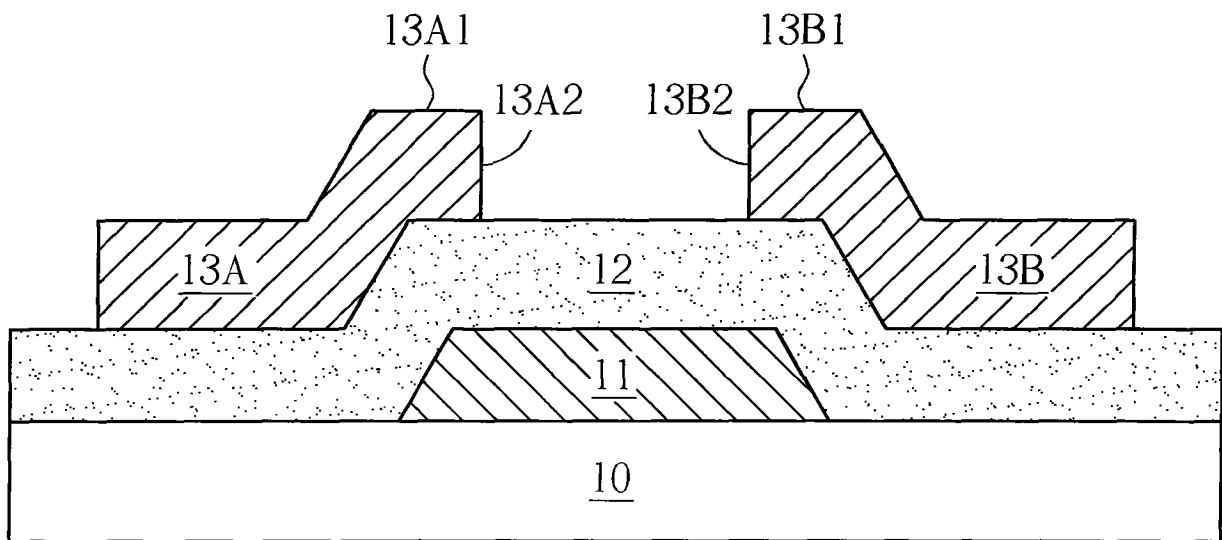


图 3C

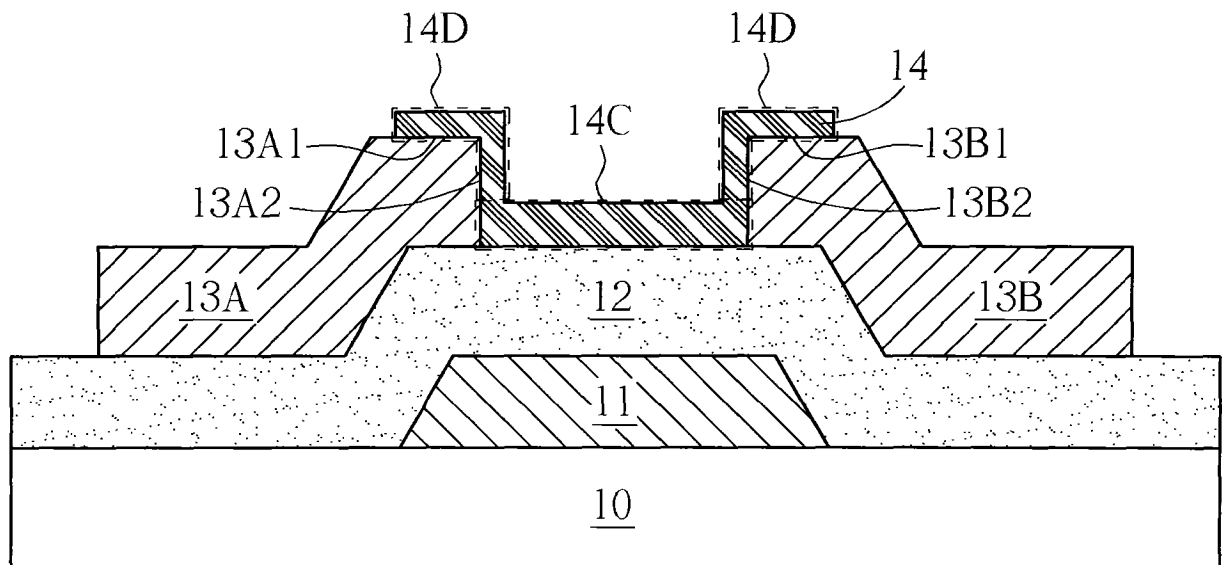


图 3D

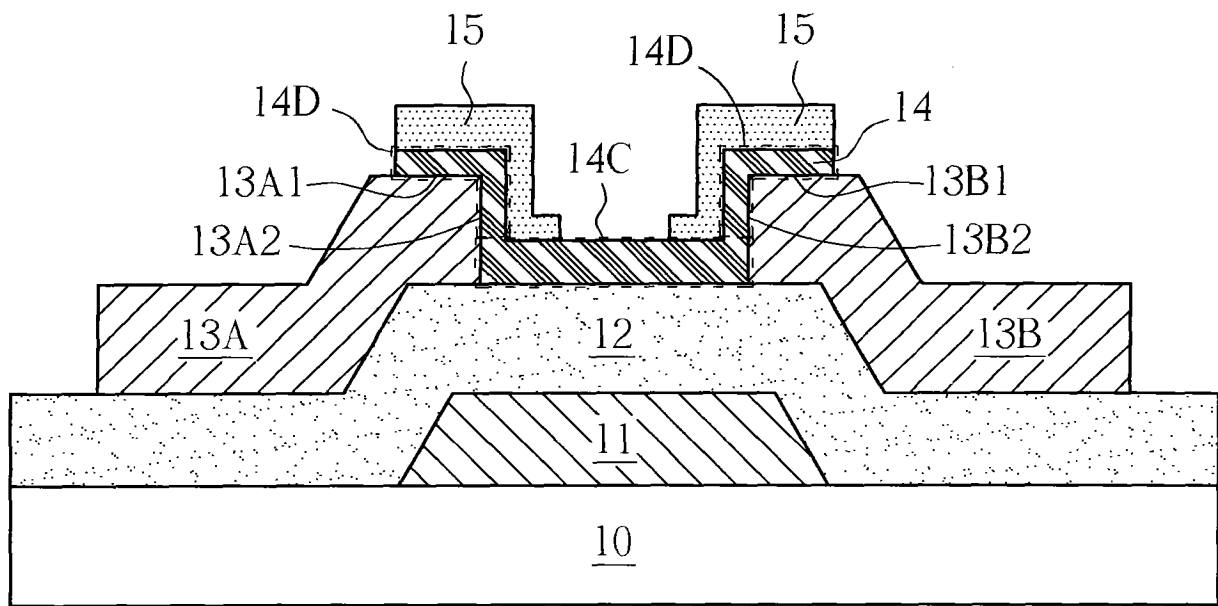


图 3E

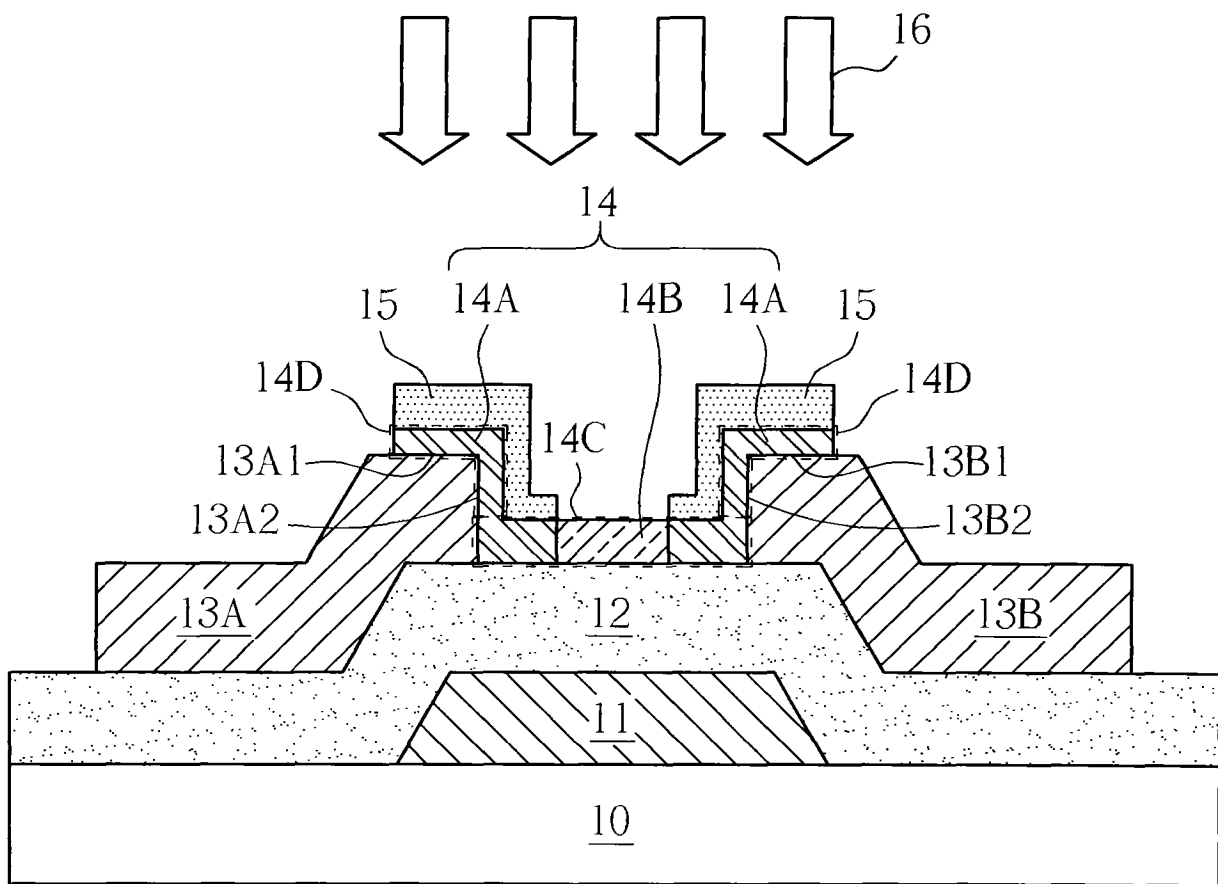


图 3F

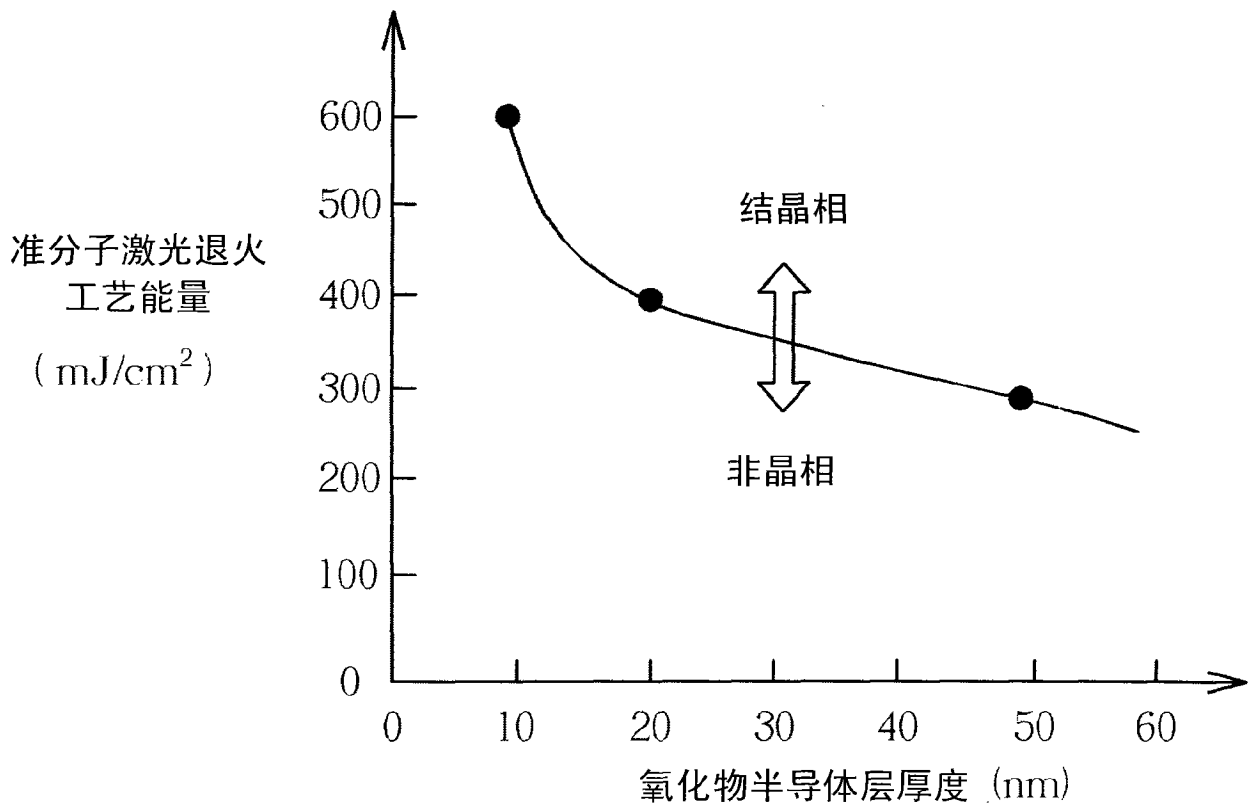


图 4

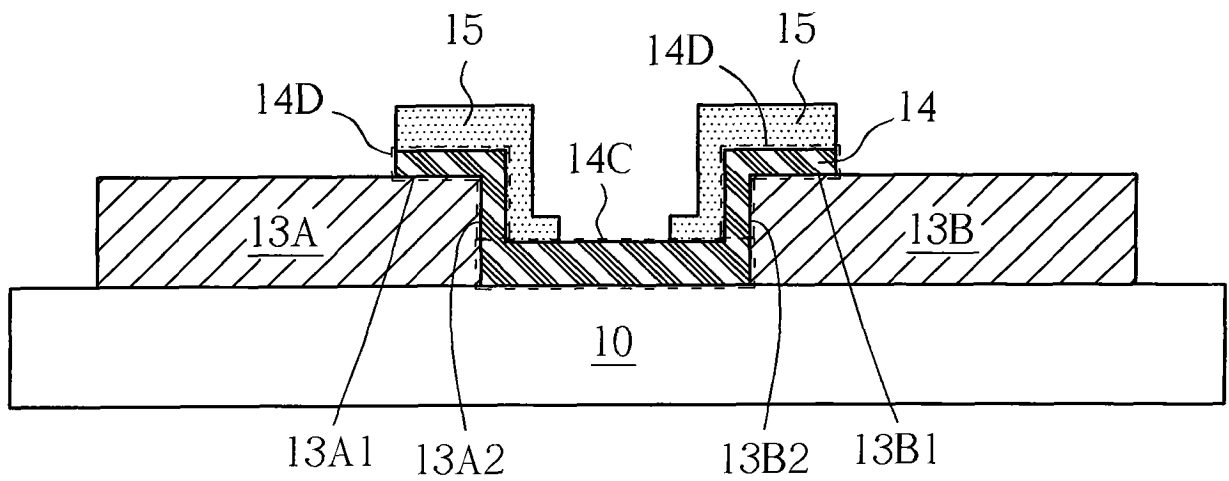


图 5A

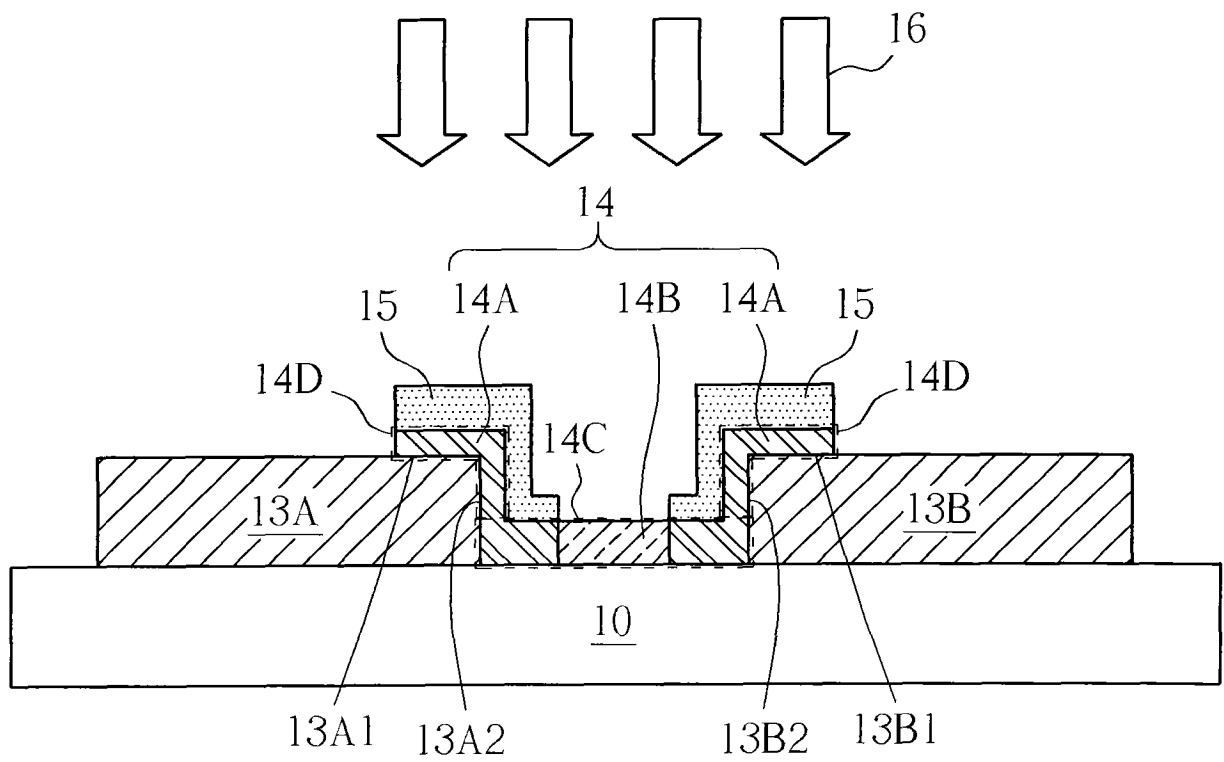


图 5B