

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成17年6月2日(2005.6.2)

【公開番号】特開2003-162272(P2003-162272A)

【公開日】平成15年6月6日(2003.6.6)

【出願番号】特願2002-206186(P2002-206186)

【国際特許分類第7版】

G 09 G 5/00

H 04 N 1/41

H 04 N 7/24

【F I】

G 09 G 5/00 5 2 0 J

H 04 N 1/41 B

H 04 N 7/13 Z

G 09 G 5/00 5 5 5 A

【手続補正書】

【提出日】平成16年8月11日(2004.8.11)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【書類名】明細書

【発明の名称】画像処理装置、画像伝送装置、画像受信装置及び画像処理方法

【特許請求の範囲】

【請求項1】原画像であるラスタ画像のビットプレーン数を減少させた後、該ビットプレーン数が減少したラスタ画像のビットプレーン数を前記原画像のビットプレーン数以下に増加する画像処理装置であって、

前記ラスタ画像のビットプレーン数を減少する際に、二次元ディザマトリクスを用いて多値ディザ処理を行う第1の画像処理手段と、

前記ビットプレーン数が減少したラスタ画像のビットプレーン数を増加する際に、前記第1の画像処理手段が用いた前記二次元ディザマトリクス及び前記ビットプレーン数が減少したラスタ画像の階調値に基づいてビット付加処理を行う第2の画像処理手段を有することを特徴とする画像処理装置。

【請求項2】原画像であるラスタ画像のビットプレーン数を減少させた後、該ビットプレーン数が減少したラスタ画像のビットプレーン数を前記原画像のビットプレーン数以下に増加する画像処理装置であって、

前記ラスタ画像のビットプレーン数を減少する際に、二次元ディザマトリクスを用いて多値ディザ処理を行う第1の画像処理手段と、

前記ビットプレーン数が減少したラスタ画像のビットプレーン数を増加する際に、前記第1の画像処理手段が用いた前記二次元ディザマトリクスに基づいて、周期的に階調を変化させるフレームレート制御処理を行う第2の画像処理手段を有することを特徴とする画像処理装置。

【請求項3】原画像であるラスタ画像のビットプレーン数を減少させた後、該ビットプレーン数が減少したラスタ画像のビットプレーン数を前記原画像のビットプレーン数以下に増加する画像処理装置であって、

前記ラスタ画像のビットプレーン数を減少する際に、二次元ディザマトリクスを用いて多値ディザ処理を行う第1の画像処理手段と、

前記ビットプレーン数が減少したラスタ画像のビットプレーン数を増加する際に、前記第1の画像処理手段が用いた前記二次元ディザマトリクスに基づいてビット付加処理を行い、前記原画像の信号値と前記ビットプレーン数を増加させたラスタ画像の全てのディザ値の平均との差が最小となるようにオフセット値を付加する第2の画像処理手段とを有することを特徴とする画像処理装置。

【請求項4】 前記原画像のビットプレーン数よりもバス幅が小さい伝送路を介して、前記ビットプレーン数が減少したラスタ画像を伝送することを特徴とする請求項1から3のいずれか1項記載の画像処理装置。

【請求項5】 前記第1の画像処理手段によって前記ビットプレーン数が減少したラスタ画像のデータを蓄積する蓄積手段を有し、

前記第2の画像処理手段は、前記蓄積手段に蓄積されたラスタ画像のデータを読み出してビットプレーン数を増加することを特徴とする請求項1から4のいずれか1項記載の画像処理装置。

【請求項6】 前記ラスタ画像は、RGB信号の各色いずれもが同じビットプレーン数を有するRGBカラー画像であり、ビットプレーン数の減少量はB信号が最も大きく、G信号が最も小さいことを特徴とする請求項1から5のいずれか1項記載の画像処理装置。

【請求項7】 前記第1及び第2の画像処理手段は、ラスタ画像の要素成分の最大値及び最小値が、画像処理の前後でその値が変化しないように画像処理を行うことを特徴とする請求項1から6のいずれか1項記載の画像処理装置。

【請求項8】 前記第2の画像処理手段が、前記表示装置の駆動回路と同じ基板上に形成されたことを特徴とする請求項1から7のいずれか1項に記載の画像処理装置。

【請求項9】 前記第1の画像処理手段が、前記表示装置の駆動回路と同じ基板上に形成されたことを特徴とする請求項1から8のいずれか1項に記載の画像処理装置。

【請求項10】 第1の装置から第2の装置へ原画像であるラスタ画像を伝送する画像伝送装置において、

前記第1の装置にて、前記原画像であるラスタ画像に対して二次元ディザマトリクスを用いて多値ディザ処理を施し、ビットプレーン数が減少したラスタ画像を前記第2の装置に伝送し、

前記第2の装置にて、前記第1の装置から伝送されたラスタ画像に対して、前記原画像のビットプレーン数となるように前記多値ディザ処理で用いた前記二次元ディザマトリクス及び前記ビットプレーン数が減少したラスタ画像の階調値に基づいてビット付加処理を行うことを特徴とする画像伝送装置。

【請求項11】 第1の装置から第2の装置へ原画像であるラスタ画像を伝送する画像伝送装置において、

前記第1の装置にて、前記原画像であるラスタ画像に対して二次元ディザマトリクスを用いて多値ディザ処理を施し、ビットプレーン数が減少したラスタ画像を前記第2の装置に伝送し、

前記第2の装置にて、前記第1の装置から伝送されたラスタ画像に対して、前記原画像のビットプレーン数となるように前記多値ディザ処理で用いた前記二次元ディザマトリクスに基づいてビット付加処理を行い、

前記原画像の信号値と、前記ビットプレーン数を増加させたラスタ画像の全てのディザ値の平均値との差が最小となるようにオフセット値を付加する処理を行うことを特徴とする画像伝送装置。

【請求項12】 前記第1及び第2の装置においては、前記ラスタ画像の要素成分の最大値及び最小値が、処理の前後でその値が変化しないように処理を行うことを特徴とする請求項10又は11記載の画像伝送装置。

【請求項13】 二次元ディザマトリクスを用いた多値ディザ処理が施されて原画像であるラスタ画像よりもビットプレーン数が減少したラスタ画像を受信し、

該ビットプレーン数が減少したラスタ画像に対して、前記原画像のビットプレーン数と

なるように前記多値ディザ処理で用いた前記二次元ディザマトリクス及び前記ビットプレーン数が減少したラスタ画像の階調値に基づいてビット付加処理を行うことを特徴とする画像受信装置。

【請求項 14】 二次元ディザマトリクスを用いた多値ディザ処理が施されて原画像であるラスタ画像よりもビットプレーン数が減少したラスタ画像を受信し、

該ビットプレーン数が減少したラスタ画像に対して、前記原画像のビットプレーン数となるように、前記多値ディザ処理で用いた前記二次元ディザマトリクスに基づいてビット付加処理を行い、

前記原画像の信号値と、前記ビットプレーン数を増加させたラスタ画像の全てのディザ値の平均値との差が最小となるようにオフセット値を付加する処理を行うことを特徴とする画像受信装置。

【請求項 15】 前記ラスタ画像の要素成分の最大値及び最小値が、処理の前後でその値が変化しないように処理を行うことを特徴とする請求項13又は14記載の画像受信装置。

【請求項 16】 原画像であるラスタ画像のビットプレーン数を減少させた後、該ビットプレーン数が減少したラスタ画像のビットプレーン数を前記原画像のビットプレーン数以下に増加する画像処理方法であって、

前記ラスタ画像のビットプレーン数を減少する際に、二次元ディザマトリクスを用いて多値ディザ処理を行う第1の画像処理ステップと、

前記第1の画像処理ステップにおいて処理されたラスタ画像のビットプレーン数を増加する際に、前記第1の画像処理ステップで用いた前記二次元ディザマトリクス及び前記ビットプレーン数が減少したラスタ画像の階調値に基づいてビット付加処理を行う第2の画像処理ステップとを有することを特徴とする画像処理方法。

【請求項 17】 原画像であるラスタ画像のビットプレーン数を減少させた後、該ビットプレーン数が減少したラスタ画像のビットプレーン数を前記原画像のビットプレーン数以下に増加する画像処理方法であって、

前記ラスタ画像のビットプレーン数を減少する際に、二次元ディザマトリクスを用いて多値ディザ処理を行う第1の画像処理ステップと、

前記第1の画像処理ステップにおいて処理されたラスタ画像のビットプレーン数を増加する際に、前記第1の画像処理ステップが用いた前記二次元ディザマトリクスに基づいて周期的に階調を変化させるフレームレート制御を行う第2の画像処理ステップとを有することを特徴とする画像処理方法。

【請求項 18】 原画像であるラスタ画像のビットプレーン数を減少させた後、該ビットプレーン数が減少したラスタ画像のビットプレーン数を前記原画像のビットプレーン数以下に増加する画像処理方法であって、

前記ラスタ画像のビットプレーン数を減少する際に、二次元ディザマトリクスを用いて多値ディザ処理を行う第1の画像処理ステップと、

前記第1の画像処理ステップにおいて処理されたラスタ画像のビットプレーン数を増加する際に、前記第1の画像処理ステップで用いた前記二次元ディザマトリクスに基づいてビット付加処理を行い、前記原画像の信号値と前記ビットプレーン数を増加させたラスタ画像の全てのディザ値の平均との差が最小となるようにオフセット値を付加する第2の画像処理ステップとを有することを特徴とする画像処理方法。

【請求項 19】 前記原画像のビットプレーン数よりもバス幅が小さい伝送路を介して、前記ビットプレーン数が減少したラスタ画像を伝送することを特徴とする請求項16から18のいずれか1項記載の画像処理方法。

【請求項 20】 前記第1の画像処理ステップの後段に、当該第1の画像処理ステップにおいてビットプレーン数を減少させた第1のラスタ画像を蓄積手段に蓄積するステップを有し、

前記第2の画像処理ステップにおいては、前記蓄積手段に蓄積されたラスタ画像を読み出して、ビットプレーン数を増加させることを特徴とする請求項16から19のいずれか

1 項記載の画像処理方法。

【請求項 2 1】 前記ラスタ画像は、RGB信号の各色いずれもが同じビットプレーン数を有するRGBカラー画像であり、

ビットプレーン数の減少量はB信号が最も大きく、G信号が最も小さいことを特徴とする請求項16から20のいずれか1項記載の画像処理方法。

【請求項 2 2】 第1の装置から第2の装置へ原画像であるラスタ画像を伝送する画像伝送装置の画像処理方法であって、

前記第1の装置にて、

前記原画像であるラスタ画像に対して二次元ディザマトリクスを用いて多値ディザ処理を施す第1の画像処理ステップと、

前記第1の画像処理ステップによりビットプレーン数が減少したラスタ画像を前記第2の装置へ伝送する伝送ステップと、

前記第2の装置にて、

前記伝送ステップにおいて前記第1の装置から伝送された前記ラスタ画像に対して、前記原画像のビットプレーン数となるように前記多値ディザ処理で用いた前記二次元ディザマトリクス及び前記ビットプレーン数が減少したラスタ画像の階調値に基づいてビット附加処理を行う第2の画像処理ステップと、

を有することを特徴とする画像伝送装置の画像処理方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、画像処理装置、画像伝送装置及び画像処理方法に関し、特にラスタ画像を蓄積するメモリを有したディスプレイの画像処理における高画質化並びにコンピュータからディスプレイへのラスタ画像の伝送効率を向上する画像処理装置、画像伝送装置、画像受信装置及び画像処理方法に関する。

【0002】

【従来の技術】

現在、コンピュータからディスプレイへの画像伝送方法としては、ラスタ画像をフレーム周波数ごとに伝送する方法が用いられている。この方法は、データ伝送量が多く、静止画を表示している場合などには無駄が多いものであった。

【0003】

データ伝送量を減らす方法としては、画像をJPEGやGIF等のファイル形式に圧縮して伝送する方法が考えられる。しかしながら、フレームごとに圧縮及び展開処理を行うには高速動作を行う演算処理部が必要であり、コスト増加につながる。

【0004】

一方、静止画表示における伝送の無駄を減らす方法として、ディスプレイ側に内蔵したラスタ画像を蓄積するメモリであるフレームメモリを搭載し、静止画を表示している場合はデータ伝送を中断する方法が考えられる。これは、同時に消費電力を減少させることができるため、携帯情報機器などにおいて特に有効である。

【0005】

携帯情報機器に搭載されているディスプレイは、特に消費電力の減少、チップ面積の減少が重要である。この要求を満たすため、静止画表示においてはメモリに蓄積された画像を表示し、かつ、チップ面積を占める割合の大きいメモリ部の容量が小さいことが望ましい。このように、メモリに画像を蓄積することでデータ伝送時の消費電力を減少し、メモリ容量を小さくすることでチップ面積を減少する。

【0006】

メモリ容量を減少するには、画像データを圧縮する方法が考えられる。しかしながら、JPEG形式やGIF形式といった画像圧縮方法では、展開するための画像処理部が必要となり、チップ面積の減少、消費電力の減少という効果が薄れてしまう。

【0007】

その他の方法として、ラスタ画像のビットプレーン数を減らすことが考えられる。ここでビットプレーン数とは、 2^n 乗で量子化されたデジタル画像において、その階調を表すデータのビット数 n であり、当該ビット数 n のことを指すものである。このビットプレーン数を減らす方法には、多値ディザ法や固定しきい値法などがあり、その詳細は、新版画像電子ハンドブック p. 41-51 に開示されている。これら多値ディザ法や固定しきい値法は、JPEG 形式や GIF 形式といった画像圧縮方法と異なり、圧縮画像を展開する必要がない。

【0008】

図 38 は、従来の画像処理装置の概略構成を示すブロック図である。図 38 を用いて、従来の多値ディザ法を用いたラスタ画像のビットプレーン圧縮例として、RGB 各色 6 ビットのラスタ画像がコンピュータから伝送され、各色 6 ビット表示を行うディスプレイ画像表示部を備える構成について説明する。

【0009】

まず、各色 6 ビットのラスタ画像 1 のうち、下位 2 ビットが比較器 12 に送られる。しきい値生成部 11 は、組織的ディザに基づくディザマトリクスを生成し、入力された画像の画素 (XY 座標値) から一意に決まる 2 ビット値を比較器 12 に出力する。

【0010】

比較器 12 は、ラスタ画像 1 から送られる下位 2 ビットとしきい値生成部 11 から送られる 2 ビット値とを比較し、しきい値生成部 11 から送られてきた値の方が大きいときは「1」を、その他の場合は「0」をセレクタ 13 に出力する。

【0011】

セレクタ 13 は、比較器 12 からの出力値に基づき、ラスタ画像 1 の上位 4 ビットをそのまま、又は 1 を減算した値をメモリ 2 に出力する。メモリ 2 に蓄積された各色 4 ビット画像は、ビット付加部 14 で 4 ビットのうちの上位 2 ビットの値を、入力された 4 ビット値の下位ビットとして付加し、6 ビット画像として画像表示部 3 に出力する。

【0012】

このような構成により、多値ディザ法によるビットプレーン数の減少が行われ、擬似的に各色 6 ビットの画像を表示するものである。

【0013】

一方、特公平 2-8493 号公報には、デジタル化した入力信号をレベル圧縮した後伝送し、伝送された圧縮信号をレベル伸張するデジタル信号において、最大値を検出した後、最大値に応じてディザ値を加算した後レベル圧縮し、レベル伸張した後にディザ値を減算する各回路を備えるデジタル信号の処理装置（以下、第 1 の従来技術）が開示されている。

【0014】

このような構成にすることにより、1 次元信号であるデジタル化されたオーディオ信号において誤差の少ない出力が得られている。

【0015】

【発明が解決しようとする課題】

しかしながら、従来の多値ディザ法や固定しきい値法では、ビットプレーン数を減らすことにより、偽輪郭、偽色の発生、粒状感等がみられ、画質が低下してしまうという問題点があった。

また、ディスプレイへの表示形態として、スーパーインポーズと呼ばれる手法がある。これは、ある表示画面上に「文字」のような異なる画面を重ねて表示する技術である。この場合、入力画像として、複数の画面（例えば、画像と文字）を用意しなければならないため、入力画像のデータ容量が大きくなってしまい、入力画像をメモリに蓄積したり、バス幅に制限のある伝送路を介して伝送することが難しくなってしまう。

さらに、携帯端末など、表示画面の最大解像度が小さいディスプレイでは、地図などの大きい画像を表示する際に画像をスクロールさせる必要がある。このスクロール表示は一見単純な動作であるが、表示メモリの書き換え量が多くなり、これに伴って消費電力が増

大してしまうという問題がある。

【0016】

また、図39(a)に示すように、ディスプレイなどの表示装置に画像を表示させる場合、主走査方向のラインに沿って各画素に対して画像信号を入力していく、これを副走査方向に複数ライン繰り返すことで全ての画素に対して画像信号を入力することになる。

【0017】

ここで、第1の従来技術を、画像表示に適用した場合を考える。なお、この例では、ディザ周期を4ビットとする。

(b)に示すように、表示装置の主走査方向の画素数が $4n+1$ の場合は、主走査方向、副走査方向ともにディザに周期性が現れるため、画像の圧縮・伸張に伴う画質の劣化は小さい。これは、表示装置の主走査方向の画素数が $4n+2$ や $4n+3$ の場合も同様である。すなわち、表示装置の主走査方向の画素数がディザ周期を因数として含まない場合は、画像の圧縮・伸張に伴う画質の劣化は小さい。

しかし、表示装置の主走査方向の画素数が $4n$ である場合、換言すると、表示装置の主走査方向の画素数がディザ周期を因数として含む場合は、(c)に示すように、主走査方向にはディザの周期性が表れるが副走査方向にはディザの周期性が見られなくなり、画像の圧縮・伸張にともなう画質の劣化が大きくなってしまう。

【0018】

ラスタ画像に対するディザ処理の場合は、ディザ周期が小さいほど高周波な微小ノイズが得られるため、画質の劣化を小さくできる。しかし、一般的に、表示装置の主走査方向の画素数は、“2”～“6”を因数として含む数(480, 720, 840等)であるため、第1の従来技術を画像表示に適用すると、図39(c)の状態となり、画像の圧縮・伸張に伴って画質が劣化してしまうことになる。

表示装置の主走査方向の画素数の因数とならないように、ディザの周期を大きくした場合は、ディザ処理の本来の目的である高周波な微小ノイズが得られなくなり、やはり画像の圧縮・伸張に伴って画質が劣化してしまうことになる。

【0019】

また、第1の従来技術をそのまま適用すると、複数ビットからなるデジタル信号のどの桁にディザ値を加算するかを特定するために、圧縮側に最大値検出回路を設けた上で、最大値の最大利用桁ビットが何桁目であるかを示す信号を随時、デジタル信号とともに受信側へ送信しなければならなくなる。さらに、圧縮したデジタル信号をメモリなどに蓄積する場合は、デジタル信号とともに最大利用桁ビットが何桁目であるかを示す信号を蓄積しなければならない。

しかし、このような処理を行う構成は、回路が複雑となり、消費電力やチップ面積が増大してしまうためディスプレイなどの画像処理装置に適用する構成として好ましいものではない。

【0020】

さらに、第1の従来技術ではデジタル信号の最大値及び最小値での処理方法について何ら示唆されていない。このため、ディスプレイなどのように、最大値である「白」表示(例えば、文字出力や幾何学図形の表示など)や最小値である「黒」表示が頻繁に行われる画像処理装置においては画質の劣化を招いてしまうことになる。これは「黒」・「白」表示において粒状感がみられやすくなるためである。

このように、第1の従来技術をそのまま画像処理に適用した場合は、画像の圧縮・伸張に伴う画質の劣化を招くことになる。

【0021】

よって、第1の従来技術を画像表示に応用する場合は、二次元信号であるラスタ画像に適したディザマトリクスの構成を適用しなければならない。さらに画像はその種類(文字表示か自然画表示か)によって画素の階調値に偏りが生じることから、よりラスタ画像に適した画像処理を行うのが望ましい。

【0022】

さらに、表示装置の画像表示においては、全ての画像に対して圧縮するとは限らない。たとえば動画表示のような場合には、フレームごとに画像を圧縮伸張処理することとなり、消費電力や演算量が増加してしまうため、画像を圧縮伸張することはあまり望ましくない。

【 0 0 2 3 】

本発明は、上記問題点を解消するために成されたものであり、メモリ容量を減らしても通常のラスタ画像と遜色のない画像処理を行うとともに、メモリ容量のみならず、ラスタ画像のデータ伝送においても画質劣化を抑えながら伝送容量を減らすことのできる画像処理装置、画像伝送装置、画像受信装置及び画像処理方法を提供することを目的とする。さらに本発明は、そのような画像処理を用いて画像伝送、メモリの効率利用をはかり、消費電力や演算量を低減できる優れた画像処理装置、画像伝送装置、画像受信装置及び画像処理方法を提供することを目的とする。

【 0 0 2 4 】

【課題を解決するための手段】

上記目的を達成するため、本発明は、第1の態様として、原画像であるラスタ画像のビットプレーン数を第1の画像処理手段によって減少させた後に第2の画像処理手段によってビットプレーン数を増加させる画像処理装置を提供するものである。

本発明第1の態様は、下記1-1～1-3のいずれかに示す画像処理装置である。

1-1：原画像であるラスタ画像のビットプレーン数を減少させた後、該ビットプレーン数が減少したラスタ画像のビットプレーン数を原画像のビットプレーン数以下に増加する画像処理装置であって、ラスタ画像のビットプレーン数を減少する際に、二次元ディザマトリクスを用いて多値ディザ処理を行う第1の画像処理手段と、ビットプレーン数が減少したラスタ画像のビットプレーン数を増加する際に、第1の画像処理手段が用いた二次元ディザマトリクス及びビットプレーン数が減少したラスタ画像の階調値に基づいてビット付加処理を行う第2の画像処理手段を有することを特徴とする画像処理装置。

1-2：原画像であるラスタ画像のビットプレーン数を減少させた後、該ビットプレーン数が減少したラスタ画像のビットプレーン数を原画像のビットプレーン数以下に増加する画像処理装置であって、ラスタ画像のビットプレーン数を減少する際に、二次元ディザマトリクスを用いて多値ディザ処理を行う第1の画像処理手段と、ビットプレーン数が減少したラスタ画像のビットプレーン数を増加する際に、第1の画像処理手段が用いた二次元ディザマトリクスに基づいて、周期的に階調を変化させるフレームレート制御処理を行う第2の画像処理手段を有することを特徴とする画像処理装置。

1-3：原画像であるラスタ画像のビットプレーン数を減少させた後、該ビットプレーン数が減少したラスタ画像のビットプレーン数を原画像のビットプレーン数以下に増加する画像処理装置であって、ラスタ画像のビットプレーン数を減少する際に、二次元ディザマトリクスを用いて多値ディザ処理を行う第1の画像処理手段と、ビットプレーン数が減少したラスタ画像のビットプレーン数を増加する際に、第1の画像処理手段が用いた二次元ディザマトリクスに基づいてビット付加処理を行い、原画像の信号値とビットプレーン数を増加させたラスタ画像の全てのディザ値の平均との差が最小となるようにオフセット値を付加する第2の画像処理手段とを有することを特徴とする画像処理装置。

上記本発明の第1の態様のいずれの構成においても、原画像のビットプレーン数よりもバス幅が小さい伝送路を介して、ビットプレーン数が減少したラスタ画像を伝送することが好ましい。また、第1の画像処理手段によってビットプレーン数が減少したラスタ画像のデータを蓄積する蓄積手段を有し、第2の画像処理手段は、蓄積手段に蓄積されたラスタ画像のデータを読み出してビットプレーン数を増加することが好ましい。また、ラスタ画像は、R G B 信号の各色いずれもが同じビットプレーン数を有する R G B カラー画像であり、ビットプレーン数の減少量は B 信号が最も大きく、G 信号が最も小さいことが好ましい。また、第2の画像処理手段が、表示装置の駆動回路と同じ基板上に形成されることが好ましい。また、第1の画像処理手段が、表示装置の駆動回路と同じ基板上に形成されることが好ましい。

【0025】

本発明の第1の態様によれば、原画像であるラスタ画像のビットプレーン数を第1の画像処理手段によって減少させた後に第2の画像処理手段によってビットプレーン数を増加させることができるために、表示装置に送られるビットマップ画像の圧縮・伸張を少ないロジック数で行うことができ、メモリ容量や伝送容量の減少を図ることができる。

また、本発明の第1の態様においては、ラスタ画像のビットプレーン数を減少させるときは、二次元ディザマトリクスを用いて多値ディザ処理を施し、ビットプレーン数を増加させるときは多値ディザ処理で用いた二次元ディザマトリクスを基にビット付加を行うため、ビット付加を行った画像は原画像との誤差が多値ディザ法と比較して小さくなる。これにより、誤差が大きい場合に現れる粒状感や偽色を抑制でき、高画質な表示が得られる。

なお、本態様の画像処理装置を基板（例えば、ガラス基板）上に駆動回路を形成した表示装置に適用する場合は、同じプロセスで基板上に形成することが可能である。よって、本態様の画像処理装置を表示装置に適用すれば、省メモリによる面積減少、及び低消費電力を実現できる。

【0026】

また、上記目的を達成するため。本発明は、第2の態様として、伝送容量の効率化を図った画像伝送装置を提供するものである。

本発明の第4の態様は、下記2-1又は2-2に示す画像伝送装置である。

2-1：第1の装置から第2の装置へ原画像であるラスタ画像を伝送する画像伝送装置において、第1の装置にて、原画像であるラスタ画像に対して二次元ディザマトリクスを用いて多値ディザ処理を施し、ビットプレーン数が減少したラスタ画像を第2の装置に伝送し、第2の装置にて、第1の装置から伝送されたラスタ画像に対して、原画像のビットプレーン数となるように多値ディザ処理で用いた二次元ディザマトリクス及びビットプレーン数が減少したラスタ画像の階調値に基づいてビット付加処理を行うことを特徴とする画像伝送装置。

2-2：第1の装置から第2の装置へ原画像であるラスタ画像を伝送する画像伝送装置において、第1の装置にて、原画像であるラスタ画像に対して二次元ディザマトリクスを用いて多値ディザ処理を施し、ビットプレーン数が減少したラスタ画像を第2の装置に伝送し、第2の装置にて、第1の装置から伝送されたラスタ画像に対して、原画像のビットプレーン数となるように多値ディザ処理で用いた二次元ディザマトリクスに基づいてビット付加処理を行い、原画像の信号値と、ビットプレーン数を増加させたラスタ画像の全てのディザ値の平均値との差が最小となるようにオフセット値を付加する処理を行うことを特徴とする画像伝送装置。

本発明の第2の態様の画像伝送装置において、第1及び第2の装置においては、ラスタ画像の要素成分の最大値及び最小値が、処理の前後でその値が変化しないように処理を行うことが好ましい。

【0027】

上記本発明の第2の態様によれば、第1の装置から第2の装置へラスタ画像を伝送する画像伝送装置において、第1の装置にて、原画像のビットプレーン数を減少し、ビットプレーン数が減少したラスタ画像を第2の装置に伝送し、第2の装置にて、第1の装置から伝送されたラスタ画像のビットプレーン数を原画像のビットプレーン数以上に増加することで伝送容量の効率化を図れる。本態様の画像伝送装置は、原画像であるラスタ画像に対して二次元ディザマトリクスを用いて多値ディザ処理を施し、ビットプレーン数が減少したラスタ画像を伝送した後、原画像のビットプレーン数となるように多値ディザ処理で用いた二次元ディザマトリクスをもとにビット付加を行うことで伝送容量の効率化を図ることができる。

これにより、例えば、バス幅が16ビットしかない伝送路を用いてRGB各色6ビット（計18ビット）のラスタ画像のデータを伝送したい場合に、ラスタ画像に対してビットプレーン圧縮を施すことで、データをパラレル伝送することが可能となる。

【0028】

また、上記目的を達成するため、本発明は、第3の態様として、原画像よりもビットプレーン数が減少した状態でラスタ画像を受信し、受信した画像のビットプレーン数を増加する画像受信装置を提供するものである。

本発明の第5の態様は、下記3-1又は3-2に示す画像受信装置である。

3-1：二次元ディザマトリクスを用いた多値ディザ処理が施されて原画像であるラスタ画像よりもビットプレーン数が減少したラスタ画像を受信し、該ビットプレーン数が減少したラスタ画像に対して、原画像のビットプレーン数となるように多値ディザ処理で用いた二次元ディザマトリクス及びビットプレーン数が減少したラスタ画像の階調値に基づいてビット付加処理を行うことを特徴とする画像受信装置。

3-2：二次元ディザマトリクスを用いた多値ディザ処理が施されて原画像であるラスタ画像よりもビットプレーン数が減少したラスタ画像を受信し、該ビットプレーン数が減少したラスタ画像に対して、原画像のビットプレーン数となるように、多値ディザ処理で用いた二次元ディザマトリクスに基づいてビット付加処理を行い、原画像の信号値と、ビットプレーン数を増加させたラスタ画像の全てのディザ値の平均値との差が最小となるようにオフセット値を付加する処理を行うことを特徴とする画像受信装置。

上記本発明の第3の態様においては、ラスタ画像の要素成分の最大値及び最小値が、処理の前後でその値が変化しないように処理を行うことが好ましい。

【0029】

上記本発明の第3の態様によれば、原画像よりもビットプレーン数が減少した状態で受信したラスタ画像のビットプレーン数を増加させることができるために、画像を受信するための伝送路の効率化を図ることができる。本態様の画像受信装置は、二次元ディザマトリクスを用いた多値ディザ処理が施されて原画像よりもビットプレーン数が減少した状態のラスタ画像を受信し、受信した画像に対して原画像のビットプレーン数となるように多値ディザ処理で用いた二次元ディザマトリクスを基にビット付加を行うため、画像を受信するための伝送路の効率化を図ることができる。

例えば、画像を受信するための伝送路が16ビットのバス幅しか備えていない装置において各色6ビット（計18ビット）のラスタ画像を受信したい場合には、送信側においてビットプレーン数が減少された状態のラスタ画像を受信して、この画像のビットプレーン数を増加させることにより、原画像と比較して画質に遜色のない画像を各色パラレルに受信することが可能となる。

【0030】

また、上記目的を達成するため、本発明は、第4の態様として、原画像であるラスタ画像のビットプレーン数を第1の画像処理ステップにおいて減少させた後、第2の画像処理ステップを施してビットプレーン数を増加させる画像処理方法を提供するものである。

本発明の第4の態様は、下記4-1～4-3のいずれかに示す画像処理方法である。

4-1：原画像であるラスタ画像のビットプレーン数を減少させた後、該ビットプレーン数が減少したラスタ画像のビットプレーン数を原画像のビットプレーン数以下に増加する画像処理方法であって、ラスタ画像のビットプレーン数を減少する際に、二次元ディザマトリクスを用いて多値ディザ処理を行う第1の画像処理ステップと、第1の画像処理ステップにおいて処理されたラスタ画像のビットプレーン数を増加する際に、第1の画像処理ステップで用いた二次元ディザマトリクス及びビットプレーン数が減少したラスタ画像の階調値に基づいてビット付加処理を行う第2の画像処理ステップとを有し、選択手段では、原画像が静止画像の場合は第2のラスタ画像が選択され、原画像が動画像の場合は第1のラスタ画像が選択されることを特徴とする画像処理方法。

4-2：原画像であるラスタ画像のビットプレーン数を減少させた後、該ビットプレーン数が減少したラスタ画像のビットプレーン数を原画像のビットプレーン数以下に増加する画像処理方法であって、ラスタ画像のビットプレーン数を減少する際に、二次元ディザマトリクスを用いて多値ディザ処理を行う第1の画像処理ステップと、第1の画像処理ステップにおいて処理されたラスタ画像のビットプレーン数を増加する際に、第1の画像処

理ステップが用いた二次元ディザマトリクスに基づいて周期的に階調を変化させるフレームレート制御を行う第2の画像処理ステップとを有することを特徴とする画像処理方法。

4-3：原画像であるラスタ画像のビットプレーン数を減少させた後、該ビットプレーン数が減少したラスタ画像のビットプレーン数を原画像のビットプレーン数以下に増加する画像処理方法であって、ラスタ画像のビットプレーン数を減少する際に、二次元ディザマトリクスを用いて多値ディザ処理を行う第1の画像処理ステップと、第1の画像処理ステップにおいて処理されたラスタ画像のビットプレーン数を増加する際に、第1の画像処理ステップで用いた二次元ディザマトリクスに基づいてビット付加処理を行い、原画像の信号値とビットプレーン数を増加させたラスタ画像の全てのディザ値の平均との差が最小となるようにオフセット値を付加する第2の画像処理ステップとを有することを特徴とする画像処理方法。

上記本発明の第4の態様のいずれの画像処理方法においても、原画像のビットプレーン数よりもバス幅が小さい伝送路を介して、ビットプレーン数が減少したラスタ画像を伝送することが好ましい。また、第1の画像処理ステップの後段に、当該第1の画像処理ステップにおいてビットプレーン数を減少させた第1のラスタ画像を蓄積手段に蓄積するステップを有し、第2の画像処理ステップにおいては、蓄積手段に蓄積されたラスタ画像を読み出して、ビットプレーン数を増加させることが好ましい。また、また、ラスタ画像は、RGB信号の各色いずれもが同じビットプレーン数を有するRGBカラー画像であり、ビットプレーン数の減少量はB信号が最も大きく、G信号が最も小さいことが好ましい。

【0031】

上記本発明の第4の態様によれば、原画像であるラスタ画像のビットプレーン数を第1の画像処理ステップにおいて減少させた後に第2の画像処理ステップにおいてビットプレーン数を増加させるため、少ないロジック数で表示装置に送られるビットマップ画像の圧縮・伸張を行う方法を提供できる。よって、本態様の画像処理方法を実行する装置のメモリ容量や伝送容量の減少を図れる。

また、本態様の画像処理方法においては、ラスタ画像のビットプレーン数を減少させるときは、二次元ディザマトリクスを用いて多値ディザ処理を施し、ビットプレーン数を増加させるときは多値ディザ処理で用いた二次元ディザマトリクスを基にビット付加を行ふため、ビット付加を行った画像は原画像との誤差が多値ディザ法と比較して小さくなる。これにより、誤差が大きい場合に現れる粒状感や偽色を抑制でき、高画質な表示が得られる。

【0032】

また、上記目的を達成するため、本発明は、第5の態様として、第1の装置から第2の装置へ原画像であるラスタ画像を伝送する画像伝送装置の画像処理方法であって、第1の装置にて、原画像であるラスタ画像に対して二次元ディザマトリクスを用いて多値ディザ処理を施す第1の画像処理ステップと、第1の画像処理ステップによりビットプレーン数が減少したラスタ画像を第2の装置へ伝送する伝送ステップと、第2の装置にて、伝送ステップにおいて第1の装置から伝送されたラスタ画像に対して、原画像のビットプレーン数となるように多値ディザ処理で用いた二次元ディザマトリクス及びビットプレーン数が減少したラスタ画像の階調値に基づいてビット付加処理を行う第2の画像処理ステップと、を有することを特徴とする画像伝送装置の画像処理方法を提供するものである。

【0033】

上記本発明の第5の態様によれば、伝送ステップにおいてはビットプレーン数が減少したラスタ画像を伝送するため、伝送容量の効率化を図ることができる。より詳しくは、原画像であるラスタ画像に対して二次元ディザマトリクスを用いて多値ディザ処理を施し、ビットプレーン数が減少したラスタ画像を伝送した後、原画像のビットプレーン数となるように多値ディザ処理で用いた二次元ディザマトリクスをもとにビット付加を行うことで伝送容量の効率化を図ることができる。

これにより、例えば、バス幅が16ビットしかない伝送路を用いてRGB各色6ビット(計18ビット)のラスタ画像のデータを伝送したい場合に、ラスタ画像に対してビット

プレーン圧縮を施すことで、データをパラレル伝送することが可能となる。

【0034】

【発明の実施の形態】

本発明の原理は、ディザ処理という雑音付加処理を行ってビットプレーン数減少を行った画像に対して、その雑音付加処理とは逆の処理によりビットプレーン数を増加することで、従来、雑音付加により生じていた誤差成分を最小限にするものである。このようにすることで、粒状感の減少が図れるとともに、偽色を抑制することが可能となる。

【0035】

例えば、多値ディザ処理により6ビット信号を4ビット信号に変換し、その4ビット信号から6ビット信号に展開する場合を考える。ここで多値ディザ処理におけるディザマトリクスを組織的ディザによるものとすると、 $6 - 4 = 2$ ビット分のディザであるため、2進数で00、01、10、11のいずれかのディザ成分が入力信号に付加される。入力された6ビット信号をX、ディザ成分をDとすると、多値ディザ処理は、次式で表すことができる。

$$Y = \text{int}((X - D) / 4)$$

【0036】

ここで、 $\text{int}(X)$ はXの整数成分を示す。また、4で除算するのは6ビットから4ビットへの変換に対応している。例えば、入力信号が37(2進数で100101)であるなら、多値ディザ処理により、ディザ成分が00の場合は9(1001)、01の場合は9(1001)、10の場合は8(1000)、11の場合は8(1000)、というように変換されることになる。

【0037】

次に、この4ビット信号から6ビット信号への展開を行う。その際の変換式は以下に示すものである。

$$Z = 4 \times Y + D + 2$$

【0038】

ここで、定数の2を除いてみると、 $Y = (Z - D) / 4$ となり、多値ディザ処理の逆の処理となることが分かる。上記変換式に基づいて上述した入力信号が37(2進数で100101)の信号を変換すると、ディザ成分が00の場合は38(100110)、01の場合は39(100111)、10の場合は36(100100)、11の場合は37(100101)となる。変換式における定数の2は、変換後の信号の平均値が入力信号に対して最も近い値をとるように付加されたオフセット値である。

【0039】

この変換結果を従来の多値ディザの6ビット変換と比較すると、従来の変換によれば、4ビットのうち上位2ビット成分を下位2ビットとして付加するものであるので、00の場合は38(100110)、01の場合は38(100110)、10の場合は34(100010)、11の場合は34(100010)、というように変換される。

【0040】

このことから明らかなように、本発明の変換処理によれば、全体的に入力信号に近い値をとっていることが分かる。これは本発明において粒状感の減少及び偽色の抑制が図ることを示している。

【0041】

なお、ここでは6ビット信号から4ビット信号に変換したラスタ画像を6ビットに展開したが、これに限定するものではなく、5ビットに展開することも可能である。この場合、ディザ成分の上位ビットを用いて演算処理を行うことになる。具体的には、 $Z = 2 \times Y + \text{int}(D / 2) + 1$ という演算を行う。このような構成において、5ビットに展開したラスタ画像に対しても、粒状感の減少及び偽色の減少が図れる。

【0042】

また、多値ディザによる処理としてここではディザ値を減算した後量子化を行い、その後ディザ値を加算する構成にしている。ディザ値を加算することにより、最大階調である

「白」付近の誤差は最小となる。これは、後に図6において示すように、ディザ値を加算した結果、「白」を表示する階調（図6では階調値63）よりも大きな階調の出力は全て「白」を表示する階調に丸められてしまうために、全階調の中で「白」付近の誤差が最小となるものである。このような構成にすることにより、最大階調である「白」表示の誤差を最小にしてディザ特有の粒状感をなくし、「白」表示付近の階調つぶれを抑えることができる。

文字や地図などの幾何学图形では、全信号成分が最大階調である「白」をはじめ、信号成分の一つが最大階調である「赤」、「青」、「緑」、「黄」などが多用されることが多い。このため、本発明は、そのような画像の表示品質を向上させることとなる。これは、第1の従来技術では得られない、本発明特有の新規効果・作用である。

【0043】

本発明は、それぞれの画素に対して多値ディザ並みの非常に簡単な処理を施すことにより画質を改善することができる。

【0044】

本発明におけるラスタ画像の信号構成としては、上述したRGB信号以外に、YCbCrといった輝度信号と色度信号とで構成された信号、HSVやLCH信号など輝度信号と彩度信号と色相信号とで構成された信号、などの様々な信号を適用することができる。

また、ここでは画像処理の一例として多値ディザ処理を示したがこれに限ることではなく、上記のような作用が得られる画像処理であればよい。特にビットプレーン数の減少時と増加時とで逆の画像処理を行うような画像処理方法は効果的である。

【0045】

以下、添付図面を参照しながら本発明の実施形態である画像処理装置、画像伝送装置及び画像処理方法を詳細に説明する。図1から図37に、本発明に係る画像処理装置、画像伝送装置及び画像処理方法の好適な実施の形態を示す。

【0046】

第1の実施形態

図1は、本発明の第1の実施形態である画像処理方法の処理の流れを示すフローチャートである。

【0047】

本実施形態による画像処理方法について説明する。画像処理装置にラスタ画像が入力されると（ステップS1）、入力されたラスタ画像に対してビットプレーン数を減少させる処理を施す（ステップS2）。ビットプレーン数が減少したラスタ画像は、メモリへ入力するなどして蓄積する（ステップS3）。その後、メモリに蓄積されたラスタ画像を読み出し、これに対してビットプレーン数を増加する処理を施す（ステップS4）。

このとき、ビットプレーン数を減少させる処理及びビットプレーン数を増加させる処理は、少ないロジック数で行えることが望ましい。さらにいえば、画像処理のロジック数が、この処理によって減少可能なメモリのロジック数（トランジスタ数やセル数など）と比較して十分少ないことが望ましい。通常、ビットプレーン数の減少処理、増加処理における必要ロジック数は少ないため、好適にビットプレーン数の減少・増加を行うことができる。例えば、ビットプレーン数を減少させる処理として「ビット落とし」いわゆる「所定ビットの切り捨て」があるが、その場合は、演算処理を行う必要がない。

【0048】

以上の画像処理方法によって、画像表示処理におけるメモリ容量の減少を計ることが可能となる。さらに、ビットプレーン数の減少・増加においては圧縮率（（圧縮前のデータ容量 - 圧縮後のデータ容量）/圧縮前のデータ容量）が一定となるため、原画像の画像データを圧縮してメモリに蓄積し、蓄積した画像データを伸張して表示する画像処理装置（ディスプレイシステム）における各種画像処理を実行しやすくなる。

【0049】

また、本実施形態においては、ビットプレーン数の減少及び増加処理の間に、ラスタ画像の画像データをメモリに格納する処理を行う場合を例に説明を行ったが、これに限定さ

れることはなく、ラスタ画像の画像データをメモリへ格納する処理の代わりに、所定のバス幅の伝送路を介してラスタ画像の画像データを伝送する処理を行ってもよい。

例えば、ビットプレーン数減少処理を行う機能部とビットプレーン数増加処理を行う機能部との間の伝送路が、ラスタ画像を原画像の状態で伝送するのに十分なバス幅を有していない場合を考える。この場合は、ビットプレーン数減少処理によってラスタ画像のビットプレーン数を伝送可能なビットプレーン数に減少させ、ビットプレーン数が減少したラスタ画像を伝送する。その後、ビットプレーン数増加処理によって、ラスタ画像のビットプレーン数を増加させた後に画像表示部などへ出力することによって、画像表示部などにおいてラスタ画像を表示できる。

このように、ビットプレーン数減少処理とビットプレーン数増加処理との間に、ビットプレーン数が原画像の状態ではラスタ画像に対して施すことができない処理を行う画像処理方法であれば、上記同様の効果が得られる。

【 0 0 5 0 】

また、ビットプレーン数の減少方法及び増加方法は、他の実施形態においていくつかの例を示して説明しているが、ビットプレーン数の減少方法としてディザ処理、ビットプレーン数の増加方法として減少処理の逆処理を行うと、画質の劣化が少ない画像圧縮・伸張を行えるため好ましい。

【 0 0 5 1 】

第 2 の 実 施 形 態

図 2 は、本発明の第 2 の実施形態である画像処理装置の概略構成を示すブロック図である。図 2 において、コンピュータから送出された R G B 各色 6 ビットのラスタ画像 1 を画像処理部前段 4 で処理した後、各色 4 ビットのラスタ画像をメモリ 2 に蓄積し、当該蓄積された各色 4 ビットのラスタ画像を画像処理部後段 5 で各色 6 ビットに変換して、6 ビット表示可能な画像表示部 3 に出力する構成となっている。なお、図 2 では R G B のうちの 1 色に対するブロック構成を示しているが、他の 2 色に対しても同様な構成を並列で有している。

【 0 0 5 2 】

画像処理部前段 4 は、しきい値生成部 11 A と、比較器 12 と、セレクタ 13 と、減算器と、を有して構成される。入力されたラスタ画像 1 の 6 ビットの階調データのうち下位 2 ビットは比較器 12 に送られ、比較器 12 でしきい値生成部 11 A から出力された 2 ビット信号と比較される。

【 0 0 5 3 】

図 3 は、しきい値生成部の出力信号の生成方法を示す平面図である。

ここではしきい値として、組織的ディザのマトリクスを用いる。しきい値生成部 11 A は、入力された画素の x y 座標値 (x , y) をもとに出力信号を生成する。図 3 において、 $[x \bmod 2]$ とは画素の X 座標値 (x) を 2 で割った余りを示し、 $[y \bmod 2]$ とは画素の Y 座標値 (y) を 2 で割った余りを示す。これら $[x \bmod 2]$ 、 $[y \bmod 2]$ の結果から出力値を生成する。

【 0 0 5 4 】

比較器 12 は、入力されたラスタ画像 1 の 6 ビットの階調データのうち下位 2 ビットの値を A、しきい値生成部 11 a の出力値を B として、A < B の場合に 1 を出力し、その他の場合は 0 をセレクタ 13 に SEL 信号を出力する。この SEL 信号は、セレクタ 13 のセレクト信号となる。

【 0 0 5 5 】

セレクタ 13 には、入力されたラスタ画像 1 の 6 ビットの階調データのうち上位 4 ビットの値と減算器で 1 を減算した値とが入力され、比較器 12 から出力される SEL 信号が 0 なら上位 4 ビットの値をそのまま出力し、SEL 信号が 1 なら減算器で 1 を減算した値を出力することで、画像処理部前段 4 の 4 ビット出力信号となる。

【 0 0 5 6 】

図 4 は、画像処理部前段の処理を示す模式図である。

ここでは横軸の各画素（画像位置）において、左の縦軸で示している6ビット入力階調を右の縦軸で示している4ビット出力階調に変換する処理を行っている。例えば、一番左の画素位置にある“”は、入力階調が“011110”であることを示している。その値はしきい値である“011111”と“011011”との間にあるため、その間に引かれた横線の間に間引きされる。出力階調は“”で示されており、この時の出力階調は“0110”である。上記プロセスを画素位置ごとに行って、6ビットの階調データであるラスタ画像1を4ビット出力階調に変換する。

なお、しきい値と入力階調値とが同じ場合は、しきい値よりも高くて最も近い4ビット値に変換される。換言すると、しきい値と入力階調値とが同じ場合は、図中でしきい値よりも上側となる4ビットの階調値のうち、しきい値に最も近い値が出力階調値として選択される。

図4において、画像処理部前段4は、入力された画素のx y座標値（x, y）に応じて変わるしきい値に基づいて4ビット階調に変換している。このように各色6ビットから各色4ビットに変換することにより、ビットプレーン数を減少したラスタ画像をメモリ2に蓄積していく。

【0057】

メモリ2に蓄積されたビットプレーン数が減少したラスタ画像は、画像処理部後段5で各色6ビットに変換され、画像表示部3に送られる。画像処理部後段5は、ビット付加部14と、しきい値生成部11Bと、から構成されている。ここで、しきい値生成部11Bは、しきい値生成部11Aと同一構成である。

【0058】

図5は、ビット付加部の内部構成を示す回路図である。

ビット付加部14は、メモリ2から出力された4ビット信号すべてのORをとったものを下位ビットとして付加することで5ビットとなった信号に、しきい値生成部11Bから出力された2ビットの信号のうち上位ビットを加算器17で加算する。さらに、加算器17から得られた5ビット信号を上位ビットとして、しきい値生成部11から出力された下位ビット信号を付加した6ビット信号を画像表示部3へ出力する。

【0059】

具体的な例を1つ示す。メモリ信号1000、しきい値信号11の場合、加算器17に入力する5ビット信号は10001、1ビット信号は1なので、加算器17の出力は10010となる。それにしきい値信号の下位ビット信号1を付加した6ビットの出力信号は100101となる。

【0060】

ここで、4ビット信号のすべてのORをとり下位ビットとして付加するのは、入出力間の信号誤差を最小にするためである。図6は、入力信号としきい値生成部の出力値に対してメモリ2に蓄積される信号（4ビット値）及び出力信号（6ビット値）を示している。

図中では、各入力信号としきい値生成部における信号値とを10進数で示している。メモリに蓄積される信号は、4ビットの階調値の10進数表現、各出力信号は6ビット階調値の10進数表現である。

入力信号が7以上の場合は最大誤差が2、入力信号が6以下の場合は最大誤差が3となっていることが分かる。また、多値ディザ（従来技術）による出力信号、それぞれの入力信号に対する平均値、平均値と入力信号値との差、出力信号の標準偏差も併せて示している。

【0061】

平均値と入力信号との差が小さいほど色変化や輝度変化が少なく良い階調性を有しており、標準偏差が全体的に小さいほど粒状感が少ないといえる。従来技術の誤差と比較して本実施例の平均値と入力信号値との差は、ほとんど改善されており、標準偏差はほとんどの階調で減少し、かつ安定して低い値をとっていることが分かる。このことは、従来技術では色誤差や粒状感がでてしまうものが、本実施例では抑制されることを示している。

【0062】

なお、4ビット信号のすべてのORをとらずに、メモリ2からの出力を上位4ビット、しきい値生成部11からの出力を下位2ビットとして6ビットに結合するだけの場合、平均値と入力信号値の差が-1.5となり、ORをとる場合と比較して色変化や輝度変化があらわれてしまう。しかしながら、入力信号2から40までに対しては、従来技術よりも入力信号との差は小さくするという効果がある。

【0063】

また、図6において入力信号0~3の場合、出力信号が同じとなってしまうが、これはメモリに蓄積される信号が同じとなってしまうためである。もし、この入力信号における階調再現性をだしたいのであれば、入力信号の階調読み替えを行うとよい。この入力信号の階調読み替えとは、入力信号を例えば、(新しい入力信号)=INT((読み替え前の入力信号)×60/63+3))という変換を行うもので、ここでINT(A)はAの整数成分を意味するものである。

【0064】

また、最大階調及び最小階調に関しては上記処理の前後で全てのディザ値に対して同じ値となることが望ましい。たとえば、上記階調の読み替えに加えて、メモリに蓄積された信号値が0の場合は出力値にディザ値を加算しない、といった条件を付加することによって実現可能である。もちろん、上記条件を満たす処理であればその他の処理方法でもよいことはいうまでもない。

【0065】

さらに、画像処理部前段4は、セレクタ13と比較器12とを用いて表現されているが、図7に示すように、減算器と量子化器18とで表現しても同じ出力が得られる。量子化器18は入力6ビットのうち上位4ビットをそのまま出力する機能を有している。

【0066】

図5と図7から画像処理部前段4と画像処理部後段5との一連の処理は、画像処理部前段4でしきい値生成部11Aからの出力を減算した値を画像処理部後段5で加算していることがわかる。このように、ディザ処理による画質への影響を最小限にすることにより、粒状感や偽色の発生を抑えることが可能であることがわかる。

【0067】

なお、本実施形態では、しきい値生成部で組織的ディザを使用したがこれに限定されるものではない。換言すると、画像の縦横いずれの方向に対しても微小長さを一周期として同一のパターンが繰り返される二次元ディザマトリクスであれば、上記効果が得られる。なお、ディザマトリクスの周期が小さいほど周期的なノイズの周波数が高くなり、ノイズとして目立ちにくくなる。よって、縦横いずれも2画素周期の二次元ディザマトリクスが最も好ましい。

【0068】

また、しきい値生成部11Bは、しきい値生成部11Aと同じ構成である。よって、図8に示すように、しきい値生成部11Aと11Bとを切り替えて使用する構成として、しきい値生成部11を全体で1つ備えているだけでもよい。この場合、しきい値生成部11の出力が比較器12への入力なのか、ビット付加部14への入力なのかを制御すればよい。図8にその制御方法の一例を示す。

【0069】

図8において、セレクタ13Aとデマルチプレクサ15とに入る制御信号SEL2を入出力切り替え制御部16から出力する。入出力切り替え制御部16は、しきい値生成部11の出力を比較器12に送る場合にSEL2として0を選択して出力し、ビット付加部14に送る場合に1を選択し出力する。

【0070】

以上のように、本発明の第2の実施形態として、ラスタ画像1に画像処理を施してビットプレーン数を減少させる画像処理部前段4と、画像処理部前段の出力信号(ラスタ画像)を蓄積するメモリと2、メモリ2からのラスタ画像のビットプレーン数を元のビットプレーン数に戻す画像処理部後段5と、を有し、画像処理部前段4と画像処理部後段5とで

逆の処理を行う画像処理装置を説明した。上記構成により、画質への影響を最小限にして、チップ面積の減少と、消費電力の減少とを図ることができる。

【 0 0 7 1 】

また、画像処理部前段 4 と画像処理部後段 5 におけるビットプレーン数の増減は、多値ディザ法で行うことにより、画像処理部の構成を簡略化した画像処理装置を得ることができる。

【 0 0 7 2 】

なお、画像処理をソフトウェアにて処理する構成とすることも可能である。

図 9 は、本実施形態における画像処理部前段の画像処理方法の一例を示すフローチャートであり、図 10 は、本実施形態における画像処理部後段の画像処理方法の一例を示すフローチャートである。なお、図 9 及び図 10 において、画像処理部前段、画像処理部後段の両方の処理をソフトウェア構成としたが、これらは片方のみソフトウェア構成にして、もう片方をハードウェア構成としても問題ない。

【 0 0 7 3 】

図 9 には、入力信号が 6 ビット、圧縮時のビットプレーン数が b ビット（ただし b は 2 ~ 6 の整数）の時の画像処理方法を示している。画像処理部前段 4 では、入力信号階調 I (6 ビット)、画素の X 座標 x 、画素の Y 座標 y を入力する（ステップ S 1 1）。次に、しきい値を生成するために必要なディザマトリクスを定義する（ステップ S 1 2）。ここでは 4×4 の組織的ディザのディザマトリクスのうち Baye r 配列と呼ばれる、 $\begin{bmatrix} 10, 4, 6, 8 \\ 12, 0, 2, 14 \\ 7, 9, 11, 5 \\ 3, 15, 13, 1 \end{bmatrix}$ というマトリクス構成を採用している。

【 0 0 7 4 】

そして、画素座標値 x 、 y をもとにしきい値を生成する（ステップ S 1 3）。しきい値の生成方法は図中に示している通りである。 $x \bmod 4$ とは、 x を 4 で割った余りを示している。ここでディザマトリクスを 2 のべき乗で除算するのは、しきい値が出力階調のビット数 b によって異なり、それぞれのビット数に対応した値にするためである。例えば、 $b = 4$ ならばしきい値は 2 ビットの値をとる。ディザマトリクスの値は 4 ビットなので、2 ビットにするために $2^{(4-2)} = 4$ で除算している。

【 0 0 7 5 】

ステップ S 1 4 では入力信号階調からしきい値 d を減算し、下位ビットの切捨てを行う。上記例では $b = 4$ なので $6 - 4 = 2$ で下位 2 ビットを切り捨て、上位 4 ビットを出力する。

【 0 0 7 6 】

図 10 において、画像処理部後段 5 では、入力信号階調 I は b ビットであり、画素の X 座標 x 、画素の Y 座標 y を入力する（ステップ S 2 1）。ステップ S 2 2、ステップ S 2 3 では、画像処理部前段 4 と同じ構成のものを使用する。そして、入力信号 I が 0 であれば出力 $I_{out} = d$ であり、そうでなければステップ S 2 4 に示すように I を上位ビット、 d を下位ビットとし、原信号との誤差を減少させるために $2^{(5-b)}$ を付加したものを出力する。この $2^{(5-b)}$ は、図 5 で示した OR 成分に対応している。

【 0 0 7 7 】

以上のようなアルゴリズムにより、図 2 に示した画像処理装置と等価系の画像処理装置を、画像処理をソフトウェアによって行う構成として実現できる。

なお、図 9 及び図 10 で示したフローチャートは一例であり、本実施形態を満足する構成であれば、これに限定されるものではない。

【 0 0 7 8 】

第 3 の実施形態

図 11 は、本発明の第 3 の実施形態である画像処理装置の第 1 の構成例を示すブロック図である。本発明の第 2 の実施形態と異なるのは、画像処理部後段 5 と画像表示部 3 との間に、ラスタ画像 1 をそのまま画像表示部 3 に送るか、メモリ 2 からのラスタ画像を画像表示部 3 に送るかを選択するセレクタ 1 3 B とを有し、セレクタ 1 3 B における選択制御

を行うメモリ使用切替制御部6を備えている点である。

【0079】

メモリ切替制御部6は、画像表示部3に送りたい画像に応じてセレクタ13Bの制御を行う。例えば、静止画表示を行っている場合は、画像の書き換えが行われないのでメモリ2に蓄積されている画像を表示するために、メモリ使用切替制御部6から「1」を出力し、セレクタ13Bは画像処理部後段5から出力されたラスタ画像を画像表示部3に送る。一方、動画表示を行っている場合は、メモリにラスタ画像1を蓄積せず、そのまま画像表示部3に表示するのでメモリ使用切替制御部6からセレクタ13Bに「0」を出力する。

【0080】

以上のような構成とすることにより、動画・静止画の切替表示が可能であるとともに、静止画表示においては少ないチップ面積で、消費電力の減少を図った画像表示を行うことができる。

【0081】

図12は、本発明の第3の実施形態である画像処理装置の第2の構成例を示すブロック図である。図12では、メモリ使用切替制御部6の出力信号が「0」の場合、すなわちメモリ2を介さずにラスタ画像1をそのまま画像表示部3に表示する際に、処理ON・OFF制御部7を用いて画像処理部前段4、メモリ2、画像処理部後段5の処理を停止するように制御する。このように画像処理部前段4、メモリ2、画像処理部後段5の処理を停止することで、消費電力の減少を図ることができる。

【0082】

第4の実施形態

図13は、本発明の第4の実施形態である画像処理装置の概略構成を示すブロック図である。図11に示した本発明の第3の実施形態と異なるのは、ビット付加部14Aの構成と、メモリ使用切替制御部6からの出力が階調制御部7に入力され、当該階調制御部7により画像表示部3の階調制御を行う点である。

【0083】

図14は、本発明の第4の実施形態におけるビット付加部の概略構成を示すブロック図である。ビット付加部14Aは、メモリ2からの出力を上位4ビット、しきい値生成部11Bからの出力を下位2ビットとしてビット結合を行い、それをセレクタ13Bに出力している。これは、図5に示した本発明の第2の実施形態におけるビット付加部14と比較して、非常に簡略化された構成である。

【0084】

図15は、本発明の第4の実施形態における入力信号、メモリに蓄積される信号、画像処理部後段からの出力信号の値を示す図である。図15に示すように、図5の構成を図14に変更することによって、出力信号の平均値が入力信号よりも小さくなっていることが分かる。このままではセレクタ13Bで表示切替を行った際に表示画像の明るさに差が生じてしまうため、階調制御部7で表示階調の変更制御を行う。すなわち、メモリ使用切替表示部6の出力が「0」の場合、階調制御部7は通常の階調制御を行うが、出力「1」の場合、階調制御部7は、図16に示すように図15の出力信号よりも大きな値の出力階調となるように調整する。このことにより、セレクタ13Bによる表示の切替時(すなわち、メモリ2の使用時。)においてもほぼ同じ明るさの画像を得ることができる。

【0085】

階調制御部7の構成としては、いくつかのものが考えられる。例えば、ルックアップテーブルを形成し、入力信号の読み替えを行ってもよい。また、ハードウェア構成では、画像表示部がアナログ階調方式のLCD(liquid crystal display)や有機EL(electroluminescent)ディスプレイの場合、液晶のV-T特性をメモリ使用切替制御部6の値に応じて変化するように液晶の階調電圧の値を変更するといった方法が挙げられる。

【0086】

以上のような構成にすることにより、本発明の第1、第2の実施形態と比較して、画像処理部後段5の処理がほとんどない構成の画像処理装置を提供することができる。

【0087】

第5の実施形態

図17は、本発明の第5の実施形態である画像処理装置の概略構成を示すブロック図である。図11に示した本発明の第3の実施形態と異なるのは、R, G, Bそれぞれの階調において、メモリ2に蓄積するビットプレーン数がそれぞれ4, 5, 3である点である。この構成においては、本発明の第3の実施形態と同じメモリ容量で構成されている。

【0088】

このようにGに多いビットプレーン数を割り当て、Bに少ないビットプレーン数を割り当てるのは、多値ディザ処理において画質低下となる粒状感が色差よりも輝度差によるところが大きいためである。Gは輝度成分に最も大きな影響を与え、Bは最も影響が少ない。このような構成とすることにより、粒状感をさらに抑えることができる。なお、通常の多値ディザ処理においてビットプレーン数を上記のような構成にすると、Bの色誤差が大きくなってしまい、肌色の画質が劣化することとなる。

【0089】

図18は、本発明の第5の実施形態において、画素階調Bにおける入力信号、メモリに蓄積される信号、画像処理部後段からの出力信号の値を示す図である。また、多値ディザ(従来技術)による出力信号、それぞれの入力信号に対する平均値、平均値と入力信号値との差、出力信号の標準偏差も併せて示している。従来技術の誤差と比較して本実施形態の標準偏差は、ほとんどの階調で減少しており、かつ安定して低い値をとっていることが分かる。このことは、ビットプレーン数が変化しても、本実施形態では色誤差や粒状感が抑制されることを示している。

【0090】

図17において、ラスタ画像のR成分に対しては4ビットのメモリを使用しているため、本発明の第2の実施形態で示した画像処理部前段4、画像処理部後段5と同じ処理を施しているが、G成分、B成分においては、しきい値生成部の構成、及び各部に送られるビット幅が異なる。図19に画像処理部前段4G及び4B、画像処理部後段5G及び5Bの構成を示す。図19において、しきい値生成部11G及び11Bは、図20に示す生成方法により出力信号が生成される。

【0091】

以上のような構成とすることにより、RGBカラー表示における輝度誤差を減少させることができ、さらに粒状感の少ない、通常の6ビット表示と遜色ない画質の画像を得ることができる。

【0092】

さらに、図17において、本発明の第2の実施形態と同様に、しきい値生成部を全体で1つだけ備えた構成にすることも可能である。図21にその構成例を示す。図21に示すしきい値生成部11は、図20に示したしきい値生成部11Bの生成方法を使用して、R成分への出力はそのうち上位2ビット、G成分への出力は上位1ビットのみを使用する。このことにより、RGB各成分ごとにしきい値生成部を設ける必要がなく、効率化が図れる。

【0093】

第6の実施形態

これまで、各色6ビットのラスタ画像を4ビットメモリに蓄積し、そのデータをもとに各色6ビット表示可能な画像表示部への高画質な画像表示を行う画像処理装置について述べてきた。ここでは、各色4ビット表示可能な画像表示部に対して、FRC(Frame Rate Control)を用いることにより、6ビット相当の表示が行える画像処理装置について説明する。

【0094】

FRCは、限定階調表示の画像表示装置において、周期的に階調を変化させることにより表示可能な階調を増加させる方法である。例えば0～15階調まで表示可能な画像表示装置において、4フレームを1周期として14, 14, 14, 15のように周期的に表示

階調を変化させると、表示可能な階調は、 $15 \times 4 + 1 = 61$ 階調となり、ほぼ 6 ビット表示相当となる。

【 0 0 9 5 】

図 2 2 は、本発明の第 6 の実施形態である画像処理装置の概略構成を示すブロック図である。図 2 に示す本発明の第 2 の実施形態との違いは、図 2 における画像処理部後段 5 に替えて F R C 画像処理部後段 9 を設けた点、F R C 画像処理部後段 9 にフレームの始まりを示す V S y n c が入力する点、及び画像表示部 3 A が各色 4 ビット表示可能である点である。なお、ここでは便宜的に R G B のうち 1 つのブロックのみ示している。

【 0 0 9 6 】

以下、F R C 画像処理部後段 9 を中心に説明していく。F R C 画像処理部後段 9 は、画素の X Y 座標をもとにしきい値を生成するしきい値生成部 11 B と、V S y n c を計数する 2 ビットカウンタ 19 と、しきい値生成部 11 B と 2 ビットカウンタ 19 の出力をもとにキャリーを生成するキャリー生成部 20 と、メモリ 2 からの出力のうち、キャリー値に応じて出力に 1 を加算した値を画像表示部 3 に出力するか、又は、そのままの値を画像表示部 3 に出力するか、を設定するセレクタ 13 と、から構成されている。

【 0 0 9 7 】

しきい値生成部 11 B は、図 3 に示すような出力を行う。これは本発明の第 2 の実施形態の出力値と同様である。2 ビットカウンタ 19 は、V S y n c が入力される度に計数され、その出力値が 00 11 01 10 00 ... と変化する。その状態遷移表を図 2 3 に示す。図 2 3 に示したように、次の状態と出力値とは同じとなるようにしている。

【 0 0 9 8 】

キャリー生成部 20 は、しきい値生成部 11 B の出力であるしきい値と 2 ビットカウンタ 19 の出力値とをもとにキャリー値を設定する。図 2 4 にしきい値とカウンタ出力値とキャリー出力値との関係を示す。(しきい値) > (カウンタ出力値) のときには「1」を、それ以外のときは「0」を出力している。このように、4 フレームを 1 周期とし、その中でしきい値分のキャリーを発生させるようにしている。

【 0 0 9 9 】

そして、キャリー値をもとにセレクタ 13 で出力する信号を選択する。キャリー値が「0」の場合はメモリ 2 からの出力値を、「1」の場合はメモリ 2 からの出力値に 1 を加算した値を画像表示部 3 に出力する。

【 0 1 0 0 】

図 2 5 は、本発明の第 6 の実施形態における入力信号、メモリに蓄積される信号、F R C 画像処理部後段からの出力信号の値を示す。また、多値ディザ(従来技術)による出力信号、それぞれの入力信号に対する平均値、平均値と入力信号値との差、出力信号の標準偏差も併せて示している。ここで出力信号は、本来 4 ビットであるが、入力信号との誤差を比較するために 4 ビット → 6 ビット変換した値を使用している。また、F R C 画像処理部後段 9 からの出力信号は、F R C 画像処理部後段 9 によって得られる 4 フレーム(1 周期)分の平均値である。従来技術の誤差と比較して本実施形態の標準偏差は、ほとんどの階調で減少しており、かつ安定して低い値をとっていることが分かる。また図 6 の結果との比較でもほとんど遜色ない標準偏差であることが分かる。このことから、4 ビットのメモリ、4 ビット表示可能な画像表示装置であっても、本発明を使用することにより 6 ビット相当の画質の画像が得られることが分かる。

【 0 1 0 1 】

以上のような構成とすることにより、従来の多値ディザ処理よりも高画質で従来の F R C のように 6 ビット分のメモリを必要としない、画像処理装置を得ることができる。

【 0 1 0 2 】

第 7 の実施形態

本発明を好適に実施した第 7 の実施形態について説明する。図 2 6 は、本発明の第 7 の実施形態である画像処理装置の構成例を示すブロック図である。本発明の第 3 の実施形態と異なるのは、画像処理部前段 4 と画像処理部後段 5 の代わりに、圧縮処理部 4 A と伸張

処理部 5 A とを有している点である。

【 0 1 0 3 】

メモリ切替制御部 6 は、画像表示部 3 に送りたい画像に応じてセレクタ 1 3 B の制御を行う。例えば、静止画表示を行っている場合は、画像の書き換えが行われないのでメモリ 2 に蓄積されている画像を表示するために、メモリ使用切替制御部 6 から「 1 」を出力し、セレクタ 1 3 B は伸張処理部 5 A から出力されたラスタ画像を画像表示部 3 に送る。一方、動画表示を行っている場合は、メモリ 2 にラスタ画像 1 を蓄積せず、そのまま画像表示部 3 に表示するのでメモリ使用切替制御部 6 からセレクタ 1 3 B に「 0 」を出力する。

【 0 1 0 4 】

以上のような構成とすることにより、動画・静止画の切替表示が可能であるとともに、静止画表示においては少ないチップ面積で、消費電力の減少を図った画像表示を行うことができる。この切り替え表示においては、画像処理部前段 4 と画像処理部後段 5 とのような特定の圧縮・伸張処理でなくとも、任意の圧縮処理部 4 A と伸張処理部 5 A とでも適用可能であり、しかも大きな効果を有する。

換言すると、圧縮処理部 4 A 及び伸張処理部 5 A は、メモリ 2 へ入力される画像信号及びメモリ 2 から読み出された画像信号に対して、特定の関係（例えば、二次元ディザマトリクスが同一。）の圧縮・伸張処理を行う必要はない。

例えば、圧縮処理部 4 A 及び伸張処理部 5 A は、メモリ 2 へ入力される画像信号及びメモリ 2 から読み出された画像信号に対して、異なる二次元ディザマトリクスを用いて圧縮・伸張処理を行ってもよい。すなわち、圧縮処理部 4 A 及び伸張処理部 5 A は、構成の異なるしきい値生成部を備えていてもよい。

また、圧縮処理部 4 A 及び伸張処理部 5 A が行う圧縮・伸張処理は、二次元ディザマトリクスを用いた処理でなく他の処理方法であっても、上記同様の効果が得られることは明らかである。

【 0 1 0 5 】

第 8 の実施形態

本発明を好適に実施した第 8 の実施形態について説明する。図 2 7 は、本発明の第 8 の実施形態である画像処理装置の構成例を示すブロック図である。この画像処理装置は、第 7 の実施形態による画像処理装置の構成に加えて、処理 ON・OFF 制御部 7 をさらに有する。処理 ON・OFF 制御部 7 は、メモリ使用切替制御部 6 の出力信号が「 0 」の場合、すなわちメモリ 2 を介さずにラスタ画像 1 をそのまま画像表示部 3 に表示する際に、圧縮処理部 4 A、メモリ 2、伸張処理部 5 A の処理を停止するように制御する。

【 0 1 0 6 】

本実施形態による画像処理装置は、メモリ使用切替制御部 6 が「 0 」を出力している場合、すなわちメモリ 2 を使用しない場合は、処理 ON・OFF 制御部 7 が圧縮処理部 4 A、メモリ 2、伸張処理部 5 A の処理を停止する。これにより、第 1 0 の実施形態による画像処理装置と同様の効果が得られることに加え、さらに消費電力の減少を図ることができる。

【 0 1 0 7 】

第 9 の実施形態

本発明を好適に実施した第 9 の実施形態について説明する。図 2 8 は、本発明の第 9 の実施形態である画像処理装置の構成例を示すブロック図である。第 3 の実施形態による画像処理装置と異なるのは、解像度が縦 X * 横 Y で各 6 ビット表示可能な画像表示部 3 の表示容量と同じ容量の画像（すなわち、X * Y 画素の画像）を蓄積できるメモリ 2 を有している点である。

なお、本明細書中において、" 表示装置の「解像度」" とは、この表示装置（例えば、画像表示部 3 ）が横方向及び縦方向に一画面で表示できる最大画素数を表すものである。例えば、解像度が 6 4 0 × 4 8 0 の表示装置は、横方向には 6 4 0 画素、縦方向には 4 8 0 画素を備えており、これ以下の画像を一画面中に表示できる。

また、" 画像の「解像度」" とは、画像を構成する画素の総数を縦方向の画素数と横方

向の画素数の積として表したものである。例えば、解像度が 640×480 の画像とは、横方向の画素が 640、縦方向の画素が 480 の矩形で表される領域を占める画像のことである。

【 0 1 0 8 】

このような場合、例えば図 28 に示しているように、画像表示部 3 の解像度 ($X * Y$) の縦方向に 2 倍の画像 ($X * 2Y$) がラスタ画像 1 として入力された場合、画像処理部前段 4 において圧縮率 1/2 で圧縮、すなわちビットプレーン数を半分にすることにより、全ての画像をメモリ 2 に蓄積できる。換言すると、ラスタ画像 1 として入力された、縦方向に画像表示部 3 の解像度の 2 倍の画素を有する画像を全てメモリ 2 に蓄積できる。そして、この入力画像の $X * Y$ の大きさの任意の領域に関して画像処理部後段 5 で伸張処理を行い、画像表示部 3 でその解像度より大きな画像の任意の領域の表示を行うことができる。以上により、フレーム周期ごとに外部から画像を入力しなくても、メモリ 2 に蓄積された画像が、スクロール画像のように大きな解像度の画像（換言すると、画像表示部 3 の解像度よりも画素数が多い画像。）であっても表示可能となる。

【 0 1 0 9 】

メモリ 2 を介さない画像表示を行う場合、入力画像の解像度は $X * Y$ が最大である。換言すると、ラスタ画像 1 として入力された入力画像が $X * Y$ 画素よりも小さい場合、メモリ使用切換制御部 6 はセレクタ 13B に「0」を出力し、ラスタ画像 1 をメモリ 2 を介さずに直接画像表示部 3 に表示させる。

【 0 1 1 0 】

なお、この例での入力画像は連続した 2 画面分の画像であったが、これに限定することではなく、異なる 2 以上の画面の画像でも同じ効果が得られることはいうまでもない。

換言すると、例えば、 $X * Y$ 画素のラスタ画像をメモリ 2 に二つ蓄積する場合も、画像処理部前段 4 において上記同様の圧縮処理を施すことで、各ラスタ画像をメモリ 2 に蓄積することが可能である。また、各ラスタ画像をメモリ 2 から読み出し、画像処理部後段 5 において伸張処理を施したうえで、画像表示部 3 において表示させることができる。

【 0 1 1 1 】

このように、本実施形態によれば、画像表示部 3 の m 倍 (m は任意の正数) の解像度の画像がラスタ画像 1 として入力された場合は、入力画像を m 分の 1 に圧縮してメモリ 2 へ蓄積する。よって、入力画像が画像表示部 3 の解像度よりも画素数が多いラスタ画像であっても、メモリ 2 へ蓄積することが可能となる。

また、メモリ 2 に蓄積した画像の画像信号に対し画像処理部後段 5 において伸張処理を行うことによって、画像表示部 3 でその解像度より大きな画像の任意の領域の表示を行うことができる。

さらに、フレーム周期ごとに外部から画像を入力しなくても、メモリ 2 に蓄積された画像が、スクロール画像のように大きな解像度の画像（換言すると、画像表示部 3 の解像度よりも画素数が多い画像。）であっても表示可能となる。

【 0 1 1 2 】

第 10 の実施形態

本発明を好適に実施した第 10 の実施形態について説明する。図 29 は、本発明の第 10 の実施形態である画像処理装置の構成例を示すブロック図である。本実施形態による画像処理装置は、画像処理部前段 4 とメモリ 2 との間にセレクタ 13C を備え、画像処理部後段 5 とセレクタ 13B との間にセレクタ 13D を備え、さらにセレクタ 13C 及び 13D の制御を行うメモリ入力信号切替制御部 27 を有している点で第 9 の実施形態による画像処理装置と異なる。

【 0 1 1 3 】

メモリ入力信号切替制御部 27 は入力画像の解像度などを参照して、メモリ 2 に蓄積する画像を圧縮画像か、非圧縮画像かを選択する。以下の説明においては、解像度を参照することで圧縮画像又は非圧縮画像を選択しているが、これに限らず、ビットプレーン数といった画像のデータ容量を参照することによって圧縮画像又は非圧縮画像を選択するよう

にしてもよいことはいうまでもない。

【0114】

例えば、ラスタ画像1の画素数が $X * Y$ でメモリ2を使用する場合、メモリ入力信号切替制御部27は、セレクタ13C及びセレクタ13Dに「0」を出力し、メモリ使用切替部6は、セレクタ13Bに「1」を出力する。これによって、メモリ2には非圧縮画像が蓄積され、画像表示部3には非圧縮画像が表示される。

【0115】

また、ラスタ画像1の画素数が $X * 2Y$ でメモリ2を使用する場合、メモリ入力信号切替部27はセレクタ13C及び13Dに「1」を出力し、メモリ使用切替部6は、セレクタ13Bに「1」を出力する。これによって、メモリ2には、画像処理部前段4において圧縮された画像が蓄積され、画像表示部3には、メモリ2から読み出され画像処理部後段5において伸張された画像が表示される。

【0116】

なお、ラスタ画像1の画素数が $X * Y$ でメモリ2を使用しない場合は、本実施形態の第1の構成例と同様であり、メモリ使用切換制御部6はセレクタ13Bに「0」を出力し、メモリ2を介さずにラスタ画像1を直接画像表示部3に表示させる。

【0117】

以上のような構成により、メモリ2に蓄積する画像として、圧縮画像か、非圧縮画像かを選択することが可能となる。画質よりもその表示可能な画像の大きさを優先する場合は、圧縮画像を選択することによって、地図のような一画面に入りきらない画像を蓄積することが可能である。また、自然画の静止画像のように画質を優先する場合には、非圧縮画像を選択することにより、画質とメモリの効率化に優れた、適応的な画像処理装置を得ることができる。

【0118】

第11の実施形態

本発明を好適に実施した第11の実施形態について説明する。図30は、本発明の第11の実施形態である画像処理装置の構成例を示すブロック図である。本実施形態において原画像であるラスタ画像1は、画像1Aと文字情報1Bとに分割されて画像処理装置に入力される。

本実施形態による画像処理装置は、画像合成部28を有する点が第9の実施形態による画像処理装置と異なる。画像合成部28は、画像処理部後段5においてビットプレーン数が増加された画像1Aと、文字情報1Bとの合成画像を生成する。

【0119】

入力画像であるラスタ画像が、画像1A(画素数 $X * Y$; 6ビット)及び文字情報1B(画素数 $X * Y$; 1ビット)の二つのレイヤーに分割されて入力された場合を考える。非圧縮状態での合成画像は、 $X * Y$ それぞれの画素において、6ビット+1ビット=7ビットのデータとなる。メモリ2に蓄積できる最大のデータ量は、 $X * Y$ それぞれの画素において6ビットのデータであるため、非圧縮状態での合成画像はメモリ2には蓄積できない。

【0120】

このような場合、メモリ使用切替制御部6は、セレクタ13Bに「1」を出力し、画像1Aを画像処理部前段4に入力する。画像処理部前段4において、画像1Aに対して上記同様の圧縮処理が施され、画像1Aのビットプレーン数が「6」から「5」に減少する。ビットプレーン数が減少した画像1Aと文字情報1Bとのデータ量の合計は、 $X * Y$ それぞれの画素において、5ビット+1ビット=6ビットのデータ量となるため、メモリ2に蓄積することが可能となる。

【0121】

また、メモリ2から読み出されたビットプレーン数が「5」に減少した画像1Aは、画像処理部後段5において上記同様の伸張処理が施され、ビットプレーン数が「5」から「6」に増加される。画像合成部28は、画像処理部後段5においてビット数が増やされた

画像 1 A と、メモリ 2 から読み出した文字情報 1 B との合成画像を生成する。この合成画像は、画像表示部 3 において表示される。

【 0 1 2 2 】

このように本実施形態による画像処理装置は、ラスタ画像が二つのレイヤーに分割して入力され、それらが非圧縮ではメモリ 2 に蓄積不可能なときは、少なくとも一方のレイヤーのデータを圧縮、又はビットプレーン数を減少させてメモリ 2 に蓄積し、伸張又はビットプレーン数の増加により得られた二つのレイヤーを合成して表示できる。

例えば、図 3 0 に示しているように画像 1 A が通常の 6 ビット画像で、文字情報 1 B が 1 ビットの文字情報であるような場合、画像合成部 2 8 で文字のオーバーレイ表示を実現することができる。また、オーバーレイ表示のための新たなメモリを設けることなく画像表示が可能である。

【 0 1 2 3 】

さらに、本実施形態による画像処理装置は、画像 1 A 及び文字情報 1 B を独立に変更することが可能である。例えば、画像 1 A として静止画像を文字情報 1 B として時刻を表示する時計を考えた場合、文字情報 1 B のみを所定の間隔（例えば、1 秒ごと、1 分ごと）で取得してメモリ 2 へ入力することで、画像処理部前段 4 、メモリ 2 及び画像処理部後段 5 における処理を省略できる。これにより、ラスタ画像 1 を画像表示部 3 で表示する際に、消費電力を低減することが可能となる。

【 0 1 2 4 】

なお、本実施形態ではラスタ画像を構成する二つのレイヤーの例として多階調映像と文字情報とをあげたが、これに限定されることはなく、その他の構成、例えば二つの映像の重ね合わせといった構成でも適用可能である。

【 0 1 2 5 】

第 1 2 の実施形態

本発明を好適に実施した第 1 2 の実施形態について説明する。図 3 1 は、本発明の第 1 2 の実施形態である画像処理装置の構成例を示すブロック図である。本実施形態においてラスタ画像 1 を表示させるための信号は、画像 1 A と画素ごとの制御信号 2 9 との二つのレイヤーに分割されて画像処理装置へ入力される。

本実施形態による画像処理装置が第 9 の実施形態による画像処理装置と異なる点は、画像 1 A と制御信号 2 9 とが非圧縮ではメモリ 2 に蓄積不可能なときは、画像 1 A を圧縮又はビットプレーン数を減少させてメモリ 2 に蓄積し、伸張又はビットプレーン数の増加により得られた映像を制御信号 2 9 に基づいて画像表示部 3 において表示することである。

【 0 1 2 6 】

ラスタ画像 1 を表示させるための信号が、画像 1 A (画素数 $X * Y$; 6 ビット) 及び各画素ごとの制御信号 2 9 (1 ビット) の二つのレイヤーに分割されて入力された場合を考える。画像 1 A と制御信号 2 9 のデータ量の合計は、 $X * Y$ それぞれの画素において 6 ビット + 1 ビット = 7 ビット分のデータとなる。メモリ 2 に蓄積できる最大のデータ量は、 $X * Y$ それぞれの画素において 6 ビット分のデータであるため、非圧縮状態ではラスタ画像 1 を表示させるための信号はメモリ 2 に蓄積できない。

【 0 1 2 7 】

このような場合、メモリ使用切替制御部 6 は、セレクタ 1 3 B に「 1 」を出力し、ラスタ画像 1 を表示するための信号を画像処理部前段 4 に入力する。画像処理部前段 4 において、画像 1 A に対して上記同様の圧縮処理が施され、画像 1 A のビットプレーン数が「 6 」から「 5 」に減少する。ビットプレーン数が減少した画像 1 A と各画素の制御信号 2 9 とのデータ量の合計は、 $X * Y$ それぞれの画素において 5 ビット + 1 ビット = 6 ビット分のデータ量となるため、メモリ 2 に蓄積することが可能となる。

【 0 1 2 8 】

また、メモリ 2 から読み出されたビットプレーン数が「 5 」に減少した画像 1 A は、画像処理部後段 5 において上記同様の伸張処理が施され、ビットプレーン数が「 5 」から「 6 」に増加される。ビットプレーン数が増やされた画像 1 A は、メモリ 2 から読み出され

た各画素ごとの制御信号 29 に基づいて画像表示部 3 において表示される。

【 0 1 2 9 】

このように本実施形態による画像処理装置は、ラスタ画像 1 を表示させるための信号が少なくとも一つの画像と少なくとも一つの制御信号とに分割して入力され、それらが非圧縮ではメモリ 2 に蓄積不可能なとき、少なくとも一つの画像を圧縮、又はビットプレーン数を減少させてメモリ 2 に蓄積し、伸張又はビットプレーン数の増加により得られた画像を制御信号に基づいて表示できる。

【 0 1 3 0 】

さらに、本実施形態による画像処理装置は、画像 1A 及び制御情報 29 を独立に変更することが可能である。これは、第 14 の実施形態と同様であり、例えばメモリ 2 に蓄積された画像 1A 及び制御情報 29 のうち、制御情報 29 のみを更新することで、画像処理部前段 4、メモリ 2 及び画像処理部後段 5 における処理を省略できる。これにより、ラスタ画像 1 を画像表示部 3 で表示する際に、消費電力を低減することが可能となる。

【 0 1 3 1 】

第 13 の実施形態

上述する本発明の第 12 の実施形態までメモリを有する構成において、メモリ容量の減少、消費電力の減少を図り、かつ画質が従来技術と遜色ないものが得られる画像処理装置について説明した。本発明の第 13 及び第 14 の実施形態では、その他にも、第 1 の装置から第 2 の装置へのラスタ画像の転送において、その伝送容量を減少させることができある。以下その構成について説明する。

【 0 1 3 2 】

図 32 は、本発明の第 13 の実施形態である画像伝送装置の概略構成を示すブロック図である。図 32 において、本発明の第 13 の実施形態である画像伝送装置は、ラスタ画像を送信する第 1 の装置 7 と、ラスタ画像を受信する第 2 の装置 8 と、を有して構成され、第 1 の装置 7 では各色 6 ビット階調のラスタ画像 1 を画像処理部前段 4 で各色 4 ビット階調に変換し、それを第 2 の装置 8 に伝送する。第 2 の装置 8 では、第 1 の装置 7 から受け取ったラスタ画像を画像処理部後段 5 で処理を行い、各色 6 ビット階調のラスタ画像に戻し、画像表示部 3 へ出力する。

【 0 1 3 3 】

ここで、画像処理部前段 4、画像処理部後段 5 は、上述する各実施形態で説明してきた構成と同じものである。

【 0 1 3 4 】

以上のような構成とすることにより、第 1 の装置 7 から第 2 の装置 8 へのラスタ画像の伝送において画質劣化がほとんどなく、少ない伝送容量で画像伝送が行えることが分かる。これは、画像の伝送容量が不足している場合や、第 1 の装置と第 2 の装置間の伝送路の本数を減らすのに効果がある。

【 0 1 3 5 】

なお、本実施形態による画像伝送装置が有する第 2 の装置 8 は、本発明による画像受信装置の好適な実施形態をも示している。

本発明による画像受信装置は、第 2 の装置 8 のように、原画像よりもビットプレーン数が減少したラスタ画像を受信し、受信した画像のビットプレーン数を増加させることによって、原画像と比較して画質に遜色のない画像を得ることができる。また、送信側においてビットプレーン数を原画像よりも減少させた状態の画像を受信するため、画像を効率的に受信できる。

例えば、画像を受信するための伝送路が 16 ビットのバス幅しか備えていない装置において各色 6 ビット（計 18 ビット）のラスタ画像を受信したい場合などは、送信側においてビットプレーン数が減少された状態のラスタ画像を受信して、この画像のビットプレーン数を増加させることにより、原画像と比較して画質に遜色のない画像を各色パラレルに受信することが可能となる。

【 0 1 3 6 】

第14の実施形態

図33に、本発明の第14の実施形態である画像伝送装置を示す。この画像伝送装置は、ラスタ画像を送信する第1の装置7と、ラスタ画像を受信する第2の装置8a, 8b, 8cを有する。なお、第1の装置7と第2の装置8a, 8b, 8cとの間の伝送路のバス幅は、それぞれ15ビット、12ビット、9ビットとする。

第1の装置7は、画像処理部前段4、ビットプレーン減少数制御部50、セレクタ51及びデマルチプレクサ52を有する。画像処理部前段4は、ラスタ画像1のビットプレーン数（各色6ビット階調）を所定の値まで減少させ、ビットプレーン減少数制御部50からの指示に応じたビットプレーン数のラスタ画像をセレクタ51に出力する。ビットプレーン減少数制御部50は、ラスタ画像1を第2の装置8a～8cのいずれに伝送するかに応じてセレクタ51を制御し、受信側の装置に適したビットプレーン数の画像を画像処理部前段4に出力させる。また、デマルチプレクサ52を制御して、画像処理部前段4がビットプレーン数を減少させたラスタ画像の伝送路を選択する。

第2の装置8aは、画像処理部後段8a及び画像表示部3aを有する。画像処理部後段5aは、第1の装置7から伝送されてきた各色5ビットのラスタ画像に上記同様の処理を行い、各色6ビットのラスタ画像に復元する。画像表示部3aは、各色6ビットに復元されたラスタ画像を表示する。

なお、第2の装置8bは、画像処理部後段5bにおいて各色4ビットのラスタ画像を各色6ビットに復元し、第2の装置8cは、画像処理部後段5cにおいて各色3ビットのラスタ画像を各色6ビットに復元する他は、第2の装置8aと同様である。

【0137】

本実施形態による画像伝送装置の動作について説明する。なお、ここではラスタ画像1を第2の装置8aへ伝送する場合を例に説明を行う。画像処理部前段4は、各色6ビットのラスタ画像1に処理を施し、各色5ビット、4ビット、3ビットのラスタ画像をそれぞれ生成する。ビットプレーン削減数制御部50は、セレクタ51を制御し、受信側の装置に応じたラスタ画像、すなわち各色5ビットのラスタ画像をデマルチプレクサ52に入力させる。この時ビットプレーン減少数制御部50は、制御信号を“a”としてセレクタ51へ送る。ビットプレーン減少数制御部50から出力される制御信号が“a”であるため、デマルチプレクサ52に入力されたラスタ画像は、第2の装置8aへの伝送路へ出力される。

第2の装置8aでは、第1の装置7から受け取ったラスタ画像に対して画像処理部後段5で処理を行って各色6ビット階調のラスタ画像に戻し、画像表示部3aにおいて表示する。

【0138】

このように、本実施形態による画像伝送装置は、ラスタ画像のビットプレーン数をどの程度減少させるかを、受信側の装置に応じて選択することが可能となる。よって、受信側の装置への伝送路のバス幅や画像処理部後段5a～5cの能力に応じたビットプレーン数のラスタ画像を伝送することができるため、伝送容量の効率化を計ることができる。

【0139】

第15の実施形態

本発明は、チップ面積の減少や消費電力の減少を狙ったものであるため、その画像処理部は複雑な処理を必要とせず、簡潔な構成である。そのことから、本発明は、メモリを内蔵した表示装置のドライバやコントローラチップに搭載し、上記効果を得られるものであるが、さらに、ガラス基板上にこれらドライバやコントローラを搭載するポリシリコン回路にも適用可能である。

【0140】

図34は、本発明の第15の実施形態であるガラス基板上にポリシリコン薄膜トランジスタ回路を用いて、画像処理部や駆動回路部を形成した液晶表示装置である。入力信号としてRGB各色6ビット、メモリはRGB各色4ビット分、出力はRGB各色6ビットとしている。外部からのラスタ画像1を液晶表示部10に表示する。液晶表示部10は、マ

トリクス状に配置された画素 3 1 と薄膜トランジスタ 3 2、そして画素 3 1 及び薄膜トランジスタ 3 2 の組に対して格子状に配置した複数のデータ線 3 3 及び複数のゲート線 3 4 がそれぞれの薄膜トランジスタ 3 2 に対して 1 本ずつ接続した構成となっている。それぞれの画素 3 1 は、ゲート線 3 4 からの信号により薄膜トランジスタ 3 2 が ON 状態になったときに、薄膜トランジスタ 3 2 と接続しているデータ線 3 3 の信号が書き込まれる。

【 0 1 4 1 】

ラスタ画像 1 は、画像処理部前段 4 及びデータレジスタ 2 3 に送られる。画像処理部前段 4 に入力したラスタ画像は、本発明の第 1 2 の実施形態までで説明したような画像処理を行い、RGB で合計 12 ビットのメモリ 2 に蓄積される。そして、必要に応じてメモリ 2 からデータを読み込み、画像処理部後段 5 で画像処理を行う。画像処理部後段 5 の出力は、セレクタ 1 3 B に送られる。ここで、画像処理部前段 4、メモリ 2、画像処理部後段 5 における処理は、本発明の第 1 2 の実施形態までで説明した方法によるものである。よって、画像処理部前段 4 及び画像処理部後段 5 に入力する制御信号としては、メモリ 2 に書き込む又は読み出すときの画素の XY 座標が必要となる。なお、画素の XY 座標でなくとも、画素の XY 座標を導出できるような制御信号、例えば、V Sync, H Sync, CLK であってもよい。メモリ 2 は、メモリ制御部 2 6 により読み出し、書き込みの切り換え、データ入出力のアドレスの制御を行われる。メモリ制御部 2 6 へは、画像処理部前段 4 及び画像処理部後段 5 と同じく、少なくとも画素の XY 座標が入力される。

【 0 1 4 2 】

図 3 5 は、液晶表示装置におけるシフトレジスタ 2 1 A、データレジスタ 2 2 の構成を示す回路図である。データレジスタ 2 2 に入力したラスタ画像は、S / R (シフトレジスタ) 2 1 A からの出力信号に基づき、6 ビットデータが順次蓄積されていき、ラッチ 2 3 でラッチされる。ラッチ 2 3 からの出力はセレクタ 1 3 B に送られる。

【 0 1 4 3 】

図 3 6 は、液晶表示装置におけるセレクタ 1 3 B の構成を示す回路図である。

セレクタ 1 3 B は、画像処理部後段 5 からメモリ 2 に蓄積されていた画像を表示するのか、外部からの画像をそのまま表示するのかによって、メモリ使用切替制御部 6 からの制御データに基づいて DAC 2 4 に送るデータを選択する。DAC 2 4 では、セレクタ 1 3 B からの各色 6 ビットのデジタル信号をアナログ信号に変換し、データラインセレクタ 2 5 で所望のデータラインへ出力する。

【 0 1 4 4 】

データラインセレクタ 2 5 からの出力は、液晶表示部 1 0 に送られ、シフトレジスタ 2 1 B で選択されたゲート線 3 4 の行の薄膜トランジスタ 3 2 を介して、画素 3 1 に書き込まれる。

【 0 1 4 5 】

このような構成において、本発明の第 1 5 の実施形態では、本発明の第 1 2 の実施形態までに示した画像処理回路をガラス基板上に内蔵した液晶表示装置を得ることが可能である。また、画像処理部前段 4 及び画像処理部後段 5 は、それぞれ少ないトランジスタ数で構成可能である。

【 0 1 4 6 】

図 3 7 に、6 ビット信号を 4 ビットメモリに蓄積し、また 6 ビットに展開する画像処理部前段 4 及び画像処理部後段 5 のロジック構成の一例を示す。図 3 7 においては、2 入力、3 入力 NAND 及びインバータのみで構成している。よって、メモリ面積よりもこの画像処理回路の面積の方が十分小さく、回路部の面積を減少させることが可能であることが分かる。

【 0 1 4 7 】

なお、上述した各実施形態は本発明の好適な実施形態の一例であり、本発明の主旨を逸脱しない範囲内において種々変形して実施することが可能である。

【 0 1 4 8 】

例えば、上記各実施形態においては、画像処理方法として、二次元ディザマトリクスを

用いた多値ディザ処理、及び、二次元ディザマトリクスを基にしたビット付加を行うものとしたが、本発明はこれに限定されるものではなく、上記偽色や偽輪郭、粒状感が見られないような画像処理であれば適用可能である。

【0149】

また、上記各実施形態においては、上記ラスタ画像のビットプレーン数を減少させるとときは、二次元ディザマトリクスを用いて多値ディザ処理を施し、ビットプレーン数を増加させるとときは多値ディザ処理で用いた二次元ディザマトリクスをもとにビット付加を行うものとしているが、二次元ディザマトリクスの代わりにランダムディザを用いて多値ディザ処理を行うといった、ビットプレーン数の減少時と増加時に逆の画像処理を行うようなその他の画像処理方法を適用してもよい。

【0150】

さらに、第2の実施形態において、画像処理をソフトウェア処理で行う場合の構成について説明したが、他の実施形態による画像処理装置や画像伝送装置においても、第2の実施形態と同様に画像処理をソフトウェア処理で行う構成とすることが可能である。

このように、本発明は、様々な変形実施が可能である。

【0151】

【発明の効果】

以上の説明により明らかなように、本発明によれば、表示装置に送るビットマップ画像の圧縮・伸張を少ないロジック数で行うことができ、メモリ容量や伝送容量の減少を図ることができる。

【0152】

また、本発明によれば、ビット付加を行った画像は原画像との誤差が多値ディザ法と比較して小さくなることから、誤差が大きい場合に現れる粒状感や偽色を抑制でき、高画質な表示が得られる。

【0153】

また、本発明によれば、例えば、静止画表示時には圧縮された画像を選択し、動画表示時には画像処理を行わずにそのまま表示を行うことができる。よって、動画表示時には蓄積手段（例えば、メモリ）を介さずに表示できることから、蓄積手段の動作を停止させて、低消費電力化を図ることが可能である。

【0154】

また、本発明によれば、スーパーインポーズ表示においては、自然画像に1ビット分の圧縮・伸張処理を行い、得られた1ビット分の容量を文字情報に適用することによって、メモリ容量の増加を招くことなくスーパーインポーズ処理を行うことが可能である。

また、地図などの表示装置の最大解像度よりも大きい画像を表示する場合においても、ビットプレーン数の圧縮・伸張処理によって、少ないメモリ容量で画像を保存することができ、外部から画像を再取得することなく表示装置においてスクロール表示することができる。これにより、画像表示に伴う消費電力の低減が可能となる。

【0155】

また、本発明によれば、伝送容量の効率化を図った画像伝送装置及び画像処理方法を得ることができる。例えば、バス幅が16ビットしかない伝送路を用いてRGB各色6ビット（計18ビット）のラスタ画像のデータを伝送したい場合に、ラスタ画像に対してビットプレーン圧縮を施すことで、データをパラレル伝送することが可能となる。

【0156】

また、本発明によれば、画像を受信するための伝送路における伝送容量の効率化を図った画像受信装置を得ることができる。

換言すると、ビットプレーン数が原画像よりも減少させられた状態の画像を受信することで、画像を受信するための伝送路の本数を削減したり、伝送の効率を高めたりすることができる。また、受信した画像のビットプレーン数を増加させることにより、原画像と比較して画質に遜色がない画像を得ることができる。

【0157】

また、本発明によれば、基板（例えば、ガラス基板）上に駆動回路を形成した表示装置において、同じプロセスを用いて画像処理装置を基板上に形成することが可能である。よって、本発明を表示装置に適用すれば、省メモリによる面積減少、及び低消費電力を実現できる。

【図面の簡単な説明】

【図 1】

本発明の第1の実施形態である画像処理方法の処理の流れを示すフローチャートである。

【図 2】

本発明の第2の実施形態である画像処理装置の概略構成を示すブロック図である。

【図 3】

図2のしきい値生成部の出力信号の生成方法を示す平面図である。

【図 4】

図2の画像処理部前段の処理を示す模式図である。

【図 5】

図2のビット付加部の内部構成を示す回路図である。

【図 6】

本発明の第2の実施形態における入力信号と出力信号とを示す一覧表である。

【図 7】

図2の画像処理部前段の他の構成を示すブロック図である。

【図 8】

本発明の第2の実施形態である画像処理装置の他の構成を示すブロック図である。

【図 9】

画像処理部前段による画像処理方法を示すフローチャートである。

【図 10】

画像処理部後段による画像処理方法を示すフローチャートである。

【図 11】

本発明の第3の実施形態である画像処理装置の構成を示すブロック図である。

【図 12】

本発明の第3の実施形態である画像処理装置の他の構成を示すブロック図である。

【図 13】

本発明の第4の実施形態である画像処理装置の構成を示すブロック図である。

【図 14】

図11のビット付加部の内部構成を示す回路図である。

【図 15】

本発明の第4の実施形態における入力信号と出力信号とを示す一覧表である。

【図 16】

図11の階調制御部による入力信号の種類に基づく階調の変更を示す図である。

【図 17】

本発明の第5の実施形態である画像処理装置の構成を示すブロック図である。

【図 18】

本発明の第5の実施形態におけるB成分の入力信号と出力信号とを示す一覧表である。

【図 19】

図15の画像処理部前段及び画像処理部後段の詳細な構成を示すブロック図である。

【図 20】

図15のしきい値生成部における入出力信号値を示す一覧表である。

【図 21】

本発明の第5の実施形態である画像処理装置の他の構成を示すブロック図である。

【図 22】

本発明の第6の実施形態である画像処理装置の構成を示すブロック図である。

【図 2 3】

図 2 0 の 2 ビットカウンタの状態遷移図である。

【図 2 4】

図 2 0 のキャリー生成部の入出力信号値を示す一覧表である。

【図 2 5】

本発明の第 6 の実施形態における入力信号と出力信号とを示す一覧表である。

【図 2 6】

本発明の第 7 の実施形態である画像処理装置の構成を示すブロック図である。

【図 2 7】

本発明の第 8 の実施形態である画像処理装置の構成を示すブロック図である。

【図 2 8】

本発明の第 9 の実施形態である画像処理装置の構成を示すブロック図である。

【図 2 9】

本発明の第 1 0 の実施形態である画像処理装置の構成を示すブロック図である。

【図 3 0】

本発明の第 1 1 の実施形態である画像処理装置の構成を示すブロック図である。

【図 3 1】

本発明の第 1 2 の実施形態である画像処理装置の構成を示すブロック図である。

【図 3 2】

本発明の第 1 3 の実施形態である画像伝送装置の概略構成を示すブロック図である。

【図 3 3】

本発明の第 1 4 の実施形態である画像伝送装置の概略構成を示すブロック図である。

【図 3 4】

液晶表示装置の構成を示すブロック図である。

【図 3 5】

図 3 4 におけるシフトレジスタ、データレジスタの構成を示すブロック図である。

【図 3 6】

図 3 4 のセレクタの内部構成を示す回路図である。

【図 3 7】

図 3 4 の液晶表示装置における画像処理部前段、画像処理部後段のロジック構成図である。

【図 3 8】

従来の画像処理装置を示すブロック図である。

【図 3 9】

特公平 2 - 8 4 9 3 号公報に記載の発明を画像処理に適用した場合の問題を示す図である。

【符号の説明】

1 ラスタ画像

1 A ラスタ画像 (画像)

1 B ラスタ画像 (文字情報)

2 表示画像用メモリ

3 、 3 A 画像表示部

4 画像処理部前段

4 A 圧縮処理部

5 画像処理部後段

5 A 伸張処理部

6 メモリ使用切替制御部

7 ラスタ画像送信側 (第 1 の装置)

8 ラスタ画像受信側 (第 2 の装置)

9 F R C 画像処理部後段

- 1 0 液晶表示部
1 1、1 1 A、1 1 B しきい値生成部
1 2 比較器
1 3、1 3 A、1 3 B、1 3 C、1 3 D、5 1 セレクタ
1 4、1 4 A ビット付加部
1 5、5 2 デマルチプレクサ
1 6 入出力切り替え制御部
1 7 加算器
1 8 量子化器
1 9 カウンタ
2 0 キャリー生成部
2 1 A、2 1 B シフトレジスタ
2 2 データレジスタ
2 3 ラッチ
2 4 D / A コンバータ
2 5 データラインセレクタ
2 6 メモリ制御部
2 7 メモリ入力信号切替制御部
2 8 画像合成部
2 9 制御信号
3 1 画素
3 2 薄膜トランジスタ
3 3 データ線
3 4 ゲート線
5 0 ビットプレーン減少数制御部