# 公告本

| | |
|---|---|
| 申請日期 | 88.6.5 |
| 案號 | 88109375 |
| 類別 | Int.Cl[6] H01L 27/10 |

A4
C4

（以上各欄由本局填註）

## 發明 ~~新型~~ 專利說明書 478140

| | | |
|---|---|---|
| 一、發明 ~~新型~~ 名稱 | 中文 | 半導體積體電路裝置及其製造方法 |
| | 英文 | 半導体集積回路装置及びその製造方法 |
| 二、發明 ~~創作~~ 人 | 姓名 | 1.宿利 章二<br>2.黑田 謙一 |
| | 國籍 | 均日本 |
| | 住、居所 | 1.日本國東京都小金井市前原町3-40-1<br>2.日本國東京都立川市砂川町6-29-28 |
| 三、申請人 | 姓名（名稱） | 日商日立製作所股份有限公司 |
| | 國籍 | 日本 |
| | 住、居所（事務所） | 日本國東京都千代田區神田駿河台四丁目6番地 |
| | 代表人姓名 | 庄山 悅彥 |



經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

（由本局填寫）

| | |
|---|---|
| 承辦人代碼： | A6<br>B6 |
| 大　　類： | |
| ＩＰＣ分類： | |

本案已向：

國（地區）　申請專利，申請日期：　案號：　，□有　□無主張優先權

日本　1998年06月12日　特願平10-164639　☑有□無主張優先權

有關微生物已寄存於：　，寄存日期：　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線



經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（1）

【發明之背景】

本發明係關於一種半導體積體電路裝置及其製造技術，特別是關於一種適用於適合高積集化的需要保持記憶動作的隨時寫入讀出記憶體(DRAM：動態隨機存取記憶體)有效的技術。

一般作爲DRAM的基本構造，已知渠溝型(trench)和堆疊型(stacked)。渠溝型係將資訊儲存用電容元件(電容器)形成於挖入基板的渠溝內部，堆疊型係將資訊儲存用電容元件形成於基板表面的轉移用電晶體(記憶胞選擇用MISFET(金屬絕緣體半導體場效電晶體)上部。堆疊型可再分成將資訊儲存用電容元件配置於位元線下部的CUB(位元線下有電容器)型及配置於上部的COB(位元線上有電容器)型。在開始量產的64百萬位元以後的製品方面，在胞面積縮小性佳的堆疊型，COB型正成爲主流。

茲例示有COB型記憶胞的DRAM構造如下。

即，有COB型記憶胞的DRAM之記憶胞配置於半導體基板主面上配置成矩陣狀的多數字元線和多數位元線的交點，以1個記憶胞選擇用MISFET和串聯連接於此電晶體的1個資訊儲存用電容元件構成。記憶胞選擇用MISFET形成於以元件分離區域包圍周圍的活性區域，主要是以閘極氧化膜、和字元線一體構成的閘極及構成源極、汲極的一對半導體區域構成。位元線配置於記憶胞選擇用MISFET上部，和爲在其延伸方向鄰接的2個記憶胞選擇用MISFET所共有的源極、汲極一方電氣連接。資訊儲存用電容元件



經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（２）

配置於同記憶胞選擇用 MISFET 上部，和上述源極、汲極他方電氣連接。爲了彌補伴隨記憶胞細微化的資訊儲存用電容元件的儲存電荷量(Cs)減少，藉由將配置於位元線上部的資訊儲存用電容元件之下部電極(儲存電極)加工成圓筒狀，增加其表面積，在其上部形成電容絕緣膜和上部電極(板極)。

【發明之概述】

在以往若進行以DRAM之記憶胞之胞面積爲最小的設計，則需以最小加工尺寸形成將資訊儲存用電容元件之下部電極連接於活性區域或活性區域上的連接插塞(plug)的連接孔(以下稱爲電容電極連接孔)圖案和位元線圖案。然而，要以最小加工尺寸形成這些圖案，有加工上的大課題。以下，使用圖面加以說明。圖 72 爲說明電容電極連接孔加工上的課題的截面圖，顯示在與位元線延伸方向垂直的方向的記憶胞部截面。

即，如圖 72(a)所示，DRAM之記憶胞含有活性區域 203：以半導體基板 201 主面之分離區域 202 包圍；半導體區域 204：形成於活性區域 203，成爲記憶胞選擇用 MISFET 之源極、汲極；連接插塞 205：形成於半導體區域 204 上；資訊儲存用電容元件 C：形成於活性區域 203 上，由上部電極 206、電容絕緣膜 207 及下部電極 208 構成；及，位元線 209：形成於連接插塞 205 和資訊儲存用電容元件 C 之間時，要以最小加工尺寸形成 DRAM之記憶胞，需以最小加工尺寸形成活性區域 203、位元線 209 及連接連接插



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 3 ）

塞 205 和下部電極 208 的電容電極連接孔 210 。然而，不能充分確保和加工電容電極連接孔 210 時的位元線 209 的對合裕度 211 ，產生因對合偏移或加工尺寸變動而發生下部電極 208 和位元線 209 的短路的可能性，招致製造良率降低的機率變高。

爲了避免此問題，有下述方法：對於位元線 209 自對準(self align)地進行電容電極連接孔 210 的加工。這是如圖 72(b)所示，以氮化矽膜 212 覆蓋位元線 209 上部，再以氮化矽膜之側壁間隙壁 213 保護位元線 209 側面，根據電容電極連接孔 210 圖案蝕刻氧化矽膜 214 、 215 時，藉由調整蝕刻條件而十分高地設定氮化矽膜對於氧化矽膜的選擇比，不切削氮化矽膜而只蝕刻氧化矽膜，以防止位元線 209 露出的方法。根據此方法，即使發生電容電極連接孔 210 之圖案對合偏移，也可以防止下部電極 208 和位元線 209 的短路。

然而，此構造如圖 72(b)所示，除了位元線 209 厚度之外還需要氮化矽膜 212 厚度，從連接插塞 205 到氧化矽膜 214 表面的厚度變大。因此，到資訊儲存用電容元件 C 的高度 216 變高，結果胞本身的高度變高，產生和周邊電路區域的落差增大這種新的課題。

本發明之目的在於提供一種超過微影(photolithography)加工界限，可縮小位元線的線幅的技術。

此外，本發明之其他目的在於提供一種不增大記憶胞高度，可防止位元線和資訊儲存用電容元件之下部電極的短

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製



本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 4 ）

路之半導體積體電路裝置構造及製造方法。

此外，本發明之另外其他目的在於提供一種可減低位元線電容的技術，提供一種檢出感度高、耐雜訊性佳的半導體積體電路裝置。

此外，本發明之另外其他目的在於提供一種採用適合微影(photolithography)的單純平面圖案的半導體積體電路裝置構造，提供一種可提高加工裕度的技術。

此外，本發明之另外其他目的在於提供一種適合 DRAM 高積集化的半導體積體電路裝置構造及製造方法，提供一種可提高半導體積體電路裝置可靠性、良率及性能的技術。

本發明之前述及其他目的和新穎特徵由本說明書之記述及附圖當可明白。

在本案所揭示的發明中，若簡單說明具代表性的發明的概要，則如下述：

(1) 本發明之半導體積體電路裝置，係具有半導體基板；記憶胞選擇用 MISFET：透過閘極絕緣膜形成於爲其分離區域所包圍的活性區域上，例如含有起作用作爲 DRAM 之字元線的閘極、閘極下的通道區域、隔著通道區域所形成的第一及第二半導體區域；金屬配線：電氣連接於第一半導體區域，例如起作用作爲位元線；及，資訊儲存用電容元件：電氣連接於第二半導體區域，比金屬配線形成於上層之半導體積體電路裝置，在形成於閘極上的第一絕緣膜有配線槽，將金屬配線埋入配線而形成，金屬配線在閘極間的區域比閘極位於上面。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製



本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 5 ）

根據這種半導體積體電路裝置，由於將金屬配線埋入形成於第一絕緣膜的配線槽而形成，所以與根據圖案結構形成金屬配線的情況比較，可縮小金屬配線的線幅。即，在第一絕緣膜根據圖案結構形成配線槽比在第一絕緣膜上沈積金屬膜，將此金屬膜形成圖案而形成金屬配線容易細微加工，可細地形成金屬配線的線幅。

此結果，不會因形成於金屬配線間的電容電極連接孔加工而金屬配線露出，可防止資訊儲存用電容元件之下部電極和爲位元線的金屬配線的短路而提高半導體積體電路裝置的可靠性。又，此電容電極連接孔加工時無需採用自對準(self align)的加工法，也沒有前述記憶胞高度變高的不妥發生。

此外，藉由可縮小金屬配線的線幅，而可加長金屬配線間的間隔，減低金屬配線間的電容，即位元線的電容，提高儲存電荷的檢出感度，並且提高連接於位元線的電晶體回應速度而可提高半導體積體電路裝置的性能。此外，藉由金屬配線比閘極位於上面，可減低配線和閘極間電容。

(2) 在前述半導體積體電路裝置，更有第一連接孔：形成於金屬配線和閘極之間的第二絕緣膜；及導電性連接插塞：形成於第一連接孔內，電氣連接於第一半導體區域，可在配線槽底部電氣連接金屬配線底部和連接插塞上部。或者在覆蓋閘極的第三絕緣膜上更有第二連接孔：形成於第一半導體區域上的第三絕緣膜；及，導電膜：覆蓋第二連接孔，可在配線槽底部電氣連接金屬配線底部和導電膜



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 6 ）

上部。

根據這種半導體積體電路裝置，可透過連接插塞或導電膜進行爲位元線的金屬配線和第一半導體區域的連接。

此外，活性區域或金屬配線的圖案可以是在第一方向延伸的直線形狀的平面圖案。如前述，要使記憶胞面積最小，需以最小加工尺寸形成活性區域及金屬配線，但藉由以這些圖案爲單純直線形狀的平面圖案，可將微影曝光時的光干擾控制在最小限度而增加加工裕度。此結果，可提高半導體積體電路裝置的製造良率，並提高半導體積體電路裝置的可靠性。

此外，透過連接插塞或導電膜進行金屬配線和第一半導體區域的連接時，活性區域及金屬配線的圖案可以是在第一方向延伸的直線形狀的平面圖案，在與第一方向垂直的第二方向，以插入彼此圖案間那樣的平面配置構成，同時按照從活性區域中央的第一半導體區域到第二方向的金屬配線部分延伸的圖案配置連接插塞或導電膜。這種情況，以活性區域及金屬配線的圖案都作爲單純的直線圖案而提高加工裕度，並且使用連接插塞或導電膜可確實連接第一半導體區域和金屬配線。

又，這些情況，由於形成配線槽，將金屬膜埋入配線槽而形成金屬配線，所以配線槽加工時可使連接插塞或導電膜上部同時露出，無需形成爲了連接於連接插塞或導電膜的連接孔。此結果，無需形成覆蓋連接插塞或導電膜的絕緣膜，可降低僅此膜厚部分的標高。此外，省略爲了連接



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（ 7 ）

於連接插塞或導電膜的連接孔加工製程而可簡化製程。

(3) 在前述半導體積體電路裝置，活性區域及金屬配線以在第一方向延伸的大致直線的平面圖案構成，在活性區域或金屬配線的一方或兩方有突出於與第一方向垂直的第二方向的區域，可透過形成於區域的配線槽下部的第三連接孔直接連接金屬配線和第一半導體區域。即，可和金屬配線形成同時進行連接金屬配線和第一半導體區域的連接部形成。這種情況，省略形成連接插塞或導電膜的製程，可簡化製程。

(4) 在前述(1)～(3)之半導體積體電路裝置，可在配線槽或第第三連接孔側壁形成爲絕緣體的側壁間隙壁，可僅相當於側壁間隙壁厚度總和的寬度比配線槽寬度縮小金屬配線寬度。

根據這種半導體積體電路裝置，可比只將金屬配線埋入配線槽而形成的情況更縮小金屬配線的線幅，可更確實且顯著地取得前述(1)的效果。

又，此情況的金屬配線表面標高可比第一絕緣膜表面標高降低。這在後面說明的金屬配線形成製程將此用 CMP 法形成的情況與過度研磨時的金屬配線對應。即，側壁間隙壁一般在配線槽上部附近其膜厚薄，在配線槽底部膜厚厚。在這種情況，若將金屬配線形成到配線槽上部，即側壁間隙壁膜厚薄的區域，則有不能顯著得到因側壁間隙壁而線幅縮小效果的可能性。於是，形成金屬配線時進行充分的過度研磨，研磨金屬配線到側壁間隙壁寬度十分變厚的



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 8 ）

區域。

此外，側壁間隙壁可以是氧化矽膜或氮化矽膜。如前述，由於用本發明之側壁間隙壁縮小金屬配線的線幅，所以電容電極連接孔加工時，無需使用自對準(self align)的加工法。因此，即使用氧化矽膜作爲開電容電極連接孔的材料，也無需在側壁間隙壁使用氮化矽膜。然而，使用氮化矽膜的情況，即使產生大的對合偏移時或產生製程條件變動時，也可避免因電容電極連接孔加工而金屬配線露出。另一方面若在側壁間隙壁使用氧化矽膜，則可減低起因於氧化矽膜的低介電常數而起作用作爲位元線的金屬配線的線間電容。

此外，在前述(1)～(3)之半導體積體電路裝置，也可以在配線槽底部形成對第一絕緣膜或側壁間隙壁有蝕刻選擇比的第四絕緣膜。這種情況，配線槽形成於第一絕緣膜時可將第四絕緣膜用作蝕刻中止膜(etching stopper)，而形成側壁間隙壁時可將第四絕緣膜用作蝕刻中止膜。又，第一絕緣膜或側壁間隙壁可以是氧化矽膜，第四絕緣膜可以是氮化矽膜。

(5) 本發明之半導體積體電路裝置之製造方法，係有半導體基板；閘極：透過閘極絕緣膜形成於爲基板主面分離區域所包圍的活性區域上；閘極下的通道區域；第一及第二半導體區域：隔著通道區域而形成；金屬配線：電氣連接於第一半導體區域；及，資訊儲存用電容元件：電氣連接於第二半導體區域，比金屬配線形成於上層之半導體積

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製



本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 9 ）

體電路裝置之製造方法，包含(a)在基板主面形成分離區域，再依次形成絕緣膜及導電膜，藉由將導電膜形成圖案而形成閘極的製程，(b)將雜質離子導入閘極兩端而形成第一及第二半導體區域的製程，(c)在基板全面形成第一絕緣膜，在第一絕緣膜形成配線槽的製程，(d)在包含配線槽內部的第一絕緣膜上沈積金屬膜，除去配線槽以外區域的金屬膜，形成金屬配線的製程，(e)沈積覆蓋基板全面的第五絕緣膜，在第五絕緣膜上形成資訊儲存用電容元件的製程，金屬配線在閘極間的區域比閘極位於上面。

根據這種半導體積體電路裝置之製造方法，可製造前述(1)之半導體積體電路裝置。此外，根據這種製造方法，無需設置在習知技術爲提高記憶胞標高的因素的圖 72(b)的氧化矽膜 215 或氮化矽膜 212 。此結果，可減低記憶胞高度，縮小和周邊電路區域的落差而增加形成於資訊儲存用電容元件上部的金屬配線圖案結構的微影裕度，並可減低金屬配線的斷線等不良。此外，藉由金屬配線比閘極位於上面，可減低配線和閘極間的電容。

此外，在前述(c)製程之前有在基板全面如掩埋閘極間般地形成第二絕緣膜，在第一及第二半導體區域上的第二絕緣膜形成第一連接孔的製程和將連接於第一及第二半導體區域的連接插塞埋入第一連接孔內而形成的製程，藉由(c)製程的配線槽形成，可將連接於第一半導體區域的連接插塞上部或上面露出配線槽底部。

根據這種半導體積體電路裝置之製造方法，可製造有連



經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 10 ）

接第一半導體區域和金屬配線的連接插塞的半導體積體電路裝置，並可和形成配線槽同時形成和連接插塞的連接部。因此，可省略爲了露出連接插塞的連接孔形成等其他製程，可簡化半導體積體電路裝置的製程。

此在，在(c)製程之前有沈積覆蓋閘極的第三絕緣膜，在第一半導體區域上的第三絕緣膜形成第二連接孔的製程和在包含第二連接孔內部的第三絕緣膜上沈積導電膜，如覆蓋第二連接孔般地將導電膜形成圖案的製程，藉由(c)製程的配線槽形成，可將導電膜一部分露出配線槽底部。

根據這種半導體積體電路裝置之製造方法，可製造有連接第一半導體區域和金屬配線的導電膜的半導體積體電路裝置，並且根據此方法也可和形成配線槽同時形成和導電膜的連接部而簡化製程。又，根據此方法，和形成前述連接插塞的製程比較，可減少 CMP 法平坦化製程。即，在形成連接插塞的方法，在連接插塞所形的連接孔形成前需使絕緣膜平坦化，但在形成本方法導電膜的方法，形成導電膜的絕緣膜無需平坦。因此，在將導電膜形成圖案前的絕緣膜形成製程，可省略 CMP 製程。在 CMP 製程需謀求在基板全面的平坦性確保，所以需加厚絕緣膜的膜厚，但在本方法省略 CMP 製程，所以可謀求該部分絕緣膜膜厚的減低，可低控制記憶胞的標高。

此外，(c)製程後具有下述製程：形成具有與配線槽區域重複、露出第一半導體區域的平面圖案的第三連接孔，(d)製程的金屬膜沈積時，在第三絕緣膜內部也可形成金屬膜。



（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 11）

根據這種半導體積體電路裝置之製造方法，可製造直接連接金屬配線和第一半導體區域結構的半導體積體電路裝置。即，可用所謂的雙重金屬鑲嵌法(dual damascene)形成金屬配線。

又，形成連接插塞或導電膜，和形成配線槽同時露出這些連接插塞或導電膜一部分的前述製造方法，由於直接以配線槽底部連接爲位元線的金屬配線和連接插塞或導電膜，所以無需隔開連接插塞或導電膜和金屬配線的絕緣膜，必然也無需開口於其絕緣膜的連接孔。此結果，作爲不要絕緣膜的結論，可減低胞高度，並且作爲不要連接孔的結論，可減低光罩(mask)片數。

(6) 此外，本發明之半導體積體電路裝置之製造方法，在前述(5)之製造方法，在(d)製程之前有下述製程：在包含配線槽或第三連接孔內部的第一絕緣膜上沈積比配線槽寬度二分一薄的膜厚的第六絕緣膜，藉由非等向性蝕刻第六絕緣膜，在配線槽或第三連接孔側壁形成側壁間隙壁。

根據這種半導體積體電路裝置之製造方法，可在配線槽側壁形成側壁間隙壁而縮小金屬配線的線幅。即，由於配線槽的加工以第一絕緣膜的微影蝕刻加工形成，所以不能在微影加工界限以下形成，但如本方法，若在配線槽側壁形成側壁間隙壁，則爲側壁間隙壁所夾的間隔成爲微影加工界限以下，埋入其間而形成的金屬配線的線幅就形成於其加工界限以下。因此，形成電容電極連接孔時，可確保充分的加工裕度而提高半導體積體電路裝置的製造良率，



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 12 ）

並提高可靠性。

又，藉由CMP法研磨進行爲了形成金屬配線的金屬膜除去，藉由過度進行研磨，可使配線槽內的金屬配線表面產生表面凹陷(dishing)。或者藉由CMP法研磨進行爲了形成金屬配線的金屬膜除去，藉由過度進行研磨，可也和金屬膜共同除去配線槽上部的側壁間隙壁寬度變窄的部分。這種情況，不在側壁間隙壁膜厚小的配線槽上部形成金屬配線，可有效地縮小金屬配線的線幅。

又，在前述製造方法，可在閘極和第一絕緣膜膜之間的任一層形成對第一絕緣膜或第六絕緣膜有蝕刻選擇比的第四絕緣膜，第一絕緣膜的配線槽形成時或第六絕緣膜的非等向性蝕刻形成側壁間隙壁時，使用第四絕緣膜作爲蝕刻中止膜。就第一及第六絕緣膜而言，可例示氧化矽膜，就第四絕緣膜而言，可例示氮化矽膜。

此外，在前述製造方法，連接(e)製程的資訊儲存用電容元件和其下層的第二半導體區域或第二半導體區域上的連接插塞的連接孔加工製程可包含第一製程：在第五絕緣膜上沈積對第一及第五絕緣膜有蝕刻選擇比的第一覆膜；第二製程：在第二半導體區域上的第一覆膜形成開口；第三製程：沈積有開口口徑二分之一以下膜厚、對第一及第五絕緣膜有蝕刻選擇比的第二覆膜；第四製程：藉由非等向性蝕刻第二覆膜，在開口內壁形成第二覆膜的側壁間隙壁；第五製程：以第一覆膜及第二覆膜的側壁間隙壁爲硬性光罩(hard mask)，蝕刻第五絕緣膜和存在於其下層的絕緣



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 13 ）

膜。

根據這種半導體積體電路裝置之製造方法，可以微影加工界限以下的加工尺寸加工電容電極連接孔，藉由和可縮小前述金屬配線的配線寬度的方法的乘數效果，可更確實防止資訊儲存用電容元件之下部電極和金屬配線(位元線)的短路。

【附圖之簡單說明】

圖 1 爲顯示形成爲本發明一實施形態的 DRAM 的半導體晶片全體一例的平面圖。

圖 2 爲本實施形態的 DRAM 的等效電路圖。

圖 3 爲擴大圖 1 之記憶體陣列 MARY 一部分的平面圖。

圖 4 爲就實施形態 1 的 DRAM 區域的記憶胞部分和周邊電路一部分顯示的截面圖，記憶胞部分顯示圖 3 的 C-C 線截面。

圖 5 爲就實施形態 1 的 DRAM 區域的記憶胞部分顯示的截面圖，圖 5(a)顯示圖 3 的 A-A 線截面，圖 5(b)顯示圖 3 的 D-D 線截面，圖 5(c)顯示圖 3 的 B-B 線截面。

圖 6(a)、8(a)、11、15、21、24、30 爲實施形態 1 的 DRAM 製程的記憶胞部的平面圖。

圖 6(b)、7、8(b)、9、10、12(a)、13(a)、14(a)、16(a)、17(a)、18、19(a)、20(a)、22(a)、23(a)、25(a)、26(a)、27(a)、28、31、33、35、37、39、41 爲與圖 4 對應的製程截面圖。

圖 12(b)、13(b)、14(b)、16(b)、17(b)、19(b)、20(b)

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製



本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐 )

五、發明說明（ 14 ）

、22(b)、23(b)、25(b)、26(b)、27(b)、29(a)、32(a)、34(a)、36(a)、38(a)、40(a)、42(a)爲與圖 5(a)對應的製程截面圖。

圖 12(c)、13(c)、14(c)、16(c)、17(c)、19(c)、20(c)、22(c)、23(c)、25(c)、26(c)、27(c)、29(b)、32(b)、34(b)、36(b)、38(b)、40(b)、42(b)爲與圖 5(b)對應的製程截面圖。

圖 12(d)、13(d)、14(d)、16(d)、17(d)、19(d)、20(d)、22(d)、23(d)、25(d)、26(d)、27(d)、29(c)、32(c)、34(c)、36(c)、38(c)、40(c)、42(c)爲與圖 5(c)對應的製程截面圖。

圖 43(a)～圖 44(d)顯示實施形態 1 的 DRAM 製造方法他例。

圖 45(a)～圖 47(d)顯示實施形態 1 的 DRAM 製造方法另外他例。

圖 48 爲擴大實施形態 2 的 DRAM 的記憶體陣列 MARY 一部分的平面圖。

圖 49 爲就實施形態 2 的 DRAM 區域的記憶胞部分和周邊電路一部分顯示的截面圖，顯示圖 48 的 C-C 線截面。

圖 50 爲就實施形態 2 的 DRAM 區域的記憶胞部分顯示的截面圖，圖 50(a)顯示圖 48 的 A-A 線截面，圖 50(b)顯示圖 48 的 D-D 線截面，圖 50(c)顯示圖 48 的 B-B 線截面。

圖 51、53、55、56、60 爲實施形態 2 的 DRAM 記憶胞的各製程的平面圖。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製



本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 15）

圖 52(a)、54(a)、57(a)、58(a)、59(a)為與圖 49 對應截面的各製程的截面圖。

圖 52(b)、54(b)、57(b)、58(b)、59(b)為與圖 50(a)對應截面的各製程的截面圖。

圖 52(c)、54(c)、57(c)、58(c)、59(c)為與圖 50(b)對應截面的各製程的截面圖。

圖 52(d)、54(d)、57(d)、58(d)、59(d)為與圖 50(c)對應截面的各製程的截面圖。

圖 61 為擴大實施形態 3 的 DRAM 的記憶體陣列 MARY 一部分的平面圖。

圖 62 為就實施形態 3 的 DRAM 區域的記憶胞部分和周邊電路一部分顯示的截面圖，顯示圖 61 的 C-C 線截面。

圖 63 為就實施形態 3 的 DRAM 區域的記憶胞部分顯示的截面圖，圖 63(a)顯示圖 61 的 A-A 線截面，圖 63(b)顯示圖 61 的 D-D 線截面，圖 63(c)顯示圖 61 的 B-B 線截面。

圖 64、66 為實施形態 3 的 DRAM 記憶胞的各製程的平面圖。

圖 65(a)、67(a)、68(a)、69(a)為與圖 62 對應截面的各製程的截面圖。

圖 65(b)、67(b)、68(b)、69(b)為與圖 63(a)對應截面的各製程的截面圖。

圖 65(c)、67(c)、68(c)、69(c)為與圖 63(b)對應截面的各製程的截面圖。

圖 65(d)、67(d)、68(d)、69(d)為與圖 63(c)對應截面的各製程的截面圖。

圖 70 為顯示本發明另外其他實施形態的 DRAM 一例的



（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 16）

截面圖。

圖 71 爲顯示本發明另外其他實施形態的 DRAM 他例的截面圖。

圖 72(a)、 72(b)爲說明電容電極連接孔加工上的課題的截面圖，顯示在與位元線延伸方向垂直方向的記憶胞部截面。

【較佳實施例之說明】

【發明之實施形態】

以下，根據圖面詳細說明本發明之實施形態。又，在爲了說明實施形態的全圖，在有同一功能的構件附上同一符號，其反覆說明省略。

(實施形態 1)

圖 1 爲顯示形成爲本發明一實施例態的 DRAM 的半導體晶片全體一例的平面圖。如圖示，在由單結晶矽構成的半導體晶片 1A 主面沿著 X 方向(半導體晶片 1A 長邊方向)及 Y 方向(半導體晶片 1A 短邊方向)矩陣狀地配置多數記憶體陣列 MARY。在沿著 X 方向互相鄰接的記憶體陣列 MARY 之間配置感測放大器 SA。在半導體晶片 1A 主面中央部配置字元驅動器 WD 、資料線選擇電路等控制電路或輸出入電路、焊接區(bonding pad)等。

圖 2 爲本實施形態 1 的 DRAM 的等效電路圖。如圖示，此 DRAM 的記憶體陣列(MARY)係由矩陣狀地配置的多數字元線 WL(WL0 、 WL1 、 WLn...)和多數位元線 BL 及配置於這些線交點的多數記憶胞所構成。記憶 1 位元資訊的 1

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製



本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 17）

個記憶胞以 1 個資訊儲存用電容元件 C 和串聯連接於此元件的 1 個記憶胞選擇用 MISFETQs 構成。記憶胞選擇用 MISFETQs 之源極、汲極一方和資訊儲存用電容元件 C 電氣連接，他方和位元線 BL 電氣連接。字元線 WL 一端連接於字元驅動器 WD，位元線 BL 一端連接於感測放大器 SA。

圖 3 爲擴大圖 1 之記憶體陣列 MARY 一部分的平面圖。又，在此平面圖及以下平面圖顯示構成構件的圖案形狀，並不表示實際構件形狀。在記憶體陣列 MARY 配置活性區域 L1，在 Y 方向形成字元線 WL，在 X 方向形成位元線 BL。在字元線 WL 和活性區域 L1 重疊的區域，字元線 WL 起作用作爲記憶胞選擇用 MISFETQs 之閘極。在爲起作用作爲字元線 WL 之閘極的區域所夾的活性區域 L1 的區域，即活性區域 L1 的中央部分形成連接於位元線 BL 的連接插塞(plug)BP。連接插塞 BP 如跨越活性區域 L1 和位元線 BL 般地有 Y 方向長的形狀，透過連接插塞 BP 連接活性區域 L1 的中央部分和位元線。活性區域 L1 的兩端區域透過電容電極連接孔 SNCT 連接於資訊儲存用電容元件 C。

在本實施形態，以 X 方向延伸的直線形狀形成位元線 BL 和活性區域 L1。由於如此以直線形狀形成，所以在位元線 BL 及活性區域 L1 加工時的微影(photolithography)可減少曝光光的干擾，提高加工裕度。此外，雖然在微影加工界限形成位元線 BL 和活性區域 L1，但比其加工界限細地形成位元線 BL。因此，可提高電容電極連接孔 SNCT 的加工裕度而提高半導體積體電路裝置的可靠性。此外，可增加



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4 規格(210 × 297 公釐)

五、發明說明（ 18）

位元線 BL 間的距離而減低位元線電容，提高半導體積體電路裝置的性能。

圖 4 爲就本實施形態的 DRAM 區域的記憶胞部分(A 區域)和周邊電路一部分(B 區域)顯示的截面圖，顯示圖 3 的 C-C 線截面。圖 5 爲就 DRAM 區域的記憶胞部分顯示的截面圖，圖 5(a)顯示圖 3 的 A-A 線截面，圖 5(b)顯示圖 3 的 D-D 線截面，圖 5(c)顯示圖 3 的 B-B 線截面。又，在本實施形態例示按照 0.18 μm，設計規則的製造技術。

在半導體基板 1 主面形成 A 區域的 p 型井 2、B 區域的 p 型井 3 及 n 型井 4。半導體基板 1 由例如 10 Ω·cm 電阻率的 p 型單結晶矽構成。此外，在 p 型井 2 主面形成臨界電壓調整層 5，如包圍 p 型井 2 般地形成 n 型深井 6。又，也可以在其他各井也形成臨界電壓調整層。

在各井主面形成分離區域 7。分離區域 7 由氧化矽膜構成，埋入形成於半導體基板 1 主面的淺槽 8 而形成。淺槽 8 例如有 0.3 μm 的深度，也可以在內壁形成被熱氧化的氧化矽膜。

在 p 型井 2 主面形成 DRAM 之記憶胞選擇用 MISFETQs。此外，在 p 型井 3 及 n 型井 4 主面各自形成 n 通道 MISFETQn 及 p 通道 MISFETQp。

記憶胞選擇用 MISFETQs 有閘極 11：透過閘極絕緣膜 10 形成於 p 型井 2 主面上；及，半導體區域 12：形成於閘極 11 兩側的 p 型井 2 主面。

閘極絕緣膜 10 由例如有 7～8 nm 膜厚的爲熱氧化所形



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 19）

成的氧化矽膜構成。

閘極 11 可以是例如 50 nm 膜厚的多結晶矽膜和 100 nm 膜厚的矽化鎢($WSi_2$)膜的層疊膜。例如可將磷(P)$3 \times 10^{20}$ atoms/$cm^3$程度導入多結晶矽膜。又，不限於矽化鎢膜，也可以是矽化鈷(CoSi)膜、矽化鈦(TiSi)膜等其他矽化物膜。此外，閘極 11 也可以是例如膜厚 70 nm 的多結晶矽膜、膜厚 50 nm 的氮化鈦膜及膜厚 100 nm 的鎢膜的層疊膜。

將 n 型雜質，例如砷(As)或磷導入半導體區域 12。

在記憶胞選擇用 MISFETQs 之閘極 11 上層形成由氮化矽膜構成的蓋絕緣膜 13，再以氮化矽膜 14 覆蓋其上層。蓋絕緣膜 13 的膜厚例如爲 200 nm，氮化矽膜 14 的膜厚例如爲 30 nm。氮化矽膜 14 也形成於閘極 11 側壁，利用於形成後面說明的連接孔時的自對準(self align)加工。又，記憶胞選擇用 MISFETQs 之閘極 11 起作用作爲 DRAM 之字元線，在分離區域 7 上面形成字元線 WL 一部分。

另一方面，n 通道 MISFETQn 及 p 通道 MISFETQp 各自形成於 p 型井 3 及 n 型井 4 主面上，係由閘極 11：透過閘極絕緣膜 10 而形成；及，半導體區域 15：形成於閘極 11 兩側的各井主面所構成。閘極絕緣膜 10 及閘極 11 和前述同樣。半導體區域 15 由低濃度雜質區域 15a 及高濃度雜質區域 15b 構成，形成所謂的 LDD(轉摻雜汲極)構造。導入半導體區域 15 的雜質係按照 MISFET 的導電型，導入 n 型或 p 型雜質。

在 n 通道 MISFETQn 及 p 通道 MISFETQp 之閘極 11 上層



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4 規格(210×297 公釐)

五、發明說明（ 20）

形成由氮化矽膜構的蓋絕緣膜 13，再以氮化矽膜 14 覆蓋其上層及閘極 11 和蓋絕緣膜 13 的側壁。蓋絕緣膜 13 及氮化矽膜 14 和前述同樣。

在記憶胞選擇用 MISFETQs、n 通道 MISFETQn 及 p 通道 MISFETQp 之閘極 11 間的間隙埋入絕緣膜 16，絕緣膜 16 例如可以是 SOG(旋塗式玻璃)膜；TEOS 氧化膜：以 TEOS (四正矽酸乙酯)爲原料氣體，使由電漿 CVD 法所形成的氧化矽膜(以下稱爲 TEOS 氧化膜)以 CMP(化學機械研磨)法平坦化；及，TEOS 氧化膜的層疊膜。

在絕緣膜 16 上形成配線形成用的絕緣膜 17。絕緣膜 17 例如可以是 TEOS 氧化膜。

在絕緣膜 17 形成配線槽 18，在配線槽 18 側壁形成側壁間隙壁(sidewall spacer)19。如後面說明，在微影加工界限形成配線槽 18。例如氮化矽膜構成側壁間隙壁 19。也可以以氧化矽膜構成側壁間隙壁 19。

在以側壁間隙壁 19 所夾的配線槽 18 內部形成位元線 BL 及第一層配線 20。如後面說明，使用 CMP 法同時形成位元線 BL 及第一層配線 20。雖然位元線 BL 及第一層配線 20 例如由鎢膜所構成，但也可以使用其他金屬，例如銅膜等。

由於如此埋入配線槽 18 內形成位元線 BL，所以可縮小到後面說明的資訊儲存用電容元件 C 的層間高度。即，若要使用金屬膜的微影圖案形成形成位元線 BL，則需使後面說明的連接插塞(plug)和位元線 BL 絕緣的絕緣膜，但本



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 21）

實施形態的情況，不需要絕緣膜。因此，可縮小僅相當於其絕膜膜厚的層間幅度而減低元件高度。

此外，由於在配線槽 18 內壁形成側壁間隙壁 19，所以可縮小位元線 BL 幅度。即，僅相當於側壁間隙壁 19 幅度縮小配線槽 18 幅度，可縮小形成於該處的位元線 BL 線幅。這意味著可以微影加工界限以下的加工精度形成位元線 BL 線幅。因此，連接後面說明的資訊儲存用電容元件 C 和連接插塞的電容電極連接孔加時，增大加工裕度，即使產生電容電極連接孔加工圖案的對合偏移，也不發生起因於資訊儲存用電容元件 C 和位元線 BL 短路的不良。此結果，可提高 DRAM 的可靠性及製品的良率。

此外，無需爲可大幅取得電容電極連接孔的加工裕度而採用如以往採用的電容電極連接孔加工時的對位元線 BL 的自對準(self align)加工。因此，不要自對準加工所需的位元線 BL 的蓋絕緣膜，因此僅相當於蓋絕緣膜膜厚可減低元件高度。此結果，也和先前元件高度的減低效果一併減低記憶胞區域(A 區域)和周邊電路區域(B 區域)的落差，或者減低 B 區域的絕緣膜厚度，可謀求起因於落差的第二層以上的配線加工性提高和其斷線防止，或者可提高第二層配線和到其下層配線等的連接孔加工性。

此外，由於可細地形成位元線 BL 線幅，所以增大位元線 BL 間的距離而可減低位元線 BL 間的線間電容。此結果，提高感測放大器的檢出感度而提高耐雜訊性，可提高 DRAM 的性能。



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 22 ）

又，比形成配線槽 18 的絕緣膜 17 表面標高低地形成位元線 BL，這是在側壁間隙壁 19 上部附近的膜厚如圖示，有變薄的趨勢，這種情況，若是到側壁間隙壁 19 上部附近形成位元線 BL，則有不能充分得到位元線 BL 線幅縮小效果之虞。因此，如後面說明，位元線 BL 及第一層配線 20 形成時，過度進行 CMP 法研磨，故意使表面凹陷(dishing)產生而十分細地形成位元線 BL 線幅。藉此，可確實取得位元線 BL 線幅縮小的效果。

位元線 BL 透過連接插塞 21 連接於爲一對記憶胞選擇用 MISFETQs 所共有的半導體區域 12。連接插塞 21 如圖 3 之平面圖亦所示，如與活性區域 L1 之圖案和位元線 BL 之圖案重疊般地在 Y 方向長地形成。又，位元線 BL 和連接插塞 21 以配線槽 18 底部連接。此如後面說明，係根據配線槽 18 形成時，同時露出連接插塞 21 上部。

此外，在記憶胞選擇用 MISFETQs 他方的半導體區域 12 上形成連接於資訊儲存用電容元件的連接插塞 22。連接插塞 21、22 可以是導入 $2 \times 10^{20}$ atoms/$cm^3$ 程度 n 型雜質，例如磷的多結晶矽膜。

又，在形成於周邊電路區域(B 區域)的 n 通道 MISFETQn 及 p 通道 MISFETQp 之高濃度雜質區域 15b 直接連接位元線 BL。藉由如此將位元線 BL 直接連接於高濃度雜質區域 15b，與形成連接插塞的情況比較，可減低連接插塞電阻及連接電阻，提高 n 通道 MISFETQn 及 p 通道 MISFETQp 動作速度。又，可在高濃度雜質區域 15b 表面形成鈷、鈦



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 23）

、鉭、鎢等矽化物膜。

以層間絕緣膜23覆蓋位元線BL及第一層配線20。層間絕緣膜23例如可以是TEOS氧化膜。

在層間絕緣膜23上層的A區域形成由氮化矽膜構成的絕緣膜24，並形成資訊儲存用的資訊儲存用電容元件C。絕緣膜24如後面說明，係形成資訊儲存用電容元件C之下部電極27時起作用作爲蝕刻中止膜的薄膜。

資訊儲存用電容元件C係由下部電極27：透過連接插塞25連接於連接插塞22；電容絕緣膜28：例如由氮化矽膜及氧化鉭構成；及，板極29：例如由氮化鈦所構成。由於連接插塞25形成於電容電極連接孔26內，電容電極連接孔26如前述，充分離開位元線BL而形成，所以無位元線BL和連接插塞25短路之虞。

在資訊儲存用電容元件C上層形成例如由TEOS氧化膜構成的絕緣膜30。又，在B區域的層間絕緣膜23上層也可以在和資訊儲存用電容元件C同層形成絕緣膜。利用此絕緣膜可防止起因於資訊儲存用電容元件C標高的A區域和B區域間的落差產生，可使微影的焦點深度具有裕度，可使製程穩定而與細微加工對應。

在絕緣膜30上層形成第二層配線31，第二層配線31和上部電極29或第一層配線20間以插塞32連接。第二層配線31例如可以是氮化鈦膜、鋁膜及氮化鈦膜的層疊膜，插塞32例如可以是鈦膜、氮化鈦膜及鎢膜的層疊膜。

又，在第二層配線31上也可以再透過層間絕緣膜有第三



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 24 ）

層配線或其以上的配線層，但省略說明。

根據本實施形態 1 之 DRAM，由於如前述，將位元線 BL 埋入配線槽 18 內而形成，並在配線槽 18 側壁形成側壁間隙壁 19，所以可縮小位元線 BL 線幅。藉由此，可以充分的加工裕度進行電容電極連接孔 26 的加工，可防止連接插塞 25 和位元線 BL 的短路。此外，，可減低資訊儲存用電容元件 C 所形成的高度。再者，可減低位元線間的線間電容而提高 DRAM 的性能。

其次，使用圖面說明本實施形態 1 之 DRAM 製造方法。圖 6～圖 42 爲按製程順序顯示本實施形態 1 之 DRAM 製造方法一例的截面圖或平面圖。又，只要不特別顯示，截面圖就顯示圖 3 的 C-C 線截面及周邊電路部分的截面。

首先，準備例如有 10 Ω·cm 程度電阻率的 p 型半導體基板 1，在此半導體基板 1 主面形成深度例如 0.3 μm 的淺槽 8。其後，也可以對半導體基板 1 施以熱氧化，形成氧化矽膜。再沈積氧化矽膜，將此用 CMP 法研磨而只在淺槽 8 內留下氧化矽膜，形成分離區域 7。

又，以此時的分離區域 7 包圍的活性區域 L1 的圖案如圖 6(a)所示，係直線狀的平面圖案。因此，在微影加工淺槽 8 方面，可盡量排除曝光光干擾等加工精度的降低因素，即使微影加工界限附近也精度良好地進行加工。

其次，以光阻劑爲光罩，注入加速能量 2300 keV、劑量 $1 \times 10^{13}/cm^2$ 的磷離子而形成深井 6。其次，以光阻劑爲光罩，將加速能量 1000 keV 的磷離子以劑量 $1 \times 10^{13}/cm^2$、



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 25 ）

將加速能量 460 keV 的磷離子以劑量 $3 \times 10^{12}/cm^2$、將加速能量 180 keV 的磷離子以劑量 $5 \times 10^{11}/cm^2$ 的條件重複離子注入，形成 n 型井 4。再以光阻劑爲光罩，將加速能量 500 keV 的硼離子以劑量 $1 \times 10^{13}/cm^2$、將加速能量 150 keV 的硼離子以劑量 $3 \times 10^{12}/cm^2$、將加速能量 50 keV 的硼離子以劑量 $5 \times 10^{11}/cm^2$ 的條件重複離子注入，形成 p 型井 2、3(圖 6(b))。也可以再在半導體基板 1 全面將加速能量 70 keV 的二氟化硼($BF_2$)離子以劑量 $1.5 \times 10^{12}/cm^2$ 的條件離子注入。

其次，在形成 P 型井 2、3、n 型井 4 的活性區域用熱氧化法形成閘極絕緣膜 10，再以 DRAM 之記憶胞區域(A 區域)開口的光阻劑爲光罩，將加速能量 20 keV 的硼離子以劑量 $3 \times 10^{12}/cm^2$ 的條件離子注入，形成記憶胞選擇用 MISFETQs 之臨界電壓調整層 5(圖 7)。利用臨界電壓調整層 5 可將記憶胞選擇用 MISFETQs 之臨界壓調整到 0.7 V 程度。

其次，在半導體基板 1 全面以 50 nm 的膜厚形成多結晶矽膜：例如作爲雜質，以 $3 \times 10^{20}/cm^3$ 的濃度導入磷，其次例如以 100 nm 的膜厚沈積矽化鎢膜。再以例如 200 nm 的膜厚沈積氮化矽膜。多結晶矽膜及氮化矽膜例如可用 CVD(化學氣相沈積)法形成，矽化鎢膜可用濺鍍(sputter)法形成。其後，將氧化矽膜、矽化鎢膜及多結晶矽膜用微影(photolithography)技術及蝕刻技術形成圖案，形成閘極 11(字元線 WL)及蓋絕緣膜 13(圖 8(b))。圖 8(a)顯示此時的



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 26 ）

字元線 WL(蓋絕緣膜 13 也同樣)圖案。得知字元線 WL 被圖案形成直線狀，微影在其加工界限也可容易進行。

其次，以蓋絕緣膜 13 及閘極 11 和光阻爲光罩，在形成記憶胞的區域(A 區域)及形成周邊電路區域(B 區域)的 n 通道 MISFETQn 的區域離子注入雜質，例如砷(As)或磷，形成半導體區域 12 及 n 通道 MISFETQn 之低濃度雜質區域 15a 。其後，在形成周邊電路區域(B 區域)的 p 通道 MISFETQp 的區域雜子注入雜質，例如硼(B)，形成 p 通道 MISFETQp 之低濃度雜質區域 15a(圖 9)。

其次，在半導體基板 1 全面以例如 30 nm 的膜厚沈積氮化矽膜 14 。又，以只形成於形成記憶胞的區域(A 區域)的光阻劑爲光罩，非等向性蝕刻氮化矽膜 14，只在 A 區域的半導體基板 1 上使氮化矽膜 14 殘留，同時在 B 區域的閘極 11 側壁形成側壁間隙壁也可以。

其次，在形成記憶胞的區域(A 區域)及形成周邊電路區域(B 區域)的 n 通道 MISFETQn 的區域形成光阻劑膜，以此光阻劑膜和氮化矽膜 14 爲光罩，離子注入雜質，例如硼，形成 p 通道 MISFETQp 之高濃度雜質區域 15b，再在形成記憶胞的區域(A 區域)及形成周邊電路區域(B 區域)的 p 通道 MISFETQp 的區域形成光阻劑膜，以此光阻劑膜和氮化矽膜 14 爲光罩，離子注入雜質，例如磷，形成 n 通道 MISFETQn 之高濃度雜質區域 15b(圖 10)。

其次，用 CVD 法形成例如膜厚 400 nm 的氧化矽膜，再將此氧化矽膜用 CMP(化學機械研磨)法研磨而平坦化，形



（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 27 ）

成絕緣膜 16。形成記憶胞的區域(A 區域)以絕緣膜 16 完全掩埋字元線 WL 間，成爲平坦面。

此外，開啓相當於如圖 11 所示的連接插塞 21 及連接插塞 22 的圖案的連接孔，施以插塞植入後，沈積摻入雜質的多結晶矽膜，將此多結晶矽膜用 CMP 法研磨而形成連接插塞 21、22(圖 12)。又，在圖 12 中，(a)顯示圖 3 的 C-C 線截面及周邊電路部分的截面，(b)顯示圖 3 的 A-A 線截面，(c)顯示圖 3 的 D-D 線截面，(d)顯示圖 3 的 B-B 線截面。以下，在圖 13、14、16、17、19、20、22、23、25～27 同樣。

插塞植入例如可以以磷離子爲加速能量 50 keV、劑量 $1 \times 10^{13}/cm^2$。此外，雜質導入多結晶矽膜，例如可用 CVD 法導入濃度 $2 \times 10^{20}/cm^3$ 的磷進行。又，此連接孔可用兩階段蝕刻開啓，以防止半導體基板 1 的過度蝕刻。此外，連接插塞 21、22 的形成也可以用回蝕(etch back)形成。

其次，形成配線形成用絕緣膜 17(圖 13)。絕緣膜 17 例如可以是 CVD 法產生的氧化矽膜，膜厚例如是 200 nm。

其次，在絕緣膜 17 形成深度 200 nm 的配線槽 18(圖 14)。配線槽 18 在微量(photolithorgraphy)的加工界限形成，例如以 0.18 μm 的槽幅形成。圖 15 顯示其平面圖案。由於位元線 BL 用的配線槽 18 以直線形狀的圖案的形成，所以即使在微影的加工界限也可以充分的加工精度形成。

其次，在半導體基板 1 全面沈積覆蓋配線槽 18 的絕緣膜 33(圖 16)。絕緣膜 33 例如可以由 CVD 法所形成的氧化矽

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製



本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 28 ）

膜或氮化矽膜，其膜厚例如是 60 nm。

其次，藉由非等向性蝕刻絕緣膜 33，在配線槽 18 側壁形成側壁間隙壁 19(圖 17)。側壁間隙壁 19 厚度按絕緣膜 33 厚度所規定，爲大約 60 nm。如此，由於形成側壁間隙壁 19，所以僅相當於側壁間隙壁 19 厚度可縮小配線槽 18 槽幅。即，可將以爲微影加工界限的 0.18 μm 所加工的配線槽 18 寬度縮小到爲被厚度 60 nm 的側壁間隙壁 19 所夾住的寬度的 60 nm。這意味著可以比爲微影加工界限的 0.18 μm 細的 60 nm 形成後面說明的位元線 BL 寬度。

又，雖然藉由此非等向性蝕刻製程過度蝕刻絕緣膜 16 一部分，少許深地形成配線槽 18，但藉此可確實露出遠接插塞 21 表面(圖 17(b))。藉此，能可靠性良好地進行連接插塞 21 和位元線 BL 的連接。此外，藉由配線槽 18 的加工及側壁間隙壁 19 的加工，可同時進行和連接插塞 21 的連接部露出。習知在加工連接位元線和連接插塞的連接孔後進行位元線的形成，但本實施形態之方法則不要這種連接孔的加工製程。因此，可簡化製程。再者，藉由側壁間隙壁 19 加工時的過度蝕刻，少許深地形成配線槽 18，所以可提高位元線 BL 高度而增大其截面積。增加此位元線 BL 截面積的效果如後面說明，可同時形成位元線 BL 和周邊電路之第一層配線 20，所以作第一層配線 20 電阻值的減低效果也可同時得到。因此，可減低位元線 BL 及第一層配線 20 電阻值而提高 DRAM 性能。

其次，以在周邊電路區域(B 區域)的高濃度雜質區域 15b



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4 規格(210 × 297 公釐)

五、發明說明（ 29 ）

上有開口的光阻劑膜爲光罩，形成連接孔 34(圖 18)。連接孔 34 係將後面說明的第一層配線 20 直接連接於高濃度雜質區域 15b 的，藉此可減低在周邊電路區域(B 區域)的配線電阻而提高 DRAM 性能。又，也可以在形成連接孔 34 的區域預先形成連接插塞。

其次，例如用濺鍍法(sputter)在半導體基板 1 全面形成膜厚 300 nm 的鎢膜 35(圖 19)。此處雖然例示鎢膜 35，但也可以使用其他金屬膜，例如銅膜等。但是，若考慮因金屬原子熱擴散到半導體基板 1 而可靠性降低，則金屬膜最好是高熔點金屬。例如可例示鉬、鉭、鈮等。

其次，例如用 CMP 法研磨鎢膜 35，除去配線槽 18 及側壁間隙壁 19 上部以外的鎢膜 35，形成位元線 BL 及第一層配線 20(圖 20)。圖 21 顯示此時的位元線 BL 的平面圖案。位元線 BL 形成於爲側壁間隙壁 19 所夾住的配線槽 18，其配線度寬度爲約 60 nm。

又，在前述鎢膜 35 形成製程，在連接孔 34 內部也埋入鎢膜 35，所以在本製程同時形成第一層配線 20 和高濃度雜質區域 15b 的連接部。

此外，在此鎢膜 35 的研磨製程，過度進行 CMP 法研磨，可比形成配線槽 18 的絕緣膜 17 表面，即比側壁間隙壁 19 上端部低地形成鎢膜 35 表面。此如，低地形成鎢膜 35 表面，所以可有效取得位元線 BL 線幅縮小的效果。即，側壁間隙壁 19 上端部如圖 20(c)等所示，一般變薄。這種情況，若到側壁間隙壁 19 上端部形成位元線 BL，則儘管



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 30）

位元線BL下部線幅十分變細，位元線BL上部線幅還是變粗，不能充分發揮其線幅縮小的效果。於是，在本實施形態，過度進行CMP法研磨，使位元線BL及第一層配線20所形成的區域積極產生表面凹陷(dishing)，而使其表面比側壁間隙壁19上端部低地形成。又，也可以調整CMP法研磨條件，將形成配線槽18的絕緣膜17及側壁間隙壁19和鎢膜35同時研磨除去。

又，除去鎢膜35也可以用回蝕(etch back)法。

其次，在半導體基板1全面例如用CVD法沈積氧化矽膜，將此氧化矽膜用CMP法研磨而平坦化，形成層間絕緣膜23(圖22)。

其次，在半導體基板1全面沈積氮化矽膜24及多結晶矽膜36(圖23)。在多結晶矽膜36可導入例如$3 \times 10^{20}/cm^3$濃度的磷，其膜厚例如爲100 nm。

其次，按照如圖24所示的SNCT圖案，在多結晶矽膜36形成開口37。開口37的口徑例如爲0.22 μm。其後，在半導體基板1全面以膜厚70 nm沈積和多結晶矽膜36同樣的多結晶矽膜，將此膜非等向性蝕刻而在開口37側壁形成側壁間隙壁38(圖25)。側壁間隙壁38寬度成爲約70 nm，將開口37的口徑用側壁間隙壁38縮小到80 nm。

其次，以多結晶矽膜36及側壁間隙壁38爲硬性光罩(hard mask)進行蝕刻，形成電容電極連接孔26(圖26)。電容電極連接孔26的口徑爲80 nm，其深度爲約300 nm。

如此，可小地形成電容電極連接孔26的口徑，所以即使



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 31 ）

在爲了形成開口 37 的光罩產生對合偏移，也不會和位元線 BL 接觸。此外，位元線 BL 線幅充分開著，所以更確實地發揮其效果。

其次，沈積埋入電容電極連接孔 26 的多結晶矽膜，將此多結晶矽膜、多結晶矽膜 36 及側壁間隙壁 38 用 CMP 或回蝕法除去，在電容電極連接孔 26 內部形連接插塞 25(圖 27)。如前述，不會使連接插塞 25 和位元線 BL 短路。在連接插塞 25 可導入例如 $3 \times 10^{20}/cm^3$ 濃度的磷。又，多結晶矽膜、多結晶矽膜 36 及側壁間隙壁 38 時，可使用氮化矽膜 24 起作用作爲 CMP 或回蝕法的蝕刻中止膜。

其次，例如用 CVD 法沈積由氧化矽膜構成的絕緣膜 39，在形成資訊儲存用電容元件 C 的區域形成槽 40(圖 28、圖 29、圖 30)。又，在圖 29 中，(a)顯示圖 3 的 A-A 線截面，(b)顯示圖 3 的 D-D 線截面，(c)顯示圖 3 的 B-B 線截面。以下，在圖 32、34、36、38、40、42 同樣。

可用電漿 CVD 進行絕緣膜 39 的沈積，其膜厚例如爲 1.2 μm。

其次，在半導體基板 1 全面沈積覆蓋槽 40 的多結晶矽膜 41(圖 31、32)，再在半導體基板 1 全面沈積氧化矽膜 42(圖 33、34)。在多結晶矽膜 41 可摻入磷，其膜厚可以是 0.03 μm。由於多結晶矽膜 41 膜厚對於槽 40 尺寸十分薄，所以在槽 40 內部也可階梯覆蓋(step coverage)良好地沈積多結晶矽膜 41。氧化矽膜 42 如埋入槽 40 內部般地沈積。若考慮往槽 40 內部的埋入性，則氧化矽膜 42 可以是 SOG



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4 規格(210 × 297 公釐)

五、發明說明（ 32）

(旋塗式玻璃)膜或使用 TEOS(四正矽酸乙酯)的 CVD 法產生的氧化矽膜。

其次，除去絕緣膜 39 上的氧化矽膜 42 及多結晶矽膜 41，形成資訊儲存用電容元件 C 之下部電極 27(圖 35 、 36)。可用回蝕法或 CMP 法進行氧化矽膜 42 及多結晶矽膜 41 的除去。此外，在下部電極 27 內部殘留氧化矽膜 42。

其次，施以濕式蝕刻(wet etching)，除去絕緣膜 39 及氧化矽膜 42(圖 37 、 38)。藉此，露出下部電極 27。又，在周邊電路區域(B 區域)形成光阻劑膜，以此膜爲光罩而使 B 區域殘留絕緣膜 39 也可以。

又，氮化矽膜 24 起作用作爲在濕式蝕刻製程的蝕刻中止膜。

其次，將下部電極 27 表面氮化或氧氮化處理後，沈積氧化鉭膜，形成電容絕緣膜 28。可用以有機鉭氣體爲原料的 CVD 法形成氧化鉭膜的沈積。在此階段的氧化鉭膜具有非晶形(amorphous)構造。此處，也可以是對氧化鉭膜施以熱處理所結晶化(多結晶化)的氧化鉭膜($Ta_2O_5$)，形成電容絕緣膜 28 作爲更堅固的介電材料。此外，電容絕緣膜 28 換算成氧化矽膜，也可以是 5 nm 膜厚的氮化矽膜。再用 CVD 法沈積例如氮化鈦膜 43(圖 39 、 40)。

其後，使用光阻劑膜將氮化鈦膜及多結晶氧化鉭膜形成圖案，形成電容絕緣膜 28 及板極 29 。如此一來，形成由下部電極 27 、電容絕緣膜 28 及板極 29 構成的資訊儲存用電容元件 C 。再在半導體基板 1 全面形成絕緣膜 30(圖 41



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 33）

、 42)。又，取代氮化鈦膜，板極 29 也可以是例如含有 4 × $10^{20}/cm^3$ 濃度的磷的多結晶矽膜。

其次，在絕緣膜 30 形成連接孔，在包含其連接孔的絕緣膜 30 上依次沈積例如鈦膜、氮化鈦膜及鎢膜，將此用 CMP 法或回蝕法除去而形成插塞 32，此後在絕緣膜 30 上沈積例如由氮化鈦膜、鋁膜及氮化鈦膜構成的層疊膜，將此形成圖案而形成第二層配線 31。藉此，大致完成圖 4 及圖 5 所示的 DRAM。再者，由於上層配線層可和第二層配線 31 同樣形成，所以其詳細說明省略。

根據本實施形態之 DRAM，形成位元線 BL 線幅 80 nm、電容電極連接孔 26 直徑 80 nm，將兩者的合併裕度在 0.15μm 和 0.2 μm 製造技術可充分確保大的裕度。藉此，可無加工上問題製造胞面積 0.4 × 0.8 = 0.32 $\mu m^2$ 這種細微的 DRAM 胞。此外，從連接插塞 21、22 上面到資訊儲存用電容元件 C 之下部電極 27 下面的距離可微小控制在 0.3 μm，結果可降低從基板表面到板極 29 上面的胞高度。

又，在本實施態 1 說明在圖 17 所示的製程，過度進行側壁間隙壁 19 加工時的蝕刻，深地形成配線槽 18 底部的情況，但如圖 43 所示，不進行過度蝕刻，可將配線槽 18 深度停在絕緣膜 17 的膜厚程度。即使此情況，如圖 44 所示，只要連接插塞 21 表面在配線槽 18 底部露出，就進行位元線 BL 和連接插塞 21 的連接，也可使 DRAM 正常作用。

此外，也可以在形成配線槽 18 的絕緣膜 17 底部形成氮化矽膜。即，如圖 45 所示，形成絕緣膜 16 後，形成氮化



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 34 ）

矽膜 44，在氮化矽膜 44 和絕緣膜 17 形成連接孔而在此連接孔形成連接插塞 21、22。此後，和前述圖 13～17 的製程同樣，在絕緣膜 17 形成配線槽 18(圖 46)，再形成側壁間隙壁 19(圖 47)。這種情況，由於形成氮化矽膜 44，所以在配線槽 18 加工時的蝕刻或側壁間隙壁 19 加工時的蝕刻，可使氮化矽膜 44 起作用作爲蝕刻中止膜。

(實施形態 2)

圖 48 爲擴大實施形態 2 的 DRAM 的記憶體陣列 MARY 一部分的平面圖。此外，圖 49 爲就本實施形態的 DRAM 區域的記憶胞部分(A 區域)和周邊電路一部分(B 區域)顯示的截面圖，圖示圖 48 的 C-C 線截面。圖 50 爲就 DRAM 區域的記憶胞部分顯示的截面圖，(a)顯示圖 48 的 A-A 線截面，(b)顯示圖 48 的 D-D 線截面，(c)顯示圖 48 的 B-B 線截面。

本實施形態 2 的 DRAM 和實施形態 1 的 DRAM 只是在其位元線 BL 和半導體區域 12 的連接部分不同，至於其他結構則大致同樣。因此，只就其不同的部份說明於下，關於同樣的結構部分省略說明。

在本實施形態 2 的 DRAM，不透過本實施形態 1 的連接插塞 21 連接活性區域 L1 中央部分的半導體區域 12 和位元線 BL，而在和位元線 BL 一體形成的連接部 BLC 直接和半導體區域 12 連接。因此，位元線 BL 的平面圖案和活性區域 L1 的平面圖案在其平行位置存在位移，所以爲了確保互相重複的區域，如圖 48 所示，在活性區域 L1 有突出於位元線 BL 方向的突出區域 L11，在位元線 BL 突出於活性區



（請先閱讀背面之注意事項再寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 35 ）

域 L1 方向而形成連接部 BLC。

其次，說明本實施形態 2 的 DRAM 製造方法。圖 51～圖 60 爲按製程順序顯示本實施形態 2 的 DRAM 製造方法一例的截面圖式或平面圖。又，在截面圖中，(a)顯示圖 48 的 C-C 線截面及周邊電路部分的截面，(b)顯示圖 48 的 A-A 線截面，(c)顯示圖 48 的 D-D 線截面，(d)顯示圖 48 的 B-B 線截面。

首先，和實施形態 1 同樣，形成分離區域 7。此分離區域 7 按照如圖 51 所示的活性區域 L1 的圖案形成，有突出區域 L11。

其次，和實施形態 1 的到圖 10 的製程同樣，形成各構件，和實施形態 1 同樣，形成絕緣膜 16(圖 52)。

其次，按照如圖 53 所示的 SNCT 圖案形成連接孔，和實施形態 1 同樣形成連接插塞 22(圖 54)。

其次，和實施形態 1 的圖 13 製程同樣，形成配線形成用絕緣膜 17，再和實施形態 1 的圖 14 同樣，在絕緣膜 17 形成配線槽 18。圖 55 顯示形成此配線槽 18 狀態的平面圖。

其次，按照圖 56 所示的連接孔 BLCT 圖案，與配線槽 18 重疊形成連接孔 BLCT(圖 57)。可和形成連接插塞 22 的連接孔形成同樣進行連接孔 BLCT 的形成。

其次，和實施形態 1 的圖 16 製程同樣形成絕緣膜 33，藉由將此絕緣膜 33 非等向性蝕刻，在配線槽 18 側壁形成側壁間隙壁 19(圖 58)。此時，由於到連接孔 BLCT 內部形成絕緣膜 33，所以在連接孔 BLCT 內壁也形成側壁間隙壁

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製



本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 36 ）

19。

其次，和實施形態 1 的圖 19 及圖 20 製程同樣，在以側壁間隙壁 19 縮小其寬度的配線槽 18 內部形成位元線 BL 及第一層配線 20(圖 59)。又，在連接孔 BLCT 內部形成和位元線 BL 一體形成的連接孔 BLC。圖 60 顯示此狀態的平面圖。

此後的製程和實施形態 1 同樣，所以省略說明。

根據本實施形態的 DRAM，由於以一體形成位元線 BL 和連接於半導體基板 1 之半導體區域 12 的連接部 BLC，所以可簡化製程，並減低在其部分的連接電阻而提高 DRAM 性能。此外，和實施形態 1 同樣，當然可同樣取得位元線 BL 配線寬度縮小的效果、胞高度減低的效果及位元線線間電容的減低效果。

(實施形態 3)

圖 61 爲擴大實施形態 3 的 DRAM 的記憶體陣列 MARY 一部分的平面圖。此外，圖 62 爲就本實施形態的 DRAM 區域的記憶胞部分(A 區域)和周邊電路一部分(B 區域)顯示的截面圖，圖示圖 61 的 C-C 線截面。圖 63 爲就 DRAM 區域的記憶胞部分顯示的截面圖，(a)顯示圖 61 的 A-A 線截面，(b)顯示圖 61 的 D-D 線截面，(c)顯示圖 61 的 B-B 線截面。

本實施形態 3 的 DRAM 和實施形態 1 的 DRAM 只是在其位元線 BL 和半導體區域 12 的連接部分不同，至於其他結構則大致同樣。因此，只就其不同的部份說明於下，關於同樣的結構部分省略說明。



經濟部智慧財產局員工消費合作社印製

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 37）

在本實施形態3的DRAM，不透過實施形態1的連接插塞21連接活性區域L1中央部分的半導體區域12和位元線BL，而透過按照平面覆蓋前述半導體區域12的圖案形成導電膜45連接。導電膜45形成於絕緣膜46上，由例如導入磷等雜質的多結矽膜構成，透過連接孔BLCT連接於半導體區域12。

此外，在本實施形態3的DRAM，不透過實施形態1的連接插塞22及連接插塞25連接活性區域L1兩端的半導體區域12和資訊儲存用電容元件C之下部電極27，而只以連接插塞25連接。

又，絕緣膜46無需進行如在實施形態1說明的兩階段蝕刻，所以無需氮化矽膜構成，可以氧化矽膜構成。此外，在本實施形態3的DRAM，由於爲了形成配線槽18的絕緣膜47也兼作覆蓋閘極11的絕緣膜，所以無需各別形成實施形態1的絕緣膜16、17，如後面說明，可縮短製程。

其次，說明本實施形態3的DRAM製造方法。圖64～圖69爲按製程順序顯示本實施形態3的DRAM製造方法一例的截面圖式或平面圖。又，在截面圖中，(a)顯示圖61的C-C線截面及周邊電路部分的截面，(b)顯示圖61的A-A線截面，(c)顯示圖61的D-D線截面，(d)顯示圖61的B-B線截面。

本實施形態3的DRAM製造方法和到實施形態1的圖10的製程同樣。但是，絕緣膜46例如爲CVD法所形成的氧化矽膜構成。此後，按照如圖64所示的連接孔BLCT圖案



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 38）

在絕緣膜46形成連接孔BLCT(圖65)。此時，在閘極11側壁形成絕緣膜46的側壁間隙壁。

其次，在半導體基板1全面例如沈積導入磷的多結晶矽膜，將此多結晶矽膜按照在圖66所示的導電膜45圖案形成圖案。藉此，在絕緣膜46上形成導電膜45(圖67)。

其次，在半導體基板1全面例如沈積由爲CVD法所形成的氧化矽膜構成的絕緣膜，將此絕緣膜用CMP法研磨而形成配線形成用絕緣膜47。

若將到此的製程和實施形態1的製程比較，則在實施形態1方面，在爲了形成連接插塞21、22的絕緣膜16形成及在配線形成用的絕緣膜17形成，需要兩次CMP法的研磨製程。相對於此，在本實施形態3方面，只是爲了形成配線形成用絕緣膜46的CMP法研磨製程一次，和實施形態1比較，少的CMP法研磨製程即可。在CMP法研磨製程，由於在半導體基板1全面某種程度確保其平坦性的必要性，所以絕緣膜膜厚必然變大，因此用有許多CMP製程的方法製造的半導體積體電路裝置一般標高變高。如此標高變高，就發生下述狀況：爲了進行上層配線連接的連接孔深度變深等加工上不理想的狀況。然而，在本實施形態3方面，與實施形態1比較，CMP製程變少，不僅使製程簡化、縮短化，而且控制元件標高增加，可使上層配線及連接構件的加工容易。

其次，和實施形態1同樣，在絕緣膜47形成配線槽18，再在配線槽18側壁形成側壁間隙壁19(圖68)。又，在圖



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 39）

68顯示在周邊電路區域(B區域)形成連接孔的階段。

其次，和實施形態1的圖19及圖20製程同樣，在以側壁間隙壁19縮小其寬度的配線槽18內部形成位元線BL及第一層配線20(圖69)。

此後的製程和實施形態1同樣，所以省略說明。又，在本實施形態3的DRAM，由於未形成連接插塞22，所以將電容電極連接孔26加工到達半導體基板1之半導體區域12，在其內部和實施形態1同樣，例如形成多結晶矽膜而形成連接插塞25。

根據本實施形態的DRAM，由於可透過導電膜45連接位元線BL和半導體區域12，以絕緣膜47兼作配線形成用的絕緣膜和埋入閘極11的絕緣膜，所以可縮短製程，並減少CMP製程而控制元件高度。此外，和實施形態1同樣，當然可同樣取得位元線BL配線寬度縮小的效果、胞高度減低的效果及位元線線間電容的減低效果。

以上，根據本發明實施形態具體說明了由本發明者所完成的發明，但本發明並不限於前述實施形態，當然在不脫離其要旨的範圍可作各種變更。

例如在實施形態1～3，雖然作爲資訊儲存用電容元件C，顯示有上方開口的圓筒形狀下部電極的資訊儲存用電容元件，但也可以使用如圖70或圖71所示的資訊儲存用電容元件。

即，圖70係使用形成於實施形態1的絕緣膜39的槽40內的多結晶矽膜41內面構成下部電極，不用蝕刻除去絕緣



（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 40 ）

膜 39 而使其殘留。這種情況，氮化矽膜 24 不需要。

此外，圖 71 係採用單純堆疊(stack)構造的下部電極情況之例，實施形態 1 的圖 26 後，和埋入電容電極連接孔 26 同時形成構成下部電極的多結晶矽膜，將此多結晶矽膜和實施形態 1 的多結晶矽膜 36 形成圖案而形成下部電極。又，側壁間隙壁 38 構成作爲下部電極一部分。此外，氮化矽膜 24 在本結構也不需要。

此外，本實施形態的位元線 BL 形成方不限於 DRAM，可適用於混載 DRAM 的邏輯電路或混載 DRAM 的內建快閃記憶體(flash memory)的微電腦、其他系統混載晶片。

在本案所揭示的發明中，簡單說明由具代表性的發明所得到的效果如下：

(1) 可超過微影加工界限而以所縮小的尺寸加工位元線等配線線幅。

(2) 不增大記憶胞高度，可防止位元線和資訊儲存用電容元件之下部電極的短路。

(3) 可降低記憶胞高度。

(4) 可提供減低位元線電容、檢出感度高、耐雜訊性佳的半導體積體電路裝置。

(5) 可提供採用適合微影的單純平面圖案的半導體積體電路裝置構造，可提高加工裕度。

(6) 可提供適合 DRAM 高積集化的半導體積體電路裝置構造及製造方法，可提高半導體積體電路裝置的可靠性、良率及性能。

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製



本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

五、發明說明（ 41）

又，就與本案發明有關的公知例而言，有特開昭 6-338597 號。

此公知例揭示使 DRAM 之位元線細線化的技術。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部智慧財產局員工消費合作社印製



本紙張尺度適用中國國家標準 (CNS)A4 規格 (210 × 297 公釐)

A5
B5

四、中文發明摘要（發明之名稱：半導體積體電路裝置及其製造方法）

在位元線 BL 上有資訊儲存用電容元件 C 的 DRAM 方面，在形成於起作用爲 DRAM 之字元線 WL 的閘極上的配線形成用絕緣膜 17 形成配線槽 18，在配線槽 18 側壁形成側壁間隙壁(sidewall spacer)19。在以側壁間隙壁 19 縮小其間隔的配線槽 18 內，將例如由鎢膜構成的位元線 BL 及第一層配線埋入配線槽 18 內而形成。位元線 BL 透過連接插塞(plug)21 連接於半導體基板 1，位元線 BL 和連接插塞 21 以配線槽 18 底部連接。

英文發明摘要（發明之名稱：）

ビット線ＢＬ上に情報蓄積用容量素子Ｃを有するＤＲＡＭにおいて、ＤＲＡＭのワード線ＷＬとして機能するゲート電極上に形成された配線形成用の絶縁膜１７に配線溝１８を形成し、配線溝１８の側壁にサイドウォールスペーサ１９を形成する。サイドウォールスペーサ１９でその間隔が狭められた配線溝１８内に、たとえばタングステン膜からなるビット線ＢＬおよび第１層配線を配線溝１８に埋め込んで形成する。ビット線ＢＬは接続プラグ２１を介して半導体基板１に接続され、ビット線ＢＬと接続プラグ２１とは配線溝１８の底部で接続される。



（請先閱讀背面之注意事項再填寫本頁各欄）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種半導體積體電路裝置，其特徵在於：係具有半導體基板；閘極：透過閘極絕緣膜形成於為前述基板主面分離區域所包圍的活性區域上；前述閘極下的通道區域；第一及第二半導體區域：隔著前述通道區域而形成；金屬配線：電氣連接於前述第一半導體區域；及，資訊儲存用電容元件：電氣連接於前述第二半導體區域，比前述金屬配線形成於上層之半導體積體電路裝置，

在形成於前述閘極上的第一絕緣膜有配線槽，前述金屬配線埋入前述配線槽而形成，前述金屬配線在閘極間的區域比前述閘極位於上面者。

2. 如申請專利範圍第 1 項之半導體積體電路裝置，其中更有第一連接孔：形成於前述金屬配線和閘極之間的第二絕緣膜；及導電性連接插塞：形成於前述第一連接孔內，電氣連接於前述第一半導體區域，在前述配線槽底部電氣連接前述金屬配線底部和連接插塞上部。

3. 如申請專利範圍第 1 項之半導體積體電路裝置，其中更有第三絕緣膜：位於前述第一絕緣膜下面，如掩埋前述閘極間般地形成；第二連接孔：形成於前述第一半導體區域上的前述第三絕緣膜；及，導電膜：覆蓋前述第二連接孔，在前述配線槽底部電氣連接前述金屬配線底部和導電膜上部。

4. 如申請專利範圍第 1 項之半導體積體電路裝置，其中前述活性區域具有在第一方向有長邊的長方形平面圖案。

5. 如申請專利範圍第 4 項之半導體積體電路裝置，其中前

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製



本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

述金屬配線具有在前述第一方向延伸的直線狀平面圖案，前述金屬配線和前述第一半導體區域以在與前述第一方向垂直的第二方向延伸的導電膜電氣連接。

6. 如申請專利範圍第 1 項之半導體積體電路裝置，其中前述活性區域及金屬配線以在第一方向延伸的大致直線的平面圖案構成，在前述活性區域或金屬配線一方或兩方有突出於前述第一方向垂直的第二方向的區域，透過形成於前述區域的前述配線槽下部的第三連接孔直接連接前述金屬配線和前述第一半導體區域。

7. 如申請專利範圍第 1 項之半導體積體電路裝置，其中更在前述配線槽側壁形成為絕緣體的側壁間隙壁，前述金屬配線寬度僅相當於前述側壁間隙壁厚度的寬度比前述配線槽寬度窄。

8. 如申請專利範圍第 7 項之半導體積體電路裝置，其中前述金屬配線表面標高比前述第一絕緣膜表面標高低。

9. 如申請專利範圍第 7 項之半導體積體電路裝置，其中前述側壁間隙壁由氧化矽膜或氮化矽膜構成。

10. 如申請專利範圍第 1 項之半導體積體電路裝置，其中在前述配線槽底部形成對於前述第一絕緣膜或側壁間隙壁有蝕刻選擇比的第四絕緣膜。

11. 如申請專利範圍第 10 項之半導體積體電路裝置，其中前述第一絕緣膜或側壁間隙壁為氧化矽膜，前述第四絕緣膜為氮化矽膜。

12. 一種半導體積體電路裝置之製造方法，其特徵在於：係



（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

具有半導體基板；閘極：透過閘極絕緣膜形成於為前述基板主面分離區域所包圍的活性區域上；前述閘極下的通道區域；第一及第二半導體區域：隔著前述通道區域而形成；金屬配線：電氣連接於前述第一半導體區域；及，資訊儲存用電容元件：電氣連接於前述第二半導體區域，比前述金屬配線形成於上層之半導體積體電路裝置之製造方法，包含

(a) 在前述基板主面形成前述分離區域，再依次形成絕緣膜及導電膜，藉由將前述導電膜形成圖案，形成前述閘極的製程，

(b) 在前述閘極兩端導入雜質而形成前述第一及第二半導體區域的製程，

(c) 在前述基板全面形成第一絕緣膜，在前述第一絕緣膜形成配線槽的製程，

(d) 在前述配線槽內部沈積金屬膜，形成前述金屬配線的製程，

(e) 沈積覆蓋前述基板全面的第五絕緣膜，在前述第五絕緣膜上形成前述資訊儲存用電容元件的製程，前述金屬配線在前述閘極間的區域比前述閘極位於上面者。

13. 如申請專利範圍第 12 項之半導體積體電路裝置之製造方法，其中在前述(c)製程之前具有如掩埋前述閘極間般地在前述基板全面形成第二絕緣膜，在前述第一及第二半導體區域上的前述第二絕緣膜形成第一連接孔的製程和將連接於前述第一及第二半導體區域的連接插塞埋入前

（請先閱讀背面之注意事項再填寫本頁）
裝
訂

經濟部中央標準局員工消費合作社印製



本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

述第一連接孔內而形成的製程，藉由前述(c)製程的前述配線槽形成，將連接於前述第一半導體區域的連接插塞上部或上面露出前述配線槽底部。

14. 如申請專利範圍第12項之半導體積體電路裝置之製造方法，其中在前述(c)製程之前具有沈積覆蓋前述閘極的第三絕緣膜，在前述第一半導體區域上的前述第三絕緣膜形成第二連接孔的製程和在包含前述第二連接孔內部的前述第三絕緣膜上沈積導電膜，如覆蓋前述第二連接孔般地將前述導電膜形成圖案的製程，藉由前述(c)製程的前述配線槽形成，將前述導電膜一部分露出前述配線槽底部。

15. 如申請專利範圍第12項之半導體積體電路裝置之製造方法，其中前述(c)製程後具有下述製程：形成具有與前述配線槽區域重複、露出前述第一半導體區域的平面圖案的第三連接孔，在前述(d)製程的前述金屬膜沈積時，在前述第三絕緣膜內部也形成前述金屬膜。

16. 如申請專利範圍第12項之半導體積體電路裝置之製造方法，其中在前述(d)製程之前具有下述製程：在包含前述配線槽或第三連接孔內部的前述第一絕緣膜上沈積比前述配線槽寬度二分之一薄的膜厚的第六絕緣膜，藉由將前述第六絕緣膜非等向性蝕刻，在前述配線槽或第三連接孔側壁形成側壁間隙壁。

17. 如申請專利範圍第12項之半導體積體電路裝置之製造方法，其中藉由CMP法研磨進行為了形成前述金屬配線的

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製



本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

前述金屬膜除去，藉由過度進行前述研磨，使前述配線槽內的前述金屬配線表面產生表面凹陷。

18. 如申請專利範圍第12項之半導體積體電路裝置之製造方法，其中藉由CMP法研磨進行為了形成前述金屬配線的前述金屬膜除去，藉由過度進行前述研磨，也和金屬膜共同除去前述配線槽上部的前述側壁間隙壁寬度變窄的部分。

19. 如申請專利範圍第12項之半導體積體電路裝置之製造方法，其中在前述閘極和第一絕緣膜之間的任一層形成對於前述第一絕緣膜或第六絕緣膜有蝕刻選擇比的第四絕緣膜，在前述第一絕緣膜的前述配線槽形成時或前述第六絕緣膜非等向性蝕刻的側壁間隙壁形成時，使用前述第四絕緣膜作為蝕刻中止膜。

20. 如申請專利範圍第19項之半導體積體電路裝置之製造方法，其中使用氧化矽膜作為前述第一及第六絕緣膜，使用氮化矽膜作為前述第四絕緣膜。

21. 如申請專利範圍第12項之半導體積體電路裝置之製造方法，其中連接前述(e)製程的前述資訊儲存用電容元件和其下層的前述第二半導體區域或前述第二半導體區域上的連接插塞的連接孔加工製程可包含：

第一製程：在前述第五絕緣膜上沈積對於前述第一及第五絕緣膜有蝕刻選擇比的第一覆膜，

第二製程：在前述第二半導體區域上的前述第一覆膜形成開口，



（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

第三製程：沈積有前述開口口徑二分之一以下的膜厚、對於前述第一及第五絕緣膜有蝕刻選擇比的第二覆膜，

第四製程：藉由將前述第二覆膜非等向性蝕刻，在前述開口內壁形成前述第二覆膜的側壁間隙壁，

第五製程：以前述第一覆膜及前述第二覆膜的側壁間隙壁為硬性光罩，蝕刻前述第五絕緣膜和存在於其下層的絕緣膜。

22. 一種半導體集體電路裝置之製造方法，其特徵為包括：

(a)於半導體基板上形成第 1 絕緣膜之製程；

(b)於前述第 1 絕緣膜上形成第 2 絕緣膜之製程；

(c)於前述第 2 絕緣膜處，形成可達到前述第 1 絕緣膜表面之多數槽之製程；

(d)於前述第 2 絕緣膜上及前述槽內形成第 3 絕緣膜之製程；

(e)於前述第 3 絕緣膜處施予各向異性蝕刻，並於前述槽內之前述第 2 絕緣膜之側壁處形成側壁絕緣膜之製程；

(f)於前述槽內及前述第 2 絕緣膜上形成第 1 導體層之製程；

(g)對前述第 2 絕緣膜上之前述第 1 導體層加以研磨並除去之製程；及

(h)藉由研磨而除去前述第 2 絕緣膜、前述側壁絕緣膜、及前述槽內之第 1 導體層之製程。

23. 如申請專利範圍第 22 項之半導體集體電路裝置之製造方法，其中以氮化矽膜形成前述第 1 絕緣膜，以氧化矽膜形

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製



本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

成第 2 絕緣膜，且形成前述多數配線槽之製程，係在前述第 2 絕緣膜之蝕刻速率大於前述第 1 絕緣膜之蝕刻速率之條件下進行。

24.如申請專利範圍第 23 項之半導體集體電路裝置之製造方法，其中於前述製程(a)之前，還包括：

(i)於前述半導體基板表面上，形成具有源極、汲極、及閘極之 MISFET 之製程；

(j)於前述 MISFET 上形成第 4 絕緣膜之製程；

(k)於前述第 4 絕緣膜處形成開口之製程；及

(l)於前述開口內選擇性地形成第 2 導體層之製程，

前述第 1 絕緣膜係形成於前述第 2 導體層上。

25.如申請專利範圍第 22 項之半導體集體電路裝置之製造方法，其中前述製程(e)中，於從前述側壁絕緣膜露出之前述第 1 絕緣膜處設置槽。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線

經濟部中央標準局員工消費合作社印製



本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

88109379

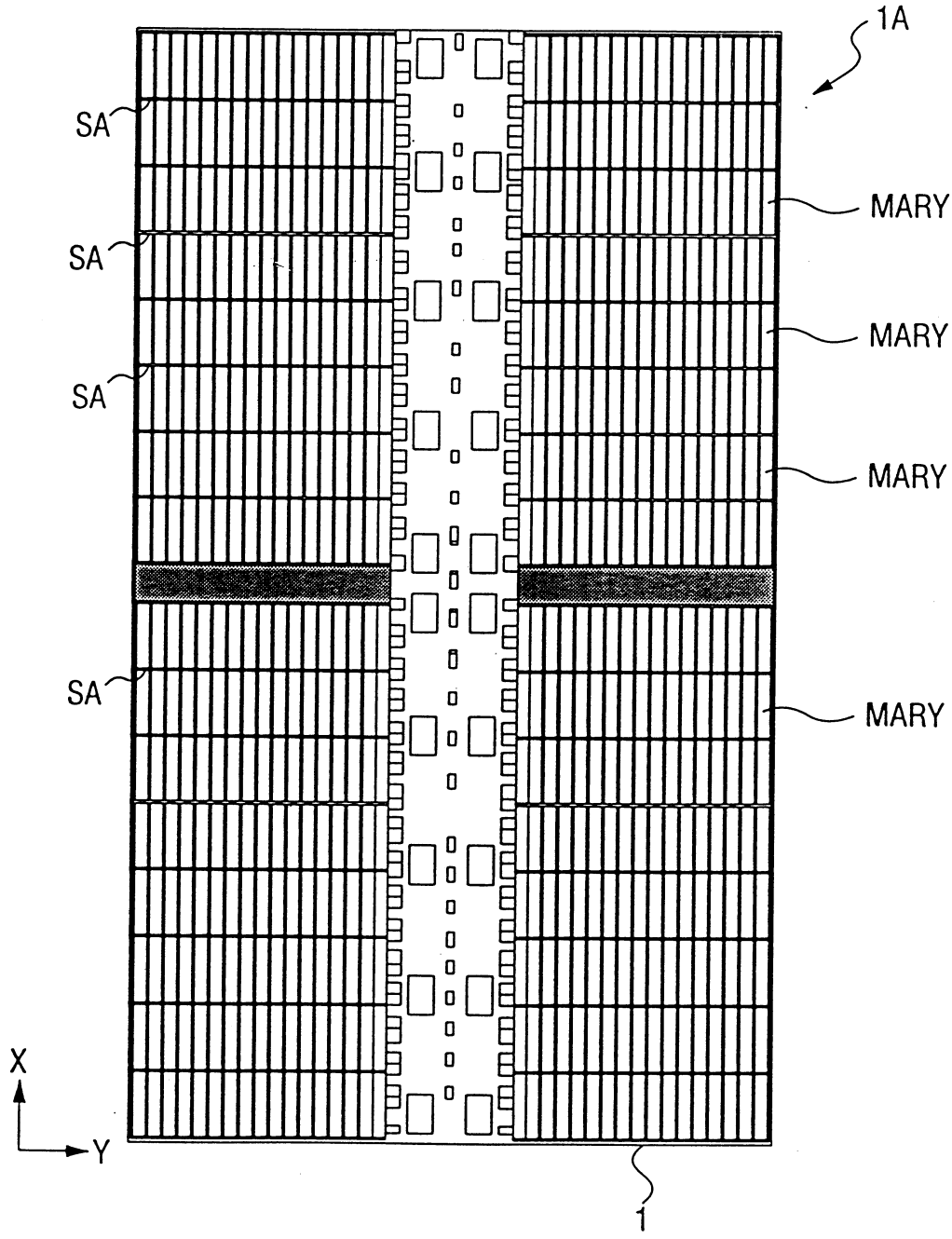



圖 1

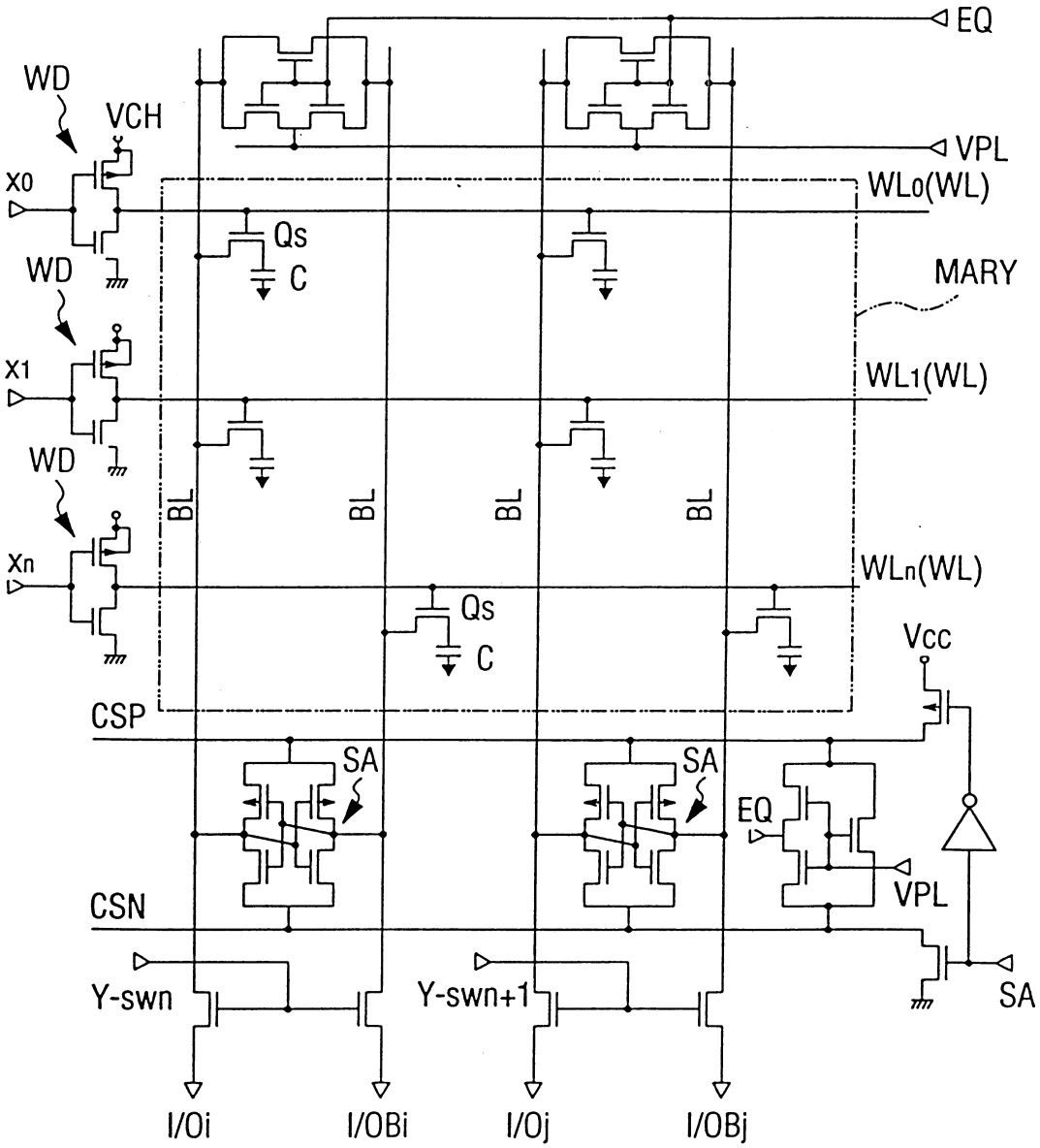

EQ
WD
VCH
VPL
X0
WL0(WL)
Qs
C
WD
MARY
X1
WL1(WL)
WD
BL
BL
BL
BL
Xn
WLn(WL)
Qs
C
Vcc
CSP
SA
SA
EQ
VPL
CSN
Y-swn
Y-swn+1
SA
I/Oi
I/OBi
I/Oj
I/OBj

圖 2

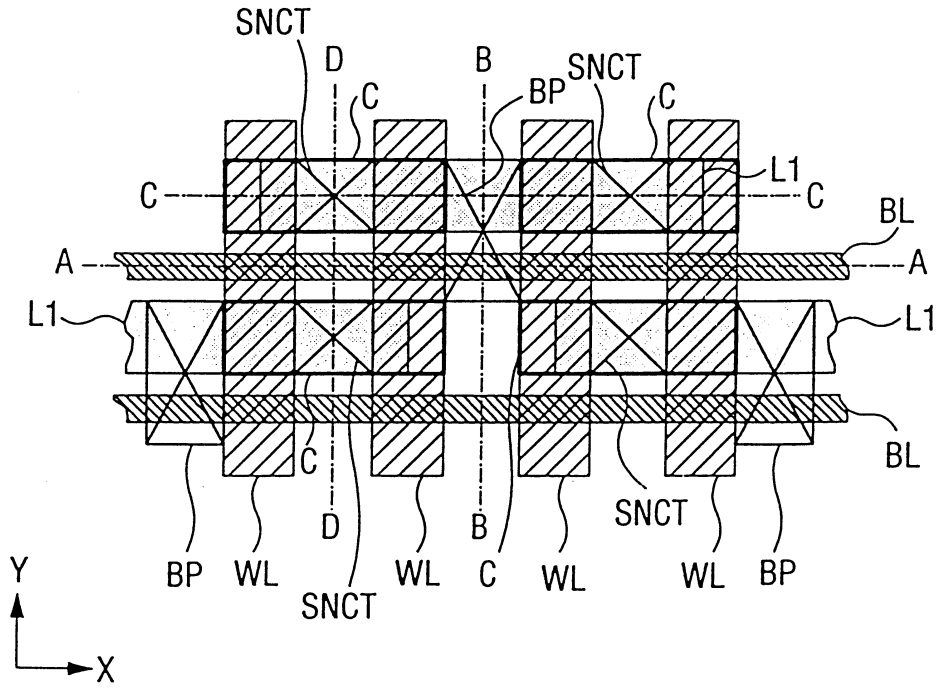

SNCT
D
C
B
BP
SNCT
C
L1
C
C
BL
A
A
L1
L1
BL
C
D
B
SNCT
BP
WL
SNCT
WL
C
WL
WL
BP
Y
X

圖 3

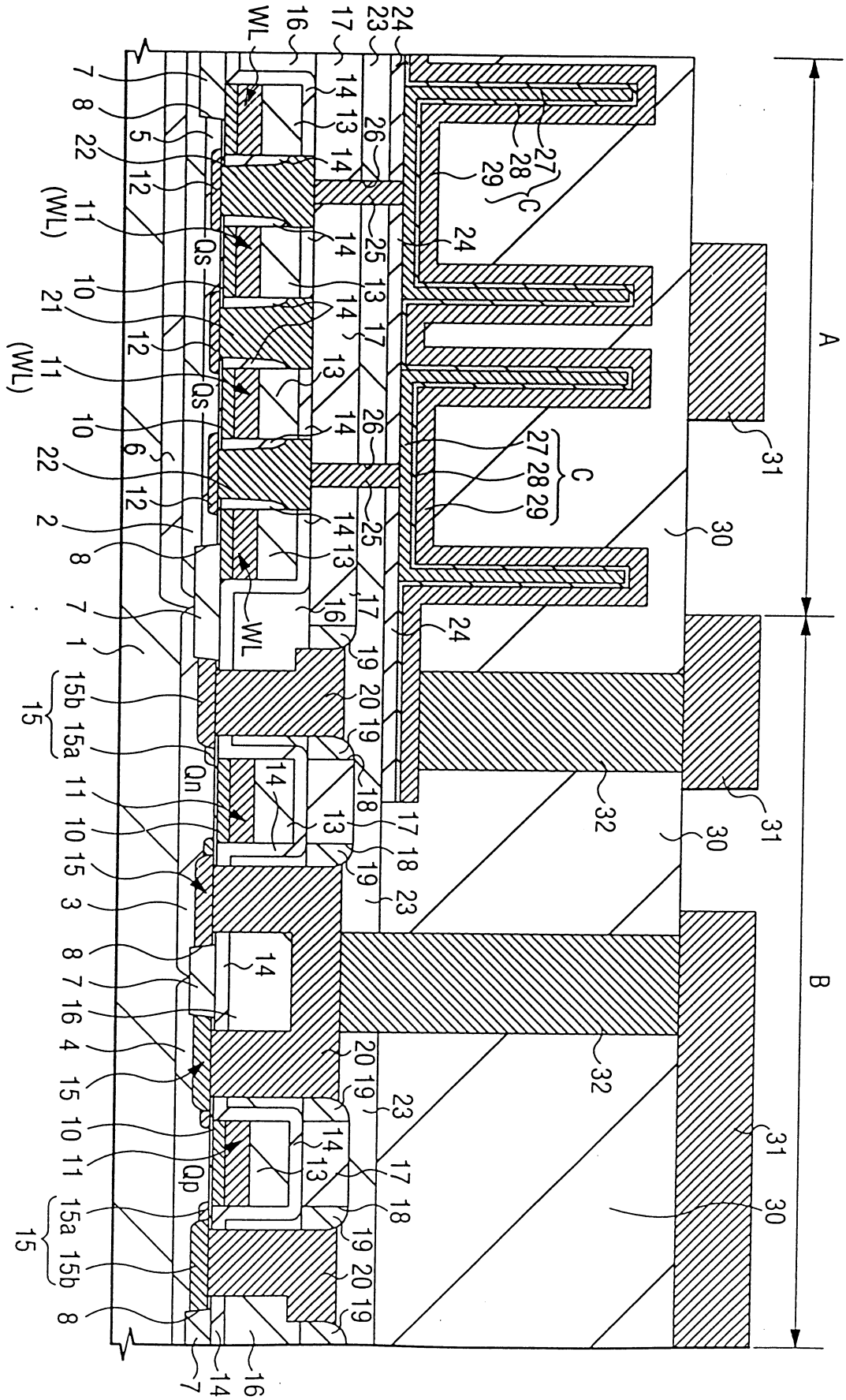



圖 4

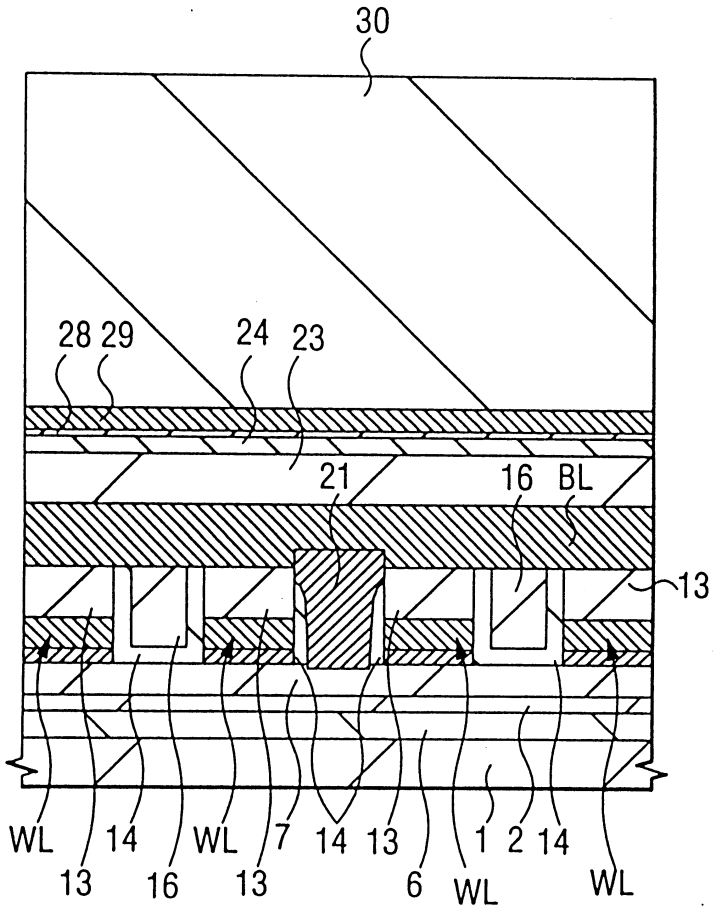

30
28 29
24
23
21
16
BL
13
WL
14
WL
7
14
13
1
2
14
13
16
13
6
WL
WL

圖 5(a)

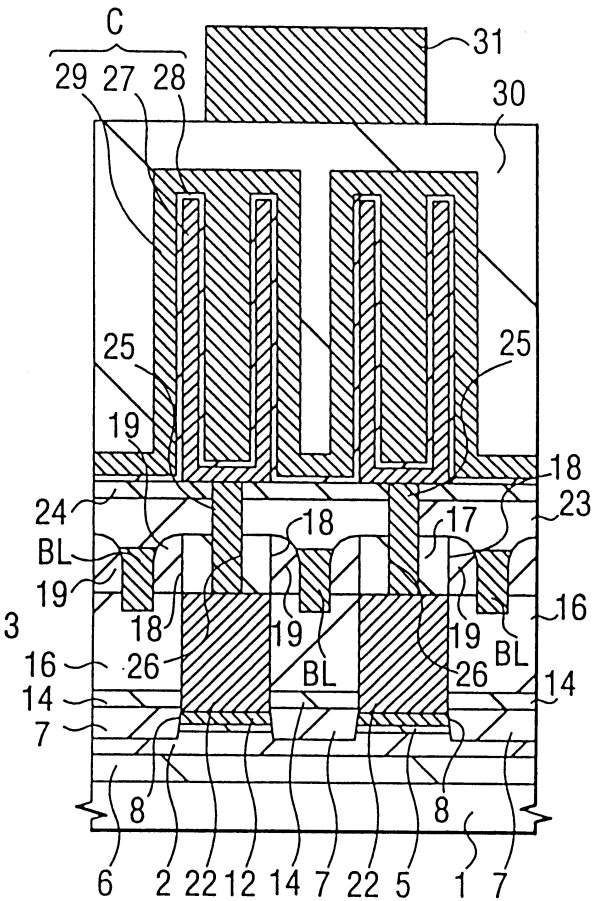

C
29 27 28
31
30
25
25
19
18
24
23
BL
18
17
19
18
19
19
16
16
26
BL
26
BL
14
14
7
8
8
6
2
22
12
14
7
22
5
1
7

圖 5(b)

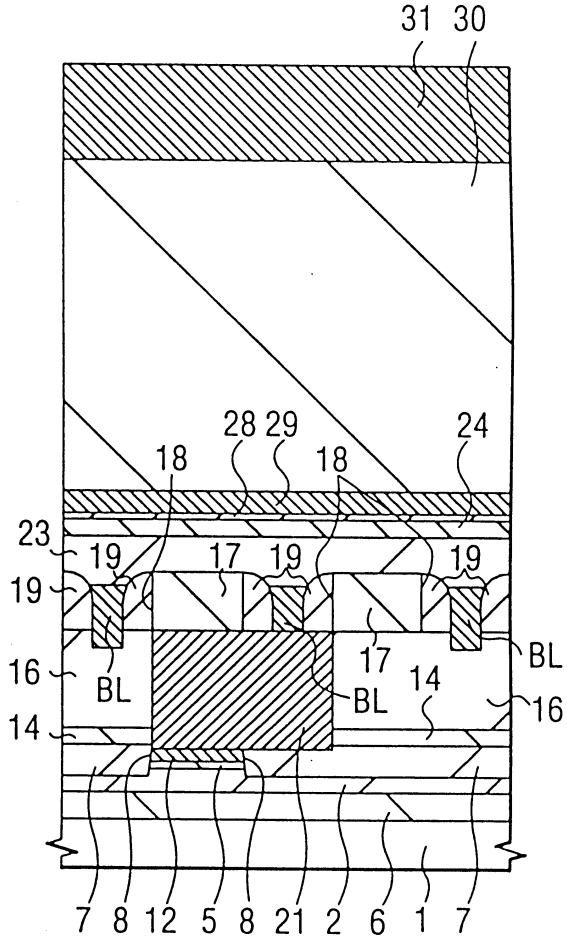

31
30
28 29
24
18
18
23
19
17
19
19
19
16
BL
17
BL
14
BL
16
14
7
8
12
5
8
21
2
6
1
7

圖 5(c)

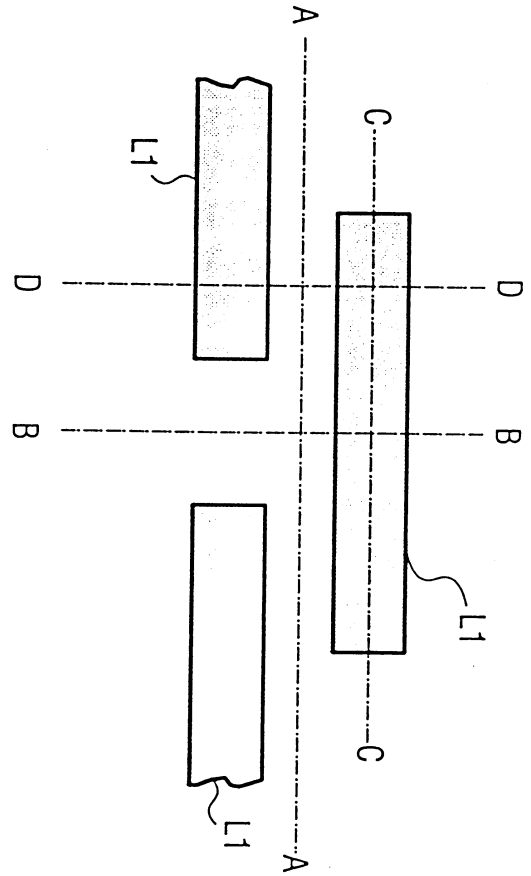



圖 6(a)

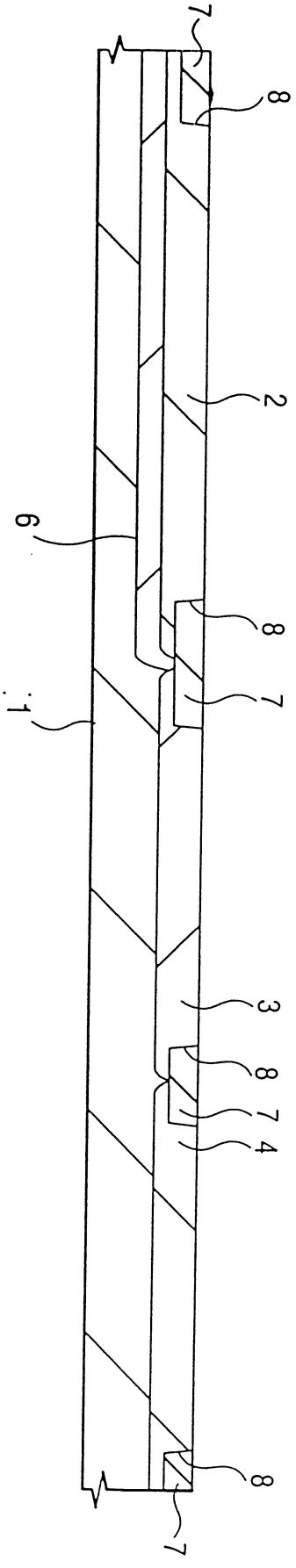



圖 6(b)

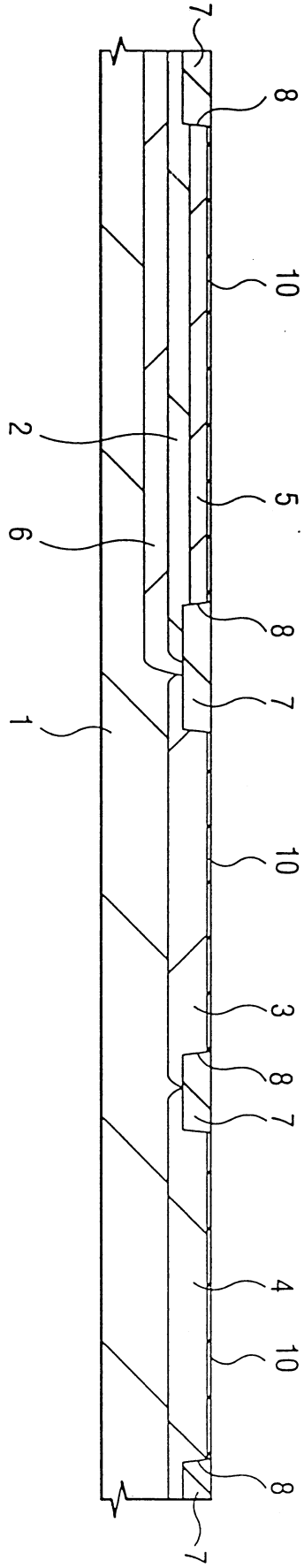



圖 7

圖 8(a)

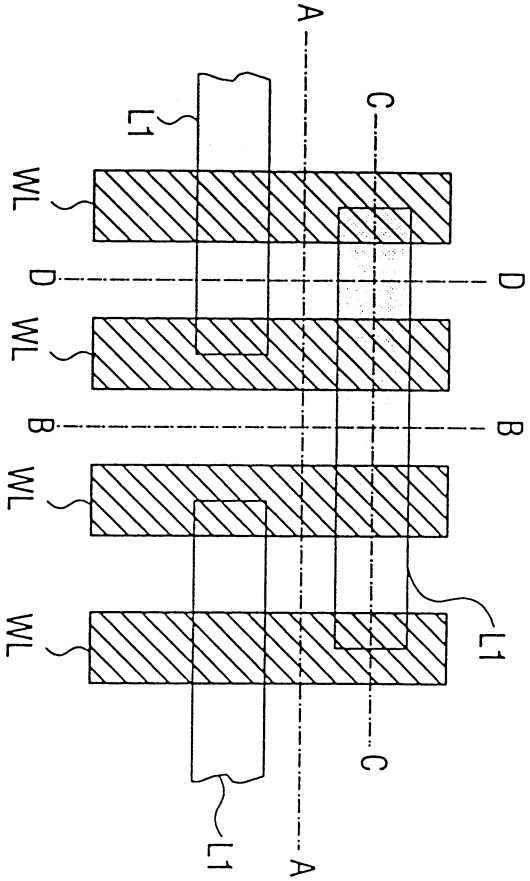
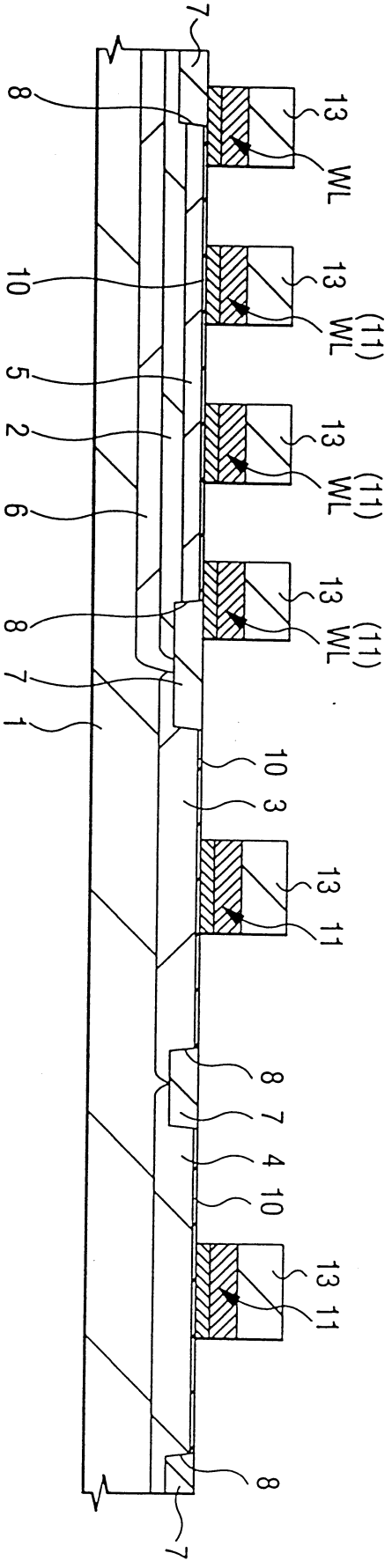

A
C
L1
WL
D
D
WL
B
B
WL
WL
L1
C
A
L1

圖 8(b)


7
8
13
WL
10
13
(11)
WL
5
2
13
(11)
WL
6
13
(11)
WL
8
7
1
10
3
13
11
8
7
4
10
13
11
8
7

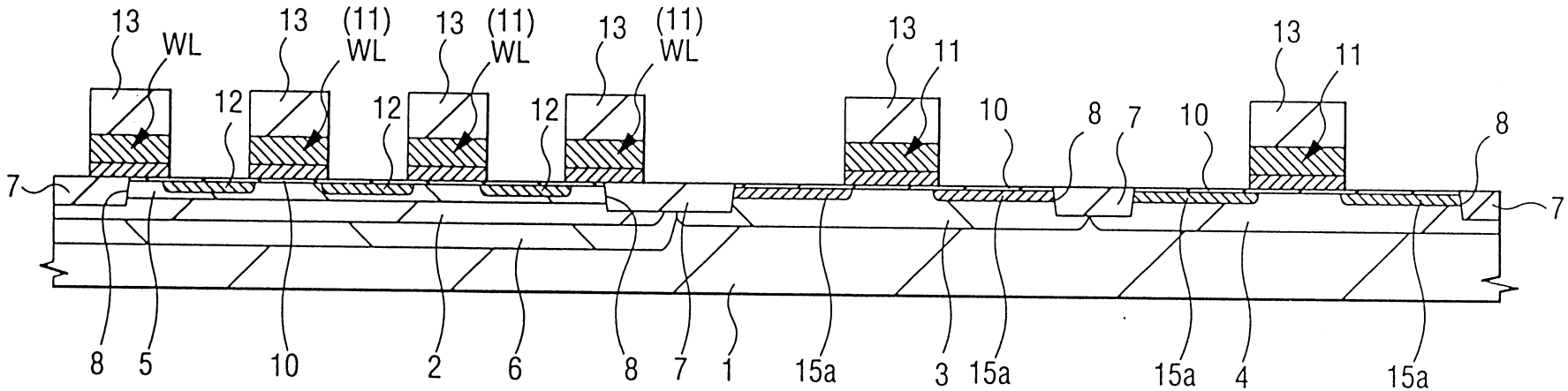

13
WL
13
(11)
WL
13
(11)
WL
13
(11)
WL
13
11
13
11
12
12
12
10
8
7
10
8
7
7
8
5
10
2
6
8
7
1
15a
3
15a
15a
4
15a

圖 9

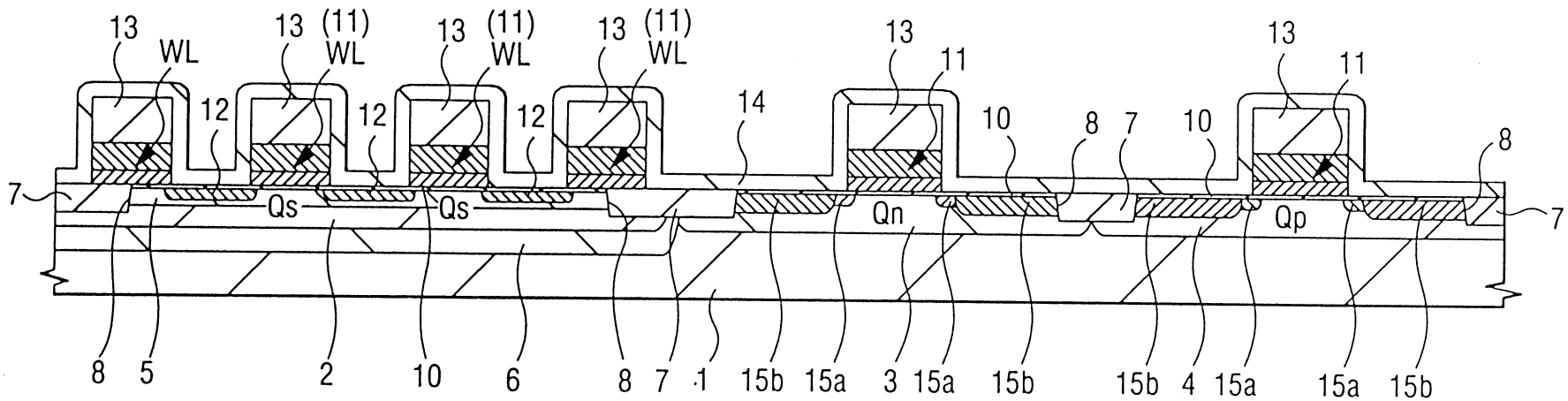

13
WL
13
(11)
WL
13
(11)
WL
13
(11)
WL
13
11
13
11
12
12
12
14
10
8
7
10
8
7
Qs
Qs
Qn
Qp
7
8
5
2
10
6
8
7
1
15b
15a
3
15a
15b
15b
4
15a
15a
15b

圖 10

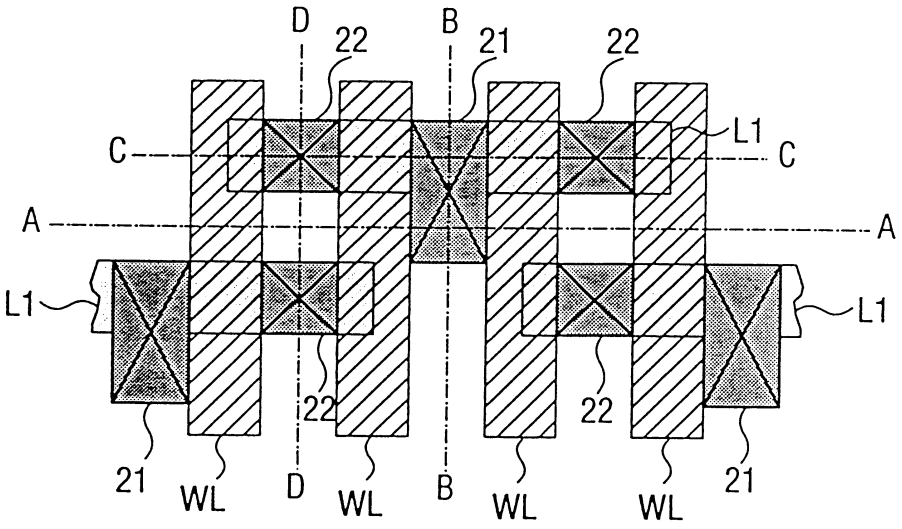



圖 11

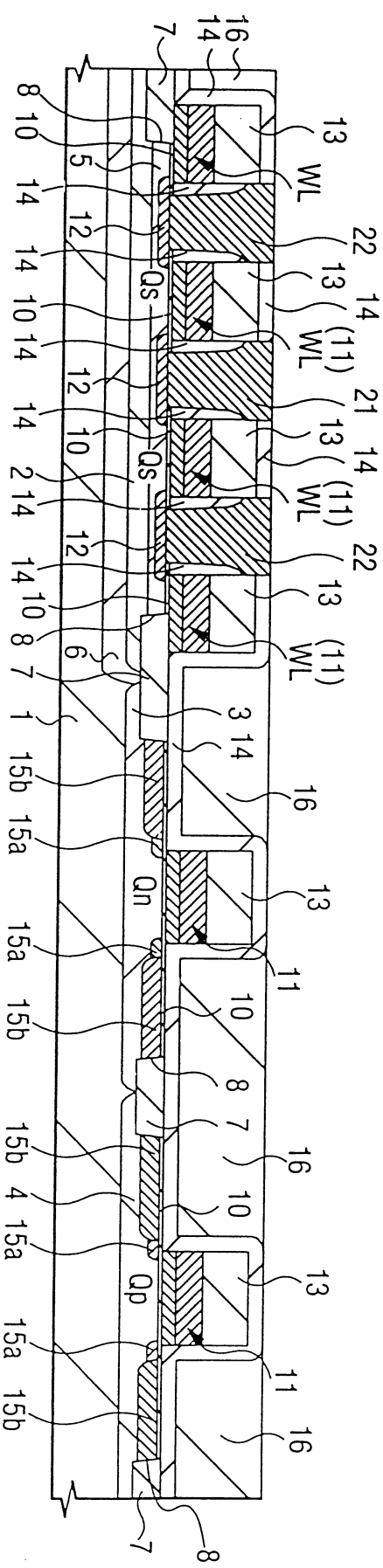



圖 12(a)

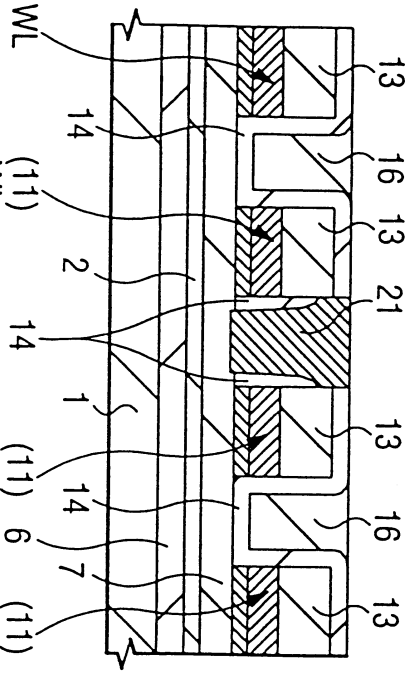



圖 12(b)

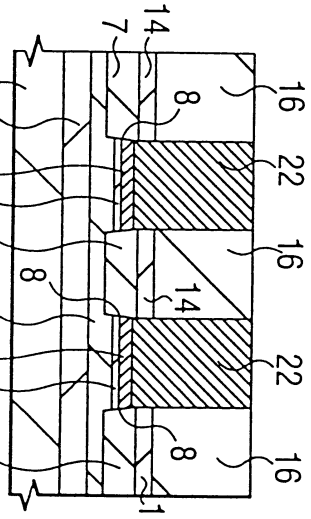


圖 12(c)

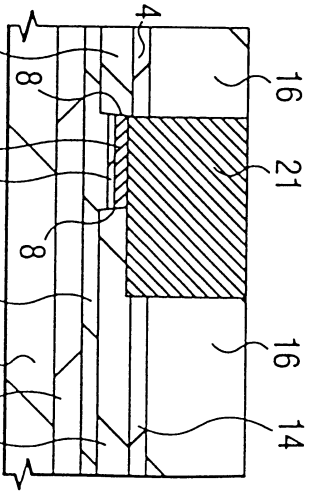


圖 12(d)

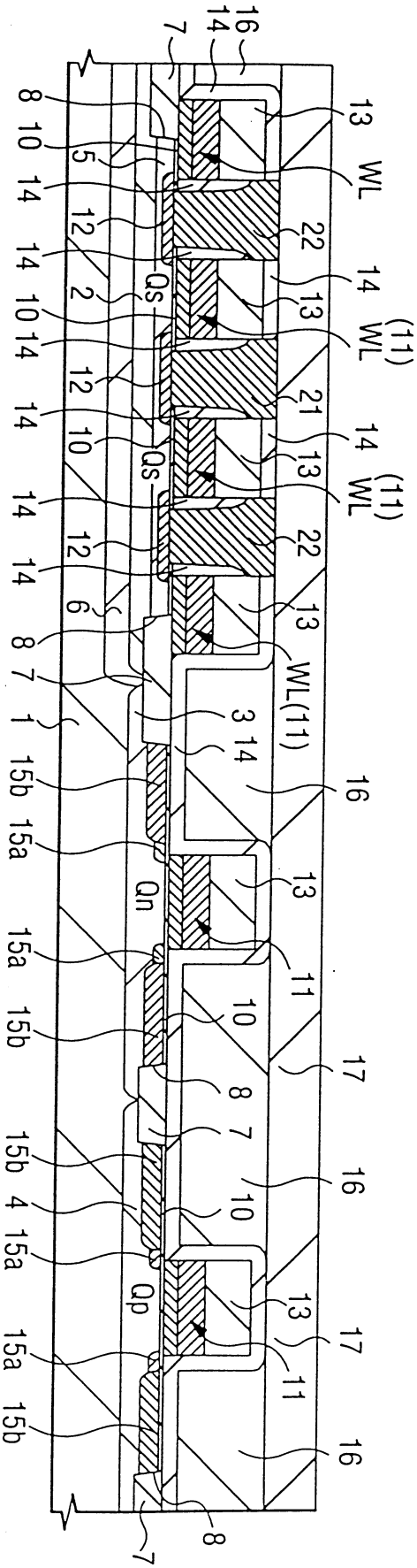



圖 13(a)

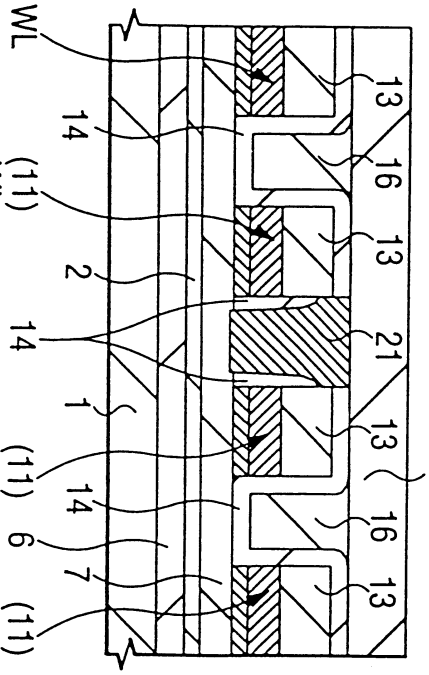



圖 13(b)

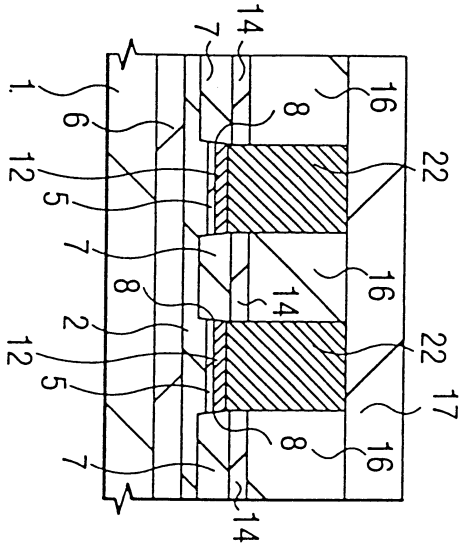


圖 13(c)

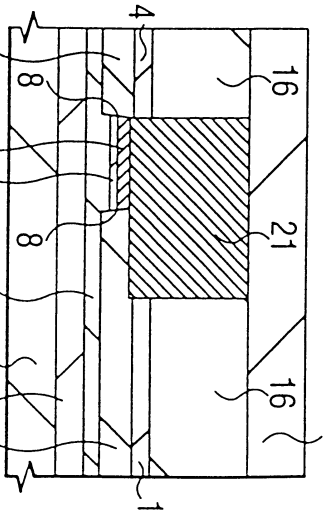


圖 13(d)

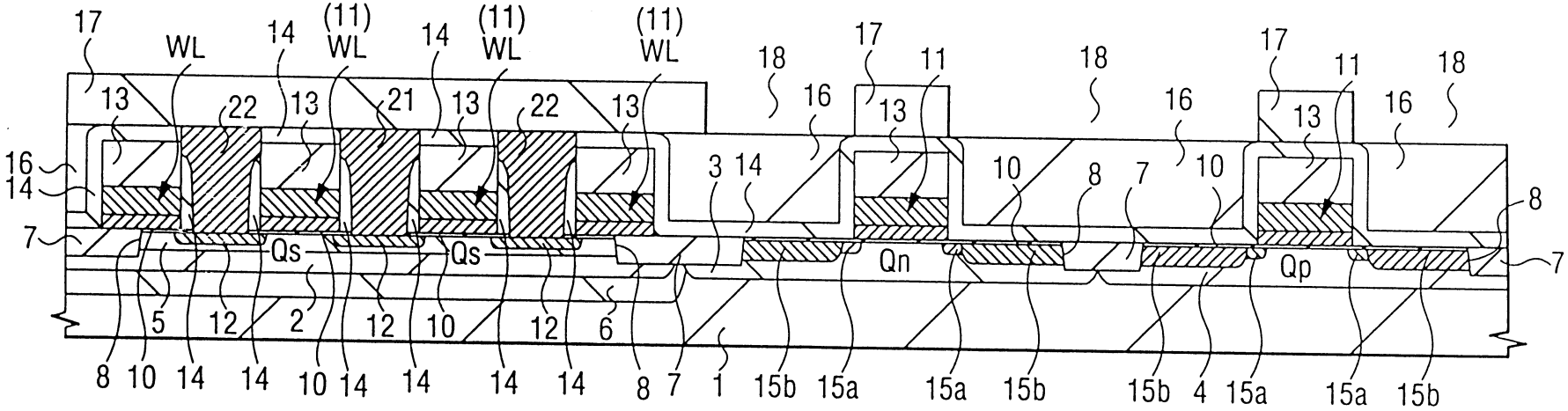



圖 14(a)

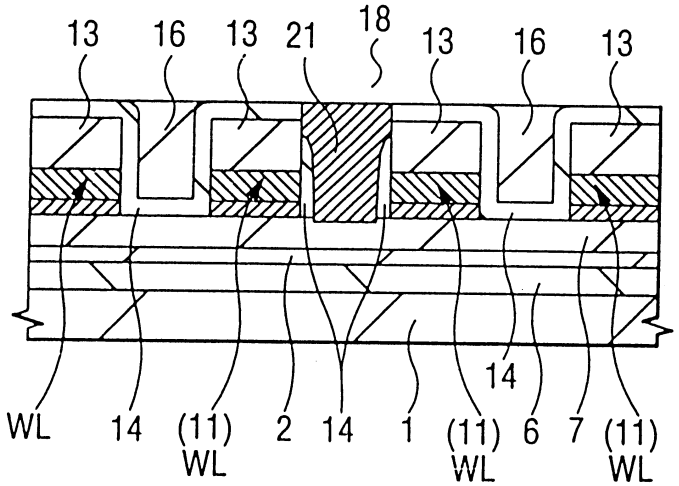



圖 14(b)

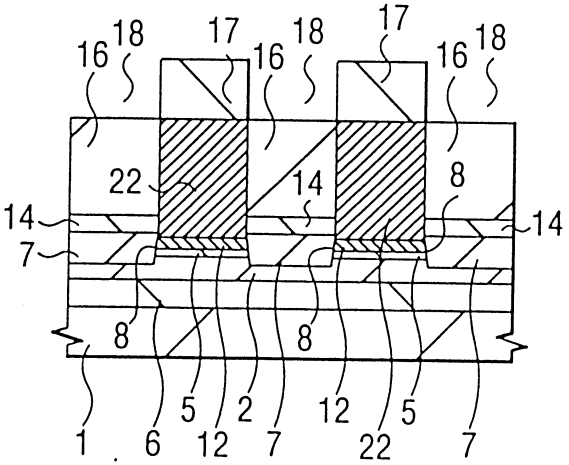



圖 14(c)

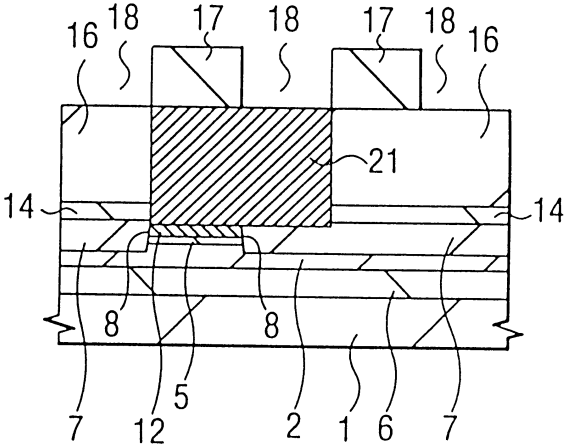



圖 14(d)

478140

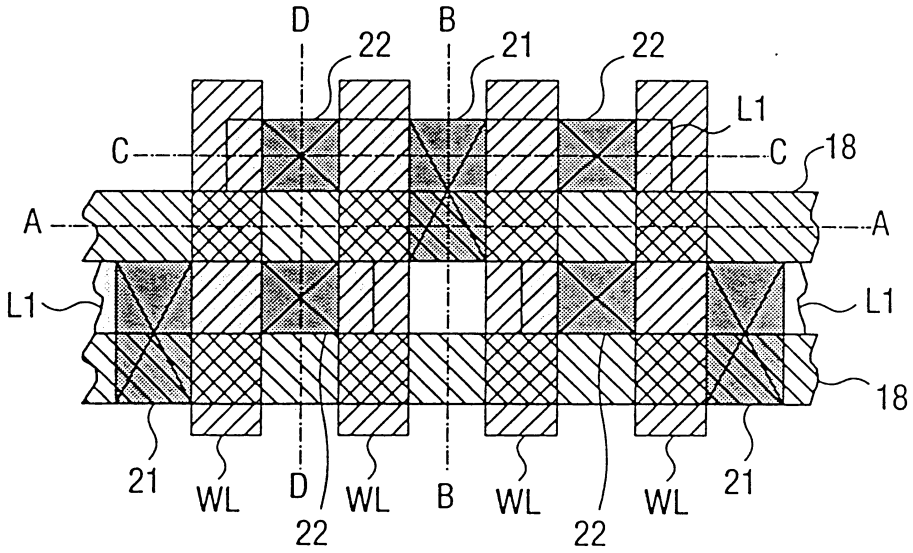



圖 15

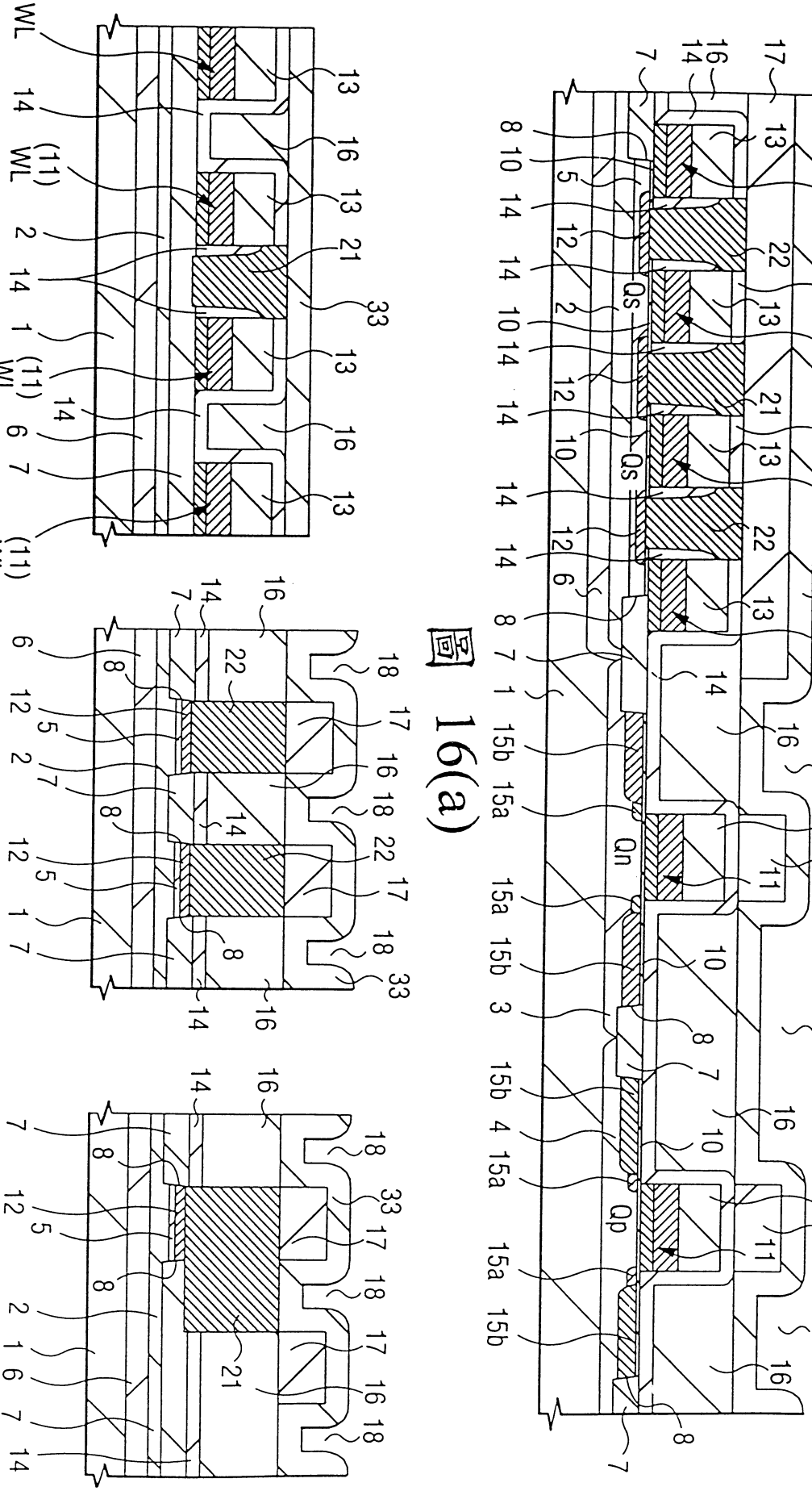



圖 16(a)




圖 16(b)



圖 16(c)



圖 16(d)

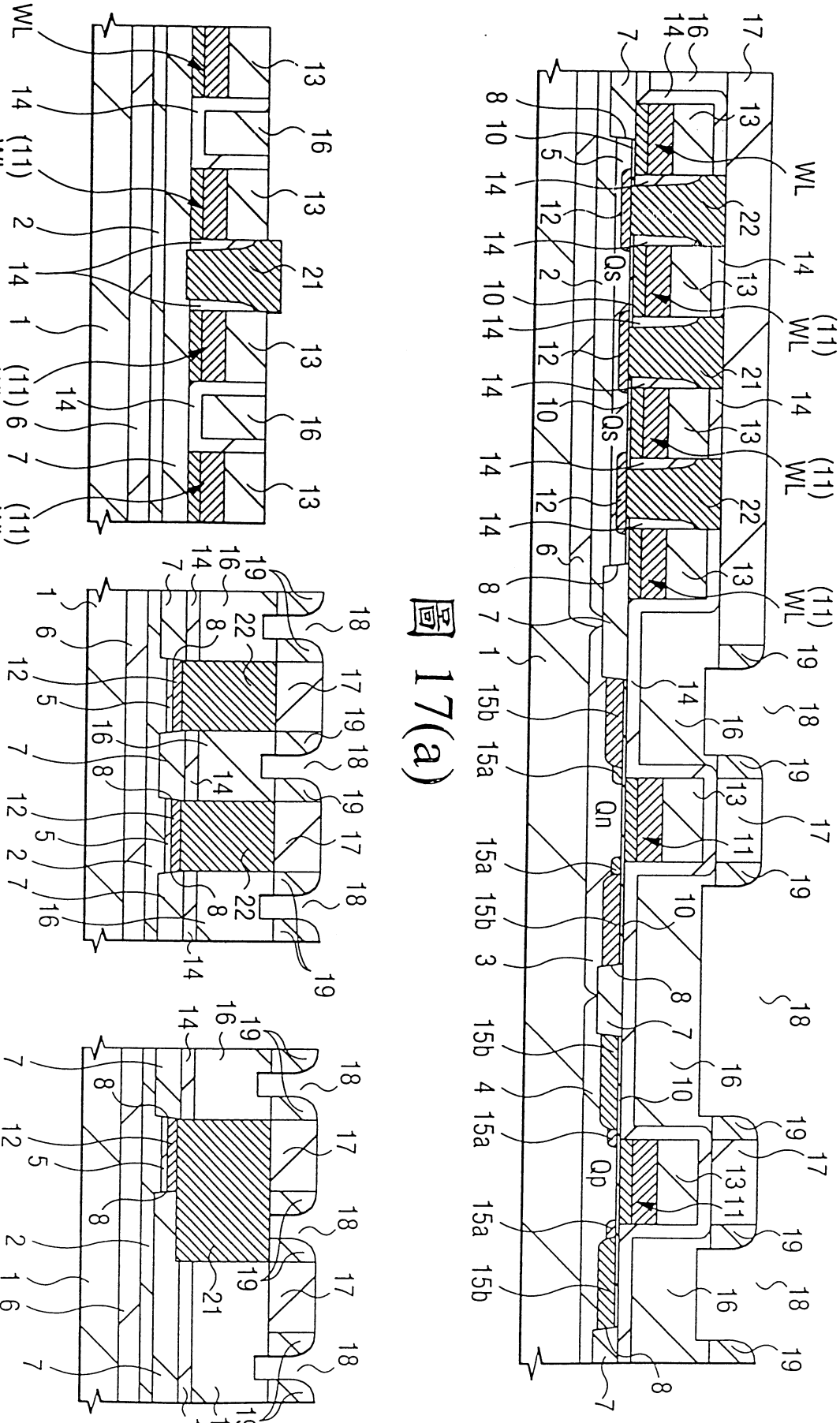



圖 17(a)




圖 17(b)



圖 17(c)



圖 17(d)

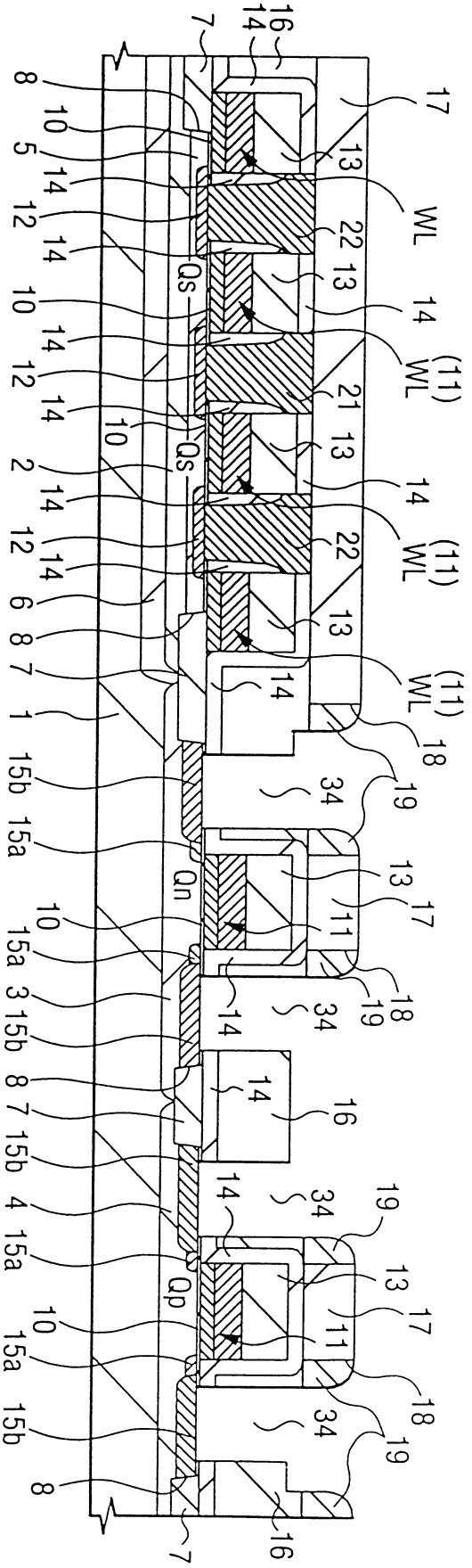

WL
(11) WL
Qs
Qn
Qp
1
2
3
4
5
6
7
8
10
11
12
13
14
15a
15b
16
17
18
19
21
22
34

圖 18

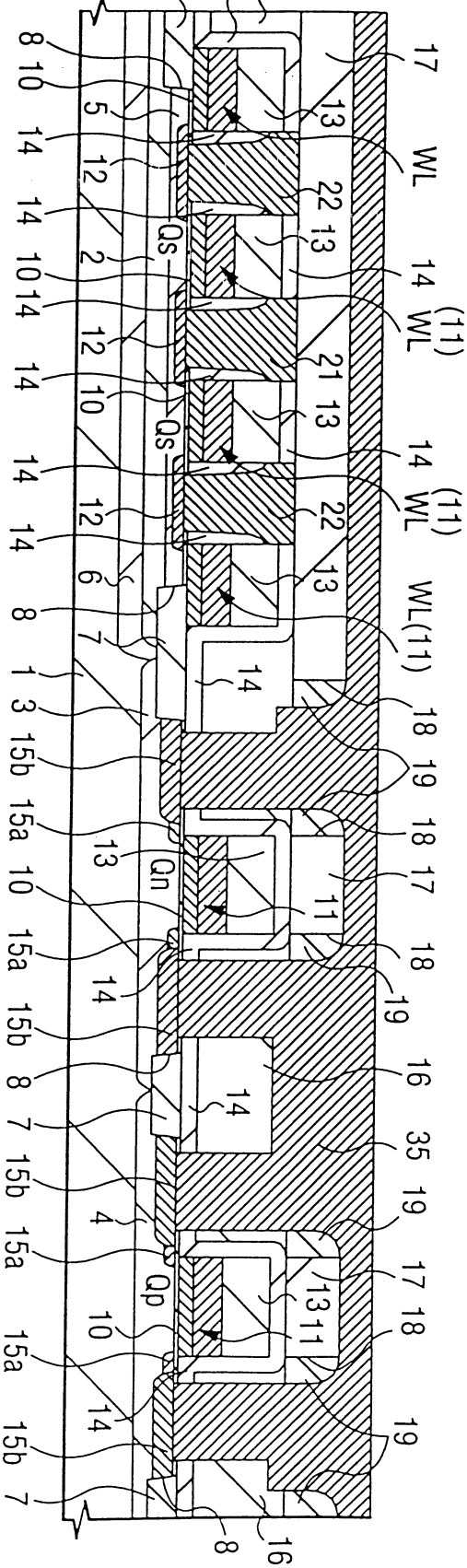


圖 19(a)

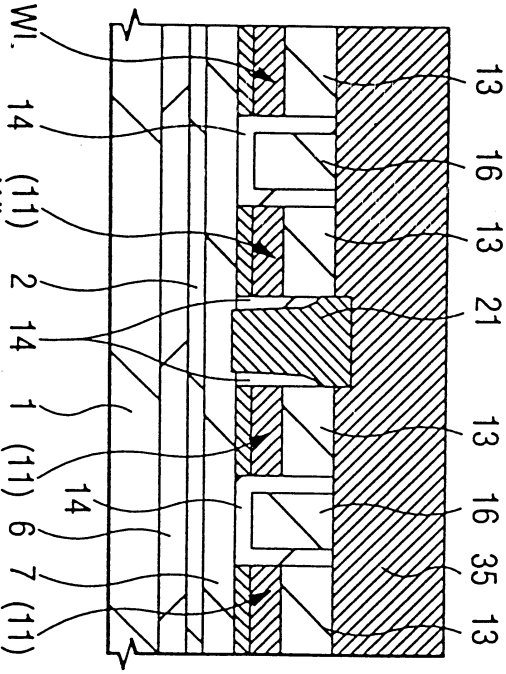


圖 19(b)

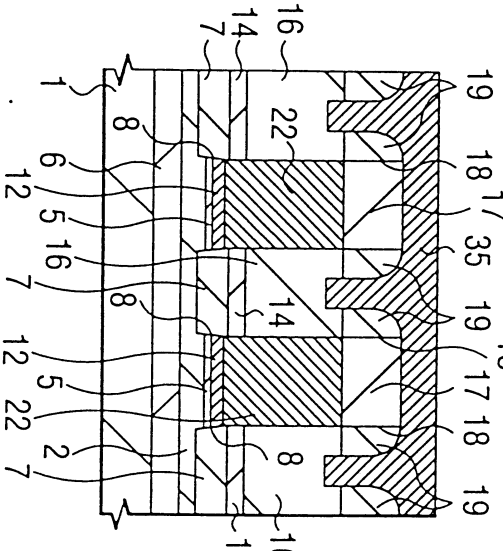


圖 19(c)

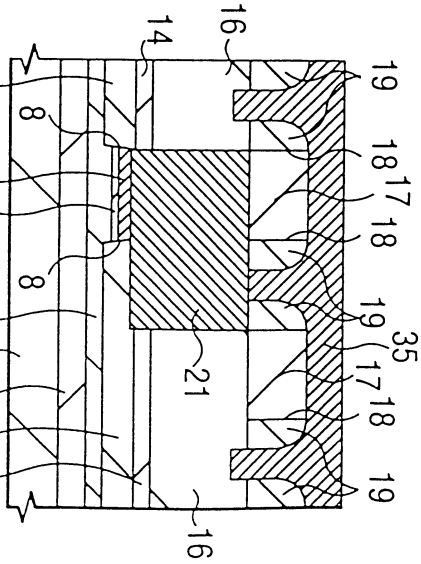


圖 19(d)

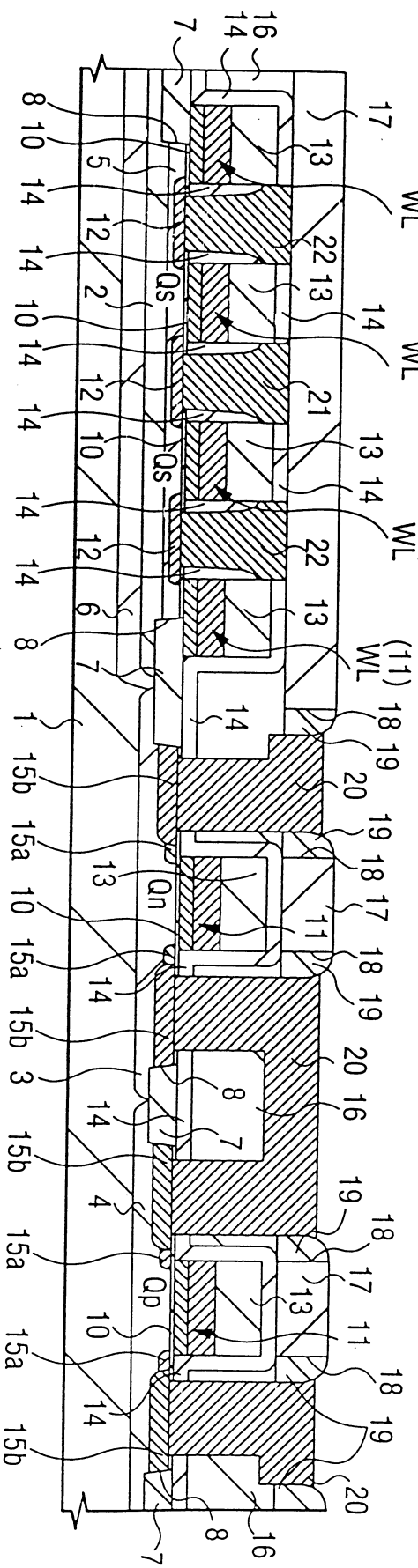


圖 20(a)

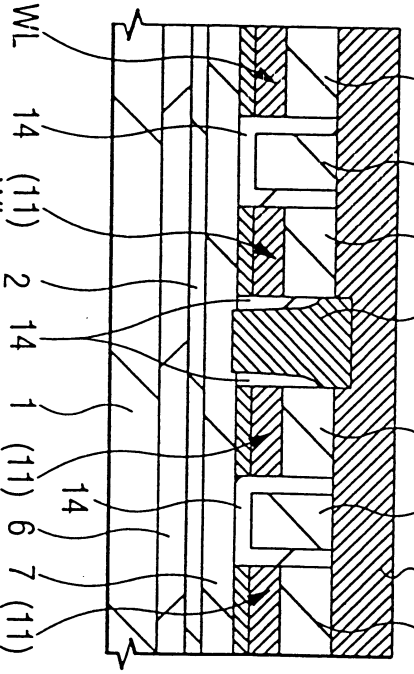


圖 20(b)

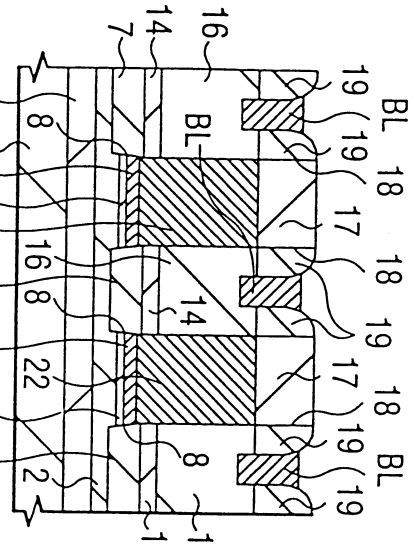


圖 20(c)

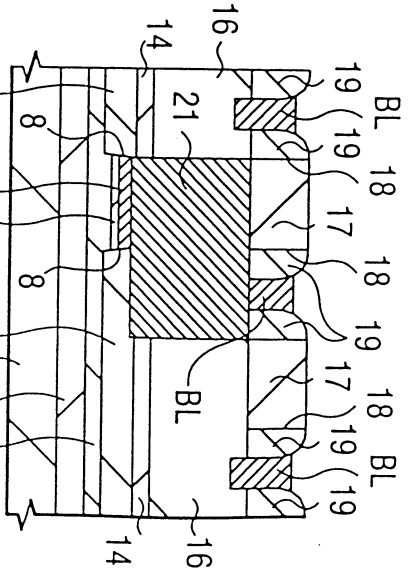


圖 20(d)

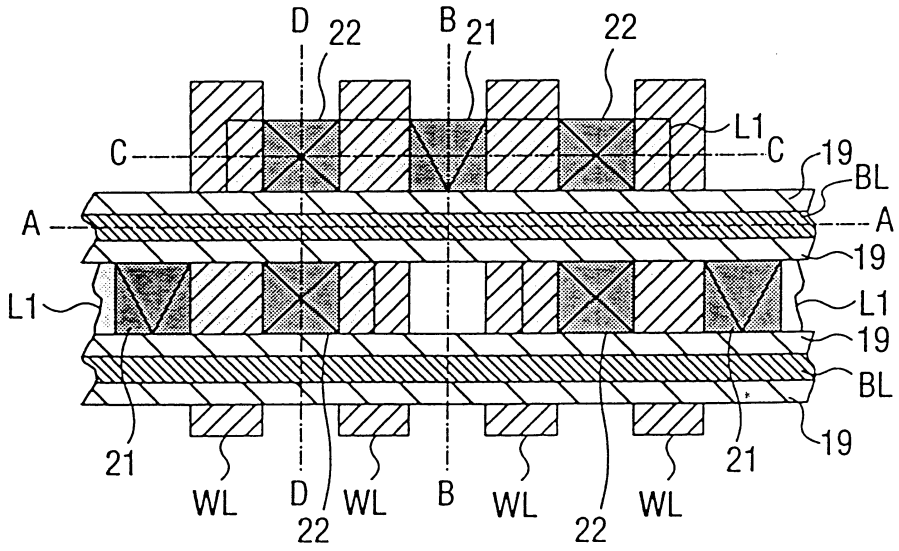



圖 21

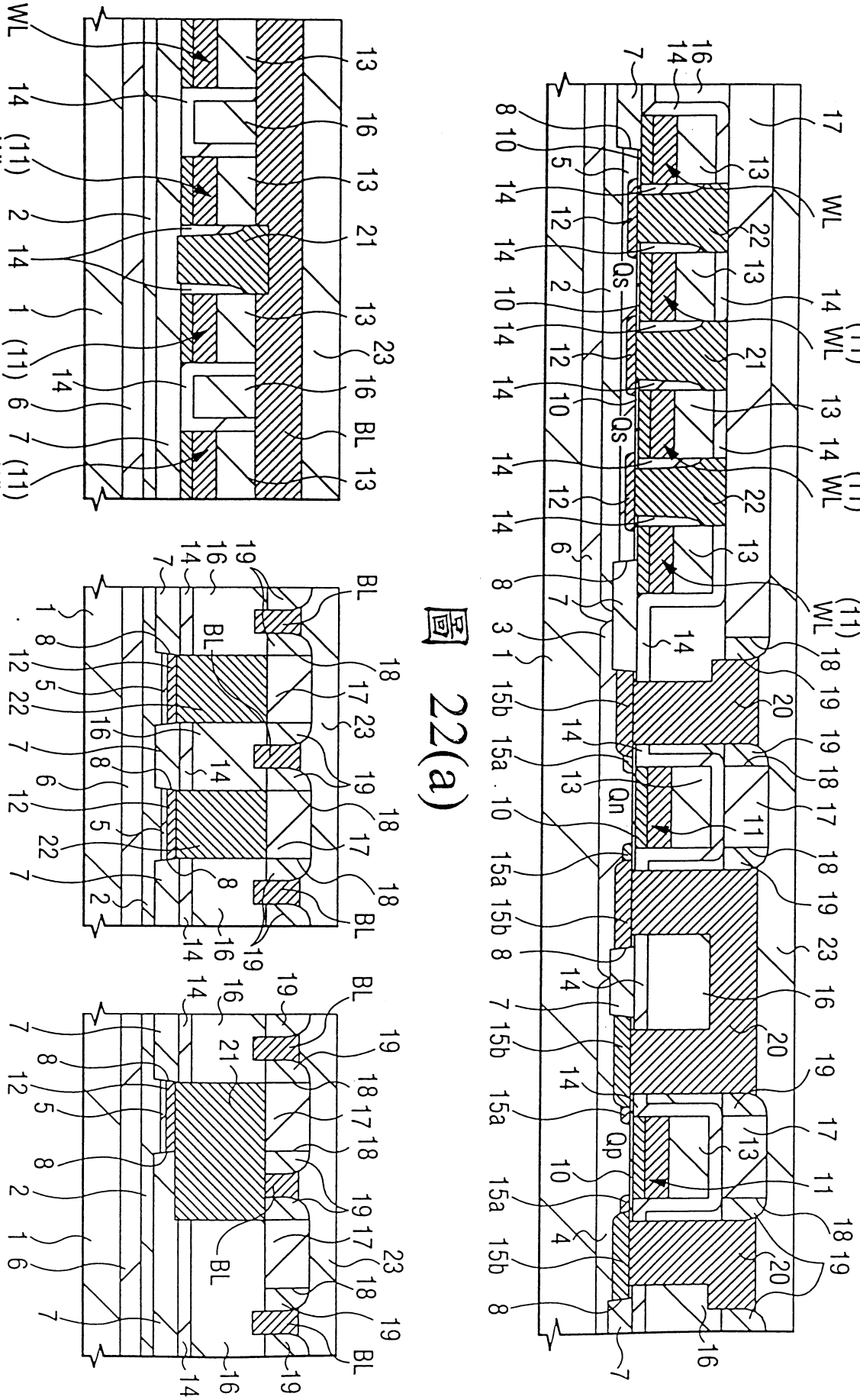



圖 22(a)




圖 22(b)




圖 22(c)




圖 22(d)

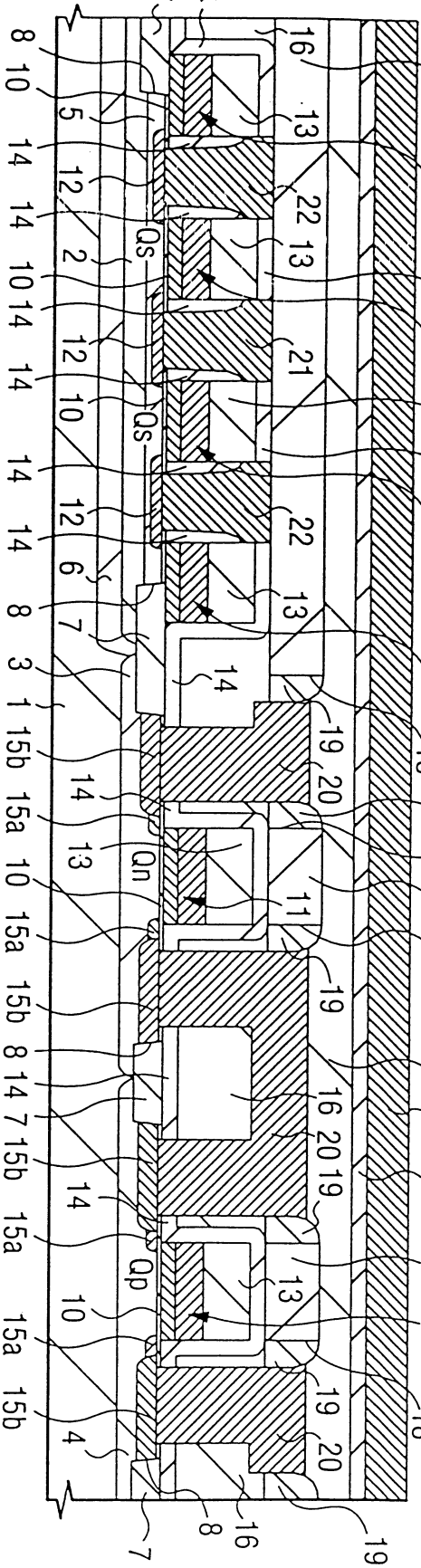



圖 23(a)

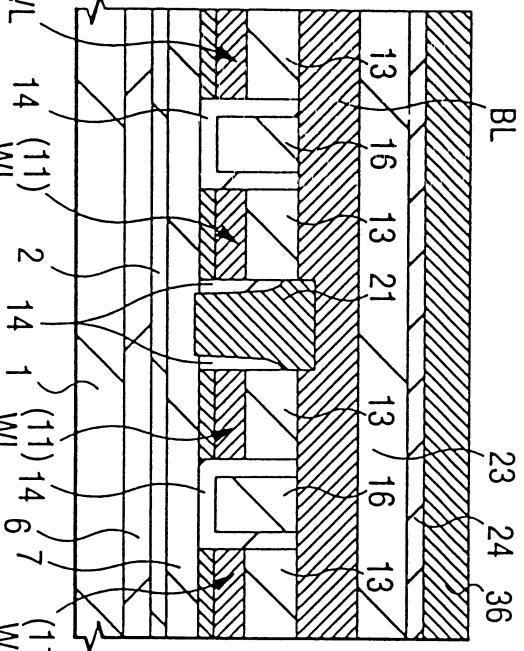



圖 23(b)

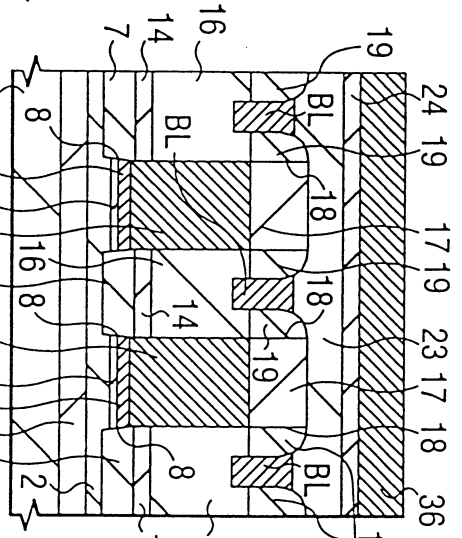



圖 23(c)

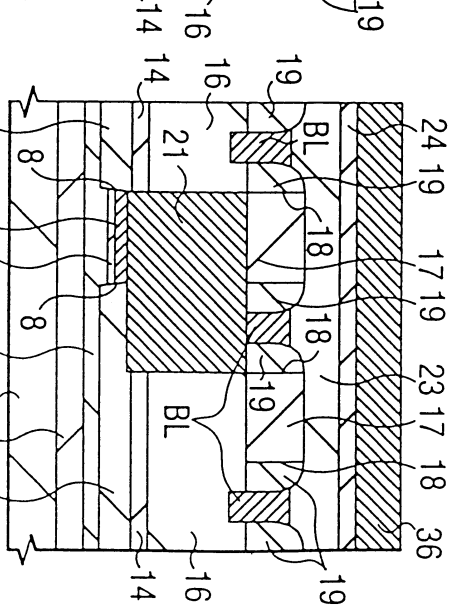



圖 23(d)

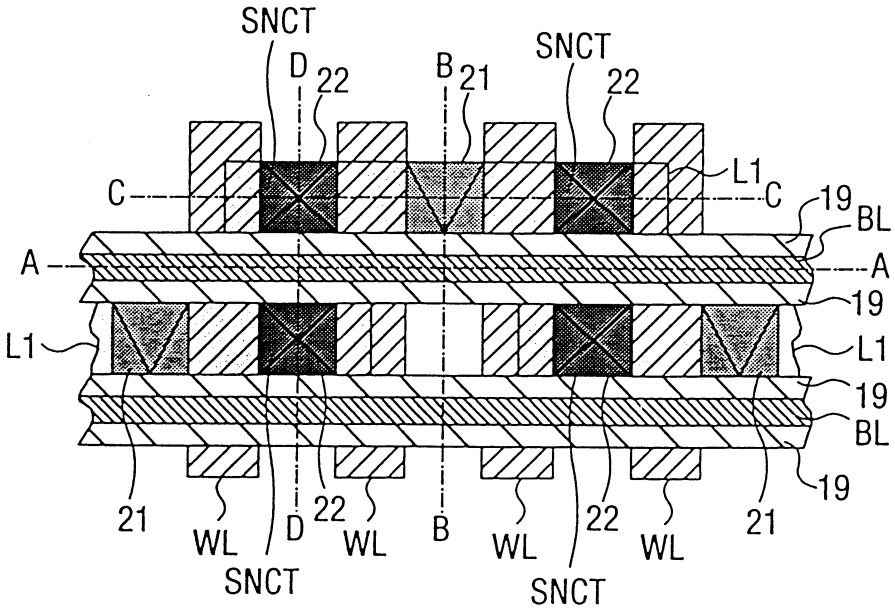

SNCT
D
22
B
21
SNCT
22
C
L1
C
19
BL
A
A
19
L1
L1
19
BL
19
21
WL
SNCT
D
22
WL
B
WL
SNCT
22
WL
21

圖 24

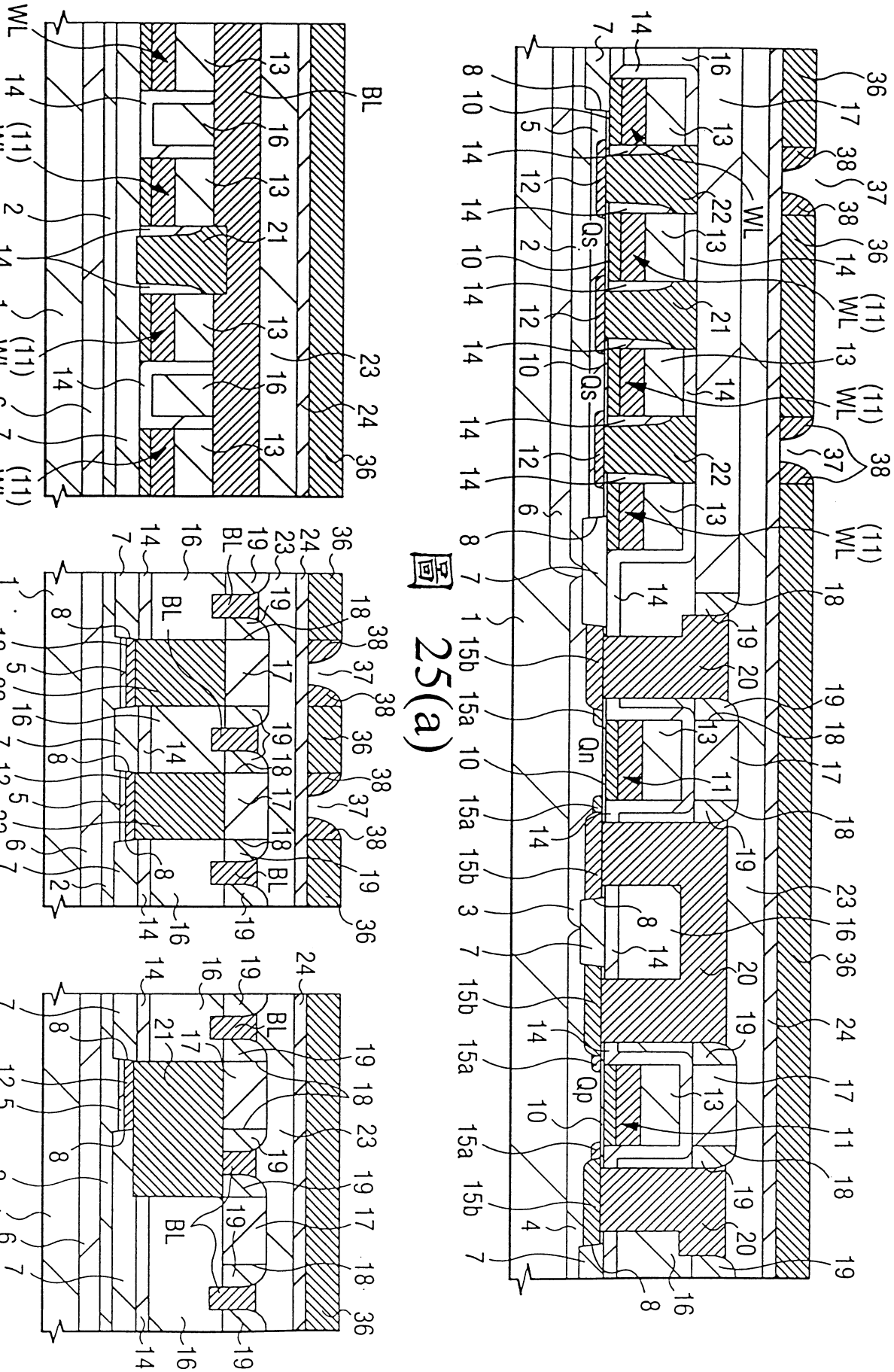



圖 25(a)

圖 25(b)

圖 25(c)

圖 25(d)

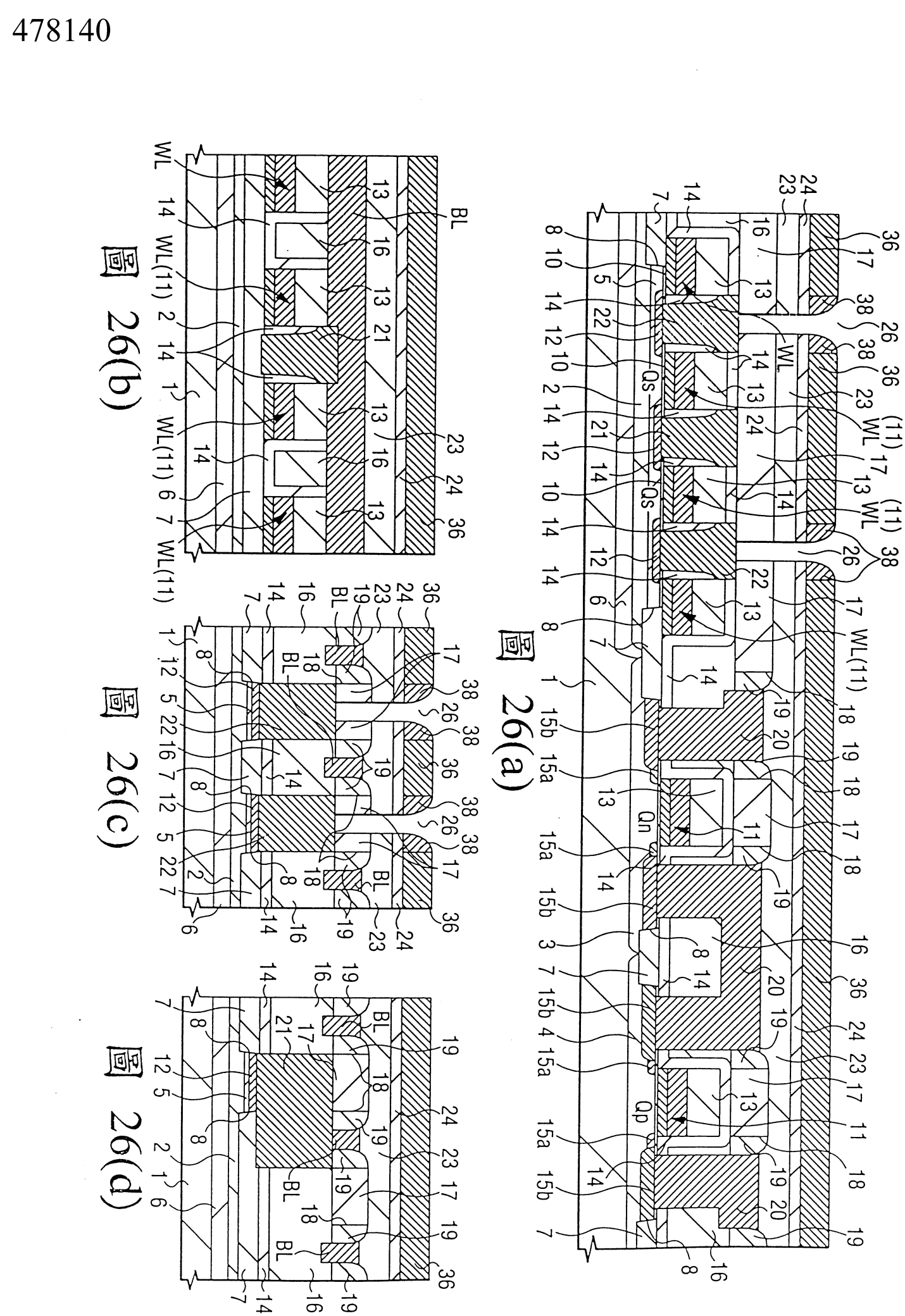



圖 26(a)

圖 26(b)

圖 26(c)

圖 26(d)

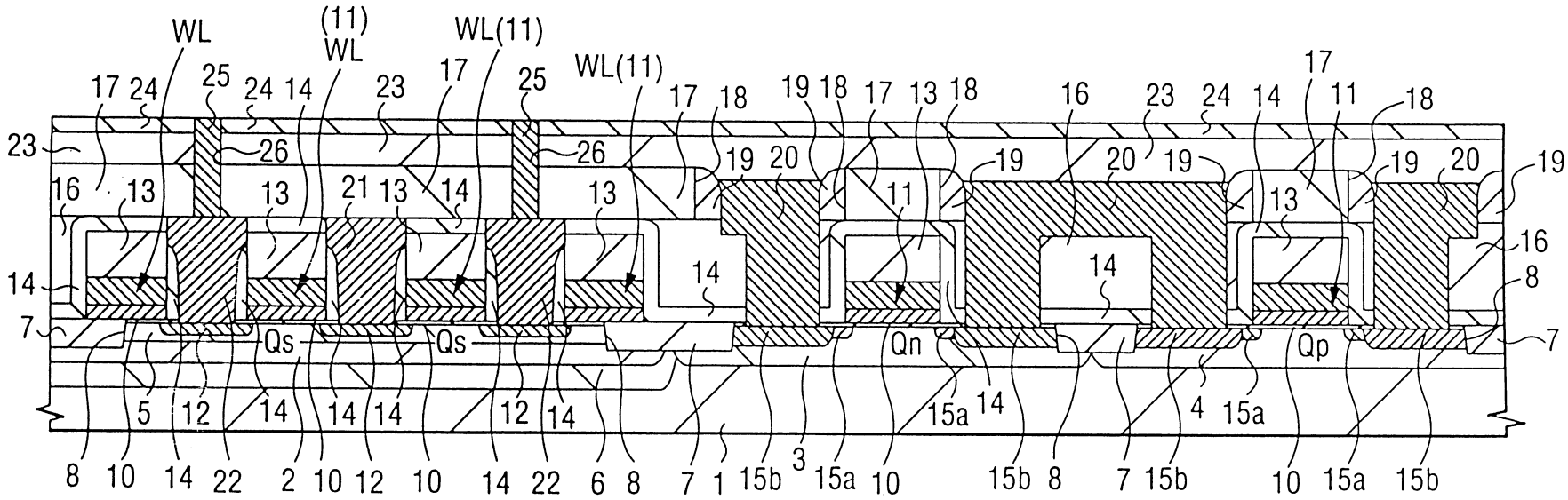



圖 27(a)

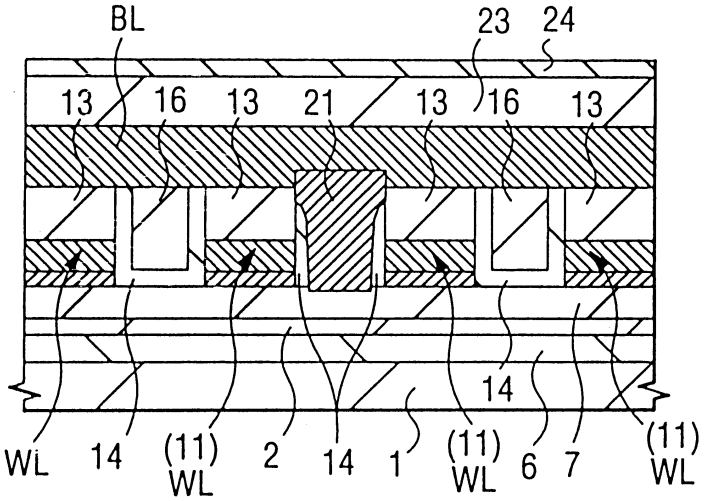



圖 27(b)

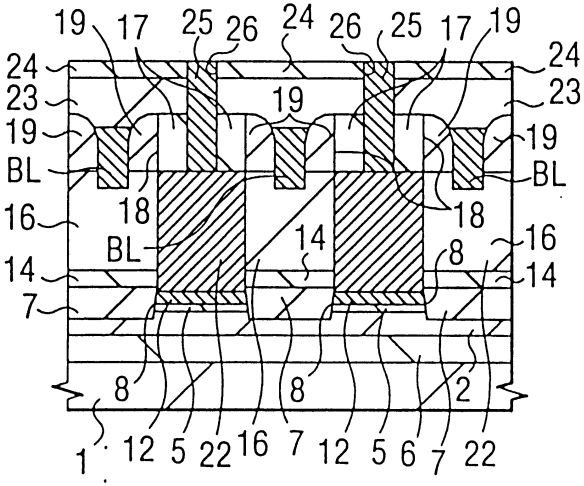


圖 27(c)

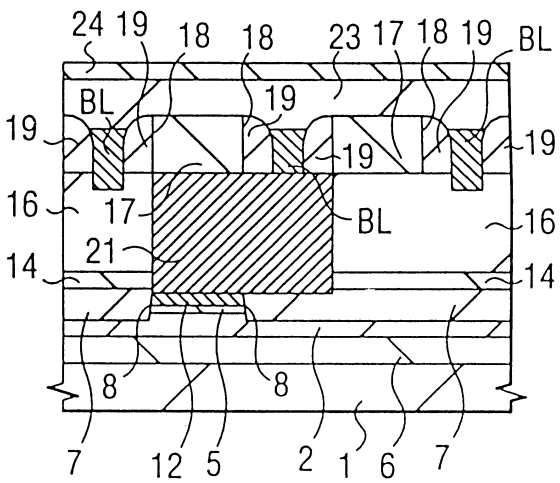



圖 27(d)

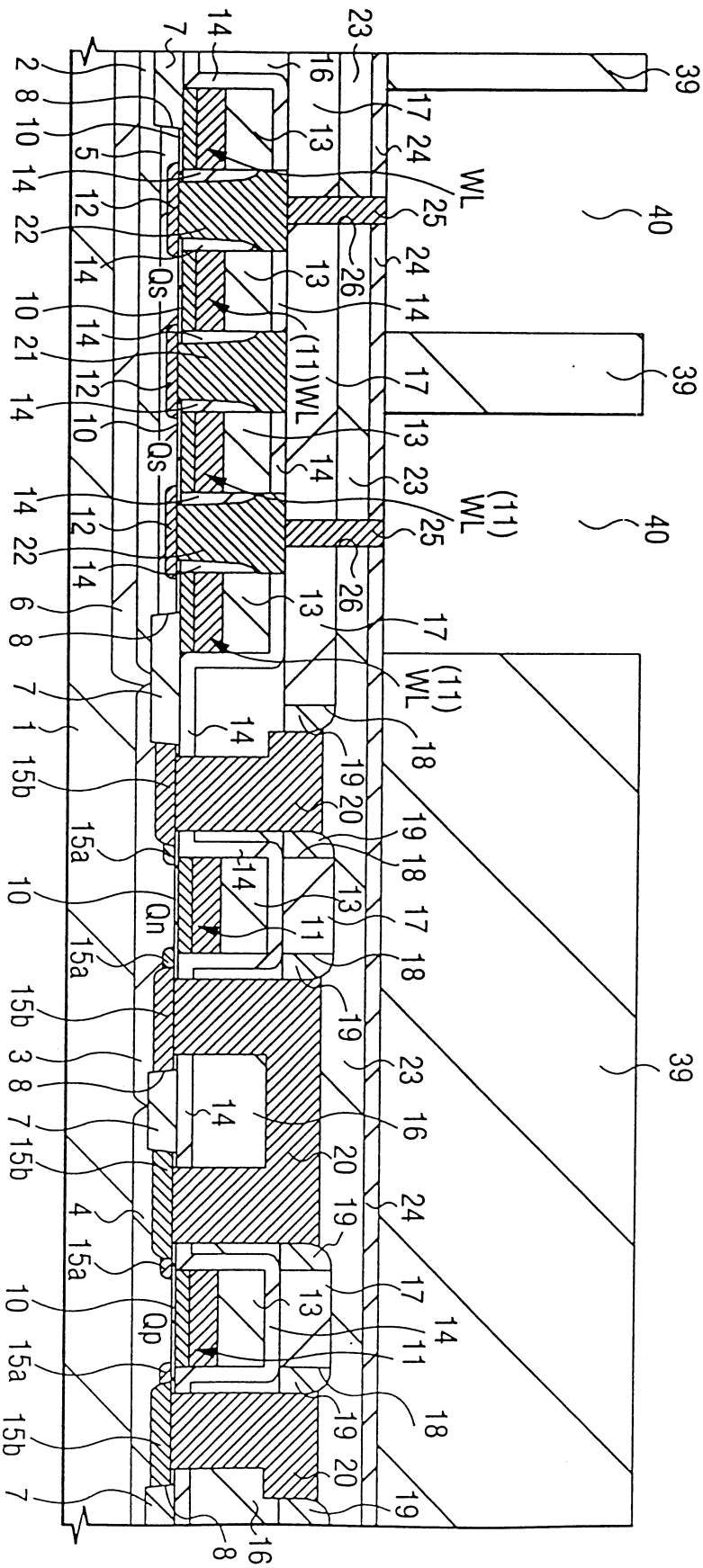



圖 28

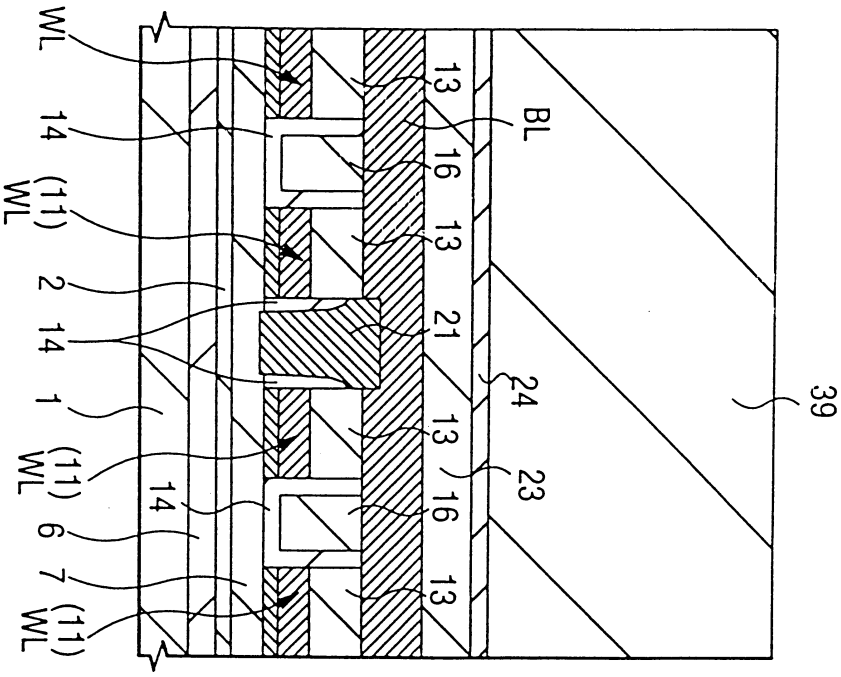



圖 29(a)

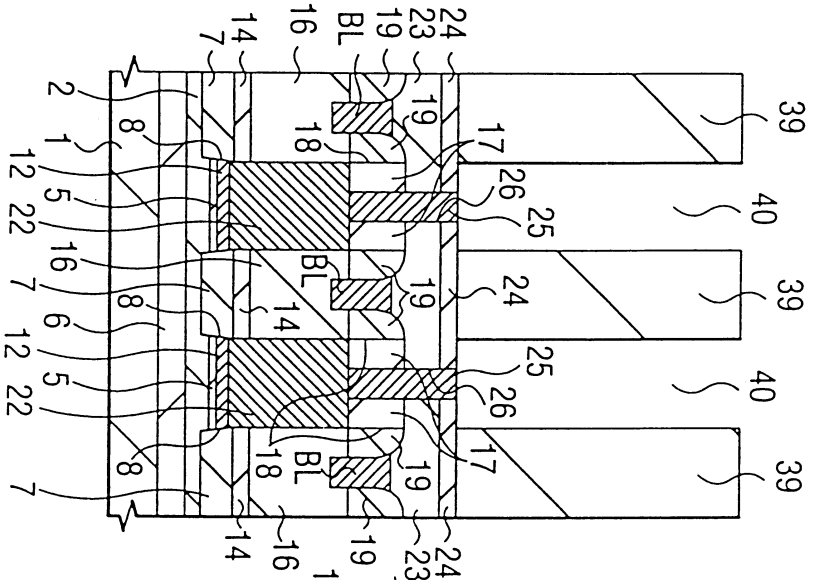



圖 29(b)

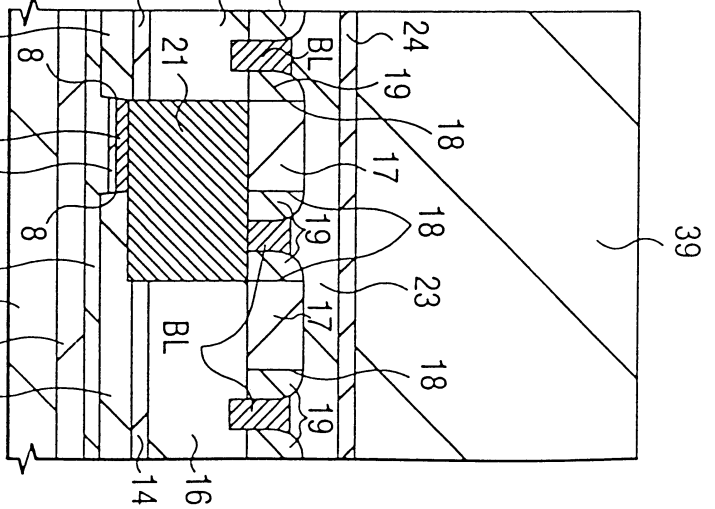



圖 29(c)

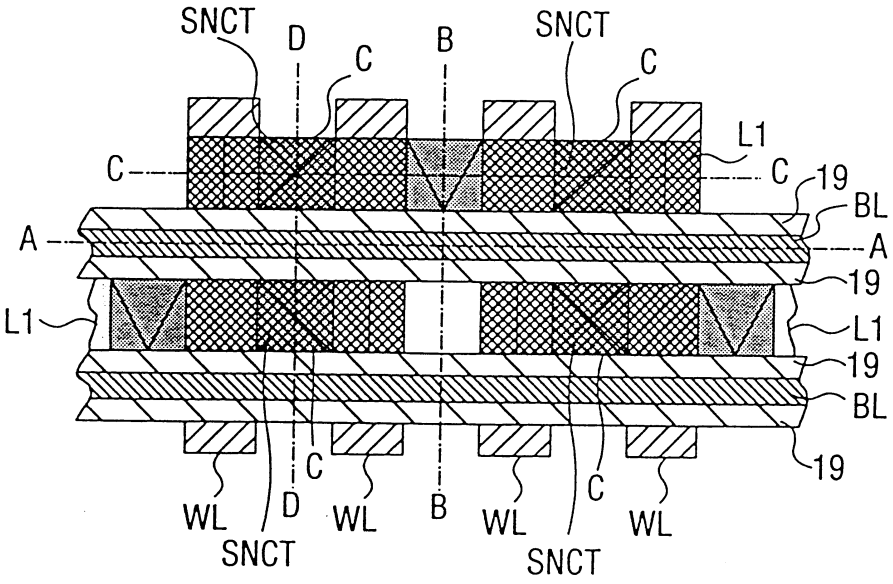

SNCT
D
C
B
SNCT
C
L1
C
C
19
BL
A
A
19
L1
L1
19
BL
19
C
C
WL
D
WL
B
WL
WL
SNCT
SNCT

圖 30

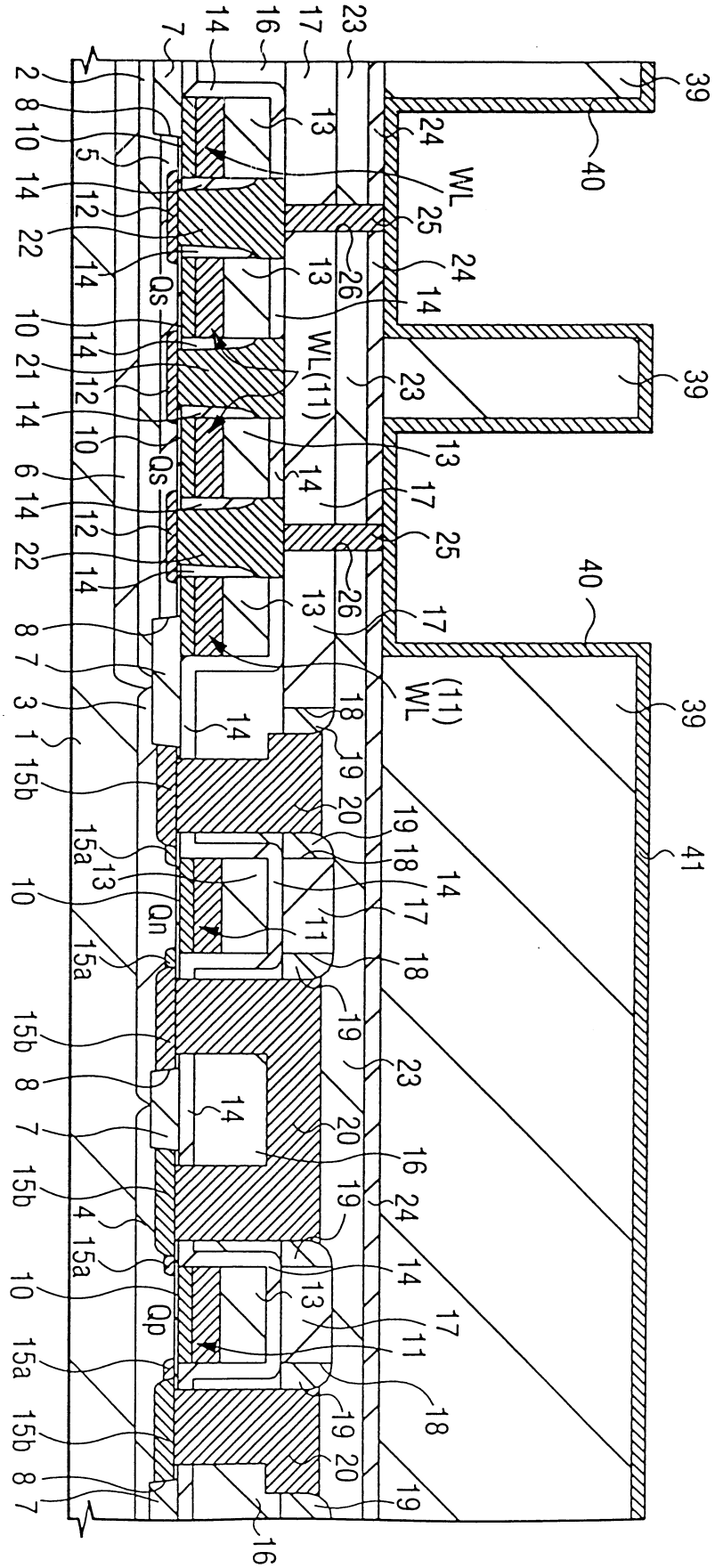



圖 31

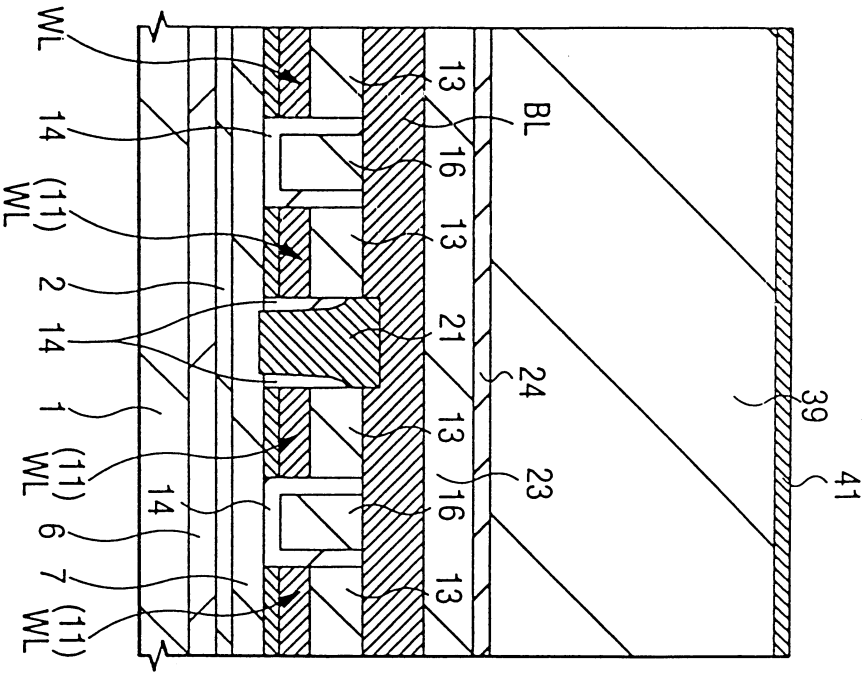



圖 32(a)

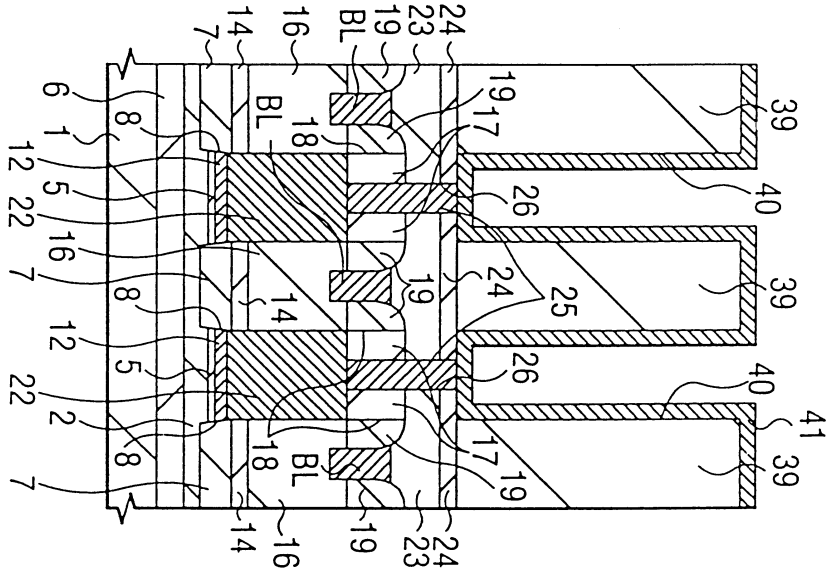



圖 32(b)

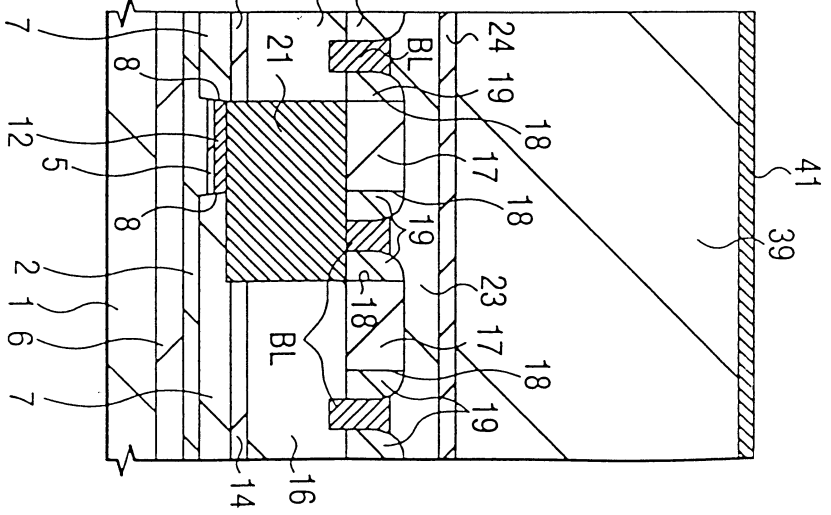



圖 32(c)

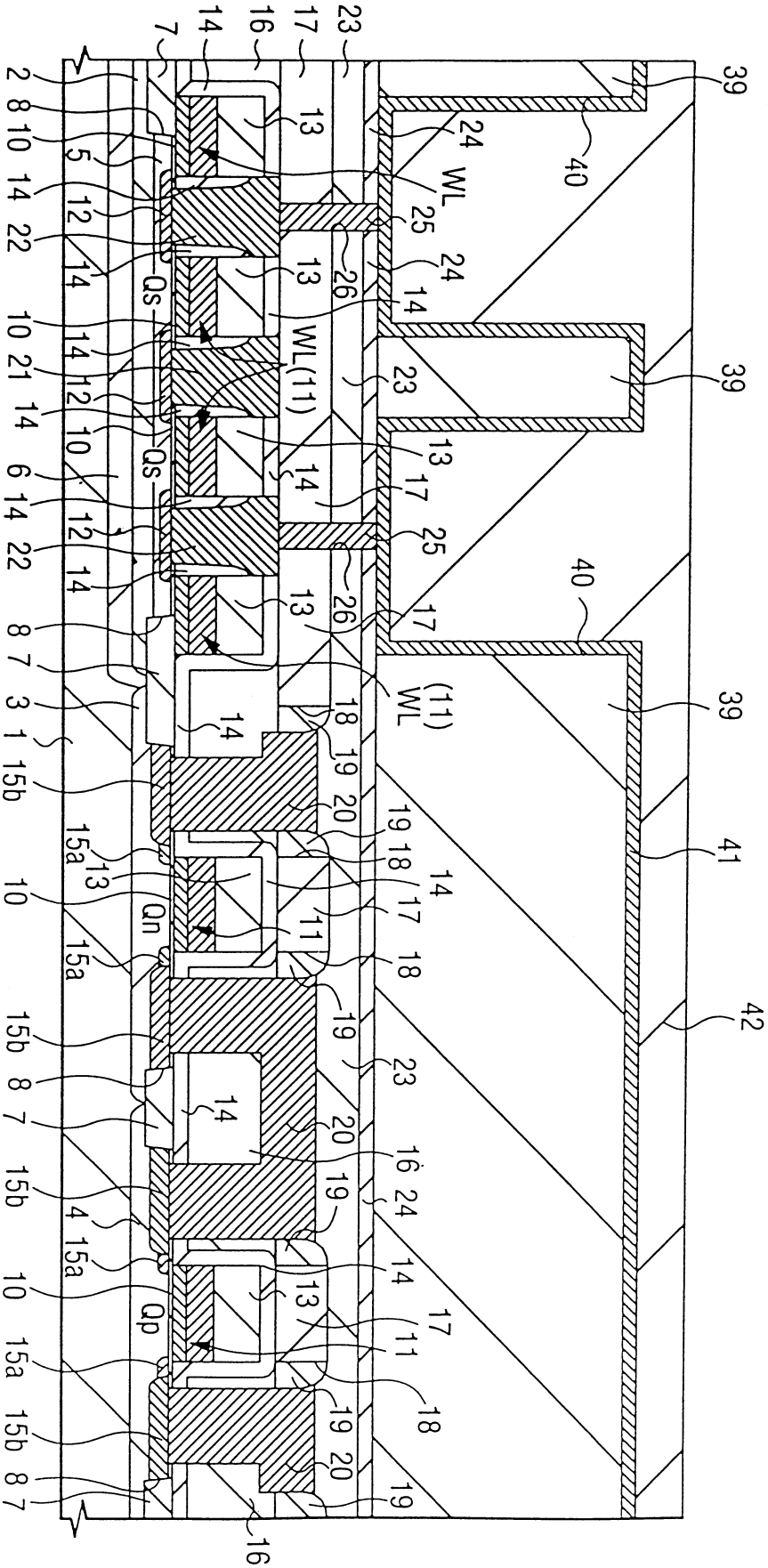



圖 33

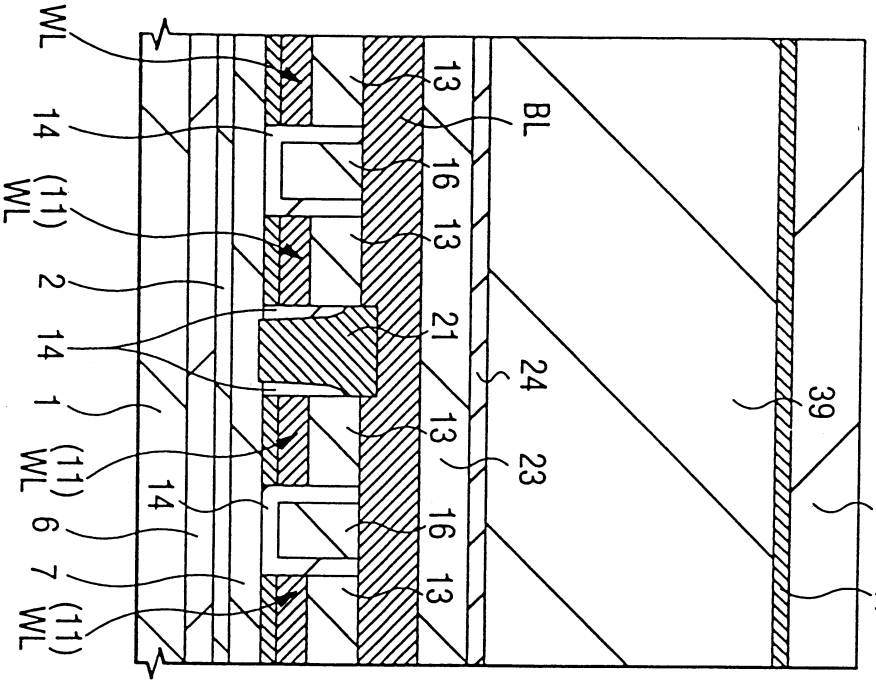
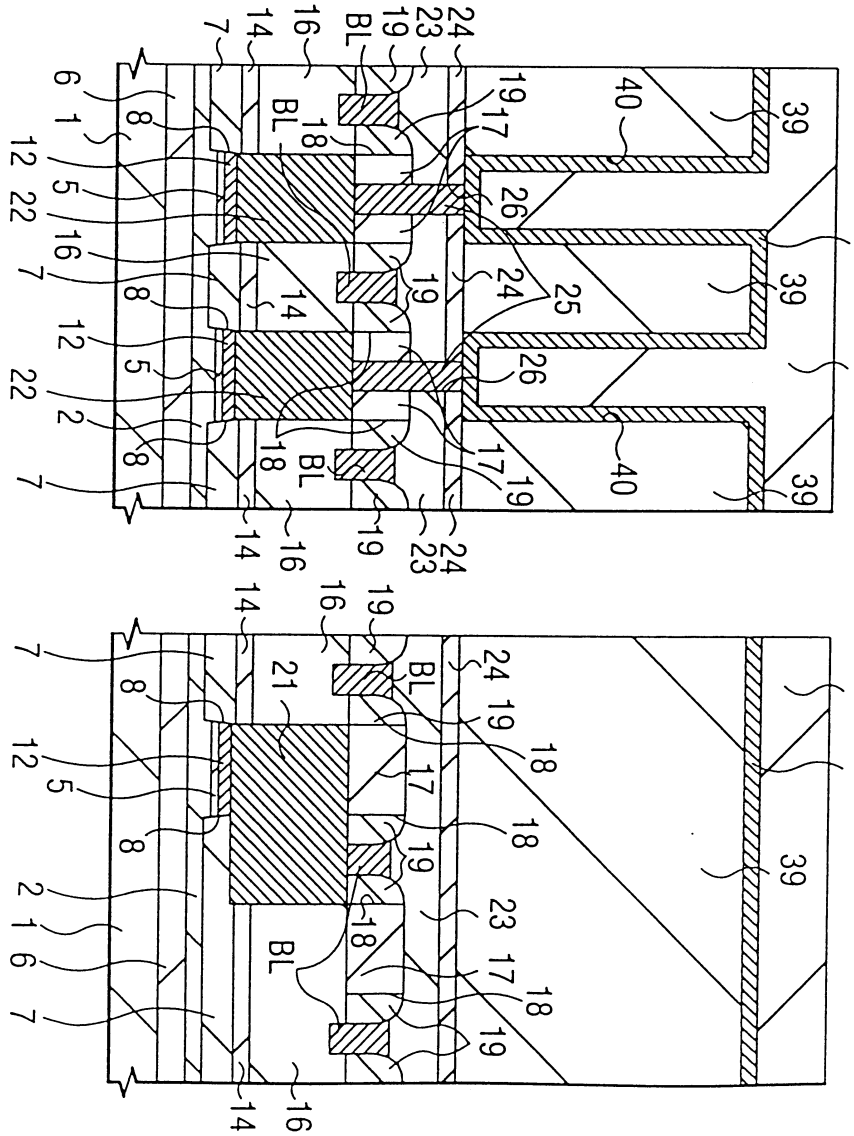
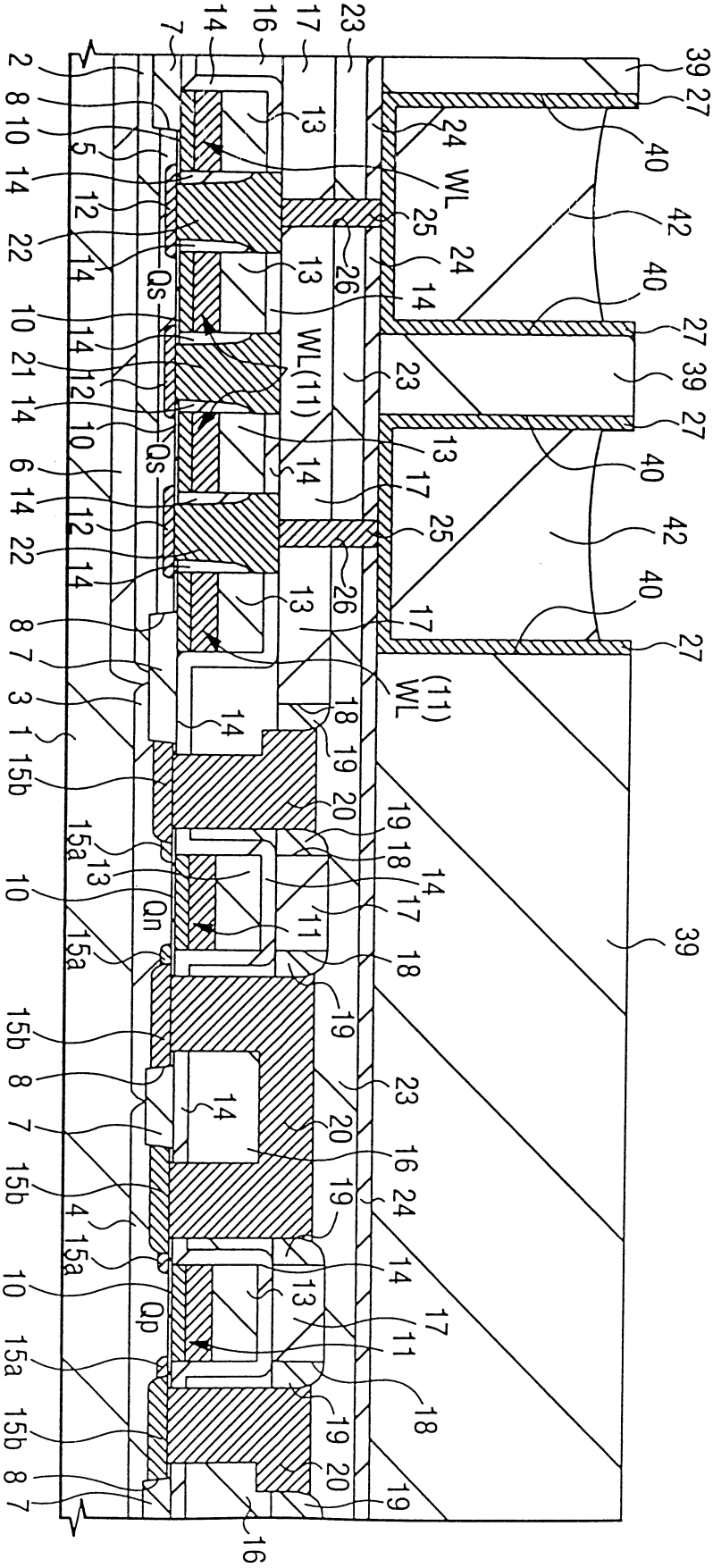



圖 34(a)


BL
BL
BL




圖：35

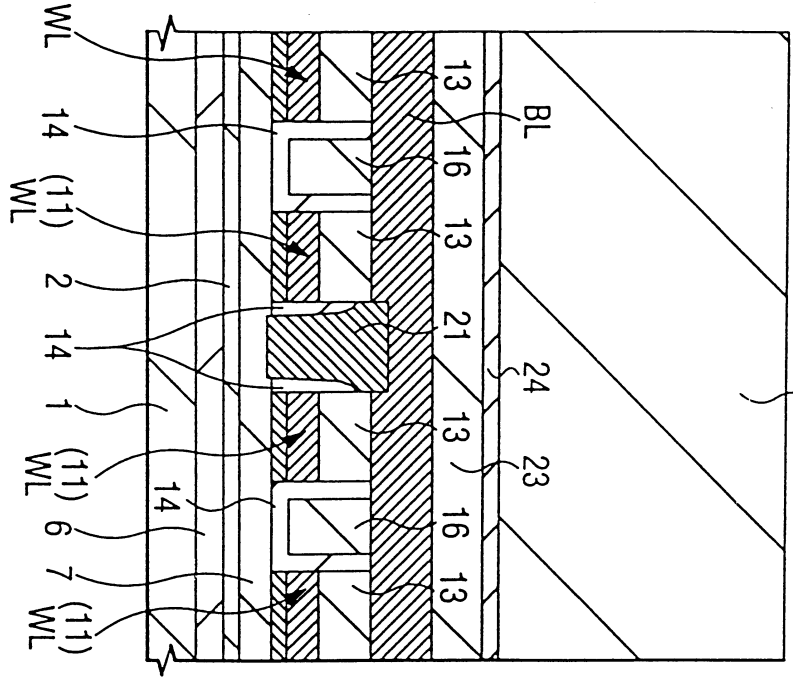



圖 36(a)

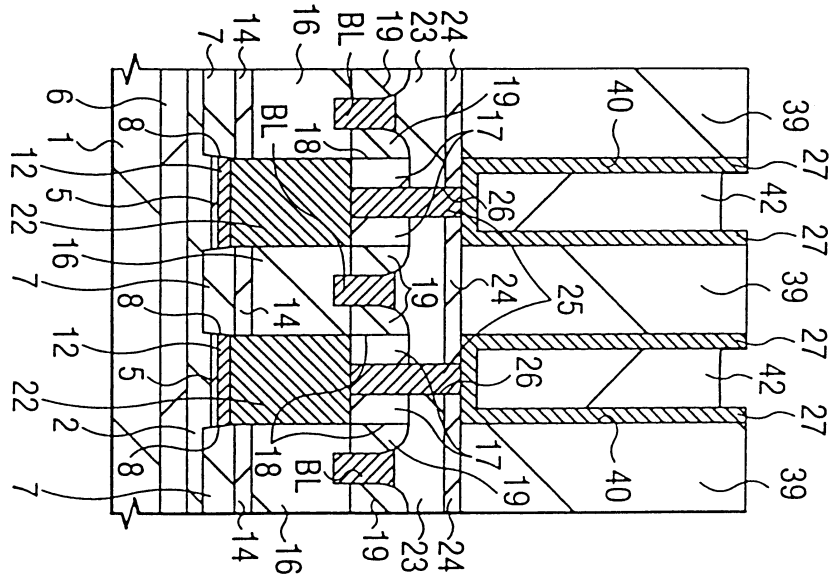



圖 36(b)

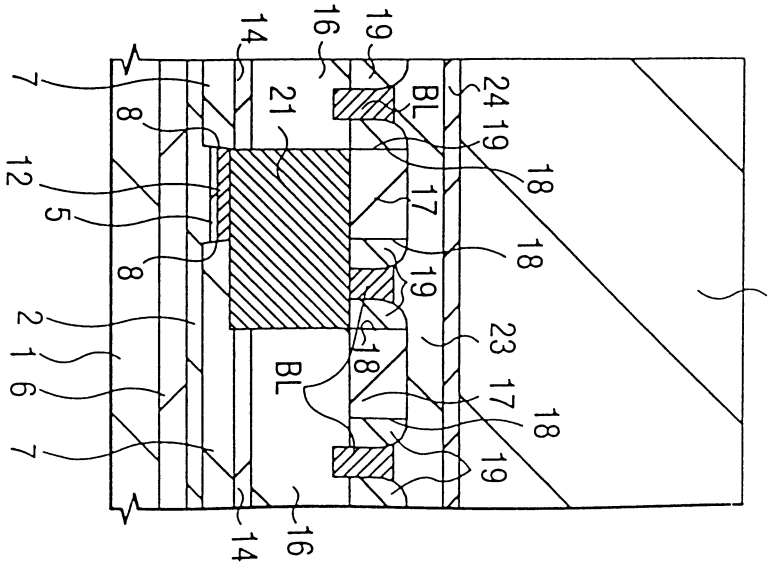



圖 36(c)

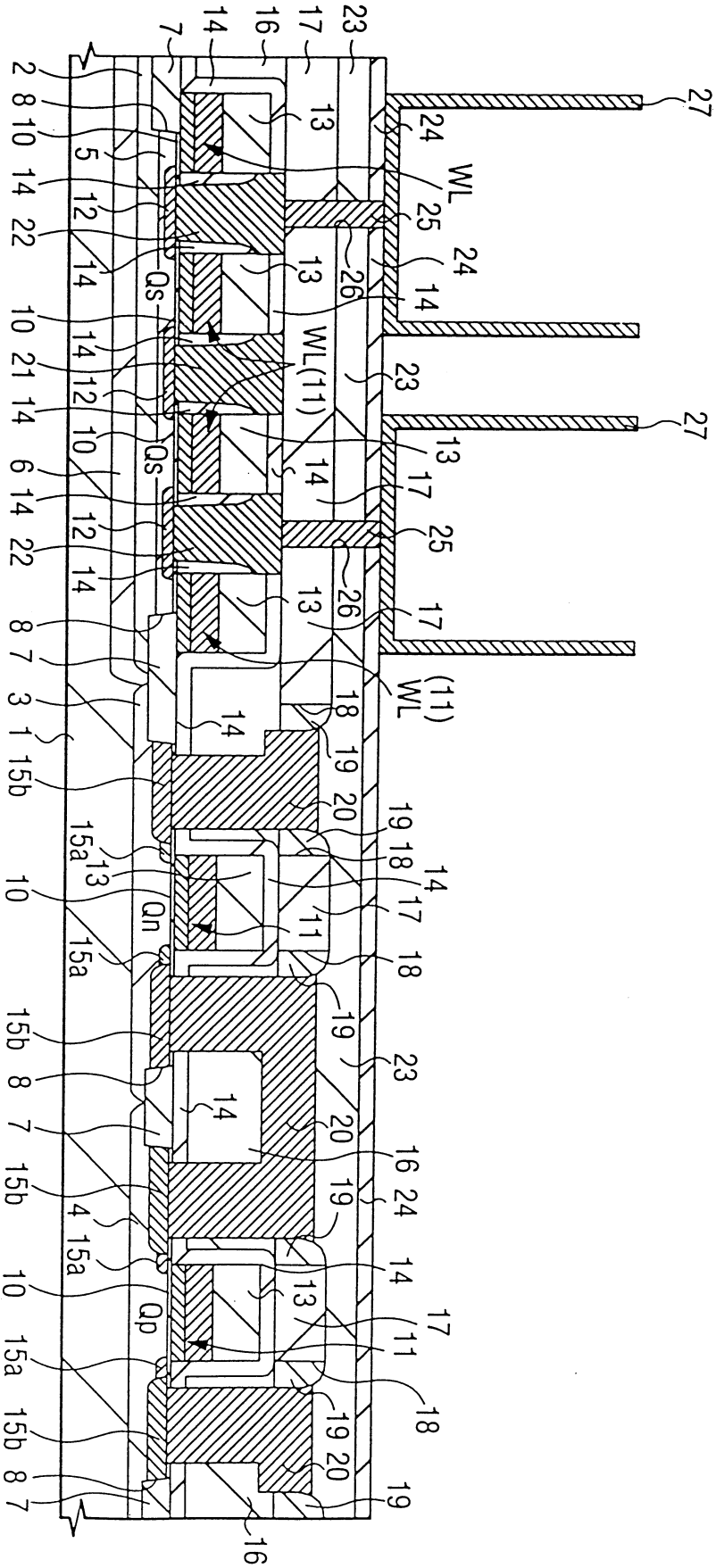



圖 37

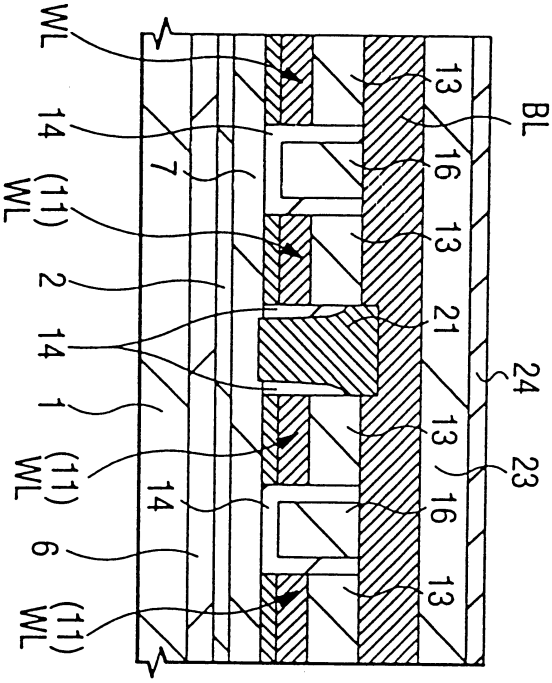



圖 38(a)

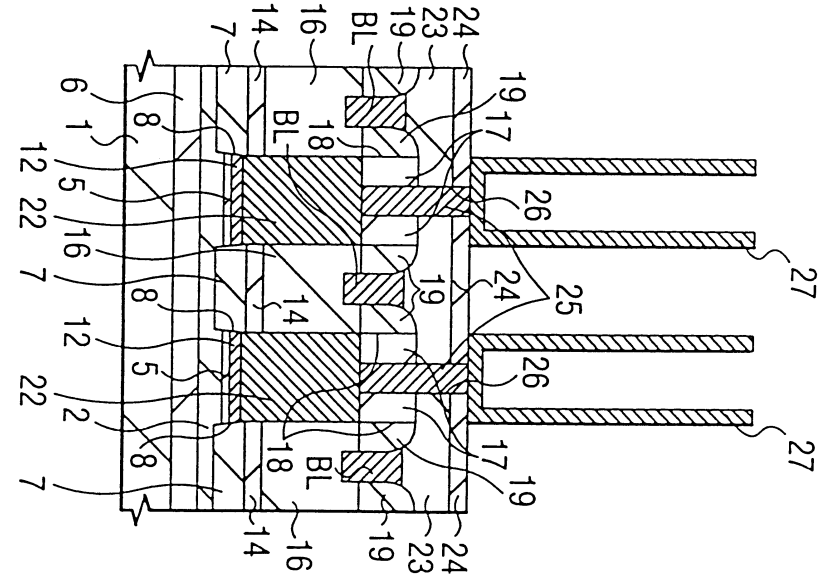



圖 38(b)

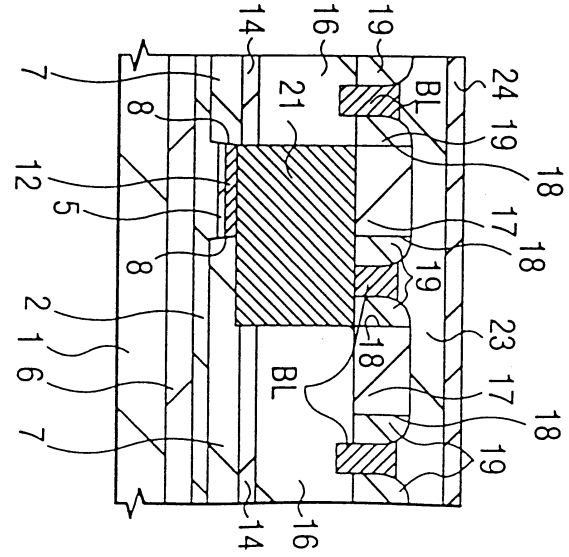



圖 38(c)

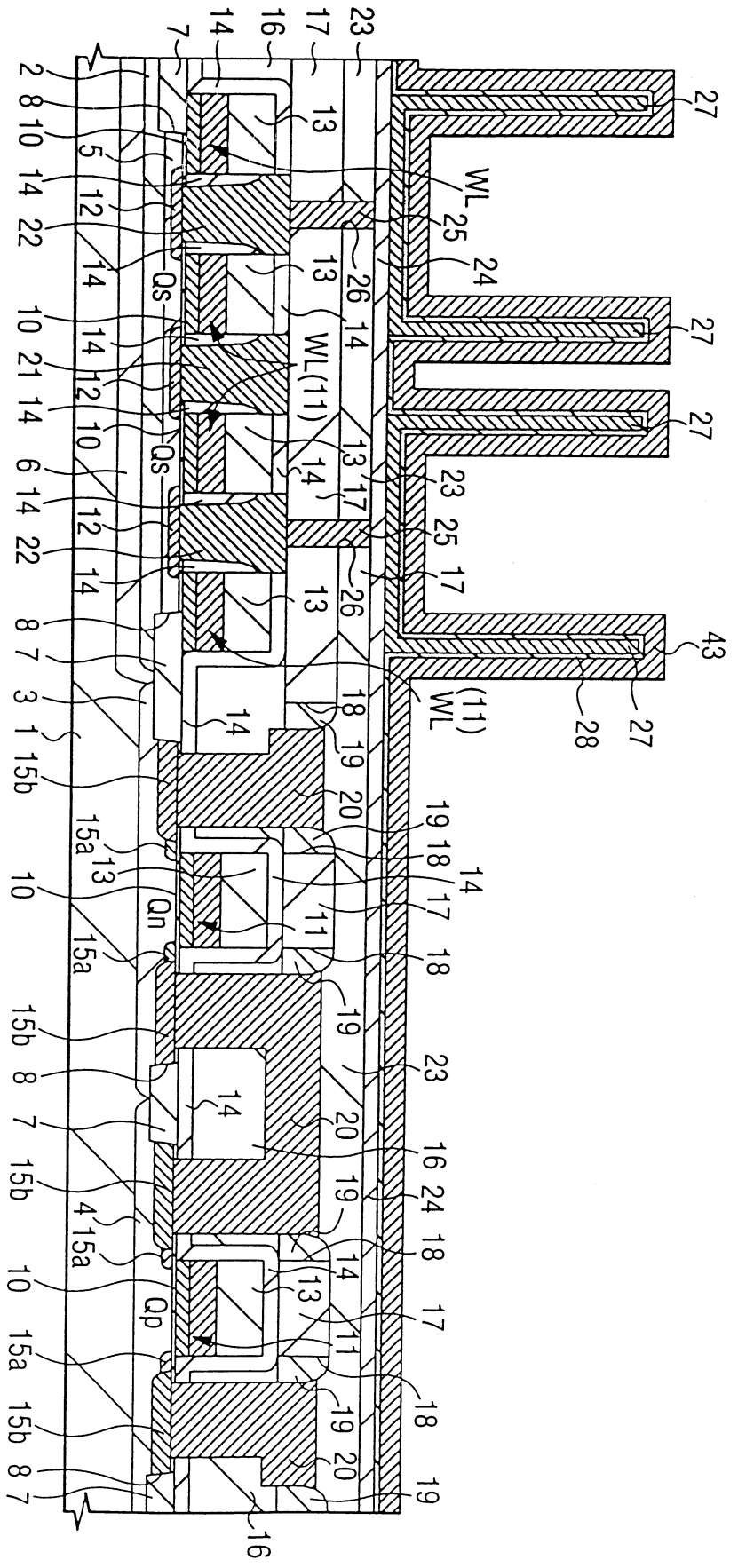



圖 39

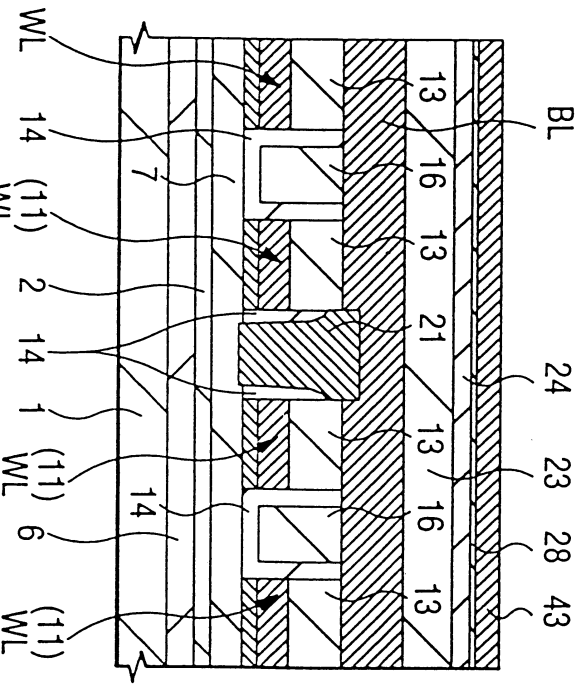



圖 40(a)

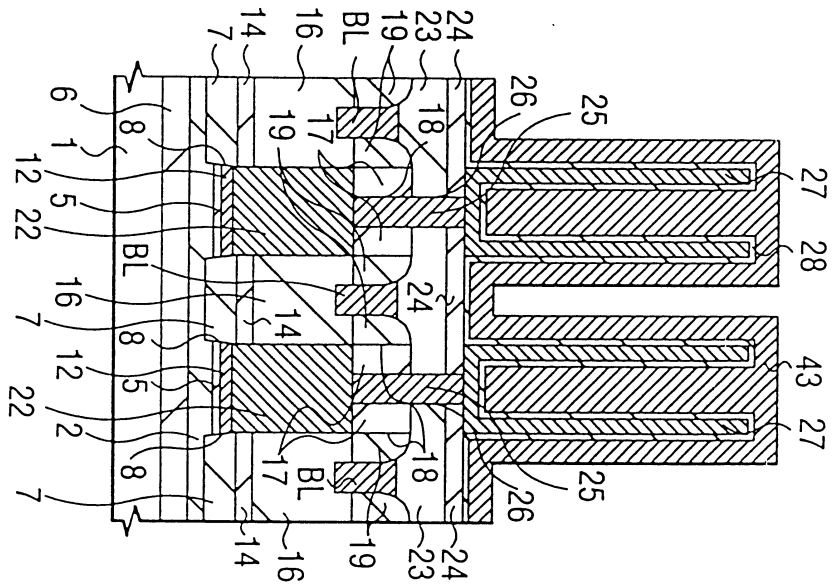



圖 40(b)

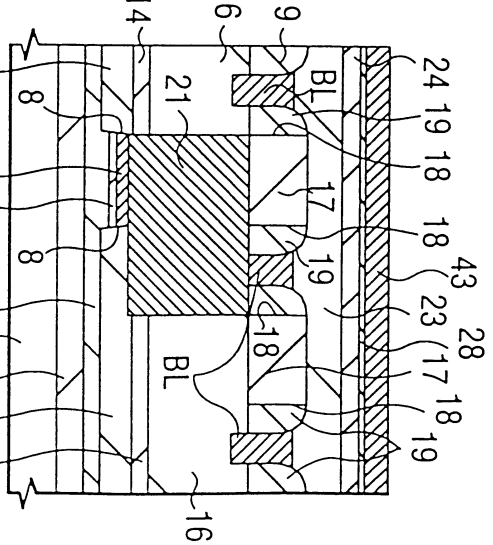



圖 40(c)

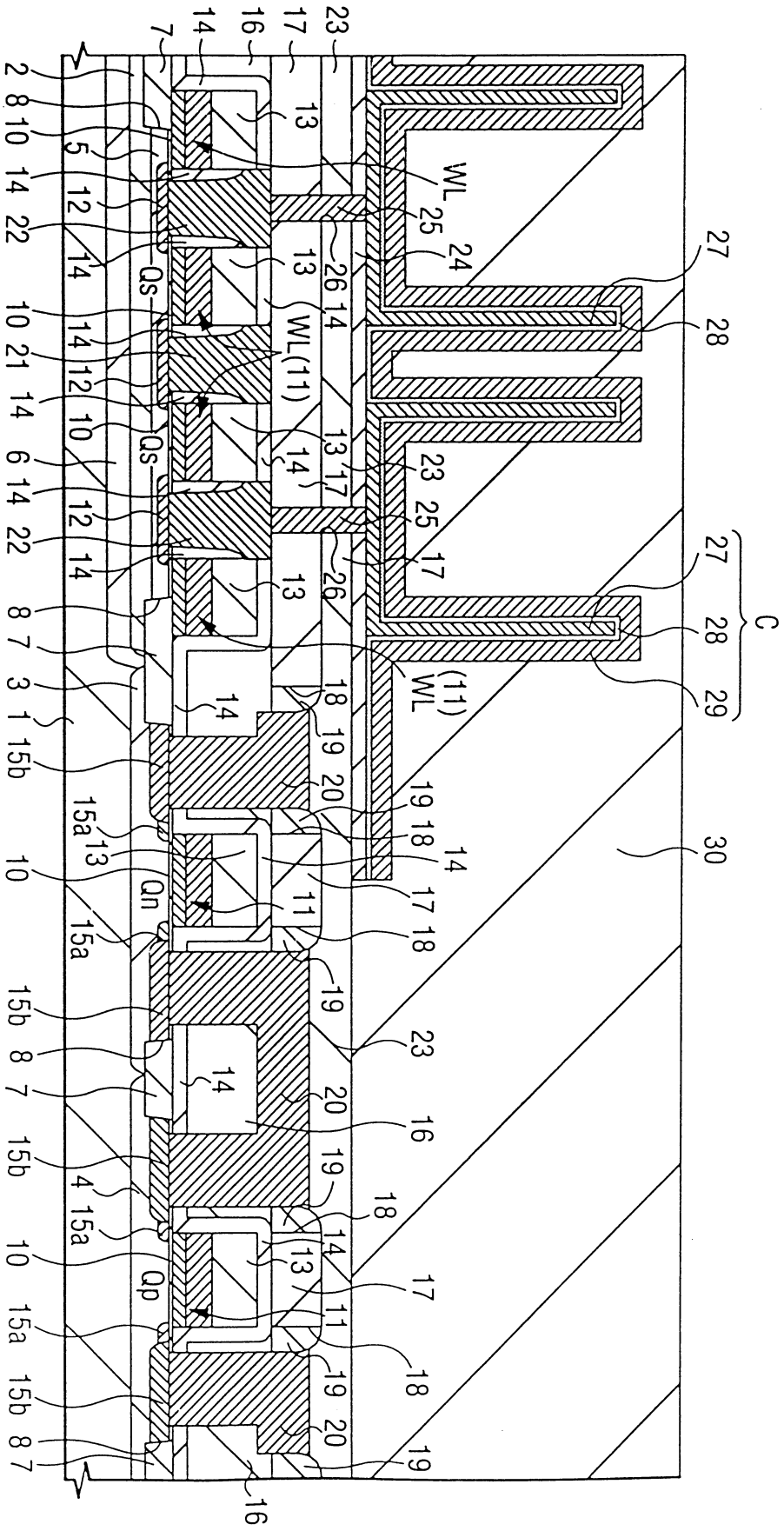



圖 41

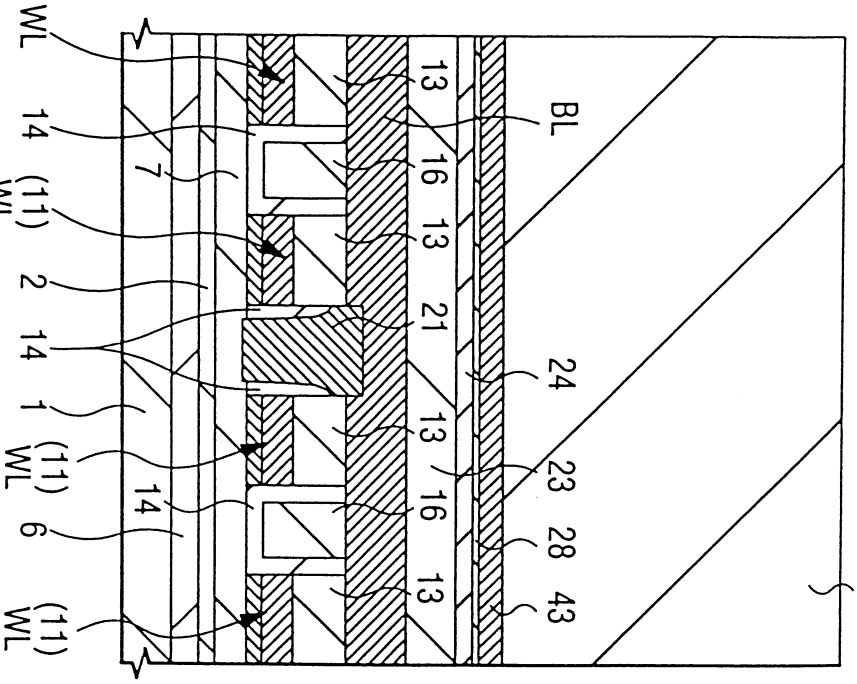



圖 42(a)

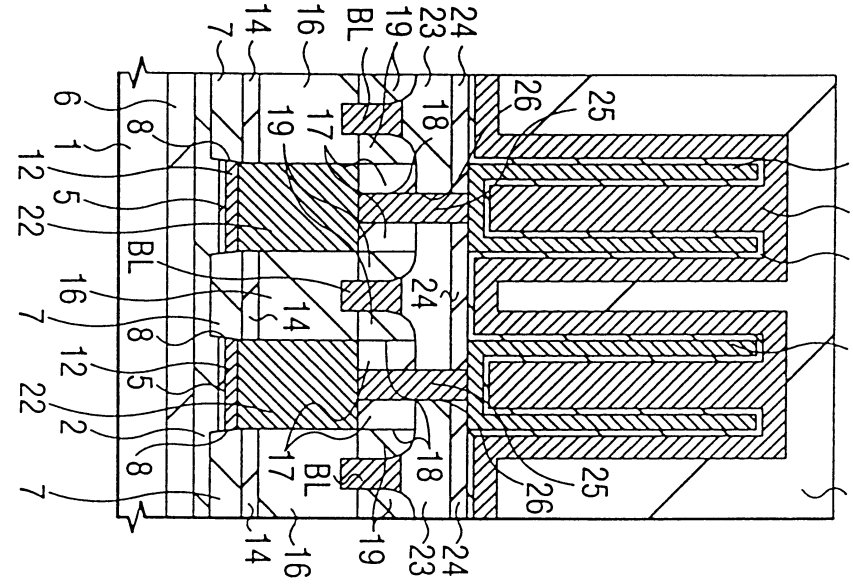



圖 42(b)

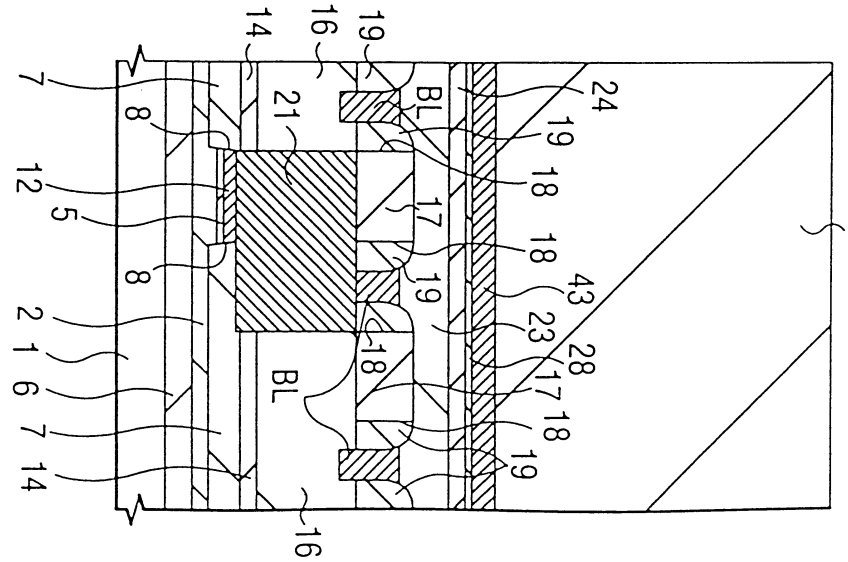



圖 42(c)

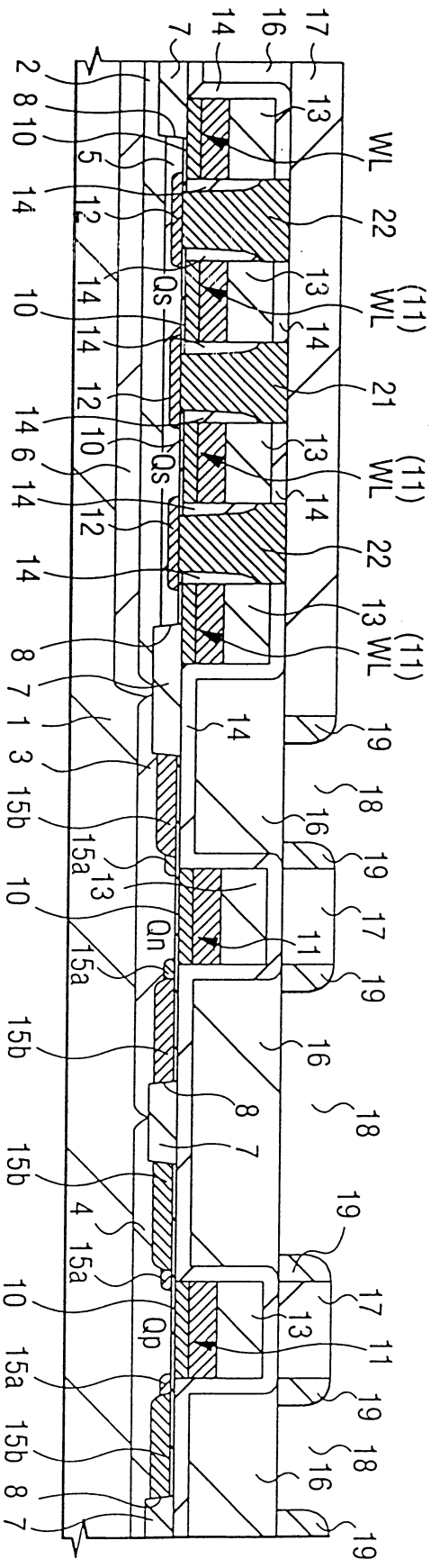



圖 43(a)

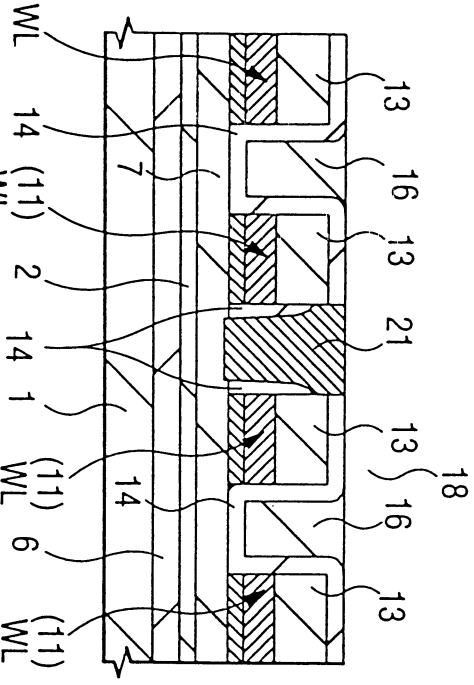



圖 43(b)

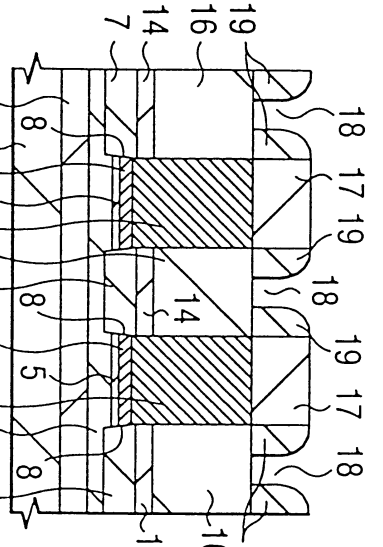


圖 43(c)

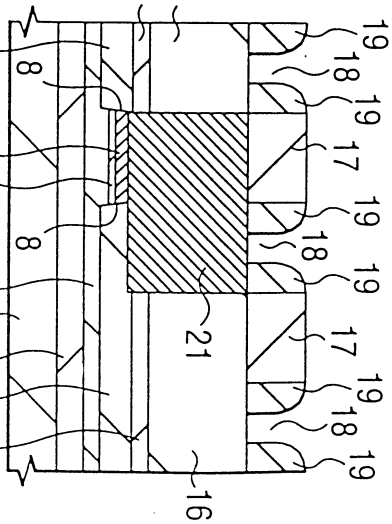


圖 43(d)

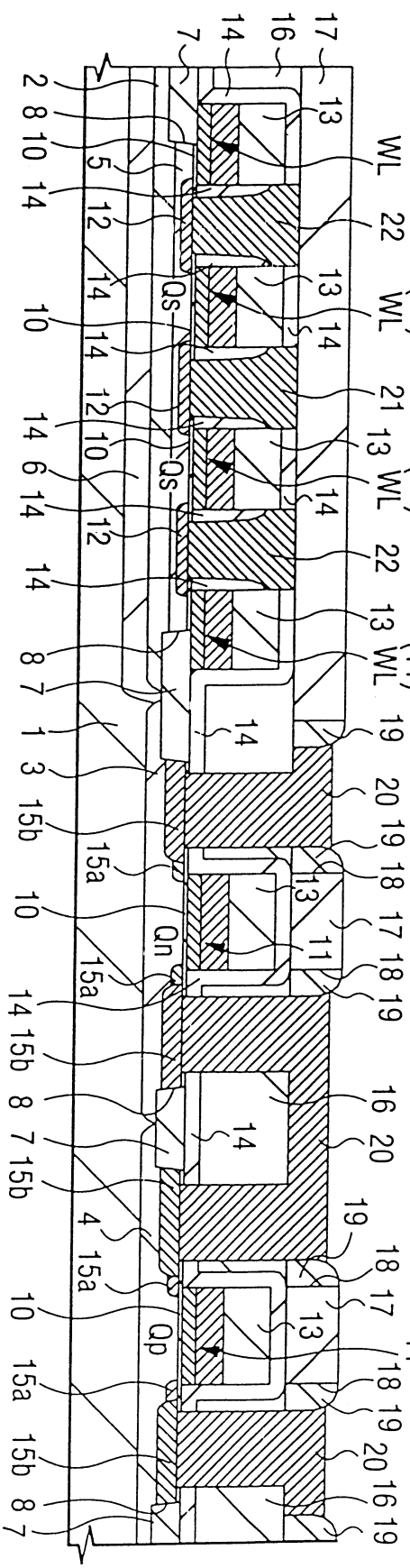



圖 44(a)

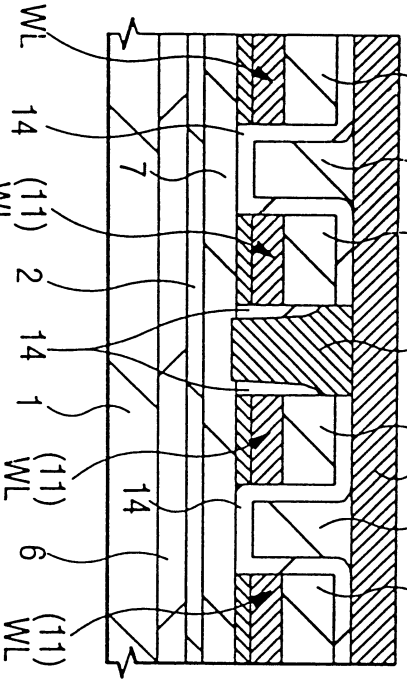



圖 44(b)

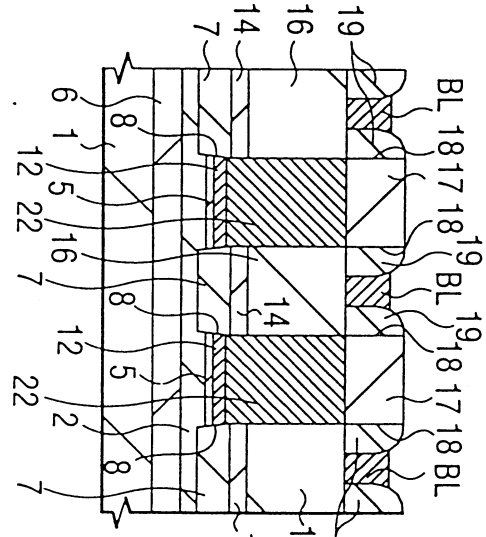



圖 44(c)

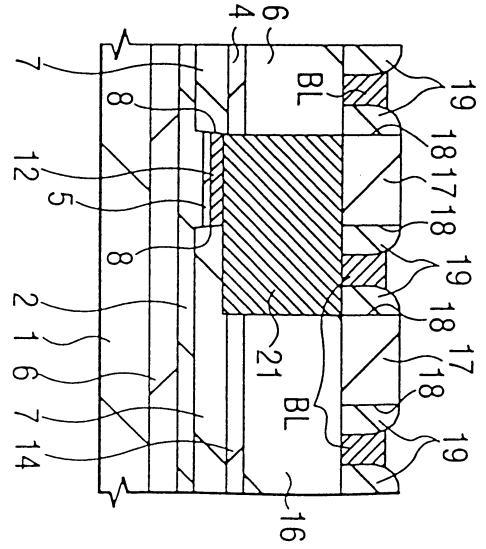



圖 44(d)

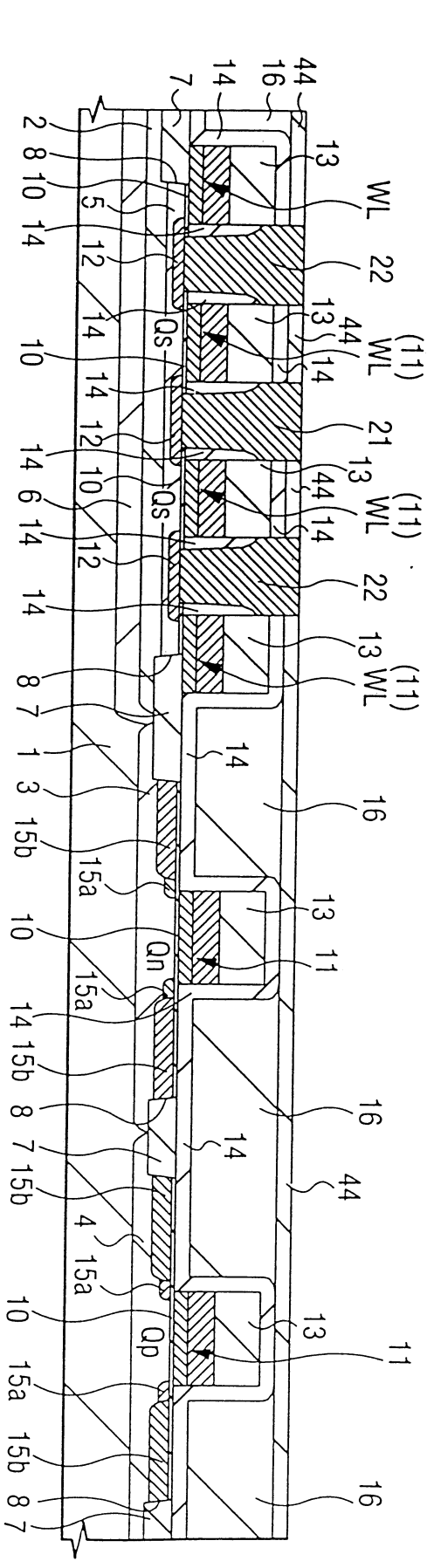



圖 45(a)

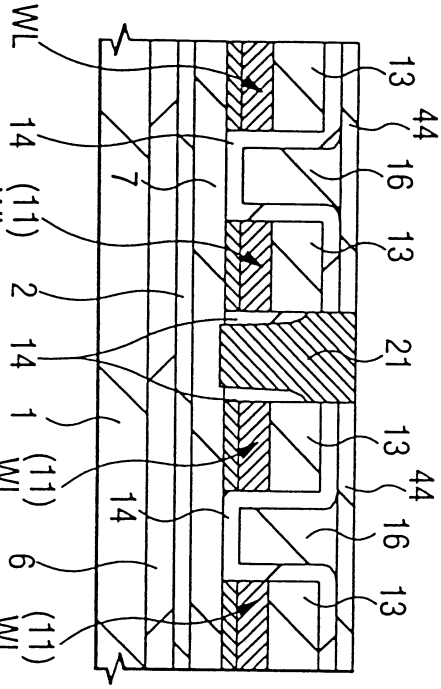



圖 45(b)

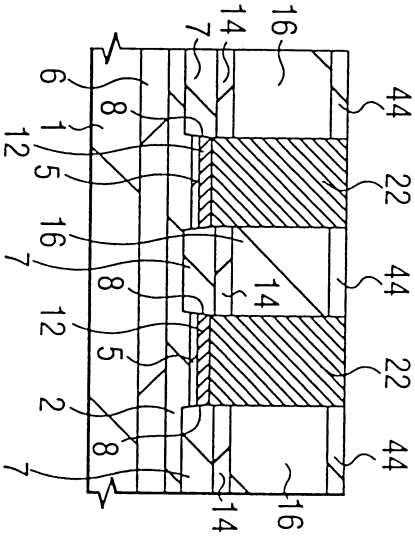


圖 45(c)

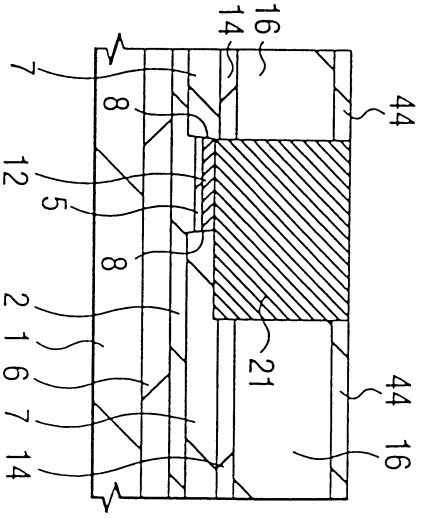


圖 45(d)

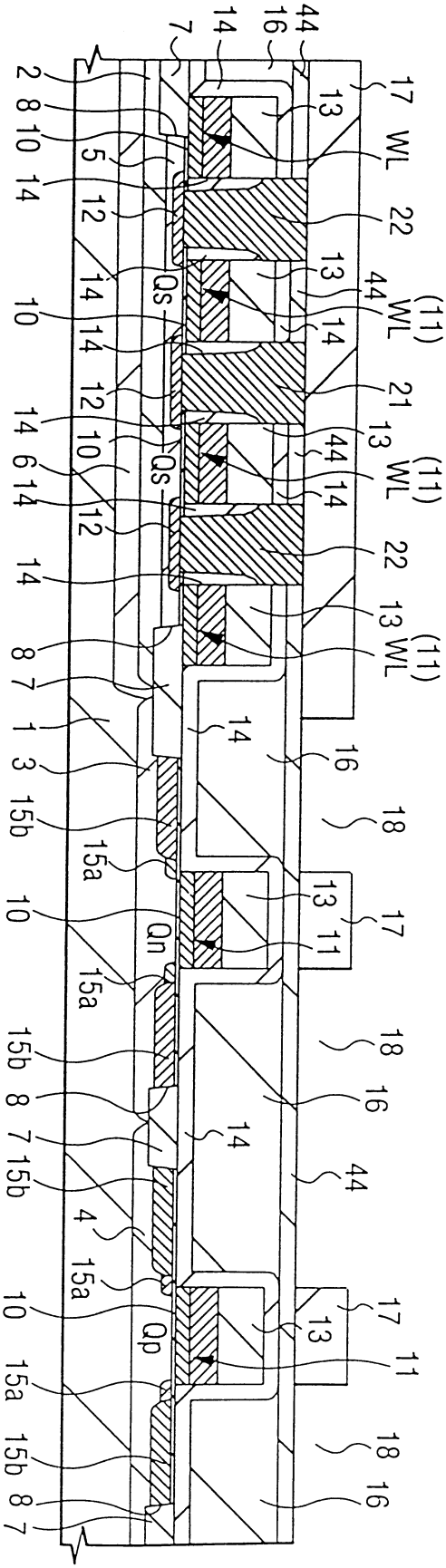



圖 46(a)

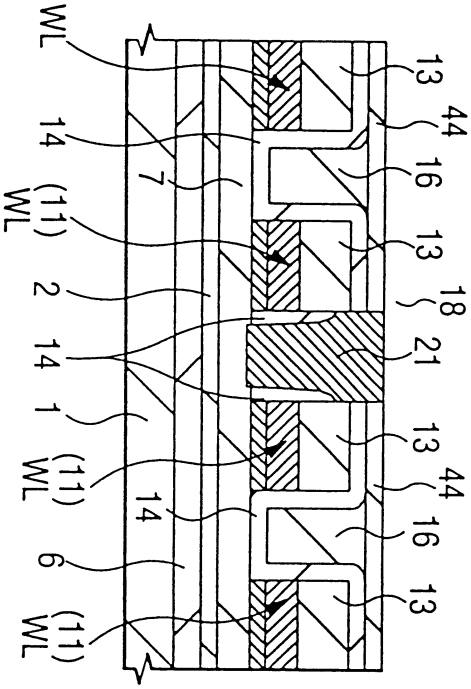



圖 46(b)

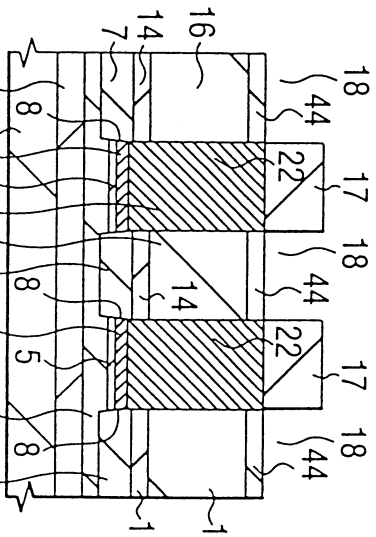


圖 46(c)

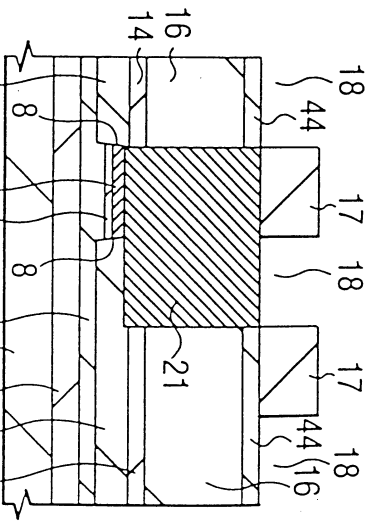


圖 46(d)

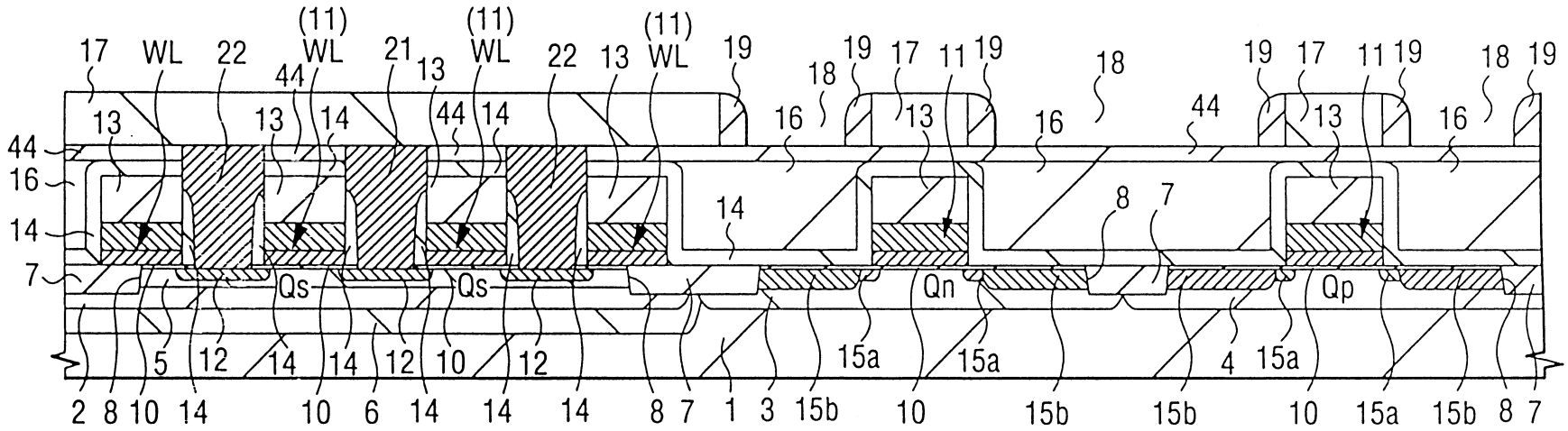



圖 47(a)

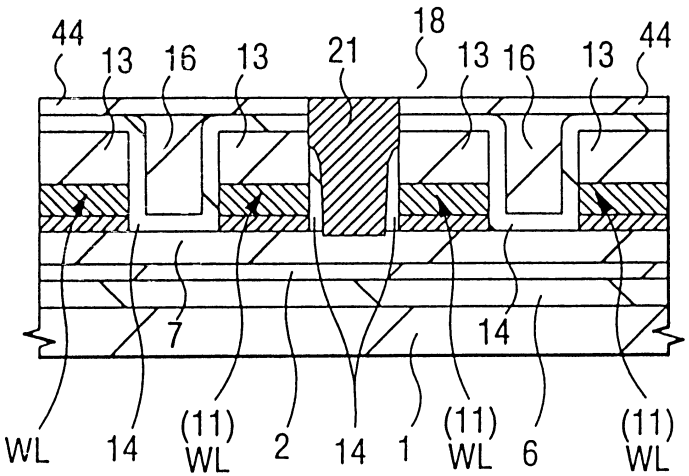



圖 47(b)

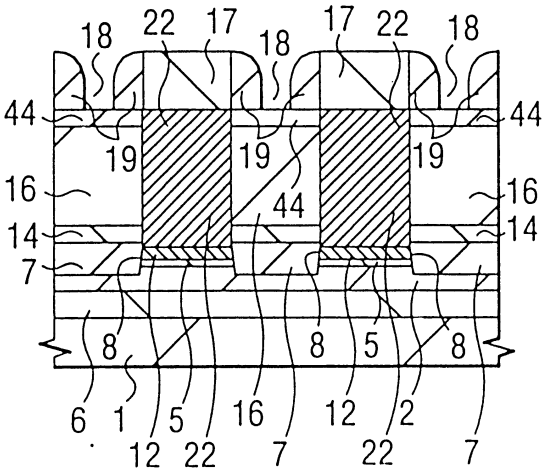



圖 47(c)

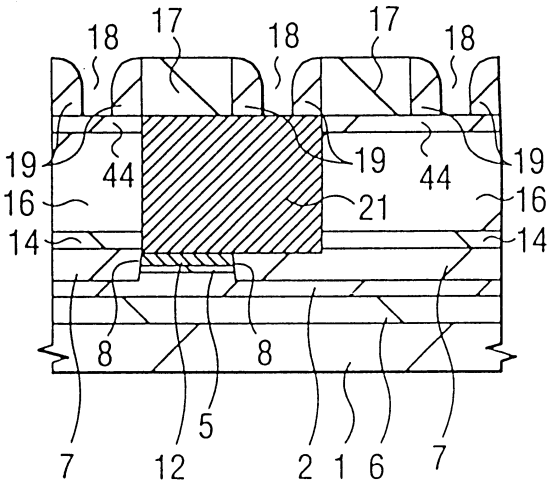



圖 47(d)

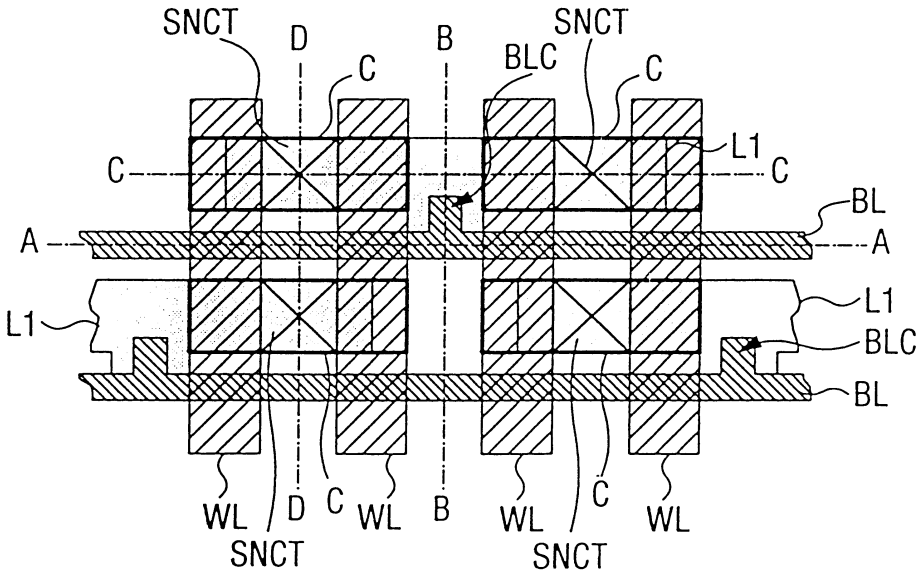

SNCT
D
C
B
BLC
SNCT
C
L1
C
C
BL
A
A
L1
L1
BLC
BL
WL
SNCT
D
C
WL
B
WL
SNCT
C
WL

圖 48

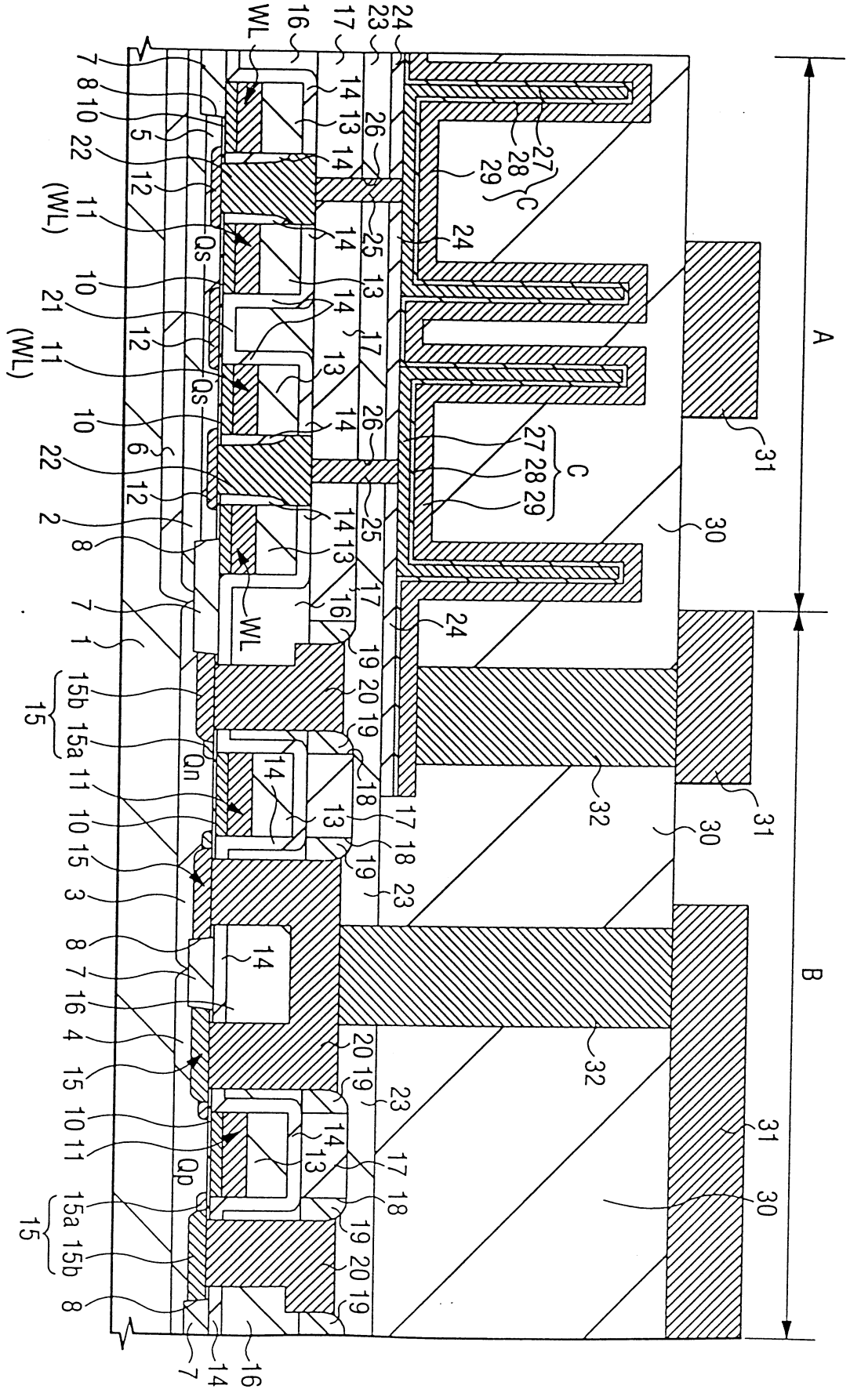



圖 49

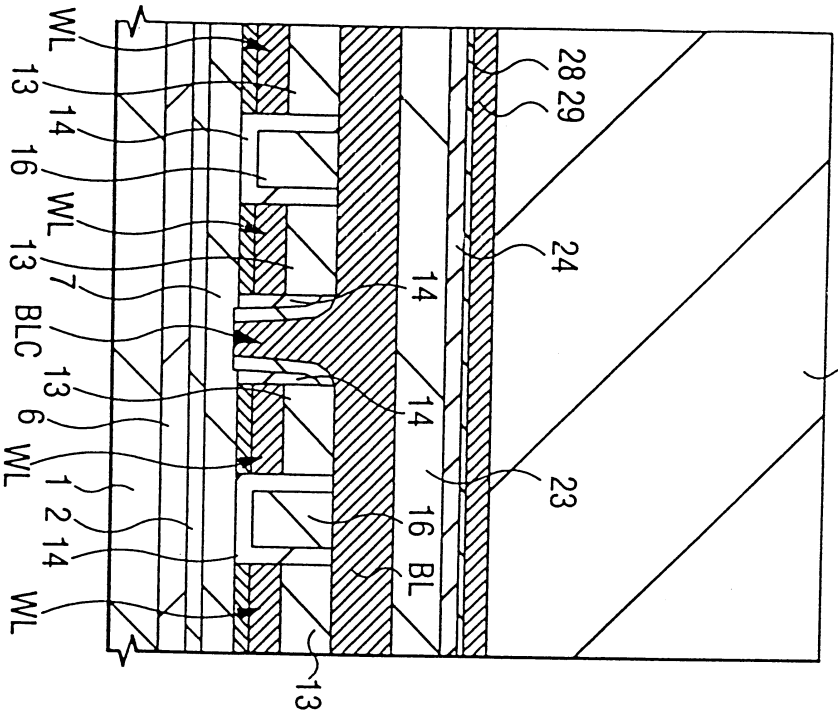



圖 50(a)

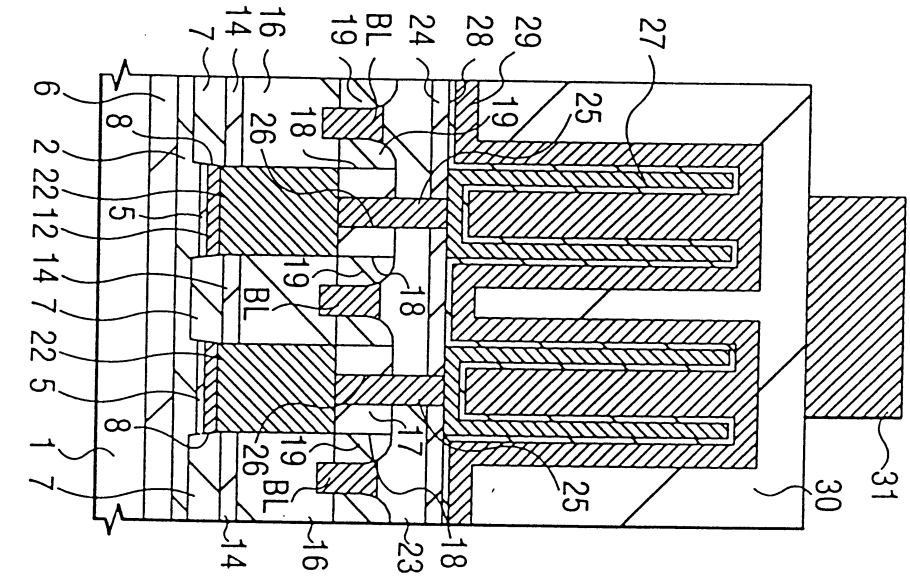



圖 50(b)

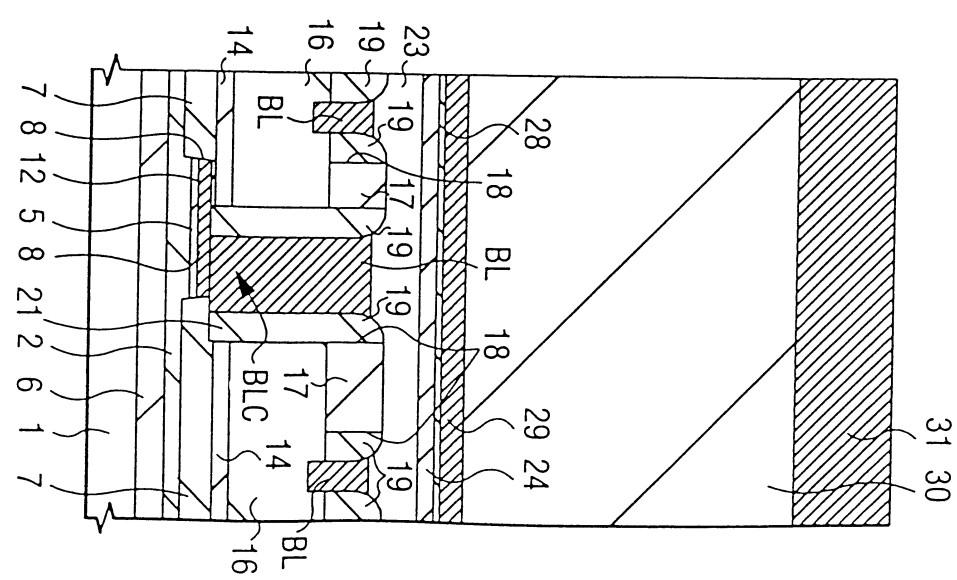



圖 50(c)

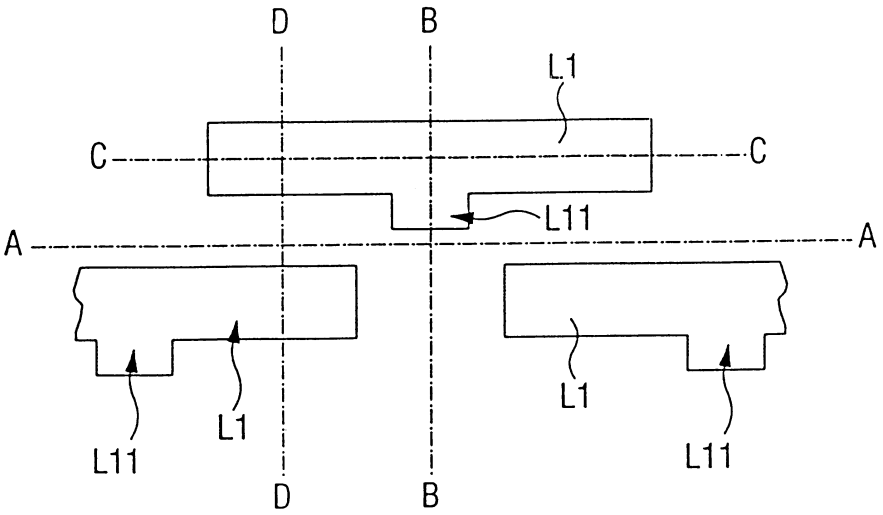

D
B
L1
C
C
L11
A
A
L1
L11
L1
L11
D
B

圖 51

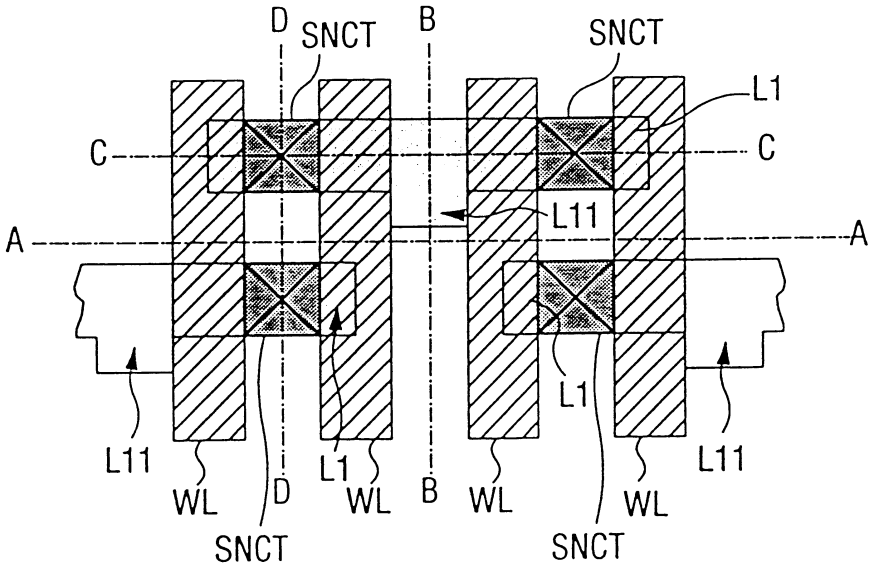

D
SNCT
B
SNCT
L1
C
C
L11
A
A
L1
L11
WL
D
L1
WL
B
WL
L1
WL
L11
SNCT
SNCT

圖 53

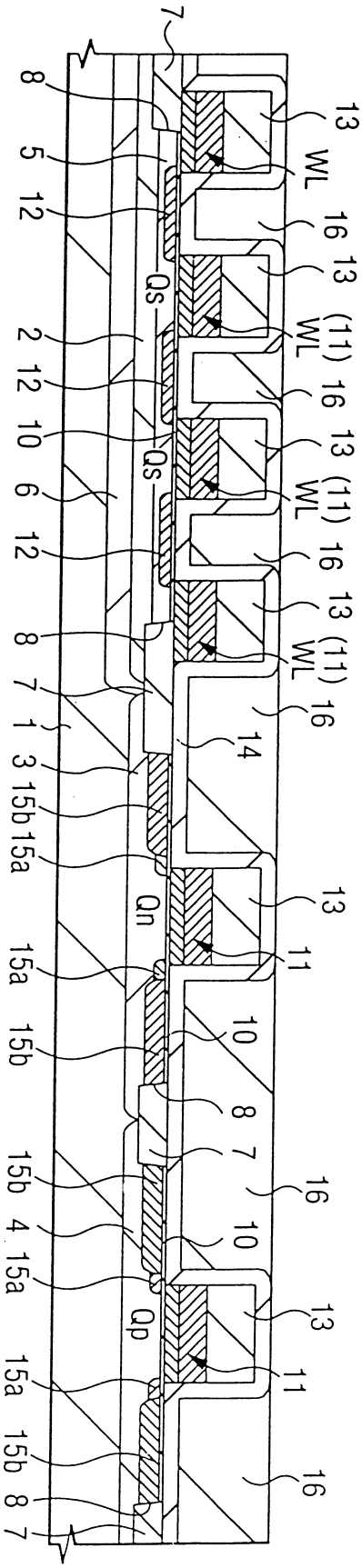



圖 52(a)

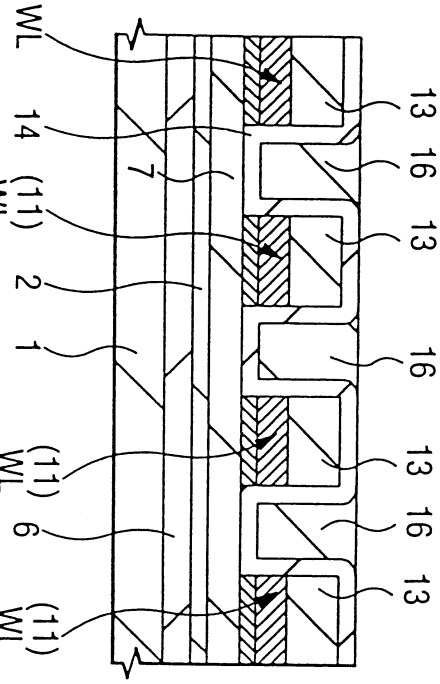



圖 52(b)

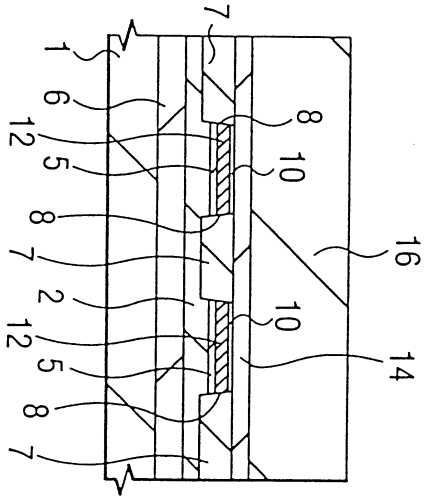


圖 52(c)

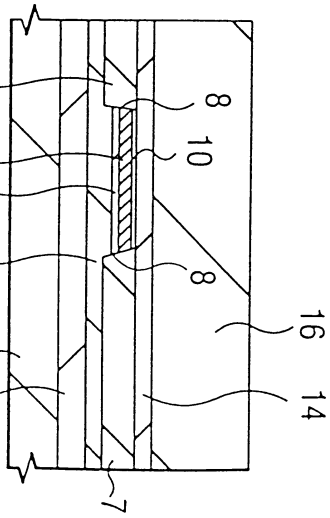


圖 52(d)

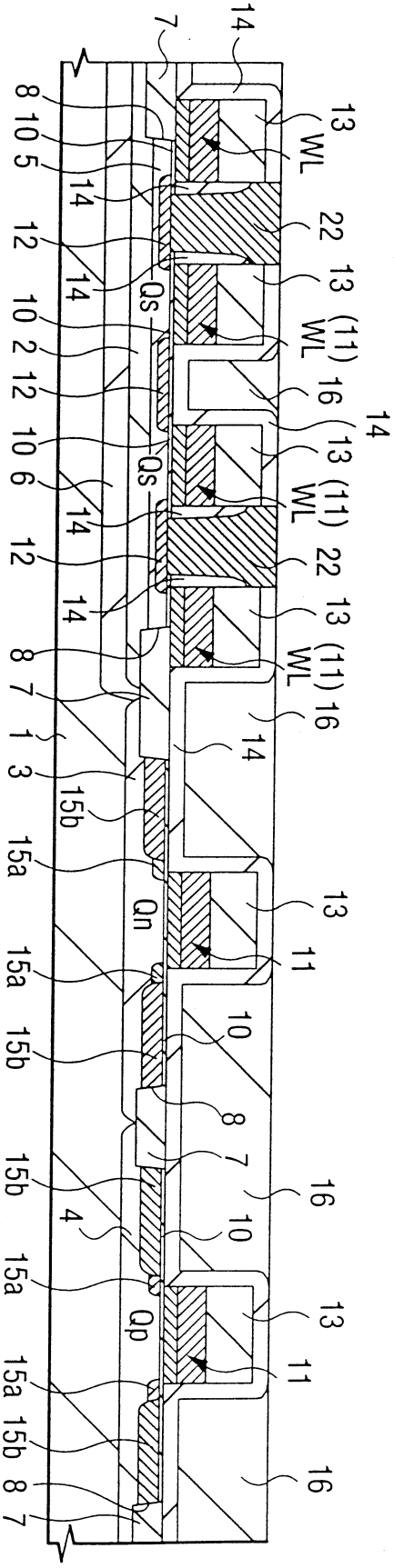



圖 54(a)

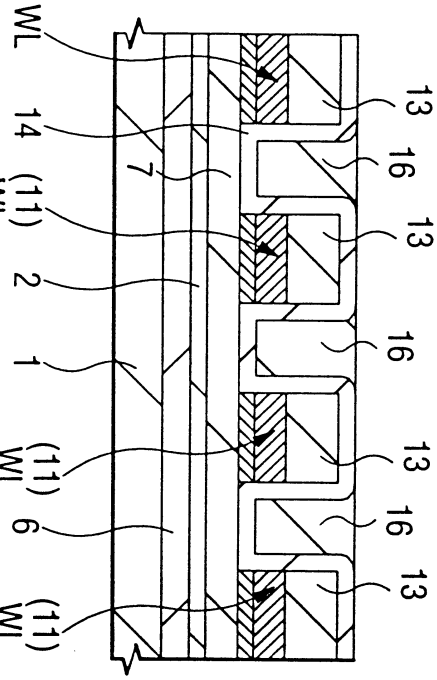



圖 54(b)

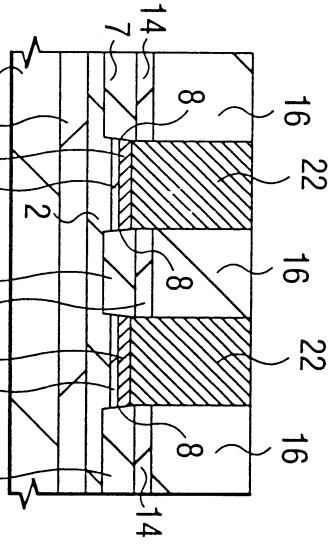



圖 54(c)

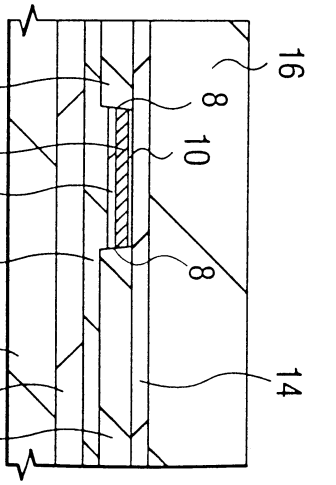



圖 54(d)

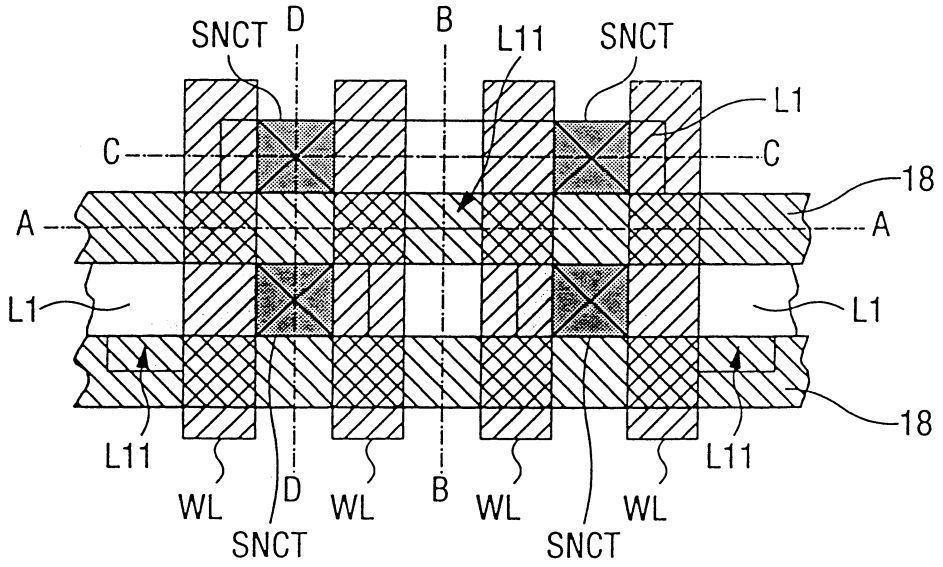

SNCT
D
B
L11
SNCT
L1
C
C
18
A
A
L1
L1
18
L11
L11
WL
D
WL
B
WL
WL
SNCT
SNCT

圖 55

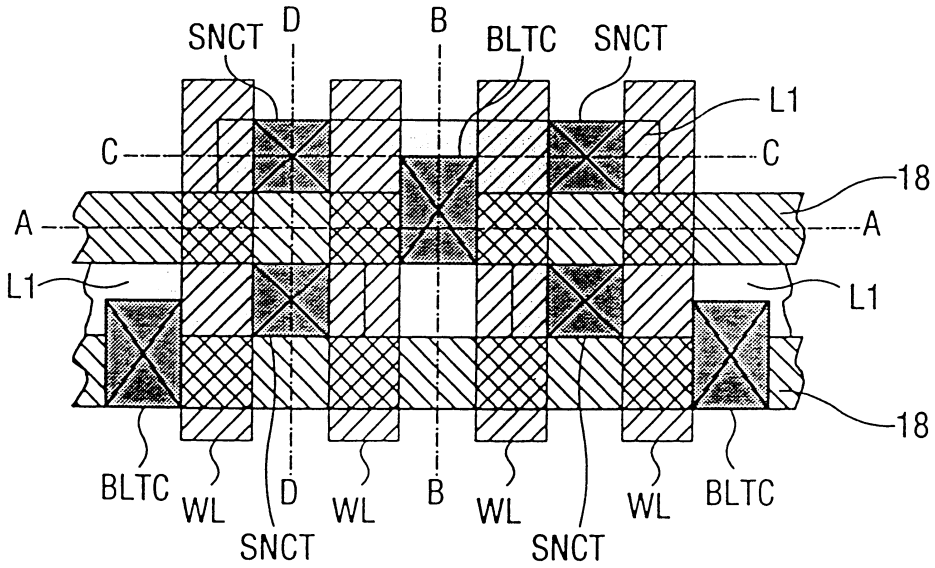

SNCT
D
B
BLTC
SNCT
L1
C
C
18
A
A
L1
L1
18
BLTC
WL
D
WL
B
WL
WL
BLTC
SNCT
SNCT

圖 56

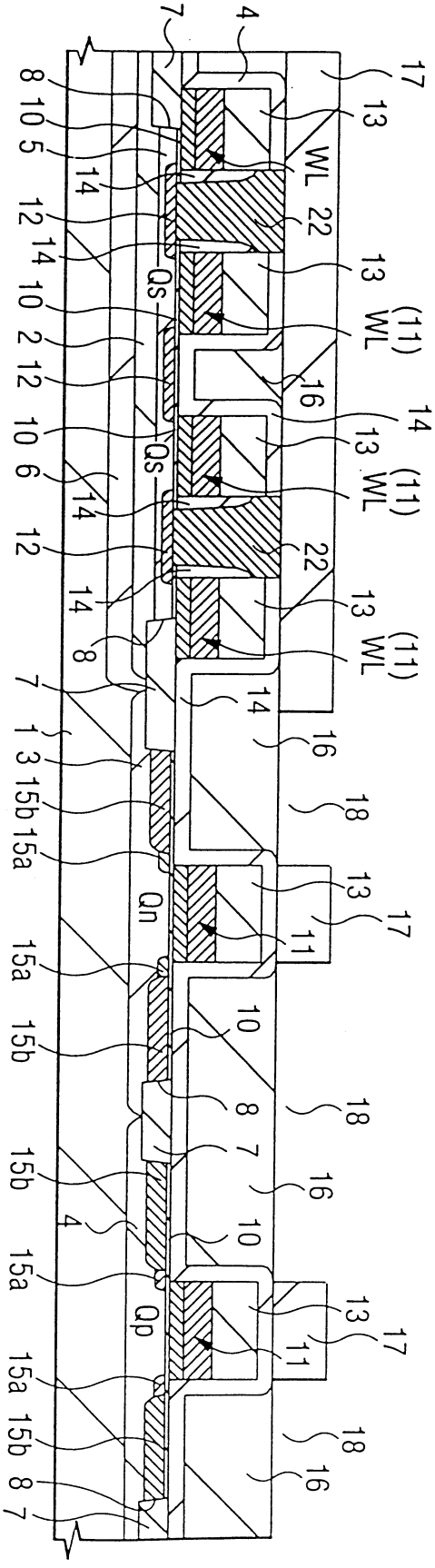



圖 57(a)

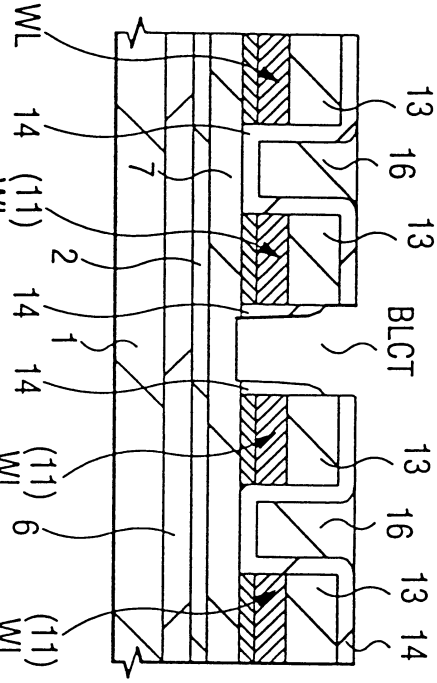



圖 57(b)

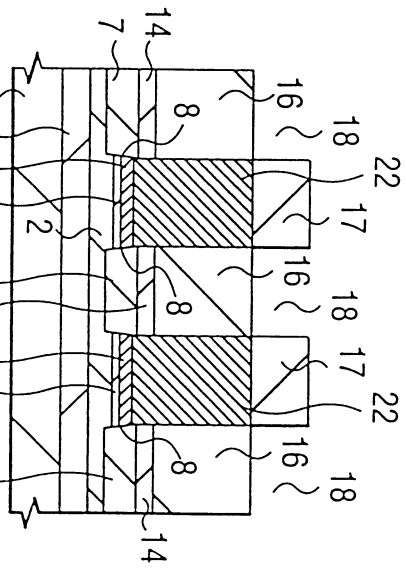


圖 57(c)

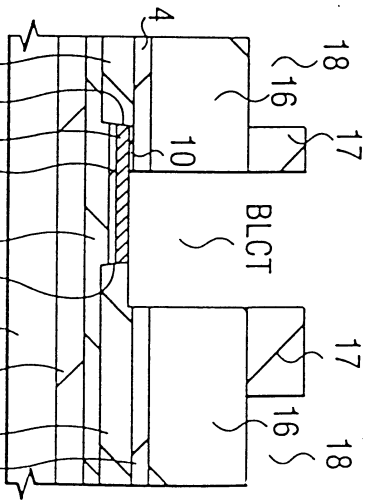



圖 57(d)

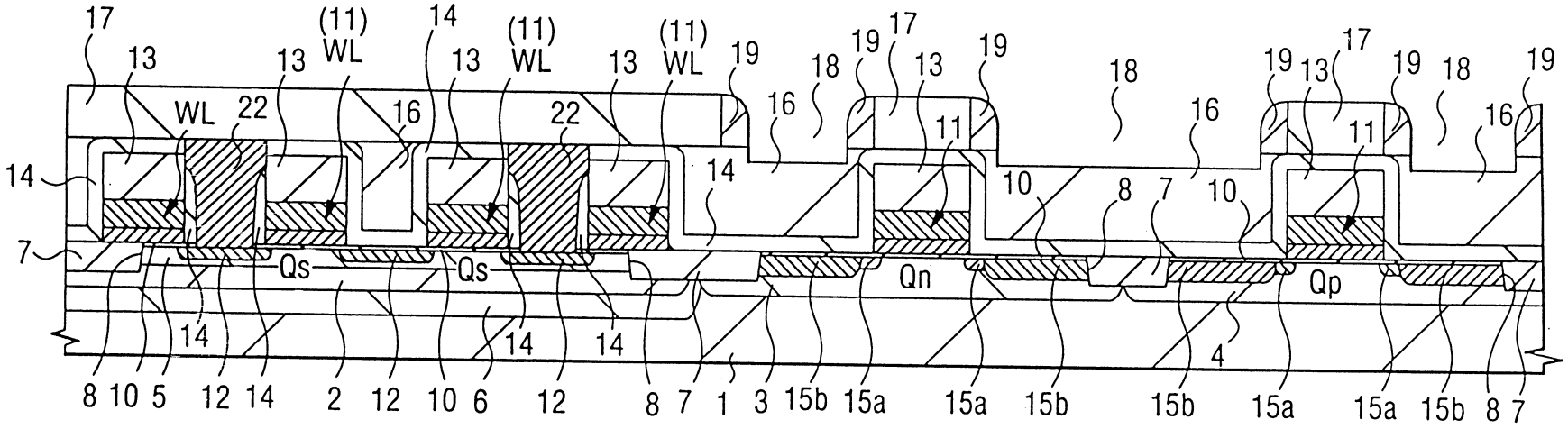



圖 58(a)

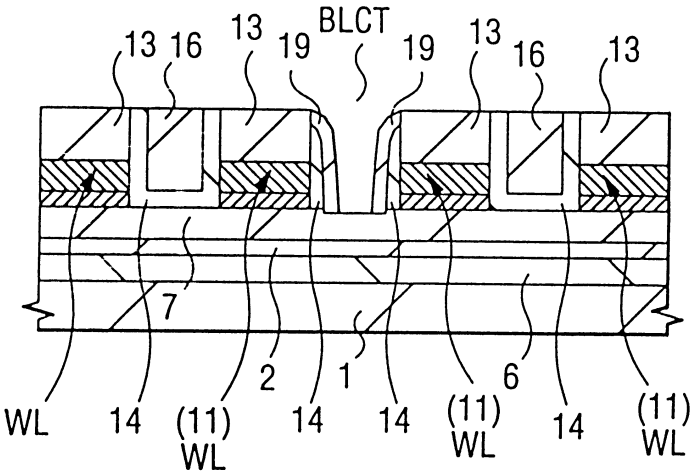



圖 58(b)

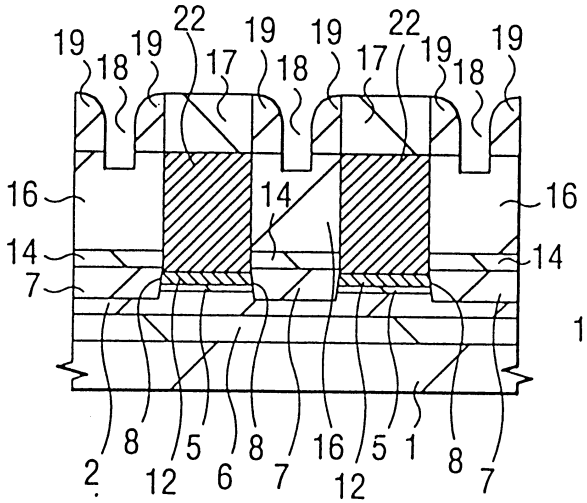


圖 58(c)

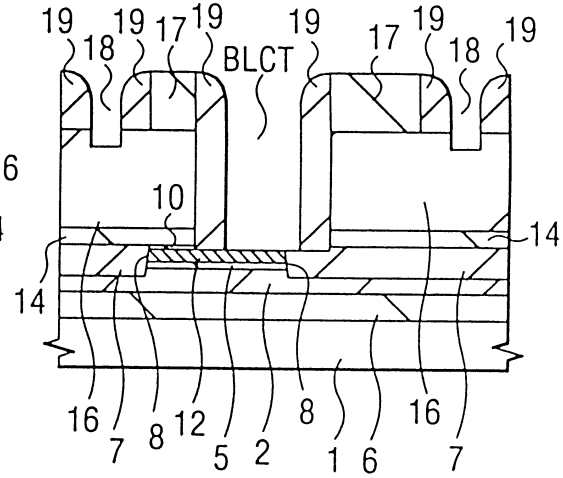



圖 58(d)

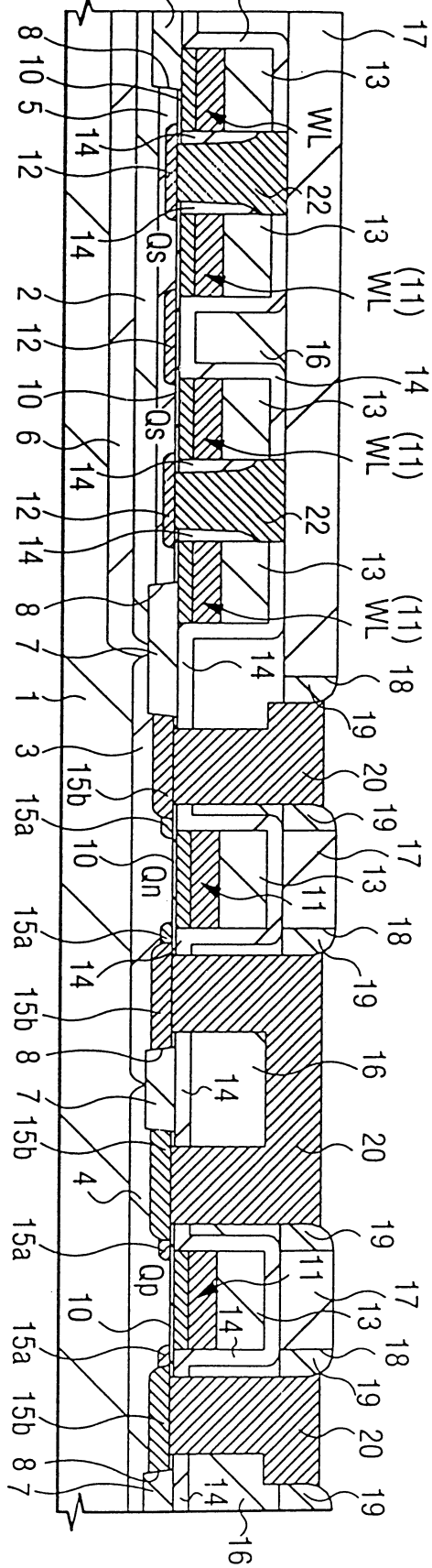



圖 59(a)

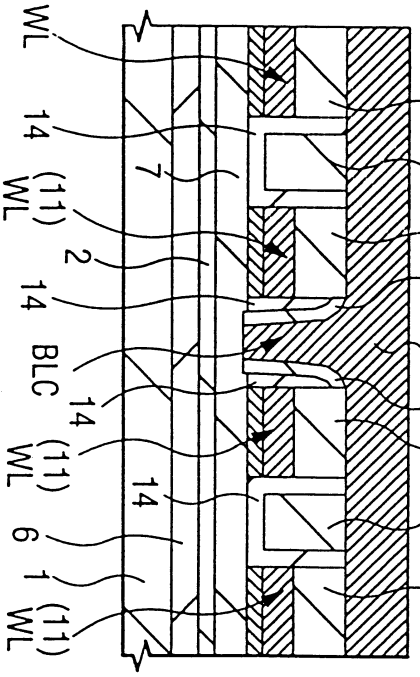



圖 59(b)

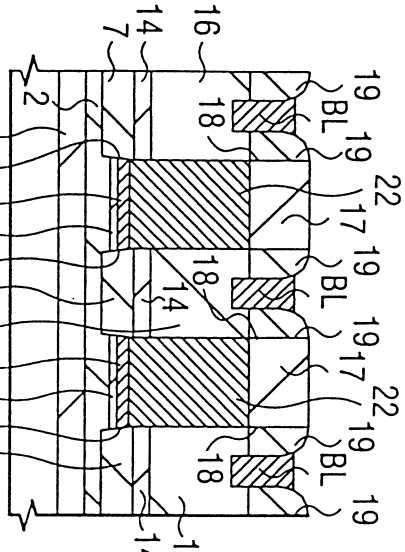



圖 59(c)

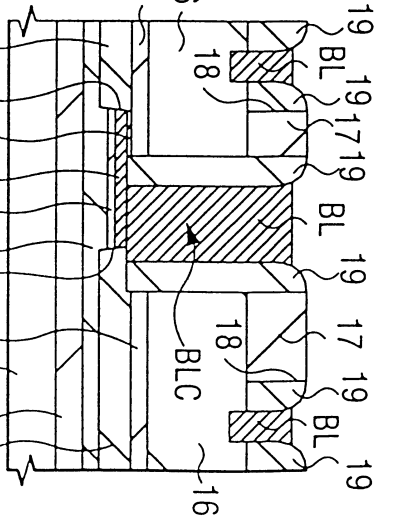



圖 59(d)

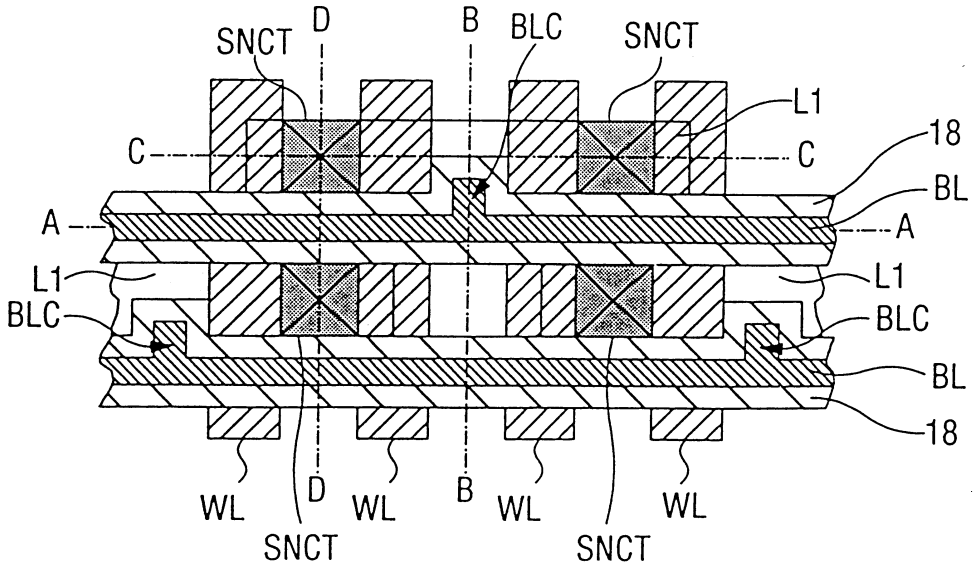

SNCT
D
B
BLC
SNCT
L1
C
C
18
BL
A
A
L1
L1
BLC
BLC
BL
18
WL
D
WL
B
WL
WL
SNCT
SNCT

圖 60

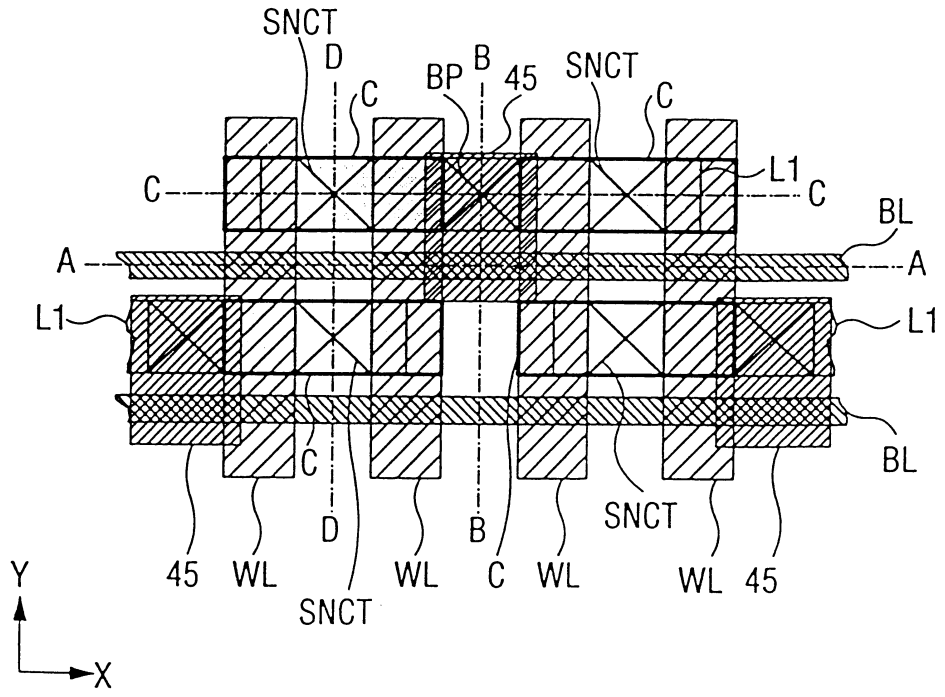

SNCT
D
C
BP
B
45
SNCT
C
L1
C
C
BL
A
A
L1
L1
BL
C
D
B
SNCT
45
WL
WL
C
WL
WL
45
SNCT
Y
X

圖 61

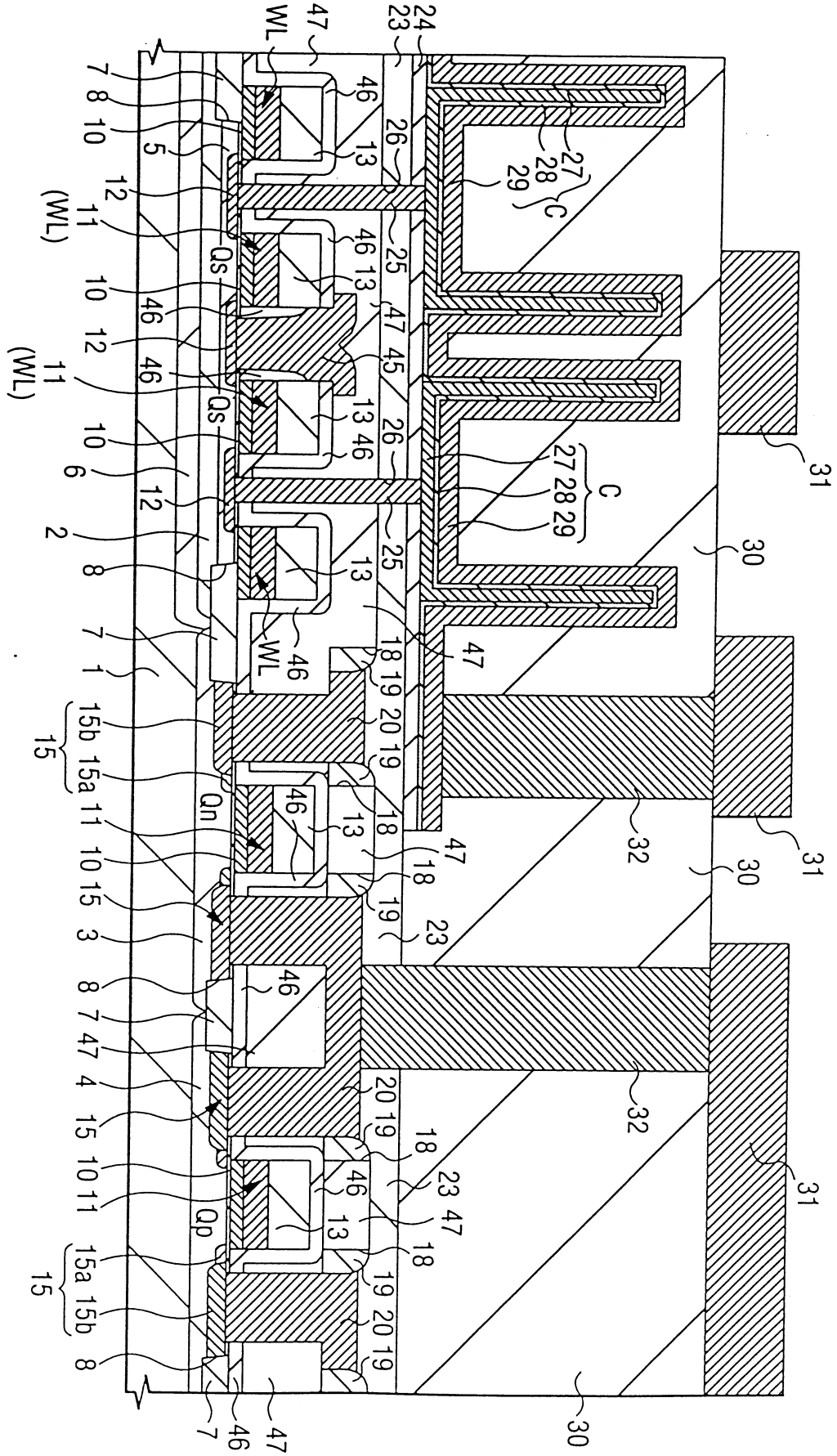



圖 62

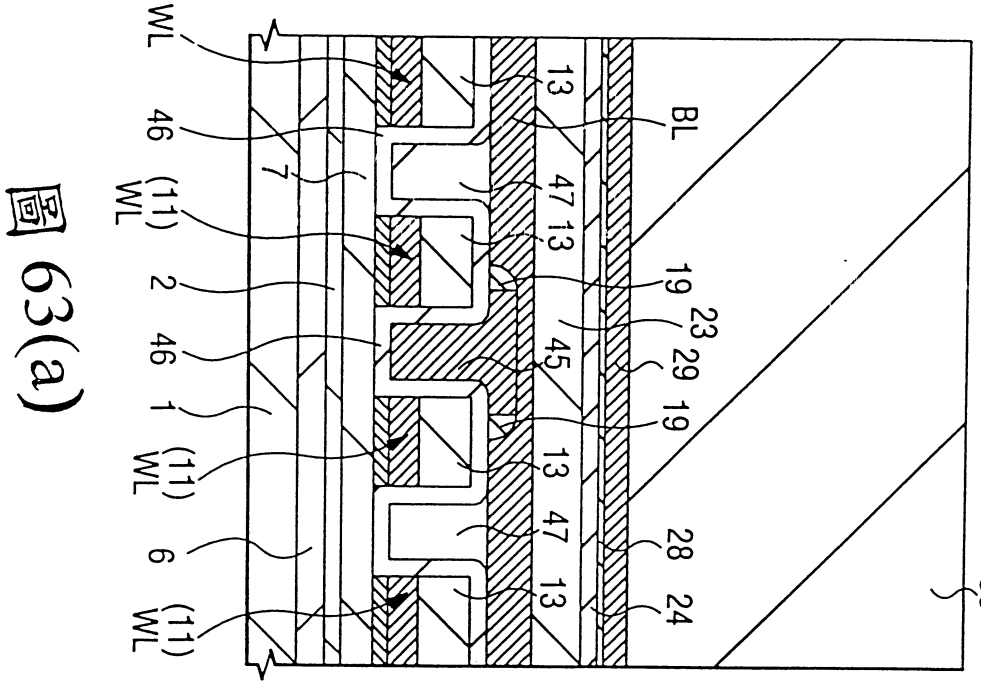



圖 63(a)

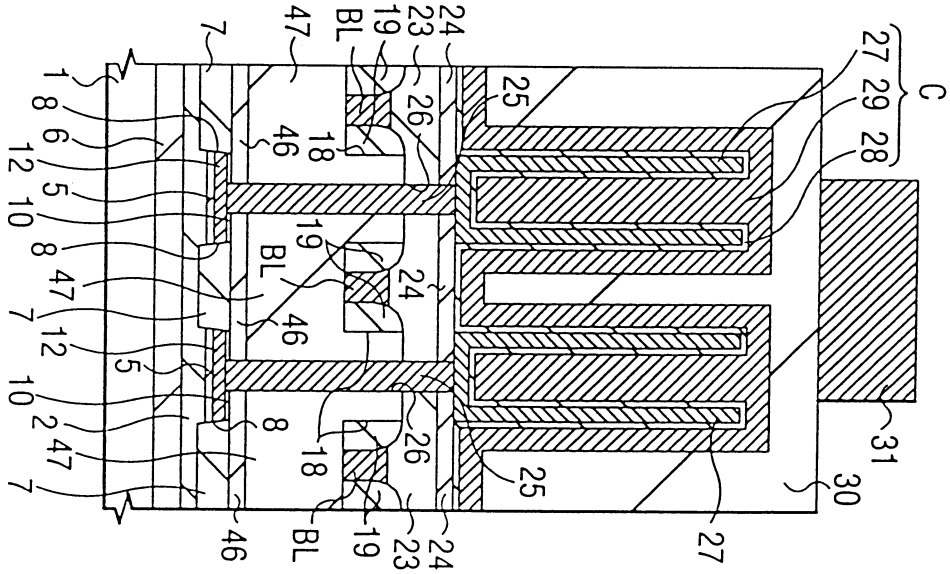



圖 63(b)

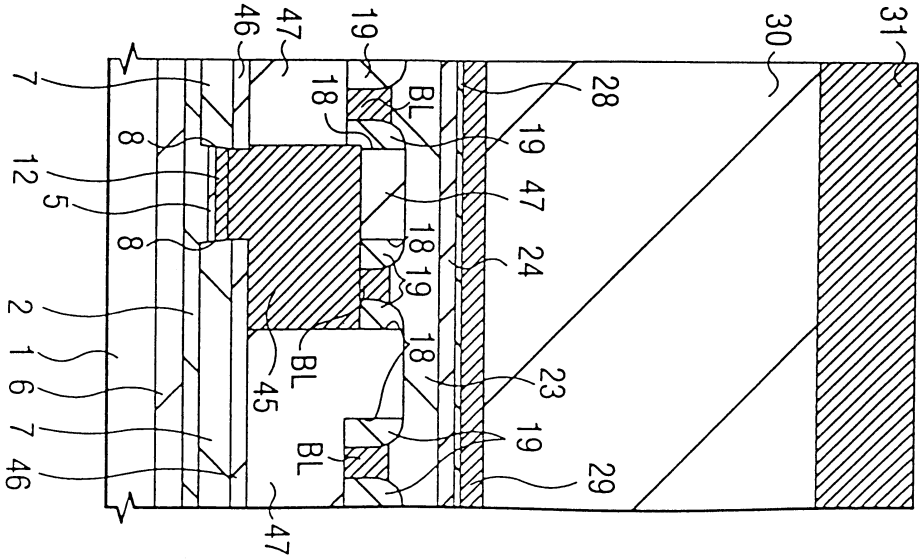



圖 63(c)

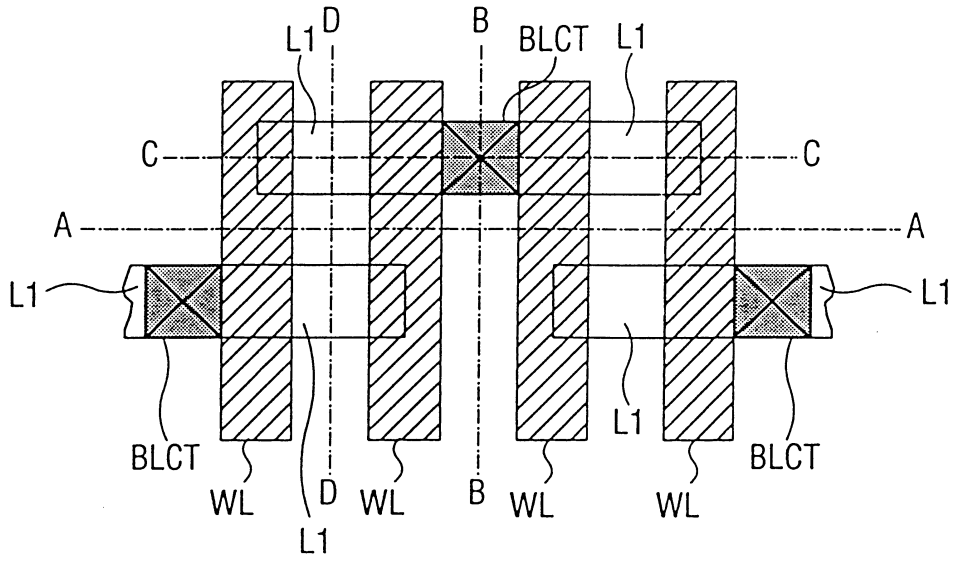

L1
D
B
BLCT
L1
C
C
A
A
L1
L1
BLCT
WL
D
WL
B
WL
L1
L1
WL
BLCT

圖 64

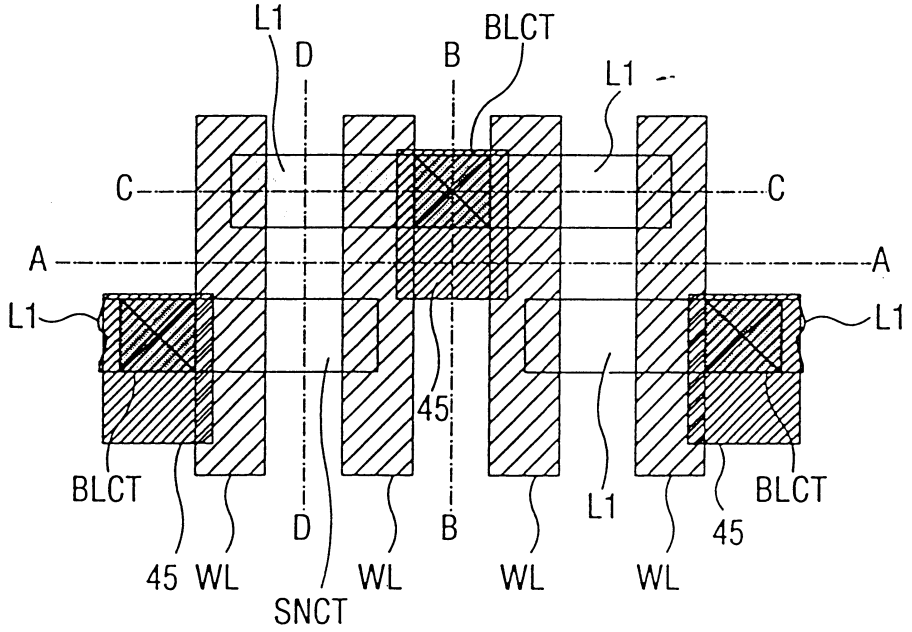

L1
D
B
BLCT
L1
C
C
A
A
L1
L1
45
BLCT
45
WL
D
WL
B
WL
L1
WL
45
BLCT
SNCT

圖 66

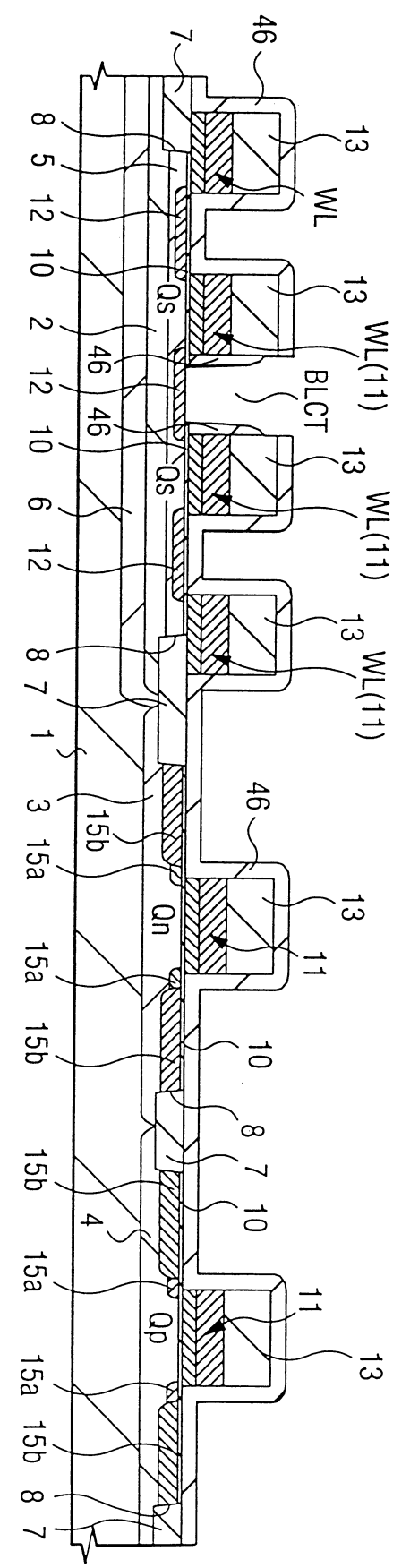



圖 65(a)

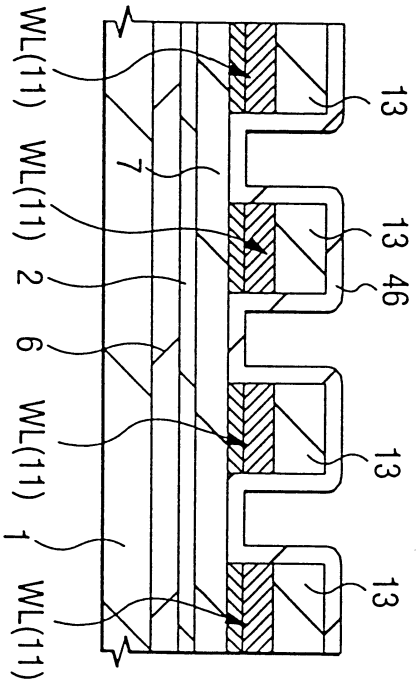



圖 65(b)

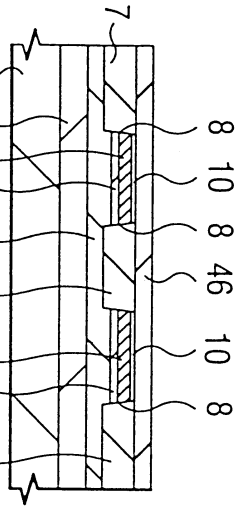


圖 65(c)

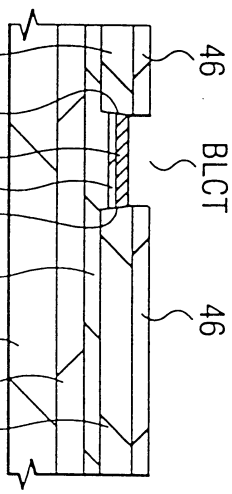



圖 65(d)

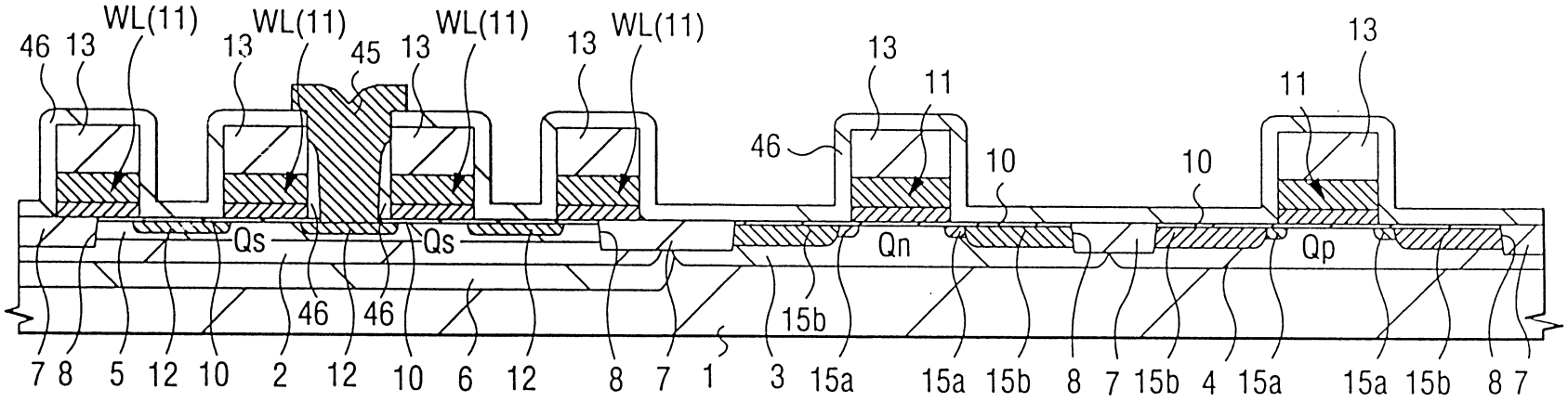



圖 67(a)

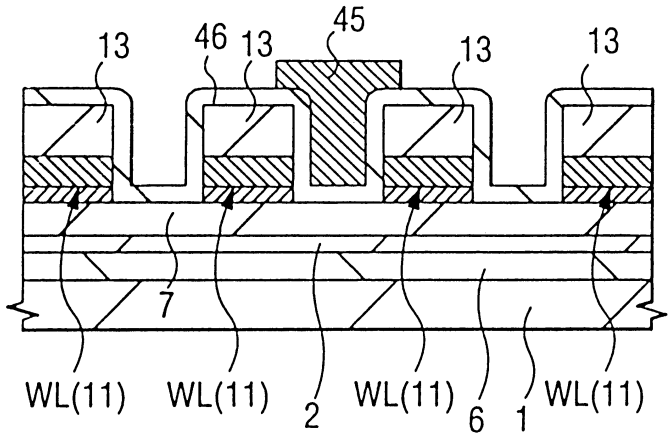



圖 67(b)

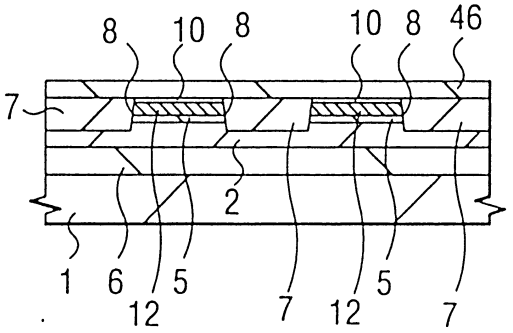



圖 67(c)

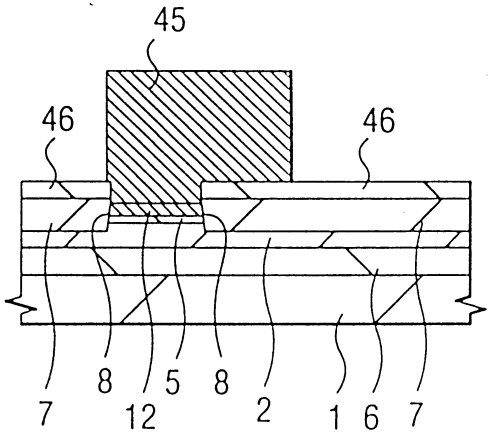



圖 67(d)

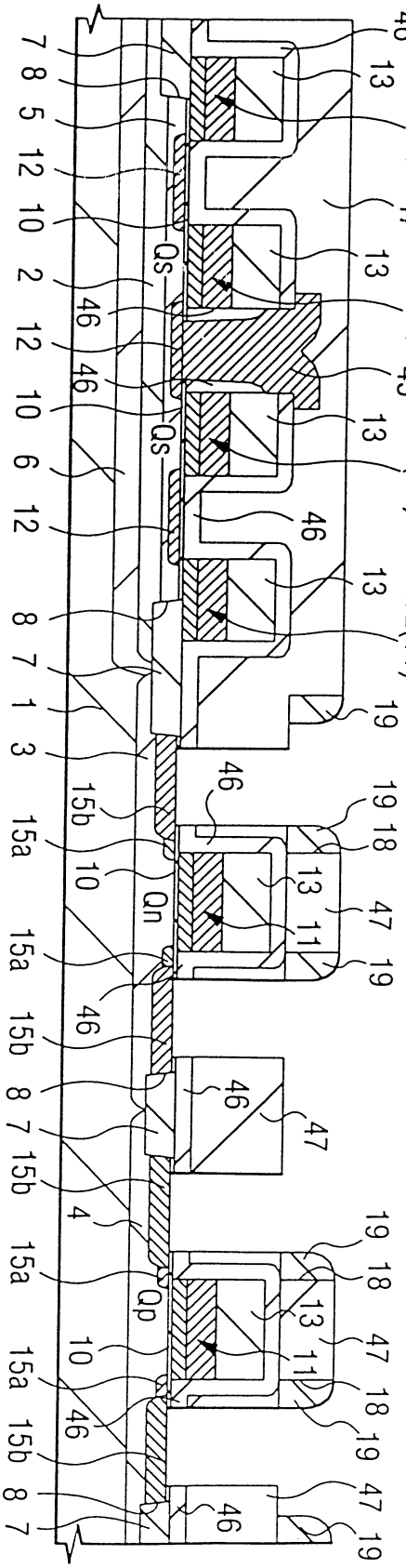



圖 68(a)

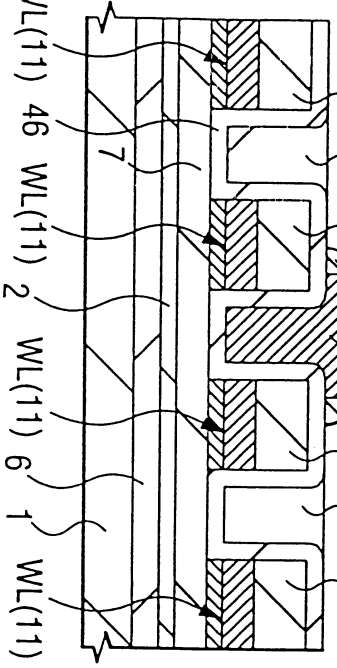



圖 68(b)

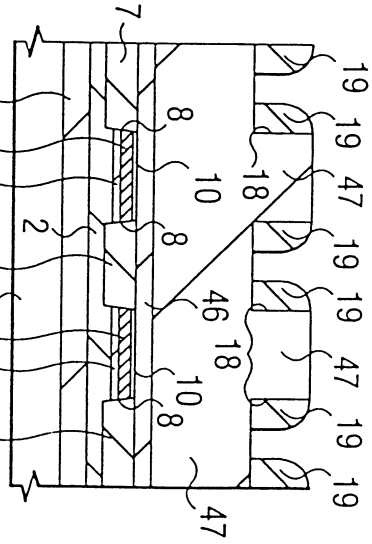


圖 68(c)

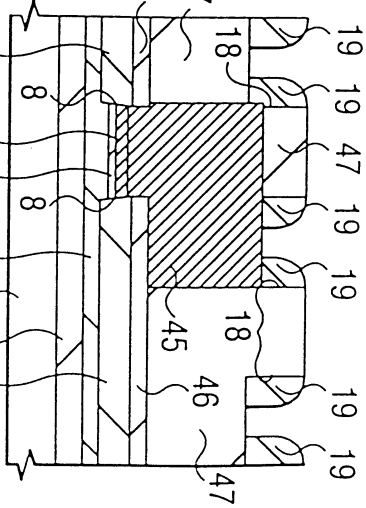


圖 68(d)

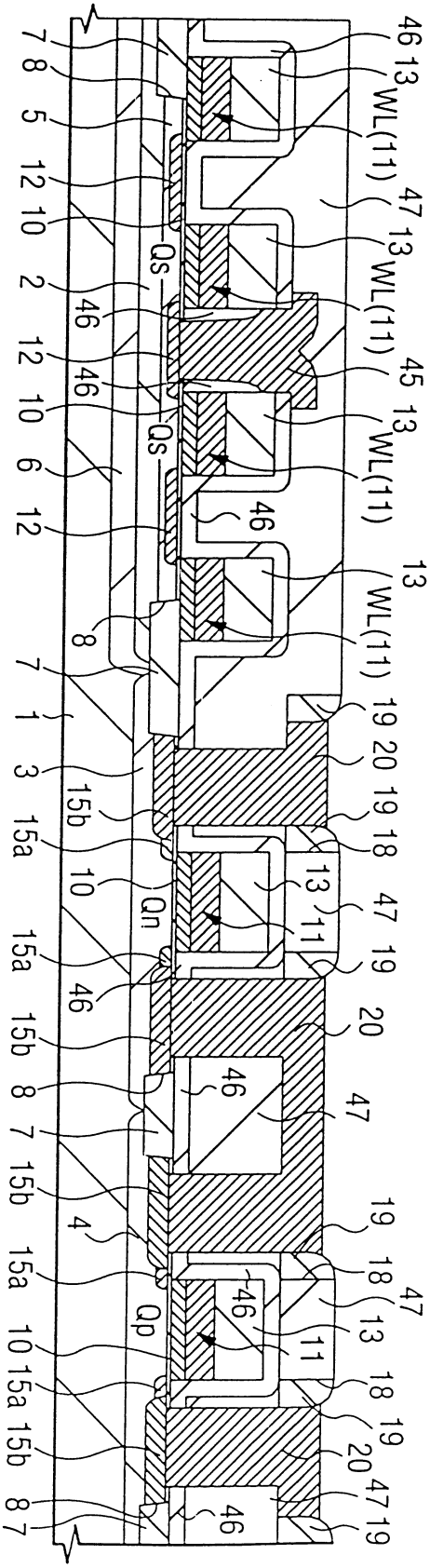



圖 69(a)

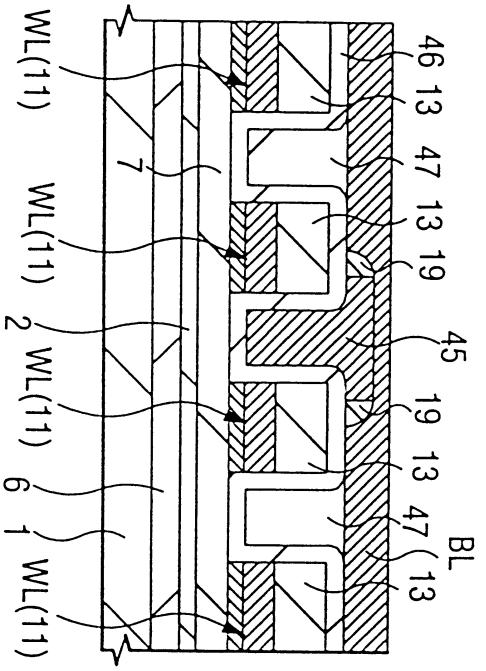



圖 69(b)

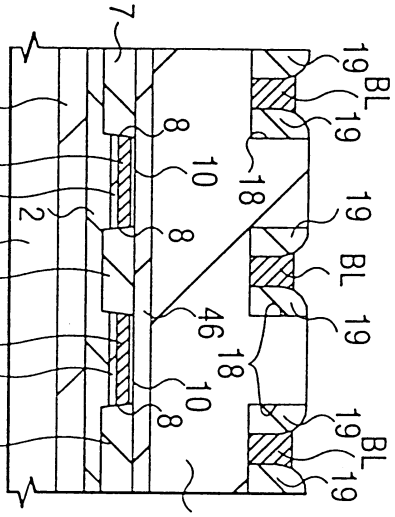



圖 69(c)

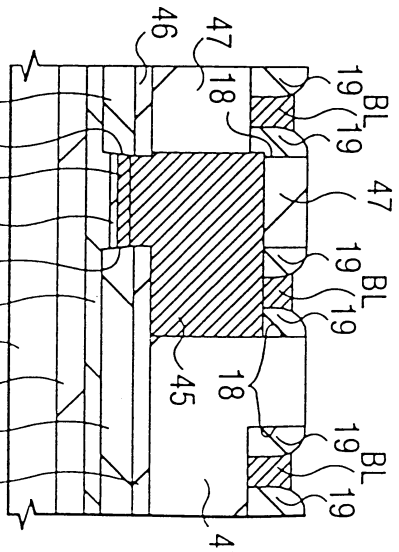



圖 69(d)

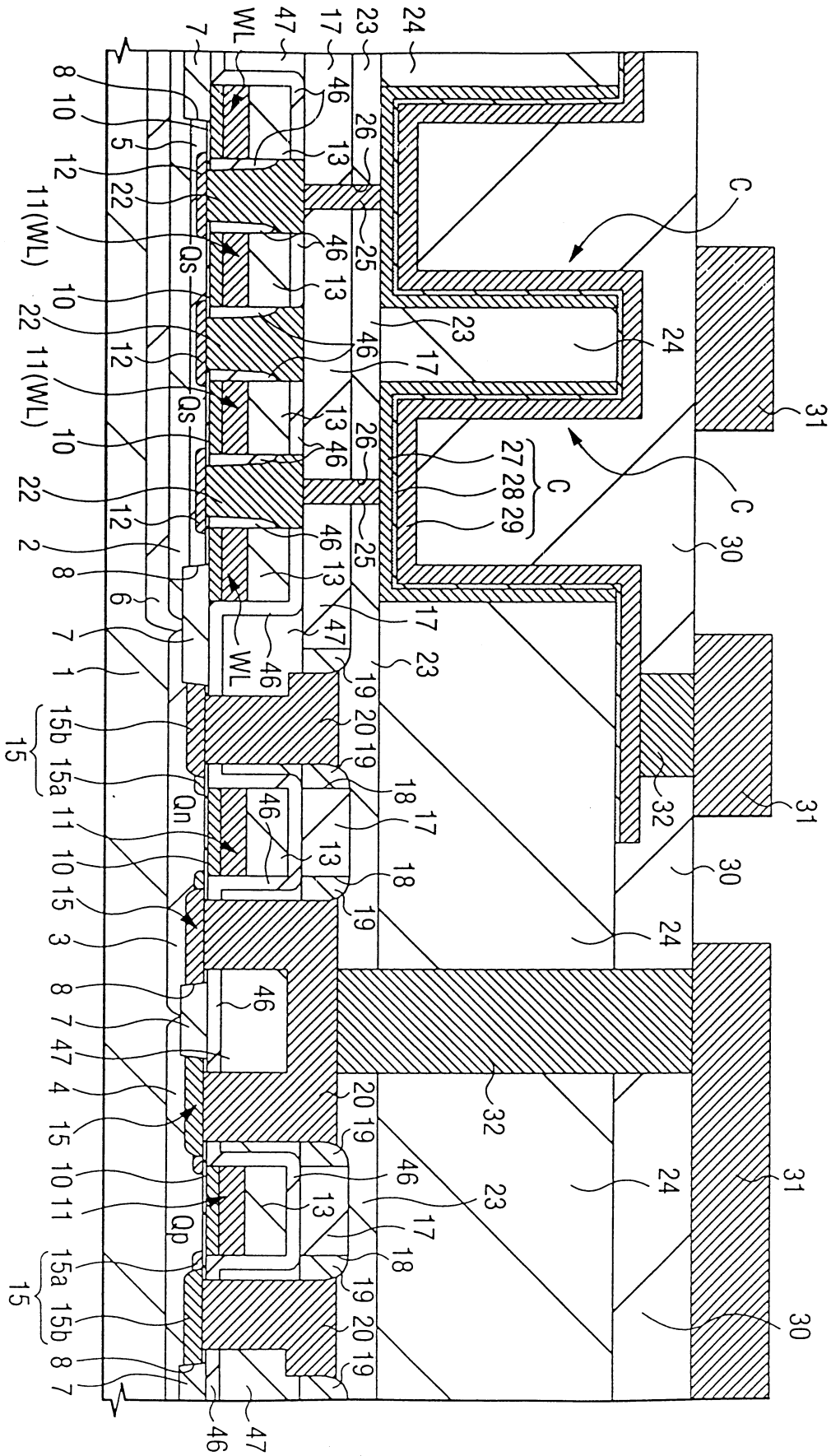



圖 70

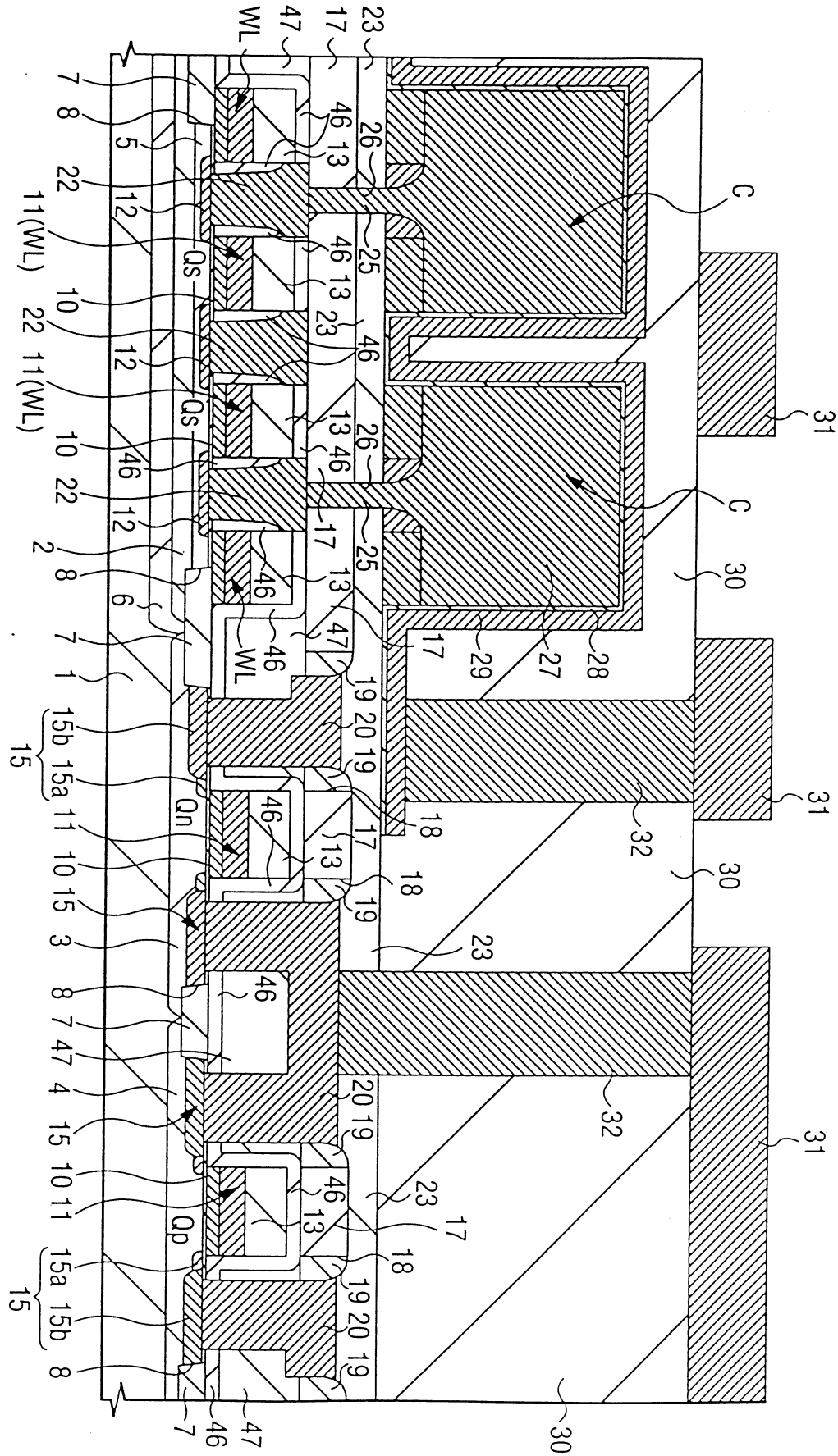



圖 71

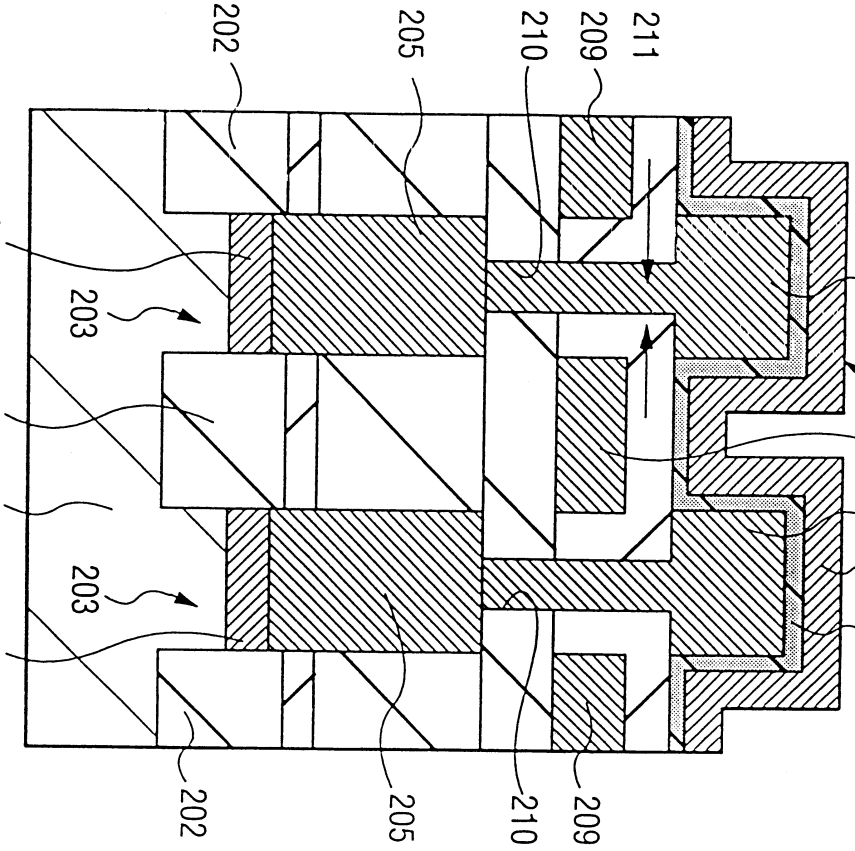

202
205
210
209
211
208
C
209
208 206 207
C
204
203
202
201
203
204
202
205
210
209

圖 72(a)

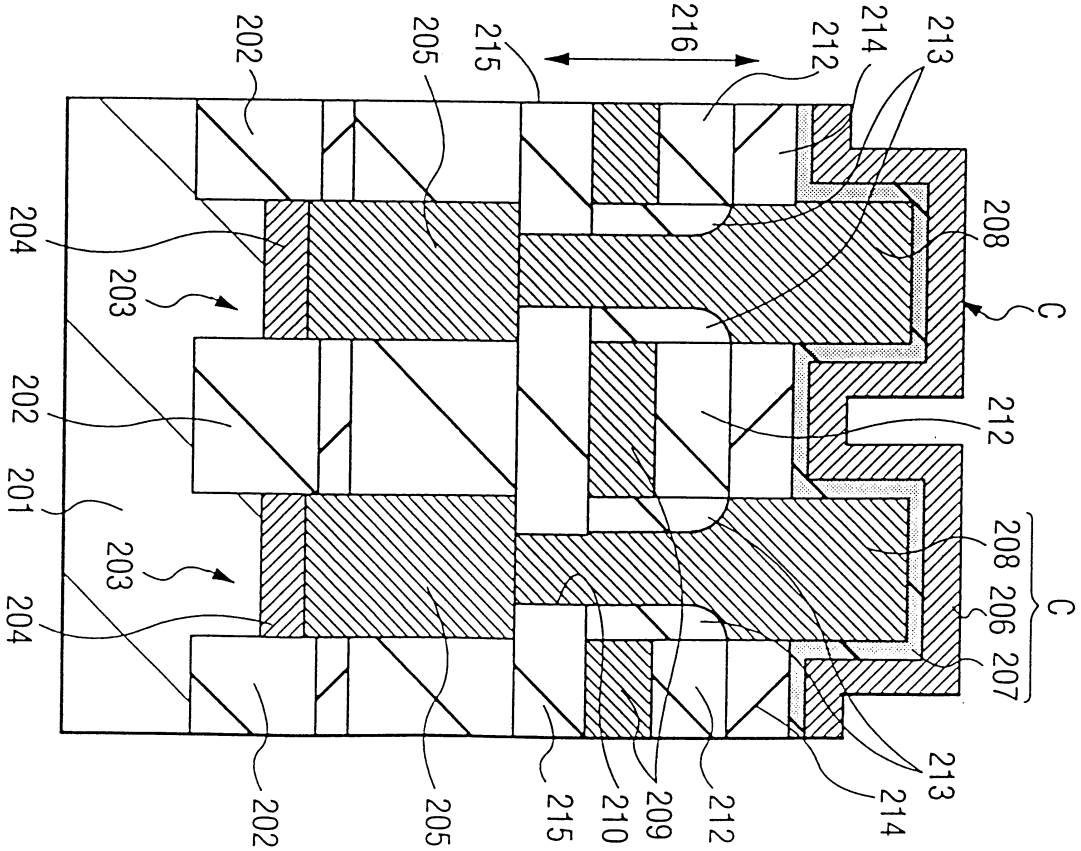

202
205
215
216
212
214
213
208
C
212
208 206 207
C
204
203
202
201
203
204
213
214
212
209
210
215
205
202

圖 72(b)