

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成29年11月16日(2017.11.16)

【公表番号】特表2016-535428(P2016-535428A)

【公表日】平成28年11月10日(2016.11.10)

【年通号数】公開・登録公報2016-063

【出願番号】特願2016-516518(P2016-516518)

【国際特許分類】

H 01 L	27/146	(2006.01)
H 01 L	27/144	(2006.01)
H 01 L	31/10	(2006.01)
H 04 N	5/374	(2011.01)
H 04 N	5/369	(2011.01)
H 04 N	5/378	(2011.01)
H 04 N	5/361	(2011.01)

【F I】

H 01 L	27/14	F
H 01 L	27/14	K
H 01 L	31/10	A
H 01 L	31/10	H
H 04 N	5/335	7 4 0
H 04 N	5/335	6 9 0
H 04 N	5/335	7 8 0
H 04 N	5/335	6 1 0

【手続補正書】

【提出日】平成29年10月5日(2017.10.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

インジウム及び少なくとも1つのIn<sub>x</sub>Ga<sub>1-x</sub>As半導体層(2、55)から少なくとも部分的に構成される少なくとも1つのキャップ層(3、4、5、56、57、58)を備える多層半導体検出器アレイ構造体を形成することと、

p型領域(6)が前記多層半導体アレイ構造体の表面から前記少なくとも1つのIn<sub>x</sub>Ga<sub>1-x</sub>As半導体層(2、55)へ広がるように、前記多層半導体検出器アレイ構造体の前記p型領域(6)にp型ドーパントをドープすること、及び、

前記p型領域(6)がn型領域(7)によって完全に覆われるよう、前記多層半導体アレイ構造体の前記表面上の前記n型領域(7)にn型ドーパントをドープすること、によって埋込み型フォトダイオード(6)を形成することと、

前記少なくとも1つのキャップ層(5、58)に接触するゲートコンタクト(8)を形成すること、及び、

第2のp型領域をドープしてドレイン(10)を形成することであって、電圧が前記ゲートコンタクト(8)に印加されないとき、前記埋込み型フォトダイオード(6)から前記ドレイン(10)へ電荷が流れること、

によって前記多層構造体の内側に電気スイッチを形成して、埋込み型フォトダイオード(

6) から電荷を取り除くこと、

前記多層半導体検出器アレイ構造体を、前記埋込み型フォトダイオード(6)からの電荷の流れも制御する増幅及び蓄積回路(50)を備える読出し集積回路(ROIC)(18)へ混成化すること、

を含み、前記埋込み型フォトダイオード(6)は、前記多層構造体の内側の前記電気スイッチによって前記増幅及び蓄積回路(50)に接続される、可視光線及び短波長赤外線を検出する焦点面検出器アレイ構造体を形成する方法。

#### 【請求項2】

前記多層半導体検出器アレイ構造体を形成することは、

基板上に形成される、少なくとも部分的にインジウムから構成される第1のn型にドープされた半導体材料から構成されるバッファー層(1)と、

前記バッファー層上に形成される、少なくとも部分的に $In_xGa_{1-x}As$ から構成される真性の又は非ドープの半導体材料から構成される $In_xGa_{1-x}As$ 層(2、55)と、

前記少なくとも1つのキャップ層と、

を前記基板(13)上に形成することを含み、

前記少なくとも1つのキャップ層は、

前記 $In_xGa_{1-x}As$ 層上に形成される、少なくとも部分的にインジウムから構成される第2のn型にドープされた半導体材料から構成される第1のキャップ層(3、56)と、

前記第1のキャップ層上に形成される、少なくとも部分的にインジウムから構成されるp型にドープされた半導体材料から構成される第2のキャップ層(4、57)と、

前記第2のキャップ層上に形成される、少なくとも部分的にインジウムから構成されるn型にドープされた半導体材料から構成される第3のキャップ層(5、58)と、を含み、

電荷は、前記埋込み型フォトダイオード(6)から前記第2のキャップ層(4、57)を通じて前記ドレイン(10)へ流れる、請求項1に記載の方法。

#### 【請求項3】

前記p型領域(6)は、前記第2のキャップ層及び前記第3のキャップ層(4、5、57、58)が形成された後に形成される、請求項2に記載の方法。

#### 【請求項4】

前記p型ドーパントは、前記第2のキャップ層及び前記第3のキャップ層(4、5、57、58)が形成される前に拡散又はイオン注入される、請求項2に記載の方法。

#### 【請求項5】

前記ゲートコンタクト(8)及び前記ドレイン(10)は、前記多層半導体検出器アレイ構造体の内側にあるとともに、前記埋込み型フォトダイオード(6)から前記増幅及び蓄積回路(50)への電荷の流れを制御する、第1の接合型電界効果トランジスタ(JFET)を備え、前記ドレインは、第1のJFETのドレインであり、前記方法は、

前記多層半導体検出器アレイ構造体の前記表面から前記第2のキャップ層(4、57)の中へ広がるとともに、前記埋込み型フォトダイオード(6)に近い、前記多層半導体検出器アレイ構造体の領域(10)に、p型ドーパントをドープすることによって前記第1のJFETのドレイン(10)を形成すること、及び、

前記多層半導体検出器アレイ構造体の前記表面へのn-金属コンタクトを配置することによって前記第1のJFETの前記ゲート(8)を形成して、前記ゲート(8)に印加される電圧を変動させることによって、電荷が埋込み型フォトダイオード(6)から第1のJFETのドレイン(10)へ、ROIC(18)へと移動することを可能にすること、

によって前記第1の接合型電界効果トランジスタ(JFET)を形成することと、

前記多層半導体検出器アレイ構造体の前記表面から前記第2のキャップ層(4、57)の中へ広がるとともに、前記第1のJFETのドレイン(10)に近い、前記多層半導体検出器アレイ構造体の第2の領域(9)に、p型ドーパントをドープすることによって

第2のJFETのドレインを形成すること、及び、

前記多層半導体検出器アレイ構造体の前記表面へのn-金属コンタクトを配置することによって前記第2のJFETの第2のゲート(11)を形成して、電荷が第1のJFETのドレイン(10)から第2のJFETのドレイン(9)へ、前記ROIC(18)へと移動することを可能にすること、

によって、第2のJFET(9)を前記ピクセル内に形成することと、  
を更に含む、請求項2に記載の方法。

【請求項6】

前記第1のJFETのドレイン(10)は前記埋込み型フォトダイオード(6)から電荷を取り除くように動作し、前記第2のJFETのドレイン(9)は前記第1のJFET(10)から電荷を一掃するように動作する、請求項5に記載の方法。

【請求項7】

前記第2のJFET(9)は複数のピクセルの各ピクセルに備えられる、請求項6に記載の方法。

【請求項8】

前記第2のJFET(9)はピクセルの行又は列を横切って直線的に分布し、前記行若しくは前記列、又は、複数の前記行若しくは前記列内の各ピクセルで共有される、請求項6に記載の方法。

【請求項9】

前記ROIC(18)を用いてJFETのゲート(8、11)の電圧を変動させることによって前記埋込み型フォトダイオード(6)からの前記電荷の流れを制御すること、  
を更に含む、請求項5に記載の方法。

【請求項10】

複数のピクセルを備えるフォトダイオードアレイであって、前記複数のピクセルのそれぞれは、

少なくとも部分的にインジウムから構成される、少なくとも1つのキャップ層(3、4、5、56、57、58)と、

少なくとも1つのIn<sub>x</sub>Ga<sub>1-x</sub>As半導体層(2、55)と、

多層半導体検出器アレイ構造体の表面から前記少なくとも1つのキャップ層(3、4、5、56、57、58)を通じて前記In<sub>x</sub>Ga<sub>1-x</sub>As層(2、55)へ広がるp型にドープされた領域(6)、及び、

前記多層半導体検出器アレイ構造体の前記表面から前記少なくとも1つのキャップ層(5、58)へ広がるとともに、前記p型領域(6)を完全に覆う、n型にドープされた領域(7)、

を備える埋込み型フォトダイオード(6)と、

前記埋込み型フォトダイオード(6)に近いゲート(8)及びドレイン(10)を備える第1の接合型電界効果トランジスタ(JFET)であって、該第1のJFETは、前記多層半導体検出器アレイ構造体の内側にあり、前記埋込み型フォトダイオード(6)から前記増幅及び蓄積回路(50)への電荷の流れを制御する、第1のJFETと、

前記第1のJFETに近いゲート(11)及びドレイン(9)を備える第2のJFETであって、該第2のJFETは、前記多層半導体検出器アレイ構造体の内側にあり、前記第1のJFETの前記ドレイン(10)から前記第2のJFETの前記ドレイン(9)への電荷の流れを制御する、第2のJFETと、

を備える前記多層半導体検出器アレイ構造体を含む、フォトダイオードアレイと、

増幅及び蓄積回路(50)を備える読出し集積回路(ROIC)(18)であって、ROIC(18)は、前記フォトダイオードアレイへ混成化されるとともに、該ROIC(18)は、前記第1のJFET及び前記第2のJFETのゲート(8、11)の前記ゲート電圧を制御することが可能な回路を有して、埋込み型フォトダイオード(6)から前記第1のJFET(9)及び前記第2のJFET(10)のうちの少なくとも1つを通じて前記増幅及び蓄積回路(50)への電荷の流れを制御する、読出し集積回路と、

を備える、焦点面アレイ。

【請求項 1 1】

前記多層半導体検出器アレイ構造体は、

基板 (13) と、

前記基板 (13) 上に形成される、少なくとも部分的にインジウムから構成される n 型の材料の少なくとも 1 つのバッファーレ (1、52、53、54) と、

前記少なくとも 1 つのバッファーレ (1、52、53、54) の最上部に形成される、真性の又は非ドープの材料の  $In_xGa_{1-x}As$  層 (2、55) と、

前記  $In_xGa_{1-x}As$  層 (2、55) 上に形成される、少なくとも部分的にインジウムから構成される n 型材料の第 1 のキャップ層 (3、56) と、

前記第 1 のキャップ層 (3、56) 上に形成される、少なくとも部分的にインジウムから構成される p 型の材料の第 2 のキャップ層 (4、57) と、

前記第 2 のキャップ層 (4、57) 上に形成される、少なくとも部分的にインジウムから構成される n 型の材料の第 3 のキャップ層 (5、58) と、

を備え、

電荷は、前記埋込み型フォトダイオード (6) から前記第 2 のキャップ層 (4、57) を通じて前記第 1 の J F E T の前記ドレイン (10) へ流れる、請求項 10 に記載の焦点面検出器アレイ。

【請求項 1 2】

第 1 の J F E T のドレイン及び第 2 の J F E T のドレイン (9、10) は、前記多層半導体検出器アレイ構造体の前記表面から前記第 2 のキャップ層 (4、57) へ広がる前記多層半導体検出器アレイ構造体の p 型領域をドープすることによって形成される、請求項 11 に記載の焦点面検出器アレイ。

【請求項 1 3】

前記第 2 の J F E T は前記フォトダイオードアレイの行又は列を横切って直線的に分布する、請求項 10 に記載の焦点面検出器アレイ。

【請求項 1 4】

前記複数のピクセルの各ピクセルは個別の第 2 の J F E T を備える、請求項 10 に記載の焦点面検出器アレイ。

【請求項 1 5】

前記埋込み型フォトダイオード (6) からの前記電荷の流れは、前記 R O I C (18) を用いて前記第 1 の J F E T 及び前記第 2 の J F E T のゲート (8、11) の電圧を変動させることによって制御される、請求項 10 に記載の焦点面検出器アレイ。