

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 18 年 11 月 24 日 (2006.11.24)

【公開番号】特開 2001-236220 (P2001-236220A)

【公開日】平成 13 年 8 月 31 日 (2001.8.31)

【出願番号】特願 2001-41237 (P2001-41237)

【国際特許分類】

G 0 6 F 9/38 (2006.01)

【F I】

G 0 6 F 9/38 3 1 0 A

【手続補正書】

【提出日】平成 18 年 10 月 6 日 (2006.10.6)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

コンピュータによって実行可能な命令からなるソフトウェアプログラムを具体的に組み入れ、コンピュータによって読出し可能なコンピュータプログラム記憶媒体であって、前記コンピュータが、命令アドレスをプリフェッチするための方法を実行するためのマイクロプロセッサを含み、前記命令アドレスをプリフェッチするための方法が、

シフトレジスタ内の予め選択されたビット位置が予め選択された論理値に設定され、かつ前記マイクロプロセッサが、プリフェッチ命令アドレスの受け入れ準備ができており、

前記プリフェッチ命令アドレスをアドレスレジスタへ書き込むステップと、

前記プリフェッチ命令アドレスを命令キャッシュへ書き込むステップと、

前記プリフェッチ命令アドレスを、次のプリフェッチ命令アドレスのアドレスの値にインクリメントするステップと、

前記命令キャッシュが前記プリフェッチ命令アドレスを受け入れたとき、

前記シフトレジスタが左側入力と右側入力とを有し、各入力が前記シフトレジスタ内に論理値をシフトする能力を有していて、前記予め選択された論理値の補数を前記左側入力において前記シフトレジスタ内にシフトするステップと、

前記マイクロプロセッサが前記命令キャッシュ内のキャッシュラインからの最後の命令をフェッチするとき、前記予め選択された論理値に等しい値を、前記右側入力において前記シフトレジスタ内にシフトするステップとを含む、コンピュータプログラム記憶媒体。

【請求項 2】

命令アドレスをプリフェッチするためのコンピュータが使用可能な方法であって、

シフトレジスタ内の予め選択されたビット位置が予め選択された論理値に設定され、マイクロプロセッサが、前記プリフェッチ命令アドレスを受け入れる準備ができており、

前記プリフェッチ命令アドレスをアドレスレジスタへ書き込むステップと、

前記プリフェッチ命令アドレスを命令キャッシュへ書き込むステップと、

前記プリフェッチ命令アドレスを、次のプリフェッチ命令アドレスのアドレスの値にインクリメントするステップと、

前記命令キャッシュが前記プリフェッチ命令アドレスを受け入れたとき、

前記シフトレジスタが左側入力と右側入力とを有し、各入力が前記シフトレジスタ内に

前記論理値をシフトする能力を有して、前記予め選択された論理値の補数を前記左側入力において前記シフトレジスタ内にシフトするステップと、

前記マイクロプロセッサが前記命令キャッシュ内のキャッシュラインからの最後の命令をフェッチするとき、前記予め選択された論理値に等しい値を、前記右側入力において前記シフトレジスタ内にシフトするステップとを含む、コンピュータが使用可能な方法。

【請求項3】

命令アドレスをプリフェッチするための装置であって、

入力および出力を有するインクリメントと、

S E T AおよびS E T B制御ポートと、入力I N P U T AおよびI N P U T Bと、出力とを有するアドレスレジスタであって、そのアドレスレジスタの前記出力は、前記インクリメントの前記入力に接続され、前記インクリメントの前記出力は前記I N P U T Bに接続される、アドレスレジスタと、

左側入力と、右側入力と、2つ以上のビット位置とを含むシフトレジスタであって、そのシフトレジスタは、S E T Bを介して前記アドレスレジスタに接続され、各入力が、論理値を前記シフトレジスタ内にシフトする能力を有し、プロセッサ制御回路によってプリフェッチ条件が検出されたとき、前記アドレスレジスタは前記I N P U T Aを介して、前記プリフェッチ条件に関連するターゲット命令アドレスを受け入れる能力を有しており、前記シフトレジスタが、前記左側入力に接続されるビット位置を前記予め選択された論理値の補数に、かつ前記シフトレジスタの全ての他のビット位置を前記予め選択された論理値に初期化されることができ、前記シフトレジスタ内の予め選択されたビット位置が前記予め選択された論理値に設定され、かつマイクロプロセッサが前記プリフェッチ命令アドレスを受け入れる準備ができているとき、前記S E T Bが前記アドレスレジスタに格納されたアドレスの前記インクリメントによるインクリメントをイネーブルにし、命令キャッシュが前記プリフェッチ命令アドレスを受け入れたとき、前記シフトレジスタは前記予め選択された論理値の前記補数を前記左側入力において前記シフトレジスタ内にシフトする能力を有し、前記マイクロプロセッサが前記命令キャッシュのキャッシュラインからの最後の命令をフェッチするとき、前記シフトレジスタは、前記予め選択された論理値に等しい値を、前記右側入力において前記シフトレジスタ内にシフトする能力を有する、シフトレジスタとを含む、命令アドレスをプリフェッチするための装置。