



(12) 发明专利

(10) 授权公告号 CN 101026012 B

(45) 授权公告日 2010.12.22

(21) 申请号 200710085855.9

(22) 申请日 2007.02.25

(30) 优先权数据

2006-046250 2006.02.23 JP

2006-304985 2006.11.10 JP

(73) 专利权人 三菱电机株式会社

地址 日本东京都

(72) 发明人 飞田洋一

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 曾祥变 刘宗杰

(51) Int. Cl.

G11C 19/28(2006.01)

G11C 19/00(2006.01)

G11C 8/04(2006.01)

G09G 3/20(2006.01)

G09G 3/36(2006.01)

(56) 对比文件

US 5859630 A, 1999.01.12, 全文.

US 2002/0150199 A1, 2002.10.17, 说明书第 [0001] 段至第 [0011] 段, 第 [0076] 段至第 [0081] 段、附图 15A.

CN 1567688 A, 2005.01.19, 说明书第 2 页第 29 行至第 3 页第 15 行、附图 3.

审查员 杨嘉

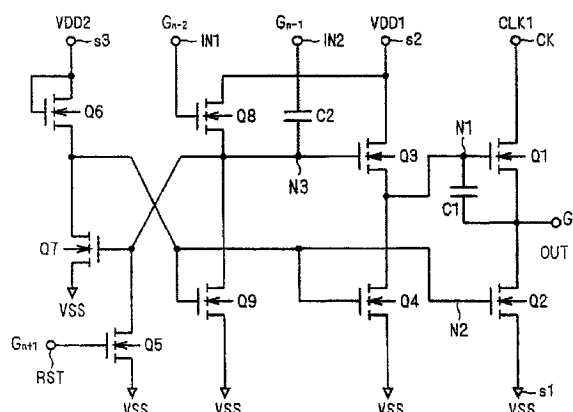
权利要求书 4 页 说明书 25 页 附图 20 页

(54) 发明名称

移位寄存器电路及设有该电路的图像显示装置

(57) 摘要

在移位寄存器电路中,抑制伴随于动作的高速化的驱动能力的下降。移位寄存器电路设有:在输出端子(OUT)与时钟端子(CK)之间的晶体管(Q1)、在输出端子(OUT)与第1电源端子(s1)之间的晶体管(Q2)、在晶体管(Q1)的栅与第2电源端子(s2)之间的晶体管(Q3)。而且设有:基于输入至第1输入端子(IN1)的信号,将晶体管(Q3)的栅极节点充电的晶体管(Q8);基于输入至第2输入端子(IN2)的信号,将充电后的晶体管(Q3)的栅极节点升压的电容元件(C2)。



1. 一种移位寄存器电路,其特征在于,设有:
时钟端子及输出端子;
将输入至所述时钟端子的第1时钟信号供给所述输出端子的第1晶体管;
将所述输出端子放电的第2晶体管;
第3晶体管,通过在所述第1晶体管的控制电极连接的第1节点上供给第2电源端子的电位使所述第1节点充电,以使所述第1晶体管导通;
基于输入至预定的第1输入端子上的信号,将所述第3晶体管的控制电极连接的第2节点充电的第1充电电路;以及
基于输入至预定的第2输入端子上的信号,将充电后的所述第2节点升压的第1升压电路。
2. 如权利要求1所述的移位寄存器电路,其特征在于,
所述第1充电电路是连接在所述第2节点与所述第2电源端子之间的、具有连接于所述第1输入端子的控制电极的第5晶体管,
所述第1升压电路是连接在所述第2节点与所述第2输入端子之间的第1电容元件。
3. 如权利要求1所述的移位寄存器电路,其特征在于,
所述第1充电电路是连接在所述第2节点与所述第1输入端子之间的、具有连接于该第1输入端子的控制电极的第5晶体管,
所述第1升压电路是连接在所述第2节点与所述第2输入端子之间的第1电容元件。
4. 如权利要求2或权利要求3所述的移位寄存器电路,其特征在于,所述第1电容元件是MOS电容元件。
5. 如权利要求1所述的移位寄存器电路,其特征在于,
所述第1充电电路包含:
连接在所述第2节点与所述第2电源端子之间的第5晶体管;
基于输入至所述第1输入端子的信号,将所述第5晶体管的控制电极连接的第3节点充电的第2充电电路;以及
基于输入至预定的第3输入端子的信号,将充电后的所述第3节点升压的第2升压电路,
所述第1升压电路是连接在所述第2节点与所述第2输入端子之间的第1电容元件。
6. 如权利要求5所述的移位寄存器电路,其特征在于,所述第1电容元件是MOS电容元件。
7. 如权利要求5所述的移位寄存器电路,其特征在于,
所述第2充电电路是连接在所述第3节点与所述第2电源端子之间的、具有连接于所述第1输入端子的控制电极的第6晶体管,
所述第2升压电路是连接在所述第3节点与所述第3输入端子之间的第2电容元件。
8. 如权利要求5所述的移位寄存器电路,其特征在于,
所述第2充电电路是连接在所述第3节点与所述第1输入端子之间的、具有连接于该第1输入端子的控制电极的第6晶体管,
所述第2升压电路是连接在所述第3节点与所述第3输入端子之间的第2电容元件。
9. 如权利要求7或权利要求8所述的移位寄存器电路,其特征在于,所述第2电容元件

是 MOS 电容元件。

10. 如权利要求 1 所述的移位寄存器电路,其特征在于,还设有连接在所述输出端子与所述第 1 节点之间的第 3 电容元件。

11. 如权利要求 1 所述的移位寄存器电路,其特征在于,在所述第 2 电源端子上,提供比所述第 1 时钟信号的振幅大的电压。

12. 一种移位寄存器电路,它是由多个移位寄存器电路级联连接而成的多级移位寄存器电路,其特征在于,

所述多级的各级是权利要求 1 所述的移位寄存器电路。

13. 如权利要求 12 所述的移位寄存器电路,其特征在于,

在所述各级的移位寄存器的所述第 2 电源端子上,还设有提供比所述第 1 时钟信号的振幅大的电压的电压发生电路。

14. 如权利要求 13 所述的移位寄存器电路,其特征在于,所述电压发生电路包含:

串联连接在被供给预定的电位的第 4 电源端子与所述移位寄存器电路的所述第 2 电源端子之间的第 1 及第 2 整流元件;以及

连接在所述第 1 及第 2 整流元件之间的连接节点与输入预定的第 2 时钟信号的时钟输入端子之间的第 4 电容元件。

15. 如权利要求 14 所述的移位寄存器电路,其特征在于,所述第 2 时钟信号是提供给所述各级移位寄存器电路的所述时钟端子的多相时钟信号中的一相。

16. 如权利要求 13 所述的移位寄存器电路,其特征在于,所述电压发生电路在形成有所述各级移位寄存器电路的基板内形成。

17. 如权利要求 13 所述的移位寄存器电路,其特征在于,所述电压发生电路外附于形成有所述各级移位寄存器电路的基板。

18. 如权利要求 14 或权利要求 15 所述的移位寄存器电路,其特征在于,

在所述电压发生电路中,所述第 1 及第 2 整流元件在形成有所述各级移位寄存器电路的基板内形成,

所述第 4 电容元件外附于所述基板。

19. 如权利要求 14 或权利要求 15 所述的移位寄存器电路,其特征在于,

在所述电压发生电路中,所述第 4 电容元件在形成有所述各级移位寄存器电路的基板内形成,

所述第 1 及第 2 整流元件外附于所述基板。

20. 如权利要求 13 至权利要求 17 中任一项所述的移位寄存器电路,其特征在于,

有多个所述电压发生电路,

所述电压发生电路相互并联连接。

21. 一种图像显示装置,它是将多个移位寄存器电路级联连接而成的多级移位寄存器电路作为栅线驱动电路的图像显示装置,其特征在于,

所述多级的各级是设有下列部件的移位寄存器电路,这些部件是:

时钟端子及输出端子;

将被输入至所述时钟端子的第 1 时钟信号供给所述输出端子的第 1 晶体管;

将所述输出端子放电的第 2 晶体管;

第 3 晶体管,通过在所述第 1 晶体管的控制电极连接的第 1 节点上供给第 2 电源端子的电位使所述第 1 节点充电,以使所述第 1 晶体管导通;

基于输入至预定的第 1 输入端子的信号,将所述第 3 晶体管的控制电极连接的第 2 节点充电的第 1 充电电路;以及

基于输入至预定的第 2 输入端子的信号,将充电后的所述第 2 节点升压的第 1 升压电路。

22. 一种移位寄存器电路,其特征在于,设有:

时钟端子及输出端子;

将输入至所述时钟端子的时钟信号供给所述输出端子的第 1 晶体管;

将所述输出端子放电的第 2 晶体管;

充电电路,基于输入至预定的第 1 输入端子的信号,将所述第 1 晶体管的控制电极连接的第 1 节点充电,以使所述第 1 晶体管导通;以及

基于输入至预定的第 2 输入端子的信号,将充电后的所述第 1 节点升压的升压电路。

23. 如权利要求 22 所述的移位寄存器电路,其特征在于,

所述充电电路是连接在所述第 1 节点与第 2 电源端子之间的、具有连接于所述第 1 输入端子的控制电极的第 3 晶体管,

所述升压电路包含:

连接在所述第 1 节点与预定的第 2 节点之间的、将从该第 2 节点向所述第 1 节点的方向作为导通方向的单向性开关元件;

连接在所述第 2 节点与所述第 2 输入端子之间的第 1 电容元件;以及

连接在所述第 2 节点与所述第 2 电源端子之间的、具有连接于所述第 1 输入端子的控制电极的第 4 晶体管。

24. 如权利要求 22 所述的移位寄存器电路,其特征在于,

所述充电电路是连接在所述第 1 节点与第 2 电源端子之间的、具有连接于所述第 1 输入端子的控制电极的第 3 晶体管,

所述升压电路包含:

连接在所述第 1 节点与预定的第 2 节点之间的、将从该第 2 节点向所述第 1 节点的方向作为导通方向的单向性开关元件;

连接在所述第 2 节点与所述第 2 输入端子之间的第 1 电容元件;以及

连接在所述第 2 节点与所述第 1 输入端子之间的、具有连接于该第 1 输入端子的控制电极的第 4 晶体管。

25. 如权利要求 23 或权利要求 24 所述的移位寄存器电路,其特征在于,所述第 1 电容元件是 MOS 电容元件。

26. 如权利要求 22 至权利要求 24 中任一项所述的移位寄存器电路,其特征在于,还设有连接在所述输出端子与所述第 1 节点之间的第 3 电容元件。

27. 一种移位寄存器电路,由权利要求 22 至权利要求 24 中任一项所述的多个移位寄存器电路级联连接而成。

28. 一种图像显示装置,它是将多个移位寄存器电路级联连接而成的多级移位寄存器电路作为栅线驱动电路的图像显示装置,其特征在于,

所述多级的各级是设有下列部件的移位寄存器电路,这些部件是:

时钟端子及输出端子;

将输入至所述时钟端子的时钟信号供给所述输出端子的第 1 晶体管;

将所述输出端子放电的第 2 晶体管;

充电电路,基于输入至预定的第 1 输入端子的信号,将所述第 1 晶体管的控制电极连接的第 1 节点充电,以使所述第 1 晶体管导通;以及

基于输入至预定的第 2 输入端子的信号,将充电后的所述第 1 节点升压的升压电路。

移位寄存器电路及设有该电路的图像显示装置

技术领域

[0001] 本发明涉及移位寄存器电路,特别涉及用于例如图像显示装置的扫描线驱动电路等的、仅由同一导电型的场效应晶体管构成的移位寄存器电路。

背景技术

[0002] 在液晶显示装置等的图像显示装置(以下称「显示装置」)中,在多个像素行列状配置的显示屏的每一像素行(像素线)上设置栅线(扫描线),通过在显示信号的1个水平扫描期间的周期依次选择其栅线来进行驱动,进行显示图像的更新。这样一来,作为用以依次选择像素行、即栅线并进行驱动的栅线驱动电路(扫描线驱动电路),可以使用在显示信号的1帧期间进行一遍移位动作的移位寄存器。

[0003] 为了减少显示装置的制造工序数,用于栅线驱动电路的移位寄存器最好仅由同一导电型的场效应晶体管构成。因此,有种种提案涉及仅用N型或P型场效应晶体管构成的移位寄存器以及装有该寄存器的显示装置(例如专利文献1)。作为场效应晶体管,可以使用MOS(MetalOxide Semiconductor:金属氧化物半导体)晶体管或薄膜晶体管(TFT:Thin Film Transistor)等。

[0004] [专利文献1]:特开2004-78172号公报

发明内容

[0005] 作为栅线驱动电路的移位寄存器,由每1像素行即每1栅线上设置的多个移位寄存器电路进行级联连接而构成。在本说明书中,为方便说明,将构成栅线驱动电路的多个移位寄存器电路的各电路称为「单位移位寄存器电路」。亦即,构成栅线驱动电路的各单位移位寄存器电路的输出端子被连接在其下一级或后级的单位移位寄存器电路的输入端子上。

[0006] 在专利文献1的图7中示出了传统的单位移位寄存器电路的结构。如同图所示,传统的单位移位寄存器电路设有:连接在输出端子(GOUT[N])与时钟端子(CKV)之间的第1晶体管(M1);连接在输出端子与第1电源端子(VOFF)之间的第2晶体管(M2)。单位移位寄存器电路的输出信号在第1晶体管导通、第2晶体管截止的状态下,通过输入至时钟端子的时钟信号被传输至输出端子而输出。

[0007] 特别是,由于栅线驱动电路需用其输出信号来对栅线高速充电而将其激活,在构成它的各单位移位寄存器电路中,对第1晶体管要求高的驱动能力(电流流过能力)。因此,最好在第1晶体管成导通的期间,其栅·源极间电压被维持在高电平状态。

[0008] 在与第1晶体管的栅极连接的第1节点(N1)上,连接用以对该第1节点充电的第3晶体管(M3)。在传统的单位移位寄存器电路中,第3晶体管连接在第1节点与第2电源端子(VON)之间,其栅连接在该单位移位寄存器电路的输入端子(即前级的单位移位寄存器电路的输出端子(GOUT[N-1]))上。也就是在第3晶体管在前级的单位移位寄存器电路的输出信号被激活时成为导通,从连接在第2电源端子的电源向第1节点供给电荷并对第1节点充电(预充电)。因此,第1晶体管成为导通,之后时钟信号一成为H电平,它就被

传送至输出端子,并输出输出信号。

[0009] 在专利文献 1 的移位寄存器电路中,在输出端子即第 1 晶体管的源极与第 1 节点之间设置电容元件 (C)。因此,由于第 1 节点的预充电,第 1 晶体管成为导通,其后,随着时钟信号,在输出端子成为 H 电平时,由于通过该电容元件的耦合,第 1 节点升压,第 1 晶体管的栅・源极间电压被维持在高电压。其结果,第 1 晶体管具有高驱动能力。

[0010] 但是,第 1 节点升压期间的第 1 晶体管的栅・源极间电压不是从升压前的状态增大,而只不过保持大致相同。也就是,单位移位寄存器电路的第 1 晶体管的驱动能力由第 3 晶体管在预充电时所给予的栅・源极间电压决定。即,为了提高第 1 晶体管的驱动能力,在预充电的阶段,必需将第 1 节点充电至充分高的电平。

[0011] 将第 2 电源端子的电位设为 VDD、第 3 晶体管的阈值电压设为 V_{th} ,则在理论上,第 1 节点的电位由于预充电上升至 $VDD-V_{th}$,但是,如果时钟信号的频率变高,输入信号(前级的单位移位寄存器电路的输出信号)的脉冲宽度变窄,则会使第 1 节点到达至最大的预充电电平 ($VDD-V_{th}$) 变得困难。其原因例如是,在第 1 节点预充电时,第 3 晶体管 (M3) 以源极跟随器动作。这是因为,由于第 1 节点的电平上升时第 3 晶体管的栅・源极间电压变小,随着第 1 节点充电的进展,第 3 晶体管的驱动能力变小,其电平上升的速度大幅度降低。

[0012] 亦即,在传统的单位移位寄存器电路中,采用以源极跟随方式动作的第 3 晶体管,由于第 1 晶体管的栅(第 1 节点)被预充电,将第 1 节点充电至最大的预充电电平需要较长的时间。因此,一旦时钟信号的频率升高,就不能充分地预充电第 1 节点,导致第 1 晶体管的驱动能力下降。特别是,在栅线驱动电路中,需用单位移位寄存器电路的输出信号高速地对栅线充电而将其激活,存在须使第 1 晶体管具有高驱动能力的问题。即,通过提高时钟信号的频率来谋求栅线驱动电路的动作的高速化是困难的,产生了所谓妨碍显示装置的高分辨率化的问题。

[0013] 本发明是为了解决上述的课题而作的发明,其目的在于,提供在时钟信号的频率变高时,可以抑制驱动能力下降的移位寄存器电路。

[0014] 本发明的第 1 形态的移位寄存器电路是设有下列部件的电路,这些部件是:将输入到时钟端子的时钟信号提供给输出端子的第 1 晶体管;将第 1 电源端子的电位提供给上述输出端子的第 2 晶体管;在上述第 1 晶体管的控制电极连接的第 1 节点上提供给第 2 电源端子的电位的第 3 晶体管;基于预定的输入至第 1 输入端子信号,将与上述第 3 晶体管的控制电极连接的第 2 节点充电的第 1 充电电路;基于预定的输入至第 2 输入端子的信号,将被充电的上述第 2 节点升压的第 1 升压电路。其中,所述第 1 充电电路包含:连接在所述第 2 节点与所述第 1 电源端子之间的第 4 晶体管;基于输入至所述第 1 输入端子的信号,将所述第 4 晶体管的控制电极连接的第 3 节点充电的第 2 充电电路;以及基于输入至预定的第 3 输入端子的信号,将充电后的所述第 3 节点升压的第 2 升压电路,所述第 1 升压电路是连接在所述第 2 节点与所述第 2 输入端子之间的第 1 电容元件。

[0015] 本发明的第 2 形态的移位寄存器电路是设有下列部件的电路,这些部件是:将输入至时钟端子的时钟信号提供给输出端子的第 1 晶体管;将第 1 电源端子的电位提供给上述输出端子的第 2 晶体管;基于预定的输入至第 1 输入端子的信号,将与上述第 1 晶体管的控制电极连接的第 1 节点充电的充电电路;基于预定的输入至第 2 输入端子的信号,将被充电后的上述第 1 节点升压的升压电路。

[0016] 依据本发明的第 1 形态的移位寄存器电路,由于充电电路将第 2 节点充电并再用升压电路升压,在第 3 晶体管的控制电极的电平已被提高的状态下,进行第 1 节点的充电(预充电)。这时,由于第 3 晶体管非饱和动作,第 1 节点的电平高速地上升。因此,即使在时钟信号的频率增高,第 1 及第 2 输入端子所输入的信号的脉冲宽度变窄的情况下,也可以充分地预充电第 1 节点。亦即,能够防止第 1 晶体管的驱动能力的下降。另外,由于第 3 晶体管非饱和动作,不会产生其阈值电压部分的损失,由于可以将第 1 节点预充电至比传统技术更高的电平,第 1 晶体管的驱动能力可变得比传统技术高。

[0017] 依据本发明的第 2 形态的移位寄存器电路,由于充电电路将第 1 节点充电并再通过升压电路升压,即使在时钟信号的频率增高,被输入至第 1 及第 2 输入端子的信号的脉冲宽度变窄的情况下,也可以将第 1 节点预充电至充分高的电平上。亦即,可以防止第 1 晶体管的驱动能力的下降。另外,由于用升压电路可以将第 1 节点预充电至比传统技术更高的电平上,第 1 晶体管的驱动能力可变得比传统技术高。

附图说明

图 1 是表示本发明的实施例的显示装置的结构概略框图。

图 2 是表示实施例 1 的栅线驱动电路的结构流程图。

图 3 是表示实施例 1 的单位移位寄存器电路的结构电路图。

图 4 是表示实施例 1 的单位移位寄存器电路的动作的时序图。

图 5 是表示实施例 1 的栅线驱动电路的动作的时序图。

图 6 是表示实施例 2 的单位移位寄存器电路的结构电路图。

图 7 是表示实施例 3 的单位移位寄存器电路的结构电路图。

图 8 是表示实施例 3 的栅线驱动电路的动作的时序图。

图 9 是表示实施例 4 的单位移位寄存器电路的结构电路图。

图 10 是表示实施例 5 的单位移位寄存器电路的结构电路图。

图 11 是表示实施例 6 的单位移位寄存器电路的结构电路图。

图 12 是表示实施例 6 的单位移位寄存器电路的动作的时序图。

图 13 是表示实施例 7 的单位移位寄存器电路的结构电路图。

图 14 是表示实施例 8 的单位移位寄存器电路的结构电路图。

图 15 是表示实施例 9 的单位移位寄存器电路的结构电路图。

图 16 是表示实施例 10 的单位移位寄存器电路的结构电路图。

图 17 是表示实施例 10 的电压发生电路的结构电路图。

图 18 是表示实施例 11 的电压发生电路的结构电路图。

图 19 是表示实施例 12 的电压发生电路的结构电路图。

图 20 是表示实施例 13 的电压发生电路的结构电路图。

图 21 是表示实施例 14 的单位移位寄存器电路的结构电路图。

图 22 是表示实施例 14 的电压发生电路的结构电路图。

图 23 是表示实施例 15 的电压发生电路的结构电路图。

图 24 是表示实施例 16 的电压发生电路的结构电路图。

图 25 是表示实施例 17 的单位移位寄存器电路的结构电路图。

图 26 是表示实施例 17 的单位移位寄存器电路的结构电路图。

图 27 是表示实施例 17 的单位移位寄存器电路的结构的电路图。

[标记说明] 30 栅线驱动电路、SR 单位移位寄存器电路、Q1 ~ Q17 晶体管、C1 ~ C4 电容元件、N1 ~ N5 节点、CK 时钟端子、RST 复位端子、IN 输入端子、OUT 输出端子。

具体实施方式

[0018] 以下,参照附图说明本发明的实施例。再者,为避免说明变得重复及冗长,各图中具有相同或相当功能的部件均带有相同的标记。

[0019] < 实施例 1 > 图 1 是表示本发明的实施例 1 的显示装置的结构概略框图,作为显示装置的代表例,示出了液晶显示装置 10 的整体结构。

[0020] 液晶显示装置 10 设有:液晶阵列部 20、栅线驱动电路(扫描线驱动电路)30、源极驱动器 40。由后述的说明可知,本发明的实施例的移位寄存器搭载于栅线驱动电路 30 上。

[0021] 液晶阵列部 20 包含被配设成行列状的多个像素 25。在像素的行(以下都称为「像素行」)的各行上分别配设栅线 GL1、GL2... (总称为「栅线 GL」),在像素的列(以下都称为「像素列」)的各列上分别设置各自的数据线 DL1、DL2 (总称为「数据线 DL」)。图 1 中,代表性示出第 1 行的第 1 列及第 2 列的像素 25,以及对应于它们的栅线 GL1 及数据线 DL1、DL2。

[0022] 各像素 25 具有:设置在对应的数据线 DL 与像素节点 Np 之间的像素开关元件 26; 并联连接在像素节点 Np 和共同电极节点 NC 之间的电容器 27 及液晶显示元件 28。根据像素节点 Np 与共同电极节点 NC 之间的电压差,液晶显示元件 28 中的液晶的配向性发生变化,响应此变化,液晶显示元件 28 的显示亮度变化。因此,可通过数据线 DL 及像素开关元件 26 向显示节点 Np 传输的显示电压,控制各像素的亮度。亦即,通过将对应于最大亮度的电压差与对应于最小亮度的电压差之间的中间的电压差加在像素节点 Np 与共同电极节点 NC 之间,可以得到中间的亮度。因而,通过分等级地设定上述显示电压,可以得到具有灰度等级的亮度。

[0023] 栅线驱动电路 30 以预定的扫描周期依次选择栅线 GL 并进行驱动。像素开关元件 26 的栅电极与各自对应的栅线 GL 连接。在选择了特定的栅线 GL 的期间,在与它连接的各像素中,像素开关元件 26 成为导通状态,像素节点 Np 与对应的数据线 DL 连接。而且,向像素节点 Np 传输的显示电压由电容器 27 保持。通常,像素开关元件 26 由与液晶显示元件 28 在同一绝缘基板(玻璃基板、树脂基板等)上形成的 TFT 构成。

[0024] 源极驱动器 40 是用以将由 N 位的数字信号的显示信号 SIG 分等级设定的显示电压向数据线 DL 输出的驱动器。这里,作为一例,显示信号 SIG 是 6 位信号,即由显示信号位 DB0 ~ DB5 构成的信号。若按 6 位的显示信号,则在各像素中,可以构成 $2^6 = 64$ 级的灰度等级显示。如果再用 R(红)、G(绿)及 B(蓝)的 3 个像素形成 1 个彩色显示单位,则可以构成约 26 万色的彩色显示。

[0025] 另外,如图 1 所示,源极驱动器 40 由以下部件构成,即:移位寄存器 50;数据锁存电路 52、54;灰度电压生成电路 60;译码器电路 70;模拟放大器 80。

[0026] 在显示信号 SIG 中,串行地生成对应于各个像素 25 的显示亮度的显示信号位 DB0 ~ DB5。亦即,各定时的显示信号位 DB0 ~ DB5 表示液晶阵列部 20 中的任意 1 个像素 25 的显示亮度。

[0027] 移位寄存器 50 以同步于显示信号 SIG 的设定转换的周期的定时, 指示数据锁存电路 52 执行显示信号位 DB0 ~ DB5 的读入。数据锁存电路 52 依次读入串行地生成的显示信号 SIG, 并保持 1 个像素行的显示信号 SIG。

[0028] 输入至数据锁存电路 54 的锁存信号 LT, 以在数据锁存电路 52 中以读入 1 个像素行的显示信号 SIG 的定时进行激活。数据锁存电路 54 响应该激活, 读入该时保持在锁存器电路 52 中的 1 个像素行的显示信号 SIG。

[0029] 灰度电压生成电路 50 由串联连接在高电压 VDH 和低电压 VDL 之间的 63 个分压电阻构成, 分别生成 64 级的灰度电压 V1 ~ V64。

[0030] 译码电路 70 将保持在锁存器电路 54 中的显示信号 SIG 译码, 并根据译码结果从灰度电压 V1 ~ V64 中选择并输出向各译码输出节点 Nd1、Nd2、... (总称为「译码输出节点 Nd」) 输出的电压灰度电压。

[0031] 其结果, 在译码输出节点上 Nd 上, 同时地 (并行地) 输出对应于保持在数据锁存电路 54 上的 1 个像素行的显示信号 SIG 的显示电压 (灰度电压 V1 ~ V64 中的 1 个)。再者, 图 1 中代表性示出对应于第 1 列及第 2 列的数据线 DL1、DL2 的译码输出节点 Nd1、Nd2。

[0032] 模拟放大器 80 将与从译码电路 70 向译码输出节点 Nd1、Nd2... 输出的各显示电压对应的模拟电压分别输出到数据线 DL1、DL2...。

[0033] 源极驱动器 40 以预定的扫描周期, 将对应于一连串的显示电压 SIG 的显示电压向每 1 像素行的数据线 DL 重复输出, 由于栅线驱动电路 30 同步于其扫描周期并依次驱动栅线 GL1、GL2..., 在液晶显示部 20 上构成基于显示信号 SIG 的图像显示。

[0034] 再者, 在图 1 中, 例示了栅线驱动电路 30 及源极驱动器 40 与液晶阵列部 20 一体形成的液晶显示装置 10 的结构, 而有关栅线驱动电路 30 及源极驱动器 40, 也可以作为液晶显示部 20 的外部电路来设置。

[0035] 图 2 是表示栅线驱动电路 30 的结构的图。该栅线驱动电路 30 由联连 (cacade 连接) 的多个单位移位寄存器电路 SR1、SR2、SR3、SR4... 构成的移位寄存器构成 (为说明的方便, 将极联连接的移位寄存器电路 SR1、SR2... 总称为「单位移位寄存器电路 SR」)。各单位移位寄存器电路 SR 被设置在每 1 个像素行, 即每 1 个栅线 GL 上。

[0036] 另外, 图 2 所示的时钟发生器 31 是将各自相位不同的 3 相时钟信号 CLK1、CLK2、CLK3 输入至栅线驱动电路 30 的单位移位寄存器电路 SR 上的装置。时钟信号 CLK1、CLK2、CLK3 被控制成以同步于显示装置的扫描周期的定时, 按顺序激活。

[0037] 各单位移位寄存器电路 SR 具有: 时钟端子 CK、复位端子 RST 及输出端子 OUT、第 1 输入端子 IN1 及第 2 输入端子 IN2。如图 2 所示, 在各单位移位寄存器电路 SR 的时钟端子 CK 上被供给时钟发生器 31 输出的时钟信号 CLK1、CLK2、CLK3 中预定的 1 个。具体地说, 时钟信号 CLK1 提供给第 [3n-2] 级的单位移位寄存器电路 SR1、SR4、SR7..., 时钟信号 CLK2 提供给第 [3n-1] 级的单位移位寄存器电路 SR2、SR5、SR8..., 时钟信号 CLK3 提供给第 [3n] 级的单位移位寄存器电路 SR3、SR6、SR9...。如上所述, 时钟信号 CLK1、CLK2、CLK3 以此顺序激活, 因此移位寄存器电路 SR1、SR2、SR3... 的时钟端子 CK 以此顺序激活。另外, 在各单位移位寄存器电路 SR 的复位端子 RST 上, 连接其下一级的单位移位寄存器电路 SR 的输出端子 OUT。

[0038] 在第 1 级（第 1 段）的单位移位寄存器电路 SR1 的第 1 及第 2 输入端子 IN1、IN2 上，作为输入信号，分别输入第 1 及第 2 起动脉冲 SP1、SP2。在本实施例中，第 1 及第 2 起动脉冲 SP1、SP2 均为在对应于图像信号的各帧期间的最前面的定时成为 H 电平的信号，但两者的相位偏移。亦即，第 1 起动脉冲 SP1 以比第 2 起动脉冲 SP2 更早的定时成为 H 电平，具体控制情况是，在第 1 起动脉冲 SP1 返回至 L 电平后，第 2 起动脉冲 SP2 过渡到 H 电平。

[0039] 另外，在第 2 级的单位移位寄存器电路 SR2 中，在第 1 输入端子 IN1 上输入上述的第 2 起动脉冲 SP2，第 2 输入端子 IN2 连接在第 1 级的单位移位寄存器电路 SR1 的输出端子 OUT 上。在第 3 级以后的单位移位寄存器电路 SR 中，第 1 输入端子 IN1 连接在其 2 级前（前前级）的单位移位寄存器电路 SR 的输出端子 OUT 上，第 2 输入端子 IN2 连接在其前级的单位移位寄存器电路 SR 的输出端子 OUT 上。而且，各单位移位寄存器电路 SR 的输出端子 OUT 所输出的输出信号作为水平（或垂直）扫描脉冲向各自对应的栅线 GL 输出。

[0040] 在示于图 2 的本实施例的栅线驱动电路 30 中，各单位移位寄存器电路 SR 一边使同步于时钟信号 CLK1、CLK2、CLK3 输入至第 1 及第 2 输入端子 IN1、IN2 的信号（起动脉冲或比自身更前一级的输出信号）移位，一边向对应的栅线 GL 及比自身更后一级的单位移位寄存器电路 SR 传输（单位移位寄存器电路 SR 的动作的详情后述）。其结果，一连串的单位移位寄存器电路 SR 以基于预定的扫描周期的定时依次使栅线 GL 激活，作为所谓栅线驱动装置起作用。

[0041] 图 3 是表示本发明的实施例 1 的单位移位寄存器电路 SR 的结构的电路图。还有，在栅线驱动电路 30 中，由于被级联连接的各单位移位寄存器电路 SR 的结构，基本上都是相同的，下面，仅就 1 个单位移位寄存器电路 SR 的结构代表性地说明。另外，构成该单位移位寄存器电路 SR 的晶体管均为同一导电型的场效应晶体管，而在以下所示的实施例中，全部是 N 型 TFT 晶体管。

[0042] 如图 3 所示，该单位移位寄存器电路 SR 具有：除图 2 已示出的第 1 及第 2 输入端子 IN1、IN2、时钟端子 CK、复位端子 RST 及输出端子 OUT 以外，还有提供低电位侧电源电位 VSS 的第 1 电源端子 s1，分别提供高电位侧电源电位 VDD1、VDD2 的第 2 电源端子 s2 及第 3 电源端子 s3。高电位侧电源电位 VDD1、VDD2 也可以是彼此相同的电平。另外，在以下的说明中，低电位侧电源电位 VSS 构成电路的基准电位，而在实际使用中，将被写入像素的数据的电压作为基准来设定基准电位，例如，高电位侧电源电位 VDD1、VDD2 设定为 17V，低电位侧电源电位 VSS 设定为 -12V 等。

[0043] 单位移位寄存器电路 SR 的输出级用连接在输出端子 OUT 与时钟端子 CK 之间的晶体管 Q1 以及连接在输出端子 OUT 与第 1 电源端子 s1 之间的晶体管 Q2 构成。亦即，晶体管 Q1 是用以将输入至时钟端子 CK 上的时钟信号提供给输出端子 OUT 的第 1 晶体管，晶体管 Q2 是用以将第 1 电源端子 s1 的电位提供给输出端子 OUT 的第 2 晶体管，这里，如图 3 所示，与晶体管 Q1 的栅（控制电极）连接的节点定义为节点 N1（第 1 节点）、与晶体管 Q2 的栅连接的节点定义为节点 N2。

[0044] 在晶体管 Q1 的栅·源极间（即输出端子 OUT 与节点 N1 之间），设有升压用电容元件 C1（升压电容）。在节点 N1 与第 2 电源端子 s2 之间，连接用以将第 2 电源端子 s2 的电位提供给节点 N1 的晶体管 Q3（第 3 晶体管）。另外，在节点 N1 与第 1 电源端子 s1 之间连接晶体管 Q4。晶体管 Q4 的栅连接至节点 N2。这里，将晶体管 Q3 的栅节点定义为节点

N3(第2节点)。

[0045] 在节点 N3 与第 2 电源端子 s2 之间,连接其栅极连接在第 1 输入端子 IN1 上的晶体管 Q8。另外,在节点 N3 与第 2 输入端子之间连接电容元件 C2。还有,在节点 N3 与第 1 电源端子 s1 之间,连接晶体管 Q5 及晶体管 Q9。晶体管 Q5 的栅极连接在复位端子 RST 上,晶体管 Q9 的栅极连接在节点 N2 上。

[0046] 在节点 N2 与第 3 电源端子 s3 之间连接与二极管连接的晶体管 Q6,在节点 N2 与第 1 电源端子 s1 之间连接晶体管 Q7。晶体管 Q7 的栅极连接在节点 N3 上。

[0047] 晶体管 Q7 被设定成其驱动能力(流过电源的能力)比晶体管 Q6 充分大。即,晶体管 Q7 的导通电阻比晶体管 Q6 的导通电阻充分小。因此,如果晶体管 Q7 的栅电位上升,则节点 N2 的电位下降,若晶体管 Q7 的栅电位下降,则节点 N2 的电位上升。亦即,晶体管 Q6 和晶体管 Q7 构成按两者的导通电阻值的比规定其动作的比率型变换器。该变换器将节点 N3 作为输入端,将节点 N2 作为输出端,构成驱动用以使输出端子 OUT 下拉的晶体管 Q2 的「下拉驱动电路」。

[0048] 图 4 是表示实施例 1 的单位移位寄存器电路的动作的时序图。以下参照图 4,说明本实施例的单位移位寄存器电路 SR 的具体动作。即使在这里,由于构成栅线驱动电路 30 的各单位移位寄存器电路 SR 的动作基本上都是相同的,仅代表性地说明 1 个单位移位寄存器电路 SR 的动作。为了简单起见,就在单位移位寄存器电路 SR 的时钟端子 CK 上输入时钟信号 CLK1 的情况进行说明(例如,图 2 中的单位移位寄存器电路 SR1、SR4 等就相当于这种情况)。

[0049] 这里,将该单位移位寄存器电路 SR 输出的栅线驱动信号设为 G_n 、将其前级和 2 级前的单位移位寄存器电路 SR 的输出信号分别设为 G_{n-1} 、 G_{n-2} ,将下一级的单位移位寄存器电路 SR 输出的栅线驱动信号设为 G_{n+1} 。另外,为简化说明,假定时钟信号 CLK1、CLK2、CLK3、第 1 起动脉冲 SP1 和第 2 起动脉冲 SP2 的 H 电平全部相等,将该电平表示为 VDD。再者,该电平 VDD 与高电位侧电源电位 VDD1 的电平设为相等(即, $VDD = VDD1$)。

[0050] 首先,作为初始状态,假定节点 N1 及节点 N3 是 L(Low:低)电平(VSS)、节点 N2 是 H(High:高)电平($VDD2 - V_{th}$ (V_{th} :晶体管的阈值电压))(以下,将该状态称为「复位状态」)。另外,时钟端子 CK(时钟信号 CLK1)、复位端子 RST(下一级的输出信号 G_{n+1})、第 1 输入端子 IN1(2 级前的输出信号 G_{n-2})、输入端子 IN2(前级的输出信号 G_{n-1})都是 L 电平。在复位状态,由于晶体管 Q1 是截止状态(断开状态)、晶体管 Q2 导通状态(导通状态),与时钟端子 CK(时钟信号 CLK1)的电平无关,输出端子 OUT(栅线驱动信号 G_n)被保持在 L 电平。亦即,该单位移位寄存器电路 SR 连接的栅线处于非选择状态。

[0051] 从该状态起,在时刻 t1,2 级前的输出信号 G_{n-2} (若为第 1 级的单位移位寄存器电路 SR1,则为第 1 起动脉冲 SP1)成为 H 电平时,该单位移位寄存器电路 SR 的第 1 输入端子 IN1 上被输入这个电平,晶体管 Q8 变导通。这时,因为节点 N2 为 H 电平,晶体管 Q9 也成为导通,而晶体管 Q8 被设定在其驱动能力比 Q9 更充分大,由于晶体管 Q8 的导通电阻比晶体管 Q9 的导通电阻充分地低,节点 N3 由通过晶体管 Q8 提供的电荷充电,其电平上升。也就是,晶体管 Q8 基于被输入至第 1 输入端子 IN1 的信号,作为对与晶体管 Q3 的栅极连接的节点 N3 充电的充电电路起作用。

[0052] 一旦节点 N3 的电平上升,晶体管 Q7 就开始导通,节点 N2 的电平下降。若如此,

则晶体管 Q9 的电阻变高,节点 N3 的电平急速上升。据此,晶体管 Q7 达到充分导通。其结果,节点 N2 成为 L 电平 (VSS),晶体管 Q9 成为截止,节点 N3 变成 H 电平。

[0053] 为了使节点 N3 的电平上升,需对连接在它上面的电容元件 C2 及晶体管 Q3 的栅·沟道间电容 (栅电容) 充电,而由于它们的电容值小至输出级的晶体管 Q1 和电容元件 C1 的约 $1/5 \sim 1/10$ 的程度,节点 N3 可以高速地充电。因此,尽管晶体管 Q8 以并不适合高速充电的源极跟随方式动作,节点 N3 的电平还是高速地上升至理论值。即,由晶体管 Q8 充电后的节点 N3 的电平 V3a 为 $V_{3a} \approx V_{DD} - V_{th} \dots (1)$

[0054] 节点 N3 一旦成为 H 电平,晶体管 Q3 就随之成为导通。这时,由于节点 N2 成为 L 电平,晶体管 Q2 成为截止,节点 N1 的电平上升。

[0055] 为了使节点 N1 的电平上升,需对电容元件 C1 及晶体管 Q1 的栅电容充电,但如上所述,由于它们的电容值比较大,节点 N1 的高速充电是困难的。再者,由于晶体管 Q3 以源极跟随方式动作,在短时间内,难于使节点 N1 的电平上升至理论值 ($V_{DD} - 2 \times V_{th}$)。因而,如果 2 级前的输出信号 G_{n-2} 的脉冲宽度不是充分宽,则该时的节点 N1 的电平仅上升至比理论值小的一定电平。

[0056] 在时刻 t2,如果 2 级前的输出信号 G_{n-2} 返回至 L 电平,则晶体管 Q8 成为截止,而其后,节点 N1 及节点 N3 构成浮置状态,另外,由于晶体管 Q7、Q9 起到触发器的作用,它们的电平被维持。

[0057] 然后,在时刻 t3,前级的输出信号 G_{n-1} (若是第 1 级的单位移位寄存器电路 SR1,则为第 2 级起动脉冲 SP2) 一旦成为 H 电平,该单位移位寄存器电路 SR 的第 2 输入端子 IN2 就成为 H 电平,由于通过电容元件 C2 而电容耦合,节点 N3 被升压。即,基于输入至第 2 输入端子 IN2 的信号,电容元件 C2 作为将被充电后的节点 N3 升压的升压电路起作用。

[0058] 由电容元件 C2 升压后的节点 N3 的电平,相对于升压前上升前级的输出信号 G_{n-1} 的振幅 VDD。即,此时的节点 N3 的电平 V3b 为 $V_{3b} \approx 2 \times V_{DD} - V_{th} \dots (2)$

[0059] 在该状态下,由于晶体管 Q3 的栅极 (节点 N3) · 源极 (节点 N1) 之间的电压变得足够高,晶体管 Q3 不在源极跟随方式,而以在非饱和区域的动作 (非饱和工作) 对节点 N1 充电。因此,节点 N1 被高速充电并成为 H 电平,而且,也无阈值电压 V_{th} 的损失,节点 N1 电平达到 VDD1。在这样的节点 N1 及节点 N3 处于 H 电平、节点 N2 处于 L 电平的 (以下,将这个状态称为「设置状态」) 下,晶体管 Q1 成为导通,晶体管 Q2 成为截止。

[0060] 在其后的时刻 t4,前级的输出信号 G_{n-1} 返回至 L 电平时,第 2 输入端子 IN2 成为 L 电平,节点 N3 的电平随之下降,返回至升压前的 $V_{DD} - V_{th}$ 。这时,由于节点 N1 的电平是 VDD1 ($= V_{DD}$),晶体管 Q3 成为截止,但由于节点 N1 成为浮置,其后节点 N1 的电平被维持在 VDD1 (因而设置状态也被维持)。

[0061] 在传统的单位移位寄存器电路的节点 N1 充电时,由于伴随用以对它充电的晶体管 (例如专利文献 1 的晶体管 M3) 的阈值电压的损失,即使时钟信号的脉冲宽度设定为充分宽,节点 N1 也只能上升至 $V_{DD1} - V_{th}$ 。即,在本实施例中,节点 N1 可以充电至比传统技术高的 V_{th} 以上的高电平。

[0062] 在成为设置状态的单位移位寄存器电路 SR 中,晶体管 Q1 导通,晶体管 Q2 截止,因此,在时刻 t5,时钟端子 CK 的时钟信号 CLK1 一旦成为 H 电平,输出端子 OUT 的输出信号 G_n 的电平就上升。这样一来,由于通过电容元件 C1 及晶体管 Q1 的栅电容的电容耦合,节点 N1

的电平上升特定的电压（因此，节点 N1 有时也被称为「升压节点」）。

[0063] 假定节点 N1 的寄生电容值比起晶体管 Q1 的栅电容与电容元件 C1 的电容值之和来充分小，则根据输出信号 G_n 而升压的节点 N1 的电平成为 $VDD1+VDD (= 2 \times VDD)$ 。其结果，晶体管 Q1 的栅·源极间电压被保持在大的值上，输出端子 OUT 的电平即输出信号 G_n 追随时钟信号 CLK1 而高速上升。另外，这时，由于晶体管 Q1 进行非饱和动作而不伴随阈值电压 V_{th} 的那部分损失，输出信号 G_n 的 H 电平与时钟信号 CLK1 的 H 电平相同，成为 VDD。

[0064] 在时刻 t5，成为 H 电平的输出信号 G_n 在时钟信号 CLK1 为 H 电平的期间维持 H 电平并激活栅线。然后，在时刻 t6，时钟信号 CLK1 返回至 L 电平时，栅线驱动信号 G_n 也成为 L 电平，返回至栅线的非选择状态。这时，节点 N1 的电平也下降至升压前的 VDD1。

[0065] 之后，在时钟信号 CLK2 成为 H 电平的时刻 t7，下一级的栅线驱动信号 G_{n+1} 成为 H 电平，被输入至复位端子 RST，晶体管 Q5 成为导通。于是，节点 N3 的电平下降，由于晶体管 Q7 成为截止，节点 N2 成为 H 电平。相应地，晶体管 Q4、Q9 成为导通，节点 N1、N3 成为 L 电平。其结果，晶体管 Q1 返回至截止状态，晶体管 Q2 返回至导通的复位状态。

[0066] 汇总以上的动作，在本实施例的单位移位寄存器电路 SR 中，在第 1 输入端子 IN1 及第 2 输入端子 IN2 上不被输入信号的期间，处于节点 N1 为 L 电平 (VSS)、节点 N2 为 H 电平 ($VDD2-V_{th}$) 的复位状态，在该期间，由于晶体管 Q1 截止，晶体管 Q2 导通，输出端子 OUT 被维持在低阻抗的 L 电平 (VSS)。而且，按第 1 输入端子 IN1 和第 2 输入端子 IN2 的顺序输入脉冲信号时，构成节点 N2 为 L 电平 (VSS)、节点 N1 为 H 电平 (VDD1) 的设置状态。在设置状态下，晶体管 Q1 导通，晶体管 Q2 截止，因此，在时钟端子 CK 的信号（时钟信号 CLK1）为 H 电平的期间，栅线用输出端子 OUT 成为 L 电平并激活栅线。之后，输入复位端子 RST 的信号（下一级的栅线驱动信号 G_{n+1} ）时，节点 N1 及节点 N3 返回至 L 电平，节点 N2 返回至 H 电平的复位状态。

[0067] 将这样动作的多个单位移位寄存器电路 SR 进行如图 2 所示的级联连接，构成了栅线驱动电路 30 时的动作示于图 5 的时序图。如该图所示，如果在第 1 极的单位移位寄存器电路 SR1 的第 1 及第 2 输入端子 IN1、IN2 上输入了输入信号（起动脉冲），则其后第 1 极的单位移位寄存器电路 SR1 的输出信号 G_1 一边以同步于时钟信号 CLK1、CLK2、CLK3 的定时移位，一边作为栅线驱动信号 G_1 、 G_2 、 $G_3 \dots$ 按栅线 GL1、GL2、GL3... 顺序输出，同时顺序传输至单位移位寄存器电路 SR2、SR3...。因此，栅线驱动电路 30 可以用预定的扫描周期依次驱动栅线 GL1、GL2、GL3...。

[0068] 但是，在如图 2 构成的栅线驱动电路 30 中，在各单位移位寄存器电路 SR 的复位端子 RST 上，由于其下一级的栅线驱动信号 G_{n+1} 被输入，该单位移位寄存器电路 SR 只有在其下一级至少一次动作后才能构成复位状态（即上述的初始状态）。由于各单位移位寄存器电路 SR 只有经过复位状态才能进行图 3 所示的通常动作，在通常动作之前，必需进行让伪输入信号从单位移位寄存器电路 SR 的第 1 级传输至最终级的伪动作。或者，也可以在各单位移位寄存器电路 SR 的节点 N2 与第 3 电源端子 s3（高电位侧电源）之间另设复位用的晶体管，在通常动作前进行强制性充电节点 N2 的复位动作。但是，在该情况下，需要另外的复位用信号线。

[0069] 如以上所述，依据本实施例的单位移位寄存器电路 SR，由于作为充电电路的晶体管 Q8 对晶体管 Q3 的栅（节点 N3）充电，然后，由于作为升压电路的电容元件 C2 将充电后

的节点 N3 升压,因此,在提高了晶体管 Q3 的栅·源极间电压的状态下,进行节点 N1 的充电(预充电)。也就是,节点 N3 的升压时的晶体管 Q3 不是源极跟随方式而是非饱和动作地对节点 N1 充电,该节点 N1 的电平高速上升。因而,即使在时钟信号的频率增高,输入至第 1 及第 2 输入端子 IN1、IN2 的信号的脉冲宽度变窄的情况下,也能够对节点 N1 充分地预充电,防止晶体管 Q1 的驱动能力下降。另外,由于晶体管 Q3 进行非饱和工作,不会产生阈值电压部分的损失,可以将节点 N1 预充电至比传统技术更高的电平,因此,晶体管 Q1 的驱动能力变得比传统技术更高。因而,可以将单位移位寄存器电路 SR 级联连接成的移位寄存器电路高速化,从而能够有助于采用所构成的栅线驱动电路的显示装置的高分辨率化。

[0070] <实施例 2> 包含 TFT 的场效应晶体管是在栅电极上加了阈值电压以上的电压时,通过在半导体基板内隔着栅绝缘膜在栅电极的正下方形成的导电性沟道将漏·源极间电气连接而导通的元件。因而,导通状态的场效应晶体管在栅-沟道间具有一定的静电电容(栅电容)。亦即,可以将半导体基板内的沟道和栅电极作为两电极,将栅绝缘膜作为电介质层的电容元件起作用。这样的电容元件被称为「MOS(Metal-Oxide-Semiconductor) 电容元件」。

[0071] 图 6 是表示实施例 2 的单位移位寄存器电路 SR 的结构的电路图。在实施例 1 中,用电容元件 C2 构成将被充电后的节点 3 升压的升压电路,而在本实施例中,将它置换成晶体管 Q10 的栅电容。晶体管 Q10 的栅极连接在节点 N3 上,源极和漏电极共同连接至第 2 输入端子 IN2 上。亦即,晶体管 Q10 作为 MOS 电容元件起作用。

[0072] 通常,构成形成在半导体集成电路内的电容元件的电介质层的绝缘膜的厚度,由于与晶体管的栅绝缘膜的厚度相同,将电容元件置换成晶体管的栅电容时,可以用与该电容元件相同面积的晶体管代替。

[0073] 依据本实施例的单位移位寄存器电路 SR,该电路结构中因为仅将实施例 1 的电容元件 C2 置换成 MOS 电容元件(晶体管 Q10 的栅电容),所以与实施例 1 的单位移位寄存器电路 SR 同样地动作。因此,可以得到与实施例 1 同样的效果。

[0074] 晶体管 Q10 仅在栅·源极间被偏置在阈值电压以上时,即仅在节点 N3 被充电至 H 电平时,作为电容元件起作用。如上所述,由于晶体管 Q10 是用以升压被充电后的节点 N3 的元件,因此,如果节点 N3 仅在 H 电平期间作为电容元件工作,则不存在动作上的问题。

[0075] 换言之,由于在节点 N3 处于 L 电平期间,晶体管 Q10 没有作为电容元件工作,在该期间,即使第 2 输入端子 IN2 成为 H 电平,节点 N3 也不被升压。因此,输入至第 2 输入端子 IN2 的信号不限于前级的输出信号 G_{n-1} ,可以使用输入至前级的单位移位寄存器电路 SR 的时钟信号。例如图 3 那样,如果在该单位移位寄存器电路 SR 的时钟端子 CK 上输入时钟信号 CLK1,则其第 2 输入端子 IN2 上也可输入时钟信号 CLK3。

[0076] 在实施例 1 的图 3 的电路结构的场合,例如在时钟端子 CK 上输入时钟信号 CLK1,如果在第 2 输入端子 IN2 上输入时钟信号 CLK3,则即使节点 N3 在应该是 L 电平的复位状态期间,节点 N3 也被不必要用时钟信号 CLK3 升压,存在有产生误动作的危险的问题。在本实施例中,在节点 N3 处于 L 电平的期间,由于晶体管 Q10 没有作为电容元件起作用,不会伴随该问题。

[0077] 通常,由于时钟信号的上升速度比单位移位寄存器电路 SR 的输出信号的上升速度更快,一旦在第 2 输入端子 IN2 上输入时钟信号,则节点 N3 的升压速度变快。其结果,节点 N1 的充电(预充电)更加被高速化。加之,加到各单位移位寄存器电路 SR 的输出端子

OUT 上的负载降低,可抑制输出信号 G_n 的信号延迟。因而,如果在本实施例的单位移位寄存器电路 SR 的第 2 输入端子 IN2 上输入时钟信号,则可以比实施例 1 更有助于输出信号的高速化。

[0078] 再者,在图 6 的电路中,示出了将晶体管 Q10 的源极和漏极都连接到第 2 输入端子 IN2 的结构,但由于都是作为 MOS 电容元件的同一侧的电极起作用,也可以构成为仅将两者中的任意一方连接到第 2 输入端子 IN2。

[0079] < 实施例 3 > 如上所述,在实施例 1 的单位移位寄存器电路 SR 中,通过在用以对节点 N1 充电的晶体管 Q3 的栅极(节点 N3)上设置充电电路(晶体管 Q8)及升压电路(电容元件 C2),将该节点 N3 升压至 $2 \times VDD - V_{th}$ 的电平。因此,由于晶体管 Q3 非饱和工作,可以得到对节点 N1 高速充电(预充电)的效果。

[0080] 在本实施例中,将该技术也应用到对节点 N3 充电的晶体管 Q8 的栅极上,通过在晶体管 Q8 的栅极上也设置同样的充电电路和升压电路,将节点 N3 升压至比实施例 1 更高的电平。

[0081] 图 7 是表示实施例 3 的单位移位寄存器电路的结构的电路图。在本实施例中,单位移位寄存器电路 SR 中同样设有:基于输入至第 1 输入端子的信号对节点 N3 充电的充电电路(第 1 充电电路);以及基于输入至第 2 输入端子 IN2 的信号将充电后的节点 N3 升压的升压电路(第 1 升压电路)。在本实施例中,除了连接在节点 N3 与第 2 电源端子 s2 之间的晶体管 Q8 之外,第 1 充电电路还设有连接在与该晶体管 Q8 的栅极连接的节点 N4 和第 2 电源端子 s2 之间的晶体管 Q11;以及连接在节点 N4 与第 3 输入端子 IN3 之间的电容元件 C3。另一方面,与实施例 1 一样第 1 升压电路用电容元件 C2 构成。

[0082] 在节点 N4 与第 1 电源端子 s1 之间,连接了具有连接于节点 N2 的栅极的晶体管 Q12。在本实施例中,由晶体管 Q6 和晶体管 Q7 构成的变换器(下拉驱动电路)将节点 N4 作为输入端,将节点 N2 作为输出端。

[0083] 多个单位移位寄存器电路 SR 级联连接而构成栅线驱动电路。但是,本实施例中,被连接成:使在第 1 输入端子 IN1 上输入 3 级前(前前前级)的输出信号(设为「 G_{n-3} 」),在第 3 输入端子 IN3 上输入 2 级前的输出信号 G_{n-2} ,在第 2 输入端子 IN2 上,输入前级的输出信号 G_{n-1} 。

[0084] 另外,在本实施例中,级联连接的单位移位寄存器电路 SR 用各自相位不同的 4 相的时钟信号驱动。亦即,在各单位移位寄存器电路 SR 的时钟端子 CK 上提供 4 相时钟中预定的 1 相,移位寄存器电路 SR1、SR2、SR3... 的复位端子 RST 按该顺序被激活。

[0085] 又,在第 1 级(第 1 段)的单位移位寄存器电路 SR1 的第 1 至第 3 输入端子 IN1 ~ IN3 上输入 3 相的起动脉冲,该起动脉冲按第 1 输入端子 IN1、第 3 输入端子 IN3、第 2 输入端子 IN2 的顺序被激活。

[0086] 如实施例 1 所说明过的情况,在图 3 的单位移位寄存器电路 SR 中,用 2 级前的输出信号 G_{n-2} 将节点 N3(晶体管 Q3 的栅)充电至 $VDD - V_{th}$ 的电平(式 1),其后,用前级的输出信号 G_{n-1} 进而将节点 N3 升压至 $2 \times VDD - V_{th}$ 的电平(式(2)),使晶体管 Q3 非饱和工作并将节点 N1 充电(预充电)至 $VDD1$ 的电平。

[0087] 对此,在本实施例的图 7 的单位移位寄存器电路 SR 中,用输入至第 1 输入端子 IN1 的 3 级前的输出信号 G_{n-3} 将节点 N4(晶体管 Q8 的栅)充电至 $VDD - V_{th}$ 的电平。于是,晶体

管 Q8 成为导通,而这时节点 N3 的电平仅上升至 $V_{DD}-2\times V_{th}$ 。但之后,由于输入至第 3 输入端子 IN3 的 2 级前的输出信号 G_{n-2} ,节点 N4 进而被升压至 $2\times V_{DD}-V_{th}$ 的电平。于是,晶体管 Q8 非饱和工作,节点 N3 的电平被高速充电至 $V_{DD1}(=V_{DD})$ 的电平。因而,如果输入至第 2 输入端子 IN2 的前级的输出信号 G_{n-1} 成为 H 电平 (V_{DD}),则由于电容元件 C2 的电容耦合,节点 N3 的电平上升至 $2\times V_{DD}$ 的电平,节点 N1 通过晶体管 Q3 被高速地充电至 V_{DD1} 的电平。

[0088] 这样,包含在第 1 充电电路中的晶体管 Q11 基于输入至第 1 输入端子 IN1 的信号,起到对节点 N4 充电的第 2 充电电路的作用,另外,电容元件 C3 基于输入至第 3 输入端子 IN3 的信号,起到将充电后的节点 N4 升压的第 2 升压电路的作用。

[0089] 依据以上所述的本实施例,由于晶体管 Q11 及电容元件 C3 的作用,可以将节点 N3 的电平升压至比实施例 1 高出阈值电压 V_{th} 的电平 ($2\times V_{DD}$),就可以将节点 N1 高速充电到该程度。因此,即使在时钟信号的频率提高、其脉冲宽度变得更窄的情况下,也可以抑制驱动能力的下降。因而,可以将单位移位寄存器电路 SR 级联连接而构成的移位寄存器电路高速化,于是,可以有助于采用了所构成的栅线驱动电路的显示装置的高分辨率化。

[0090] 再者,图 7 的单位移位寄存器电路 SR 的具体动作除了节点 N3 的充电・升压按照被输入至第 1 至第 3 输入端子 IN1 ~ IN3 的 3 个信号进行以外,其余与实施例 1 大致相同。因此,将图 7 的单位移位寄存器电路 SR 多个级联连接,构成栅线驱动电路后的动作成为如图 8 的时序图。亦即,如果在第 1 级的单位移位寄存器电路 SR 的第 1 至第 3 输入端子 IN1 ~ IN3 上被输入输入信号(起动脉冲),则其后,第 1 级的单位移位寄存器电路 SR1 的输出信号 G_1 一边以同步于时钟信号 CLK1 ~ CLK4 的定时被移位,一边作为栅线驱动信号 G_1 、 G_2 、 G_3 、... 按栅线 GL1、GL2、GL3... 顺序被输出,并被依次传输至单位移位寄存器电路 SR2、SR3...。从而,栅线驱动电路 30 可用预定的扫描周期依次驱动栅线 GL1、GL2、GL3...。

[0091] 再者,在本实施例中,第 1 及第 2 升压电路分别由电容元件 C2、电容元件 C3 构成,若采用实施例 2,则可分别置换成 MOS 电容元件(图示省略)。

[0092] 在该场合,第 3 输入端子 IN3 上输入被输入至 2 级前的单位移位寄存器电路 SR 的时钟信号,也可以在第 2 输入端子 IN2 上输入被输入至前级的单位移位寄存器电路 SR 的时钟信号。亦即,例如,如果在该单位移位寄存器电路 SR 的时钟端子 CK 上输入时钟信号 CLK1,则可在其第 3 输入端子 IN3 上输入时钟信号 CLK3、在第 2 输入端子 IN2 上输入时钟信号 CLK4。如前面所述,通常,由于时钟信号的上升速度比单位移位寄存器电路 SR 的输出信号的上升速度更快,由于使用时钟信号,节点 N3 及节点 N4 的升压速度变快,其结果,节点 N1 的充电(预充电)被进一步高速化。加之,加在各单位移位寄存器电路 SR 的输出端子 OUT 上的负载减小,可以抑制输出信号 G_n 的信号延迟。因而,可以更有助于输出信号的高速化。

[0093] <实施例 4> 如前面所述,各实施例所示的高电位侧电源电位 V_{DD1} 、 V_{DD2} 也可以是彼此相同的电平。因此,在本实施例中,将提供高电位侧电源电位 V_{DD1} 的第 2 电源端子 S2 和提供高电位侧电源电位 V_{DD2} 的第 3 电源端子用同一端子构成。

[0094] 图 9 是本实施例的单位移位寄存器电路 SR 的电路图,实施例 1(图 3)的单位移位寄存器电路 SR 是第 2 电源端子 s2 和第 3 电源端子 s3 用同一端子构成的例子。另外,本实施例对于实施例 2(图 6)及实施例 3(图 7)的电路也适用,图示省略。

[0095] 依据本实施例,由于削减了用于电源供给的布线的占有面积,可以有助于栅线驱

动电路的高集成化,进而有助于显示装置的小型化。

[0096] 实施例 5 如在实施例 2 中已说明过的那样,包含 TFT 的场效应晶体管,也可以作为将在导通状态下形成在半导体基板上的沟道和栅电极作为两个电极、将栅绝缘膜作为电介质层的 MOS 电容元件起作用。

[0097] 图 10 是表示实施例 5 的单位移位寄存器电路 SR 的结构的电路图。在实施例 1 中,在晶体管 Q1 的栅・源极间设置节点 N1 的升压用电容元件 C1(升压电容),而在本实施例中,将它置换成晶体管 Q1 的栅电容。此时,如图 10 的电路图所示,就不需要电容元件 C1。

[0098] 通常,由于构成在半导体集成电路内形成的电容元件的电介质层的绝缘膜的厚度与晶体管的栅绝缘膜的厚度相同,在将电容元件置换成晶体管的栅电容时,可以用与该电容元件同样面积的晶体管代替。亦即,在图 10 中,通过将晶体管 Q1 的栅宽以相当程度的扩展,就可以实现与实施例 1 的图 3 的电路等效的升压动作。

[0099] 另外,由于通过扩展晶体管 Q1 的栅宽使其驱动能力增高,其结果,输出信号 G_n 的上升及下降速度变快,具有可将本发明的谋求动作的高速化的效果进一步提高的优点。

[0100] <实施例 6>图 11 是表示本发明的实施例 6 的单位移位寄存器电路 SR 的结构的电路图。

[0101] 单位移位寄存器电路 SR 的输出级用连接在输出端子 OUT 与时钟端子 CK 之间的晶体管 Q1(第 1 晶体管)和连接在输出端子 OUT 与第 1 电源端子 s1 之间的晶体管 Q2(第 2 晶体管)构成。这里,将晶体管 Q1 的栅极(控制电极)所连接的栅设为节点 N1(第 1 节点),将晶体管 Q2 的栅极所连接的节点设为节点 N2。

[0102] 在晶体管 Q1 的栅・源极间(即输出端子 OUT 与节点 N1 之间)设置电容元件 C1。另外,在节点 N1 与第 2 电源端子 s2 之间,连接晶体管 Q3(第 3 晶体管),该晶体管 Q3 的栅极连接在第 1 输入端子 IN1 上。在节点 N1 与第 1 电源端子 s1 之间,连接其栅极连接在节点 N2 上的晶体管 Q4。

[0103] 本实施例的单位移位寄存器电路 SR,在节点 N1 与第 2 输入端子 IN2 之间设有串联连接的晶体管 Q13 和电容元件 C4。即,晶体管 Q13 的源极连接在节点 N1,漏极连接在电容元件 C4 的一端,另外,电容元件 C4 的另一端连接在第 2 输入端子 IN2 上。还有,晶体管 Q13 的栅和漏极相互连接,构成所谓的二极管连接。即,将电容元件 C4 与晶体管 Q13 的连接节点(即晶体管 Q13 的栅和漏极的节点)设为节点 N5(第 2 节点),则晶体管 Q13 具有将从节点 N5 向节点 N1 的方向作为导通方向的单向性开关元件的功能。

[0104] 在上面定义的节点 N5 与第 2 电源端子 s2 之间连接晶体管 Q14(第 4 晶体管),其栅极连接在第 1 输入端子 IN1 上。另外,在节点 N5 与第 1 电源端子 s1 之间,连接晶体管 Q15,其栅极连接在节点 N2 上。

[0105] 在节点 N2 与第 3 电源端子 s3 之间连接被二极管连接的晶体管 Q6,在节点 N2 与第 1 电源端子 s1 之间连接晶体管 Q7。晶体管 Q7 的栅极连接在节点 N5 上。

[0106] 晶体管 Q7 被设定成驱动能力(流过电流的能力)比晶体管 Q6 充分大,该晶体管 Q6 及晶体管 Q7 构成用两者的导通电阻值之比规定其动作的比率型变换器。该变换器将节点 N5 作为输入端,将节点 N2 作为输出端,构成驱动使输出端子 OUT 下拉的晶体管 Q2 的「下拉驱动电路」。

[0107] 另外,如图 11 所示,在本实施例的单位移位寄存器电路 SR 中,设置连接在节点 N2

与第 1 电源端子 s1 之间、具有连接至输出端子 OUT 的栅极的晶体管 Q16。该晶体管 Q16 不会影响到单位移位寄存器电路 SR 的逻辑动作,其详情后述。

[0108] 本实施例的单位移位寄存器电路 SR 也用如图 2 所示的级联连接构成栅线驱动电路 30。亦即,在各单位移位寄存器电路 SR 中,在时钟端子 CK 上提供 3 相的时钟信号 CLK1、CLK2、CLK3 中预定的 1 个,在复位端子 RST 上连接下一级的单位移位寄存器电路 SR 的输出端子 OUT。

[0109] 另外,在第 1 级(第 1 段)的单位移位寄存器电路 SR 中,在第 1 及第 2 输入端子 IN1、IN2 上,作为输入信号分别输入第 1 和第 2 起动脉冲 SP1、SP2。在第 2 级的单位移位寄存器电路 SR 中,在第 1 输入端子 IN1 上输入上述第 2 起动脉冲 SP2,第 2 输入端子 IN2 连接在第 1 级的单位移位寄存器电路 SR1 的输出端子 OUT 上。在第 3 级以后的单位移位寄存器电路 SR 中,在第 1 输入端子上连接其 2 级前(前前级)的单位移位寄存器电路 SR 的输出端子 OUT,在第 2 输入端子 IN2 上,连接其前级的单位移位寄存器电路 SR 的输出端子 OUT。而且,被输出至各单位移位寄存器电路 SR 的输出端子 OUT 上的输出信号,作为水平(或垂直)扫描脉冲对栅线 GL 输出。

[0110] 图 12 是表示本实施例 6 的单位移位寄存器电路的动作的时序图。以下,参照图 12,说明本实施例的单位移位寄存器电路 SR 的具体动作。由于构成栅线驱动电路 30 的各单位移位寄存器电路 SR 的动作实质上哪一个都是相同的,这里,代表性地说明 1 个单位移位寄存器电路 SR 的动作。为了简单,就在单位移位寄存器电路 SR 的时钟端子 CK 上输入时钟信号 CLK1 的情况进行说明(例如,图 2 的单位移位寄存器电路 SR1、SR4 等与此对应)。

[0111] 这里,也将该单位移位寄存器电路 SR 输出的栅线驱动信号设为 G_n ,将其前级及 2 级前的单位移位寄存器电路 SR 的输出信号分别设为 G_{n-1} 及 G_{n-2} ,将下一级的单位移位寄存器电路 SR 输出的栅线驱动信号设为 G_{n+1} 。另外,为了说明的简单,假定时钟信号 CLK1、CLK2、CLK3、第 1 起动脉冲 SP1 及第 2 起动脉冲 SP2 的 H 电平全部相等,将其电平表示为 VDD。还有,设该电平 VDD 与高电位侧电源电位 VDD1 的电平相等(即 $VDD = VDD1$)。

[0112] 首先,作为初始状态,设想节点 N1 及节点 N5 是 L(低)电平(VSS)、节点 N2 是 H(高)电平($VDD2 - V_{th}$ (V_{th} :晶体管的阈值电压))的复位状态。另外,设时钟端子 CK(时钟信号 CLK1)、复位端子 RST(下一级的输出信号 G_{n+1})、第 1 输入端子 IN1(2 级前的输出信号 G_{n-2})、第 2 输入端子 IN2(前级的输出信号 G_{n-1})都是 L 电平。在复位状态下,该单位移位寄存器电路 SR 所连接的栅线处于非选择状态。

[0113] 从该状态开始,在时刻 t1,2 级前的输出信号 G_{n-2} (第 1 级的单位移位寄存器电路 SR1 的第 1 起动脉冲 SP1)成为 H 电平时,该信号被输入至该单位移位寄存器电路 SR 的第 1 输入端子 IN1,晶体管 Q3 及晶体管 Q14 成为导通。这时,由于节点 N2 为 H 电平,晶体管 Q4、Q15 也成为导通,而晶体管 Q3、Q14 分别设定成比晶体管 Q4、Q15 充分大的驱动能力,晶体管 Q3、Q14 的导通电阻分别比 Q4、Q15 的导通电阻充分低。因此,节点 N1、N5 分别通过各自的晶体管 Q3、Q14 被充电,该节点 N1、N5 的电平上升。即,晶体管 Q3 基于被输入至第 1 输入端子 IN1 的信号,作为对晶体管 Q1 的栅极所连接的节点 N1 充电的充电电路起作用。

[0114] 一旦节点 N5 的电平上升,晶体管 Q7 就开始导通,节点 N2 的电平下降。若如此,则晶体管 Q15 的电阻增高,节点 N5 的电平急速上升。与此相应,晶体管 Q7 充分地成导通。其结果,节点 N2 成为 L 电平(VSS),晶体管 Q4、Q15 成为截止,节点 N1、N5 成为 H 电平。

[0115] 这里,为了使节点 N5 的电平上升,需要将连接在它上的电容元件 C4 及晶体管 Q13 的栅电容充电,而由于这些电容值是输出级的晶体管 Q1 及电容元件 C1 的约 $1/5 \sim 1/10$ 的程度,节点 N5 可以比较高速地充电。因此,尽管晶体管 14 以比较不适于高速充电的源极跟随方式动作,也可以使节点 N5 的电平高速上升,节点 N5 被充电至 $VDD-V_{th}$ 的电平。

[0116] 另一方面,为了使节点 N1 的电平上升,需要将电容元件 C1 及晶体管 Q1 的栅电容充电,而如上述由于它们的电容值相当大,节点 N1 的高速充电存在困难。另外,在节点 N1 充电时,由于晶体管 Q3 以源极跟随方式动作,在短时间内难以使节点 N1 的电平上升至理论值 ($VDD-V_{th}$)。因而,如果 2 级前的输出信号 G_{n-2} 的脉冲宽度不是充分宽,这时的节点 N1 的电平只上升至比理论值小的一定电平 V_{1a} 为止。

[0117] 在时刻 t_2 ,2 级前的输出信号 G_{n-2} 返回至 L 电平时,晶体管 Q3、Q14 成为截止,其后,节点 N1 及节点 N5 成为浮置状态,另外,由于晶体管 Q7、Q15 执行触发器的动作,它们的电平被维持。

[0118] 然后,在时刻 t_3 ,前级的输出信号 G_{n-1} (对于第 1 级的单位移位寄存器电路 SR1 是第 2 起动脉冲 SP2) 成为 H 电平时,单位移位寄存器电路 SR 的第 2 输入端子 IN2 成为 H 电平。于是,由于电容元件 C4 的电容耦合,充电后的节点 N5 被升压。

[0119] 由于晶体管 Q13 作为以从节点 N5 向节点 N1 的方向为导通方向的二极管动作,节点 N5 升压后,通过该晶体管 Q13 从节点 N5 向节点 N1 流过电荷,节点 N1 的电平被升压。

[0120] 具体地说,由于节点 N5 的电荷被分配在晶体管 Q1 的栅电容、电容元件 C1、C4 上,节点 N1 的电平上升量 ΔV_1 成为: $\Delta V_1 = VDD \cdot C_4 / (C_4 + C_1 + C_{Q1}) - V_{th} \dots (3)$ 式 (3) 的 C_4 是电容元件 C4 的电容值, C_1 是电容元件 C1 的电容值, C_{Q1} 是晶体管 Q1 的栅电容值, V_{th} 是晶体管 Q13 的阈值电压。这样,晶体管 Q13、Q14、电容元件 C4 构成一种电荷泵电路,作为用电荷泵动作将经晶体管 Q3 的充电后的节点 N1 升压的升压电路起作用。

[0121] 再者,在图 11 的单位移位寄存器电路 SR 中,由于电容元件 C1 的电容值 (C_1) 及晶体管 Q1 的栅电容值 (C_{Q1}) 较大,难于将上升量 ΔV_1 的值增大,但如果是将由电容元件 C4 升压后的节点 N1 的电平设为达到 VDD_1 以上的程度,则能够容易地实现。即,若将经上述电荷泵动作升压后的节点 N1 的电平设为 V_{1b} ,则可以有: $V_{1b} = V_{1a} + \Delta V_1 \geq VDD_1 \dots (4)$

[0122] 由于该动作,该单位移位寄存器电路 SR 成为节点 N1 及节点 N5 为 H 电平、节点 N2 为 L 电平的设置状态。在设置状态下,晶体管 Q1 成导通,晶体管 Q2 成为截止。

[0123] 如先前所述,在传统的单位移位寄存器电路中的节点 N1 的充电时,该节点 N1 只上升至 $VDD-V_{th}$ 的电平,而在本实施例中,如上式 (4) 所示,可以将节点 N1 充电至比传统技术高 V_{th} 以上的电平。

[0124] 在其后的时刻 t_4 ,前级的输出信号 G_{n-1} 从 H 电平变成 L 电平时,第 2 输入端子 IN2 成为 L 电平。这样一来,节点 N5 的电平随之下降,但由于晶体管 Q13 作为二极管起作用,节点 N1 的电平不变(设置状态也被维持)。因此,由于上述电荷泵动作,节点 N5 的电平仅下降相当于从节点 N5 流向节点 N1 的电荷量的电压 ΔV_5 (参照图 12)。

[0125] 节点 N5 的电平降低量 ΔV_5 大时,由于晶体管 Q7 的电阻值上升,则有 L 电平的节点 N2 的电位变高之虞。若如此,在其后(时刻 t_5),输出端子 OUT(输出信号 G_n) 的电平上升,由于晶体管 Q2 的栅·漏极间的叠加电容,节点 N2 的电平再上升时,晶体管 Q2 导通,产生了所谓输出信号 G_n 的电平下降的问题。晶体管 Q16 是用以防止该问题发生的装置。即,

通过将晶体管 Q16 在输出信号 G_n 成为 H 电平时设导通并将节点 N2 固定在低电位侧电源电位 VSS,防止晶体管 Q2 不必要地成导通。当然,在节点 N5 的电平下降量 ΔV_5 小,不担心产生上述问题发生的情况下,也可以不设置晶体管 Q16。

[0126] 在处于设置状态的单位移位寄存器电路 SR 中,由于晶体管 Q1 导通,晶体管 Q2 截止,在时刻 t_5 ,时钟端子 CK 的时钟信号 CLK1 成为 H 电平时,输出端子 OUT 的输出信号 G_n 的电平上升。于是,通过电容元件 C1 和晶体管 Q1 的栅电容的电容耦合,节点 N1 的电平上升特定的电压。

[0127] 若假定节点 N1 的寄生电容值比起晶体管 Q1 的栅电容和电容元件 C1 的电容值之和充分小,则根据输出信号 G_n 经升压的节点 N1 的电平 V_{1c} 成为: $V_{1c} = V_{1b} + V_{DD} \geq 2 \times V_{DD}$... (5) 从式 (5) 可知,在节点 N1 按照输出信号 G_n 升压后,晶体管 Q1 的栅·源极间电压比实施例 1 进一步增大,输出端子 OUT 的电平即输出信号 G_n 追随于时钟信号 CLK1,更高速地上升。另外,由于晶体管 Q1 非饱和工作,没有阈值电压 V_{th} 部分的损失,输出信号 G_n 的 H 电平跟时钟信号 CLK1 的 H 电平一样成为 VDD。

[0128] 在时刻 t_5 ,成为 H 电平的输出信号 G_n 在时钟信号 CLK1 为 H 电平期间,维持 H 电平并激活栅线。然后,在时刻 t_6 ,时钟信号 CLK1 返回至 L 电平时,栅线驱动信号 G_n 也成为 L 电平,返回至栅线的非选择状态。这时,节点 N1 的电平也下降而成为升压前的电平。

[0129] 在之后的时刻 t_7 时钟信号 CLK2 成为 H 电平,在该定时下一级的栅线驱动信号 G_{n+1} 就成为 H 电平,因此,它被输入至复位端子 RST,晶体管 Q5 成导通。从而,节点 N5 的电平下降,晶体管 Q7 成为截止,因此,节点 N2 成为 H 电平。相应地,晶体管 Q4 成导通,将节点 N1 置于 L 电平。其结果,返回到晶体管 Q1 截止、晶体管 Q2 导通的复位状态。

[0130] 汇总以上的动作,在本实施例的单位移位寄存器电路 SR 中,在第 1 输入端子 IN1 和第 2 输入端子 IN2 上没有输入信号的期间,处于节点 N1 是 L 电平 (VSS)、节点 N2 是 H 电平 ($V_{DD2} - V_{th}$) 的复位状态,在此期间,由于晶体管 Q1 处于截止状态,晶体管 Q2 处于导通状态,输出端子 OUT 被维持在低阻抗的 L 电平 (VSS)。而且,若按第 1 输入端子 IN1 及第 2 输入端子 IN2 的顺序输入脉冲信号,则节点 N2 成为 L 电平 (VSS),节点 N1 成为比高电位侧电源电位 VDD1 更高的 H 电平的设置状态。在设置状态下,由于晶体管 Q1 导通、晶体管 Q2 截止,在时钟端子 CK 的信号 (时钟信号 CLK1) 是 H 电平的期间,栅线用输出端子 OUT 成为 H 电平并激活栅线。其后,在复位端子 RST 上输入信号 (下一级的栅线驱动信号 G_{n+1}) 时,返回至节点 N1 及节点 N5 为 L 电平、节点 N2 为 H 电平的复位状态。

[0131] 如果将这样动作的多个单位移位寄存器电路 SR 进行图 2 所示的级联连接而构成栅线驱动电路 30,则其动作与上面所示的图 5 的时序图所示的相同。

[0132] 如以上所述,依据本实施例的单位移位寄存器电路 SR,作为充电电路的晶体管 Q3 对晶体管 Q1 的栅极 (节点 N1) 充电,接着,由晶体管 Q13、Q14 及电容元件 C4 构成的升压电路 (电荷泵电路) 将充电后的节点 N1 升压,因此,即使在时钟信号的频率增高,输入至第 1 及第 2 输入端子 IN1、IN2 的信号的脉冲宽度变窄的情况下,也能够将节点 N1 充分地预充电,可防止晶体管 Q1 的驱动能力的低下。另外,由于升压电路的电荷泵动作,可以将节点 N1 预充电至比传统技术高的电平,因此,晶体管 Q1 的驱动能力变得比传统技术更高。因而,可以将单位移位寄存器电路 SR 级联连接而构成的移位寄存器电路高速化,从而,能够有助于采用所构成的栅线驱动电路的显示装置的高分辨率化。

[0133] <实施例 7> 图 13 是表示实施例 7 的单位移位寄存器电路 SR 的结构的电路图。如该图所示,在本实施例中,将构成升压电路的电容元置换成由晶体管 Q17 产生的 MOS 电容元件。即,晶体管 Q17 的栅极连接在节点 N5,源极和漏极一同连接在第 2 输入端子 IN2 上。

[0134] 依据本实施例的单位移位寄存器电路 SR,由于其电路结构仅是将实施例 6 的电容元件 C4 置换成 MOS 电容元件(晶体管 Q17 的栅电容),因此与实施例 6 的单位移位寄存器电路 SR 同样动作。从而,可以得到与实施例 6 同样的效果。

[0135] 仅在栅·源极间被偏置在阈值电压以上时,即仅在节点 N5 被充电至 H 电平时,晶体管 Q17 才作为电容元件起作用。如向节点 N1 提供电荷那样,晶体管 Q17 也可将被充电后的节点 N5 升压,因此,如果它仅在节点 N5 处于 H 电平期间作为电容元件起作用,则没有动作上的问题。

[0136] 换言之,由于晶体管 Q17 在节点 N5 处于 L 电平期间没有作为电容元件起作用,在该期间,即使第 2 输入端子 IN2 成了 H 电平,节点 N5 也不会被升压。因此,在第 2 输入端子 IN2 上输入的信号不限于前级的输出信号 G_{n-1} ,可以使用被输入至前级的单位移位寄存器电路 SR 的时钟信号。例如,如图 11 所示,如果在该单位移位寄存器电路 SR 的时钟端子 CK 上输入时钟信号 CLK1,则在其第 2 输入端子 IN2 上也可以输入时钟信号 CLK3。

[0137] 在实施例 6 的图 11 的电路结构情况下,例如,如果在时钟端子 CK 上输入时钟信号 CLK1,在第 2 输入端子 IN2 上输入时钟信号 CLK3,则即使在节点 N5 应为 L 电平的复位状态期间,也没有节点 N5 由时钟信号 CLK3 不必要地升压而产生误动作的危险。在本实施例中,节点 N5 在 L 电平期间,晶体管 Q17 不作为电容元件起作用,因此不会伴随该问题。

[0138] 通常,由于时钟信号的上升速度比单位移位寄存器电路 SR 的输出信号的上升速度快,若在第 2 输入端子 IN2 上输入时钟信号,则节点 N5 的升压速度变快。其结果,节点 N1 的充电(预充电)被进一步高速化。此外,加在各单位移位寄存器电路 SR 的输出端子 OUT 上的负载减小,可以抑制输出信号 G_n 的信号延迟。因而,如果在本实施例的单位移位寄存器电路 SR 的第 2 输入端子 IN2 上输入时钟信号,则可以更加有助于输出信号比实施例 6 更高速化。

[0139] 再者,在图 13 的电路中,示出了将晶体管 Q17 的源极和漏极都连接于第 2 输入端子 IN2 的结构,但由于都是作为 MOS 电容元件的同一侧的电极起作用,也可构成为仅是两者中的任意一方连接至第 2 输入端子 IN2。

[0140] <实施例 8> 在实施例 6、7 中,高电位侧电源电位 VDD1、VDD2 也可为相同的电平。因此,在本实施例中,将与实施例 4 同样提供高电位侧电源电位 VDD1 的第 2 电源端子 s2,和提供高电位侧电源电位 VDD2 的第 3 电源端子 s3 用同一个端子构成。

[0141] 图 14 是本实施例的单位移位寄存器电路 SR 的电路图,是在实施例 6(图 11)的单位移位寄存器电路 SR 中将第 2 电源端子 s2 和第 3 电源端子 s3 用同一个端子构成的例子。

[0142] 依据本实施例,由于削减了用以电源供给的布线的占有面积,可以有助于栅线驱动电路的高集成化,进而有助于显示装置的小型化。

[0143] <实施例 9> 图 15 是表示实施例 9 的单位移位寄存器电路 SR 的结构的电路图。在实施例 6 中,在晶体管 Q1 栅·源极间设有节点 N1 升压用的电容元件 C1(升压电容),而在本实施例中,将它置换成晶体管 Q1 的栅电容。这时,如图 15 的电路图所示,不再需要电容元件 C1。

[0144] 通常,由于构成在半导体集成电路内形成的电容元件的电介质层的绝缘膜的厚度与晶体管栅绝缘膜的厚度相同,在将电容元件置换成晶体管的栅电容时,可用与该电容元件同样面积的晶体管代替。即,在图 15 中,采用将晶体管 Q1 的栅宽进行相当程度的扩展,可以实现与实施例 6 的图 11 的电路等同的升压动作。

[0145] 另外,通过将晶体管 Q1 的栅宽度加宽,其驱动能力增高,其结果,输出信号 G_n 的上升及下降速度变快,具有可进一步提高本发明的实现动作高速化的效果的优点。

[0146] < 实施例 10 > 图 16 是表示实施例 10 的单位移位寄存器电路的结构的电路图。如该图所示,本实施例是在实施例 1 的单位移位寄存器电路 SR(图 3) 上连接了向晶体管 Q3 的漏极提供预定的电位 VDD4 的电压发生电路 32 的电路。

[0147] 该电压发生电路 32 具有:被供给高电位侧电源电位 VDD3 的第 4 电源端子 s4;用以输出电位 VDD4 的电压输出端子 VT;被输入预定的时钟信号的至少 1 个时钟输入端子(图 16 中,代表性示出时钟信号 CLK1)。在本实施例中,作为输入至该时钟输入端子上的时钟信号,使用驱动级联连接的多个单位移位寄存器电路 SR(即,栅线驱动电路 30)的多相时钟信号中的任意一个(图 16 中,代表性示出时钟信号 CLK1)。

[0148] 电压发生电路 32 是基于加到第 4 电源端子 s4 的电位 VDD3 和输入至时钟输入端子的时钟信号来生成比电源电位 VDD3 高的输出电位 VDD4 的电路。另外,该电位 VDD4 是将低电位侧电源电位 VSS 作为基准的、比各时钟信号的振幅(H 电平的电位)更高的电位。

[0149] 图 17 表示一例电压发生电路 32 的具体电路结构。为了得到高电位输出,该电压发生电路 32 使用了电荷泵电路 CP。该电荷泵电路 CP 由晶体管 Q20、Q21 及电容元件 C5 构成。另外,在该电荷泵电路 CP 的输出端即电压输出端子 VT 上,设有电容元件 C6。

[0150] 在本实施例中,将该电压发生电路 32(电荷泵电路及稳定化电容 C6)与移位寄存器电路形成在同一基板上。电荷泵电路基本上由至少 2 个整流元件(二极管元件)和至少 1 个电容元件构成。在本实施例中,作为二极管元件,使用作了二极管连接的、与用于移位寄存器电路结构相同的晶体管 Q20、Q21。另外,作为电容元件,使用与像素电容(图 1 示出的电容 27)相同结构的电容元件 C5。电容元件 C6 用以使电荷泵电路 CP 的输出稳定。它也可以使用与像素电容相同结构的电容。这样一来,可以将电压发生电路与移位寄存器和像素电路并行地形成,因此,不会伴随制造工序的增加,并可抑制制造成本的增加。

[0151] 如图 17 所示,作为二极管元件的晶体管 Q20、Q21(以下分别称为「二极管元件 Q20」、「二极管元件 Q21」)被串联连接在提供高电位侧电源电位 VDD3 的第 4 电源端子 s4 与用以输出输出电位 VDD4 的电压输出端子 VT 之间。二极管元件 Q20、Q21 共同连接成第 4 电源端子 s4 一侧构成阳极、电压输出端子 VT 构成阴极。

[0152] 电容元件 C5 连接在二极管元件 Q20、Q21 之间的连接节点(以下称为节点 N6)与时钟输入端子 CK1 之间。由于该电容元件 C5 是用以重复进行将节点 N6 升压的电荷泵动作的元件,在时钟输入端子 CK1 上输入任意的时钟信号即可。作为该时钟信号,可以利用驱动各单位移位寄存器电路 SR 的时钟信号 CLK1 ~ CLK3 中的任意一个。若如此,没有必要另行设置用以驱动电荷泵电路 CP 的时钟信号发生电路,可以抑制电路规模的增大。在本实施例中,在图 17 的电路的时钟输入端子 CK1 上输入时钟信号 CLK1。以下,将电容元件 C5 称为「电荷泵电容」。

[0153] 另一方面,电容元件 C6 是在从电压输出端子 VT 向负载(单位移位寄存器电路 SR

的节点 N1) 流过电流时,用以稳定输出电位 VDD4 的电容,被连接在电压输出端子 VT 与提供低电位侧电源电位 VSS 的第 1 电源端子 s1 之间。以下,将电容元件 C6 称为「稳定化电容」。再者,稳定化电容 C6 的一端的连接端不限于第 1 电源端子 s1,只要是供给一定电压的低阻抗节点即可,不论其连接端如何。

[0154] 以下,说明图 17 的电路的动作。将构成电压发生电路 32 的各晶体管的阈值电压设为 V_{th} 。

[0155] 由于第 4 电源端子 s4 被提供电位 VDD3 时二极管 Q20 处于导通状态,节点 N6 的电位成为 $VDD3 - V_{th}$ 。并且,由于该节点 N6 的电位,二极管 Q21 成为导通,电压输出端子 VT 的电位成为 $VDD3 - 2 \times V_{th}$ 。

[0156] 其后,时钟信号 CLK1 (振幅 VDD) 上升时,由于电荷泵电容 C5 的耦合,节点 N6 被升压。如果忽略节点 N6 的寄生电容,则节点 N6 的电位上升至 $VDD3 - V_{th} + VDD$ 。由于该节点 N6 的电位上升,二极管 Q21 处在导通状态,从节点 N6 向电压输出端子 VT 流过电流。于是,电压输出端子 VT 的电平上升一定量,相反地,节点 N6 的电平降低电荷流出的部分。

[0157] 其后,若时钟信号 CLK1 下降,由于电荷泵的电容 C5 的耦合,节点 N6 的电位被降低。由于刚才节点 N6 被升压时,电荷从该节点 N6 向电压输出端子 VT 流出,电位降低后的节点 N6 的电平比升压前 (时钟信号 CLK1 上升前) 的 $VDD3 - V_{th}$ 更低。但是,由于节点 N6 的电位一降低二极管 Q20 就处于导通状态,节点 N6 立刻被充电,返回至 $VDD3 - V_{th}$ 。

[0158] 再者,由于刚才节点 N6 被升压时,电压输出端子 VT 的电位上升,当节点 N6 的电位变得比电压输出端子 VT 更低,但是由于二极管 Q21 阻止从电压输出端子 VT 向节点 N6 方向的电流,电压输出端子 VT 的电位上升后的状态被维持。

[0159] 之后,每当输入时钟信号 CLK1,就重复以上的动作,最终,电压输出端子 VT 的电位 VDD4 达到 $VDD3 - 2 \times V_{th} + VDD$ 。

[0160] 这里,假定上述的电位 VDD1 ~ VDD3 的值全部相等,其值与时钟信号 CLK1 ~ CLK3 的 H 电平相同为 VDD,则最终的电压发生电路 32 的输出电位 VDD4 成为 $2 \times VDD - 2 \times V_{th}$,它构成晶体管 Q3 的漏极电位。在同样的假定下,例如,实施例 1 的单位移位寄存器电路 SR 的晶体管 Q3 的漏极电位是 VDD (= VDD2)。即,依据本实施例的单位移位寄存器电路 SR,即使在高电位侧电源电位的各电位与时钟信号 CLK1 ~ CLK3 的 H 电平是同样电位 VDD 的情况下,也可用电压发生电路 32 在晶体管 Q3 的漏极上提供更高的电位 VDD4 (= $2 \times VDD - 2 \times V_{th}$)。

[0161] 因而,在本实施例中,晶体管 Q3 可以将晶体管 Q1 的栅极 (节点 N1) 充电 (预充电) 至比实施例 1 时更高的电位。其结果,输出信号 G_n 的输出时的晶体管 Q1 的导通电阻变小,输出信号 G_n 的上升及下降被高速化,可以得到所谓能够使晶体管电路动作的高速化的效果。另外,反过来说,尽管减小了晶体管 Q1 的沟道宽度,但还是可以抑制输出信号 G_n 的上升及下降速度的降低,因此能够减小移位寄存器电路的占有面积。

[0162] 下面,具体地说明本实施例的效果。这里也将时钟信号 CLK1 ~ CLK3 各自的振幅 (H 电位的电位) 设为 VDD,在图 16 的电路中,晶体管 Q3 的栅极 (节点 N3) 根据 2 级前的输出信号 G_{n-2} 由晶体管 Q8 充电时该节点 N3 的电位,由该输出信号 G_{n-2} 的 H 电位的电位决定。如实施例 1 的说明那样,如果时钟信号 CLK1 ~ CLK3 的振幅是 VDD,则各单位移位寄存器电路 SR 的输出信号的 H 电平也是 VDD。

[0163] 节点 N3 的充电由晶体管 Q8 在饱和区域的动作来执行,充电后节点 N3 的电位伴随

着晶体管 Q8 的阈值电压 (V_{th}) 部分的损失,成为 $VDD-V_{th}$ 。因此,其后,节点 N3 随着前级的输出信号 G_{n-1} (振幅 VDD) 用电容 C2 被升压时的该节点 N3 的电位,如果忽略节点 N3 的寄生电容,则成为 $2 \times VDD-V_{th}$ 。

[0164] 因而,在该时刻,如果晶体管 Q3 的漏极电位 (即电压发生电路 32 的输出电位 VDD4) 为 $2 \times VDD-2 \times V_{th}$ 以上,则晶体管 Q3 可以将节点 N1 充电 (预充电) 至 $2 \times VDD-2 \times V_{th}$ 的电位。如前面所述,由于电压发生电路 32 的输出电位 VDD4 被表示为 $VDD3-2 \times V_{th}+VDD$,如果提供给电压发生电路 32 的电源电位 VDD3 为 VDD 以上,则满足条件。此时,晶体管 Q1 的栅·源极间电压成为 $2 \times VDD-2 \times V_{th}$ 。其后,输出信号 G_n 的输出时的晶体管 Q1 的导通电阻由该时晶体管 Q1 的栅·源极间电压决定。

[0165] 通常,提供给移位寄存器的高电位侧电源电位一般被设定成等于时钟信号的 H 电平。例如,作为传统例,可举出如上述专利文献 1 图 7 的电路,如果高电位侧电源电位 (V_{ON}) 及时钟信号的 H 电位的电位均为 VDD,则节点 N1 被充电时的电位成为 $VDD-V_{th}$ 。由于晶体管 Q1 (相当于专利文献 1 的晶体管 M1) 的导通电阻正比于其栅·源极间电压,在本实施例中,对于该传统例,可以将晶体 Q1 的导通电阻值取为 $(VDD-V_{th})/(2 \times VDD-2 \times V_{th}) = 1/2$ 倍,即一半。

[0166] 再者,在图 16 的电路中,晶体管 Q8 的漏极被供给一定的电位 VDD1,但也可将它与栅一同连接到第 1 输入端子 IN1。即,也可以将晶体管 Q8 二极管连接到第 1 输入端子 IN1 与节点 N3 之间。以下所示的实施例也一样。此时,由于输入至第 1 输入端子 IN1 的 2 极前的输出信号 G_{n-2} 也作为用以充电节点 N3 的电源起作用,可以省略第 2 电源端子 s2 及向它供给电位 VDD1 的电源,有助于电路的缩小。

[0167] 另外,在本实施例中,作为将电压发生电路 32 (电荷泵电路 CP 及稳定化电容 C6) 与移位寄存器电路形成在同一基板内的情况作了说明,但也可以将其构成要素的全部或一部分形成在基板的外部并加以连接。这种情况下,可以抑制该基板面积的增大,但由于需要将用以连接基板内的电路与电压发生电路 32 (或其一部分) 的外部连接端子设置在基板上,增加了该部分的端子数。

[0168] 例如,考虑将电压发生电路 32 的电荷泵电路 CP 的二极管元件与移位寄存器电路形成在同一基板上,将电容元件 (电荷泵电容及稳定化电容) 置于外部。这种情况下,通过使用与移位寄存器电路的元件相同结构的晶体管作为二极管元件,可以简化制造工序,且容易实现电容元件的大容量化。另外,例如,如果将二极管元件及稳定化电容外置,将电荷泵电容形成在基板内,则可以得到能够减小电路的寄生电容的优点。

[0169] < 实施例 11 > 在图 17 所示的电压发生电路 32 中,时钟信号 CLK1 的上升时通过电荷泵电容 C5 向电压输出端子 VT 供给电荷,但一旦它下降,向电压输出端子 VT 的电荷供给就消失。因此,时钟信号 CLK1 在 L 电平期间,电压发生电路用蓄积在电压稳定化电容 C6 中的电荷向负载 (单位移位寄存器电路 SR 的节点 N1) 提供电流。即,时钟信号 CLK1 在 L 电平期间仅是稳定化电容 C6 的电荷被放电,因此,电压输出端子 VT 的电位 (电位 VDD4) 下降。

[0170] 图 18 是表示实施例 11 的电压发生电路 32 的结构的电路图。该电压发生电路 32 具有相互并联连接的 3 个电荷泵电路 CP1 ~ CP3。

[0171] 电荷泵电路 CP1 由被二极管连接的晶体管 (二极管元件) Q20a、Q21a 以及连接在其间的节点 N6a 和时钟输入端子 CK1a 之间的电荷泵电容 C5a 构成。同样,电荷泵电路 CP2

由二极管元件 Q20b、Q21b 以及连接在其间的节点 N6b 和时钟输入端子 CK1b 之间的电荷泵电容 C5b 构成。电荷泵电路 CP3 由二极管元件 Q20c、Q21c 以及连接在其间的节点 N6c 和时钟输入端子 CK1c 之间的电荷泵电容 C5c 构成。亦即,图 18 的电荷泵电路 CP1 ~ CP3 各为与图 17 所示的电荷泵电路 CP 相同结构的电路。

[0172] 在这些电荷泵电路 CP1 ~ CP3 各自的时钟输入端子 CK1a ~ CK1c 上输入相位各不相同的时钟信号。本实施例中,作为这些时钟信号,使用驱动移位寄存器电路(栅线驱动电路 30)的时钟信号 CLK1 ~ CLK3。即如图 18 所示,分别在时钟输入端子 CK1a 上输入时钟信号 CLK1、在时钟输入端子 CK1b 上输入时钟信号 CLK2、在时钟输入端子 CK1c 上输入时钟信号 CLK3。

[0173] 因而,在图 18 的电压发生电路 32 中,在电压输出端子 VT 上,在时钟信号 CLK1 的上升时,从电荷泵电路 CP1 供给电荷,在时钟信号 CLK2 的上升时,从电荷泵电路 CP2 供给电荷,在时钟信号 CLK3 的上升时,从电荷泵 CP3 供给电荷。即,在电压输出端子 VT 上依次用时钟信号 CLK1 ~ CLK3 供给电荷,解决了上述的电压输出端子 VT 的电位降低的问题。

[0174] 在本实施例中,用 3 个电荷泵电路构成电压发生电路 32,但在电压输出端子 VT 的电平容许某种程度降低的情况下,电压发生电路 32 设置的电荷泵电路也可以是 1 个(即与实施例 10 相同)或 2 个。例如,即使在使用 2 个电荷泵电路时,与实施例 10 比较,由于向电压输出端子 VT 供给电荷的频度加倍,可以抑制电压输出端子 VT 的电位降低。

[0175] <实施例 12> 实施例 12 中,提出了可比实施例 10 更加提高输出电位 VDD4 的电压发生电路 32。

[0176] 图 19 是表示实施例 12 的电压发生电路 32 的结构的电路图。在本实施例中,电压发生电路 32 也由电荷泵电路 CP 和稳定化电容 C6 构成,但电荷泵电路 CP 的结构与图 17 的不同。

[0177] 如图 19 所示,本实施例的电荷泵电路 CP 是将图 17 的晶体管 Q20 置换成由晶体管 Q22、Q23 及电容元件 C7 构成的电路的电荷泵电路。

[0178] 晶体管 Q22 连接在作为二极管元件 Q21 的阳极的节点 N6 与第 4 电源端子 s4 之间。晶体管 Q23 连接在第 4 电源端子 s4 与晶体管 Q22 的栅节点(节点 N7)之间,其栅连接在节点 N6 上。电容元件 C7 连接在节点 N7 与时钟输入端子 CK2 之间。

[0179] 在时钟输入端子 CK1、CK2 各端子上,输入彼此相位不同的(取 H 电平的活性期间不重复)时钟信号。作为这些时钟信号,可以使用驱动晶体管电路(栅线驱动电路 30)的时钟信号 CLK1 ~ CLK3 中的 2 个。在本实施例中,如图 19 所示,假定在时钟输入端子 CK1 上输入时钟信号 CLK1,在时钟输入端子 CLK2 上输入时钟信号 CLK2。

[0180] 下面,就本实施例的电压发生电路 32 的电荷泵电路 CP 的动作进行说明。这里,也将时钟信号 CLK1 ~ CLK3 的振幅设为 VDD,将电压发生电路 32 的各晶体管的阈值电压设为 V_{th} 。

[0181] 如实施例 10 中说明过的那样,在图 17 的电路的节点 N6 上,用晶体管 Q20 充电至 $VDD3 - V_{th}$ 的电平,与之相对比,在图 19 的电荷泵电路 CP 的节点 N6 用由晶体管 Q22、Q23 及电容元件 C7 构成的电路充电至 VDD3 的电平。其理由是,由于在时钟信号 CLK2 上升时,晶体管 Q22 的栅节点(节点 N7)被升压,这时,晶体管 Q22 进行非饱和动作并将节点 N6 充电。

[0182] 因而,在本实施例的电荷泵电路 CP 中,如果时钟信号 CLK1 上升且节点 N6 升压,该

节点 N6 的电位上升至 $VDD3+VDD$ 。由于该节点 N6 的电位上升,二极管元件 Q21 成为导通,从节点 N6 向电压输出端子 VT 流过电流。于是,电压输出端子 VT 的电平上升一定的量,反过来,节点 N6 的电平仅降低电荷流出的部分。

[0183] 再者,在节点 N6 升压时,晶体管 Q23 进行非饱和动作,因此,节点 N7 被充电至与第 4 电源端子 s4 相同的 $VDD3$ 。这时,由于节点 N6 已被升压,从电位关系看,晶体管 Q22 的第 4 电源端子 s4 一侧构成源极,节点 N6 一侧构成漏极,而由于其栅极(节点 N7)与源极(第 4 电源端子 s4)的电位相等,从节点 N6 向第 4 电源端子 s4 不流过电流,即,晶体管 Q22 从第 4 电源端子 s4 向节点 N6 进行充电,而作为阻止其反方向的电流的整流元件起作用。

[0184] 另外,刚才节点 N6 被升压时,电压输出端子 VT 的电位上升,因此节点 N6 一方的电位比电压输出端子 VT 低,但由于二极管元件 Q21 阻止从电压输出端子 VT 向节点 N6 的方向的电流,电压输出端子 VT 的电位被维持在已上升的状态。

[0185] 其后,时钟信号 CLK1 下降时,通过电荷泵电容 C5 的耦合,节点 N6 的电位被拉下。这时,节点 N6 的电平比其升压前(时钟信号 CLK1 上升前)的 $VDD3$ 低。但是,接着时钟信号 CLK2 上升时,由于晶体管 Q22 再次进行非饱和动作并将节点 N6 充电,该节点 N6 的电平返回至 $VDD3$ 。

[0186] 其后,每当时钟信号 CLK1、CLK2 被输入,就重复以上的动作,最终,电压输出端子 VT 的电位成为 $VDD3-V_{th}+VDD$ 。这里,上述的电位 $VDD1 \sim VDD3$ 的值全部相等,如果假定将该值与时钟信号 CLK1 $\sim$ CLK3 的 H 电平同为 VDD ,则最终的电压发生电路 32 的输出电位 $VDD4$ 成为 $2 \times VDD - V_{th}$ 。

[0187] 这样,在本实施例的电荷泵电路 CP 中,由于晶体管 Q22 以非饱和动作将节点 N6 充电,节点 N6 的节点被充电至比实施例 10 高出晶体管阈值电压 V_{th} 的部分。相应地,由时钟信号 CLK1 产生的节点 N6 的升压时的电平也高出 V_{th} ,其结果,最终的电压输出端子 VT 的电位也可以比实施例 10 高出 V_{th} 的部分。

[0188] 再者,在本实施例中,示出了在电压发生电路 32 的时钟输入端子 CK1、CK2 上输入各时钟信号 CLK1、CLK2 的例子,而如前所述,在时钟输入端子 CK1、CK2 上输入的信号也可以是彼此相位不同(活性期间不相重叠)的时钟信号。因此,也可以是例如时钟信号 CLK1、CLK3 的组合,或者时钟信号 CLK2、CLK3 的组合。

[0189] 另外,在图 19 的电荷泵电路 CP 中,由于电容元件 C7 也可以仅升压晶体管 Q22 的栅极,电容元件 C7 的电容值也可以比电荷泵电容 C5 小。同样,由于晶体管 Q23 也仅充电晶体管 Q22 的栅极,其导通电阻也可以比晶体管 Q22 高。

[0190] <实施例 13> 图 20 是表示实施例 13 的电压发生电路 32 的结构的电路图。该电压发生电路 32 与实施例 11 一样,具有相互并联连接的 3 个电荷泵电路 CP1 $\sim$ CP3。但是,在本实施例中,电荷泵电路 CP1 $\sim$ CP3 的各电路具有与示于图 19 的电荷泵电路 CP 相同的结构。

[0191] 在电荷泵电路 CP1 $\sim$ CP3 各自的时钟输入端子 CK1a $\sim$ CK1c(对应于图 19 的时钟输入端子 CK1)上,输入各个相位不同的时钟信号。在本实施例中,作为这些时钟信号,使用驱动移位寄存器电路(栅线驱动电路 30)的时钟信号 CLK1 $\sim$ CLK3。即如图 20 所示,分别在电荷泵电路 CP1 的时钟输入端子 CK1a 上输入时钟信号 CLK1,在电荷泵电路 CP2 的时钟输入端子 CK1b 上输入时钟信号 CLK2,在电荷泵电路 CP3 的时钟输入端子 CK1c 上输入时钟信

号 CLK3。

[0192] 而且,在电荷泵电路 CP1 的时钟输入端子 CK2a 上输入与时钟输入端子 CK1a 的时钟信号 CLK1 相位不同的时钟信号 CLK2。同样,在电荷泵电路 CP2 的时钟输入端子 CK2b 上输入与时钟输入端子 CK1b 的时钟信号 CLK2 相位不同的时钟信号 CLK3。在电荷泵电路 CP3 的时钟输入端子 CK2c 上输入与时钟输入端子 CK1c 的时钟信号 CLK3 相位不同的信号 CLK1。

[0193] 因而,在图 20 的电压发生电路 32 中,在时钟信号 CLK1 上升时,从电荷泵电路 CP1 向电压输出端子 VT 供给电荷,在时钟信号 CLK2 上升时,从电荷泵电路 CP2 向电压输出端子 VT 供给电荷,在时钟信号 CLK3 上升时,从电荷泵电路 CP3 向电压输出端子 VT 供给电荷。亦即,在电压输入端子 VT 上,用时钟信号 CLK1 ~ CLK3 的任意一个在大部分期间供给电荷,从而电压输出端子 VT 的电位降低的问题得以解决。

[0194] 在本实施例中,也就在电压输出端子 VT 的电平容许有某种程度降低的情况下,电压发生电路 32 设置的电荷泵电路也可 1 个(即与实施例 12 相同)或 2 个。

[0195] <实施例 14> 图 21 是表示实施例 14 的单位移位寄存器电路的结构的电路图。如该图所示,本实施例的单位移位寄存器电路 SR 是在用 4 相的时钟信号 CLK1 ~ CLK4 驱动的实施例 3 的单位移位寄存器电路 SR(图 7)上连接了向在晶体管 Q3 的漏极供给预定电位 VDD4 的电压发生电路 32 的单位移位寄存器电路。

[0196] 电压发生电路 32 是基于加到第 4 电源端子 s4 上的电位 VDD3、输入至时钟输入端子的时钟信号而生成比电位 VDD3 高的电位 VDD4 的电路。另外,该电位 VDD4 比各时钟信号的 H 电平的电位或供给单位移位寄存器电路 SR 的其它高电位侧电源电位 VDD1、VDD2 高的电位。

[0197] 图 22 表示一例本实施例的电压发生电路 32 的具体电路结构。该电压发生电路 32 与图 17 一样,用电荷泵电路 CP 及稳定化电容 C6 构成,但电荷泵电路 CP 的结构与图 17 不同。亦即,在本实施例中,在图 17 的电荷泵电路 CP 上,在二极管元件 Q21 与电压输出端子 VT 之间夹入被二极管连接的晶体管 Q24(二极管元件),并设置连接在二极管元件 Q21、Q24 之间的节点 N8 与时钟输入端子 CLK2 之间的电容元件 C8(电荷泵电容)。

[0198] 在时钟输入端子 CK1、CK2 的各端子上,输入彼此相位不同的(取 H 电平的活性期间不重复的)时钟信号。作为这些信号,可以使用驱动移位寄存器电路(栅线驱动电路 30)的时钟信号 CLK1 ~ CLK4 中的 2 个。在本实施例中,如图 22 所示,在时钟输入端子 CK1 上输入时钟信号 CLK1,在时钟输入端子 CK2 上输入时钟信号 CLK2。

[0199] 如果假定高电位侧电源电位 VDD1 ~ VDD4 与时钟信号 CLK1 ~ CLK4 的 H 电平相等,则因为由二极管元件 Q20、Q21 及电荷泵电容 C5 构成的电路具有与图 17 相同的结构,电荷泵动作使节点 N8 的电位上升至 $2 \times VDD - 2 \times V_{th}$ 。在图 22 的电路中,通过电荷泵电容 C8 及二极管元件 Q24 进行电荷泵动作,可以将电压输出端子 VT 的电位(VDD4)置于比节点 N8 更高出 $VDD - V_{th}$ 的电位($3 \times VDD - 3 \times V_{th}$)。

[0200] 也就是说,本实施例的电压发生电路 32 的电荷泵电路 CP 包含 2 级电荷泵电路,比起传统技术(专利文献 1 的图 7)来,可以将单位移位寄存器电路 SR 的节点 N1 充电至 3 倍高的电位。因而,可以使单位移位寄存器电路 SR 的输出信号 G_n 输出时的晶体管 Q1 的栅·源极间的电压变成 3 倍。换言之,可以将此时的导通电阻变为 3 分之 1,输出信号 G_n 的上升/下降被再次高速化。

[0201] 从实施例 10、14 可知,依据本发明,在使用图 16 所示的 3 相时钟信号的移位寄存器电路中,用由图 17 所示的 2 个二极管元件和 1 个电荷泵电容构成的 1 级电荷泵电路构成电压发生电路 32,能够使晶体管 Q1 的栅·源极间的电压达到传统技术的 2 倍。另外,在使用图 21 所示的 4 相时钟信号的移位寄存器电路中,用由如图 22 的 3 个二极管元件和 2 个电荷泵电容构成的 2 级电荷泵电路构成电压发生电路 32,可以使晶体管 Q1 的栅·源极间电压达到传统技术的 3 倍。亦即, 在使用 n 相时钟信号的移位寄存器电路中,使用由串联连接的 $n-1$ 个二极管元件和连接在它们之间的 $n-2$ 个的连接节点的各个节点上的 $n-2$ 个电荷泵电容所构成的 $n-2$ 级的电荷泵电路构成电压发生电路 32,可以将晶体管 Q1 的栅·源极电压达到传统技术的 $n-1$ 倍。但是,需要在各晶体管的耐压的限度范围内设定电压。

[0202] <实施例 15>在本实施例中,如实施例 14 所示,示出了在移位寄存器电路使用 4 相的时钟信号 CLK1 ~ CLK4 驱动的情况下,防止电压输出端子 VT 的电位 (VDD4) 下降的技术。

[0203] 图 23 是表示实施例 15 的电压发生电路 32 的结构的电路图。在该电压发生电路 32 中,设有用于实施例 11 的相互并联连接的 4 个电荷泵电路 CP1 ~ CP4。在本实施例中,电荷泵电路 CP1 ~ CP4 的每个电路具有与图 22 所示的电荷泵电路 CP 相同的结构。

[0204] 在这些电荷泵电路 CP1 ~ CP4 各自的时钟输入端子 CK2a ~ CK2d (对应于图 22 的时钟输入端子 CK2) 上,输入驱动移位寄存器电路 (栅线驱动电路 30) 的时钟信号 CLK1 ~ CLK4 中的任意一个。即,如图 23 所示,分别在电荷泵电路 CP1 的时钟输入端子 CK2a 上输入时钟信号 CLK2,在电荷泵电路 CP2 的时钟输入端子 CK2b 上输入时钟信号 CLK3,在电荷泵电路 CP3 的时钟输入端子 CK2c 上输入时钟信号 CLK4,在电荷泵电路 CP4 的时钟输入端子 CK2d 上输入时钟信号 CLK1。

[0205] 然后,在电荷泵电路 CP1 的时钟输入端子 CK1a 上,输入与时钟输入端子 CK2a 的时钟信号 CLK2 相位不同的时钟信号 CLK1。在电荷泵电路 CP2 的时钟输入端子 CK1b 上,输入与时钟输入端子 CK2b 的时钟信号 CLK3 相位不同的时钟信号 CLK2。在电荷泵电路 CP3 的时钟输入端子 CK1c 上,输入与时钟输入端子 CK2c 的时钟信号 CLK4 相位不同的时钟信号 CLK3。在电荷泵电路 CP4 的时钟输入端子 CK1d 上,输入与时钟输入端子 CK2d 的时钟信号 CLK1 相位不同的时钟信号 CLK3。

[0206] 因而,在图 23 的电压发生电路 32 中,在电压输出端子上,在时钟信号 CLK1 的上升时从电荷泵电路 CP4 供给电荷,在时钟信号 CLK2 的上升时从电荷泵电路 CP1 供给电荷,在时钟信号 CLK3 的上升时从电荷泵电路 CP2 供给电荷,在时钟信号 CLK4 的上升时从电荷泵电路 CP3 供给电荷。亦即,在电压输出端子 VT 上,构成由时钟信号 CLK1 ~ CLK4 依次供给电荷。这解决了电压输出端子 VT 的电位降低的问题。

[0207] <实施例 16>在本实施例中,也如实施例 14 一样,示出了在移位寄存器电路用 4 相的时钟信号 CLK1 ~ CLK4 驱动的情况下,防止电压输出端子 VT 的电位 (VDD4) 下降的技术。

[0208] 图 24 是表示实施例 16 的电压发生电路 32 的结构的电路图。该电压发生电路 32 也与实施例 15 同样设置相互并联连接的 4 个电荷泵电路 CP1 ~ CP4。在本实施例中,电荷泵电路 CP1 ~ CP4 的每一个具有与图 19 示出的电荷泵电路 CP 相同的结构。

[0209] 在这些电荷泵电路 CP1 ~ CP4 各自的时钟输入端子 CK1a ~ CK1d (对应于图 19 的时钟输入端子 CK1) 上,被输入驱动移位寄存器电路 (栅线驱动电路 30) 的时钟信号 CLK1 ~ CLK4 中的任意一个。即如图 24 所示,分别在电荷泵电路 CP1 的时钟输入端子 CK1a 上输入

时钟信号 CLK1, 在电荷泵电路 CP2 时钟输入端子 CK1b 上输入时钟信号 CLK2, 在电荷泵电路 CP3 的时钟输入端子 CK1c 上输入时钟信号 CLK3, 在电荷泵电路 CP4 的时钟输入端子 CK1d 上输入时钟信号 CLK4。

[0210] 然后, 在电荷泵电路 CP1 的时钟输入端子 CK2a 上, 输入与时钟输入端子 CK1a 的时钟信号 CLK1 相位不同的时钟信号 CLK4。在电荷泵电路 CP2 的时钟输入端子 CK2b 上, 输入与时钟输入端子 CK1b 的时钟信号 CLK2 相位不同的时钟信号 CLK3。在电荷泵电路 CP3 的时钟输入端子 CK2c 上, 输入与时钟输入端子 CK1c 的时钟信号 CLK3 相位不同的时钟信号 CLK2。在电荷泵电路 CP4 的时钟输入端子 CK2d 上, 输入与时钟输入端子 CK1d 的时钟信号 CLK4 相位不同的时钟信号 CLK1。

[0211] 因而, 在图 24 的电压发生电路中, 在电压输出端子 VT 上, 在时钟信号 CLK1 上升时从电荷泵电路 CP1 供给电荷, 在时钟信号 CLK2 上升时从电荷泵电路 CP2 供给电荷, 在时钟信号 CLK3 上升时从电荷泵电路 CP3 供给电荷, 在时钟信号 CLK4 上升时从电荷泵电路 CP4 供给电荷。亦即, 在电压输出端子 VT 上, 通过由时钟信号 CLK1 ~ CLK4 依次供给电荷, 可以解决电压输出端子 VT 的电位下降的问题。

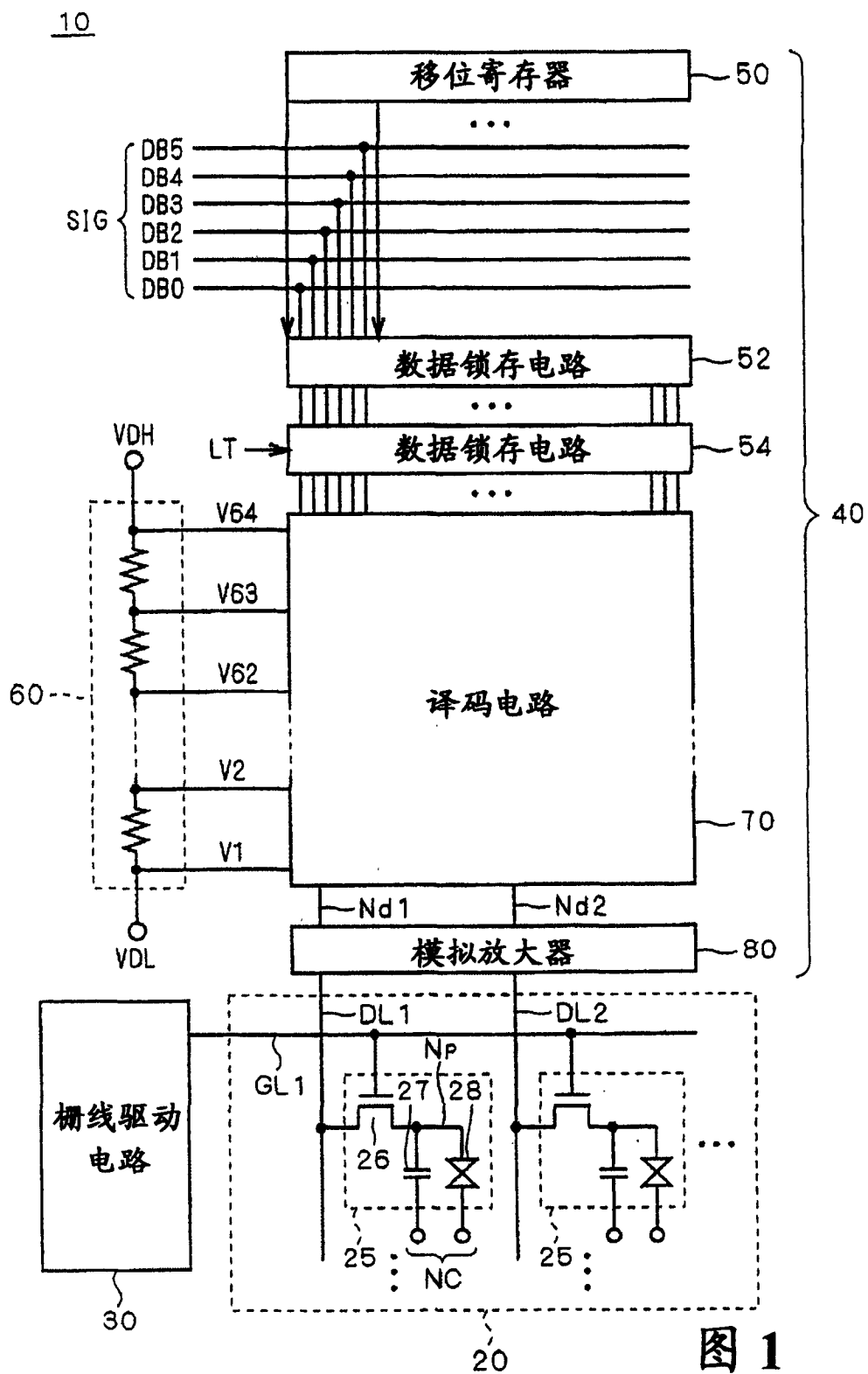
[0212] 再者, 在以上的实施例 10 ~ 16 中, 示出了将电压发生电路 32 连接于实施例 1、3 的单位移位寄存器电路 SR (图 3、图 7) 的结构 (图 16、图 21), 但是, 该电压发生电路 32 的应用不受限于此。也可适用于设有将充电后的晶体管 Q3 的栅极 (节点 N3) 升压的升压电路的实施例 2、4、5 的单位移位寄存器电路 SR (图 6、图 9、图 10)。在该情况下与实施例 10 ~ 16 一样, 也可得到将晶体管 Q1 的栅极 (节点 N1) 充电至高电位的效果。

[0213] <实施例 17> 在实施例 17 中, 示出了上述各实施例中的单位移位寄存器电路 SR 的变形例。

[0214] 例如, 在图 3 的单位移位寄存器电路 SR 中, 将节点 N3 充电的晶体管 Q8 的漏极被连接在供给一定的电源电位 (高电位侧电源电位 VDD1) 的第 2 电源端子 s2 上, 但也可以如图 25 所示, 将它连接在第 1 输入端子 IN1 上。用于节点 N3 的充电的电荷由 2 级前的输出信号 G_{n-2} 提供, 而在此结构成中, 也可以进行与图 3 的电路同样的动作, 得到与实施例 1 同样的效果。再者, 图 6、图 10 以及图 16 的晶体管 Q8 的漏极也一样, 也可以连接到第 1 输入端子 IN1 上, 其图示略。

[0215] 另外, 例如对应于图 7 的单位移位寄存器电路 SR, 也可以如图 26 所示把将节点 N4 充电的晶体管 Q11 的漏极连接到第 1 输入端子 IN1 上。用于节点 N4 的充电的电荷由 3 级前的输出信号 G_{n-3} 提供, 但在该结构的情况下也可进行与图 7 的电路同样的动作, 可以得到与实施例 3 同样的效果。再者, 图 21 的晶体管 Q11 的漏极也一样, 可以连接在第 1 输入端子 IN1 上, 其图示略。

[0216] 而且, 例如对应于图 11 的单位移位寄存器电路 SR, 也可如图 27 所示把将节点 N5 充电的晶体管 Q14 的漏极连接至第 1 输入端子 IN1 上。用于节点 N5 的充电的电荷由 2 级前的输出信号 G_{n-2} 提供, 但在该结构的情况下, 也可进行与图 11 的电路同样的动作, 可以得到与实施例 6 同样的效果。再者, 图 13 及图 15 的晶体管 Q14 的漏极也同样, 可以连接在第 1 输入端子 IN1 上, 其图示略。



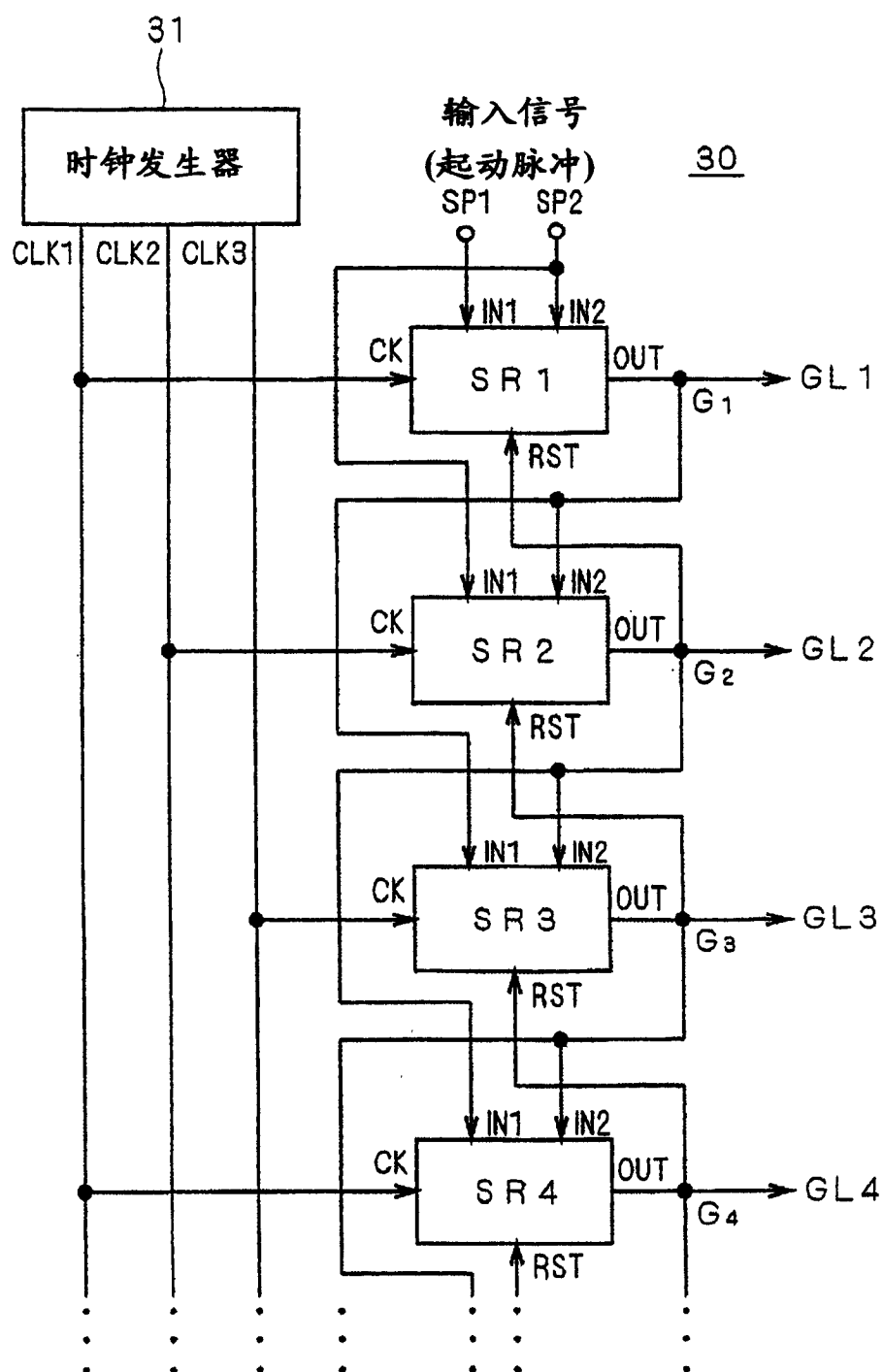


图 2

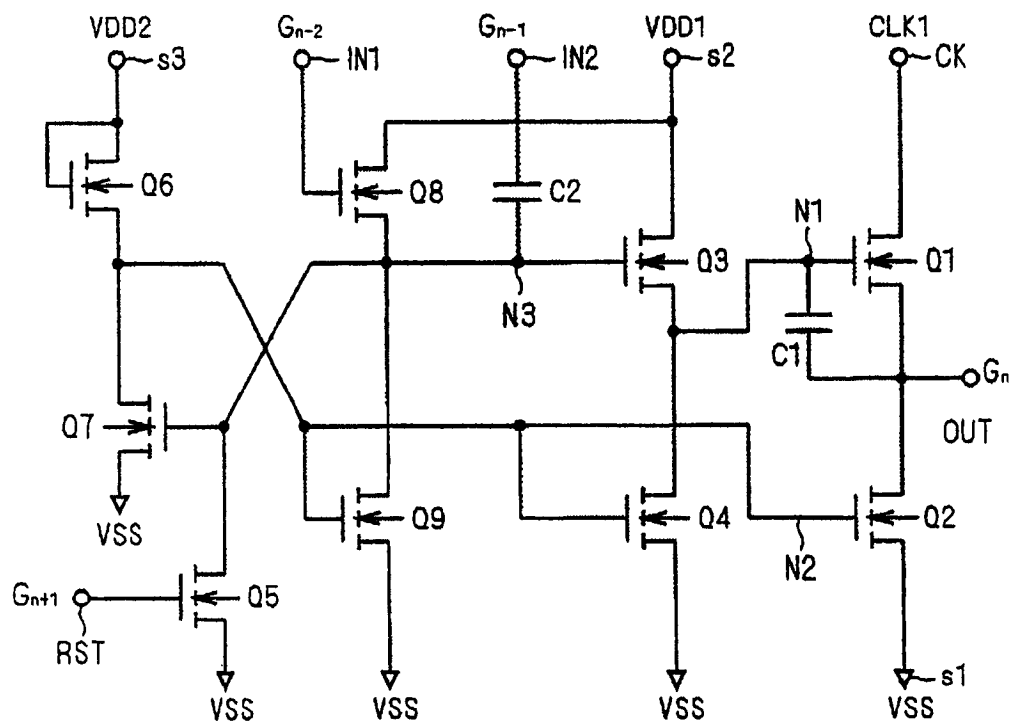


图 3

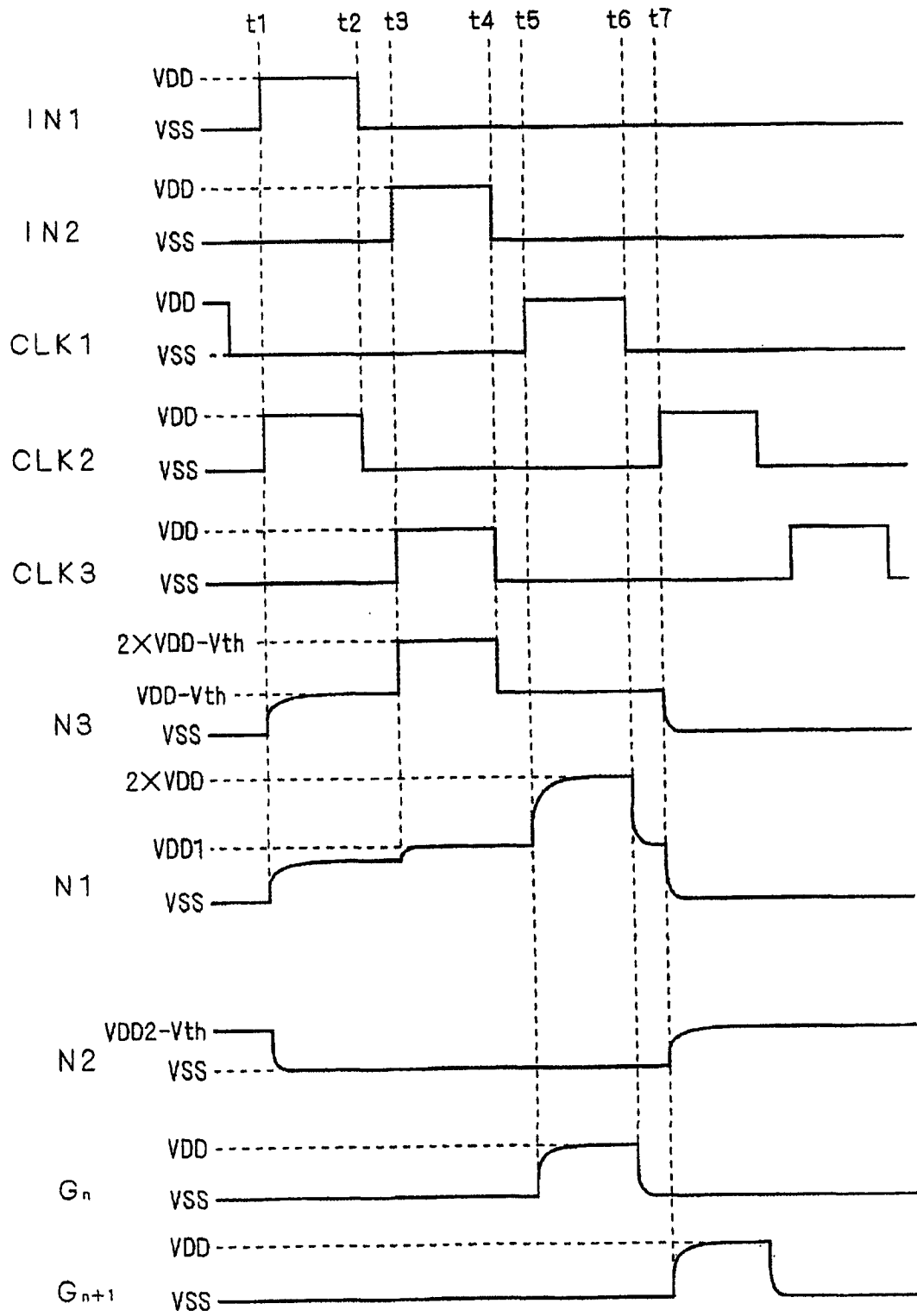


图 4

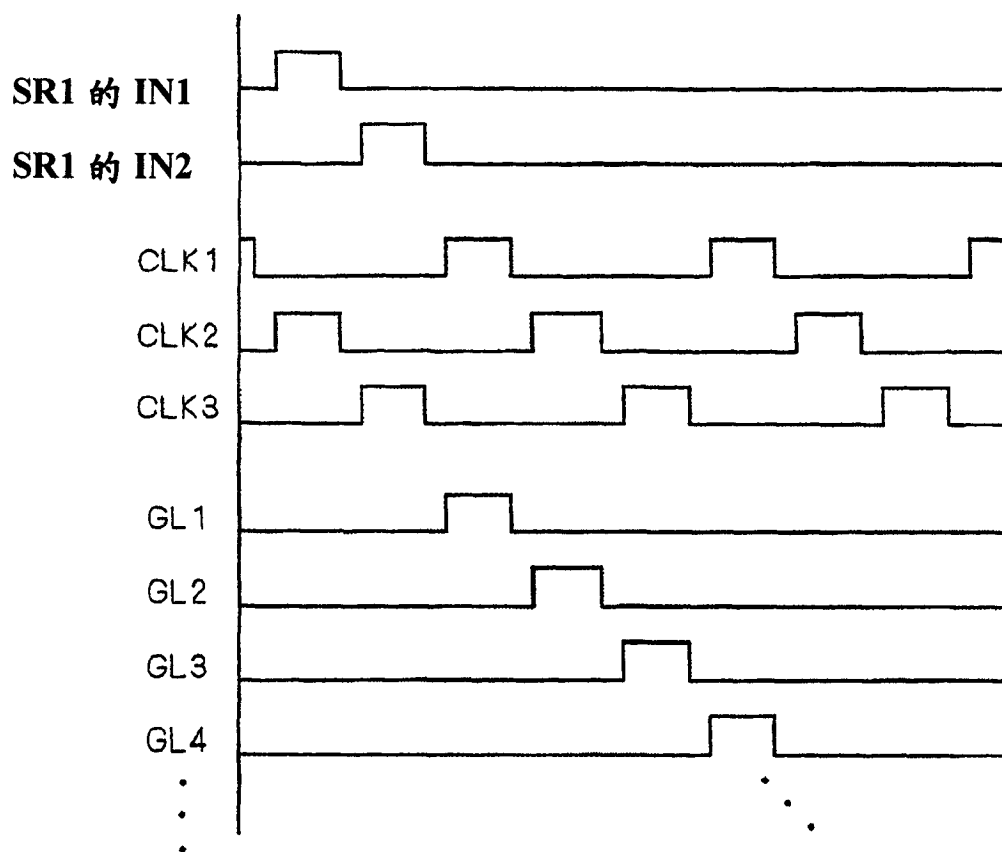


图 5

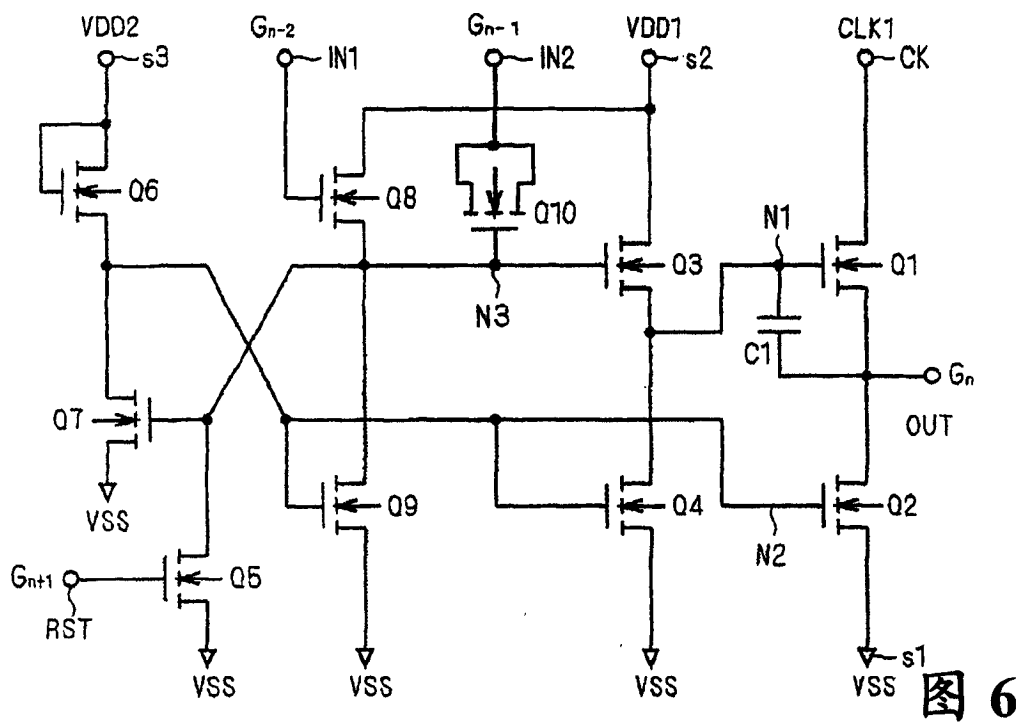


图 6

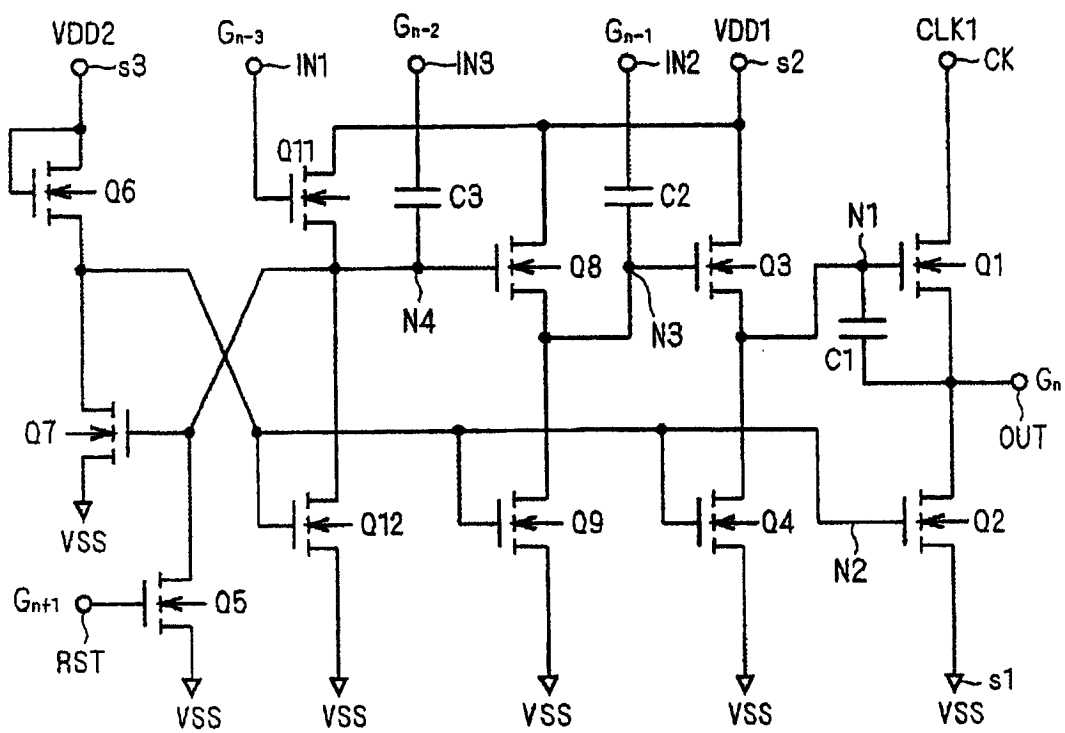


图 7

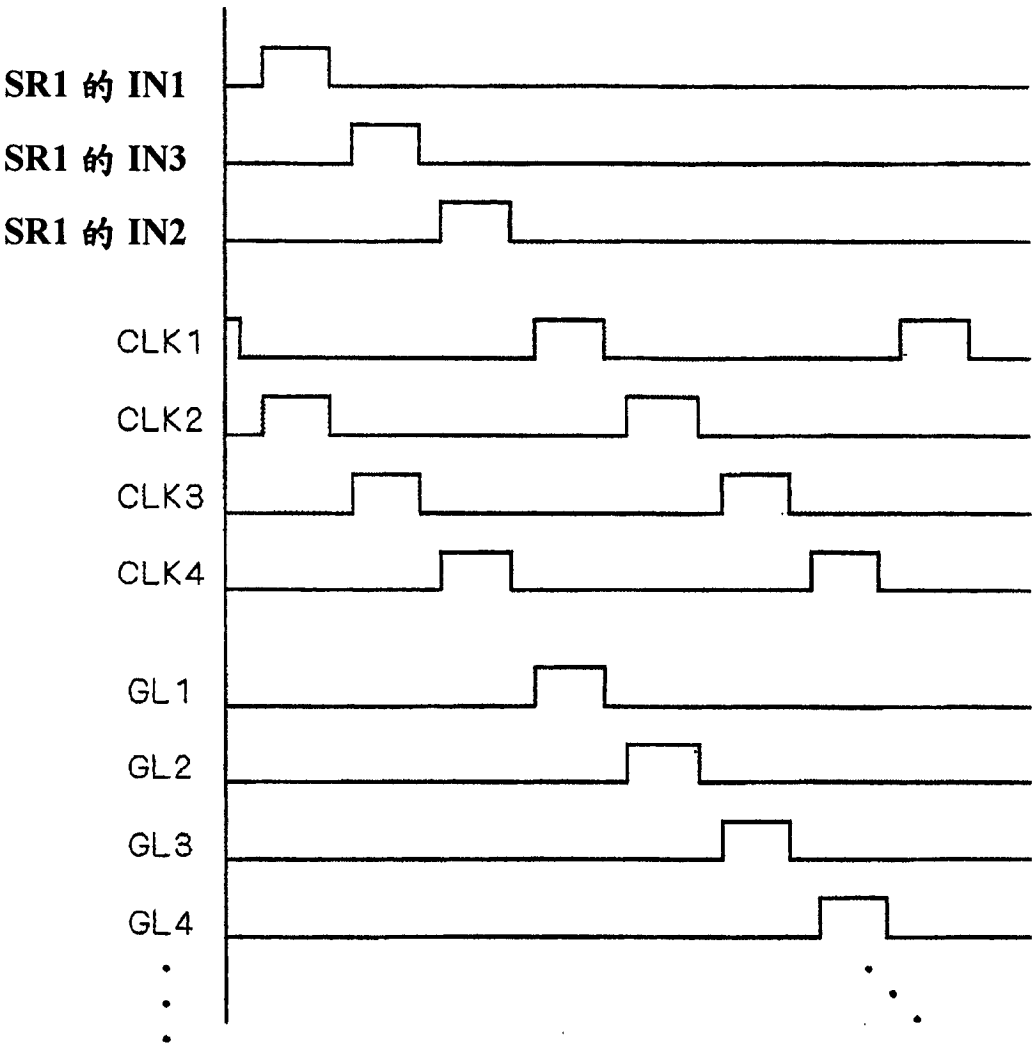


图 8

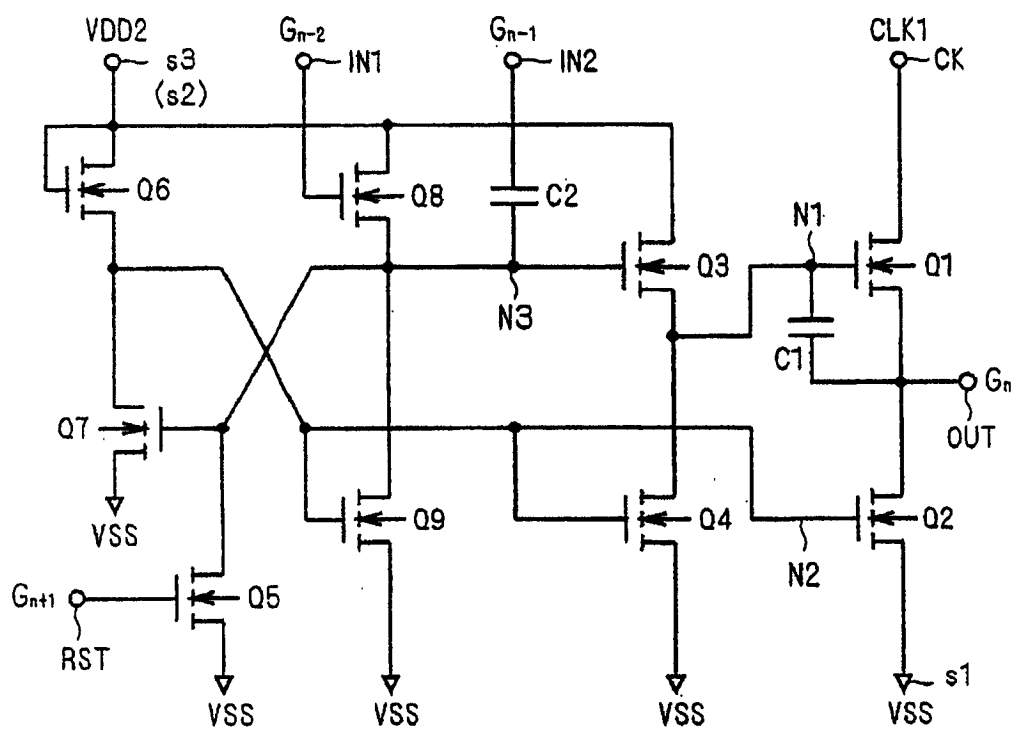


图 9

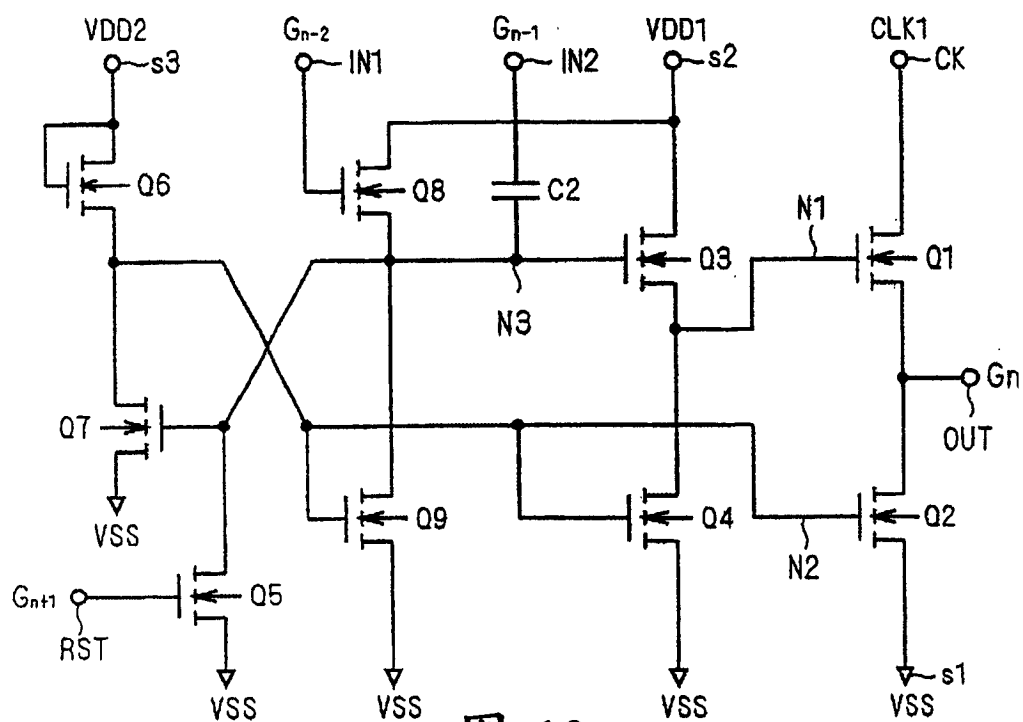


图 10

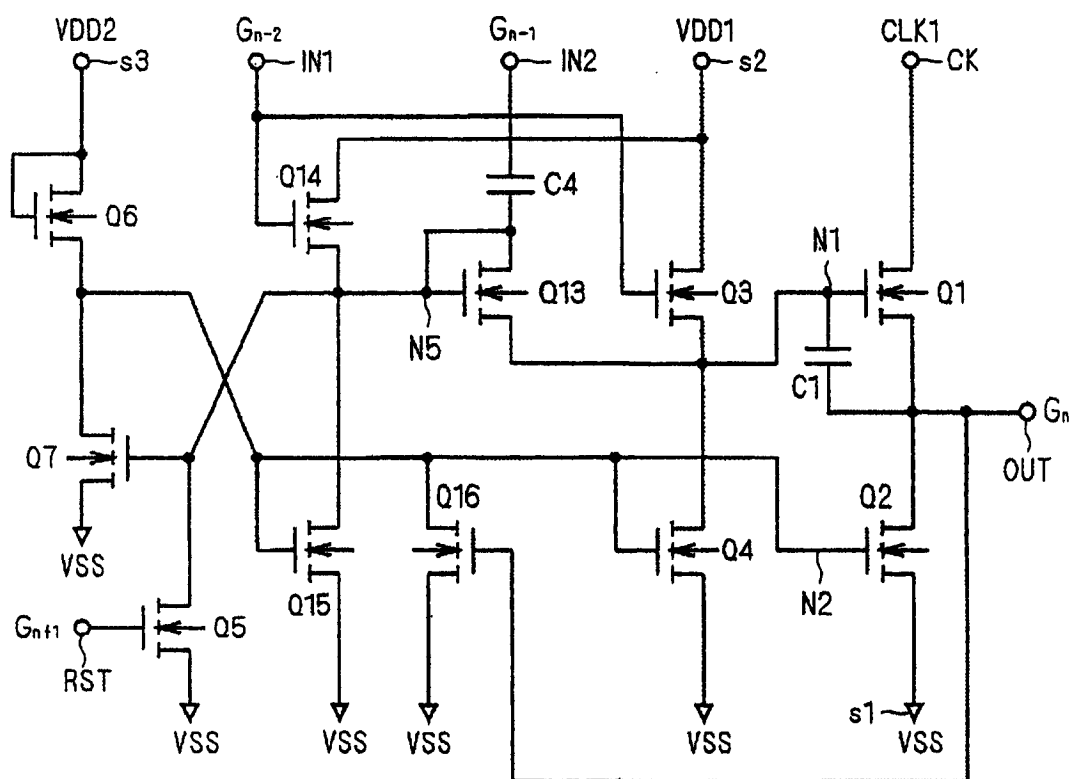


图 11

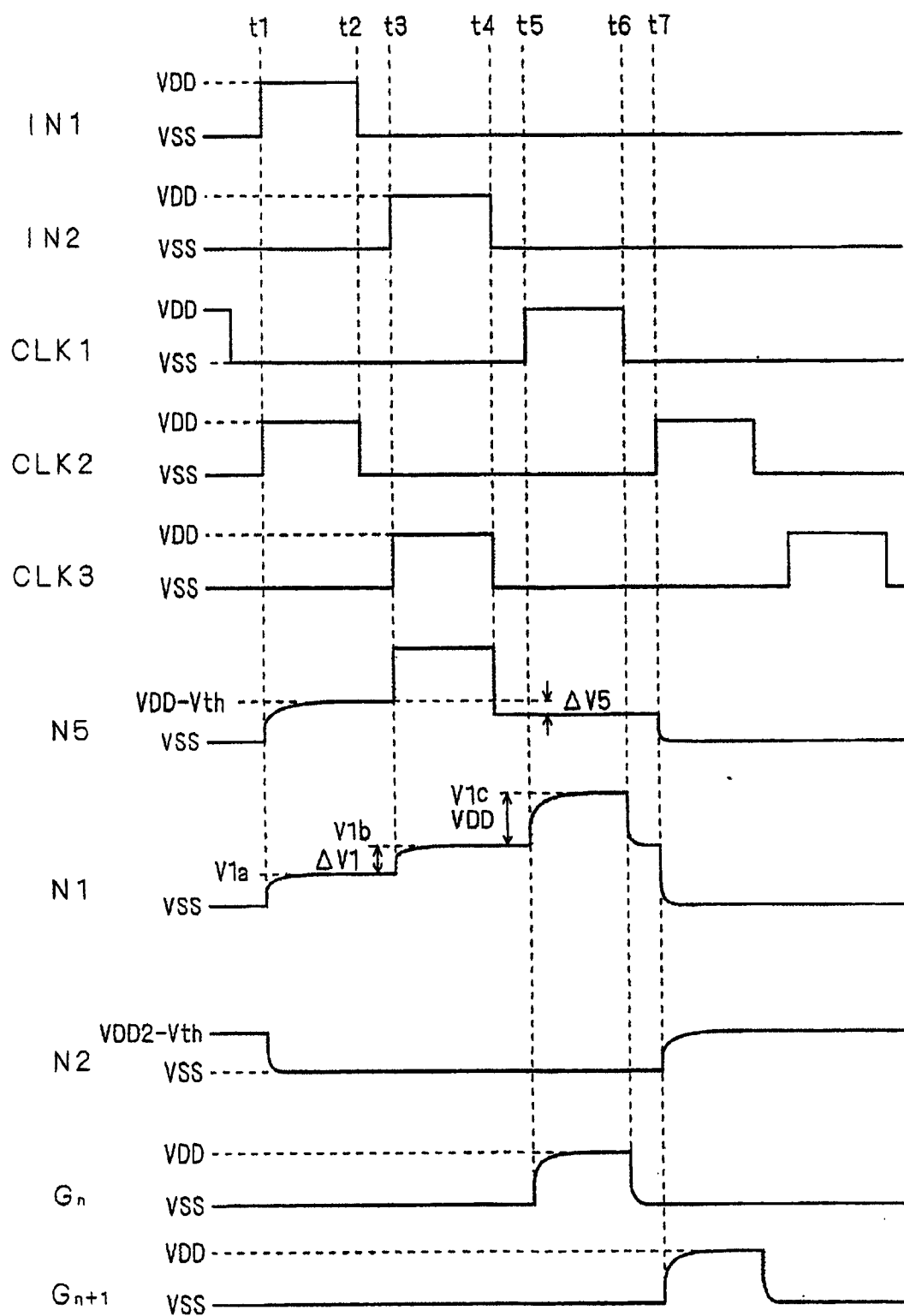


图 12

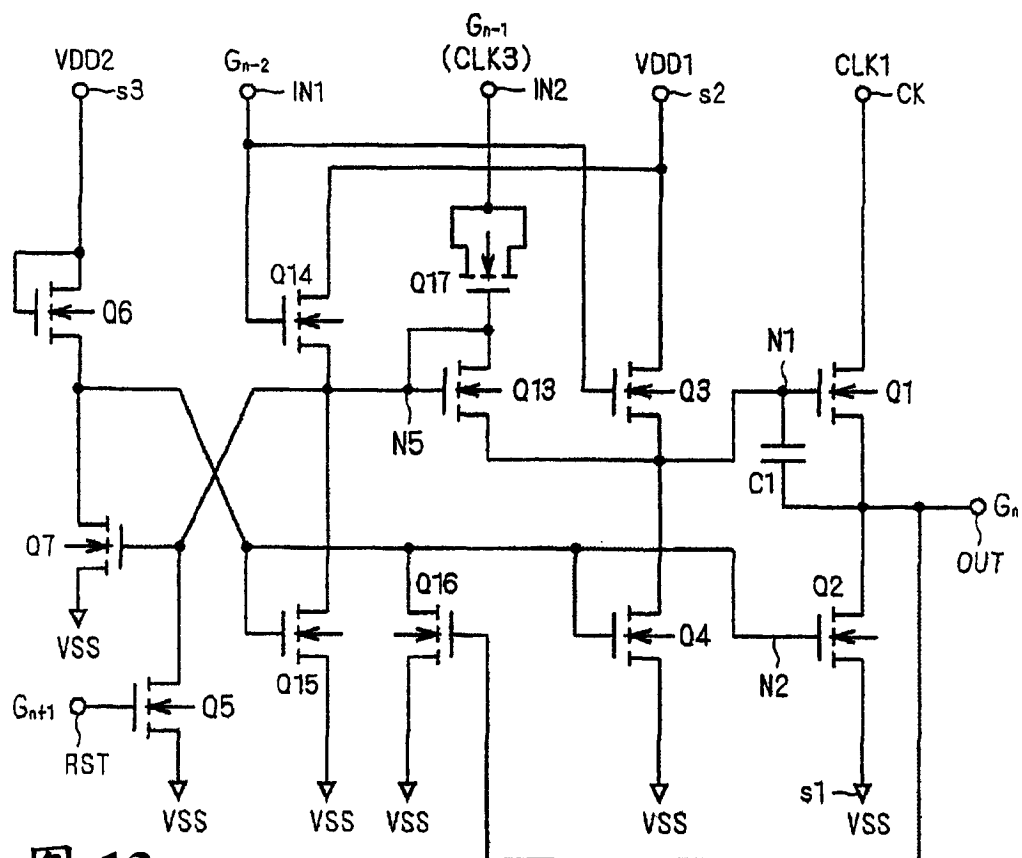


图 13

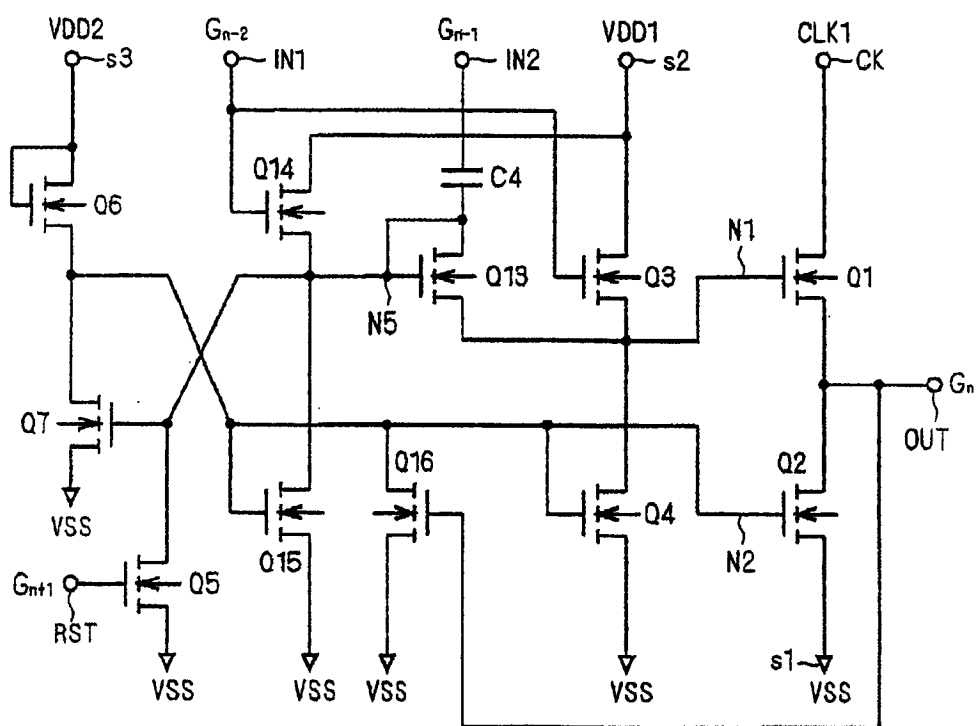
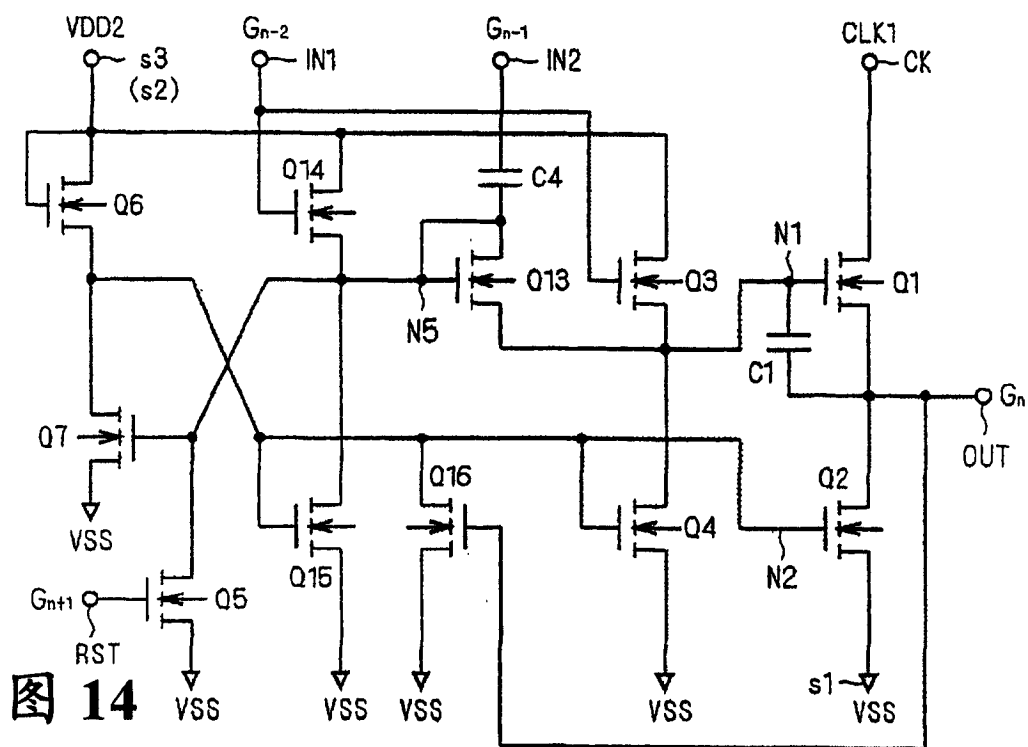


图 15

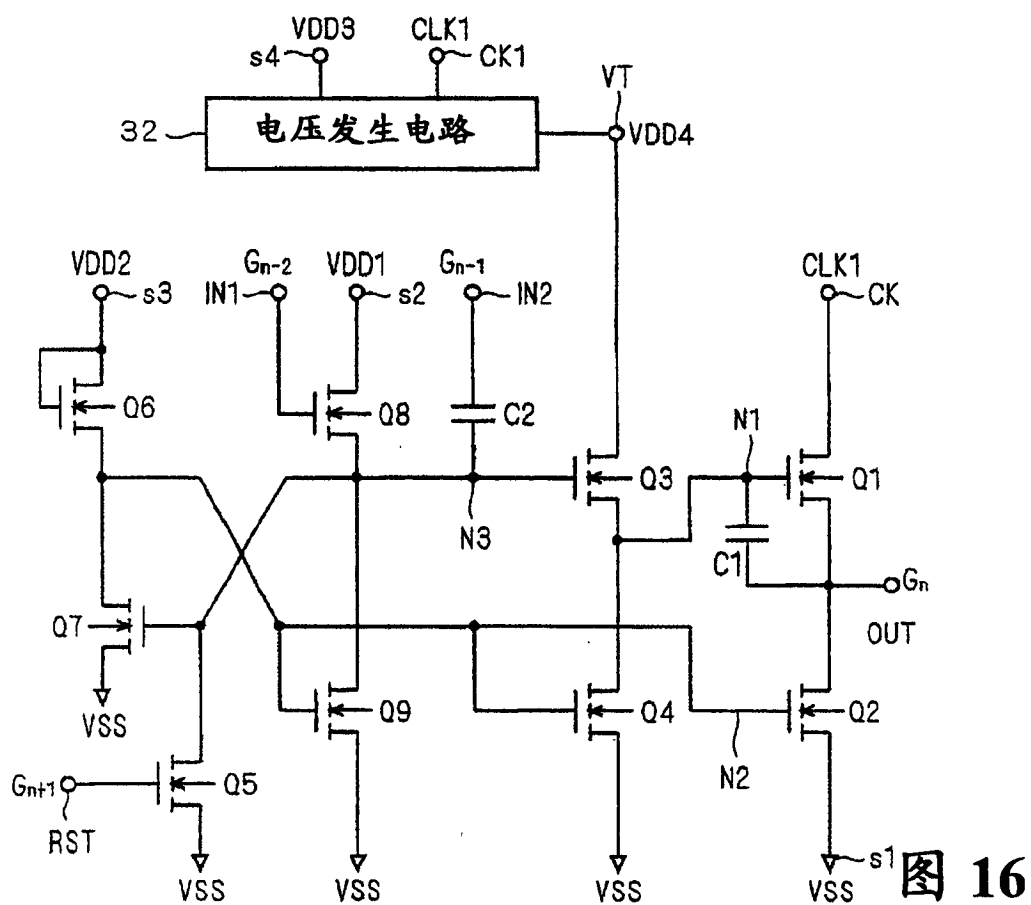


图 16

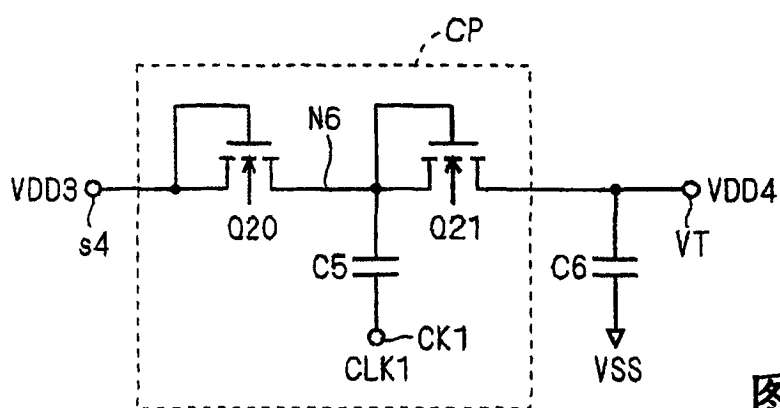


图 17

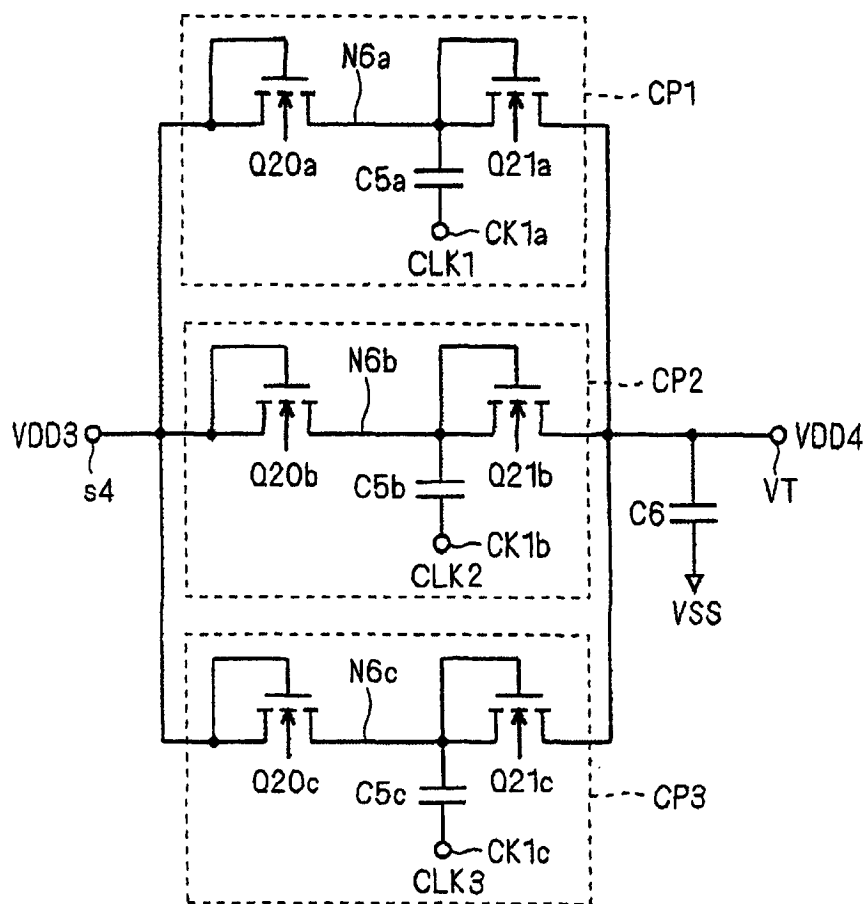


图 18

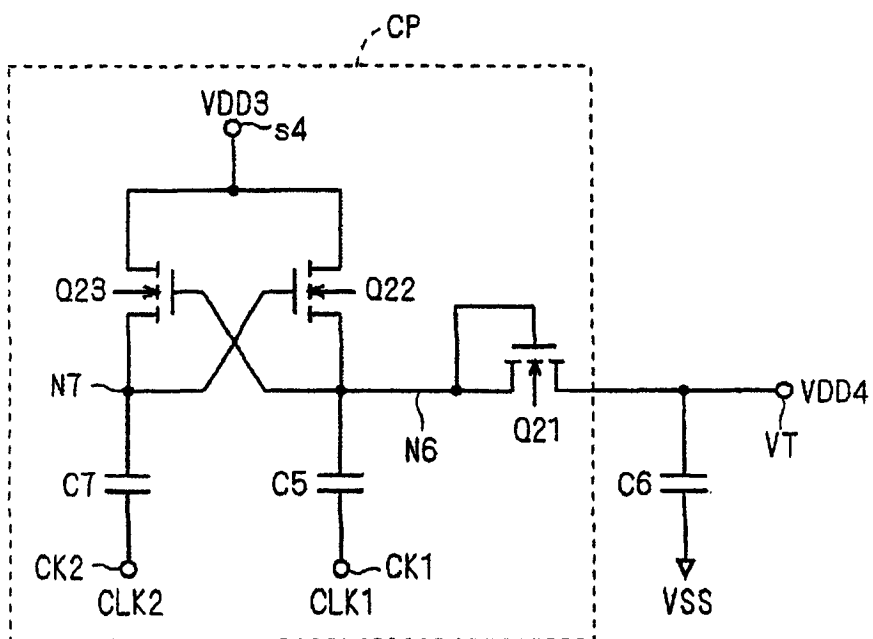


图 19

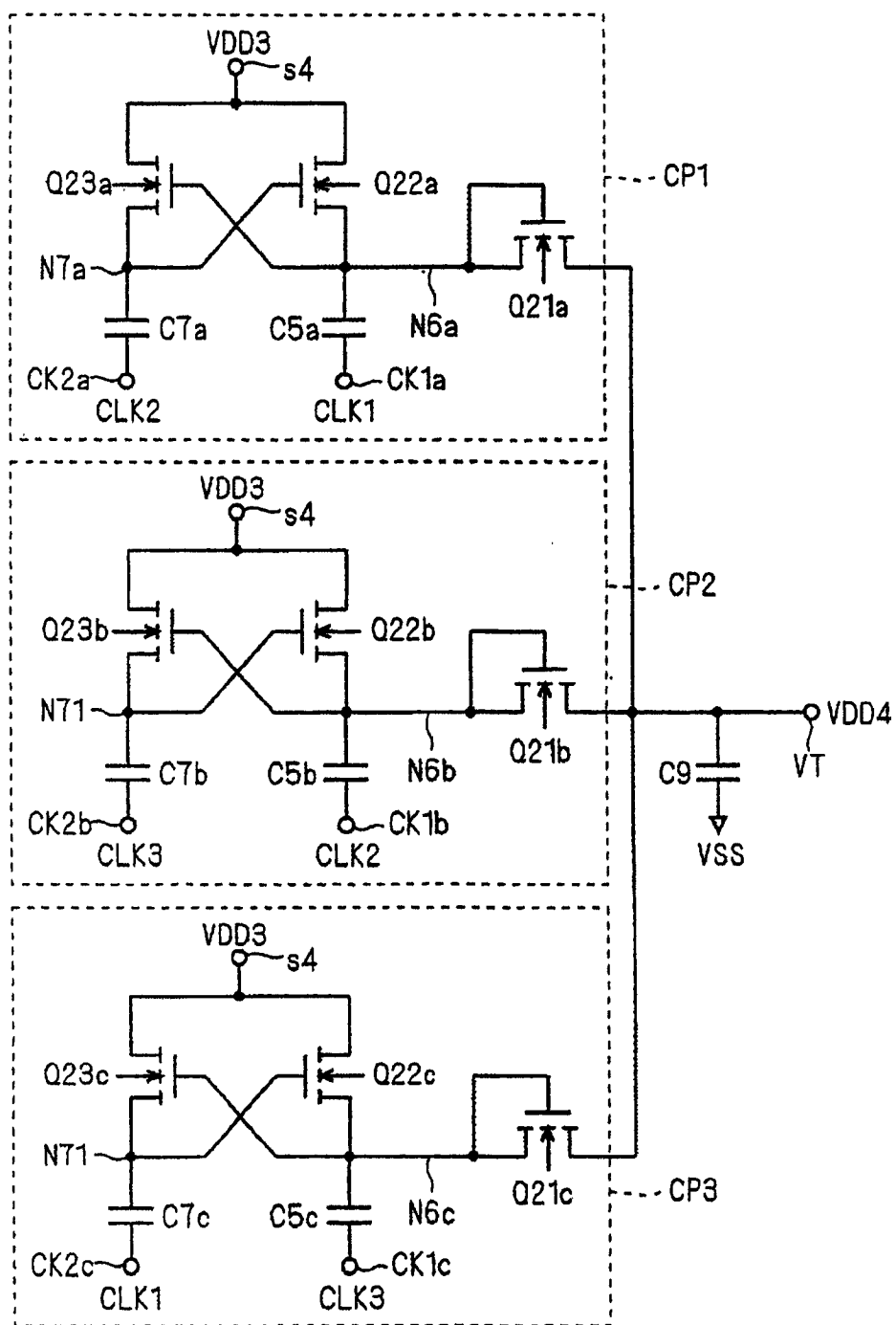


图 20

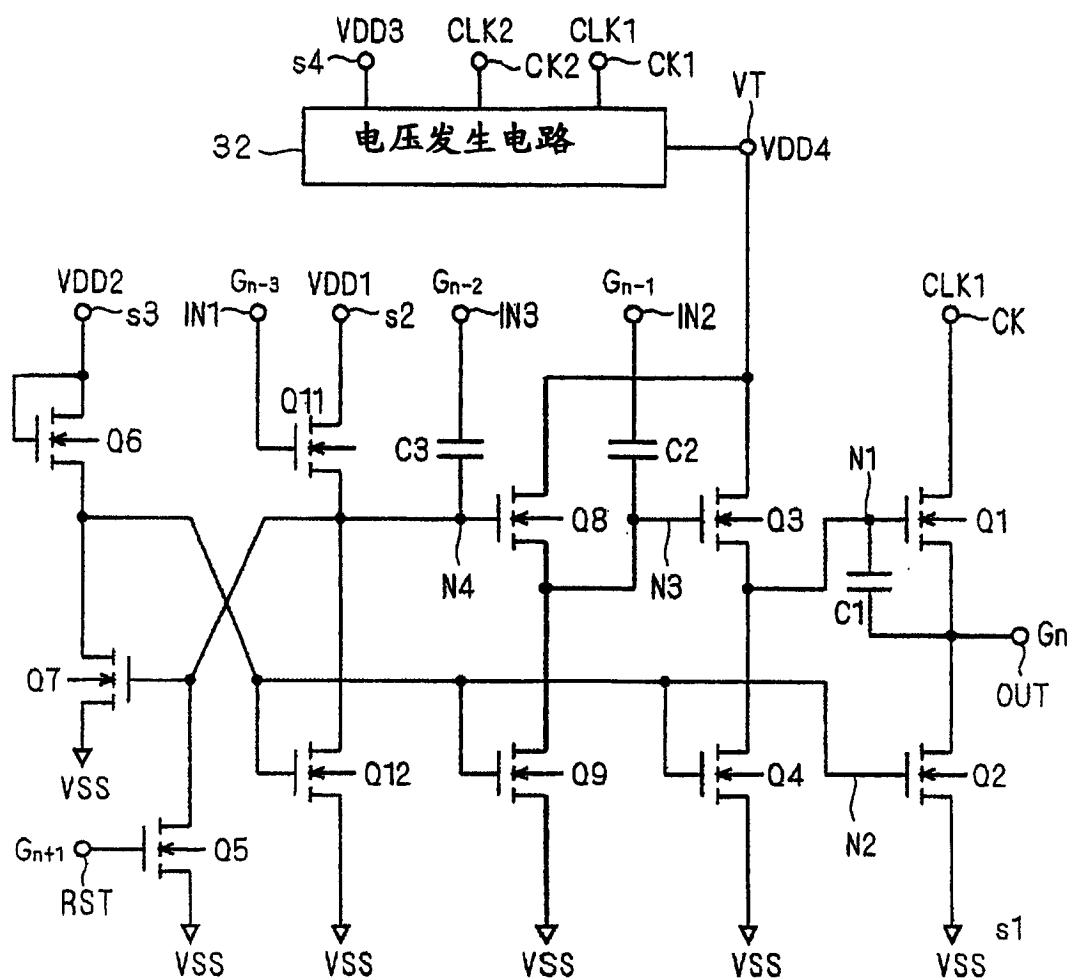


图 21

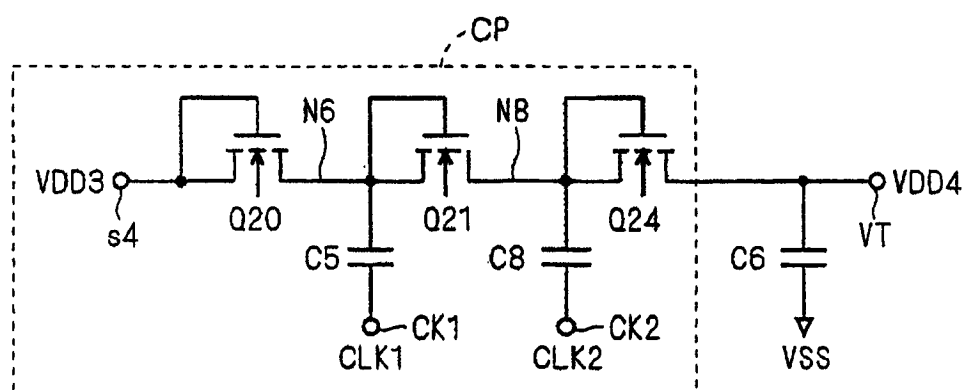


图 22

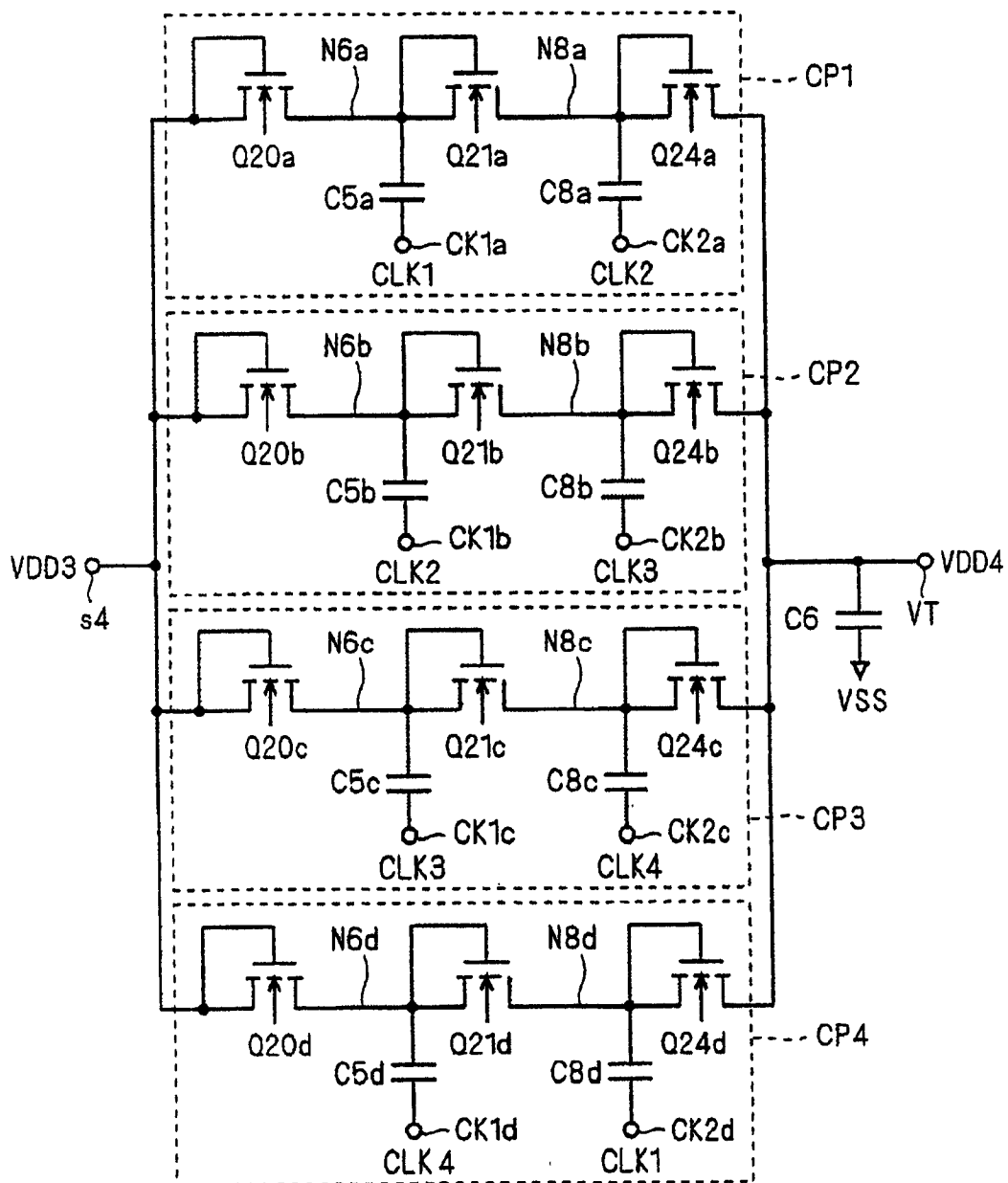


图 23

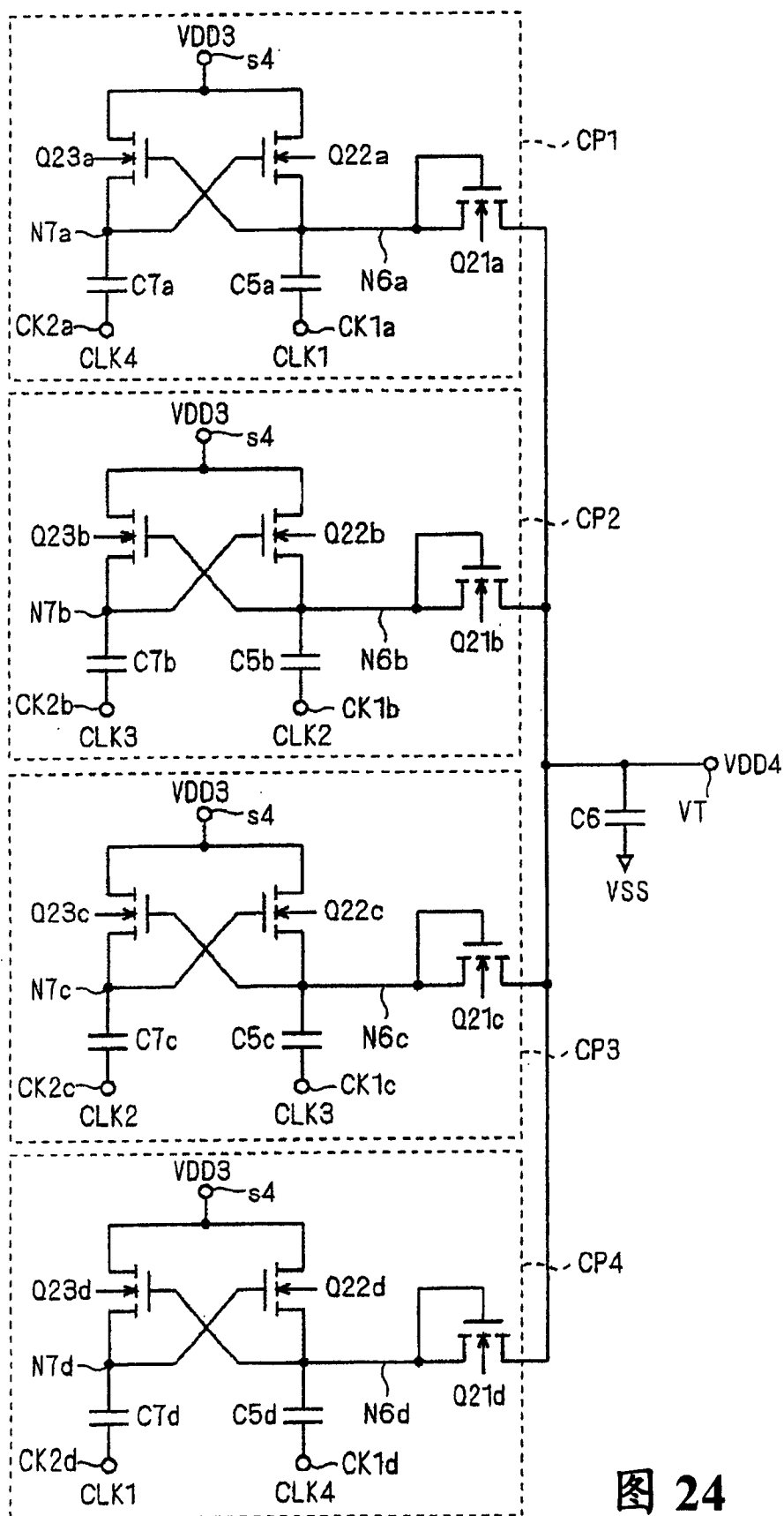


图 24

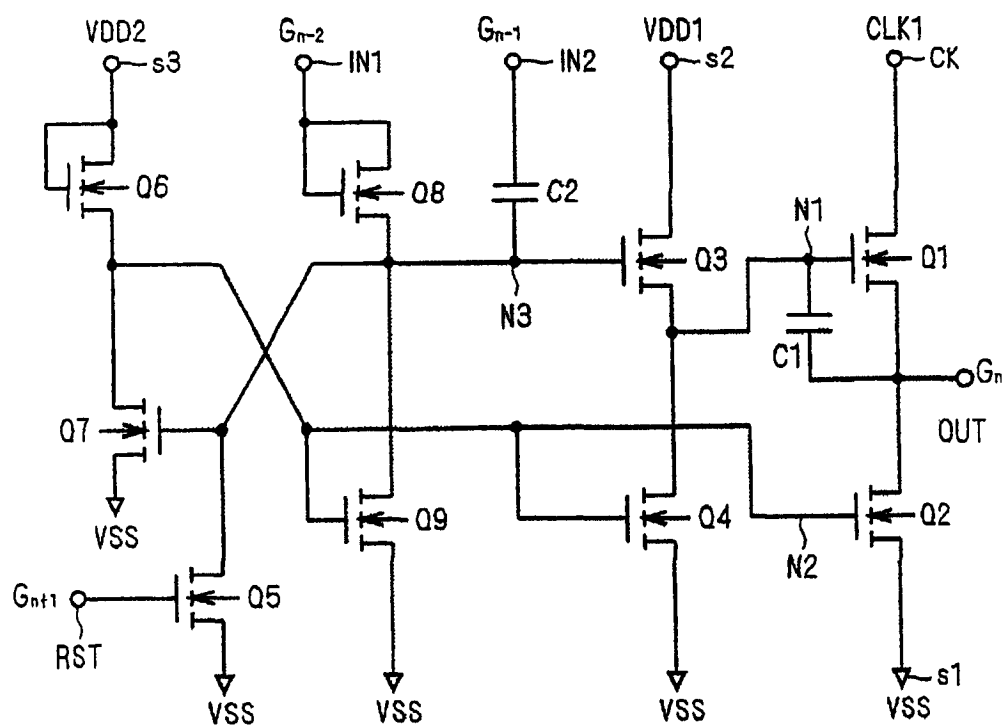


图 25

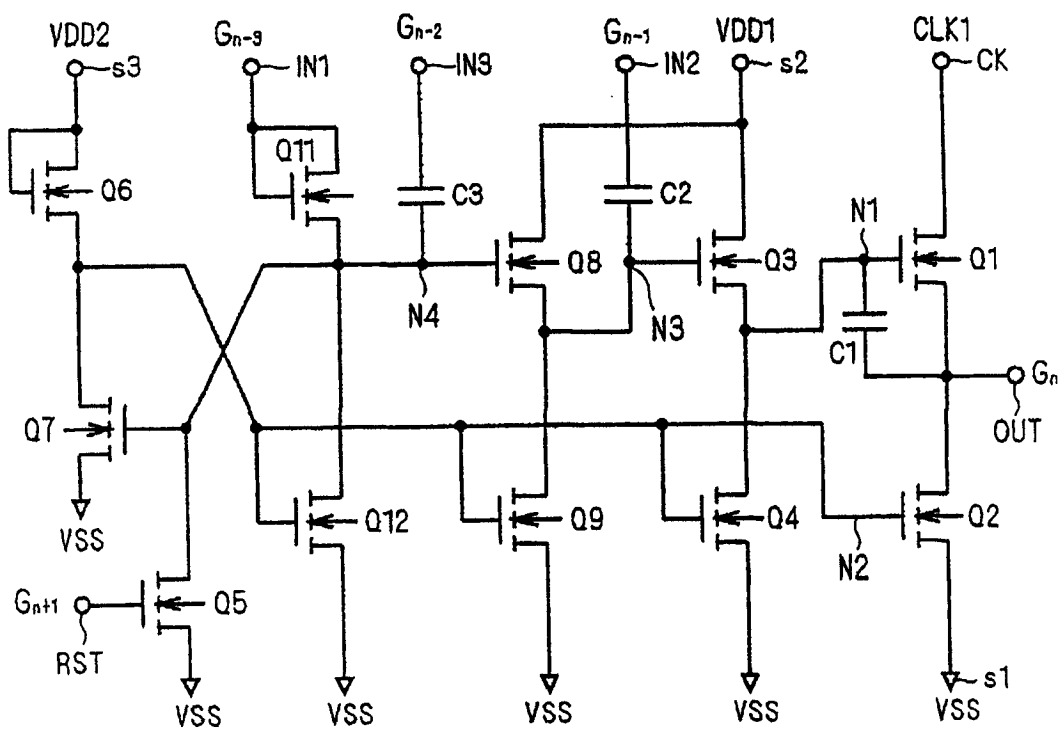


图 26

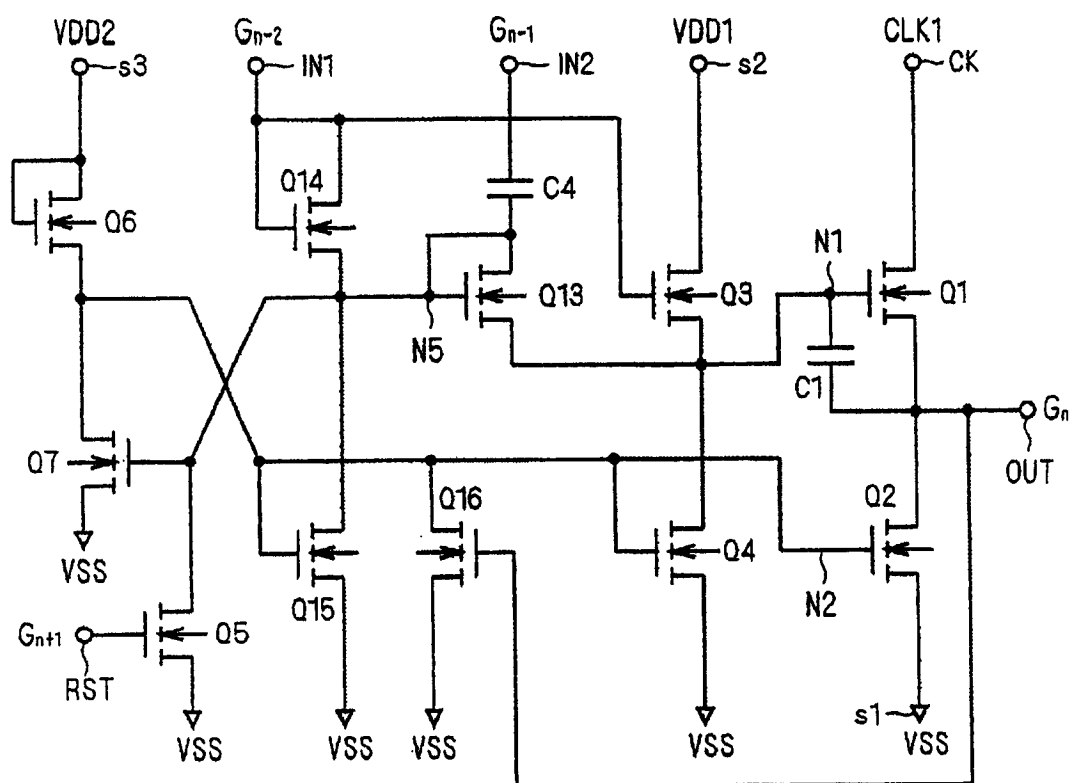


图 27