

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5964511号
(P5964511)

(45) 発行日 平成28年8月3日(2016.8.3)

(24) 登録日 平成28年7月8日(2016.7.8)

(51) Int.Cl.

F I

HO 1 L 23/12 (2006.01)

HO 1 L 21/60 (2006.01)

HO 1 L 23/12 5 O 1 B

HO 1 L 21/92 6 O 2 H

HO 1 L 21/60 3 1 1 Q

請求項の数 24 (全 20 頁)

(21) 出願番号	特願2015-520404 (P2015-520404)	(73) 特許権者	591016172
(86) (22) 出願日	平成25年6月25日 (2013.6.25)		アドバンスト・マイクロ・デバイス・
(65) 公表番号	特表2015-525968 (P2015-525968A)		インコーポレイテッド
(43) 公表日	平成27年9月7日 (2015.9.7)		ADVANCED MICRO DEVI
(86) 国際出願番号	PCT/US2013/047634		CES INCORPORATED
(87) 国際公開番号	W02014/004520		アメリカ合衆国、94088-3453
(87) 国際公開日	平成26年1月3日 (2014.1.3)		カリフォルニア州、サニibel、ピー・
審査請求日	平成27年3月9日 (2015.3.9)		オウ・ボックス・3453、ワン・エイ・
(31) 優先権主張番号	13/532, 126		エム・ディ・プレイス、メイル・ストップ
(32) 優先日	平成24年6月25日 (2012.6.25)		・68 (番地なし)
(33) 優先権主張国	米国 (US)	(74) 代理人	100108833
早期審査対象出願			弁理士 早川 裕司
前置審査		(74) 代理人	100111615
			弁理士 佐野 良太
			最終頁に続く

(54) 【発明の名称】 オフセットビア (v i a s) を有する集積回路パッケージ

(57) 【特許請求の範囲】

【請求項 1】

半導体チップであって、前記半導体チップ上に形成された集積回路を有する半導体チップと、

前記集積回路と電気的に通信する少なくとも1つのパッドと、

前記半導体チップ上に重なる絶縁層であって、前記半導体チップを基板に接着するための取り付け面を有する絶縁層と、

前記接着表面から前記パッドまで前記絶縁層を通して延在する少なくとも1つのビアであって、前記パッドに近接した第1のビア開口と、前記取り付け面に近接した第2のビア開口と、を備え、前記第2の開口の中心は、前記半導体チップの中心から離れた方向に前記第1の開口の中心から横方向にオフセットされる、少なくとも1つのビアと、

基板と、

前記パッドを前記基板に機械的および電気的に相互接続する、前記ビア内に受け入れられた金属材料であって、前記半導体チップを前記基板に接着する金属材料と、を備える、集積回路パッケージ。

【請求項 2】

前記絶縁層を貫通している前記ビアは、第1の長手方向軸に沿って前記パッドから離れて前記取り付け面に向かって延在する第1のビア部分と、第2の長手方向軸に沿って前記取り付け面から離れて延在する第2のビア部分と、を備え、前記第2のビア部分および前記第2の長手方向軸は、前記半導体チップの中心から離れた方向に前記第1のビア部分お

よび前記第 1 の長手方向軸から横方向にオフセットされており、前記第 1 のビア部分は前記第 2 のビア部分と連通している、請求項 1 に記載の集積回路パッケージ。

【請求項 3】

前記第 2 の長手方向軸は、前記半導体チップの前記中心および前記第 1 の長手方向軸を通過する線に沿って外向きに、前記第 1 の長手方向軸からオフセットされる、請求項 2 に記載の集積回路パッケージ。

【請求項 4】

前記第 1 の長手方向軸は、前記半導体チップの前記中心から離れた方向に前記パッドの中心から離れて横方向にオフセットされる、請求項 2 に記載の集積回路パッケージ。

【請求項 5】

前記パッドは、バックエンドオブライン (B E O L) パッドである、請求項 2 に記載の集積回路パッケージ。

【請求項 6】

前記第 2 のビア部分は、前記第 1 のビア部分の断面積よりも大きな断面積を有する、請求項 2 に記載の集積回路パッケージ。

【請求項 7】

前記第 1 および第 2 のビア部分の各々は、形状が円錐台形であって、前記第 2 のビア部分の最小断面積は、前記第 1 のビア部分の最大断面積よりも大きい、請求項 6 に記載の集積回路パッケージ。

【請求項 8】

前記絶縁層はポリイミドから形成されている、請求項 2 に記載の集積回路パッケージ。

【請求項 9】

前記絶縁層は、第 1 および第 2 のサブ層を備え、前記第 1 のビア部分は前記第 1 のサブ層を通して延在し、前記第 2 のビア部分は前記第 2 のサブ層を通して延在する、請求項 2 に記載の集積回路パッケージ。

【請求項 10】

前記半導体チップと前記絶縁層との間に形成された少なくとも 1 つの層間誘電体 (I L D) 層を備え、前記 I L D 層は、2 . 7 より少ない誘電率を有する材料から形成されている、請求項 1 に記載の集積回路パッケージ。

【請求項 11】

前記接着表面から前記少なくとも 1 つのパッドまで前記絶縁層を通して延在する中心ビアを更に備え、前記中心ビアは、前記半導体チップの前記中心を通過する中心長手方向軸に沿って前記パッドから離れて延びる第 1 のビア部分と、前記中心長手方向軸に沿って前記取り付け面から離れて延びる第 2 のビア部分と、を備える、請求項 2 に記載の集積回路パッケージ。

【請求項 12】

半導体チップであって、前記半導体チップ上に形成された集積回路を有する半導体チップと、前記集積回路と電気的に通信する少なくとも 1 つのパッドと、を備える、集積回路ダイの製造方法であって、

前記半導体チップ上に重なる第 1 の絶縁層を形成することと、

第 1 の長手方向軸に沿って前記第 1 の絶縁層を通して前記パッドから延在する第 1 のビアを形成することと、

前記第 1 の絶縁層上に重なる第 2 の絶縁層を形成することと、

前記第 1 のビアと連通する第 2 のビアであって、前記ダイの中心から離れた方向に前記第 1 の長手方向軸からオフセットされた第 2 の長手方向軸に沿って、前記第 2 の絶縁層を通して延在する第 2 のビアを形成することと、を含む、

製造方法。

【請求項 13】

前記第 1 および第 2 のビア内に流動性を有する金属的な相互接続構造を堆積することと

、

10

20

30

40

50

前記集積回路ダイを逆さにすることと、
前記相互接続構造を介して前記集積回路ダイを基板に相互接続することと、を更に含む、請求項 1 2 に記載の方法。

【請求項 1 4】

前記第 1 の長手方向軸は、前記ダイの前記中心から離れた方向に前記パッドからオフセットされる、請求項 1 2 に記載の方法。

【請求項 1 5】

前記第 1 のビアを形成することは、フォトリソグラフィ工程を用いて前記第 1 の絶縁層を露出することと、現像剤を用いて前記第 1 の絶縁層の露出した領域を取り除くことと、を含み、前記第 2 のビアを形成することは、フォトリソグラフィ工程を用いて前記第 2 の絶縁層を露出することと、現像剤を用いて前記第 2 の絶縁層の露出した領域を取り除くことと、を含む、請求項 1 2 に記載の方法。

10

【請求項 1 6】

前記パッドはバックエンドオブライン (B E O L) パッドである、請求項 1 2 に記載の方法。

【請求項 1 7】

前記第 1 および第 2 のビアは、形状が円錐台形であり、前記第 2 のビアの最小断面積は、前記第 1 のビアの最大断面積よりも大きい、請求項 1 2 に記載の方法。

【請求項 1 8】

集積回路ダイであって、
半導体チップであって、前記半導体チップ上に集積回路を有する半導体チップと、
前記集積回路と電氣的に通信する複数のパッドと、
前記集積回路上に重なる絶縁層であって、前記半導体チップを基板に接着するための取り付け面を有する絶縁層と、

20

基板と前記集積回路ダイを相互接続するための金属的な構造を受け入れるために、対応するパッドまで前記絶縁層を通して延在する複数のビアと、を備え、

前記複数のビアの各々は、前記半導体チップに近接した第 1 の開口と、前記取り付け面に近接した第 2 の開口と、を有し、前記第 2 の開口の中心は、前記第 1 の開口の中心よりも前記集積回路ダイの中心から遠くに位置する、

集積回路ダイ。

30

【請求項 1 9】

集積回路ダイであって、
半導体チップであって、前記半導体チップ上に集積回路を有する半導体チップと、
前記集積回路と電氣的に通信する複数のパッドと、
前記集積回路上に重なる絶縁層であって、前記半導体チップを基板に接着するための取り付け面を有する絶縁層と、

所定のパターンに配列された第 1 の複数のビアであって、基板と前記集積回路ダイとを相互接続するための金属的な構造を受け入れるために、対応するパッドまで前記絶縁層を通して延在し、前記半導体チップに近接した第 1 の開口と、前記取り付け面に近接した第 2 の開口と、を有し、前記第 1 の開口の中心は、前記集積回路ダイの中心の方向に第 1 の距離だけ前記第 2 の開口の中心に対して横方向にオフセットされる、第 1 の複数のビアと、

40

前記第 1 の複数のビアの前記パターンと同心のパターンに配列された第 2 の複数のビアであって、基板と前記集積回路ダイとを相互接続するための金属的な構造を受け入れるために、対応するパッドまで前記絶縁層を通して延在し、前記半導体チップに近接した第 1 の開口と、前記取り付け面に近接した第 2 の開口と、を有し、前記第 1 の開口の中心は、前記集積回路ダイの前記中心の方向に前記第 1 の距離とは異なる第 2 の距離だけ前記第 2 の開口の中心に対して横方向にオフセットされる、第 2 の複数のビアと、を備える、

集積回路ダイ。

【請求項 2 0】

50

前記第 1 の複数のビアの各々は、前記第 2 の複数のビアの各々よりも前記集積回路ダイの前記中心に近く配置され、前記第 2 の距離は前記第 1 の距離よりも大きい、請求項 1 9 に記載の集積回路ダイ。

【請求項 2 1】

前記第 1 の複数のビアの前記パターンおよび前記第 2 の複数のビアの前記パターンの少なくとも 1 つは、矩形である、請求項 1 9 に記載の集積回路ダイ。

【請求項 2 2】

集積回路ダイであって、
半導体チップであって、前記半導体チップ上に集積回路を有する半導体チップと、
前記集積回路と電氣的に通信する複数のパッドと、
前記集積回路上に重なる絶縁層であって、前記半導体チップを基板に接着するための取り付け面を有する絶縁層と、

基板と前記集積回路ダイとを相互接続するための金属的な構造を受け入れるために、対応するパッドまで前記絶縁層を通して延在する複数のビアと、を備え、

前記複数のビアは、前記集積回路ダイの中心に中心が置かれた第 1 のパターンと、前記第 1 のパターンと同心の第 2 のパターンとに少なくとも配列され、前記複数のビアの各々は、前記半導体チップに近接した第 1 の開口と、前記取り付け面に近接した第 2 の開口と、を有し、前記第 1 の開口の中心は、前記集積回路ダイの前記中心の方向に前記第 2 の開口の中心から横方向にオフセットされ、前記オフセットは、前記第 1 のパターンに配列された前記ビアにおいて第 1 の距離だけであって、前記第 2 のパターンに配列された前記ビアにおいて前記第 1 の距離とは異なる第 2 の距離だけである、

集積回路ダイ。

【請求項 2 3】

前記第 2 のパターンに配列された前記ビアの各々は、前記第 1 のパターンに配列された前記ビアの各々よりも前記集積回路ダイの中心から遠くに位置し、前記第 2 の距離は前記第 1 の距離よりも大きい、請求項 2 2 に記載の集積回路ダイ。

【請求項 2 4】

前記第 1 のパターンおよび前記第 2 のパターンの少なくとも 1 つは、矩形である、請求項 2 2 に記載の集積回路ダイ。

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

本願は、2012 年 6 月 25 日に出願された米国特許出願第 13 / 532, 126 号の利益と、当該米国特許出願の優先権とを主張するものであり、当該米国特許出願の内容は、参照によって、本明細書に十分に規定されているかのように本明細書に組み込まれる。

【0002】

本発明は、概して、集積回路パッケージングに関し、より詳細には、ダイを基板と相互接続するために半田バンプを受け入れるビアを有する集積回路パッケージに関する。

【背景技術】

【0003】

ダイは、金属材料と層間誘電体 (ILD) 材料とを交互にした多数の層を用いて上に重ねられた半導体チップから形成され得る。ダイは、金属層および ILD 層の上に重なるパッシベーション材料と、パッシベーション材料の上に重なるポリイミドなどの絶縁材料の 1 つ以上の層と、を更に含み得る。

【0004】

典型的には、絶縁材料の層を通して延在する半田バンプまたは他の相互接続構造は、ダイを、典型的に有機材料から形成される基板に相互接続する。全体として、ダイおよび相互接続された基板は、典型的に集積回路パッケージと呼ばれる。

【0005】

パッケージを構成する異なる材料の各々は、異なる熱膨張係数（ＣＴＥ）を有する。例えば、シリコン半導体チップは、約 $2.6 \times 10^{-6} /$ のＣＴＥ、ポリイミドは、約 $5 \times 10^{-6} /$ のＣＴＥ、無鉛半田材料は、約 $20 \sim 30 \times 10^{-6} /$ の範囲内のＣＴＥ、有機基板は、約 $17 \times 10^{-6} /$ のＣＴＥを有し得る。製造中や使用中、パッケージの温度が変化して、異なる材料の各々のＣＴＥに応じて当該材料の膨張または収縮を引き起こす。

【０００６】

次いで、ＣＴＥの不整合は、膨張差に起因した、パッケージ構成要素上の熱機械応力を結果としてもたらす。また、構成要素は、構成要素間のＣＴＥ差に基づいて、熱にさらされるときに反る傾向がある。これは、構成要素が互いから離れて反る際に剥離応力を引き起こす。これらの応力は、典型的には、チップパッケージ相互作用（ＣＰＩ）応力と呼ばれる。

10

【０００７】

歴史的に、ＣＰＩ応力の少なくとも一部は、ダイを基板に相互接続する半田バンプによって軽減されていた。半田バンプは、典型的には、膨張差や反りに応じて変形し得る、比較的延性を有する有鉛合金から形成されており、これにより、応力を吸収して、ダイと基板とを互いに分離させる傾向がある。

【０００８】

しかしながら、最近、有鉛半田材料は、無鉛材料に置き換えられている。これらの無鉛材料は、有鉛材料よりも堅い傾向、すなわち、低い延性を有するものである。結果として、無鉛半田バンプは、より少ない応力を吸収する傾向がある。いくつかの場合において、これは、パッケージの残った部分からのダイの亀裂または積層剥離を引き起こし得る。

20

【０００９】

この問題は、性能要件によって必要とされた他の材料選択によって悪化する。特に、半導体チップフィーチャ（feature）のサイズが減少するにつれて、性能理由のために、誘電率（Ｋ）が３よりも少ないＩＬＤ材料（低誘電率材料）、または、誘電率（Ｋ）が２．７よりも少ないＩＬＤ材料（超低誘電率（ＵＬＫ）材料）を選択することが必要になる。そのような材料は、 $K > 3$ である誘電体材料よりも低いせん断強さおよび凝集強さと、隣接したダイ層に対してより乏しい接着力と、を有することが多い。従って、低誘電率およびＵＬＫのＩＬＤ材料は、特に、亀裂または積層剥離などの機械的破損を生じる傾向がある。

30

【００１０】

従って、熱機械応力に対して改良された保護をもたらす半導体パッケージ設計の必要性がある。

【発明の概要】

【課題を解決するための手段】

【００１１】

本発明の例示では、集積回路パッケージは、オフセットビアを用いて形成されている。集積回路パッケージの各ビアは、半導体チップ上の集積回路と連通するパッドから、半導体チップに重なる絶縁材料を通して、基板に面する取り付け面まで延在している。ビア内に受け入れられる金属材料は、半導体チップを、機械的および電氣的に基板に相互接続する。各ビアの取り付け面に近接した部分は、パッドに近接した部分から横にオフセットされ、当該パッドから、半導体チップの中心から離れた方向に延在する。

40

【００１２】

発明の一態様によれば、半導体チップであって、前記半導体チップ上に形成された集積回路を有する半導体チップと、前記集積回路と電氣的に通信する少なくとも１つのパッドと、前記半導体チップ上に重なる絶縁層であって、前記半導体チップを基板に取り付けるための取り付け面を有する絶縁層と、前記取り付け面から前記絶縁層を通して前記パッドまで延在する少なくとも１つのビアであって、前記パッドに近接した第１のビア開口と、前記取り付け面に近接した第２のビア開口とを有し、前記第２のビア開口の中心は、前記

50

第1のビア開口の中心から、半導体チップの中心から離れた方向に横方向にオフセットされている、少なくとも1つのビアと、基板と、パッドを機械的および電氣的に基板に相互接続する金属材料であって、半導体チップを基板に取り付けるビア内に受け入れられる金属材料と、を備える、集積回路パッケージが開示されている。

【0013】

発明の別の態様によれば、半導体チップであって、前記半導体チップ上に形成された集積回路を有する半導体チップと、前記集積回路と電氣的に通信する少なくとも1つのパッドと、を備える集積回路ダイの製造方法が開示されている。この方法は、半導体チップ上に重なる第1の絶縁層を形成することと、パッドから第1の長手方向軸に沿って第1の絶縁層を通るように延在する第1のビアを形成することと、第1の絶縁層上に重なる第2の絶縁層を形成することと、第1のビアと連通する第2のビアを形成することであって、第2のビアは、ダイの中心から離れた方向に第1の長手方向軸から離れてオフセットされた第2の長手方向軸に沿って第2の絶縁層を通るように延在する、ことと、を含む。

【0014】

発明の別の態様によれば、集積回路ダイが開示されている。集積回路ダイは、半導体チップであって、前記半導体チップ上に集積回路を有する半導体チップと、前記集積回路と電氣的に通信する複数のパッドと、前記集積回路ダイ上に重なる絶縁層であって、前記半導体チップを基板に取り付けるための取り付け面を有する絶縁層と、複数のビアであって、各ビアは、基板と集積回路ダイとを相互接続するために金属的な構造を受け入れるために対応するパッドまで絶縁層を通して延在し、半導体チップに近接した第1の開口と、取り付け面に近接した第2の開口と、を有し、第2の開口の中心は、第1の開口の中心よりも集積回路ダイの中心から遠くに位置する、複数のビアと、を備えている。

【0015】

発明の別の態様によれば、基板とダイとを備える集積回路パッケージが開示されている。ダイは、半導体チップと、半導体チップ上に重なる絶縁層と、絶縁層を通る複数のビアと、を備えている。集積回路は、複数の金属的な相互接続構造を更に備え、相互接続構造の各々は、対応するビア内に受け入れられ、第1の端部でダイに接合され、第2の端部で基板に接合されており、第2の端部は、第1の端部よりもダイの幾何学的中心から遠くに位置する。

【0016】

本発明の更に別の態様によれば、集積回路ダイが提供される。集積回路ダイは、半導体チップであって、前記半導体チップ上に集積回路を有する半導体チップと、前記集積回路と電氣的に通信する複数のパッドと、前記集積回路ダイ上に重なる絶縁層であって、前記半導体チップを基板に取り付けるための取り付け面を有する絶縁層と、パターンに配列された第1の複数のビアであって、第1の複数のビアの各々は、基板と集積回路ダイとを相互接続するための金属的な構造を受け入れるために対応するパッドまで絶縁層を通して延在し、半導体チップに近接した第1の開口と、取り付け面に近接した第2の開口と、を有し、第1の開口の中心は、集積回路ダイの中心の方向に第1の距離だけ第2の開口の中心に対して横方向にオフセットされる、第1の複数のビアと、第1の複数のビアのパターンと同心のパターンに配列された第2の複数のビアであって、第2の複数のビアの各々は、基板と集積回路ダイとを相互接続するための金属的な構造を受け入れるために対応するパッドまで絶縁層を通して延在し、半導体チップに近接した第1の開口と、取り付け面に近接した第2の開口と、を有し、第1の開口の中心は、集積回路ダイの中心の方向に第1の距離とは異なる第2の距離だけ第2の開口の中心に対して横方向にオフセットされる、第2の複数のビアと、を備えている。

【0017】

本発明の更に別の態様によれば、集積回路ダイが提供される。集積回路ダイは、半導体チップであって、前記半導体チップ上に集積回路を有する半導体チップと、前記集積回路と電氣的に通信する複数のパッドと、前記集積回路ダイ上に重なる絶縁層であって、前記半導体チップを基板に取り付けるための取り付け面を有する絶縁層と、複数のビアであって

て、各ビアは、基板と集積回路ダイとを相互接続するための金属的な構造を受け取入れるために対応するパッドまで絶縁層を通して延在する、複数のビアと、を備え、複数のビアは、集積回路ダイの中心に中心が置かれた第１のパターンに、および、第１のパターンと同心の第２のパターンに少なくとも配列され、各ビアは、半導体チップに近接した第１の開口と、取り付け面に近接した第２の開口と、を有し、第１の開口の中心は、集積回路ダイの中心の方向に第２の開口の中心から横方向にオフセットされており、オフセットは、第１のパターンに配列されたビアにおいて第１の距離だけであり、第２のパターンに配列されたビアにおいて第１の距離とは異なる第２の距離だけである。

【００１８】

図面には、本発明の実施形態が例示される。

10

【図面の簡単な説明】

【００１９】

【図１】 発明の一実施形態の例示的な半導体パッケージの断面図である。

【図２】 Ｉ Ｉ 線に沿った図１の半導体パッケージの断面図である。

【図３】 図２に示された断面の簡易概略図である。

【図４】 発明の代替の実施形態の例示的な半導体パッケージの断面図である。

【図５Ａ】 製造の異なる段階における図１の半導体パッケージのサブアセンブリの部分断面図である。

【図５Ｂ】 製造の異なる段階における図１の半導体パッケージのサブアセンブリの部分断面図である。

20

【図５Ｃ】 製造の異なる段階における図１の半導体パッケージのサブアセンブリの部分断面図である。

【図５Ｄ】 製造の異なる段階における図１の半導体パッケージのサブアセンブリの部分断面図である。

【図５Ｅ】 製造の異なる段階における図１の半導体パッケージのサブアセンブリの部分断面図である。

【図５Ｆ】 製造の異なる段階における図１の半導体パッケージのサブアセンブリの部分断面図である。

【図５Ｇ】 製造の異なる段階における図１の半導体パッケージのサブアセンブリの部分断面図である。

30

【図５Ｈ】 製造の異なる段階における図１の半導体パッケージのサブアセンブリの部分断面図である。

【図５Ｉ】 製造の異なる段階における図１の半導体パッケージのサブアセンブリの部分断面図である。

【図５Ｊ】 製造の異なる段階における図１の半導体パッケージのサブアセンブリの部分断面図である。

【図５Ｋ】 製造の異なる段階における図１の半導体パッケージのサブアセンブリの部分断面図である。

【発明を実施するための形態】

【００２０】

40

図１は、本発明の一実施形態の例示的な半導体パッケージ１０を示す図である。半導体パッケージ１０は、概して、一連の半田バンプ２８によって基板２６に相互接続されたダイ１２を含む。ダイ１２は、上部に集積回路（図示しない）を有する半導体チップ１１を含む。

【００２１】

ダイ１２は、フリップチップにおいて基板２６に取り付けられる。半田バンプ２８は、ダイ１２の取り付け面３４から延在する。ダイ１２は、これらのバンプを介して基板に取り付けられ、これらのバンプは、基板２６への機械的および電気的な相互接続のためにリフローされる。任意に、アンダーフィル（図示しない）は、更に、ダイ１２を基板２６に機械的に取り付けてもよい。

50

【 0 0 2 2 】

集積回路は、バックエンドオブライン（ＢＥＯＬ）パッド１４を含むＢＥＯＬスタックを介して相互接続される。また、ＢＥＯＬスタックは、ＢＥＯＬスタックの導電要素を電氣的に隔てる層間誘電体（ＩＬＤ）材料１５，１６を含む。ＩＬＤ材料１５，１６は、ＨＳＳＱ、ダイヤモンドライクカーボン、カーボンをドーブしたＳｉＯ₂もしくはＳｉＣＯＨなどの低誘電率の誘電体材料、または、多孔性ＳｉＣＯＨなどのＵＬＫ誘電体材料から形成され得る。簡単化のために、ＢＥＯＬパッド１４とＩＬＤ材料１５，１６とを含むＢＥＯＬスタックの一部のみが示されている。ＢＥＯＬパッド１４は、ＩＬＤ層１５を通して導電性トレース（図示しない）によって、ＢＥＯＬスタックの他の要素（図示しない）に接続されている。ＢＥＯＬスタックは、金属的なトレースの追加層と、半導体チップ１１とＢＥＯＬパッド１４との間のＩＬＤ材料と、ＩＬＤ材料１５，１６と、を含み得る。

10

【 0 0 2 3 】

また、ダイ１２は、ダイ１２の要素を腐食から保護するために、ＢＥＯＬパッド１４およびＩＬＤ材料１６上に重なるパッシベーション材料１８の層を含み得る。ダイ１２は、パッシベーション材料１８の頂上に絶縁材料の層を含み得る。パッケージ１０は、絶縁材料の２つの層２０，２２を用いて例示されているが、より多いまたはより少ない層を有してもよい。層２０，２２は、ポリイミド、ポリベンゾキサジアゾール、ベンゾシクロブテンまたは類似した材料から形成され得る。

20

【 0 0 2 4 】

ビア２４は、ＢＥＯＬパッド１４を介してダイ１２を基板２６に電氣的および機械的に相互接続するための半田バンプ２８を受け入れるために、層２０，２２を通して形成されている。半田バンプ２８は、導電性材料から形成されており、ダイ１２の取り付け面３４から延在する。半田バンプ２８は、ＳｎＡｇ、ＳｎＣｕ、ＳｎＡｇＣｕなどの無鉛材料または他の無鉛合金から形成され得る。ファインピッチ用途では、半田バンプ２８は銅ピラーであってよい。また、１つ以上の導電性金属層（図示しない）は、半田バンプ２４とＢＥＯＬパッド１４との間に形成され得る。任意に、半田バンプ２８に近接した取り付け面３４と基板２６との間の領域は、相互接続を保護するおよび／または機械的に補強するために、エポキシアンダーフィル（図示しない）で充填されてもよい。

30

【 0 0 2 5 】

基板２６は、半導体パッケージ１０を、回路基板に相互接続された他のデバイスに相互接続するために、回路基板３２上に搭載され得る。典型的には、基板２６は、有機材料から形成されるが、上記の内容からわかるように、代わりに、当業者に周知の任意の適切な材料から形成されてもよい。

【 0 0 2 6 】

図２は、絶縁材料の層２２の下側の部分を示し、半導体パッケージ１０を基板２６に相互接続するための半田バンプ（全体として半田バンプ２８、個別的には半田バンプ２８ａ～２８ｙ）のアレイを示す図である。半田バンプは、概して、５×５の格子パターンに配列されている。しかしながら、半田バンプ２８は、代わりに、半導体パッケージ１０の機能上の要件に従って、より多いまたはより少ないバンプを用いた代替のパターンに配列されてもよい。

40

【 0 0 2 7 】

図示されるように、半田バンプ２８ａは、点Ａの印が付されたダイ１２の中心に位置し、半導体チップ１１の中心上に置かれている。半田バンプ２８ｂ～２８ｙは、ダイ１２の中心から離れて位置する。しかしながら、半田バンプ２８は、ダイ１２の中心に置かれる必要はない。

【 0 0 2 8 】

製造中および動作中、半導体パッケージ１０は熱にさらされる場合がある。残念なことに、このことは、半導体パッケージ１０の構成要素が、各々の熱膨張係数に対応する割合で膨張および／または反ることを引き起こし、熱膨張係数は、前述したように大きく異な

50

る場合がある。

【 0 0 2 9 】

半田バンプ 2 8 が、ダイ 1 2 を基板 2 6 と機械的に相互接続する場合には、ダイ 1 2 および基板 2 6 の膨張差や反りは、半田バンプ 2 8、B E O L パッド 1 4、半田バンプ 2 8 と B E O L パッド 1 4 との間の接合部および / または半田バンプ 2 8 と基板 2 6 との間の接合部上に、熱機械的せん断や剥離応力を引き起こす。更に、B E O L パッド 1 4 上の応力は、隣接した I L D 材料 1 5、1 6 上に応力をかけ得る。また、膨張差や反りに起因するせん断応力が存在する場合があります、このせん断応力は、状態やパッケージ特性に依存する。

【 0 0 3 0 】

ダイ 1 2 および基板 2 6 の各々は、各々の中心から全ての方向に離れて熱的に膨張する傾向がある。従って、膨張の累積的影響は、ダイ 1 2 および基板 2 6 の各々の幾何学的中心からの距離が増加するにつれて増加する。同様に、反りの累積的影響は、ダイ 1 2 および基板 2 6 の中心からの距離が増加するにつれて増加することになる。従って、熱機械応力の大きさは、ダイ 1 2 および基板 2 6 の中心からの距離が増加するにつれて増加する。

【 0 0 3 1 】

このため、図 2 に示されるように、熱機械応力は、中心（図 2 における位置 A）ではゼロに近いことになる。熱機械応力は、位置 A に対して位置 B でより高くなり、位置 C で更に高いことになる。同様の理由のために、熱機械応力のピークは、ダイ 1 2 のサイズが大きくなるにつれて増加する。

【 0 0 3 2 】

熱機械応力、特に剥離応力は、I L D 材料 1 5、1 6 に形成され伝搬する亀裂を引き起こし得る。また、I L D 材料 1 5、1 6 の層の部分的または完全な積層剥離が生じ得る。I L D 材料 1 5、1 6 と、I L D 材料 1 5、1 6 と半導体パッケージ 1 0 の隣接した構成要素との間の界面は、特に亀裂および積層剥離の両方を受け易く、一方で、低誘電率および U L K の I L D 材料は、性能の理由のために望ましいか必要であることが多く、このような材料は、一般に、不十分な機械的特性を有しており、例えば強度が低い。

【 0 0 3 3 】

半田バンプ 2 8 a ~ 2 8 y の各々は、対応するビア 2 4 a ~ 2 4 y（全体的にビア 2 4）内に受け入れられる。ビア 2 4 a、2 4 b は、図 1 の拡大した部分における断面に示されている。ビア 2 4 a は、ダイ 1 2 の中心且つ半導体チップ 1 1 の中心上に位置する。ビア 2 4 b は、ダイ 1 2 の中心から離れて横方向にオフセットされている。ビア 2 4 b の幾何学的配列は、ビア 2 4 c ~ 2 4 y の配列を表すものであり、ビア 2 4 c ~ 2 4 y は、同様にダイ 1 2 の中心から離れて横方向にオフセットされている。ビア 2 4 は、第 1 のビア部分 3 6 および第 2 のビア部分 3 8（個別的には、ビア部分 3 6 a ~ 3 6 y および 3 8 a ~ 3 8 y の各々）を有する。第 1 のビア部分 3 6 は、層 2 0 を通って B E O L パッド 1 4 から延在する。第 2 のビア部分 3 8 は、層 2 2 を通して取り付け面 3 4 から延在し、第 1 のビア部分 3 6 と連通する。したがって、ビア 2 4 は、絶縁材料の層 2 0、2 2 の両方を通して B E O L パッド 1 4 から離れて延在する。

【 0 0 3 4 】

第 1 のビア部分 3 6 および第 2 のビア部分 3 8 の各々は、各々のビア部分の中心を通過する長手方向軸に沿って延在する。ビア 2 4 b の第 1 のビア部分 3 6 b の長手方向軸は軸 4 2 である一方で、ビア 2 4 b の第 2 のビア部分 3 8 b の長手方向軸は軸 4 4 である。ビア 2 4 a の第 1 のビア部分 3 6 a および第 2 のビア部分 3 8 a は同軸であり、長手方向軸 4 6 に沿って延在する。

【 0 0 3 5 】

第 1 のビア部分 3 6 は、B E O L パッド 1 4（それぞれ、第 1 のビア部分 3 6 a、3 6 b の開口 4 8 a、4 8 b として図 1 において示される）に近接した開口 4 8 と、第 1 のビア部分 3 6 が第 2 のビア部分 3 8（同様に、5 0 a、5 0 b として示される）と交差する開口 5 0 と、を有する。同様に、第 2 のビア部分は、第 1 のビア部分と第 2 のビア部分と

10

20

30

40

50

の交点に開口 5 2 と、取り付け面 3 4 (それぞれ、5 2 a , 5 2 b および 5 4 a , 5 4 b として示される)に開口 5 4 と、を有する。ビア部分 3 6 , 3 8 は、形状が円錐台形であって、直径が、開口 4 8 , 5 2 における最小から開口 5 0 , 5 4 における最大まで増加する。第 2 のビア部分 3 8 の最小直径は、第 1 のビア部分 3 6 の最大直径よりも大きい。この幾何学的形状を有するビア 2 4 の結果として、ビア 2 4 の側壁は、層 2 0 の表面の頂上に平坦な段を有し、そこで、第 1 の部分と第 2 の部分とが交差する。上記でわかるように、ビア 2 4 の形状は、半田バンプ 2 8 の形状を決定する。従って、ビア 2 4 の幾何学的形状が原因で、半田バンプ 2 8 は、ビア 2 4 の壁内で平坦な段上にある。また、ビア 2 4 の形状の結果として、半田バンプ 2 8 は、半田バンプ 2 8 が B E O L パッド 1 4 に接合するところよりも、半田バンプ 2 8 が基板 2 6 に接合するところで、直径がより大きい。

10

【 0 0 3 6 】

代替の実施形態では、ビア 2 4 は、異なる形状を有し得る。例えば、第 1 の部分および第 2 の部分は、垂直側壁と、第 1 の部分と第 2 の部分とが交差する側壁における段と、を有する円筒形状であり得る。

【 0 0 3 7 】

図 3 を参照すると、絶縁材料の層 2 2 の下側が、簡易概略図に示されている。ビア 2 4 の構成を例示する目的のために、半田バンプ 2 8 は、図 3 から省略されている。また、第 1 のビア部分 3 6 の開口 5 0 と、第 2 のビア部分 3 8 の開口 5 4 とのみが示されている。前述したように、ビア 2 4 a は、ダイ 1 2 の中心に位置する。ビア 2 4 a の第 1 の部分 3 6 a および第 2 の部分 3 8 a は同軸であり、長手方向軸 4 6 に沿って延在し、その長手方向軸は、ダイ 1 2 の中心と半導体チップ 1 1 の中心とを通過する。逆に、ビア 2 4 b は、ダイ 1 2 の中心から離れて位置する。ビア 2 4 b の第 2 のビア部分 3 8 b は、ダイ 1 2 および半導体チップ 1 1 の幾何学的中心から離れた方向に第 1 のビア部分 3 6 b から横方向にオフセットされている。特に、第 2 のビア部分 3 8 b の長手方向軸 4 4 は、ダイ 1 2 および半導体チップ 1 1 の中心から離れた方向に長手方向軸 4 2 から横方向にオフセットされている。同様に、ビア 2 4 c ~ 2 4 y は、ダイ 1 2 の中心から離れてオフセットされ、各ビアの第 2 のビア部分は、ダイ 1 2 の中心と半導体チップ 1 1 の中心とから離れた方向に各ビアの第 1 のビア部分から離れてオフセットされている。

20

【 0 0 3 8 】

ビア 2 4 は半田バンプ 2 8 の形状を画定するので、基板 2 6 に近接した半田バンプ 2 8 の部分は、同様に、ダイ 1 2 および半導体チップ 1 1 の幾何学的中心から離れた方向に B E O L パッド 1 4 に近接した部分からオフセットされている。このため、このようにして第 2 のビア部分 3 8 を第 1 のビア部分 3 6 から離してオフセットすることは、半田バンプ 2 8 と基板 2 6 との間の接合部に位置し、そこは、熱機械的応力が最も高い。対照的に、第 2 のビア部分 3 8 が第 1 のビア部分 3 6 からオフセットされない場合には、半田バンプ 2 8 と基板 2 6 との間の接合部は、ダイ 1 2 と半導体チップ 1 1 の中心により近い低応力領域に位置することになる。上記からわかるように、ビア 2 4 a はダイ 1 2 の中心に位置するので、任意の所与の方向におけるオフセットは、第 2 のビア部分 3 8 a の一部がダイ 1 2 の中心から遠くに位置し、また、第 2 のビア部分 3 8 a の一部がより近くに位置することを、結果としてもたらすことになる。従って、第 2 のビア部分 3 8 a をオフセットすることは、第 2 のビア部分 3 8 の残りをオフセットすることと同じ利益をもたらさないことになる。

30

40

【 0 0 3 9 】

半田バンプ 2 8 に加えられる熱機械応力は、層 2 0 , 2 2 、 B E O L パッド 1 4 および I L D 層 1 5 , 1 6 に伝達される。前述したように、I L D 層 1 5 , 1 6 は、亀裂および/または積層剥離の傾向がある。反対に、層 2 0 , 2 2 は、比較的柔らかく、亀裂、割れまたはパッケージ 1 0 の隣接した層からの離層無しに、いくらかの変形に耐えることができる。層 2 0 , 2 2 の変形は応力を吸収する。従って、層 2 0 , 2 2 は、緩衝効果があり、応力が B E O L パッド 1 4 および I L D 層 1 5 , 1 6 に伝達されないように、いくらかの応力を吸収する。ビア 2 4 の上記幾何学的形状は、高い熱機械応力を経験する範囲内にお

50

ける半田バンプ 2 8 の下方に、すなわち、ダイ 1 2 と半導体チップ 1 1 との中心から離れて遠くに位置する各半田バンプ 2 8 の側上に、層 2 0 , 2 2 の追加材料をもたらす。このため、オフセットビア部分の無いダイに対して、より多くの応力が、B E O L パッド 1 4 および I L D 層 1 5 , 1 6 に伝達されるのではなくて、層 2 0 , 2 2 の変形によって吸収され得る。

【 0 0 4 0 】

図 2 ~ 図 3 に示されるように、第 1 のビア部分 3 6 は、B E O L パッド 1 4 と整列されており、格子パターンでダイ 1 2 上に一様に分布されている。第 2 のビア部分 3 8 は、一定サイズのものであり、また、対応する第 1 のビア部分 3 6 から一定のオフセット距離のものである。最大許容可能オフセット距離は、工程制限によって左右される。また、上記からわかるように、第 2 のビア部分 3 8 の各々は、対応する第 1 のビア部分 3 6 に一部重複しなければならない。示された実施形態では、オフセット距離は、第 1 のビア部分 3 6 および第 2 のビア部分 3 8 のサイズによって決定される。

【 0 0 4 1 】

図 3 に示されるように、第 2 のビア部分 3 8 の各々は、ダイ 1 2 および半導体チップ 1 1 の中心と各第 1 のビア部分 3 6 の中心とを通過する放射線に沿って外向きに、対応する第 1 のビア部分 3 6 からオフセットされる。例えば、線 5 5 は、ビア 2 4 b の第 1 のビア部分 3 6 b が沿って延在する軸 4 2 と、ダイ 1 2 および半導体チップ 1 1 の中心を通過する軸 4 6 と交差する。第 2 のビア部分 3 8 b が沿って延在する軸 4 4 は、線 5 5 に沿って外向きに軸 4 2 からオフセットされる。対称的であり円形開口を有するビア部分に対して、例えば図 3 ~ 図 4 に示された円錐台形のビア部分などの場合には、第 2 のビア部分 3 8 が、所与のオフセット距離についてダイ 1 2 の中心から最も遠い可能な距離に位置することを結果としてもたらす。この構成では、半田バンプ 2 8 は、最高応力を経験する領域で基板 2 6 に接合することになり、応力軽減効果を最大化する。

【 0 0 4 2 】

他の実施形態では、B E O L パッド 1 4、第 1 のビア部分 3 6 および / または第 2 のビア部分の配列は、異なり得る。例えば、第 1 のビア部分 3 6 と第 2 のビア部分 3 8 との間、すなわち、それらが長手方向軸に沿って延びる当該長手方向軸間のオフセットの距離や方向は、特定のビア 2 4 の位置に基づいて変動し得る。例えば、ダイ 1 2 および半導体チップ 1 1 の中心により近いビア 2 4 は、ダイ 1 2 および半導体チップ 1 1 の中心から遠いものよりも小さなオフセットを有し得る。いくつかの実施形態では、異なるビア 2 4 の第 2 のビア部分 3 8 は、異なったサイズを有し得る。例えば、ダイ 1 2 の隅の方に位置するビア 2 4 は、他のビアのものよりも大きな第 2 の部分 3 8 を有し得る。いくつかの実施形態では、外側のビア部分のサイズおよびオフセットサイズは、熱機械応力の分布と比例して変動し得る。

【 0 0 4 3 】

いくつかの実施形態では、ビア 2 4 は、ダイ 1 2 および半導体チップ 1 1 の中心上に中心が置かれたパターンにグループ化され得る。例えば、図 3 では、ビア 2 4 b ~ 2 4 i は、ダイ 1 2 および半導体チップ 1 1 の中心に中心が置かれた第 1 の概ね矩形または四角形パターンに配列される。ビア 2 4 b ~ 2 4 i の第 1 のビア部分は、ダイ 1 2 および半導体チップ 1 1 の中心の方向にそれぞれの第 2 のビア部分に対して横方向にオフセットされる（同等に、ビア 2 4 b ~ 2 4 i の第 2 のビア部分は、ダイ 1 2 および半導体チップ 1 1 の中心から離れた方向にそれぞれの第 1 のビア部分からオフセットされる）。オフセットのサイズは、第 1 の概ね矩形パターンを構成するビア 2 4 b ~ 2 4 i の各々について、一定である。ビア 2 4 j ~ 2 4 y は、第 1 の概ね矩形パターンと同心である第 2 の概ね矩形パターンに配列される。すなわち、第 1 および第 2 の概ね矩形パターンは共に、ダイ 1 2 および半導体チップ 1 1 の中心上に中心が置かれる。ビア 2 4 j ~ 2 4 y の第 1 のビア部分は、ダイ 1 2 および半導体チップ 1 1 の中心の方向にそれぞれの第 2 のビア部分に対して横方向にオフセットされる（同等に、ビア 2 4 j ~ 2 4 y の第 2 のビア部分は、ダイ 1 2 および半導体チップ 1 1 の中心から離れた方向にそれぞれの第 1 のビア部分からオフセッ

トされる)。オフセットのサイズは、第2の概ね矩形パターンを構成するビア24j~24yの各々について、一定である。いくつかの実施形態では、第2のパターンのオフセットサイズは、第1のパターンのオフセットサイズと異なり得る。例えば、オフセットサイズは、第2のパターンの場合に大きくなる可能性があり、第2のパターンの各部材は、第1のパターンの部材よりもダイ12および半導体チップ11の中心から遠くにある。いくつかの実施形態では、ビア24は、矩形ではない同心パターンに配列され得る。例えば、ビア24は、円形または楕円形状のリングに配列され得る。

【0044】

いくつかの実施形態では、ダイは、絶縁材料の単一の層のみを有し得る。そのような実施形態では、ビアは、取り付け面に近接した各ビアの開口が、対応するBEOLパッドに近接したビアの開口に対してダイおよび半導体チップの中心から横方向にオフセットされるように、非対称的に先細りにされた境界を有し得る。また、取り付け面に近接したビア開口は、BEOLパッドに近接した対応するビア開口よりも大きくすることができる。オフセットビアの無いダイに対して、そのような配列は、ダイおよび半導体チップの中心から離れた最も遠い側上、すなわち、高い熱機械応力を経験する範囲内における半田バンプの下方に追加の絶縁材料をもたらすことになる。

【0045】

半導体パッケージ10は、中心のビア24aを用いて図1~図4に示されるが、その代わりに、中心のビア24aが半導体パッケージ10から省略されてもよい。

【0046】

図1~図3では、各ビア24の第1の部分36は、それぞれのBEOLパッド14上に中心が置かれる。しかしながら、図4に示された代替の実施形態では、第1のビア部分36'は、第2のビア部分38'が第1のビア部分36'に対してオフセットされるのとはほぼ同じ手法で、BEOLパッドに対してオフセットされ得る。これは、第2のビア部分38'が、第1のビア部分と第2のビア部分との間の所与のオフセット距離について、図1の実施形態に対してダイ12の中心から離れて遠くに位置することを結果としてもたらす。

【0047】

次に図5A~図5Kを参照すると、集積回路ダイを製造するための工程、および、集積回路ダイを基板に相互接続するための典型的な工程が、記載されている。工程は、単一の半導体チップ11を備える単一のダイ12を参照して記載され例示されるが、代わりに、ダイ12を製造するステップは、単一化の前に多数の半導体チップを備えるウェハ上で実行され得る。

【0048】

前述したように、半導体パッケージ10は、フリップチップに組み立てられる。従って、図5A~図5Iに示されるように、ダイ12のサブアセンブリは、図1に対して逆さまにされる。

【0049】

図5Aに示されるように、半導体チップ11は、従来の手法で半導体基板上にまたは半導体基板内に形成される。半導体チップ11は、能動(active)回路要素と、能動回路要素を互いにおよび入出力パッドに相互接続するための一連の導電性トレースと、誘電体材料の層と、を含む。この一連の相互接続および絶縁要素は、BEOLスタックと呼ばれる。BEOLスタックの設計や製造は、当業者において周知である。従って、例示や説明の簡略化のために、1つのBEOLパッド14と、誘電体材料(ILD)15, 16の2つの層だけが示される。BEOLパッド14は、ILD層15を通過する導電性トレースによってBEOLスタックの他の要素に接続されるが、簡単化のために、それらは図示されていない。

【0050】

パッシベーション材料18は、BEOLスタック上に重ねて堆積される。パッシベーション材料18は、ダイ12を腐食から保護するのに役立つ。パッシベーション材料18は

10

20

30

40

50

、化学気相蒸着工程（例えば、プラズマ促進化学気相蒸着工程（PECVD）または低圧化学気相蒸着工程（LPCVD）など）によって形成され得る。シリコン酸化物パッシベーション材料は、シラン（ SiH_4 ）および亜酸化窒素（ N_2O ）または酸素（ O_2 ）を使用するPECVD工程によって、あるいは、亜酸化窒素と共にオルトケイ酸テトラエチル（ $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）またはジクロロシラン（ SiH_2Cl_2 ）を使用するLPCVD工程によって、形成され得る。シリコン窒化物パッシベーション材料は、アルゴンの存在下でシランおよびアンモニア（ NH_3 ）または窒素（ N_2 ）を使用するPECVD工程によって形成され得る。簡単化のために、パッシベーション材料18は、単一層として示されている。しかしながら、パッシベーション材料18は、 SiN 、および任意に、 SiN の更なる層を用いて上に重ねられ得る SiO_2 の層を用いて上に重ねられた接着層（NB10k）から成る、多層スタックから構成され得る。典型的には、パッシベーション材料18は、500nmと3000nmとの間の厚さを有する。

10

【0051】

マスク60は、リソグラフィ工程を使用してパッシベーション材料18上に重ねて形成される。マスク60は、ビア24の所望の位置に開口62（特に、ビア24の開口48）を有する。典型的には、マスク60はフォトレジストマスクである。

【0052】

マスク60が一旦形成されると、パッシベーション材料18は、開口62に対応するパッシベーション材料18を通る開口を生成するためにエッチングされる。エッチングは、パッシベーション材料18の組成および厚さに基づいて選択される任意の適切な周知のエッチング技法（例えば反応性イオンエッチング）であり得る。パッシベーション材料18に選択的な技法は、BEOLパッド14をできるだけ少なく取り除くように使用されるべきである。マスク60は、例えばマスク材料に選択的な溶剤によって取り除かれる。図5Bは、パッシベーション層18のエッチングおよびマスク60の除去後の製造中の半導体パッケージ10を示す。

20

【0053】

絶縁材料の層20は、パッシベーション材料18上に重ねて堆積される。層20の絶縁材料は、感光性であってよく、例えばスピンコーティング工程を使用して堆積され得る。ダイ12の完成した状態では、ビア24の第1の部分36は層20内に形成される。従って、層20の厚さは、第1のビア部分36の所望の厚さによって少なくとも一部決定される。

30

【0054】

図5Cは、絶縁材料の層20を備える製造中のダイ12を示す。層20の堆積後、層20を通るビア24の第1のビア部分36が生成される。以下の工程は、ポジ型感光性ポリイミドを通して先細りにされたビアを形成するための適切な工程の一例である。上記からわかるように、異なる工程（例えば、異なる形状（例えば円筒形）のビアを形成するためにまたは異なる材料を使用して）が使用され得る。

【0055】

まず、層20は、リソグラフィ露出工程を使用してパターン化される。例えば、層20の範囲は、フォトマスクを通した紫外線放射を使用してリソグラフィによって露出され得る。露出は、露出された領域が現像溶液に溶けることになることを引き起こす。

40

【0056】

露出された層20は、露出された領域63を選択的に溶かす現像剤に浸され、図5Dに示されるように第1のビア部分36を形成する。現像に次いで、層20が硬化され、層20を更なる現像工程に対して弾力のあるようにする。

【0057】

図5C～図5Dに示されるように、露出された領域63および第1のビア部分36は、先細りにされた境界を有する。露出された領域63の形状およびビア部分36の壁の先細りの度合い（勾配）は、露出エネルギー（露出の分量や時間）、（例えば、層20のスピンコーティング後のホットプレート上の）早期硬化の度合い、および、現像製法（現像剤

50

の化学作用、現像時間および噴霧パターン)によって影響を受ける。

【0058】

絶縁材料の第2の層22は、図5Eに示されるように、層20上に堆積され得る。層22は、層20に類似した手法で堆積され得る。次いで、層22は、第2のビア部分38を生成するために、層20に類似した手法で露出され現像される。

【0059】

層22は、現像工程が層22から材料を取り除く一方、層20から少しの材料を取り除くか全く材料を取り除かないように選択され得るように、層20とは異なる材料で構成されていてもよい。または、層20、22は、層22が、層20から相当量の材料を取り除くこと無く現像され得るように、層22が堆積される前に層20が硬化される場合には、同じ材料で構成されていてもよい。

10

【0060】

図5Eに示されるように、層22の露出した範囲66は、露出した領域63に類似して、先細りにされた境界を有する。また、露出した範囲66は、層22が現像された後、層20の部分が覆われないように、第1のビア部分36よりも大きい。さらに、露出した範囲66は、第1のビア部分36からオフセットされる。図5Fに示されるように、層22が一旦現像されると、ビア24の第1の部分36および第2の部分38を形成する空洞が画定される。

【0061】

ビア24の第1の部分36が層20内に形成され、ビア24の第2の部分38が層23内に形成されるので、層20、22の厚さは、第1のビア部分36および第2のビア部分38の所望の厚さによって少なくとも一部決定される。典型的には、層20、22は、2 μ mと15 μ mとの間の厚さを有するが、最も一般的には、それらは、3 μ mと5 μ mとの間の厚さを有する。

20

【0062】

図5Gに示されるように、金属層68は、ダイ12上と、第1の部分36および第2のビア部分38の内側とに堆積される。金属層68は、半田バンプ28が電気めっきによってビア24内に堆積されることを可能にする。任意に、1つ以上の追加的な金属層(図示しない)が、層22と半田バンプ28との間の障壁として機能するために、また、追加的な応力緩和を提供するために、金属層68上に重ねて形成され得る。

30

【0063】

バンプを形成する層70は、1つ以上の金属層上に重ねられ、半田材料を受け入れるために第2のビア部分38の開口54と整列した開口を形成するようにパターン化される。バンプを形成する層70は、電気絶縁材料から形成され、層20、22と同様に堆積されパターン化(すなわち、露出され現像される)され得る。バンプ形成層は、金属層68を損なわないままにする溶剤を使用して現像される。

【0064】

半田バンプ28は、図5Hに示されるように、ビア24内に堆積される。半田バンプ28は、半田バンプが、電気めっき槽に露出される金属層68の部分(すなわち、ビア24内の部分)上だけに形成されるように、陽極として金属層68を使用する電気めっき工程によって堆積され得る。半田バンプ28は、バンプを形成する層70によって画定されるピラー形状に堆積される。従って、バンプを形成する層70の厚さは、半田バンプ28が電気めっき工程の間に突き出ないことを確実にするために、半田バンプ28の所望の高さよりも大きくしなければならない。

40

【0065】

図5Iに示されるように、半田バンプ28の堆積に次いで、バンプを形成する層70は、金属層68の部分と、任意の下にある金属層であってビア24の外側に置かれた金属層と共に取り除かれる。バンプを形成する層は、例えば、バンプを形成する層70に選択的な溶剤を使用して、取り除かれ得る。金属層68および何等かの下方の金属層は、半田バンプ28および層22を損なわないままにするように選択されたエッチング工程を使用し

50

て取り除かれ得る。次いで、リフロー工程が、半田バンプ 28 を球状半田ボールに形成するために適用される。

【0066】

一旦、半田バンプ 28 が堆積され、バンプを形成する層 70 が取り除かれると、ダイ 12 は、半導体パッケージ 10 を形成するために基板 26 に搭載され得る。勿論、前の製造ステップがウェハレベルで実行された場合、すなわち、前の製造ステップが多数の半導体チップを備えるウェハ上で実行された場合、ウェハは、個々のパッケージが基板 26 に搭載され得るように、まず個々のダイに切断されなければならない。

【0067】

ダイ 12 は、搭載のために逆さにされ、半田バンプ 28 の各々は、図 5 J に示されるように、対応する接触パッド 72 と接触して基板 26 上に置かれるように、基板 26 上に位置付けられる。次いで、半田バンプ 28 は加熱される。これにより、半田バンプ 28 は、リフローし、接触パッド 72 に接合し、電気的および機械的にダイ 12 を基板 26 と相互接続する。任意に、接着表面 34 と基板 26 との間の領域は、半田バンプ 28 を封止するためにおよび半導体パッケージ 10 を機械的に補強するために、アンダーフィルで充填され得る。上記からわかるように、基板 26 は、更なる一連の金属的な相互接続および一連の接触部（図示しない）を備え、それによって、半導体パッケージ 10 は、他のデバイスとの半導体パッケージ 10 の接続のために回路基板（図示しない）と相互接続され得る。

【0068】

本発明の実施形態は、DRAM、SRAM、EEPROMおよびフラッシュメモリモジュール、グラフィックプロセッサ、汎用プロセッサ、CPUやAPUを含む、種々の用途に使用され得る。

【0069】

上記実施形態は、例示的であることだけが意図され、決して限定するものではない。発明を実行する上記実施形態は、形態、部分の配列、動作の詳細や順序の多くの修正の余地がある。発明は、むしろ、特許請求の範囲によって定義されるように、その範囲内に全ての修正を包含するように意図される。

10

20

【図 1】

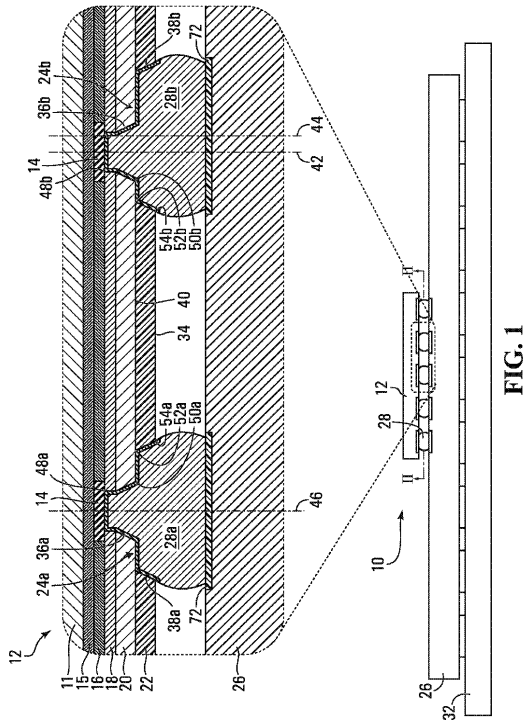


FIG. 1

【図 2】

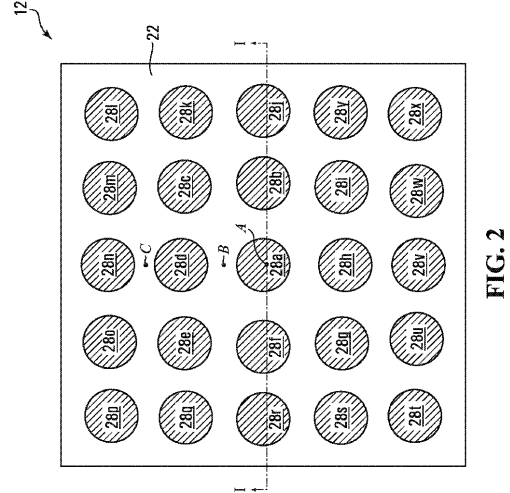


FIG. 2

【図 3】

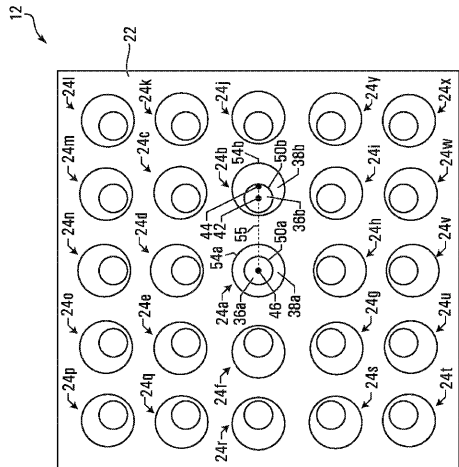


FIG. 3

【図 4】

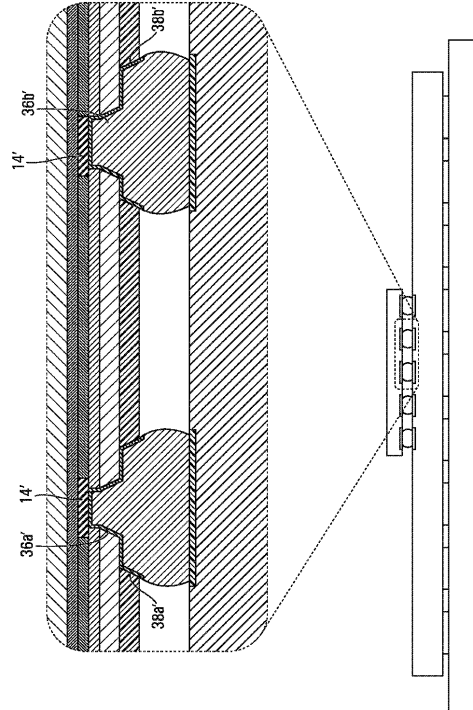


FIG. 4

【図 5 E】

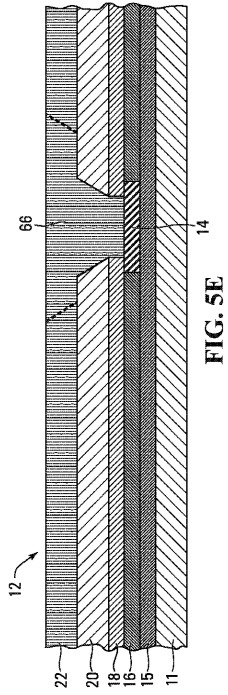


FIG. 5E

【図 5 F】

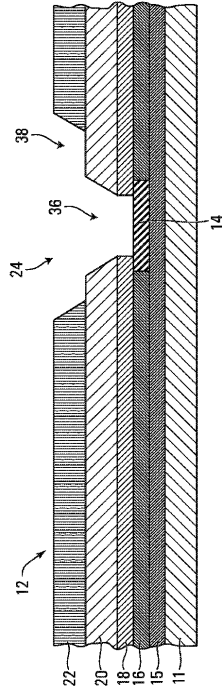


FIG. 5F

【図 5 G】

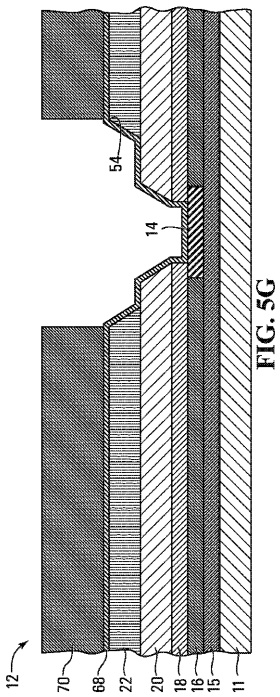


FIG. 5G

【図 5 H】

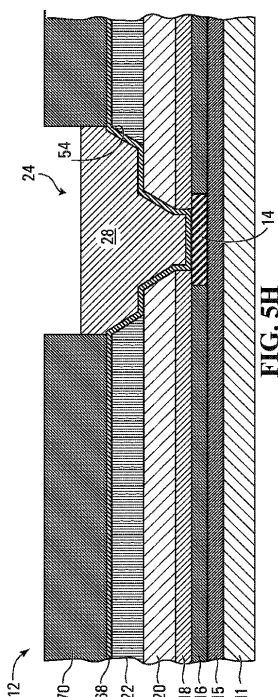


FIG. 5H

フロントページの続き

(74)代理人 100162156

弁理士 村雨 圭介

(72)発明者 マイケル ジャオイン スー

アメリカ合衆国 7 8 6 8 1 テキサス州、ラウンド ロック、ロック スプリング コープ 9
0 9

(72)発明者 フー レイ

アメリカ合衆国 7 8 7 3 3 テキサス州、オースティン、パートン ポイント サークル 3 1
0 4

(72)発明者 フランク ケーヘンマイスター

ドイツ 0 1 1 5 9 ドレスデン、オルトフランケンナー シュトラッセ 1 1

審査官 河合 俊英

(56)参考文献 特開2 0 0 0 - 1 1 4 3 1 5 (J P , A)

特開平1 1 - 3 4 0 3 5 5 (J P , A)

特開昭6 3 - 3 0 5 5 3 0 (J P , A)

特開2 0 0 5 - 0 1 2 0 6 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 3 / 1 2

H 0 1 L 2 1 / 6 0