(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第5732707号
(P5732707)
(45)発行日　平成27年6月10日(2015.6.10)　(24)登録日　平成27年4月24日(2015.4.24)

(51)Int.Cl.　　F I
H04N 5/357 (2011.01)　　H04N 5/335 570
H01L 27/146 (2006.01)　　H01L 27/14 A

請求項の数 12　(全 55 頁)

(21)出願番号	特願2011-540322 (P2011-540322)
(86)(22)出願日	平成21年12月16日 (2009.12.16)
(65)公表番号	特表2012-512555 (P2012-512555A)
(43)公表日	平成24年5月31日 (2012.5.31)
(86)国際出願番号	PCT/IB2009/055799
(87)国際公開番号	WO2010/044081
(87)国際公開日	平成22年4月22日 (2010.4.22)
審査請求日	平成24年12月11日 (2012.12.11)
(31)優先権主張番号	61/138,085
(32)優先日	平成20年12月16日 (2008.12.16)
(33)優先権主張国	米国(US)
(31)優先権主張番号	61/257,825
(32)優先日	平成21年11月3日 (2009.11.3)
(33)優先権主張国	米国(US)

(73)特許権者　510051299
タイ，ヒョク　ナム
シンガポール国　７３０４０９　シンガポール，＃１３－１０９，ウードランズ　ストリート　４１，ブロック　４０９
(74)代理人　100091683
弁理士　▲吉▼川　俊雄
(72)発明者　タイ，ヒョク　ナム
シンガポール国　７３０４０９　シンガポール，＃１３－１０９，ウードランズ　ストリート　４１，ブロック　４０９

審査官　松永　隆志

最終頁に続く

(54)【発明の名称】ノイズキャンセリングの撮像素子およびその方法

(57)【特許請求の範囲】
【請求項１】
光検出器と、前記光検出器からの信号を受信するように接続されたゲートを有する出力トランジスタと、前記出力トランジスタのゲートをリセットするように接続されたリセットトランジスタと、前記光検出器の信号を前記出力トランジスタのゲートに転送するように接続された転送トランジスタと、前記出力トランジスタからの出力信号を受信するように接続されたサンプリング回路と、を備えるイメージセンサであって、
前記イメージセンサは、さらに制御回路を備え、
前記制御回路は、以下のステップ、すなわち、
前記リセットトランジスタを三極管領域でオンにした状態の出力信号を第１の基準出力信号としてサンプリングするステップ、
前記リセットトランジスタと前記転送トランジスタをオンにし、その後前記リセットトランジスタをオフにすることによって前記光検出器の電圧をリセットした後、前記転送トランジスタを三極管領域でオンにしたままで前記リセットトランジスタのみをオフにした状態の出力信号を共同リセット出力信号としてサンプリングするステップ、
前記共同リセット出力信号をサンプリングするステップの後、さらに前記転送トランジスタをオフにした状態の出力信号を第１の検出ノードリセット出力信号としてサンプリングするステップ、
前記第１の基準出力信号、前記共同リセット出力信号、および前記第１の検出ノードリセット出力信号のサンプリングするステップ終了後、前記転送トランジスタをオフにした

状態で、所定の時間、前記光検出器を露光するステップ、
前記光検出器の露光後、前記転送トランジスタはオフにしたままで前記リセットトランジスタをオンにした後、さらに前記リセットトランジスタをオフにすることによって前記出力トランジスタのゲートの電圧をリセットした状態の出力信号を第２の検出ノードリセット出力信号としてサンプリングするステップ、
前記第２の検出ノードリセット出力信号をサンプリングするステップから、前記リセットトランジスタはオフにしたままでさらに前記転送トランジスタを三極管領域でオンにした状態の出力信号を光反応出力信号としてサンプリングするステップ、および、
前記転送トランジスタをオフ、前記リセットトランジスタを三極管領域でオンにした状態の出力信号を第２の基準出力信号としてサンプリングするステップ、を実行するように構成され、
前記第１の基準出力信号をサンプリングするステップは、前記共同リセット出力信号をサンプリングするステップの前、もしくは、前記第１の検出ノードリセット出力信号をサンプリングするステップの後に実行され、
前記第２の基準出力信号をサンプリングするステップは前記第２の検出ノードリセット出力信号をサンプリングするステップの前、もしくは、前記光反応出力信号のサンプリングするステップの後に実行されることを特徴とするイメージセンサ。
【請求項２】
前記イメージセンサは、さらに、
前記第１の基準出力信号、前記共同リセット出力信号、および前記第１の検出ノードリセット出力信号の各々の間で重み付きの減算を行うことによりノイズ信号を生成する回路と、
前記第２の検出ノードリセット出力信号、前記光反応出力信号、前記第２の基準出力信号の各々の間で重み付きの減算を行うことにより正規化光反応信号を生成する回路と、
を備えるように構成されることを特徴とする請求項１に記載のイメージセンサ。
【請求項３】
前記イメージセンサは、さらに、
前記正規化光反応信号から前記ノイズ信号を減算してノイズが除去された正規化光反応信号を生成するように構成されることを特徴とする請求項２に記載のイメージセンサ。
【請求項４】
前記ノイズ信号を生成する回路は、前記第１の基準出力信号と前記共同リセット出力信号と前記第１の検出ノードリセット出力信号との中から選ばれた第１の対の間で第１の差を形成することを特徴とする、請求項２に記載のイメージセンサ。
【請求項５】
前記第１の差は、前記第１の基準出力信号と前記共同リセット出力信号との間の差であることをさらに特徴とする、請求項４に記載のイメージセンサ。
【請求項６】
前記第１の差は、前記第１の基準出力信号と前記第１の検出ノードリセット出力信号との間の差であることをさらに特徴とする、請求項４に記載のイメージセンサ。
【請求項７】
前記第１の差は、前記共同リセット出力信号と前記第１の検出ノードリセット出力信号との間の差であることをさらに特徴とする、請求項４に記載のイメージセンサ。
【請求項８】
前記ノイズ信号を生成する回路は、さらに、前記第１の基準出力信号と前記共同リセット出力信号と前記第１の検出ノードリセット出力信号との中から選ばれた第２の対の間で第２の差を形成し、
前記第１の差と前記第２の差との間の差によって前記ノイズ信号を生成することを特徴とする、請求項４に記載のイメージセンサ。
【請求項９】
光検出器と、前記光検出器からの信号を受信するように接続されたゲートを有する出力

トランジスタと、前記出力トランジスタのゲートをリセットするように接続されたリセットトランジスタと、前記光検出器の信号を前記出力トランジスタのゲートに転送するように接続された転送トランジスタと、前記出力トランジスタの出力信号を受信するように接続されたサンプリング回路と、制御回路を備えるイメージセンサを用いて画像信号中のノイズを除去する方法であって、前記方法は、以下のステップ、すなわち、

前記リセットトランジスタを三極管領域でオンにした状態の出力信号を第１の基準出力信号としてサンプリングするステップ、

前記リセットトランジスタと前記転送トランジスタをオンにし、その後前記リセットトランジスタをオフにすることによって前記光検出器の電圧をリセットした後、前記転送トランジスタを三極管領域でオンにしたままで前記リセットトランジスタのみをオフにした状態の出力信号を共同リセット出力信号としてサンプリングするステップ、

前記共同リセット出力信号をサンプリングするステップの後、さらに前記転送トランジスタをオフにした状態の出力信号を第１の検出ノードリセット出力信号としてサンプリングするステップ、

前記第１の基準出力信号、前記共同リセット出力信号、および前記第１の検出ノードリセット出力信号のサンプリングするステップ終了後、前記転送トランジスタをオフにした状態で、所定の時間、前記光検出器を露光するステップ、

前記光検出器の露光後、前記転送トランジスタはオフにしたままで前記リセットトランジスタをオンにした後、さらに前記リセットトランジスタをオフにすることによって前記検出ノードの電圧をリセットした状態の出力信号を第２の検出ノードリセット出力信号としてサンプリングするステップ、

前記第２の検出ノードリセット出力信号をサンプリングするステップから、前記リセットトランジスタはオフにしたままでさらに前記転送トランジスタを三極管領域でオンにした状態の出力信号を光反応出力信号としてサンプリングするステップ、および、

前記転送トランジスタをオフ、前記リセットトランジスタを三極管領域でオンにした状態の出力信号を第２の基準出力信号としてサンプリングするステップ、を備え、

前記第１の基準出力信号をサンプリングするステップは、前記共同リセット出力信号をサンプリングするステップの前、もしくは、前記第１の検出ノードリセット出力信号をサンプリングするステップの後に実行され、

前記第２の基準出力信号をサンプリングするステップは前記第２の検出ノードリセット出力信号をサンプリングするステップの前、もしくは、前記光反応出力信号のサンプリングするステップの後に実行されることを特徴とする方法。

【請求項１０】

前記方法は、さらに、

前記第１の基準出力信号、前記共同リセット出力信号、および前記第１の検出ノードリセット出力信号の各々の間で重み付きの減算を行うことによりノイズ信号を生成するステップと、

前記第２の検出ノードリセット出力信号、前記光反応出力信号、前記第２の基準出力信号の各々の間で重み付きの減算を行うことにより正規化光反応信号を生成するステップと、

を備えることを特徴とする請求項９に記載の方法。

【請求項１１】

前記方法は、さらに

前記正規化光反応信号から前記ノイズ信号を減算してノイズが除去された正規化光反応信号を生成するステップを備えることを特徴とする請求項１０に記載の方法。

【請求項１２】

前記第１の基準出力信号と前記第１の検出ノードリセット出力信号と前記共同リセット出力信号とには、前記ノイズ信号を生成するステップにおいて、それぞれ異なる符号付きの重みが用いられることを特徴とする、請求項１０に記載の方法。

【発明の詳細な説明】

【技術分野】
【０００１】
（関連出願の相互参照）
本出願は、２００８年１２月１６日に出願された米国暫定特許出願６１／１３８，０８５号、及び２００８年１１月３日に出願された出願６１／２５７，８２５号に基づく優先権を主張する。
【０００２】
開示の主題は固体撮像素子に関する。
【背景技術】
【０００３】
デジタルカメラやデジタルビデオカメラなどの撮影機材は、静止画またはビデオ画像に処理するための光を捉える電子撮像素子を含むことができる。電子撮像素子は、通常、数百万のフォトダイオードなどの光捕捉の要素を含める。固体状態撮像素子は、電荷結合素子（ＣＣＤ）型または相補型金属酸化膜半導体（ＣＭＯＳ）型のいずれかである。撮像素子のどちらのタイプでも、光センサが基板によってサポートされており、二次元配列で配置される。撮像素子は、通常、高解像度画像を提供するために、数百万の画素を含む。
【発明の概要】
【発明が解決しようとする課題】
【０００４】
上記のような撮像素子は、光検出器が光を捕捉した際に生じる電荷量に対応した信号を読み出そうとする際、撮像素子を構成する半導体の各要素に起因する種々のノイズ信号を生じる。そして、得られた画像の信号対雑音比（ＳＮＲ）の低下を防ぐべく、このノイズ信号を除去することが、本発明が解決しようとする課題である。
【課題を解決するための手段】
【０００５】
制御回路と１つ以上の減算回路とに結合された画素配列内の複数の画素を持つ撮像素子。前記制御回路は、画素に結合された出力トランジスタが第１の基準出力信号と共同リセット出力信号と第１の検出ノードリセット出力信号とを提供することを引き起こすことができる。これらの信号の間では、ノイズ信号を作成するために、減算回路が加重差を形成してもよい。前記制御回路は第２の検出ノードリセット出力信号と光反応出力信号と第２の基準出力信号とを出力トランジスタが提供することを引き起こすことができる。減算回路は、正規化光反応信号を作成するためにこれらの信号間の重み付きの差を形成していてもよい。前記光反応出力信号は、撮像素子によって捉えられる画像に対応する。前記ノイズ信号は、ノイズ除去された信号を生成するために、前記正規化光反応信号から減算されることができる。
【図面の簡単な説明】
【０００６】
【図１】撮像素子と撮像系統の第１の実施形態の概略図である。
【図２】画像の画素データを外部メモリまたはプロセッサへ出力する方法を示す図である。
【図３】画像の画素データを取り出して組み合わせる方法を示す図である；
【図４】図１３の画素回路のコンデンサを示す図である。
【図５】図１４Ｃの光読み取り回路の可変コンデンサの第１の実施形態の概略図である。
【図６】図１４Ｃの光読み取り回路の可変コンデンサの第２の実施形態の概略図である。
【図７】図１４Ｃの光読み取り回路の可変コンデンサの第３の実施形態の概略図である。
【図８】画像の画素データを取り出して組み合わせるための別の方法を示す図である。
【図９】画像の画素データを格納して組み合わせる図８の方法のための画像データの配列を示す図である。
【図１０】配列内の２つの異なるレイアウト方向の画素のレイアウト配置である。
【図１１】配列内の２つの異なるレイアウト方向の画素の別のレイアウト配置である。

【図１２】ＩＮ回線のドライバとリセット開閉器と出力トランジスタと選択開閉器と共有する一対の画素の実施形態の概略図である。
【図１３】撮像素子の画素とＩＮ回線のドライバとの実施形態の概略図である。
【図１４Ａ】光読み取り回路の実施形態の概略図である。
【図１４Ｂ】光読み取り回路の別の実施形態の概略図である。
【図１４Ｃ】三重サンプリング光読み取り回路の実施形態の概略図である。
【図１５Ａ】第２のノイズと正規化の方法による撮像素子の操作の流れ図である。
【図１５Ｂ】第１のノイズと正規化の方法による撮像素子の代替の操作流れ図である。
【図１５Ｃ】第３のノイズと正規化の方法による撮像素子の代替の操作流れ図である。
【図１５Ｄ】第４のノイズと正規化の方法による撮像素子の操作の流れ図である。
【図１６】図１５Ｄの撮像素子の操作のタイミング図である。
【図１７Ａ】記憶ノードと対応する検出ノードでの電圧信号のレベルを示し、第２のノイズと正規化方法のための使用可能なサンプリング順序を示す図である。
【図１７Ｂ】記憶ノードでと対応する検出ノードの電圧信号のレベルを示と、第１のノイズと正規化方法のための使用可能なサンプリング順序を示す図である。
【図１７Ｃ】記憶ノードでと対応する検出ノードの電圧信号のレベルを示し、第３のノイズと正規化方法のための使用可能なサンプリング順序を示す図である。
【図１７Ｄ】記憶ノードでと対応する検出ノードの電圧信号のレベルを示すし、第３のノイズ方法と第２の正規化方法を混在させるための使用可能なサンプリング順序を示す図である。
【図１７Ｅ】記憶ノードでと対応する検出ノードの電圧信号のレベルを示すし、第３のノイズ法と第１の正規化方法を混在させる使用可能なサンプリング順序を示す図である。
【図１７Ｆ】第２のノイズと正規化方法のための図１７Ａから変更され基準オフセットを示す図である。
【図１７Ｇ】第２のノイズと正規化方法のための図１７Ａのから変更され第２の検出ノードのリセットの前の第２の基準を示す図である。
【図１７Ｈ】第２のノイズと正規化方法のための図１７Ａから変更され第１の飛び板オフセットを示す図である。
【図１７Ｉ】第２のノイズと正規化方法のための図１７ＡからＧＮＤ１ステップを示す図である。
【図１７Ｊ】第１のノイズと正規化方法のために図１７Ｂから変更され第３と第４の基準を示す図である。
【図１７Ｋ】第１のノイズと正規化の方法の下の第４の実施形態の操作を説明する図１７Ｊから変更され図である。
【図１７Ｌ】第２のノイズと正規化の方法の下の第４の実施形態の操作を説明する図１７Ａから変更され図である。
【図１７Ｍ】第３のノイズと正規化の方法の下の第４の実施形態の操作を説明するために図１７Ｊから変更され図である。
【図１８Ａ】制御信号を生成する論理回路の回路図である。
【図１８Ｂ】制御信号を生成する論理回路の回路図である。
【図１８Ｃ】制御信号を生成する論理回路の回路図である。
【図１８Ｄ】図１７ＢためにＳＡＭ３とＳＡＭ４とＴＦ信号を生成する論理回路の回路図である。
【図１９】行信号ＲＳＴ（ｎ）とＴＦ（ｎ）とＳＥＬ（ｎ）として１行の画素に図１８Ａ～１８Ｃの論理回路からのグローバルＲＳＴとＴＦとＳＥＬ信号を導く行デコーダの単位の回路図である。
【図２０】図１９に示された行デコーダの単位のためのタイミング図である。
【図２１】撮像素子と撮像系統の第２の実施形態の概略図である。
【図２２】撮像素子と撮像系統の第３の実施形態の概略図である。
【図２３】撮像素子と撮像系統の第４の実施形態の概略図である。

【図２４】撮像素子と撮像系統の第５の実施形態の概略図である。
【図２５】同様のレイアウトと方向を有する画素のために特定のセットの符号付きの倍数に対して残留ノイズを測定する過程を示す流れ図である。
【図２６】複数のグループの画素のために複数のセットの符号付きの倍数に対して残留ノイズを測定する過程を示す流れ図である。
【図２７】画素の行についてＴＦ［ｎ］とＲＳＴ［ｎ］の信号を駆動するドライバ回路の回路図である。
【発明を実施するための形態】
【０００７】
開示されるものは、画素配列内に１つ以上の画素を備える撮像素子である。各画素は、光検出器と検出ノードにこの光検出器を接続する転送開閉器とで構成されている。検出ノードはリセット開閉器を介して垂直信号線に接続されている。出力トランジスタは検出ノードから垂直ＯＵＴ回線に結合するように出力信号を接続している。画素配列は、制御回路におよび１つ以上の減算回路に結合されてもよい。制御回路は、出力トランジスタが第１の基準出力信号と共同リセット出力信号と第１の検出ノードリセット出力信号とを提供することを引き起こすことができる。転送開閉器は、共同リセット出力信号が提供されるとき、三極管領域にある。リセット開閉器は、第１の基準出力信号が提供されるとき、三極管領域にある。第１の検出ノードリセット出力信号が提供されている時、リセット開閉器と転送開閉器の両方はオフになっている。減算回路は、共同リセット出力信号と第１の検出ノードリセット出力信号と第１の基準出力信号とをサンプリングすることができる。減算回路は、ノイズ信号を作成するために、サンプリングされた共同リセット出力信号とサンプリングされた第１の検出ノードリセット出力信号とノイズ信号との間で、加重差を形成してもよい。その制御回路は、画素が第２の検出ノードリセット出力信号と光反応出力信号と第２の基準出力信号とを提供することを引き起こができる。転送開閉器は、光反応出力信号が提供されるとき、三極管領域にある。リセット開閉器は、第２の基準出力信号が提供されるとき、三極管領域にある。第２の検出ノードリセット出力信号が提供されている時、リセットと転送開閉器の両方はオフになっている。減算回路は、第２の検出ノードリセット出力信号と光反応出力信号と第２の基準出力信号とをサンプリングすることができる。光反応出力信号は、撮像素子によって捉えられる画像に対応する。減算回路は、正規化光反応信号を作成するために、サンプリングされた第２の検出ノードリセット出力信号とサンプリングされた第２の基準出力信号と正規化された光反応信号との間で加重差を形成してもよい。そのノイズ信号は、撮像素子のノイズ除去された信号を生成するために、正規化された光反応信号から減算されることができる。ＤＣオフセットは、さらにノイズ除去された信号を形成するために減算されることができる。撮像系統は、撮像素子とノイズ除去された信号を形成するプロセッサとを含むことができる。これらの手順の１つ以上は、このプロセッサ上で実行されることができる。
【０００８】
減算回路は、第１の基準出力信号から共同リセット出力信号および第１の検出ノードリセット出力信号をスケーリングして減算することによって、ノイズ信号を提供することができる。それぞれはそれぞれの符号付きの倍数で拡大縮小された。この減算回路は、第２の基準出力信号から光反応出力信号および第２の検出ノードリセット出力信号をサンプリングして減算することによって正規化光反応信号を提供することができる。それぞれはそれぞれの符号付きの倍数で拡大縮小された。
【０００９】
ノイズ信号は、ノイズ除去された信号を形成するために、撮像素子で正規化光反応信号から減算されることができる。代わりに、ノイズ信号および正規化光反応信号は、ノイズ信号を正規化光反応信号から減算する外部プロセッサに転送することができる。
【００１０】
代わりに、ノイズ信号および／または正規化光反応信号は、部分的に撮像素子上の減算回路で、部分的にプロセッサ上で形成されてもよい。ノイズ信号は、メモリに格納され、

その後、正規光反応信号から減算されるために、メモリから取り出されることができる。
【００１１】
事前に較正されたオフセット信号は、さらに、ノイズ除去された画像信号を形成するために、正規化された光反応信号から減算することができる。この事前に較正されたオフセット信号は、メモリ、例えばフラッシュメモリなどの不揮発性メモリ、から取り出すことができる。
【００１２】
ノイズ信号は、いくつかの相互に相当する方法のいずれかに形成されてもよい。これらは、以下でノイズ方法と呼ばれる。それぞれ方法は、撮像素子に完全に実行または部分的に撮像素子で、部分的にプロセッサ上ですることができる。
【００１３】
第１のノイズ方法では、第２のノイズ差が第１のノイズ差から減算され、それぞれがそれぞれの符号付き倍率で拡大縮小されたこと。第１の差はサンプリングされた第１の基準出力信号からサンプリングされた共同リセット出力信号を減算した結果である。第２のノイズ差はサンプリングされた第１の基準出力信号からサンプリングされた第１の検出ノードリセット出力信号を減算した結果である。
【００１４】
第２のノイズ方法では、第３のノイズ差が第１のノイズ差から減算され、それぞれがそれぞれの符号付き倍率で拡大縮小されたこと。第１の差は、上記のように説明されている。第３のノイズ差は共同リセット出力信号から第１の検出ノードリセット出力信号を減算した結果である。
【００１５】
第３のノイズ方法では、第３のノイズ差が第２のノイズ差から減算され、それぞれがそれぞれの符号付き倍率で拡大縮小されたこと。第２と第３のノイズ差は、前述の通りである。
【００１６】
第４のノイズ方法では、ノイズ信号が第１の基準出力信号、センスノード出力信号と共同リセット出力信号から直接形成され、それぞれが符号付き倍率で拡大縮小されたこと。これは第１、第２、または第３のノイズ差を形成しない。
【００１７】
代数の規則にしたがって条件を操作することによって、共同リセット出力信号、第１の検出ノードリセット出力信号と第１の基準出力信号からノイズ信号を形成するために他の可能な方法がある。当業者は、倍率および／または加法定数内でされて同等または同等のものとしてこれらの他の方法を認識することができる。
【００１８】
ノイズ方法は、アナログ領域で部分的に行われ、部分的にデジタル領域で、または完全にアナログ領域で、または完全にデジタル領域にすることができる。ノイズ方法の一部は、撮像素子とプロセッサを備える画像キャプチャシステムで外部のプロセッサ上で実行することができる。画像キャプチャシステムは、プロセッサや撮像素子がいずれかまたは複数のノイズ方法で計算のいずれかまたは複数を実行する原因となるコンピュータ命令を含む不揮発性メモリを含むことができる。
【００１９】
同様に、正規化光反応信号は、正規化の方法下にと呼ばれるいくつか相互に同等の方法のいずれかで形成することができる。方法のそれぞれは、撮像素子に完全に実行、または部分的に撮像素子でおよび部分的にプロセッサで実行することができる。
【００２０】
第１の正規化方法では、第２の正規化差が第１の正規化差から減算され、それぞれがそれぞれの符号付きの倍数で拡大縮小されたこと。第１の正規化差は、第２の基準出力信号から光反応出力信号を減算した結果である。第２の正規化差は、第２の基準出力信号から第２の検出ノードリセット出力信号を減算した結果である。

【００２１】
それぞれの正規化方法は、符号付きの倍数の同様のセットを持って対応する相手ノイズ方法がある。
【００２２】
第２の正規化方法では、第３の正規化差が第１の正規化差から減算され、それぞれがそれぞれの符号付きの倍数で拡大縮小されたこと。第１の正規化差は上記のように説明されている。第３の正規化差は、光反応出力信号から第２の検出ノードリセット出力信号を減算した結果である。
【００２３】
第３の正規化方法では、第３の正規化差が第２の正規化差から減算され、それぞれがそれぞれの符号付きの倍数で拡大縮小されたこと。第２と第３の正規化差は、前述の通りである。
【００２４】
第４の正規化方法で、正規化光反応信号は、第１、第２、または第３の差を形成しないで、光反応出力信号と第２の検出ノードリセット出力信号と第２の基準出力信号とから直接形成される。
【００２５】
代数の規則にしたがって項を操作することによって、光反応出力信号と第２の検出ノードリセット出力信号と第２の基準出力信号とから正規化光反応出力信号を形成するために他の可能な方法がある。当業者は、倍率および／または加法定数内でされて同等または同等のものとしてこれらの他の方法を認識することができる。
【００２６】
正規化方法は、アナログ領域で部分的に行われ、部分的にデジタル領域で、または完全にアナログ領域で、または完全にデジタル領域にすることができる。正規化方法の一部は、撮像素子とプロセッサを備える画像キャプチャシステムで外部のプロセッサ上で実行することができる。画像キャプチャシステムは、プロセッサや撮像素子がいずれかまたは複数のノイズ方法で計算のいずれかまたは複数を実行する原因となるコンピュータ命令を含む不揮発性メモリを含むことができる。
【００２７】
画像キャプチャシステムは、プロセッサや撮像素子がいずれかまたは複数のノイズ方法および／または正規化方法で計算のいずれかまたは複数を実行する原因となるコンピュータ命令を含む不揮発性メモリを含むことができる。
【００２８】
第１のノイズ方法は、第１の正規化方法と同じの符号付きの倍数のセット（またはお互いの１０％以内）を共有することができ、そしてこれらの方法の少なくとも一部（倍数など）を実行する回路を共有することができる。同様に、第２のノイズ方法は第２の正規化方法と同じの符号付きの倍数のセットを共有することができ、第３のノイズ方法は第３の正規化方法と共有することができ、第４のノイズ方法は、第４の正規化方法と共有することができる。
【００２９】
このプロセスは、ノイズ除去された画像の信号対雑音比（ＳＮＲ）を増大させる。
【００３０】
図１３では、画素１４は、転送開閉器１１７と光検出器１００（フォトダイオードなど）構成される転送開閉器１１７は、光検出器１００に接続されたソースを有し、出力トランジスタ１１６（例えば、ソースフォロアトランジスタ）のゲートに結合したドレインを有する。以下、ソースは、フォトダイオードノード（またはストレージノード）１１５と呼ばれる。ドレインは、センスノード１１１と呼ばれる。リセット開閉器１１２は、センスノード１１１に接続されたソースを有し、ＩＮ線１２０で接続したドレインを有する。リセット開閉器１１２は、ドライバ１７によって画素配列１２に提供される可変バイアス電圧にセンスノード１１１をリセットすることができる。ドライバ１７は、制御信号ＤＩ

Ｎの制御下にある複数の電圧レベルのいずれかにＩＮ線１２０で駆動することができる。図１３に示すように、選択開閉器１１４は、出力トランジスタ１１６からの出力信号をＯＵＴライン１２４に送信するために接続されるように、出力トランジスタ１１６と直列であってもよい。ＯＵＴライン１２４は、光読取装置１６、１６’に画素配列１２を接続する垂直信号１６の一部である。また、それぞれが光検出器および転送開閉器を備える複数の画素は、より高い面積密度達成するために、リセット開閉器１１２と選択開閉器１１４と出力トランジスタ１１６とを共有するために一緒に集約することができる。撮像素子１０は、好ましくは、ＣＭＯＳ製造プロセスや回路を使って構築される。このＣＭＯＳ撮像素子は、高速、低消費電力、小さな画素ピッチと高ＳＮＲという特性を持っている。

第１の実施形態

より具体的に参照番号によって図面を参照し、図１は、本発明の撮像素子１０の第１の実施形態を示す。撮像素子１０は、複数の光検出画素１４の複数のを備える画素配列１２を含む。これらの画素１４は、行および列を有する２次元配列状に配列されている。

【００３１】

ロウデコーダ２０は、画素配列１２の個別の行を選択することができる。光読取装置１６，１６’は、選択された行の中で特定の個別のを読み取ることができる。一緒に、ロウデコーダ２０と、光読取装置１６、１６’は、配列１２の個別の画素１４の読み取りを可能にする。

【００３２】

光読取装置１６、１６’の出力１９ａ、１９ｂは、それぞれのＣＯＥＦ１およびＣＯＥＦ２信号の制御で２つの増幅回路２１を介してそれぞれの正／負符号の反転および増幅を受けることができし、増幅回路２１に結合されたアナログ減算器１７で相互に減算する。

【００３３】

アナログ減算器１７は、出力線２６によってアナログ－デジタル変換器２４（ＡＤＣ）に結合することができる。ＡＤＣ（２４）は、アナログ減算器１７によって提供される信号の振幅に対応するデジタルビットの列を生成する。

【００３４】

ＡＤＣ（２４）は、一対の第１の画像バッファ３２と３４に２８と３０の、及び一対の第２の画像バッファ３２と３４に回線３６および開閉器３８と４０と４２で結合させることができる。一対の第１の画像バッファ３２と３４に２８と３０は、回線４６開閉器４８により、メモリコントローラ４４に結合されている。第２の画像バッファ３２と３４には、回線５２および開閉器５４によってデータコンバイナ５０に結合されている。メモリコントローラ４４データコンバイナ５０は、それぞれの、回線５８及び６０によって読み返りバッファ５６に接続されている。読み返りバッファ５６の出力は、回線６２によってコントローラ４４に接続されている。データコンバイナ５０は、回線６４によってメモリコントローラ４４に接続されている。さらに、コントローラ４４は、回線６６によってＡＤＣ（２４）に接続されている。

【００３５】

メモリコントローラ４４は、コントローラバス７０によって、外部バス６８に結合されている。外部バス６８は、外部プロセッサ７２、外部メモリ７４、および／または電気的にプログラム可能な読み取り専用メモリ（ＥＰＲＯＭ）７８（フラッシュメモリであってもよい）に結合することができる。バス７０、プロセッサ７２、メモリ７４、およびＥＰＲＯＭ７８は、一般的に既存のデジタルカメラ、カメラや携帯電話で見られる。

データの交通

静止画の画像をキャプチャするため、光読取装置１６、１６’は、サンプリングされた第１の基準出力信号と、サンプリングされた共同リセット出力信号と、サンプリングされた第１の検出ノードリセット出力信号とを取り戻し、画素配列から画像のノイズデータ（つまり第１の画像）を形成する。開閉器３８は、バッファ２８と３０にＡＤＣ（２４）を接続している状態にある。開閉器４０、４８は、データが一つのバッファ２８または３０を入って、メモリコントローラ４４によって他のバッファ３０または２８から取り出され

るように設定されている。例えば、メモリコントローラ４４がバッファ２８から第１の行の画素データを取り戻し、外部メモリ７４に記憶されている間に、第２の行の画素データは、バッファ３０に格納されてもよい。

【００３６】

写真の第２の画像（正規化された光の応答データ）第１の行が使用可能なとき、開閉器３８は、第１の画像バッファ２８と３０及び第２の画像バッファ３２と３４に第１の画像のデータ及び第２の画像のデータを交互にそれぞれ格納するために選択される。開閉器４８と５４は、インターリーブ方式で、外部のメモリ７４またはプロセッサ７２に第１および第２の画像のデータを交互に出力するように選択されることができる。合成器５０は、メモリコントローラ４４に第２の画像バッファ３２と３４からデータを転送するようにパススルーモードに設定されている。このプロセスは、図２に描かれている。

【００３７】

第１および第２の画像データを取得して結合するための複数の方法がある。図３に示すように、１つの方法で、第１および第２の画像のそれぞれのラインは、メモリのデータ転送速度で外部メモリ７４から取り出されて、読み戻さバッファ５６に格納されて、データ合成器５０において組み合わせ、プロセッサのデータ転送速度でプロセッサ７２に送信される。

【００３８】

図８と図９は、別の方法を示す。写真の第１の画像の画素データの行は外部メモリ７４に格納されてもよい。図８図９に示すように、写真の第２の画像の第１の行が使用可能なとき、第１の画像の第１の行は、メモリのデータの速度でメモリ７４から取り出さし、データの合成器５０において結合される。複合データは、プロセッサのデータ転送速度で外部プロセッサ７２に転送される。図９に示すように、外部メモリは、メモリのデータの速度で第１の画像の画素データの行を出力と入力することでもある。図８は、また、オプションのキャリブレーションデータがデータ合成器５０において結合されたデータを結合され形成するために撮像素子に入力してもよいことを示している。キャリブレーションデータは、外部メモリ７４または別のＥＰＲＯＭ７８に格納されてもよい。

【００３９】

光読取装置１６が出力信号を取り出していないときに、画像のノイズを低減するために、コントローラ４４は、好ましくは、データを転送する。

【００４０】

別の方法で、第１および第２の画像の両方は、図２に示すように順序のタイミングに応じて、プロセッサ７２へ出力することができる。プロセッサ７２は、カメラの起動時にＥＰＲＯＭ（７８）から取得した較正のデータの画像を、第２のメモリ（図示せず）において記憶することができる。プロセッサ７２は、第３のメモリ（図示せず）に第１行を格納することができる。第２の画像の第１行がプロセッサ７２に到着したときに、プロセッサ７２は、第２のメモリから較正のデータの画像の第１行を取り戻し、第３のメモリから第１の画像の第１行を取り戻し、それに、写真の第１行を形成するように、第２の画像の第１行とそれらを組み合わせることができる。プロセッサは、写真の第２、第３やそれ以降の行についても同様に実行する。

画素

図１３は、画素配列１２の画素１４の実施形態の回路図を示す。画素１４は、光検出器１００を含んでいてもよい。一例として、光検出器１００は、フォトダイオードですことができる。光検出器１００は、転送トランジスタ（開閉器）１１７を介してリセットトランジスタ（開閉器）１１２に接続できる。光検出器１００は、出力（ソースフォロア）トランジスタ１１６を介して選択トランジスタ（開閉器）１１４に結合させることができる。トランジスタ１１２と１１４と１１６と１１７は、電界効果トランジスタ（ＦＥＴ）ですことができる。

【００４１】

転送開閉器１１７のゲートは、ＴＦ（Ｎ）回線１２１に接続することができる。リセッ

トトランジスタ１１２のゲートは、ＲＳＴ（Ｎ）回線１１８に接続できる。リセットトランジスタ１１２のドレインノードは、ＩＮ回線１２０に接続できる。選択トランジスタ１１４のゲートは、ＳＥＬ回線１２２に接続できる。選択トランジスタ１１４のソースノードは、ＯＵＴ回線１２４に接続できる。ＲＳＴ（Ｎ）回線１１８、ＳＥＬ（Ｎ）回線１２２、およびＴＦ（ｎ）回線１２６は、画素配列１２内の画素の行全体で共通とすることができる。同様に、ＩＮ１２０回線とＯＵＴ１２４回線は、画素配列１２内の画素の列全体で共通とすることができる。ＲＳＴ（Ｎ）回線１１８とＳＥＬ（Ｎ）回線１２２、ＴＦ（Ｎ）回線１２１は、ロウデコーダ２０に接続し、制御線２２の一部となっている。図１３に示すように、ＲＳＴ（Ｎ）回線１１８とＴＦ（Ｎ）回線１２１は、トライステートバッファ３７４により駆動される。図２７は、トライステートバッファ３７４の回路図を示す。トライステートバッファ３７４は、入力Ａと出力Ｙを備えている。出力Ｙは、プルアップトランジスタＭＮ３（９０７）を介して電源電圧ＶＤＤに接続される。入力Ａが論理レベルにおいて低いときに、出力Ｙは、低レベル（例えば、０ボルト）である。

【００４２】

入力Ａがレベル（例えば３．３ボルト）に上昇するときに出力Ｙは、約１つの閾値電圧でプルアップトランジスタＭＮ３のゲート電圧（この実施形態の論理高いレベル）より低い電圧レベルまで上昇する。その後、プルアップ電流は、実質的にゼロなることまで急速に減少する。この状態では出力Ｙは、トライステートになる。このトライステートに駆動されたＲＳＴ（ｎ）回線１１８とＴＦ（ｎ）回線１２１は、容量的にトライステートの間にローからハイへ遷移する信号によってコンデンサを介してより高い電圧レベルに結合することができる。この実施形態に、回線ＩＮ１２０のローからハイへの遷移は、それぞれリセット開閉器１１２のゲート－チャネルとゲート－ソースとゲート－ドレインの容量および金属と金属のコンデンサ１２６の容量を介してそれぞれＲＳＴ（ｎ）回線１１８とＴＦ（ｎ）回線１２１へ容量的に結合する。

【００４３】

金属と金属コンデンサ１２６は、図４に示す。回線１２０は、ｍｅｔａｌ３のワイヤ内行うことができる。ＴＦ（ｎ）回線１２１は、Ｍｅｔａｌ２のワイヤ内行うことができる。拡張されたＭｅｔａｌ２の領域は、コンデンサ１２６の底板を形成する。厚さ１０００Åの窒化珪素などの絶縁体で底板から絶縁された別の金属製の上板は底板の上に配置され、ｖｉａ２と呼ばれるヴィアを介してＭｅｔａｌ３のワイヤに接続されている。

【００４４】

ＩＮ回線は、制御入力ＤＩＮ（１：０）で選択される４つの電圧レベルのいずれかに駆動回路１７によって駆動ですことができる。これらの電圧レベルは、最高から最低まで、ＶＰＨ２とＶＰＨ１とＶＰＨ０と０ボルトである。ＤＩＮ＝”１１”は、ＶＰＨ２を選択する。”１０”は、ＶＰＨ１を選択する。”０１”は、ＶＰＨ０を選択する。”００”は、０ボルトを選択する。

【００４５】

図１２は、２つの画素１４のための代替的な実施形態の回路図を示す。各画素は、画素配列１２の隣接する二つの行のいずれかに属す。２つの画素１４は、画素のペア１４’。画素のペア１４’は、それぞれ転送開閉器１１７Ａと１１７Ｂを介して共有のセンスノード１１１に接続された２つの光検出器１００Ａ、１００Ｂを含む。転送が開閉器１１７Ａと１１７Ｂのそれぞれは、それぞれのゲートに接続されたそれぞれの横の信号ＴＦ（Ｎ＋１）１２１ＡとＴＦ（ｎ）１２１Ｂによって制御される。共有のリセット開閉器１１２は、リセット開閉器１１２のゲートに接続された共有横信号ＲＳＴ（ｎ）１１８の制御で垂直の回線ＩＮ１２０にセンスノード１１１を接続する。リセット開閉器１１２と転送開閉器１１７ａは、ハイへＲＳＴ（ｎ）１１８とＴＦ（ｎ＋１）１２１ａの両方を駆動することによってそれぞれの三極管領域に一緒にオンにするときに、垂直信号１２０によって送信された電圧へ光検出器１００ａをリセットすることができる。同様に、リセット開閉器１１２と転送開閉器１１７ｂは、ハイへＲＳＴ（ｎ）１１８とＴＦ（ｎ）１２１ｂの両方を駆動することによってそれぞれの三極管領域に一緒にオンにするときに、垂直信号１２

０によって送信された電圧へ光検出器１００ｂをリセットすることができる。

【００４６】

図１２を参照すると、出力トランジスタ１１６は、横信号ＳＥＬ（ｎ）１２２でオンになって選択トランジスタ１１４を介して垂直ＯＵＴ回線１２４ＯＵＴ垂直に接続される。出力トランジスタ１１６および選択トランジスタ１１４は、光検出器と転送開閉器の２つのペア間で共有される。信号が横信号ＴＦ（Ｎ＋１）１２１ａとＳＥＬ（ｎ）１２２を駆動することによって垂直ＯＵＴ回線１２４に光検出器１００ａから送信されることができる。同様に、信号が横信号ＴＦ（Ｎ）１２１ｂとＳＥＬ（ｎ）１２２を駆動することによって垂直ＯＵＴ回線１２４に光検出器１００ｂから送信されることができる。

【００４７】

同様の方法ではと光検出器と転送開閉器の３つ以上のペアは、リセット開閉器と出力トランジスタと選択開閉器を共有できる。各のペアは、隣接する行の群間で異なる行に存在していてもよい。共通の選択信号と共通のリセット信号は、隣接する行で共有することができる。

画素信号の読み出し：光読取装置

図１４Ａは、光読取装置回路１６のそれぞれの実施形態を示す。光読取装置１６は、画素配列１２のそれぞれの回線１２４に接続されている複数のサンプリング回路１５０を含めることができる。各サンプリング回路１５０は、第１のコンデンサ１５２と第２のコンデンサ１５４を含めることができる。第１のコンデンサ１５２は、開閉器１５８及び１６０によってＯＵＴ回線１２４及び仮想接地信号ＧＮＤ１（１５６）にそれぞれ結合されている。第２のコンデンサ１５４は、開閉器１６２及び１６４によってＯＵＴ回線１２４及び仮想接地ＧＮＤ１信号にそれぞれ結合されている。開閉器１５８及び１６０は、制御線ＳＡＭ１（１６６）によって制御される。開閉器１６２および１６４は、制御線ＳＡＭ２（１６８）によって制御される。コンデンサ１５２および１５４は、開閉器１７０を閉じることによって電圧（と／または電荷）の減算を実行するために一緒に接続することができる。開閉器１７０は、制御線ＳＵＢ（１７２）によって制御される。

【００４８】

サンプリング回路１５０は、複数の第１の開閉器１８２と複数の第２の開閉器１８４によって演算増幅器１８０に接続されている。増幅器１８０は、第１の開閉器によって第１のコンデンサ１５２に結合された負端子「－」を、また、第２の開閉器１８４によって第２のコンデンサ１５４に結合された正端子「＋」を有する。演算増幅器１８０は、出力回線ＯＰ１８８に接続された正の出力を、また、出力回線ＯＭ１８６に接続された負の出力を有する。図１を参照すると、例えば、光読取装置１６に対することは、出力回線１８６および１８８が信号１９ａを介して増幅回路２１に接続されているが、光読取装置１６’に対することは、出力回線１８６と１８８が信号１９ｂを介して別の増幅回路２１に接続されている。

【００４９】

演算増幅器１８０は、増幅器１８０に接続されたサンプリング回路１５０の第１のコンデンサ１５２と第２のコンデンサ１５４にそれぞれサンプルホールドされた２つの電圧の差である増幅された信号を提供する。増幅器１８０の増幅は、可変コンデンサ１９０の調整によって変えることができる。可変コンデンサ１９０は開閉器１９２のペアを閉じることによって放電ですことができる。開閉器１９２は、対応する制御線（図示せず）に接続することができる。１つのアンプは示し説明されているが、それは、複数のアンプを光読取装置回路１６に使用できること理解すべきである。

【００５０】

図１４Ｂは、別の光読取装置１６’示す。光読取装置１６’は、第１のコンデンサ１５２のサンプリングがＳＡＭ１信号１６６の代わりにＳＡＭ３信号１６７を使用すること及び第２のコンデンサ１５４のサンプリングがＳＡＭ２信号１６８の代わりにＳＡＭ４信号１６９を使用することにおいて図１４Ａに示す光読取装置１６から異なる。図１を参照すると、光読取装置１６’の出力回線１８６と１８８は、信号１９ｂを介して増幅回路１７

に接続される。

操作－第１の実施形態

図１に示す第１の実施形態は、第１と第２と第３との正規化方法のいずれか及び第１と第２と第３とのノイズ方法のいずれかの任意の組み合わせで操作することができる。図１５Ａは、第１の実施形態での第２のノイズ方法及び第２の正規化方法の操作の流れ図を示す。図１５Ｂは、第１のノイズ方法及び第１の正規化方法の操作を示す。そして、図１５Ｃは、第３のノイズ法及び第３の正規化方法の操作を示す。しかし、ノイズ方法、例えば第３のノイズ方法、非対応の正規化方法、例えば第２の正規化方法、一緒に使用することができる。例えば、第２の正規化方法及び第３のノイズ法の一対に対する流れ図は、図１５Ａのステップ３１６Ａに図１５Ｃのステップ３１６ｃを置換することによって組み立てることができる。同様に、第１の正規化方法及び第３のノイズ法のペアに対しての流れ図は、図１５Ｃのステップ３１６ｃに図１５Ｂのステップ３０６Ｂを置換することによって組み立てることができる。

【００５１】

図１５Ａ－１５Ｃにそれぞれ対応する図１７Ａ－１７Ｃは、ノイズ信号と正規化光反応信号を生成するプロセスにおいて画素１４の記憶ノード１１５及び対応する検出ノード１１１の電圧レベルの変化を示している。特に指示は、異なるノイズ方法にしたがって、第１の基準出力信号と共同リセット出力信号と第１の検出ノードリセット出力信号間のどちらがそれぞれＳＡＭ１とＳＡＭ２とＳＡＭ３とＳＡＭ４信号によってサンプリングされる。さらに指示は、異なる正規化方法にしたがって、第２の基準出力信号と第２の検出ノードリセット出力信号と光反応出力信号間のどちらがそれぞれＳＡＭ１とＳＡＭ２とＳＡＭ３とＳＡＭ４信号によってサンプリングされる。

【００５２】

ノイズ方法と一緒それぞれの対応の正規化方法の使用を示す図１７Ａ－１７Ｃとは対照的に、図１７Ｄと図１７Ｅは、非対応のノイズと正規化方法を示す。図１７Ｄは、第２の正規化方法及び第３のノイズ方法の使用を示す。図１７Ｅは、第１の正規化方法及び第３のノイズ方法の使用を示す。これらの図は、ノイズ方法が非対応の正規化方法と一緒使用される場合があることを示す。

【００５３】

図１７Ａ～１７Ｅのそれぞれも、ノイズと正規化の差の中間信号を形成しない第４のノイズ法と第４の正規化方法の下で本発明の撮像素子の代替実施形態の操作を記述するために使用されることができる。

【００５４】

図１５Ａは、第２のノイズ方法と第２の正規化方法にしたがって撮像素子１０の第１の実施形態の操作の流れ図を示す。ステップ３００において、第１の基準信号、ＩＮ回線１２０を介して検出ノード１１１に伝達される。その後、第１の基準出力信号は、出力トランジスタ１１６によって出力され、サンプリングされた第１の基準出力信号として光読取装置１６にサンプルホールドされる。図１３及び図１６にタイミング図において回路図を参照し、これは、三極管領域にリセット開閉器１１２をオンにするために高電圧に低電圧からＲＳＴ（ｎ）１１８、ＴＦ（ｎ）１２１、及びＩＮ回線１２０を切り替えることにより達成すことができる。転送開閉器１１７は、ハイにＴＦ（ｎ）回線１２１を駆動することにより光検出器１００へ第１の基準信号を送信するために同時にオンになることができる。ＲＳＴ（ｎ）回線１１８とＴＦ（ｎ）ＩＮ回線１２１は、行全体に対してハイに駆動される。ＩＮ回線１２０は、全体の列に対してハイに駆動される。回線ＩＮ１２０が最初にローであるとき、ＲＳＴ（ｎ）回線１１８とＴＦ（ｎ）回線１２１は最初にハイに駆動である。

【００５５】

ＲＳＴ［ｎ］回線１１８とＴＦ［ｎ］回線１２１は、それぞれ、その出力が０ボルトからハイレベルに駆動された後にトライステートに入るトライステートバッファ３７４によって駆動されるように接続することができる。その後、ＩＮ回線１２０がロー状態からハ

イ状態切り替えられるときに、（リセット開閉器１１２のゲートーチャネルの間の容量、コンデンサ１２６の容量による）容量性結合は、リセット開閉器１１２のゲート電圧がさらに上昇することを引き起こし、転送開閉器１１７三極管領域においてそれぞれリセット開閉器１１２、転送開閉器１１７を保持する。リセット開閉器１１２及び転送開閉器１７７がそれぞれの三極管領域にいると、記憶ノード１１５及び検出ノード１１１の電圧は、ＩＮ回線１２０の電圧レベルに駆動される。リセット開閉器１１２及び同時に三極管領域維持する転送開閉器１１７がために十分に大きさであるより高いゲート電圧を提供することは、光検出器のより高いレベルにリセットすることができる。これは、画素１４からの出力信号において大きなダイナミックレンジをサポートするために、ＯＵＴ回線１２４上の電圧振幅の大きい範囲を可能にする。

【００５６】

ＳＥＬ［ｎ］回線１２２も選択開閉器１１４がオンになる高い電圧レベルに切り替えられる。検出ノード１１１の電圧は、レベルシフトされ出力トランジスタ１１６で、その後、出力トランジスタ１１６および選択トランジスタの１１４を介して、ＯＵＴ回線１２４に結合される。光読取装置１６のＳＡＭ１制御回線１６６は（図１４Ａを参照）、ＯＵＴ回線１２４上の電圧をサンプリングされた第１の基準出力信号として第１のコンデンサ１５２にサンプルホールドされるように選択される。

【００５７】

ステップ３０２に、図１５Ａを参照すると、検出ノード１１１と記憶ノード１１５はその後に初期化されと共同リセット出力信号はサンプリングされた共同リセット出力信号として光読取装置１６にサンプルホールドされる。図１３と１６を参照すると、これは、のような高いレベルでＴＦ［ｎ］回線１２１を維持しながら、リセット開閉器１１２をオフにと画素１４をリセットするためにローにＲＳＴ［ｎ］回線１１８を駆動することによって達成することができる転送開閉器１１７が三極管領域に留まる。リセット開閉器１１２がオフにされることは、ノイズと電荷注入とクロックフィードスルーをリセットするために、光検出器１００に誤差信号を作成する。図１７Ａに示すように、誤差信号は、記憶ノード１１５とリセット開閉器１１２がオフするときに、ＶＢへ検出ノード１１１に共通の電圧を低減する。ＳＡＭ２回線１６８とＳＡＭ３回線１６７がハイに駆動されるときに、ＳＥＬ回線１２２は、検出ノード１１１の電圧のレベルシフトされたバージョンが光読み取り回路１６’（図１４Ｂを参照）の第１のコンデンサ１５２と光読取装置１６（図１４Ａを参照）の第２のコンデンサ１５４にサンプリングされた共同リセット出力信号としてサンプルホールドされることように、ローにして再びハイに駆動される。

【００５８】

ステップ３０４にと１５Ａを参照すると、転送開閉器１１７がオフになり、その後、第１の検出ノードリセット出力信号が光読取装置１６’サンプリングされた第１の検出ノードリセット出力信号としてサンプルホールドされる。図１３と１６を参照すると、これは、転送開閉器１１７をオフにするためにローへＴＦ［ｎ］回線１２１を駆動することにより達成することができる。転送開閉器１１７をオフにすることは、リセットノイズと電荷注入とクロックフィードスルーために、記憶ノード１１５と検出ノード１１１における誤差信号を作成する。図１７Ａに示すように、誤差信号は、転送開閉器１１２がＯＦＦのとき、ＶＣ１とＶＣ２に検出ノード１１１と記憶ノード１１５の電圧をそれぞれ低減する。ＳＡＭ４（１６９）行がハイに駆動され、ＳＥＬ回線１２２は、検出ノード１１１の電圧のレベルシフトされたバージョンが光読み取り回路１６’の第２のコンデンサ１５４にサンプリングされた第１の検出ノードリセット出力信号としてサンプルホールドされるように、ローにして再びのハイに駆動される。

【００５９】

図１５Ａを参照すると、ステップ３０６Ａにおいて、サンプリングされた共同リセット出力信号は、その後、第１のノイズ差信号を与えるためにサンプリングされた第１の基準出力信号から減算され、サンプリングされた第１の検出ノードリセット出力信号は、第３のノイズ差信号を与えるためにサンプリングされた共同リセット出力信号から減算する。

その後、第３のノイズ差信号は、第１及び第３のノイズ差信号がそれぞれの増幅を受けて、ノイズ信号を与えるために第１のノイズの差信号から減算される。ノイズ信号がＡＤＣ（２４）によってデジタルビットの文字列に変換される。デジタル出力データは、図２、３、８または９で説明された技法の１つに従って、外部メモリ７４内に格納される。ノイズデータは、第１の画像に対応する。図１と図１３と図１４Ａと図１４Ｂを参照すると、第１及び第３の差を生成する減算は、第１のコンデンサ１５２の両端の電圧から第２のコンデンサ１５４の両端の電圧減算するために、光読取装置１６と１６’の開閉器１７０と１７１と１８２と１８３と１８４と１８５閉じることによって達成することができる。第１および第３のノイズの差にそれぞれ表現する光読取装置の１９ｂ１９ａと出力信号に１６、１６は、に符号付きの倍数それぞれＣＯＥＦ１とＣＯＥＦ２に下のアナログ増幅回路で２１拡大縮小され、その後、ノイズ信号与えるために、アナログ減算器１７で相互に減算する。ノイズ信号は、アナログ減算器１７に結合されたＡＤＣ（２４）によって、ノイズデータにデジタル化され、続いてメモリ７４に格納される。

【００６０】

符号付きの倍数ＣＯＥＦ１とＣＯＥＦ２は、外部プロセッサ７２またはオンボードのキャリブレーション回路（図示せず）によって、または撮像素子の外部のまたはオンボードの不揮発性メモリから選択または提供されてもよい。符号付きの倍数は、この説明で後述するいくつかの校正方法のいずれかにしたがって決定または予め定めることができる。倍数ＣＯＥＦ１とＣＯＥＦ２のそれぞれは、それぞれの符号を有することができる。倍数ＣＯＥＦ１とＣＯＥＦ２は、第１の画像を生成と非対応ノイズと正規化の方法が使用される場合は、第２の画像を生成する間に変更されることができる。

【００６１】

図１５Ａを参照すると、ＴＦ［ｎ］、ＲＳＴ［ｎ］、ＳＥＬ［ｎ］回線は、ステップ３０８で、フォトダイオードが電荷を蓄積しながら、露光時間の間は、ローに保たされている。

【００６２】

図１５Ａを参照すると、検出ノード１１１は、ステップ３１０で、リセットされ、第２の検出ノードリセット出力信号は、その後、サンプリングされた第２の検出ノードリセット出力信号として光読取装置１６にサンプルホールドされる。図１３と１６を参照すると、これは、ハイその後三状態にＲＳＴ［ｎ］回線１１８を駆動し、その後、ハイレベル（以下”飛び板レベル”）にローレベルからＩＮ回線１２０を駆動することによってより高い電圧レベルに容量的にカップリングし、その後、リセット開閉器１１２を切り検出ノード１１１をリセットするために回線ＲＳＴ［ｎ］駆動することによって達成することができる。

【００６３】

ストレージノードは、図１７Ａに示すようにＶＤ１であるのに対し、検出ノードの電圧は、今ＶＤ２である。ＴＦ［ｎ］は回線１２１を低く抑えている。ＳＡＭ４回線１６９とＳＥＬ［Ｎ］回線１２２は、（図を参照して検出ノードの電圧のレベルシフトバージョンが光読み取り回路１６’の第２のコンデンサにサンプリングされた第２の検出ノードリセット出力信号１５４としてサンプルホールドされるハイに、ように駆動される１４Ｂ）。第２の飛び板レベルは、リセット開閉器１１２が検出ノードの第２のリセットためにオフされる直前に検出ノードの電圧レベルである。第２の飛び板レベルは、第１の基準レベルとは同じまたは異なであってもよい。

【００６４】

図１５Ａを参照すると、ブロック３１２において、光反応出力信号は、出力トランジスタ１１６からサンプリングされ、サンプリングされた光反応出力信号として光読み取り回路１６、１６’にサンプルホールドされる。光反応出力信号は、撮像素子１０によって検出される光学画像に対応する。図１３と図１４Ａと図１４Ｂ図１６を参照するとこれは、ＴＦ［Ｎ］１２１とＳＥＬ［ｎ］１２２とハイ状態にＳＡＭ３（１６７）とＳＡＭ２（１６８）を回線とＲＳＴ［ｎ］回線を持つことによって達成することができるロー状態に三

極管領域に駆動され、転送開閉器１１７が。図１７Ａは、記憶ノード１１５及び検出ノード１１１の共通の電圧としてＶＥを示す。光読取装置１６、１６’の第２のコンデンサ１５４と第１のコンデンサ１５２、それぞれには、サンプリング光反応出力信号として記憶ノード１１５と検出ノード１１１との共通の電圧のレベルシフトされたバージョンをサンプルホールドする。

【００６５】

図１５Ａを参照すると、ブロック３１４において、サンプリングされた第２の基準出力信号は検出ノード１１１および出力トランジスタ１１６から生成され、光読取装置１６に記憶される。図１３、図１４Ａおよび１６を参照すると、ＲＳＴ［ｎ］回線１１８は、最初にハイにその後トライステートに駆動される。リセット開閉器１１２は、三極管領域に入る。検出ノード１１１の電圧レベルがＩＮ回線１２０の上に供給される電圧レベルに駆動されるためには、ＩＮ回線１２０は、ハイに容量的に結合より高い電圧レベルへのリセット開閉器１１２のゲートノード１１８を駆動し三極管領域でのリセット開閉器１１２が保持される。図１７Ａに示すようには、検出ノードの電圧が、ＶＧにおいて今ある。回線ＳＥＬ［ｎ］（１２２）とＳＡＭ１（１６６）は、サンプリングされた第２の基準出力信号として光読取装置１６の第１のコンデンサ１５２に第２の基準出力電圧をサンプルホールドするためにハイに駆動される。

【００６６】

図１５Ａを参照すると、ブロック３１６Ａにおいて、サンプリングされた光反応出力信号が第１の正規化差を形成するためにサンプリングされた第２の基準出力信号から減算され、サンプリングされた第２の検出ノードリセット出力信号が第３の正規化差を形成するためにサンプリングされた光反応出力信号から減じ、第３の正規化差が正規化された光反応信号を形成するため第１の正規化差から減算される。正規化された光反応信号は、第２の画像バッファ３２，３４に格納されてある正規化された光出力データを作成するために、デジタルビットのストリングに変換される。正規化された光反応信号、第２の画像に対応する。

【００６７】

図１３、１４および１６を参照すると、減算処理は、光読取装置１６、１６の開閉器１７０、１８２、１８３、１８４と１８５を閉じることで達成することができる。それぞれ第１及び第３の正規化差を表す光読取装置１６、１６’の出力信号１９ａ、１９ｂは、それぞれ符号付きの倍数ＣＯＥＦ１およびＣＯＥＦ２でアナログのゲイン回路２１によって拡大縮小され、その後、正規化された光反応信号を与えるために相互にアナログ減算器１７で減算される。ＣＯＥＦ１およびＣＯＥＦ２値は、ノイズ信号生成するにおけるそれらと同じである、またはその場の比率の１０％以内にある比率を有することができる。正規化された光反応信号は、正規化された光反応データとしてＡＤＣ（２４）によってデジタルビット文字列に変換される。

【００６８】

図１５Ａを参照すると、ブロック３１８におけるノイズデータ（とあまりにも校正データかもしれないが）、外部メモリから取得される。ブロック３２０でノイズデータ（と校正データはあまりにも）は、プロセッサ７２によって図２にまたは撮像素子におけるコンバイナ５０によって図８に示す方法のいずれかに従って正規化された光出力データと組み合わされる。ノイズデータは、第１の画像に対応する。正規化された光出力データは、第２の画像に対応する。従って、正規化された光反応データにおけるリセットノイズがデノイズ除去された画像を形成するために削除される。撮像素子は、転送開閉器１１７を使用して検出ノード１１１から記憶ノード１１５を分離することによって記憶ノード１１５で暗電流を低減した、４つのトランジスタだけを有する画素でこのノイズキャンセレーションを行いする。隣接する光検出器の間に選択開閉器１１４および出力トランジスタ１１６を共有すると、画素あたり未満の２つのトランジスタを達成することができる。比較的小さな画素ピッチを維持しながら、この撮像素子は、このようにノイズキャンセレーションを提供する。

【００６９】
図１７Ａは、図１５Ａの流れ図に従って、図１の撮像素子の第１の実施形態の使用方法を示す。第１のノイズと正規化差は、光読取装置１６に形成される。図１５Ａにおける流れ図で、それは、ステップ３００にＳＡＭ１信号１６６によって第１の基準出力信号をサンプリングし、ステップ３０２にＳＡＭ２信号１６８によって共同リセット出力信号をサンプリングする。露光後、ステップ３１４それは、サンプリングするＳＡＭ１信号１６６によって第２の基準出力信号をにし、ステップ３１２サンプリングするＳＡＭ２信号１６８による光反応出力信号に。第３のノイズおよび正規化差は、光読取装置１６’に形成される。図１５Ａ流れ図で、それは、ＳＡＭ３信号１６７によってステップ３０２に共同リセット出力信号をサンプリングし、ＳＡＭ４信号１６９によってステップ３０４で第１の検出ノードリセット出力信号をサンプリングする。露光後に、それは、ステップ３１４でＳＡＭ３信号１６７によって光反応出力信号をサンプリングし、ステップ３１２でＳＡＭ４信号１６９によって第２のリセット出力信号をサンプリングする。
【００７０】
したがって、図１７Ａは、ノイズ信号を形成するために、ＳＡＭ１信号１６６が第１の基準出力信号をサンプリングし、ＳＡＭ２（１６８）およびＳＡＭ３（１６７）信号が共同リセット出力信号をサンプリングし、ＳＡＭ４信号１６９が第１の検出ノードリセット出力信号をサンプリングすることを示す。また、図１７Ａは、露光後に正規化された光反応信号を形成するために、ＳＡＭ１信号１６６が第２の基準出力信号をサンプリングし、ＳＡＭ２（１６８）およびＳＡＭ３（１６７）信号が光反応出力信号をサンプリングし、ＳＡＭ４信号１６９が第２の検出ノードリセット出力信号をサンプリングすることを示す。光読取装置１６は、第１のノイズおよび正規化差を形成する。
【００７１】
光読取装置１６’は、第３のノイズおよび正規化差を形成する。アナログ減算器１７は、第２のノイズ法にしたがってノイズ信号を形成するために、それぞれの符号付きの倍数によってそれぞれ拡大縮小される第１のノイズ差と第３のノイズ差の間に減算する。アナログ減算器１７は、第２の正規化方法にしたがって正規化された光反応信号を形成するために、それぞれの符号付きの倍数によってそれぞれ拡大縮小される第１の正規化差と第３の正規化差の間に減算する。
【００７２】
説明したプロセスは、画素配列１２の画素のさまざまな行にわたって順番に実行される。図１６に示すように、正規化された光反応信号が第ｎ－ｌの行から生成される間、ノイズ信号が画素配列第ｎの行から生成することができる。ｌは、行の周期の倍数として曝露の期間である。
【００７３】
前述したように、図１５Ａの流れ図のステップ３０６ａは、図１５Ｂのステップ３０６ｂまたは図１５Ｃのステップ３０６ｃに置き換えてもよい。また、図１５Ａのステップ３１６ａは、図１５Ｂのステップ３１６ｂまたは図１５Ｃのステップ３１６ｃに置き換えてもよい。
【００７４】
図１７Ｂは、図１５Ｂの流れ図で図１の撮像素子の第１の実施例の使用方法を示す。図１５Ｂにおいては、ステップ３０６ｂおよび３１６ｂは、ステップ３０６ａおよび図１５Ａの３１６ａ置き換える。このように、第２のノイズ差と第２の正規化差は、をそれぞれ第３のノイズ差と第３の正規化差置き換える。第２のノイズおよび正規化差は、光読取装置１６’に形成される。それは、ステップ３００にＳＡＭ３信号１６７によって第１の基準出力信号をサンプリングし、図１５Ｂの流れ図のステップ３０４でＳＡＭ４信号１６９によって第１の検出ノードリセット出力信号をサンプリングする。次に、露光後に、それは、ステップ３１４にＳＡＭ３信号１６７によって第２の基準出力信号をサンプリングし、ステップ３１０にＳＡＭ４信号１６９によって第２の検出ノードリセット出力信号をサンプリングする。従って、ノイズ信号を形成するために、図１７Ｂは、ＳＡＭ１（１６６

）およびＳＡＭ３（１６７）信号によって第１の基準出力信号をサンプリングし、ＳＡＭ２信号１６８によって共同リセット出力信号をサンプリングし、ＳＡＭ４信号１６９によって第１の検出ノードリセット出力信号をサンプリングすることを示す。図１７Ｂまた、正規化された光反応信号を形成するために、ＳＡＭ１（１６６）およびＳＡＭ３（１６７）信号によって第２の基準出力信号をサンプリングし、ＳＡＭ２信号１６８によって光反応出力信号をサンプリングし、ＳＡＭ４信号１６９によって第２の検出ノードリセット出力信号をサンプリングすることを示す。光読取装置１６は、第１のノイズおよび正規化差を形成する。光読取装置１６’は、第２のノイズおよび正規化差を形成する。アナログ減算器１７は、に、第１のノイズの方法にしたがってノイズ信号を形成するために、それぞれの符号付きの倍数とそれぞれ拡大縮小される第１のノイズ差と第２のノイズ差の間に減算する。アナログ減算器１７は、第１の正規化の方法にしたがって正規化された光反応信号を形成するために、それぞれの符号付きの倍数それぞれ拡大縮小される第１の正規化差と第２の正規化差の間に減算する。

【００７５】

図１７Ｃは、図１５Ｃの流れ図で図１の撮像素子の第１の実施形態の使用を示す。図１５Ｃにおいて、ステップ３０６ａおよび図１５Ａの３１６ａは、ステップ３０６ｃおよび３１６ｃに置換される。第２のノイズおよび正規化差は、第１のノイズおよび正規化をそれぞれ差置き換える。第２のノイズおよび正規化差は、光読取装置１６に形成される。それは、ＳＡＭ１信号１６６によってステップ３００で第１の基準出力信号をサンプリングし、図１５Ｃの流れ図のステップ３０４でＳＡＭ２信号１６８によって第１の検出ノードリセット出力信号をサンプリングする。露光後に、それは、ＳＡＭ１信号１６６によってステップ３１４で第２の基準出力信号をサンプリングし、流れ図のステップ３１０でＳＡＭ２信号１６８によって第２の検出ノードリセット出力信号をサンプリングする。したがって、図１７Ｃは、ノイズ信号を形成するために、ＳＡＭ１信号１６６によって第１の基準出力信号をサンプリングし、ＳＡＭ３信号１６７によって共同リセット出力信号をサンプリングし、によってＳＡＭ２（１６８）およびＳＡＭ４（１６９）信号によって第１の検出ノードリセット出力信号をサンプリングすることを示す。また、図１７Ｃは、正規化された光反応信号を形成するために、ＳＡＭ１信号１６６によって第２の基準出力信号をサンプリングし、ＳＡＭ３信号１６７によって光反応出力信号をサンプリングし、ＳＡＭ２（１６８）およびＳＡＭ４（１６９）信号によって第２の検出ノードリセット出力信号をサンプリングすることを示す。光読取装置１６は、第２のノイズ正規化差を形成する。光読取装置１６’は、第３のノイズ正規化差を形成する。アナログ減算器１７は、ノイズ差によって第３のノイズ方法にしたがってノイズ信号を形成するために、それぞれの符号付きの倍数でそれぞれ拡大縮小される第２と第３のノイズ差の間に減算する。アナログ減算器１７は、第２の正規化差と第３の正規化差の間に減算する。それぞれの差は、第３の正規化の方法にしたがって正規化された光反応信号を形成するために、第３のノイズ方法に使用されるものと同じすることができるそれぞれの符号付きの倍率で拡大縮小される。

【００７６】

図１７Ｄは、第２の正規化方法と第３のノイズ方法の混合のペアで図１の撮像素子の第１の実施形態の使用を示す。したがって、図１７Ｄは、ノイズ信号を形成するために、ＳＡＭ１信号１６６に第１の基準出力信号をサンプリングし、ＳＡＭ３信号１６７によって共同リセット出力信号をサンプリングし、ＳＡＭ２（１６８）およびＳＡＭ４（１６９）信号によって第１の検出ノードリセット出力信号をサンプリングすることを示す。図１７Ｄまた、正規化された光反応信号を形成するために、ＳＡＭ１信号１６６によって第２の基準出力信号をサンプリングし、ＳＡＭ２信号１６８およびＳＡＭ３信号１６７によって光反応出力信号をサンプリングし、ＳＡＭ４信号１６９によって第２の検出ノードリセット出力信号をサンプリングすることを示す。光読取装置１６は、第２のノイズ差および第１の正規化差を形成する。光読取装置１６’は、第３のノイズ正規化差を形成する。アナログ減算器１７は、第３の方法にしたがってノイズ信号を形成するために、符号付きのそれぞれの倍数でそれぞれ拡大縮小される第２のノイズ差と第３のノイズ差の間に減算する

。アナログ減算器１７は、第２の正規化方法に従って正規化された光反応信号形成するために、によって第１の正規化差と第３の正規化差の間に減算する。それぞれの差は、符号付きのそれぞれの倍率で拡大縮小される。

【００７７】

図１７Ｅは、第３のノイズ方法と第１の正規化方式の混在したペアで図１の撮像素子の第１の実施形態の使用を示す。光読取装置１６は、第２のノイズ差および第１の正規化差を形成する。光読取装置１６’は、第３のノイズ差と第２の正規化差を形成する。アナログ減算器１７は、第３のノイズ方法にしたがってノイズ信号を形成するために、符号付きのそれぞれの倍数でそれぞれ拡大縮小される第２の差と第３の差の間に減算する。アナログ減算器１７は、第１の正規化の方法にしたがって正規化された光反応信号を形成するために、符号付きのそれぞれの倍数でそれぞれ拡大縮小される第１の正規化差と第２の正規化差の間に減算する。

【００７８】

追加の第３の基準レベルは、第１のノイズ方法で適用することができる。図１７Ｊは、その一例を示す。第１の実施形態に第１のノイズメソッドを実装するためには、ステップ３００の第１の基準レベル時でのサンプリング時ではなく、直ちにステップ３０４後に検出ノード１１１に適用する第３の基準レベルを追加し、この第３の基準レベル中にサンプリングするためにＳＡＭ３によって変更し、サンプリングされた第３の基準出力信号を保存することにより、図１７Ｊに図１７Ｂによって変更することができる。この場合、第２のノイズ差は、サンプリングされた第３の基準出力信号引くサンプリングされた第１の検出ノードリセット出力信号である。

【００７９】

同様に、露光後にサンプリングに対して、第４の基準レベルは、ステップ３１０で２番目検出ノードのリセットの前に検出ノード１１１に送信し、ＳＡＭ３がステップ３１４から移動され、この時に生成される第４の基準出力信号をサンプリングして、サンプリングされた第４の基準出力信号をサンプルホールドすることができる。この場合、第２の正規化差は、サンプリングされた第４の基準の出力信号引くサンプリングされた第２の検出ノードリセット出力信号である。それは、ここに第４の基準レベルにも第２の飛び板レベルがとして作用することに留意されたい。当業者は、容易に認識できるようにしかし、第４の基準レベルとは異なる第２の飛び板レベルは、検出ノードの第２のリセットレベルと付随して光反応レベルを調整するために、ＩＮ回線１２０に第４の基準レベルと検出ノードの第２のリセットの間に設けられ、リセット開閉器１１２にわたって検出ノード１１１に駆動することができる。

【００８０】

当業者は、容易に実行するために知っているように、対応する制御信号が第１の実施形態に図１６のタイミング図から変更され、対応する論理回路が図１８Ｄに図１８Ａの回路図から変更される。第３と第４の基準レベルがまたは第１と第２の基準レベルと同じであってもなくてもよい。当業者は、容易に実行するために知っているとして、彼らが異なる場合、ＤＣオフセットはアナログ回路やデジタル回路や外部プロセッサ７２で減算されることができる。

【００８１】

第２のノイズと正規化方法で動作し、さらに図１７Ｉ（この説明で後述）に示すようにＧＮＤ１の電圧レベルのタイミングを使用する第１の実施形態は、最も適したモードである。

【００８２】

第２の実施形態

図２１は、撮像素子の第２の実施形態を示す。この代替実施形態で、アナログ増幅回路２１と図１の第１の実施形態のアナログ減算器１７は、ＡＤＣ　２４後ろにあるデジタル増幅回路２１’とデジタル減算器１７’に置き換えられる。また、とアナログ増幅回路２１とアナログ減算器１７の機能は置き換えとデジタル回路またはコンピュータの命令を実

行するオンボードプログラマブルプロセッサによって実行ことができる。これらのコンピュータ命令は、実行時に、オンボードのプログラム可能なプロセッサにＡＤＣ（２４）からデジタルデータでそのような機能を実行させる。

【００８３】

第３の実施形態

図２２は、第３の実施形態を示す。第３の実施形態で、図１の実施形態の第１の光読取装置１６、１６’とアナログ増幅回路２１とアナログ減算器１７は、図１４Ｃで示した三重サンプリング光読取装置１６”に置換される。

【００８４】

図１４Ｃは、トリプルサンプリング光読取装置１６”の回路図を示す。三重サンプリング光リーダ１６は、複数の三重サンプリング回路１５０の構成されている。それぞれ三重サンプリング回路１５０は、第１対のコンデンサ１５２，１５４と第２対のコンデンサ１５３、１５５で構成されている。第１対のコンデンサ１５２，１５４は、それぞれが第１の容量を持った第１のコンデンサ１５２および第２のコンデンサ１５４で構成されている。第２対のコンデンサ１５３、１５５は、それぞれが第２の容量を持った第３（１５３）と第４（１５５）のコンデンサで構成される。第１の容量と第２の容量との比率を変化させることができる。一例として、この比率は、この説明で後述される較正の手順のいずれかによって撮像素子１０”または外部プロセッサ７２において実行される校正手順に従って決定されることができる。それぞれの一対中の一つのコンデンサが電気的に増幅器１８０の正極端子（“＋”）に結合され、他のコンデンサが電気的に増幅器１８０の負端子（“－”）に結合されている。一緒に、各対と増幅器１８０と、増幅器１８０の入力端子及び出力端子の間に接続された一対のフィードバックコンデンサ１９０は、この一対内のコンデンサにサンプリングされた２つの電圧信号の間で減算を行うことができる。光読取装置１５０は、開閉器１７０と１７１と１８２～１８４とを閉じ、第１のコンデンサでの第１の電圧から第２のコンデンサでの第２の電圧を減算する第１の減算を実行し、開閉器１９０を開くことによって、第３のコンデンサでの第３の電圧から第４のコンデンサでの第４の電圧を減算する第２の減算を実行し、第２の引き算から結果された第２の差を第１の引き算の結果の第１差から減算する第３の減算を実行する。第１及び第２の差のそれぞれは、第１及び第２の容量と等しい重みをそれぞれ与えられている。開閉器１７０と１７１の両方ともが閉鎖されていると、三重サンプリング光読取装置１６は、効果的に第１または第２の差に対して中間信号を形成することなく、一度に第１～第３の減算のすべてを実行する。このように、三重サンプリング光読取装置１６”は、それぞれのノイズの方法によって第１～第３のノイズ差のすべて形成することなく、第１～第３のノイズの方法のいずれかを実行することができる。同様に、三重サンプリング光読取装置１６は、それぞれの正規化法によって第１～第３の正規化差のすべて形成することなく、第１～第３の正規化の方法のいずれかを実行することができる。したがって、光読取装置１６”は、中間のノイズ／正規化差を生成することなく、ノイズ信号の３つの成分の信号の間で減算を必要とする第４のノイズ方法と、正規化された光反応信号の３つの成分の信号の間で減算を必要とする第４の正規化方法とを実行することができることが明らかである。ノイズ信号を形成するために組み合わせる３つの構成信号の間では、第１の対のコンデンサから一つコンデンサだけによってサンプリングされた第１の信号が、第１の容量を重みとして有し、第１対のコンデンサから一つコンデンサおよび第２対のコンデンサから一つコンデンサによってサンプリングされた第２の信号が、第１及び第２の容量の和や差のいずれかを重みとして有し、第２対のコンデンサから一つコンデンサだけによってサンプリングされた第３の信号が、第２の容量を重みとして有する。正規化された光反応信号を形成するために組み合わせる３つの構成の信号についても同様である。

【００８５】

１つの増幅器１８０が示し説明されるが、それは、光読取装置回路１６に複数の増幅器を使用することできることを理解すべきである。

【００８６】

画素１４について、ノイズ信号と正規化光反応信号とをキャプチャするためにはと三重サンプリング回路１５０”は、流れ図１５Ｄ及びタイミング図１６に従ってと、ノイズ信号を形成するために第１の基準出力信号と共同リセット出力信号と第１の検出ノードリセット出力信号とをサンプリングし、正規化された光反応信号とを形成するために第２の基準出力信号と光反応出力信号と第２の検出ノードリセット出力信号とをサンプリングすることができる。三重サンプリング回路１５０”は、第１のコンデンサ１５２の上に第１の基準出力信号をサンプリングし、第４のコンデンサ１５５の上に第１の検出ノードリセット出力信号をサンプリングし、第２（１５４）および第３（１５３）のコンデンサの上に共同リセット出力信号をサンプリングすることができる。開閉器１７０、１７０、１８２～１８５が閉じておいて、開閉器１５８～１６５、１９０が開いているときは、第１～４のコンデンサからの電荷は、増幅器１８０のまわりにあるコンデンサ１９０に転送される。これは事実上第１（１５２）及び第２（１５４）のコンデンサに保存されてサンプリングされた出力信号の間で第１の減算と、第３（１５３）及び第４（１５５）のコンデンサに保存されてサンプリングされた出力信号の間で第２の減算と、第１及び第２の減算の結果の間で第３の減算とを実行する。第１及び第２の減算の結果は、それぞれ第１及び第３容量の符号なし倍数（または重み）が与えられる。これは、中間の第１及び第２のノイズと正規化の差の形成の必要ない以外は、図１５Ａの流れ図のようなものである。したがって、図１５Ｄは、適切に第３の実施形態の動作を説明する流れ図を示している。

【００８７】

図１７Ａは、ＳＡＭ１～ＳＡＭ４サンプリング信号がノイズと正規化の差を形成することなく、図１５Ａの流れ図の下に第３の実施形態を操作するために配列決定することができる方法の例を示しています。

【００８８】

代わりに、三重サンプリング回路１５０”は、第１（１５２）と第３（１５３）のコンデンサの上に第１の基準出力信号をサンプリングし、第２のコンデンサ１５４の上に共同リセット出力信号をサンプリングし、第４コンデンサ１５５の上に第１の検出ノードリセット出力信号をサンプリングすることができる。開閉器１７０、１７１および１８２～１８５が閉じておいて、開閉器１５８～１６５と１９０が開いているとき、第１～第４のコンデンサから電荷はアンプ１８０の周りのコンデンサ１９０に転送される。

【００８９】

これは事実上第１（１５２）及び第２（１５４）のコンデンサに保存されてサンプリングされた出力信号の間で第１の減算と、第３（１５３）及び第４（１５５）のコンデンサに保存されてサンプリングされた出力信号の間で第２の減算と、第１及び第２の減算の結果の間で第３の減算とを実行する。第１及び第２の減算の結果は、それぞれ第１及び第２容量の符号なし倍数（または重み）が与えられる。これは、中間の第１及び第２のノイズと正規化の差の形成の必要ない以外は、図１５Ｂの流れ図のようなものである。図１７Ｂは、ＳＡＭ１～ＳＡＭ４信号の配列を決定することができる方法の例を示す。

【００９０】

追加の第３の基準レベルは、既に図１７Ｊに示されたように第１のノイズ方法が第１の実施形態に適用される場合と同様に、第１のノイズ方法に適用することができる。第１のノイズ方法を実装するためには、第１の実施形態と同様に、ステップ３０４の直後に検出ノード１１１上に適用する第３の基準レベルを追加し、この第３の基準レベルのときにサンプリングして、ステップ３００の第１の基準レベル時でのサンプリングがなく、サンプリングされた第３の基準出力信号を保存するＳＡＭ３サンプリングを変更することにより、図１７Ｊに図１７Ｂを変更ことができる。この場合の第２のノイズ差は、サンプリングされた第３の基準出力信号引くサンプリングされた第１の検出ノードリセット出力信号である。

【００９１】

同様に、光照射後のサンプリングために、第４の基準レベルは、第２の検出ノードのリセット前にステップ３１０で検出ノード１１１上に適用し、ＳＡＭ３サンプリングは、こ

の時点で生成された第４の基準出力信号をサンプリングしてサンプリングされた第４の基準出力信号をサンプルホールドするためにステップ３１４から移動されることができる。この例での第２の正規化の差は、サンプリングされた第４の基準の出力信号引くサンプリングされた第２の検出ノードリセット出力信号である。

【００９２】

当業者が容易に実行するために知っているだろうとして、制御信号のタイミングは、第１の実施形態の図１６のタイミング図から変更され、ロジック回路は、１８Ｄ図に図１８Ａの回路図から変更されている。第３と第４の基準レベルは、第１および第２の基準レベルと同じにすることやされないことができる。当業者が容易に実行するために知っているとして、彼らが異なる場合、ＤＣオフセットはアナログ回路やデジタル回路や外部プロセッサ７２の上で減算することができる。

【００９３】

第１および第２の容量が符号なしの倍数を与えるが、光読取装置１６”のために、符号反転は、いくつかの方法のいずれかで適用することができる。１つの方法で、第１の容量上の符号反転を得るために、第１（１５２）と第２（１５４）のコンデンサから増幅器の”＋”と”－”の入力の接続は、交換することができる。それは、第２の容量上の符号反転を適用するために、第３（１５３）と第４（１５５）のコンデンサからの接続についても同様である。別の方法では、第１の容量上の符号反転を適用するために、第１（１５２）と第２（１５４）コンデンサためのＳＡＭ１（１６６）とＳＡＭ２（１６８）サンプリング信号が交換することができる。それは、第２の容量上の符号反転を適用するために、第３（１５３）と第４（１５５）のコンデンサためのＳＡＭ３（１６７）とＳＡＭ４（１６９）サンプリング信号についても同様である。

【００９４】

第１および第２の容量によって与えられる符号なし倍数は、符号付き倍数を提供するために、回路で符号反転を適用する１つ以上の方法で組み合わせることができる。それは様々な変更、組み合わせと順列は、そのような方法を介して可能になったが、回路図で示されているか説明で記述されている接続に限定されない本出願の発明が包含することは当業者に明らかである。

【００９５】

また、同様の符号の反転は、光読取装置１６、１６’に適用可能であることが当業者に明らかである。それは、光読取装置１６、１６’を使用する本願の発明は、回路図に示されているあるいは説明に記載されている接続に限定されない、このような経由で可能な様々な変更、組み合わせと順列を網羅することを当業者に明らかである方法。

【００９６】

代わりに、三重サンプリング回路１５０”は、第１のコンデンサ（１５２）上に第１の基準出力信号、（１５４）第２と第４（１５５）のコンデンサ上に第１の検出ノードリセット出力信号、及び第３のコンデンサ（１５３）上に共同リセット出力信号をサンプリングすることができる。開閉器１７０と１７１と１８２～１８５が閉じて、開閉器１５８～１６５と１９０が開いている場合、第１～第４のコンデンサから電荷は、増幅器１８０の周りコンデンサ１９０に転送される。

【００９７】

これは事実上第１（１５２）及び第２（１５４）のコンデンサに保存されてサンプリングされた出力信号の間で第１の減算と、第３（１５３）及び第４（１５５）のコンデンサに保存されてサンプリングされた出力信号の間で第２の減算と、第１及び第２の減算の結果の間で第３の減算とを実行する。第１及び第２の減算の結果は、それぞれ第１及び第２容量の符号なし倍数（または重み）が与えられる。これは、中間の第２及び第３のノイズと正規化の差の形成の必要ない以外は、図１５Ｃの流れ図のようなものである。図１７Ｃは、ＳＡＭ１～ＳＡＭ４信号の配列を決定することができる方法の例を示す。

【００９８】

第３（１５３）と第４（１５５）のコンデンサは、可変コンデンサ。その第２の容量は

、制御信号ＣＶＡＬ（非表示）によって選択される。図５－７は、この可変コンデンサの３つの可能な実施例を示す。図５の図７に示す例では２つの容量の値がサポートされるが、より多くの容量値は、当業者によって容易に理解されているとして、示した回路の変更によって、可能なである。さらに、第１（１５２）と第２（１５４）のコンデンサも第１と第２の容量の比率のためのより多くの選択を提供するために、可変コンデンサがあることができる。

【００９９】

図５は、可変コンデンサの１つの実施例を示す。３つのコンデンサＣＳ、Ｃ０　とＣ１は、端末　ＰＩＸ　とＡＭＰの間に並列に接続されている。コンデンサＣ０とＣ１は、接続を制御するために、それぞれ開閉器Ｓ０及びＳ１とシリーズにある。ＣＶＡＬ＝０であ場合、開閉器Ｓ１が開いているのに対し、開閉器Ｓ０が閉じている。したがって、コンデンサＣ１が接続されていないのに対し、コンデンサＣ０が接続されている。その結果、Ｃ０＋ＣＳの合計容量がＰＩＸとＡＭＰの端子の間にある。ＣＶＡＬ＝１である場合、開閉器Ｓ０が開いているのに対し、開閉器Ｓ１が閉じている。したがって、コンデンサＣ０が接続されていないのに対し、コンデンサＣ１が接続されている。その結果、Ｃ１＋ＣＳの合計容量がＰＩＸとＡＭＰの端子の間にある。

【０１００】

図６は、可変コンデンサの別の実施形態を示す。２つのＣ０とＣ１のコンデンサは、ＰＩＸとＡＭＰの端子の間に並列に接続されている。さらに、接続を制御するために、Ｃ０とＣ１のコンデンサは、それぞれ開閉器Ｓ０とＳ１と直列である。ＣＶＡＬ＝０である場合、開閉器Ｓ１が開いているのに対し、開閉器Ｓ０が閉じている。したがって、コンデンサＣ１が接続されていないのに対し、コンデンサＣ０が接続されている。その結果、Ｃ０の合計容量がＰＩＸとＡＭＰの端子の間にある。ＣＶＡＬ＝１である場合、開閉器Ｓ０が開いているのに対し、開閉器Ｓ１が閉じている。したがって、コンデンサＣ０が接続されていないのに対し、コンデンサＣ１が接続されている。その結果、Ｃ１の合計容量がＰＩＸとＡＭＰの端子の間にある。

【０１０１】

図７は、まだ可変コンデンサの別の実施形態を示す。２つのコンデンサＣＳとＣ１は、端子ＰＩＸとＡＭＰの間並列に接続されている。接続を制御するために、コンデンサＣ１は、開閉器Ｓ１と直列になる。

【０１０２】

図７は、まだ可変コンデンサの別の実施形態を示す。２つのコンデンサＣＳとＣ１は、端子ＰＩＸとＡＭＰの間並列に接続されている。接続を制御するために、コンデンサＣ１は、開閉器Ｓ１と直列になる。ＣＶＡＬ＝０である場合、開閉器Ｓ１が開いている。したがって、コンデンサＣ１が接続されていない。その結果、ＣＳの合計容量がＰＩＸとＡＭＰの端子の間にある。ＣＶＡＬ＝１である場合、開閉器Ｓ１が閉じている。したがって、コンデンサＣ１が接続されている。その結果、Ｃ１＋ＣＳの合計容量がＰＩＸとＡＭＰの端子の間にある。

第４の実施形態

図２３は、撮像素子の第四の実施形態を示す。例によって、下記は、第２のノイズと正規化の方法にしたがって第４の実施形態の操作を説明する。光読取装置１６は、第１のコンデンサ１５２の上に第１の基準出力信号をサンプリングし、第２のコンデンサ１５４の上に共同リセット出力信号をサンプリングし、ＡＤＣ（２４）へ増幅器１８０から第１のノイズ差を出力し、第１のコンデンサ１５２の上に共同リセット出力信号をサンプリングし、第２のコンデンサ１５４の上に第１の検出ノードリセット出力信号をサンプリングし、ＡＤＣ（２４）へ第３のノイズ差を出力することができる。

【０１０３】

ＡＤＣ（２４）は、第１及び第３のノイズ差をデジタル化する。デジタル化されたノイズ差は、その後、第２のノイズ方法にしたがってノイズ信号を形成する外部プロセッサ７２に送信してもよい。代わりに、ノイズ信号は、演算回路（図示せず）によって撮像素子

１１上に形成することができる。同様の方法で、光読取装置１６は、第１のコンデンサ１５２の上に第２の検出ノードリセット出力信号をサンプリングし、第２のコンデンサ１５４の上に光反応出力信号をサンプリングし、ＡＤＣ（２４）へ増幅器１８０からネゲートされた第３の正規化差を出力し、第１のコンデンサ１５２の上に第２の基準出力信号をサンプリングし、第２のコンデンサ１５４　の上に光反応出力信号をサンプリングし、ＡＤＣ（２４）へ第１の正規化差を出力することができる。第３および第１の正規化差は、デジタル化されている。デジタル化された正規化差は、第１の正規化方法にしたがって正規化光反応信号を形成するために結合する外部プロセッサ７２に送信することができる。また、正規化光反応信号は、演算回路（図示せず）によって撮像素子１１上に形成することができる。

【０１０４】

ことに注意し、ネゲートされた第３の正規化差は、ＡＤＣ（２４）の入力範囲により適した信号の極性を提供するために、第１（１５２）と第２（１５４）のコンデンサでサンプリングされた信号を交換することによって、ネゲートされたではない第３の正規化差の代わりに、ＡＤＣ（２４）に提供されてもよい、またはその逆の。このように、当業者に知られている。

【０１０５】

第４の実施形態では、光読取装置１６は、第１～３のノイズ差の間の任意の２つのノイズ差を形成し、第１～３の正規化差の間の任意の２つの正規化差を形成してもよい。それは、デジタル化されるようにＡＤＣ（２４）にこれらの差を送信することができる。その後、これらの差は、外部プロセッサ７２に送信または撮像素子１１で処理されるように伝送される。これは、それぞれ対応するノイズと正規化の方法にしたがってノイズ信号と正規化光反応信号を形成することである。ノイズ信号は、デノイズの除去した信号を形成するために正規化された光反応信号から減算される。代わりに、直接にノイズと正規化差のこれら２対からノイズの除去した信号を形成することである。

【０１０６】

当業者が容易に認識するように、図１７Ａ～１７ＥでのＳＡＭ１～ＳＡＭ４信号の間の配列は、ＳＡＭ１信号でＳＡＭ３信号を置き換え、ＳＡＭ２信号でＳＡＭ４信号を置き換えることによって、第４の実施形態に適合するように変更されることができる。たとえば図１７Ｂは、上述のように第４の実施形態でノイズと正規化方法を実装するために、図１７Ｌに示すようにＳＡＭ１とＳＡＭ２サンプリングにＳＡＭ３とＳＡＭ４サンプリングを置き換えることにより、図１７Ｌに変更することができる。ＳＡＭ１とＳＡＭ２サンプリングのすべての連続した対の後、光読取装置１６は、対応するノイズやの正規化差を出力し、その後、次の対に続行する。

【０１０７】

別の例として、第４の実施形態で第１のノイズと正規化方法を実装するために、図１７Ｂは、ステップ３０４の直後にセンスノード１１１に適用する第３の基準レベルを追加し、ステップ３００で第１基準レベル時ではなく、第３の基準レベル時でサンプリングしてサンプリングされた第３の基準出力信号を保存するためにＳＡＭ３を変更することによって図１７Ｊに変更することができ、その後、ＳＡＭ１とＳＡＭ２サンプリングの別の対でＳＡＭ３とＳＡＭ４サンプリングを置き換えることによって１７Ｋを図にさらに修正する。

【０１０８】

別の例として、第４の実施の形態で第１のノイズと正規化方法を実装するために、図１７Ｂは、ステップ３０４の直後にセンスノード１１１に適用する第３の基準レベルを追加し、ステップ３００で第１基準レベル時ではなく、第３の基準レベル時でサンプリングしてサンプリングされた第３の基準出力信号を保存するためにＳＡＭ３を変更することによって図１７Ｊに変更することができ、その後、ＳＡＭ１とＳＡＭ２サンプリングの別の対でＳＡＭ３とＳＡＭ４サンプリングを置き換えることによって１７Ｋを図にさらに修正する。同様に、露光の後にサンプリングに関して、第４の基準レベルは、ステップ３１０で

第２センスノードのリセットの前に検出ノード１１１に適用され、ＳＡＭ３サンプリングは、この時に第４の基準出力信号をサンプリングされ、サンプリングされた第４の基準出力信号をサンプルホールドされるためにステップ３１４から移動することができ。同様に、図１７Ｋに図１７Ｊからのさらなる変更は、ＳＡＭ１とＳＡＭ２サンプリングの別の対でＳＡＭ３とＳＡＭ４サンプリングを置き換える。当業者が容易に実行するために知っているように、制御信号のタイミングは第１の実施形態の図１６のタイミング図から変更され、ロジック回路は、図１８Ａ～１８Ｄの回路図から変更されている。

【０１０９】

まだ別の例として、第４の実施形態で第３のノイズと正規化方法を実装するために、図１７Ｃ～１７Ｍは、この第１の基準レベル時のＳＡＭ１サンプリングを保て第１の検出ノードのリセットの直後に検出ノード１１１に第１の基準レベルを適用することによって変更し、その後、ＳＡＭ３とＳＡＭ４サンプリングはＳＡＭ１とＳＡＭ２サンプリングの別の対で置き換えられることができる。同様に、露光の直後にサンプリングに関しては、第２の基準レベルがこの第２の基準レベルをサンプリングするＳＡＭ１を保ち、第２の検出ノードのリセットの前に検出ノード１１１に適用され、その後、ＳＡＭ３とＳＡＭ４サンプリングがＳＡＭ１とＳＡＭ２サンプリングの別の対に置き換えることができる。ＳＡＭ４サンプリングがＳＡＭ１サンプリングで置き換えられ、ＳＡＭ３のサンプリングがＳＡＭ２サンプリングに置き換えられることに注意する。当業者が容易に知っているように、制御信号のタイミングは第１の実施形態の図１６のタイミング図から変更し、論理回路は、図１８Ｄに図１８Ａの回路図から変更することができる。それはここに第２の基準レベルにも第２の飛び板レベルの役割を取ることに留意されたい。当業者が容易に認識することができるように、第２の基準レベルとは異なる第２の飛び板レベルは、第２の検出ノードリセット出力信号レベルと光反応レベルを調整するために、第２の基準レベルと第２の検出ノードのリセットの間にＩＮ回線１２０上に提供されリセット開閉器１１２を介して検出ノード１１１上に駆動されてもよい。

【０１１０】

第４の実施形態は、増幅器１８０によって出力するノイズ／正規化差の信号をアナログ信号としてコンデンサでサンプルホールドし、その後、このアナログ信号と増幅器１８０によって出力する次のノイズ／正規化差の信号の間で減算するように変更することができる。ＡＤＣ（２４）は、減算の結果をデジタル化する。

第５の実施形態

図２４は、第５の実施形態を示す。第５の実施形態では、図１の第１の実施例のアナログ増幅回路２１とアナログ減算器１７はＡＤＣ（２４）に結合された出力を持っているアナログマルチプレクサ２３で置き換えられる。光読取装置の出力信号１９Ａ、１９Ｂは、ＡＤＣ（２４）でデジタル化するために、アナログマルチプレクサ２３によって多重化されているノイズまたは正規化の差をそれぞれ送信する。デジタル化されたノイズと正規化の差は、第１～第４のノイズにしたがって、いずれかに記載と上の演算回路によって撮像素子１１’（図示せず）でまたは外部プロセッサ７２のいずれかの方法正規化組み合わせることができる。

【０１１１】

あるいは、２つ（またはそれ以上）のＡＤＣを使用することができる。各ＡＤＣは、それぞれ光読取装置１６、１６’の出力をデジタル化する。

第６の実施形態

第６の実施形態（図示せず）で、第１の基準出力信号と第１の検出ノードリセット出力信号と共同リセット出力信号と第２の基準出力信号と第２の検出ノードリセット出力信号と光反応出力信号との各々は、順次または同時に、直接に１つまたは複数のＡＤＣでサンプリングしてデジタル化され、その後、ノイズの方法および／または正規化の方法のいずれかにしたがって、デジタル領域における、撮像素子（図示せず）上の演算回路および外部プロセッサ７２上のどちらかで算術的に組み合わせ、あるいは、ノイズと正規化の差のいずれかまたは両方を形成することなく、それぞれの増幅の下に、正規化の差引くノイズ

信号の結果を形成する。

他の代替の実施形態と操作

撮像素子の他の代替実施形態が可能である。例えば、第１の各々ＡＤＣ～第６の実施形態は、撮像素子をサポートする半導体基板とは異なる別の半導体基板上に、例えば、撮像素子の外側に位置することができる。光読取装置（１６、１６’、１６”）、アナログ増幅回路１７、とアナログ減算器２１は、同様に撮像素子の外側に位置することができる。

【０１１２】

操作の他の代替モードは、可能である。第１の変形は、第２の基準レベルは、共同のセットのためのＯＦＦ状態に三極管領域からのリセット開閉器１１２の変更の直前にＩＮ回線上で送信される電圧レベル（以下、”第１の飛び板レベル”）から下のオフセット（以下”基準オフセット”）があることである（図１７Ａ第１の飛び板レベルでの例は、第１の基準レベルもある）。例として、図１７Ｆに示すように、第１の基準レベルは、”１１”にＤＩＮ（１：０）を切り替えるにより選択されたＶＰＨ０レベルを取るのに対し、第２の基準レベルは、”０１”にＤＩＮ（１：０）切り替えるにより選択されたＶＰＨ２レベルである。基準オフセットは、第１の飛び板レベル（また、第１の基準レベルとなる）からの共同のリセットレベルのオフセット（例えば、共同のリセットレベルの５０ｍＶ以内）と同じ方向および似た量であってもよい。高い増幅の下のこのようなＤＣオフセットの下は、光読取装置での増幅器１８０が飽和状態になることができるので、非ゼロの参照オフセットは、光反応出力信号のＤＣオフセットを最小化するという利点がある。基準オフセットは５０ｍＶの間に望ましい１５０ｍＶの３００ｍＶに、になるように選択がある。その後、第１および第２の基準レベル間の差に起因するノイズ信号の別のＤＣオフセットは、コンバイナ５０内や外部プロセッサ７２でデジタルドメインで減少させることができる。代わりに、ノイズ信号のオフセットこの別のＤＣは、当該技術分野で公知のアナログＤＣ信号減算の方式および回路のいずれかによって、ＡＤＣ（２４）によってデジタル化する前にアナログドメインで削除される可能性がある。

【０１１３】

後述するように、まだ他の変形は、可能である。

【０１１４】

第２の変形例では、”ＩＮ”回線１２０は、第１の基準レベルよりも高い第１の飛び板レベルに駆動される。例えば、図１７Ｈは、第１の基準出力信号がステップ３００でサンプリングされた後、ステップ３０２前のより高い第１の飛び板レベルを示す。例えば、第１の基準レベルが選択するために”１０”にＤＩＮ（１：０）を切り替えるによって提供されるのに対し、第１の飛び板レベルは、ＶＰＨ０レベルを選択するために”１１”にＤＩＮ（１：０）を切り替えるによって提供されることができるＶＰＨ１レベル。第１の基準レベルと共同のリセットレベルの間のオフセット（以下、”リセットオフセット”）と付随してノイズ信号でのＤＣオフセットを減少されるように、第１の飛び板レベルが第１の基準レベルよりも高いオフセット（以下、”第１の飛び板オフセット”）は、ステップ３０２で共同のリセット時に記憶ノードと検出ノードの電圧の降下を部分的に取り消すことができる。第一の飛び板オフセットは、５０ｍＶと３００ｍＶの範囲（好ましい１５０ｍＶ）があってもよい。この方法では、第２の基準レベルは、第１の基準レベルと同じでよい。記憶ノードのリセットレベルは、基本的に第１の基準レベル（例えば１００ｍＶ以内など）の近くにされるので、第２の基準レベルが第１の基準レベルに等しくなるように選択される場合、正規化された光反応信号のＤＣオフセットも同様に削減される。

【０１１５】

第３の変形では、これらのコンデンサ１５２～１５４に接続する光読取装置にバーチャルグランドＧＮＤ１信号１５６は、第１の基準出力信号がサンプリングされる第１のＧＮＤ１レベルと共同リセット出力信号がサンプリングされる第２のＧＮＤ１レベルとの間で変化する電圧を持つ。この差（以下、”ＧＮＤ１ステップ”）は、５０ｍＶのおよび３００ｍＶの範囲（好ましい１５０ｍＶ）がである。一例として、図１７Ｉは、記憶ノードおよびＧＮＤ１信号１５６上の電圧レベルの変化を示す。第２のＧＮＤ１レベルは、共同リ

セットレベルが第１の基準レベルからオフセットされている同じ方向にオフセットされている。この第１の基準レベルは、この例の第１の飛び板レベルでもある。ＧＮＤ１信号１５６は、第１および第２の基準出力信号のサンプリングの時には第１のＧＮＤ１レベルを取るのに対し、共同リセット出力信号と第１および第２の検出ノードリセット出力信号と光反応出力信号のサンプリングの時に第２のＧＮＤ１レベルを取る。ＧＮＤ１ステップは、このように部分的に共通のリセットレベルと第１の基準レベルとの間でＤＣオフセットと、付随しても光反応レベルと第２の基準レベルとの間でＤＣオフセットとをキャンセルする。第２の基準レベルは、第１の基準レベル（例えばＤＩＮ（１：０）＝”１０”によって選択されたＶＰＨ１レベル）と同じでよい。ＧＮＤ１信号１５６のアナログ信号ドライバは、”ＩＮ”回線ドライバ１７と同様に、デジタル入力での選択可能な２つ以上の出力レベルを有することができる。それは、ＤＩＮ（１：０）信号を生成する論理回路のような構造の類似した手法に基づいて構築される論理回路によって制御することができる。

【０１１６】

第３の変形は基本的に光の読者にアナログオフセットキャンセルまたはＤＣ減算の手法を使用する。当技術分野で知られているとして、この手法の別の代替案は、可能である。一つの代替案では、オフセットキャンセルを実行するために、ＧＮＤ１信号１５６の変化の代わりに、オフセットキャンセコンデンサの１対（図示せず）が増幅器１８０の”＋”と”－”の入力に接続してもよい。　これらのオフセットキャンセコンデンサは、特定の電圧に充電することができる。その容量は、サンプリングコンデンサ１５２，１５４と同様か、あるいは異なる場合がある。光読取装置のサンプリング回路１５０、１５０’または１５０”が電荷を転送するために増幅器１８０に接続されているとき、オフセットのキャンセのコンデンサは、特定の電圧にも充電され、接続されて、フィードバックのコンデンサ１９０に電荷を転送して、オフセットのキャンセルを有効にする。

【０１１７】

この手法で別の代わりは、サンプリング回路１５０、１５０’、１５０”からの電荷の各転送の前に、適切な差動電圧（以下、”プリチャージ電圧”）にフィードバックコンデンサ１９０をプリチャージすることである。プリチャージ電圧は、このプリチャージ電圧がリセットのオフセットために生じた増幅器１８０の出力の変化を部分的にキャンセルするという意味でこのリセットのオフセットとは逆方向を有する。プリチャージ電圧は、フィードバックコンデンサ１９０がより小さい容量値を取るとき、増幅器２７０（すなわち、フィードバックコンデンサ１９０と一緒に増幅器１８０）の増幅の増加に対応する大きさに増大させることができる。

【０１１８】

第４の変形では、第２の基準レベルがＩＮ回線１２０に提供されており、対応する第２の基準出力信号が光反応出力信号がサンプリングされた後になく、リセット開閉器１１２が第２の検出ノードリセット出力信号の前にステップ３１０で切られる前にサンプリングされる。一例として、図１７Ｇは、対応する検出ノードとストレージノードとの電圧レベルを示す。ステップ３０９は、流れ図のステップ３１０の直前に挿入される。ステップ３０９で、リセット開閉器１１２は三極管領域にあり、転送開閉器１１７はＯＦＦ状態にあり、ＩＮ回線１２０は第２の基準レベルに駆動される。

【０１１９】

ＯＵＴ回線１２４上の対応する第２の基準出力信号は、ＳＡＭ１信号によってサンプリングし、サンプリングされた第２の基準出力信号としてサンプルホールドされる。図１７Ｇは、別々の第２の飛び板のレベルが第２の基準レベルと検出ノードとのリセットとの間に検出ノード１１１上に駆動されることを示すが、当業者は、第２の飛び板レベルが第２の基準レベルと同じまたは異なる電圧レベル取ってもよいと認識することができる。

【０１２０】

上記の実施形態と変形と手法とのさまざまな組み合わせと順列は、容易に実行するために当業者が可能にされるようにと可能である。それぞれの組み合わせと順列は、当業者が容易に実行することができるように以下に説明するタイミング図１６と論理回路図１８Ａ

～１８Ｄとからの変更するにより構築することができるグローバル制御信号に対応するタイミング図と論理回路とを有することができる。

制御信号の生成

様々なグローバル制御信号ＲＳＴとＳＥＬとＴＦとＤＩＮ（１）とＤＩＮ（０）とＳＡＭ１とＳＡＭ２とＳＡＭ３とＳＡＭ４とＳＵＢは、通常に行デコーダ２０と呼ばれる回路で生成することができる。図１８Ａと図１８Ｂは、図１６のタイミング図に従って、ＤＩＮ（１）とＤＩＮ（０）とＳＥＬとＴＦとＳＡＭ１とＳＡＭ２とＳＡＭ３とＳＡＭ４とＲＳＴ信号を生成する論理の実施例を示す。この論理は、カウンタ３５２に接続された一つの入力と、下限カウント値と上限カウント値とを含むハードワイヤード信号に接続された別の入力と有する複数のコンパレータ３５０を含んでもよい。カウンタ３５２は、連続してカウントを生成する。比較器３５０は、下限と上限のカウント値と現在のカウントを比較する。現在のカウントが下限と上限のカウント値の間にある場合、比較器３５０は、論理１を出力する。当業者が容易に認識だろうように、制御信号のそれぞれの下限と上限カウント値は、図１６に表示されているものとは異なるタイミングをサポートするように変更することができる。例えば、ＳＡＭ３信号がＳＡＭ１信号との代わりにＳＡＭ２信号と一緒にサンプリングするという点で図１７Ａと異なる図１７Ｂに示されるＳＡＭ１とＳＡＭ２とＳＡＭ３とＳＡＭ４信号のタイミングの順序をサポートするために、図１８Ｃの論理回路は、ＳＡＭ３信号を駆動するバッファがＳＡＭ２信号の代わりにＳＡＭ１信号から入力するように変更されることができる。

【０１２１】

第２のノイズ法では、第３のノイズ差が第１のノイズ差から減算される、それぞれは、それぞれの符号付きの倍数で拡大縮小されたことである。第１のノイズ差は、上述したとある。第３のノイズ差は、共同リセット出力信号から第１の検出ノードリセット出力信号を減算した結果である。

【０１２２】

比較器３５０は、複数のＯＲゲート３５８に接続されている。ＯＲゲート３５８は、ラッチ３６０に接続されている。ラッチ３６０は、対応するＤＩＮ（１）、ＤＩＮ（０）、ＳＥＬ、ＴＦ、ＳＡＭ１、ＳＡＭ２、ＳＡＭ３、ＳＡＭ４とＲＳＴ信号を提供する。

【０１２３】

ラッチ３６０は、ＯＲゲート３５８と比較器３５０とカウンタ３５２の現在のカウントによって設立された論理に従って、論理値０と論理値と１の間で開閉する。例えば、ＤＩＮ（１）のラッチに結合され比較器のためのハードワイヤード信号は、１のカウント値と２２のカウント値を含めることができる。カウンタからのカウントが、１以上が２２より小さい場合、コンパレータ３５０は、論理値１を出力するようにＤＩＮ（１）のラッチ３６０を原因となる論理値１を提供する。下限と上限のカウント値は、図１６に示すようにパルスの順序と期間を確立する。

【０１２４】

撮像素子１０、１０’、１０”、１１、１１’は、複数のリセットとＲＳＴ（Ｎ）と転送ＴＦ（ｎ）のドライバ３７４を持ってもよい。各ドライバ３７４は、画素の行に接続され、ＡＮＤゲート３７５の出力に接続されている。図１９は、画素の行と図１８Ａ～１８Ｄに示されている回路との間に行デコーダの出力回路の単位を示す。図２０は、図１９の回路の操作を示す。信号ＲＳＴＥＮ（ｎ）、ＳＥＬＥＮ（ｎ）、ＴＦＥＮ（ｎ）は行デコーダ２０により生成され、それぞれは、’１’’または’０’の論理値をいつでも取ることができる。’１’は、ＲＳＴ（ｎ）とＳＥＬ（ｎ）とＴＦ（ｎ）との信号がそれぞれの対応するグローバル制御信号ＲＳＴとＳＥＬとＴＦとから受信されたパルス信号を送信することを可能にする。さらに、三状態バッファ３７４が高いレベルとその後の三状態とにＲＳＴ（ｎ）とＴＦ（ｎ）とのそれぞれを駆動した後に、ＩＮ信号の立ち上がりエッジで、ＲＳＴ（ｎ）とＴＦ（ｎ）との信号のそれぞれは、図２０に示すように、より高い電圧レベルに容量性的にカップリングされる。

操作の理論

以下、第１のノイズ方法および第１の正規化方法の下で操作された撮像素子１０、１０’、１０”、１１、１１’が提供するノイズキャンセル効果は、図１７Ａで示したサンプリングの順序を参照することで説明される。第２～第４のノイズと正規化の方法は、その後、それぞれ第１のノイズと正規化の方法と同等であることが示される。

【０１２５】

△ｎＱＢは、記憶ノード１１５と検出ノード１１１と転送開閉器１１７のチャネルとの間の共通のノード上で、ステップ３０２で時間的なノイズの電荷を指定する。△ｎＱＣ２は、ステップ３０４での検出ノード上の時間的なノイズの電荷を指定する。さらに、△ｎＱＣ１は、ステップ３０４での記憶ノード上の時間的なノイズの電荷を指定する。これらは第１の画像を影響する時間的なノイズの電荷（すなわち、ノイズ信号）である。

【０１２６】

△ｎＱＤ１は、ステップ３１０での記憶ノード１１５上の時間的なノイズの電荷を指定する。△ｎＱＤ２は、ステップ３１０での検出ノード１１１上の時間的なノイズの電荷を指定する。△ｎＱＥは、記憶ノード１１５と検出ノード１１１と転送開閉器１１７のチャネルとの間の共通のノード上でステップ３１２での時間的なノイズの電荷を指定する。これらは第２の画像を影響する時間的なノイズの電荷（すなわち、正規化を光反応信号）である。

【０１２７】

電荷の保全のために、第１の画像では時間的なノイズの電荷は、そのように関連している：△ｎＱＢ－△ｎＱＣ２＝△ｎＱＣ１。電荷の保全のために、第２の画像では時間的なノイズの電荷は、そのように関連している：△ｎＱＣ１＋　△ｎＱＤ２＝△ｎＱＥ。両方の関係から△ｎＱＣ１の代用として、

△ｎＱＥ－△ｎＱＤ２－△ｎＱＢ＋△ｎＱＣ２＝０．

時間的なノイズ電荷△ｎＱＥと△ｎＱＤ２と△ｎＱＢと△ｎＱＣ２とは、－△ｎＱＥ＝ＣＴｏｔａｌ．△ｎＶＧＥと－△ｎＱＤ２＝ＣＳｅｎｓｅ．△ｎＶＧＤ２と－△ｎＱＢ＝ＣＴｏｔａｌ．△ｎＶＡＢと－△ｎＱＣ２＝ＣＳｅｎｓｅ．△ｎＶＡＣ２と　で時間的なノイズの電荷にそれぞれ関連された時間的なノイズ電圧△ｎＶＧＥと△ｎＶＧＤ２と△ｎＶＡＢと△ｎＶＡＣ２とをそれぞれ結果する。ＣＳｅｎｓｅは、検出ノード１１１上の容量である。ＣＴｏｔａｌは、記憶ノード１１５と検出ノード１１１と転送開閉器１１７のチャンネル－ゲート間、ドレイン－ゲート間およびソース－ゲート間の容量と上の総容量である。ここで、ＶＧＥ＝ＶＧ－ＶＥ、ＶＧＤ２＝ＶＧ－ＶＤ２、ＶＡＢ＝ＶＡ－ＶＢ、ＶＡＣ２＝ＶＡ－ＶＣ２。

【０１２８】

第１のノイズと正規化との方法の下では、ＶＡＢとＶＡＣ２を形成する。これらは、それぞれ第１と第２との正規化の差である。さらに、ＶＧＥとＶＧＤ２を形成する。これらは、それぞれ第１および第２のノイズの差である。第３の画像（すなわち、デノイズ除去された信号）、Ｉ３＝Ｉ２－Ｉ１＝［ＣＴｏｔａｌ．ＶＧＥ－ＣＳｅｎｓｅ．ＶＧＤ２］－［ＣＴｏｔａｌ．ＶＡＢ－ＣＳｅｎｓｅ．ＶＡＣ２］、ここで、Ｉ１＝ＣＴｏｔａｌ．ＶＡＢ－ＣＳｅｎｓｅ．ＶＡＣ２とＩ２＝ＣＴｏｔａｌ．ＶＧＥ－ＣＳｅｎｓｅ．ＶＧＤ２。時間的なノイズ△ｎＩ３＝［ＣＴｏｔａｌ．△ｎＶＧＥ－ＣＳｅｎｓｅ．△ｎＶＧＤ２］－［ＣＴｏｔａｌ．△ｎＶＡＢ－ＣＳｅｎｓｅ．△ｎＶＡＣ２］＝－（△ｎＱＥ－△ｎＱＤ２－△ｎＱＢ＋△ｎＱＣ２）＝０。Ｉ３では、ＣＴｏｔａｌ．ＶＧＥが光への曝露に応じて変化するだけの項である。したがって、Ｉ３は、ＶＧＥに依存しており、リセットと転送とのトランジスタの開閉器ングに起因して発生する時間的な開閉器のノイズを含んでいない。

【０１２９】

等価的に、第２のノイズと正規化との方法の下で、ＶＡＢとＶＢＣ２を形成する。これらは、それぞれ第１及び第３のノイズの差である。さらに、ＶＧＥとＶＥＤ２を形成する。これらは、それぞれ第１と第３の正規化の差である。

ここでは、ＶＢＣ２＝ＶＢ－ＶＣ２、それに、ＶＥＤ２＝ＶＥ－ＶＤ２。第３の画像は、

Ｉ３＝［ＣＴｏｔａｌ．ＶＧＥ－ＣＳｅｎｓｅ．ＶＧＥ－ＣＳｅｎｓｅ．ＶＧＤ２＋ＣＳｅｎｓｅ．ＶＧＥ］
－［ＣＴｏｔａｌ．ＶＡＢ－ＣＳｅｎｓｅ．ＶＡＢ－ＣＳｅｎｓｅ．ＶＡＣ２＋ＣＳｅｎｓｅ．ＶＡＢ］
＝［（ＣＴｏｔａｌ－ＣＳｅｎｓｅ）．ＶＧＥ－ＣＳｅｎｓｅ．（ＶＧＤ２－ＶＧＥ）］
－［（ＣＴｏｔａｌ－ＣＳｅｎｓｅ）．ＶＡＢ－ＣＳｅｎｓｅ．（ＶＡＣ２－ＶＡＢ）］　＝［（ＣＴｏｔａｌ－ＣＳｅｎｓｅ）．ＶＧＥ－ＣＳｅｎｓｅ．ＶＥＤ２］
－［（ＣＴｏｔａｌ－ＣＳｅｎｓｅ）．ＶＡＢ－ＣＳｅｎｓｅ．ＶＢＣ２］
＝Ｉ２－Ｉ１．

ここでは、

Ｉ１＝［（ＣＴｏｔａｌ－ＣＳｅｎｓｅ）．ＶＡＢ－ＣＳｅｎｓｅ．ＶＢＣ２］

それに、

Ｉ２＝［（ＣＴｏｔａｌ－ＣＳｅｎｓｅ）．ＶＧＥ－ＣＳｅｎｓｅ．ＶＥＤ２］．

等価的に、第２のノイズと正規化との方法の下で、ＶＢＣ２とＶＡＣ２を形成する。これらは、それぞれ第３及び第２のノイズの差である。さらに、ＶＥＤ２とＶＧＤ２を形成する。これらは、それぞれ第３と第２の正規化の差である。ＶＧＥ＝ＶＧＤ２－ＶＥＤ２の代用として、

Ｉ２＝ＣＴｏｔａｌ．ＶＧＥ－ＣＳｅｎｓｅ．ＶＧＤ２＝（ＣＴｏｔａｌ－ＣＳｅｎｓｅ）．ＶＧＤ２－ＣＴｏｔａｌ．ＶＥＤ２．

Ｉ２は第２の項だけが光への曝露に依存する。ＶＡＢ＝ＶＡＣ２－ＶＢＣ２の代用として、

Ｉ１＝（ＣＴｏｔａｌ－ＣＳｅｎｓｅ）．ＶＡＣ２－ＣＴｏｔａｌ．ＶＢＣ２．

第３の画像は、Ｉ３＝Ｉ２－Ｉ１＝［（ＣＴｏｔａｌ－ＣＳｅｎｓｅ）．ＶＧＤ２－ＣＴｏｔａｌ．ＶＥＤ２］－［（ＣＴｏｔａｌ－ＣＳｅｎｓｅ）．ＶＡＣ２－ＣＴｏｔａｌ．ＶＢＣ２］。

【０１３０】

較正

較正は、選択されたノイズと正規化との方法に対して符号付きの倍数適切なセットを見つけるために実行されることができる、例えば、図１または図２１の符号付きの倍数ＣＯＥＦ１とＣＯＥＦ２、または図２２の撮像素子１０”の三重サンプリング光読取装置１６”の三重サンプリング回路１５０”の第１及び第２の静電容量、または他の実施形態のための等価の物。以下は、符号付きの倍数の適切なセットを見つける較正手順を説明する。

【０１３１】

レイアウトと向きを共有する複数の画素の中の各画素に対して、一対のノイズ除去された信号の間の差を形成する。各ノイズ除去された信号は、ノイズ信号に続いて正規光反応信号を形成し、その後、正規化光反応信号から雑音信号を減算することから生じる。この差は、ノイズ除去された信号の平均値がなく、余りの時間的なノイズを有する。差分の二乗は、複数の画素に対して形成し、その後、これらの二乗の和を形成する。異なる画素の余りの時間的なノイズが独立しているから、二乗の和は、各画素の余りのノイズの分散の複数の良い近似です、すなわち、２Ｎσ２。ここで、Ｎは画素数です、σ２は分散である。

【０１３２】

複数の画素については、符号付きの倍数の異なる２セットのそれぞれについての平方和を見つける。ノイズ除去された信号に直接比例する数の二乗で割って、それぞれの和を正規化する。所定の露光期間と画素の照明下で、このノイズ除去された信号は、対応するセットの符号付きの倍数の下で結果になる。二乗の正規化された和が低いとなっているセットが好まれる。この手順は、複数の画素のためのノイズ除去された信号を形成するために使用するための符号付きの倍数の適切なセットを識別するために３セット以上の符号付きの倍数のために行ってもよい。

【０１３３】

一例として、図１０は、配列内の２つの異なるレイアウトの方向の画素のレイアウトの配置を示す。奇数列でのフォトダイオードと転送開閉器は、偶数列とは異なる１つの方向を取る。これら２つの異なる群の画素の間の非対称性に起因して、体系的な不一致は、これらの群間の容量や他の電気的特性に存在傾向にある。他方で、各群内のこれらの画素間の類似は、ミスマッチを最小に抑えるのに役立つ。したがって、較正は、各群に適した符号付き倍数のセットを生成するために実行されるべきです、そして各グループは、ノイズと正規化の方法でそれ自身に適しているセットを使用することができる。

【０１３４】

図１１は、配列内の２つの異なるレイアウトの方向の画素のレイアウト配置の別の例を示す。図１１は、２つのフォトダイオード１００ａ、１００ａがそれぞれ移転の開閉器１１７ａ、１１７ａを介してセンスノード１１１共有することを示す図１２の回路図に対応するフォトダイオード１００ａ、１００ｂと転送開閉器１１７ａ、１１７ｂとの３×２の配列に対応する。奇数行において、フォトダイオードと転送開閉器は、偶数行と別の方向を取る。上記と同じの理由で、較正は、各群に適した符号付きの倍数のセットを生成するために行われてもよい、そして、それぞれの群は、ノイズと正規化との方法においてそれ自身に適しているセットを使用することができる。

【０１３５】

代わりに、同じ画素から、３つ以上のデノイズ除去された信号が形成されていてもよい。そして、ノイズ除去された信号の中の複数の対は相互に減算して二乗され、二乗の和は二乗を形成するために加算される。

【０１３６】

図２６を参照すると、各ｑは、符号付きの倍数の異なるセットを指定し、各ｐは、異なる群の同じような画素を指定する。Ｐ個の異なる画素レイアウトとＺ個の符号付きの倍数の異なるセットがある。ｐとｑの各組合せに対して、図２５の流れ図によって示される工程が実行される。図２５の流れ図において、Ｎ＋１個のノイズ除去された信号は、画素群ｐ内の各画素に対して形成される。群内の各画素からの各対の連続するノイズ除去された信号は、相互に減算して二乗される。Ｎ個の二乗が加算され、さらに群内の画素に加算することができる。

【０１３７】

代替手順は以下のとおりである。

【０１３８】

符号付きの倍数の２の異なるセットを比較するためには、撮像素子が、光への曝露が画素配列１２内の画素１４からのリセットノイズと比較して無視できる光反応出力信号を引き起こし、または、このリセットノイズと比較して無視できる変化（例えばショットノイズに起因する）を光反応出力信号において引き起こすように十分に薄暗い照明下、または、暗闇の中にあると、繰り返し第１および第２の画像を捕える。１つまたは複数の画素のそれぞれについて、を第１および第２の画像の複数の対（好ましくは９以上の対）の各対からノイズ除去された信号を形成する。これらの正規化されたデノイズ除去された信号の中で分散を見つける。低い分散を与える符号付きの倍数のセットが好まれる。この手順は、デノイズ除去された信号を形成するのに適した符号付き倍数のセットを見つけるために３セット以上の符号付きの倍数のために繰り返すことができる。

【０１３９】

撮像素子は、第１と第２との画像の度重なる捕捉およびノイズと正規化との方法で適用される符号付きの倍数の調整を制御する回路ことがある。代わりに、符号付きの倍数は、外部コントローラ（図示せず）またはコンピュータ（図示せず）からの制御下で調整してもよい。

【０１４０】

これらの較正手順のいずれかが完全に撮像素子上でまたは部分的に撮像素子で、部分的に外部プロセッサ上で実行することができる。代わりに、この手順の一部は、別々のコンピュータおよび／または別のコンピュータの制御下で実行することができる。

【０１４１】

倍数のセットに対応するデータは、外部の不揮発性メモリに、または、撮像素子でまたは撮像系統での現在または将来で含まれる別の装置（例えば、プロセッサ７２または一般に知られているフラッシュメモリカードなどのメモリカード）においてヒューズまたはアンチヒューズの設定として書き込むことができる。

【０１４２】

結論

幾つかの典型的な実施形態が説明されて添付図面に示されたが、これらの実施形態が本発明を限定するものではなく単に例示的なものであり、また、当業者によって様々なほかの変形が生じ得るので、本発明が示して説明した特定の構成及び配置に限定されないことを理解すべきである。

【０１４３】

例えば、画像のいくつかの全ラインを必要とするインターリービング技術が示され記述されているが、フルライン未満または一つのライン以上を必要とする方式で、データがインターリーブされてもよいことは理解されるべきである。例として、画像Ａの第１のラインの半分、そして、画像Ｂの第１のラインの半分、そして、画像Ａの第１のラインの後半を転送され、さらに同様に続けてよい。同様に、画像Ａの最初の２本のライン、そして、画像Ｂの最初の２本のライン、そして、画像Ａの第３および第４のラインを転送され、さらに同様に続けてもよい。

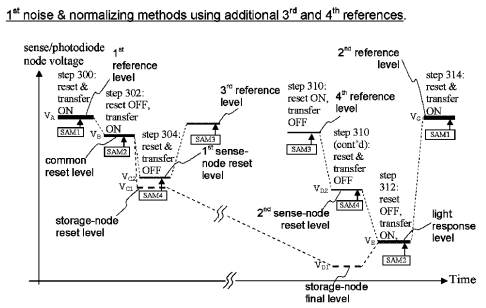


FIG. 17J

【図１０】

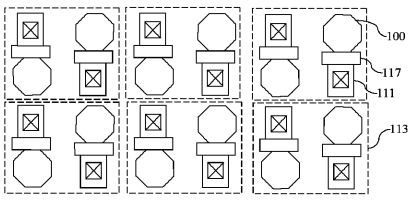


FIG. 10

【図１１】

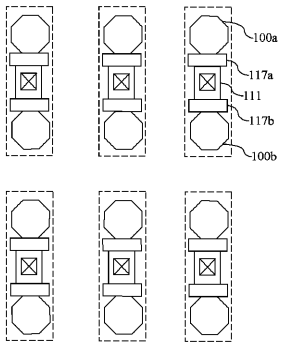


FIG. 11

【図１２】

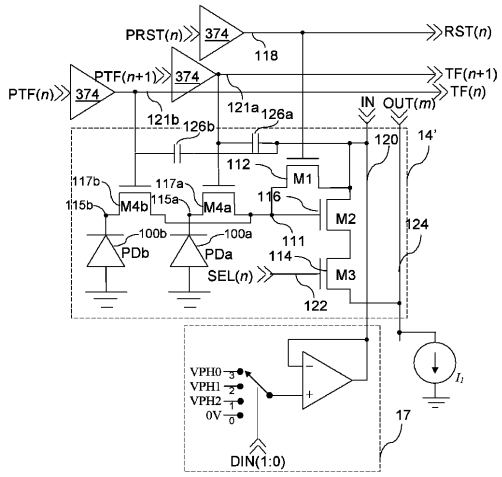


FIG. 12

【図１３】

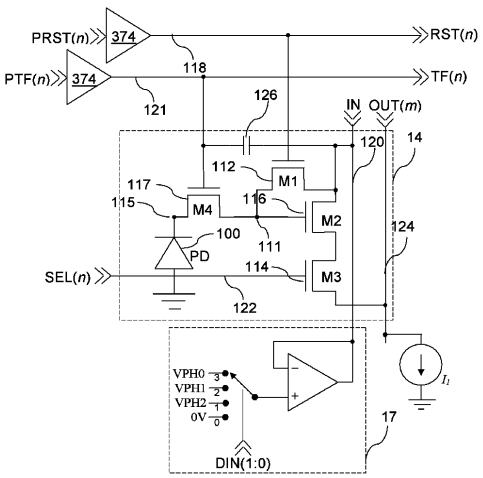


FIG. 13

【図１４Ａ】

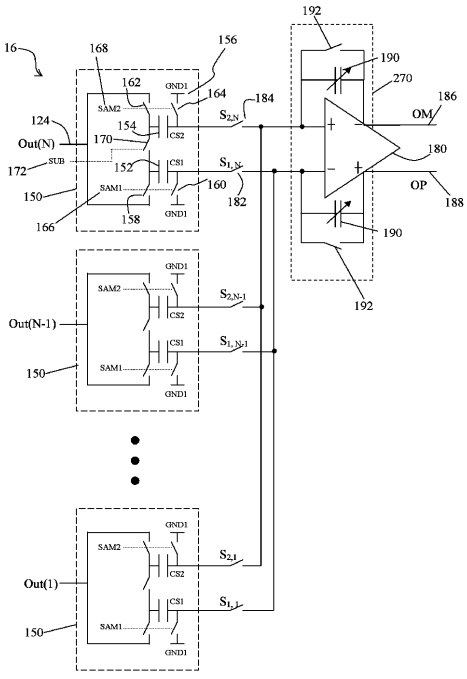


FIG. 14A

【図１４Ｂ】

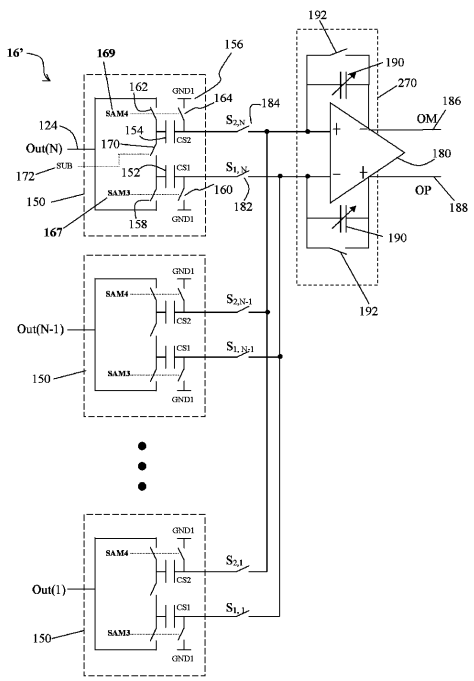


FIG. 14B

【図１４Ｃ】

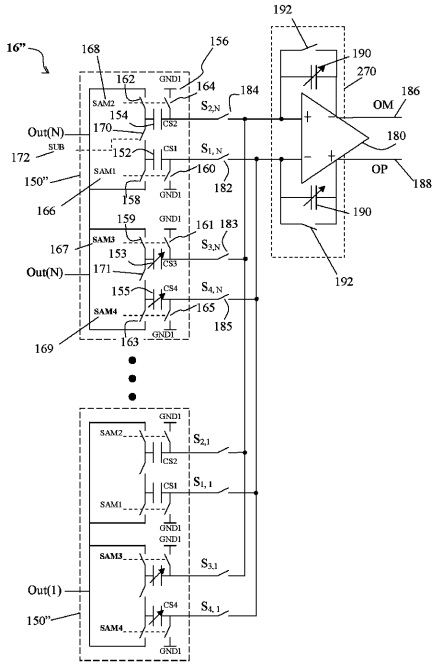


FIG. 14C

【図１９】

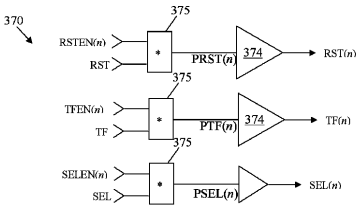


FIG. 19

【図２０】

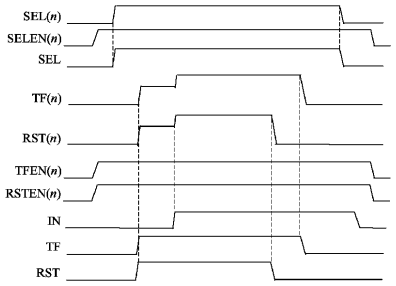


FIG. 20

【図２７】

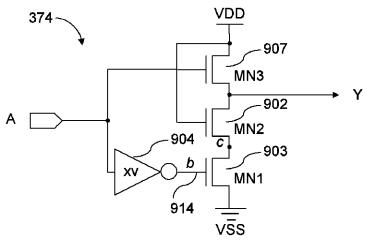
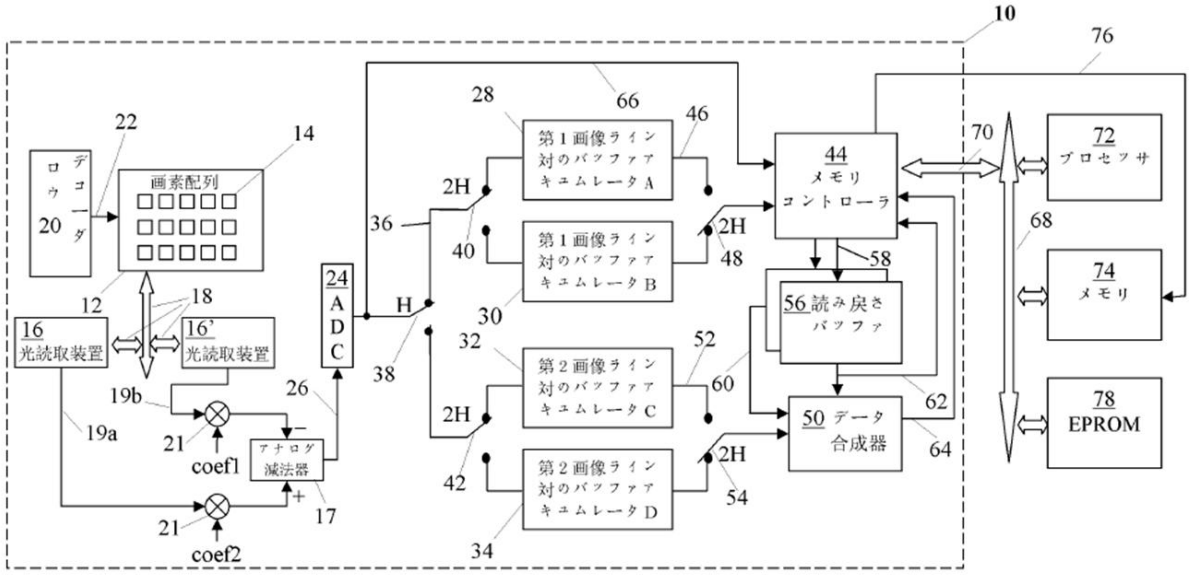
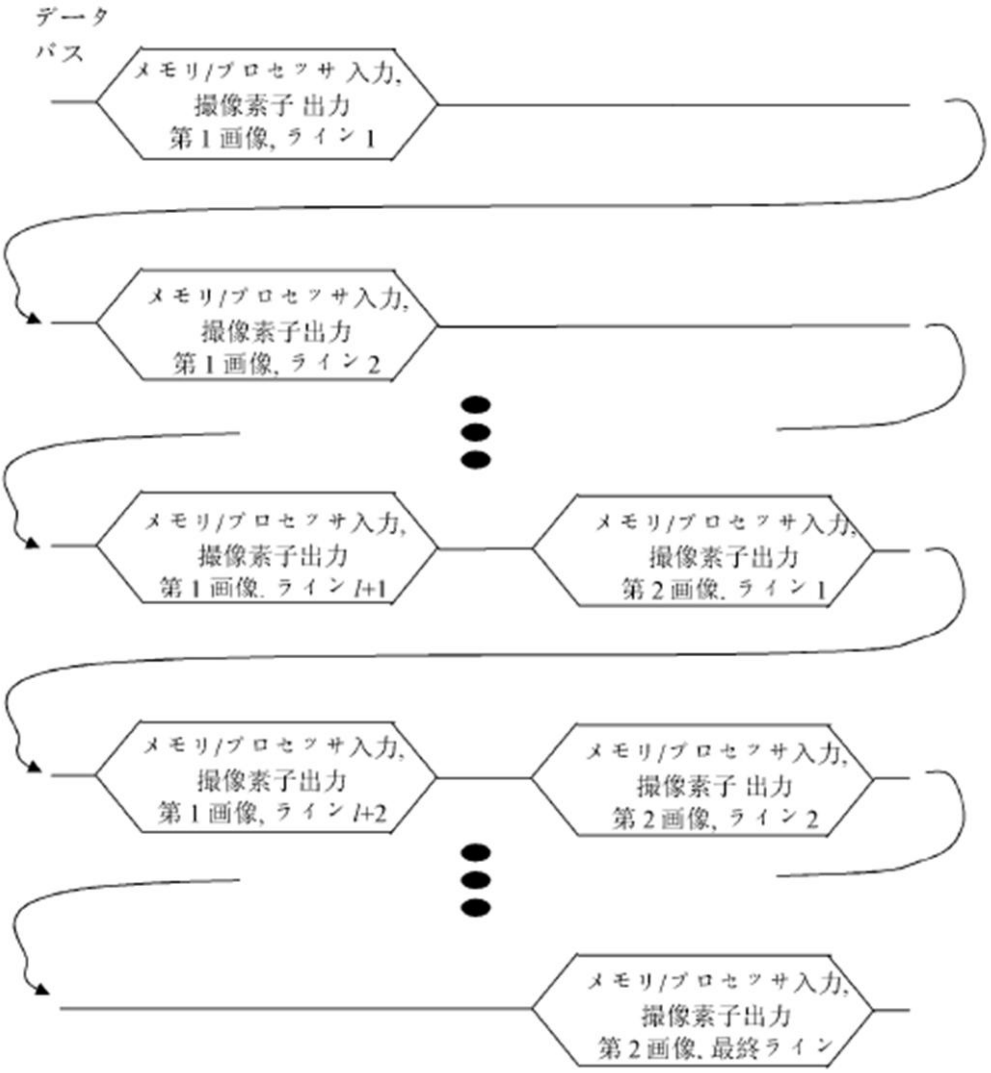


FIG. 27

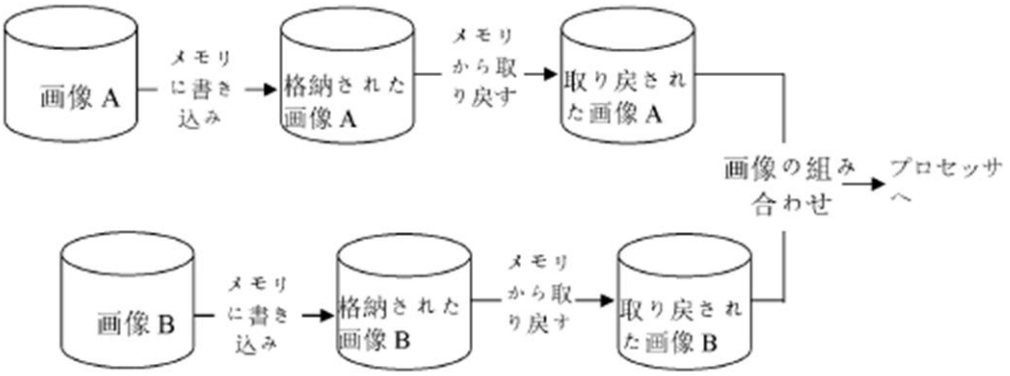
【図１】


10
76
22
14
ロウデコーダ
20
画素配列
12
18
16
光読取装置
16'
光読取装置
19b
19a
21
coef1
アナログ減法器
26
17
21
coef2
24
ADC
H
38
36
2H
40
28
66
第１画像ライン対のバッファアキュムレータA
46
第１画像ライン対のバッファアキュムレータB
30
2H
48
32
第２画像ライン対のバッファアキュムレータC
52
60
2H
42
第２画像ライン対のバッファアキュムレータD
34
2H
54
44
メモリコントローラ
58
56 読み戻さバッファ
62
50 データ合成器
64
70
72
プロセッサ
68
74
メモリ
78
EPROM

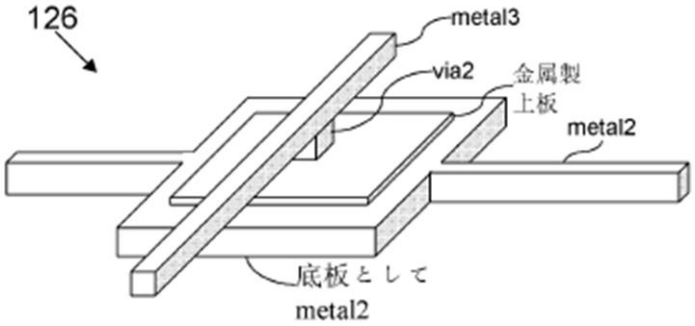
【図２】


データパス
メモリ/プロセッサ入力,
撮像素子出力
第１画像, ライン１
メモリ/プロセッサ入力,
撮像素子出力
第１画像, ライン２
メモリ/プロセッサ入力,
撮像素子出力
第１画像, ライン l+1
メモリ/プロセッサ入力,
撮像素子出力
第２画像, ライン１
メモリ/プロセッサ入力,
撮像素子出力
第１画像, ライン l+2
メモリ/プロセッサ入力,
撮像素子出力
第２画像, ライン２
メモリ/プロセッサ入力,
撮像素子出力
第２画像, 最終ライン

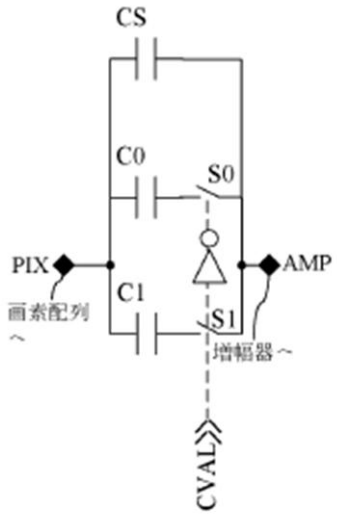
【図３】


画像 A
メモリに書き込み
格納された画像 A
メモリから取り戻す
取り戻された画像 A
画像の組み合わせ
プロセッサへ
画像 B
メモリに書き込み
格納された画像 B
メモリから取り戻す
取り戻された画像 B

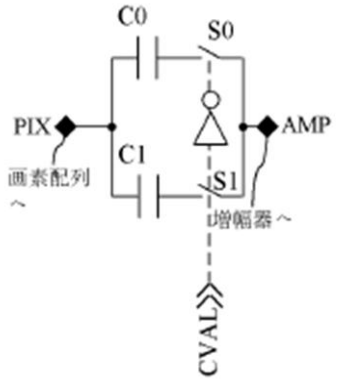
【図４】


126
metal3
via2
金属製上板
metal2
底板として metal2

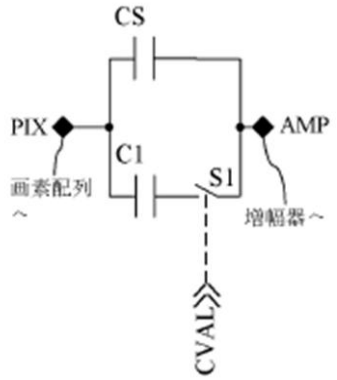
【図５】


CS
C0
S0
PIX
画素配列へ
C1
S1
AMP
増幅器へ
CVAL

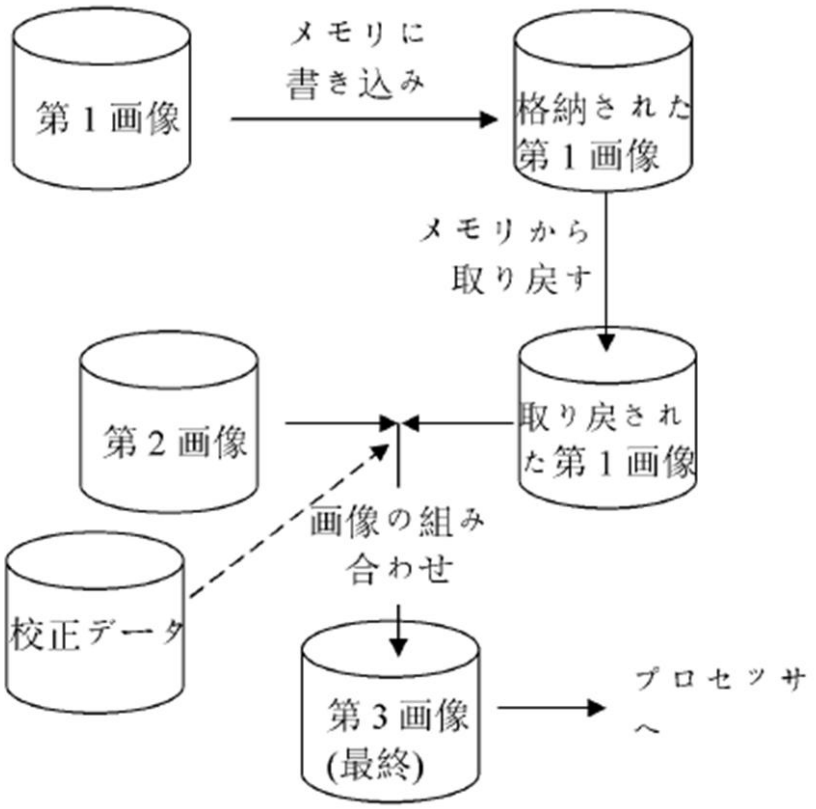
【図６】


C0
S0
PIX
AMP
C1
S1
画素配列へ
増幅器へ
CVAL

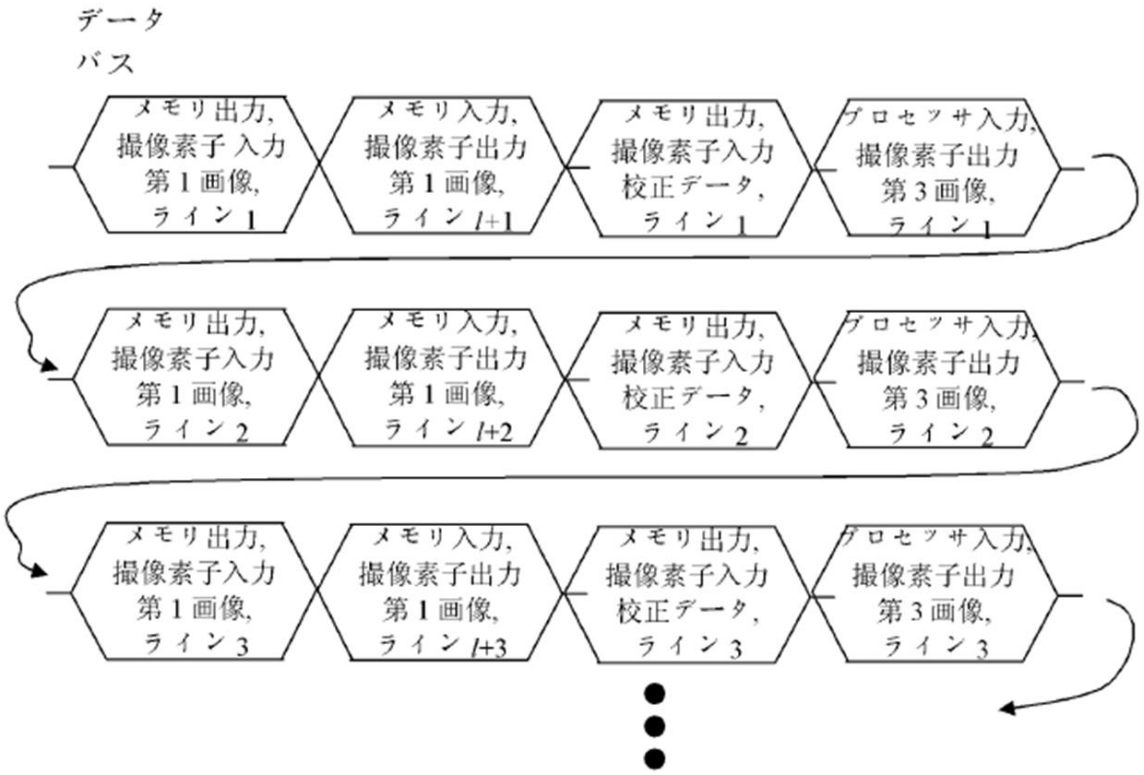
【図７】


CS
PIX
AMP
C1
S1
画素配列へ
増幅器へ
CVAL

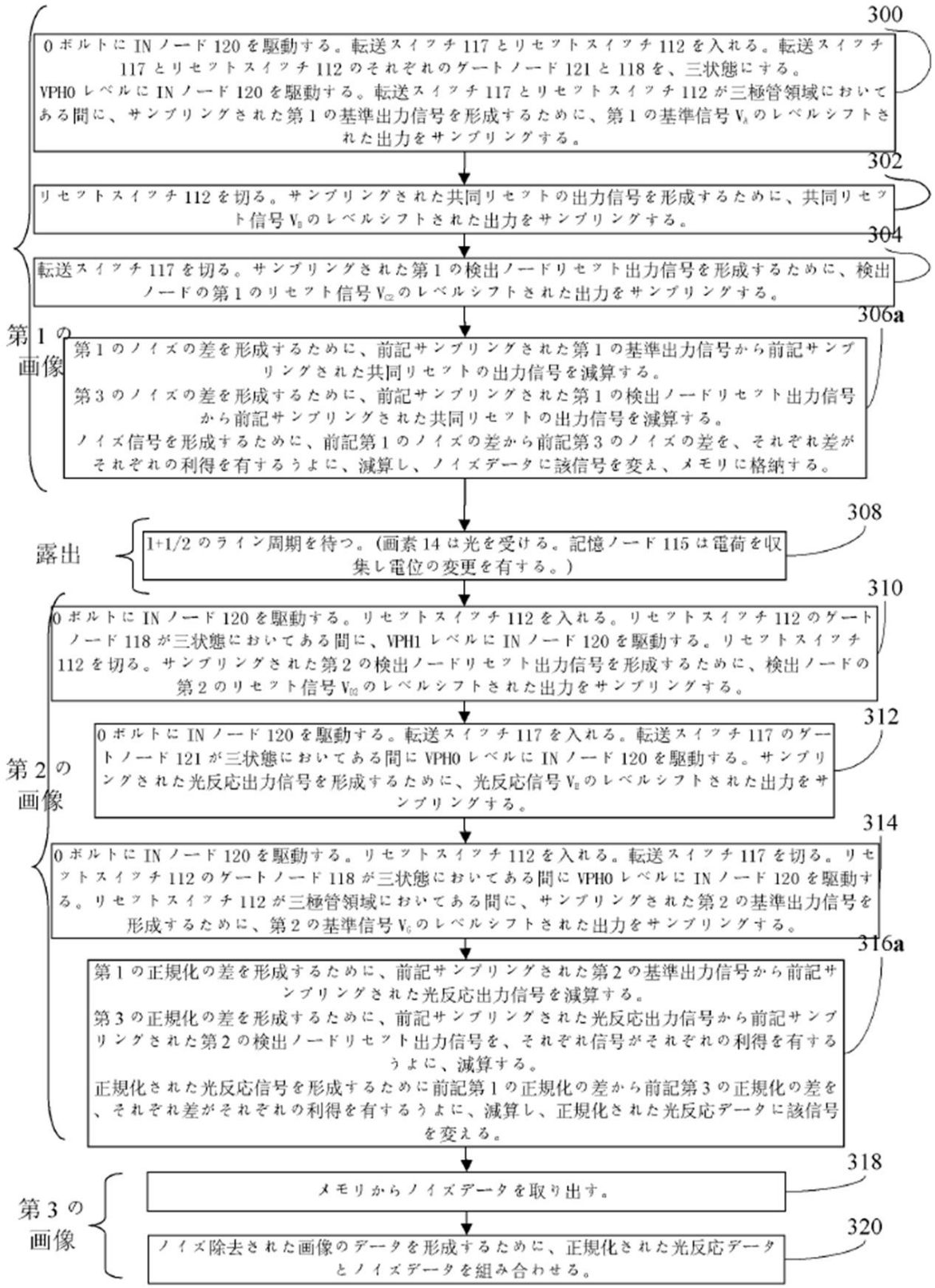
【図８】


第１画像
メモリに書き込み
格納された第１画像
メモリから取り戻す
第２画像
取り戻された第１画像
画像の組み合わせ
校正データ
第３画像(最終)
プロセッサへ

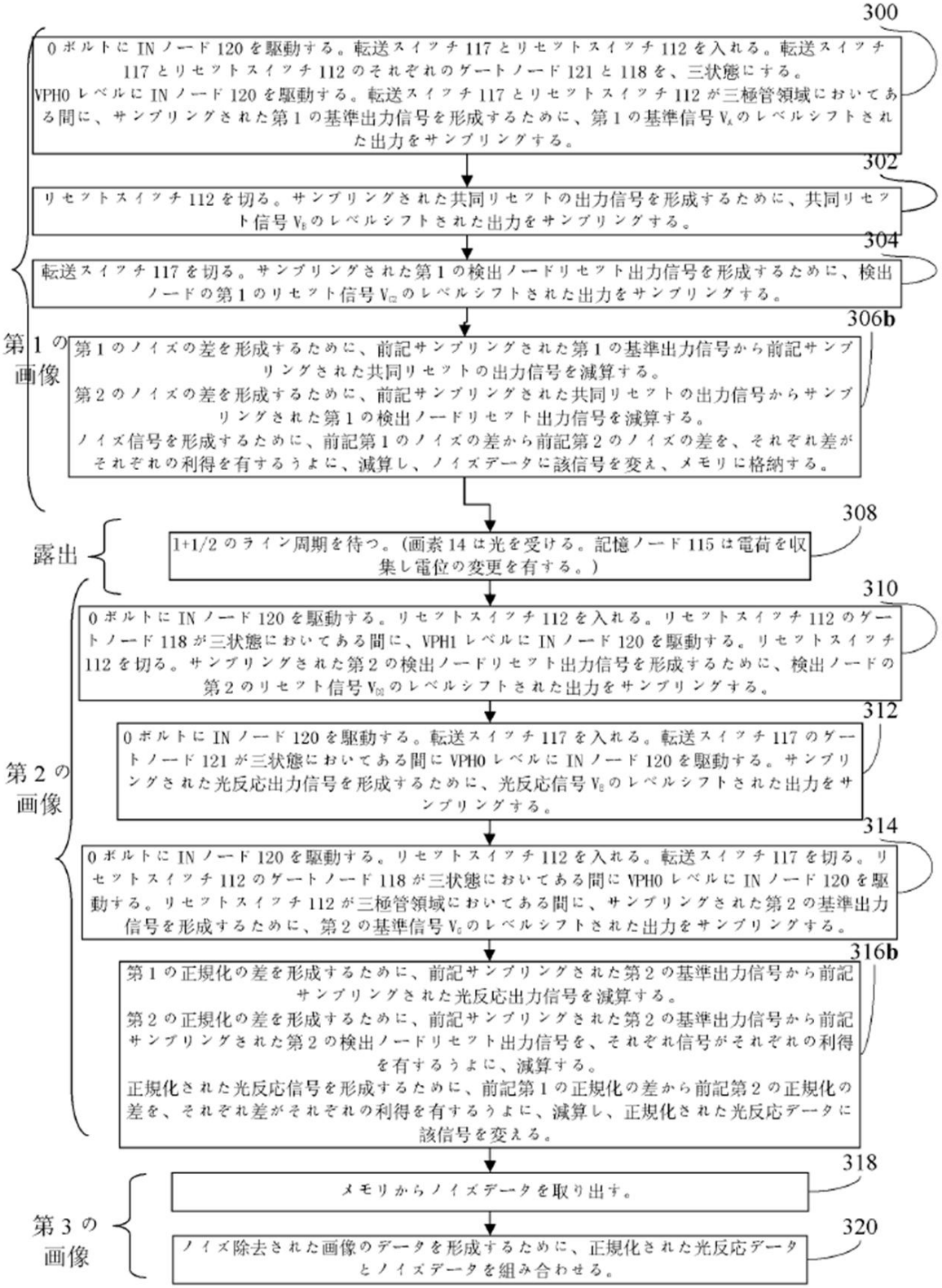
【図９】


データ
バス
メモリ出力,
撮像素子入力
第１画像,
ライン１
メモリ入力,
撮像素子出力
第１画像,
ライン l+1
メモリ出力,
撮像素子入力
校正データ,
ライン１
プロセッサ入力,
撮像素子出力
第３画像,
ライン１
メモリ出力,
撮像素子入力
第１画像,
ライン２
メモリ入力,
撮像素子出力
第１画像,
ライン l+2
メモリ出力,
撮像素子入力
校正データ,
ライン２
プロセッサ入力,
撮像素子出力
第３画像,
ライン２
メモリ出力,
撮像素子入力
第１画像,
ライン３
メモリ入力,
撮像素子出力
第１画像,
ライン l+3
メモリ出力,
撮像素子入力
校正データ,
ライン３
プロセッサ入力,
撮像素子出力
第３画像,
ライン３

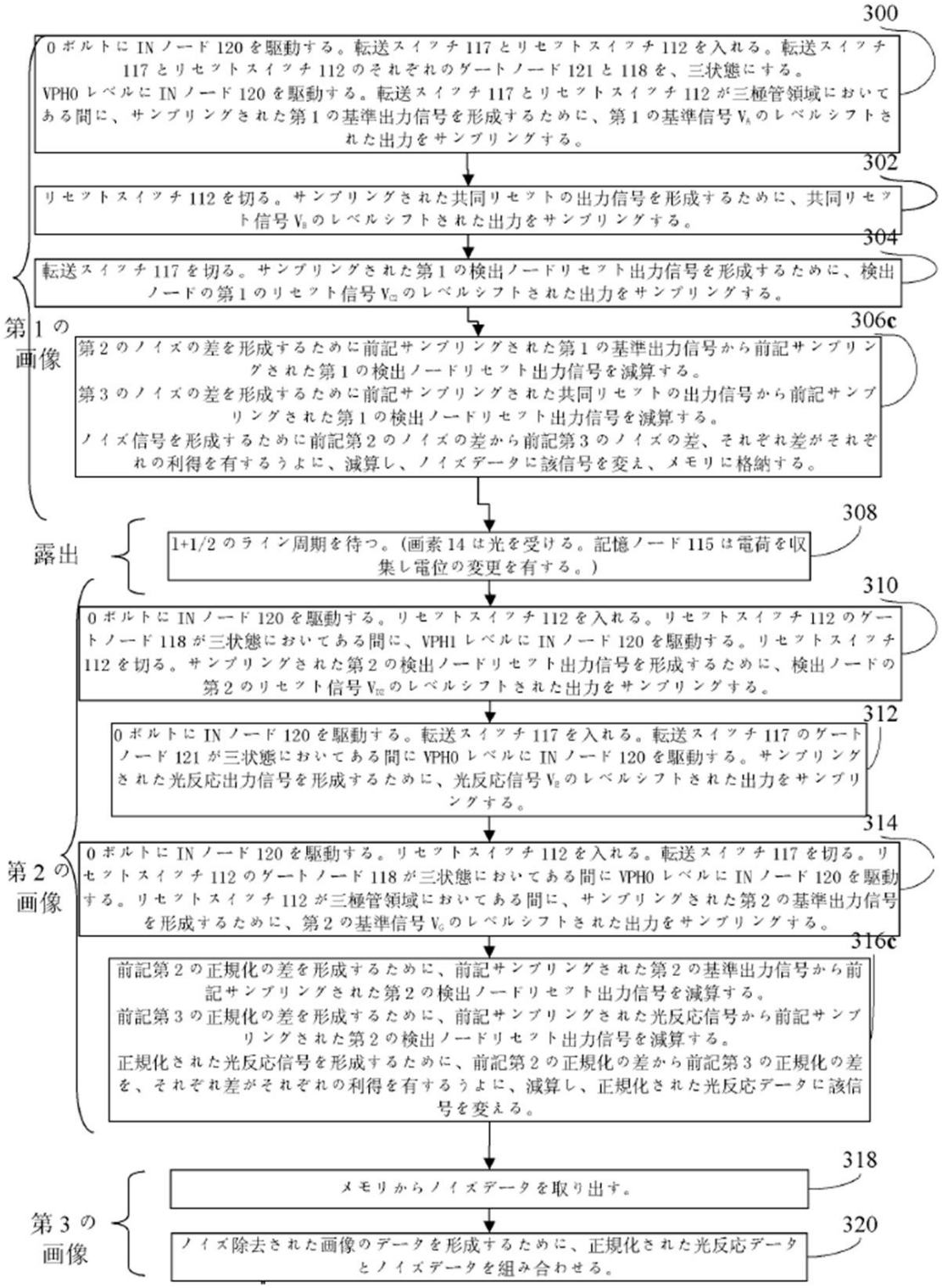
【図１５Ａ】


300
0ボルトにINノード120を駆動する。転送スイッチ117とリセットスイッチ112を入れる。転送スイッチ117とリセットスイッチ112のそれぞれのゲートノード121と118を、三状態にする。
VPH0レベルにINノード120を駆動する。転送スイッチ117とリセットスイッチ112が三極管領域においてある間に、サンプリングされた第1の基準出力信号を形成するために、第1の基準信号V_Aのレベルシフトされた出力をサンプリングする。
302
リセットスイッチ112を切る。サンプリングされた共同リセットの出力信号を形成するために、共同リセット信号V_Bのレベルシフトされた出力をサンプリングする。
304
転送スイッチ117を切る。サンプリングされた第1の検出ノードリセット出力信号を形成するために、検出ノードの第1のリセット信号V_{C2}のレベルシフトされた出力をサンプリングする。
第1の画像
306a
第1のノイズの差を形成するために、前記サンプリングされた第1の基準出力信号から前記サンプリングされた共同リセットの出力信号を減算する。
第3のノイズの差を形成するために、前記サンプリングされた第1の検出ノードリセット出力信号から前記サンプリングされた共同リセットの出力信号を減算する。
ノイズ信号を形成するために、前記第1のノイズの差から前記第3のノイズの差を、それぞれ差がそれぞれの利得を有するうように、減算し、ノイズデータに該信号を変え、メモリに格納する。
露出
308
1+1/2のライン周期を待つ。(画素14は光を受ける。記憶ノード115は電荷を収集し電位の変更を有する。)
310
0ボルトにINノード120を駆動する。リセットスイッチ112を入れる。リセットスイッチ112のゲートノード118が三状態においてある間に、VPH1レベルにINノード120を駆動する。リセットスイッチ112を切る。サンプリングされた第2の検出ノードリセット出力信号を形成するために、検出ノードの第2のリセット信号V_{D2}のレベルシフトされた出力をサンプリングする。
312
0ボルトにINノード120を駆動する。転送スイッチ117を入れる。転送スイッチ117のゲートノード121が三状態においてある間にVPH0レベルにINノード120を駆動する。サンプリングされた光反応出力信号を形成するために、光反応信号V_Eのレベルシフトされた出力をサンプリングする。
第2の画像
314
0ボルトにINノード120を駆動する。リセットスイッチ112を入れる。転送スイッチ117を切る。リセットスイッチ112のゲートノード118が三状態においてある間にVPH0レベルにINノード120を駆動する。リセットスイッチ112が三極管領域においてある間に、サンプリングされた第2の基準出力信号を形成するために、第2の基準信号V_Cのレベルシフトされた出力をサンプリングする。
316a
第1の正規化の差を形成するために、前記サンプリングされた第2の基準出力信号から前記サンプリングされた光反応出力信号を減算する。
第3の正規化の差を形成するために、前記サンプリングされた光反応出力信号から前記サンプリングされた第2の検出ノードリセット出力信号を、それぞれ信号がそれぞれの利得を有するうように、減算する。
正規化された光反応信号を形成するために前記第1の正規化の差から前記第3の正規化の差を、それぞれ差がそれぞれの利得を有するうように、減算し、正規化された光反応データに該信号を変える。
318
メモリからノイズデータを取り出す。
第3の画像
320
ノイズ除去された画像のデータを形成するために、正規化された光反応データとノイズデータを組み合わせる。

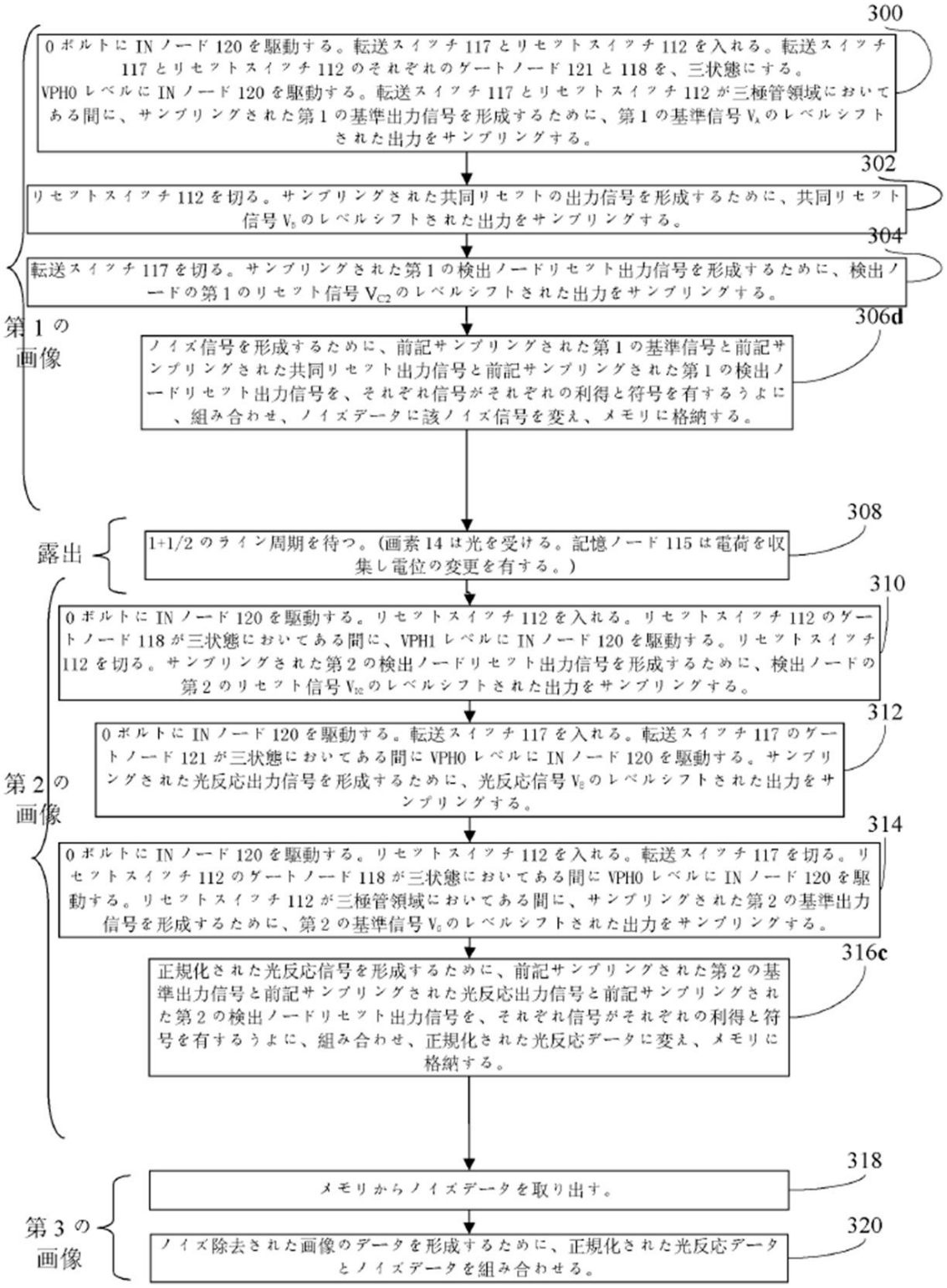
【図１５Ｂ】


300
0ボルトにINノード120を駆動する。転送スイッチ117とリセットスイッチ112を入れる。転送スイッチ117とリセットスイッチ112のそれぞれのゲートノード121と118を、三状態にする。
VPH0レベルにINノード120を駆動する。転送スイッチ117とリセットスイッチ112が三極管領域においてある間に、サンプリングされた第1の基準出力信号を形成するために、第1の基準信号V_Aのレベルシフトされた出力をサンプリングする。
302
リセットスイッチ112を切る。サンプリングされた共同リセットの出力信号を形成するために、共同リセット信号V_Bのレベルシフトされた出力をサンプリングする。
304
転送スイッチ117を切る。サンプリングされた第1の検出ノードリセット出力信号を形成するために、検出ノードの第1のリセット信号V_{D1}のレベルシフトされた出力をサンプリングする。
第1の画像
306b
第1のノイズの差を形成するために、前記サンプリングされた第1の基準出力信号から前記サンプリングされた共同リセットの出力信号を減算する。
第2のノイズの差を形成するために、前記サンプリングされた共同リセットの出力信号からサンプリングされた第1の検出ノードリセット出力信号を減算する。
ノイズ信号を形成するために、前記第1のノイズの差から前記第2のノイズの差を、それぞれ差がそれぞれの利得を有するように、減算し、ノイズデータに該信号を変え、メモリに格納する。
露出
308
1+1/2のライン周期を待つ。(画素14は光を受ける。記憶ノード115は電荷を収集し電位の変更を有する。)
310
0ボルトにINノード120を駆動する。リセットスイッチ112を入れる。リセットスイッチ112のゲートノード118が三状態においてある間に、VPH1レベルにINノード120を駆動する。リセットスイッチ112を切る。サンプリングされた第2の検出ノードリセット出力信号を形成するために、検出ノードの第2のリセット信号V_{D2}のレベルシフトされた出力をサンプリングする。
312
0ボルトにINノード120を駆動する。転送スイッチ117を入れる。転送スイッチ117のゲートノード121が三状態においてある間にVPH0レベルにINノード120を駆動する。サンプリングされた光反応出力信号を形成するために、光反応信号V_Eのレベルシフトされた出力をサンプリングする。
第2の画像
314
0ボルトにINノード120を駆動する。リセットスイッチ112を入れる。転送スイッチ117を切る。リセットスイッチ112のゲートノード118が三状態においてある間にVPH0レベルにINノード120を駆動する。リセットスイッチ112が三極管領域においてある間に、サンプリングされた第2の基準出力信号を形成するために、第2の基準信号V_Cのレベルシフトされた出力をサンプリングする。
316b
第1の正規化の差を形成するために、前記サンプリングされた第2の基準出力信号から前記サンプリングされた光反応出力信号を減算する。
第2の正規化の差を形成するために、前記サンプリングされた第2の基準出力信号から前記サンプリングされた第2の検出ノードリセット出力信号を、それぞれ信号がそれぞれの利得を有するように、減算する。
正規化された光反応信号を形成するために、前記第1の正規化の差から前記第2の正規化の差を、それぞれ差がそれぞれの利得を有するように、減算し、正規化された光反応データに該信号を変える。
318
メモリからノイズデータを取り出す。
第3の画像
320
ノイズ除去された画像のデータを形成するために、正規化された光反応データとノイズデータを組み合わせる。

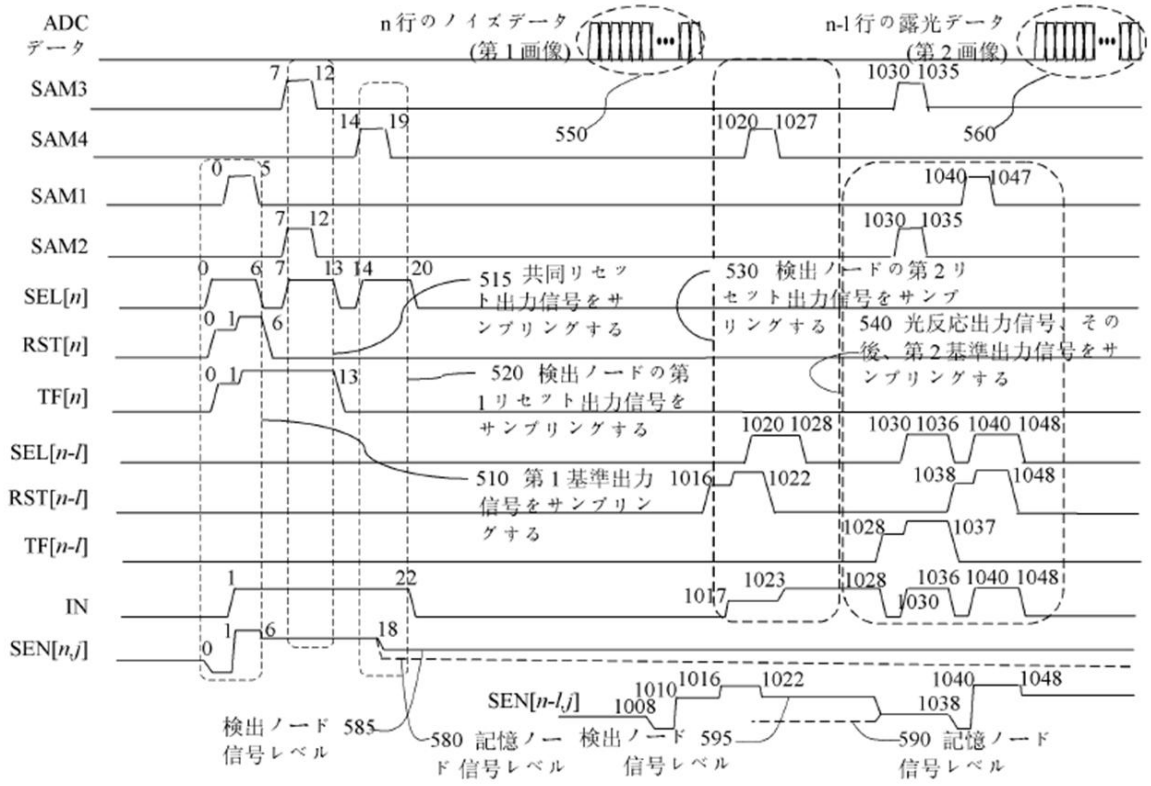
【図１５Ｃ】


300
0ボルトにINノード120を駆動する。転送スイッチ117とリセットスイッチ112を入れる。転送スイッチ117とリセットスイッチ112のそれぞれのゲートノード121と118を、三状態にする。
VPH0レベルにINノード120を駆動する。転送スイッチ117とリセットスイッチ112が三極管領域においてある間に、サンプリングされた第1の基準出力信号を形成するために、第1の基準信号V_Aのレベルシフトされた出力をサンプリングする。
302
リセットスイッチ112を切る。サンプリングされた共同リセットの出力信号を形成するために、共同リセット信号V_Bのレベルシフトされた出力をサンプリングする。
304
転送スイッチ117を切る。サンプリングされた第1の検出ノードリセット出力信号を形成するために、検出ノードの第1のリセット信号V_{C1}のレベルシフトされた出力をサンプリングする。
第1の画像
306c
第2のノイズの差を形成するために前記サンプリングされた第1の基準出力信号から前記サンプリングされた第1の検出ノードリセット出力信号を減算する。
第3のノイズの差を形成するために前記サンプリングされた共同リセットの出力信号から前記サンプリングされた第1の検出ノードリセット出力信号を減算する。
ノイズ信号を形成するために前記第2のノイズの差から前記第3のノイズの差、それぞれ差がそれぞれの利得を有するうように、減算し、ノイズデータに該信号を変え、メモリに格納する。
露出
308
1+1/2のライン周期を待つ。(画素14は光を受ける。記憶ノード115は電荷を収集し電位の変更を有する。)
310
0ボルトにINノード120を駆動する。リセットスイッチ112を入れる。リセットスイッチ112のゲートノード118が三状態においてある間に、VPH1レベルにINノード120を駆動する。リセットスイッチ112を切る。サンプリングされた第2の検出ノードリセット出力信号を形成するために、検出ノードの第2のリセット信号V_{C2}のレベルシフトされた出力をサンプリングする。
312
0ボルトにINノード120を駆動する。転送スイッチ117を入れる。転送スイッチ117のゲートノード121が三状態においてある間にVPH0レベルにINノード120を駆動する。サンプリングされた光反応出力信号を形成するために、光反応信号V_Eのレベルシフトされた出力をサンプリングする。
314
0ボルトにINノード120を駆動する。リセットスイッチ112を入れる。転送スイッチ117を切る。リセットスイッチ112のゲートノード118が三状態においてある間にVPH0レベルにINノード120を駆動する。リセットスイッチ112が三極管領域においてある間に、サンプリングされた第2の基準出力信号を形成するために、第2の基準信号V_Cのレベルシフトされた出力をサンプリングする。
第2の画像
316c
前記第2の正規化の差を形成するために、前記サンプリングされた第2の基準出力信号から前記サンプリングされた第2の検出ノードリセット出力信号を減算する。
前記第3の正規化の差を形成するために、前記サンプリングされた光反応信号から前記サンプリングされた第2の検出ノードリセット出力信号を減算する。
正規化された光反応信号を形成するために、前記第2の正規化の差から前記第3の正規化の差を、それぞれ差がそれぞれの利得を有するうように、減算し、正規化された光反応データに該信号を変える。
318
メモリからノイズデータを取り出す。
320
ノイズ除去された画像のデータを形成するために、正規化された光反応データとノイズデータを組み合わせる。
第3の画像

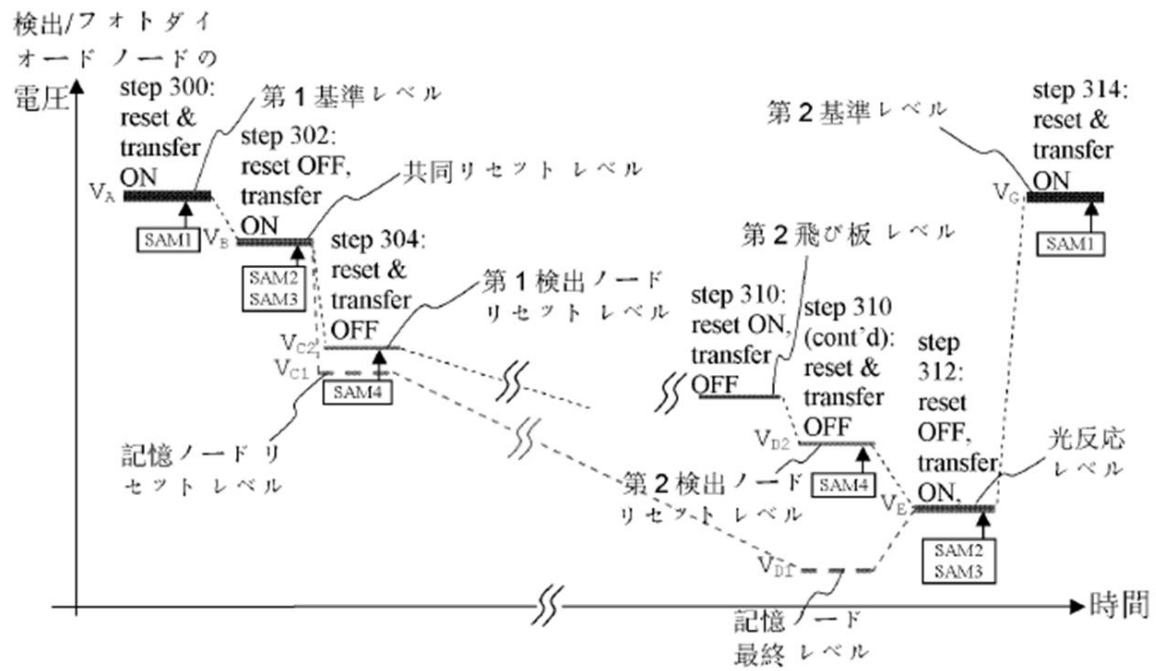
【図１５Ｄ】


300
0ボルトにINノード120を駆動する。転送スイッチ117とリセットスイッチ112を入れる。転送スイッチ117とリセットスイッチ112のそれぞれのゲートノード121と118を、三状態にする。
VPH0レベルにINノード120を駆動する。転送スイッチ117とリセットスイッチ112が三極管領域においてある間に、サンプリングされた第1の基準出力信号を形成するために、第1の基準信号V_Aのレベルシフトされた出力をサンプリングする。
302
リセットスイッチ112を切る。サンプリングされた共同リセットの出力信号を形成するために、共同リセット信号V_Dのレベルシフトされた出力をサンプリングする。
304
転送スイッチ117を切る。サンプリングされた第1の検出ノードリセット出力信号を形成するために、検出ノードの第1のリセット信号V_{C2}のレベルシフトされた出力をサンプリングする。
第1の画像
306d
ノイズ信号を形成するために、前記サンプリングされた第1の基準信号と前記サンプリングされた共同リセット出力信号と前記サンプリングされた第1の検出ノードリセット出力信号を、それぞれ信号がそれぞれの利得と符号を有するように、組み合わせ、ノイズデータに該ノイズ信号を変え、メモリに格納する。
露出
308
1+1/2のライン周期を待つ。(画素14は光を受ける。記憶ノード115は電荷を収集し電位の変更を有する。)
310
0ボルトにINノード120を駆動する。リセットスイッチ112を入れる。リセットスイッチ112のゲートノード118が三状態においてある間に、VPH1レベルにINノード120を駆動する。リセットスイッチ112を切る。サンプリングされた第2の検出ノードリセット出力信号を形成するために、検出ノードの第2のリセット信号V_{D2}のレベルシフトされた出力をサンプリングする。
312
0ボルトにINノード120を駆動する。転送スイッチ117を入れる。転送スイッチ117のゲートノード121が三状態においてある間にVPH0レベルにINノード120を駆動する。サンプリングされた光反応出力信号を形成するために、光反応信号V_Sのレベルシフトされた出力をサンプリングする。
第2の画像
314
0ボルトにINノード120を駆動する。リセットスイッチ112を入れる。転送スイッチ117を切る。リセットスイッチ112のゲートノード118が三状態においてある間にVPH0レベルにINノード120を駆動する。リセットスイッチ112が三極管領域においてある間に、サンプリングされた第2の基準出力信号を形成するために、第2の基準信号V_Sのレベルシフトされた出力をサンプリングする。
316c
正規化された光反応信号を形成するために、前記サンプリングされた第2の基準出力信号と前記サンプリングされた光反応出力信号と前記サンプリングされた第2の検出ノードリセット出力信号を、それぞれ信号がそれぞれの利得と符号を有するように、組み合わせ、正規化された光反応データに変え、メモリに格納する。
318
メモリからノイズデータを取り出す。
第3の画像
320
ノイズ除去された画像のデータを形成するために、正規化された光反応データとノイズデータを組み合わせる。

【図１６】

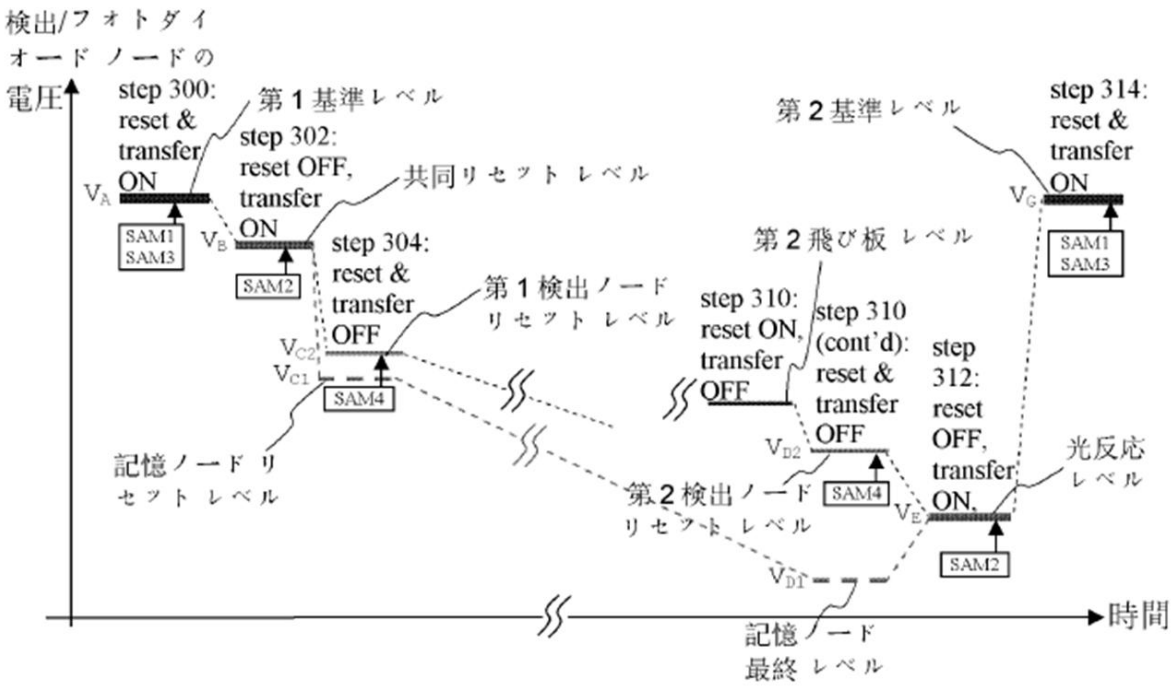

ADC データ
n行のノイズデータ (第1画像)
n-1行の露光データ (第2画像)
SAM3
SAM4
SAM1
SAM2
SEL[n]
RST[n]
TF[n]
SEL[n-l]
RST[n-l]
TF[n-l]
IN
SEN[n,j]
SEN[n-l,j]
515 共同リセット出力信号をサンプリングする
530 検出ノードの第2リセット出力信号をサンプリングする
540 光反応出力信号、その後、第2基準出力信号をサンプリングする
520 検出ノードの第1リセット出力信号をサンプリングする
510 第1基準出力信号をサンプリングする
検出ノード信号レベル
580 記憶ノード信号レベル
検出ノード信号レベル
590 記憶ノード信号レベル

【図１７Ａ】


第２ノイズと正規化方法:
検出/フォトダイオードノードの電圧
step 300: reset & transfer ON
第１基準レベル
step 302: reset OFF, transfer ON
共同リセットレベル
step 304: reset & transfer OFF
第１検出ノードリセットレベル
記憶ノードリセットレベル
第２基準レベル
step 314: reset & transfer ON
第２飛び板レベル
step 310: reset ON, transfer OFF
step 310 (cont'd): reset & transfer OFF
step 312: reset OFF, transfer ON,
光反応レベル
第２検出ノードリセットレベル
記憶ノード最終レベル
時間
SAM1
SAM2 SAM3
SAM4

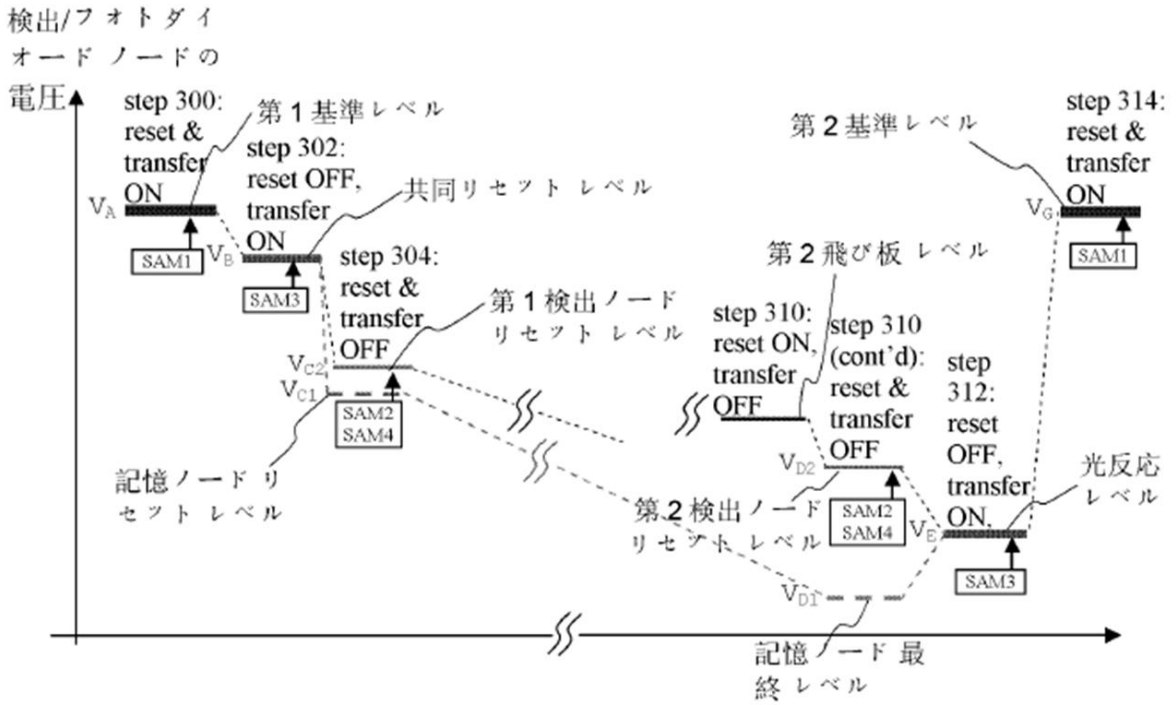
【図１７Ｂ】

第１ノイズと正規化方法:



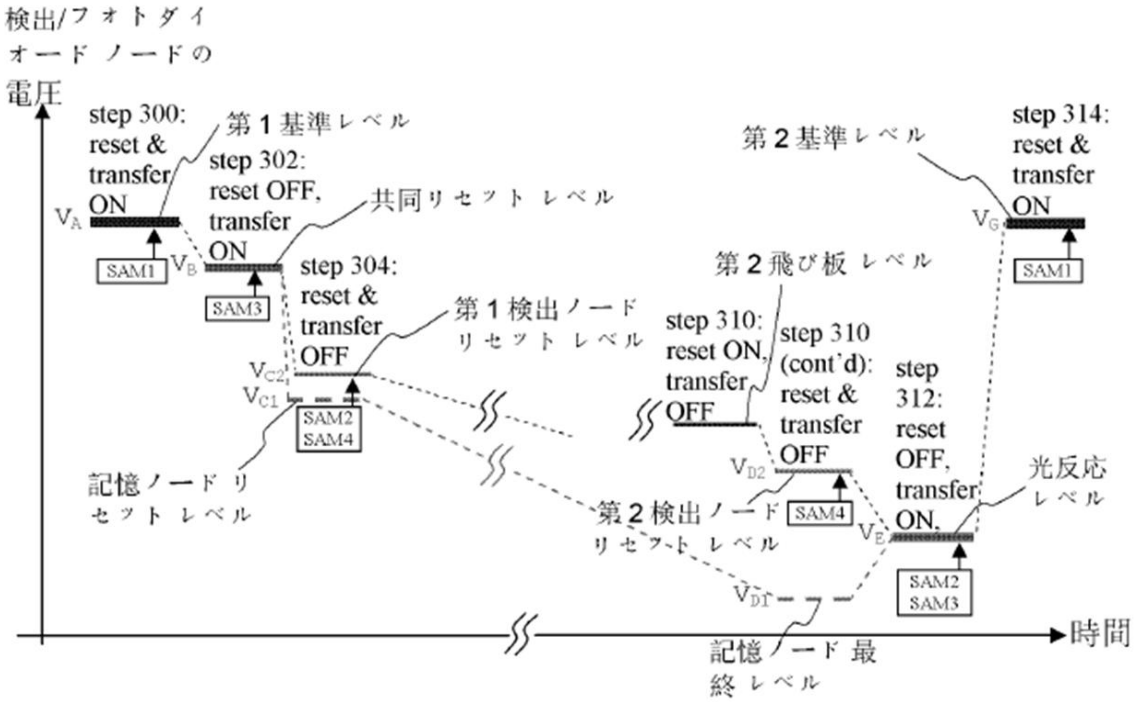
【図１７Ｃ】

第３ノイズと正規化方法:



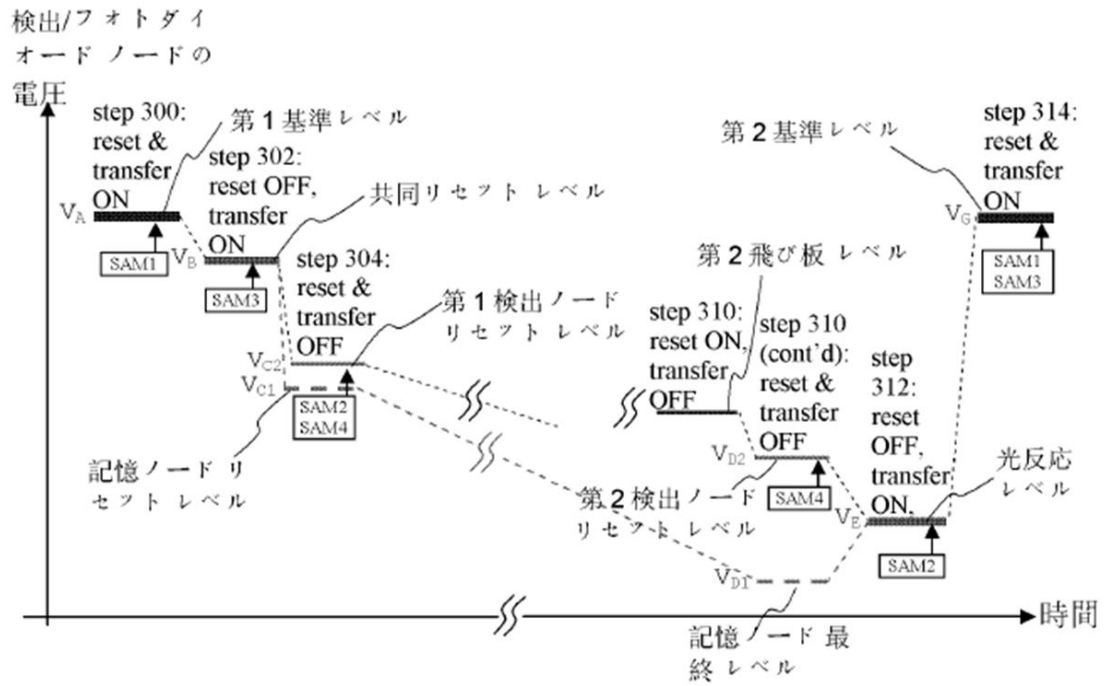
【図１７Ｄ】

混合第３ノイズ方法と第２正規化方法:



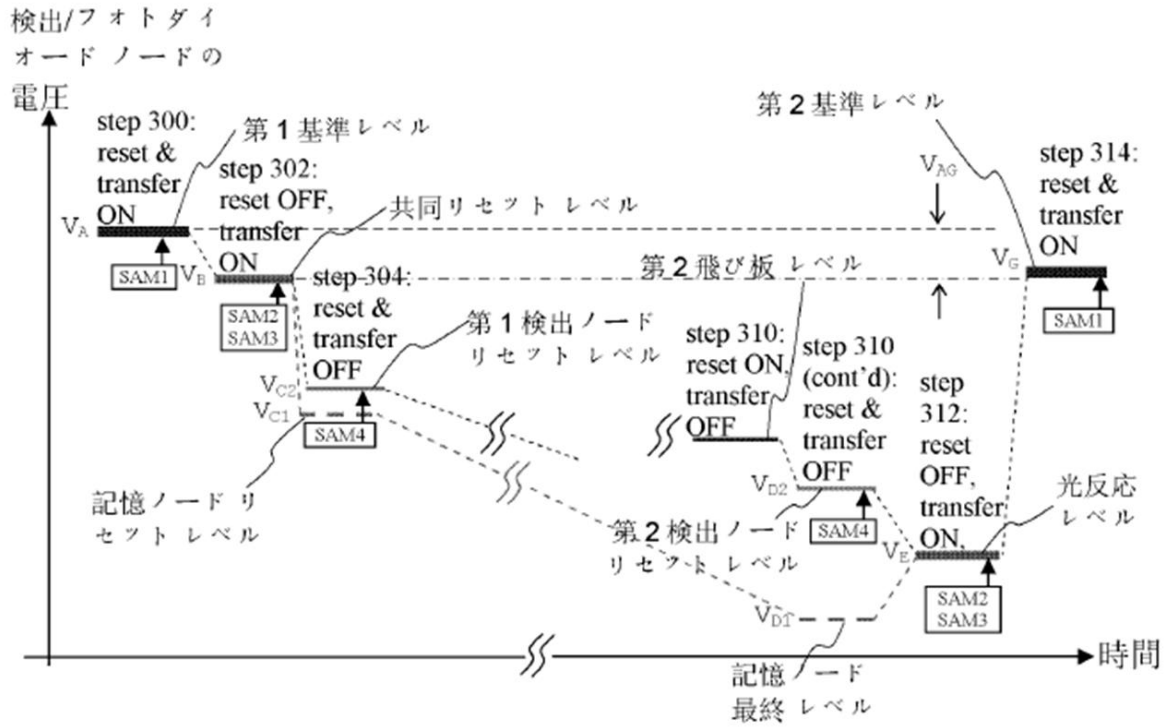
【図１７Ｅ】

混合第３ノイズ方法と第１正規化方法:



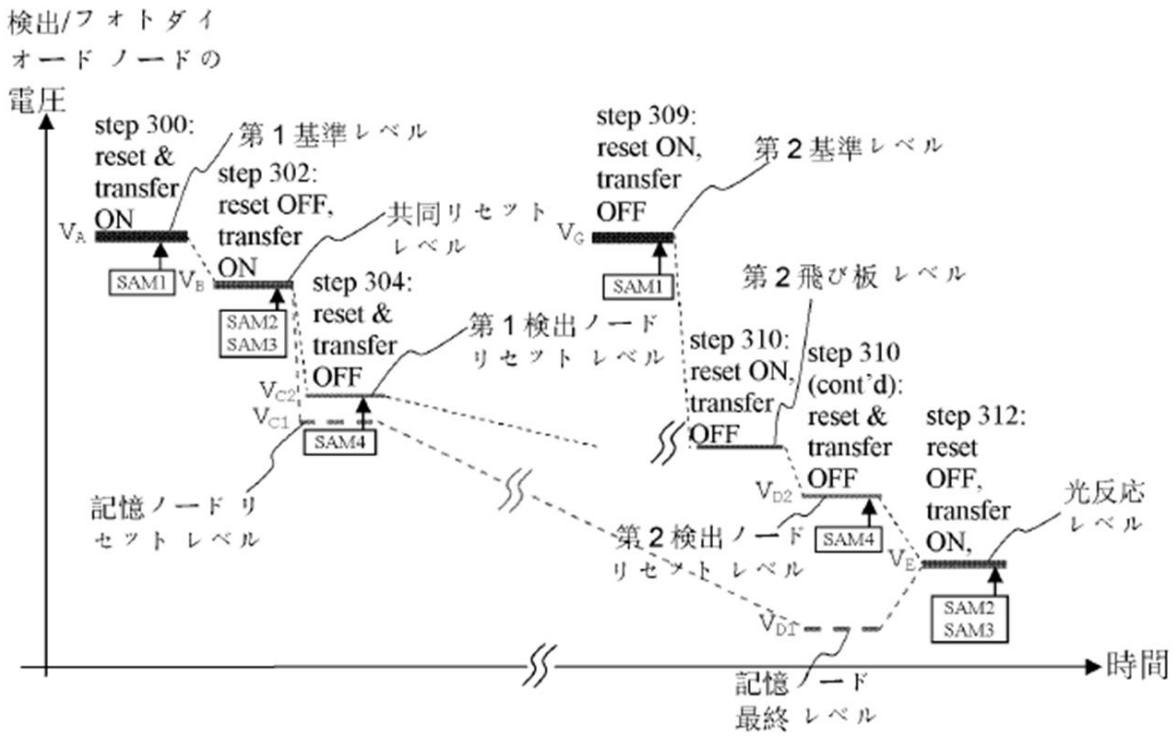
【図１７Ｆ】

第２ノイズと正規化方法, 第２基準とは異なる第１基準

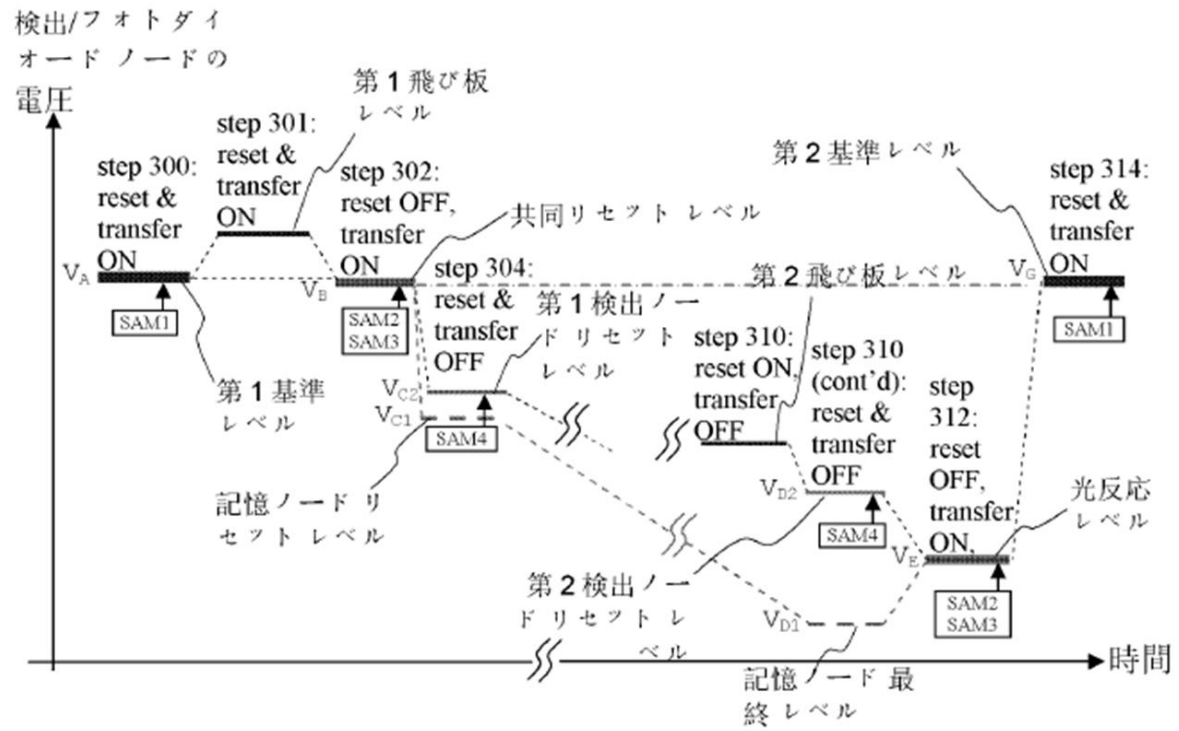


【図１７Ｇ】

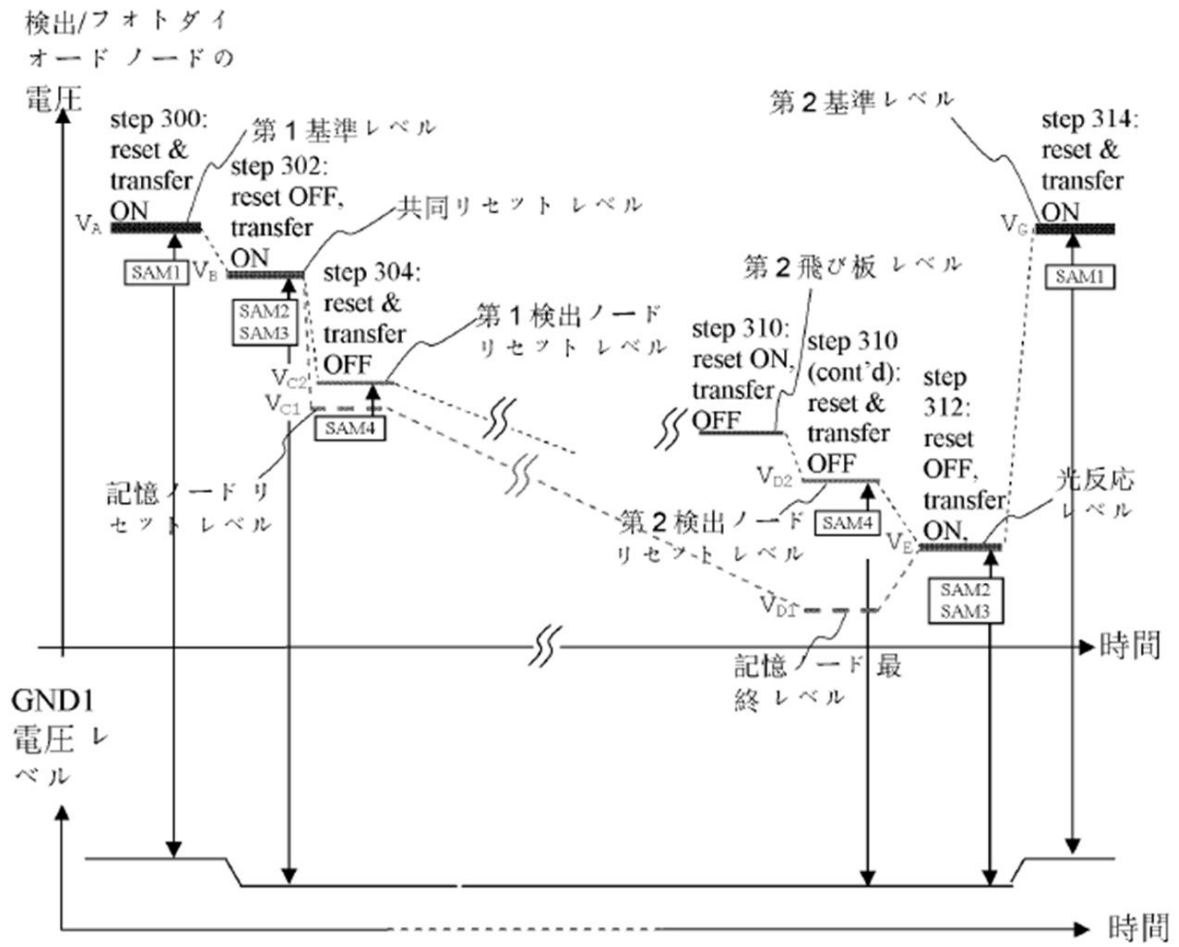
第２ノイズと正規化方法.



【図１７Ｈ】

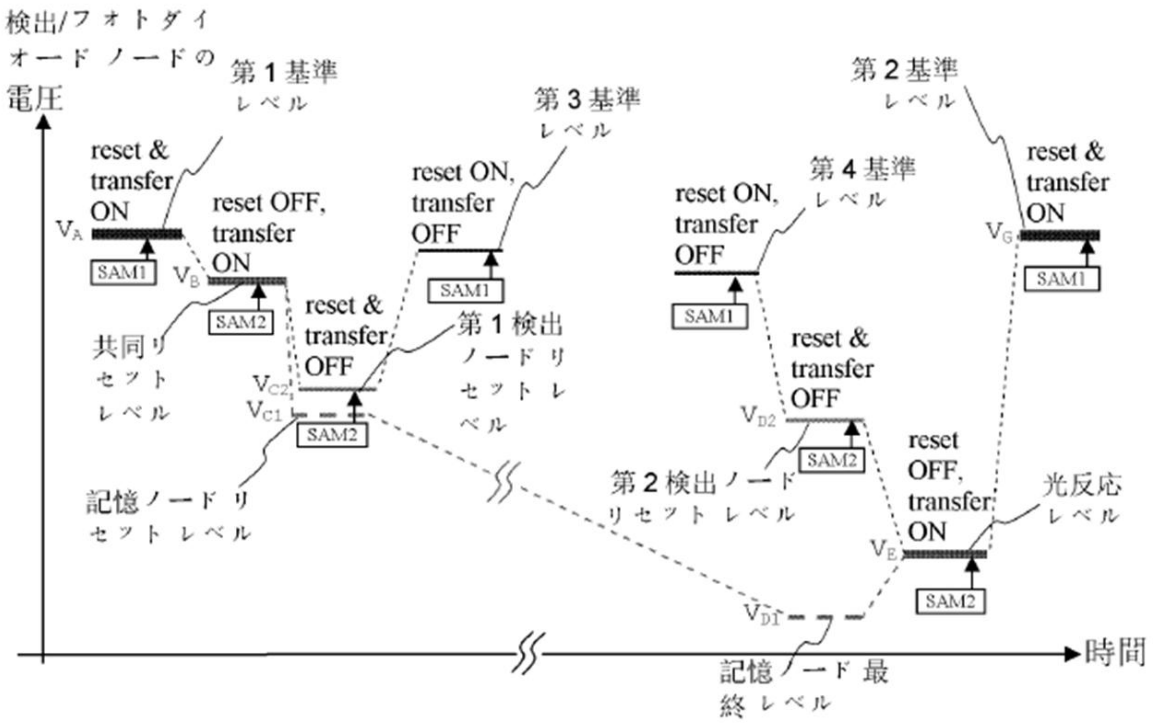

第２ノイズと正規化方法.
検出/フォトダイオードノードの電圧
第１飛び板レベル
step 301: reset & transfer ON
step 300: reset & transfer ON
step 302: reset OFF, transfer ON
共同リセットレベル
第２基準レベル
step 314: reset & transfer ON
step 304: reset & transfer OFF
第２飛び板レベル
第１検出ノードリセットレベル
step 310: reset ON, transfer OFF
step 310 (cont'd): reset & transfer OFF
step 312: reset OFF, transfer ON,
光反応レベル
第１基準レベル
記憶ノードリセットレベル
第２検出ノードリセットレベル
記憶ノード最終レベル
時間
SAM1
SAM2 SAM3
SAM4

【図１７Ｉ】


第２ノイズと正規化方法.
検出/フォトダイオードノードの電圧
step 300: reset & transfer ON
第１基準レベル
step 302: reset OFF, transfer ON
共同リセットレベル
第２基準レベル
step 314: reset & transfer ON
step 304: reset & transfer OFF
第２飛び板レベル
第１検出ノードリセットレベル
step 310: reset ON, transfer OFF
step 310 (cont'd): reset & transfer OFF
step 312: reset OFF, transfer ON,
光反応レベル
記憶ノードリセットレベル
第２検出ノードリセットレベル
記憶ノード最終レベル
時間
GND1電圧レベル
時間
SAM1
SAM2 SAM3
SAM4

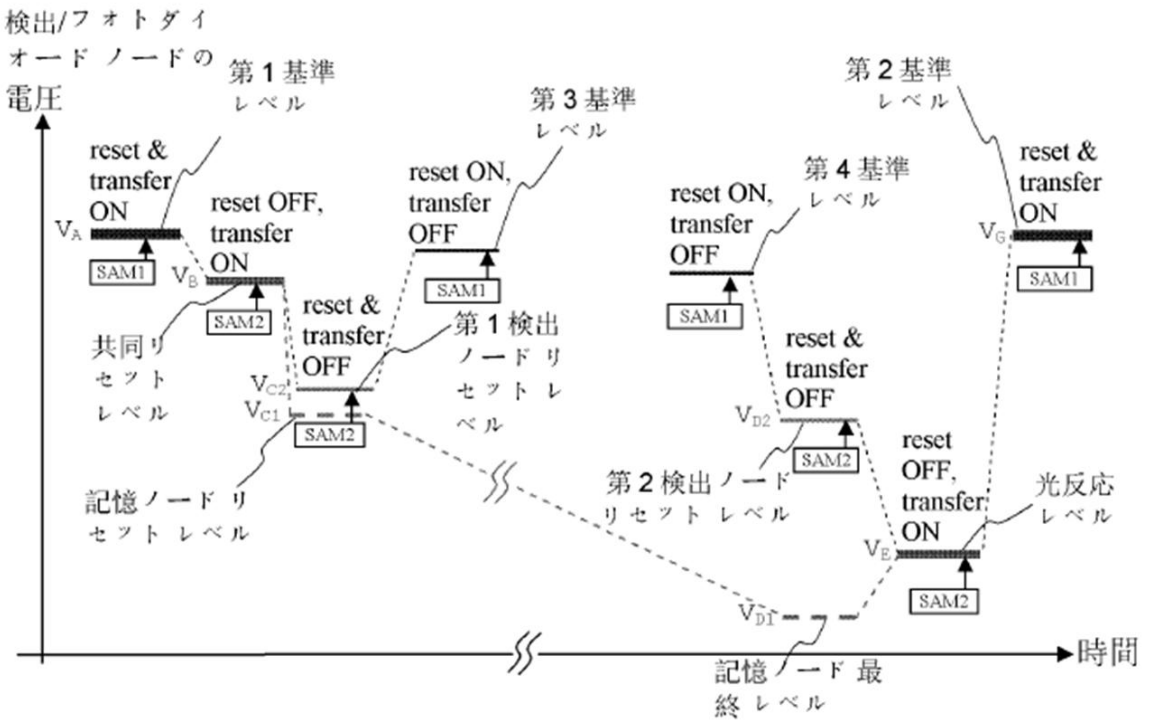
【図１７Ｊ】

第１ノイズと正規化方法, 第４実施形態.



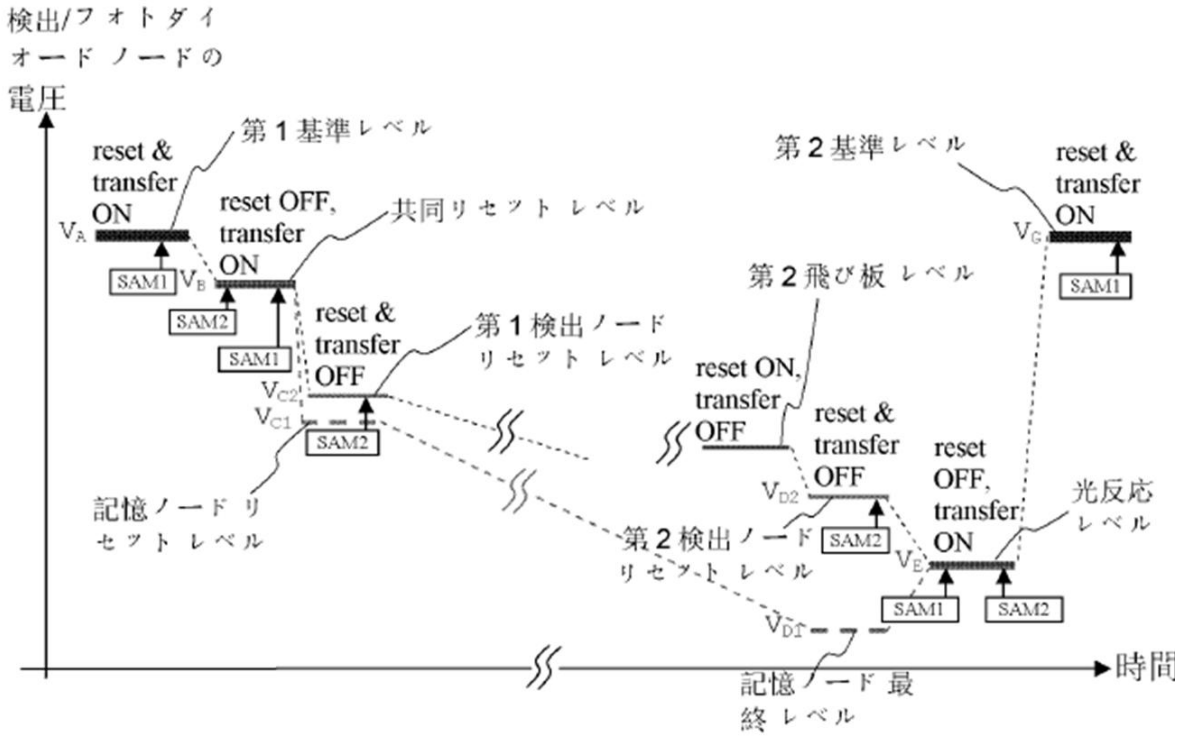
【図１７Ｋ】

第１ノイズと正規化方法, 第４実施形態.



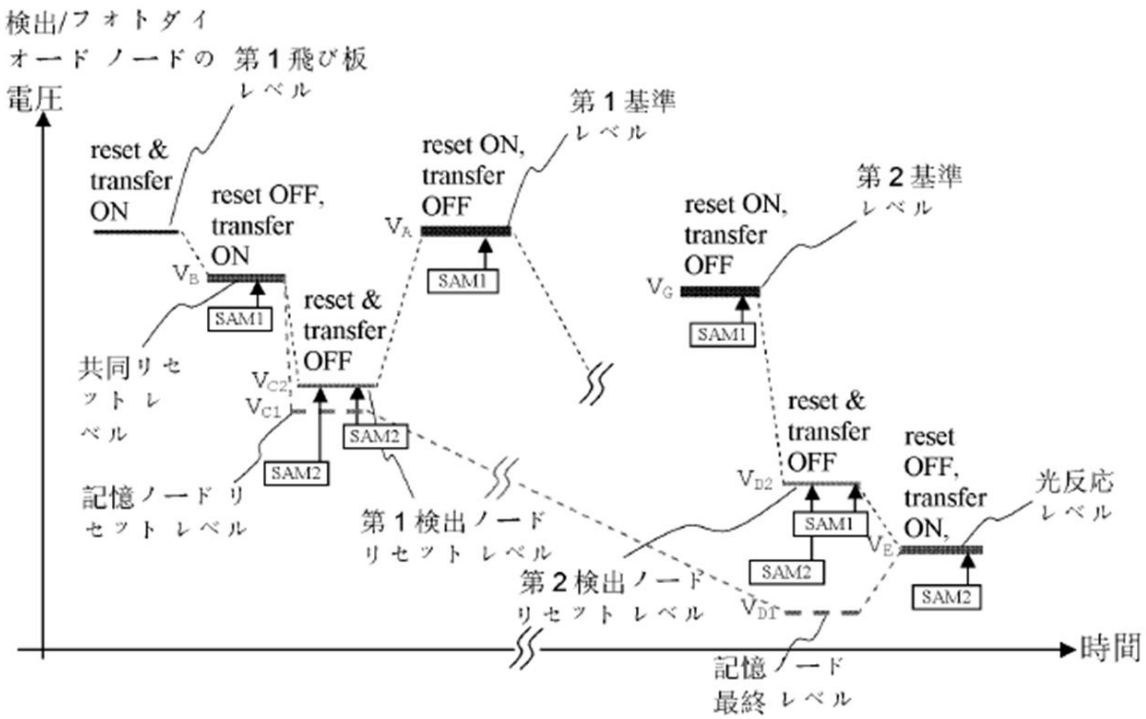
【図１７Ｌ】

第２ノイズと正規化方法, 第４実施形態.

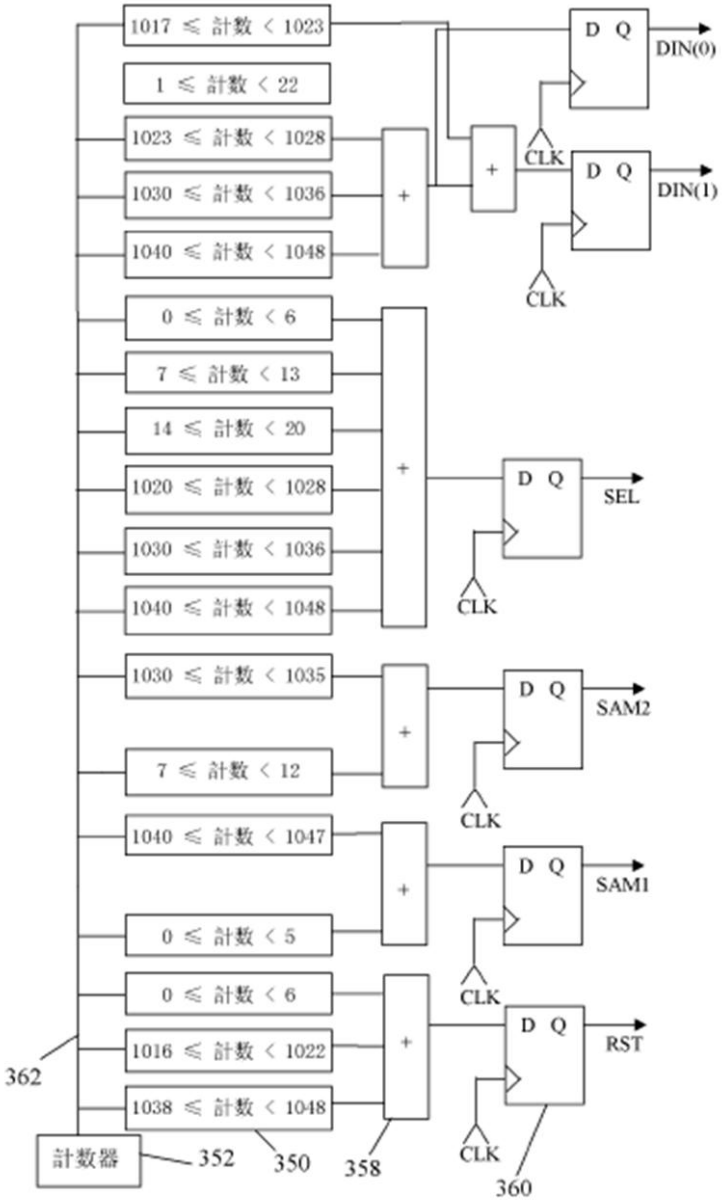


【図１７Ｍ】

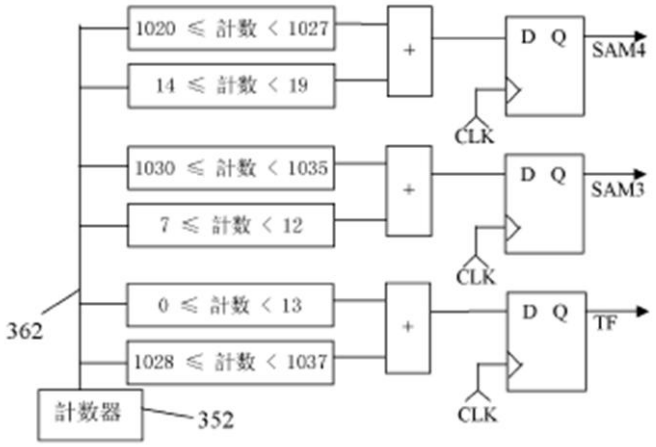
第３ノイズと正規化方法, 第４実施形態.



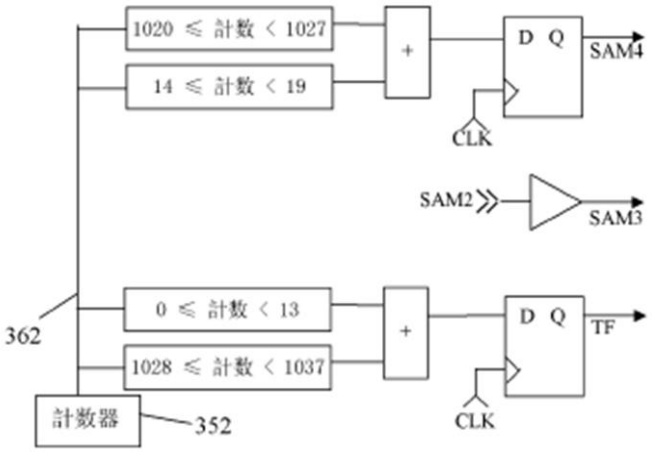
【図１８Ａ】


1017 ≦ 計数 < 1023
1 ≦ 計数 < 22
1023 ≦ 計数 < 1028
1030 ≦ 計数 < 1036
1040 ≦ 計数 < 1048
0 ≦ 計数 < 6
7 ≦ 計数 < 13
14 ≦ 計数 < 20
1020 ≦ 計数 < 1028
1030 ≦ 計数 < 1036
1040 ≦ 計数 < 1048
1030 ≦ 計数 < 1035
7 ≦ 計数 < 12
1040 ≦ 計数 < 1047
0 ≦ 計数 < 5
0 ≦ 計数 < 6
1016 ≦ 計数 < 1022
1038 ≦ 計数 < 1048
計数器
362
352
350
358
360
+
D Q
CLK
DIN(0)
DIN(1)
SEL
SAM2
SAM1
RST

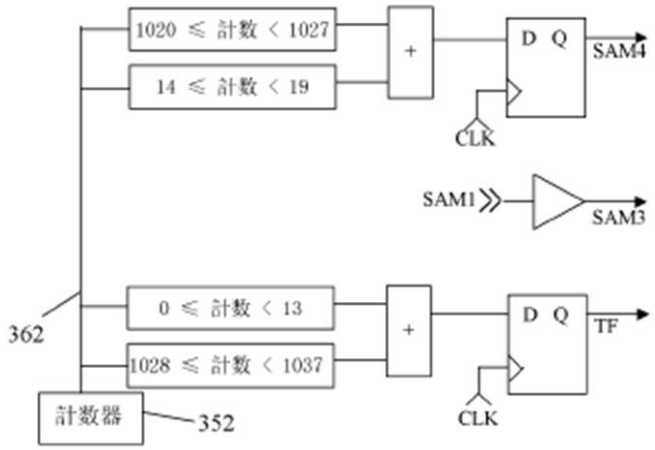
【図１８Ｂ】


1020 ≦ 計数 < 1027
14 ≦ 計数 < 19
1030 ≦ 計数 < 1035
7 ≦ 計数 < 12
0 ≦ 計数 < 13
1028 ≦ 計数 < 1037
計数器
362
352
+
D Q
CLK
SAM4
SAM3
TF

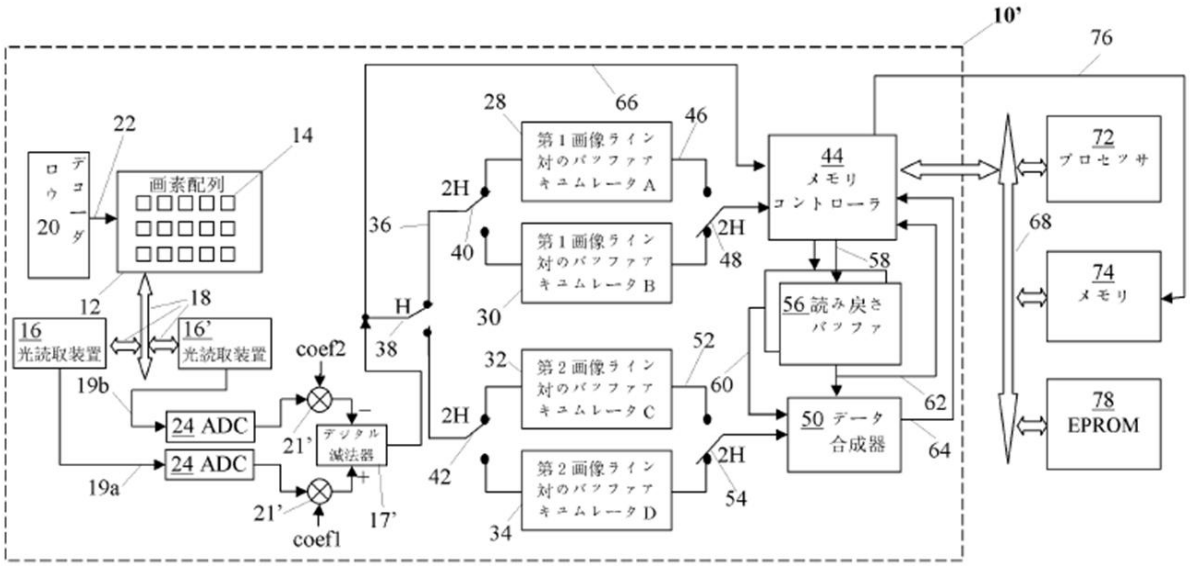
【図１８Ｃ】



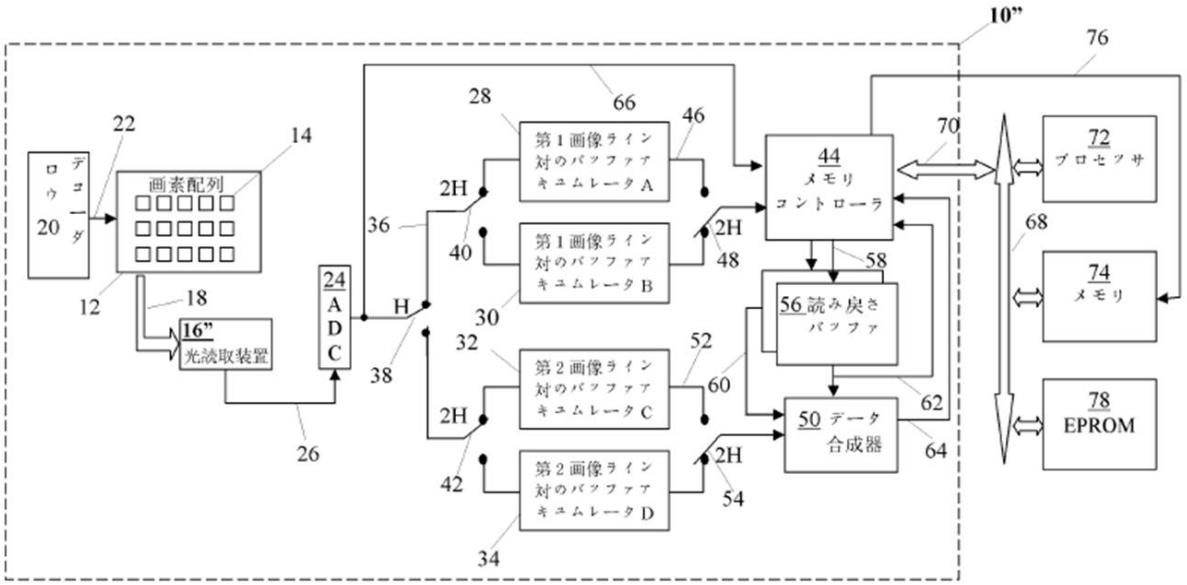
【図１８Ｄ】



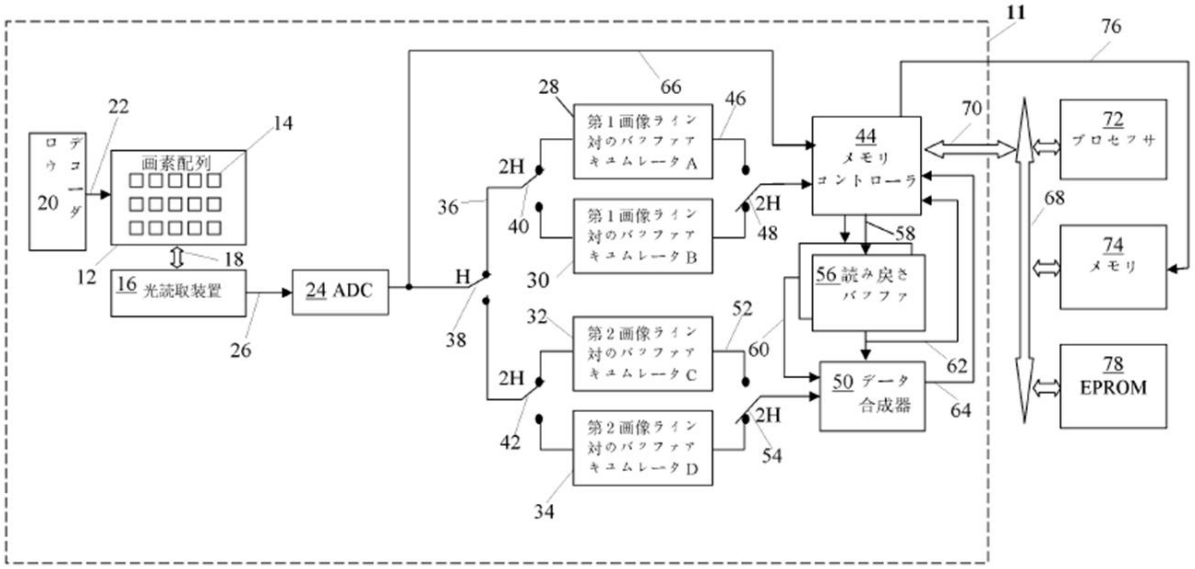
【図２１】



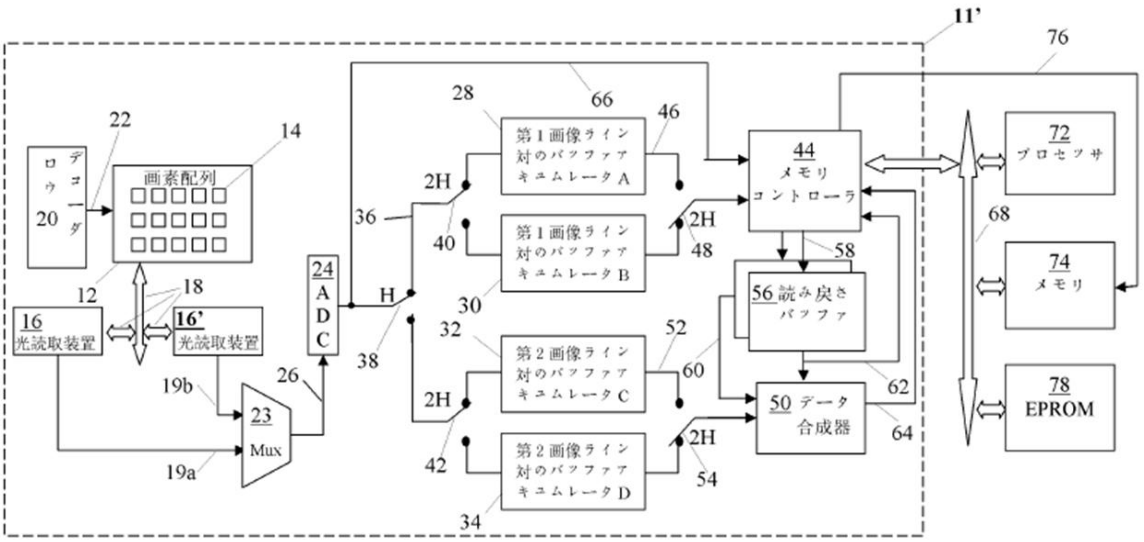
【図２２】


10”
76
ロウデコーダ
20
22
画素配列
14
12
18
16” 光読取装置
26
24 ADC
H
36
38
28
66
第１画像ライン対のバッファアキュムレータA
第１画像ライン対のバッファアキュムレータB
第２画像ライン対のバッファアキュムレータC
第２画像ライン対のバッファアキュムレータD
2H
40
30
32
42
34
46
48
52
54
44 メモリコントローラ
70
56 読み戻しバッファ
58
60
62
50 データ合成器
64
72 プロセッサ
68
74 メモリ
78 EPROM

【図２３】

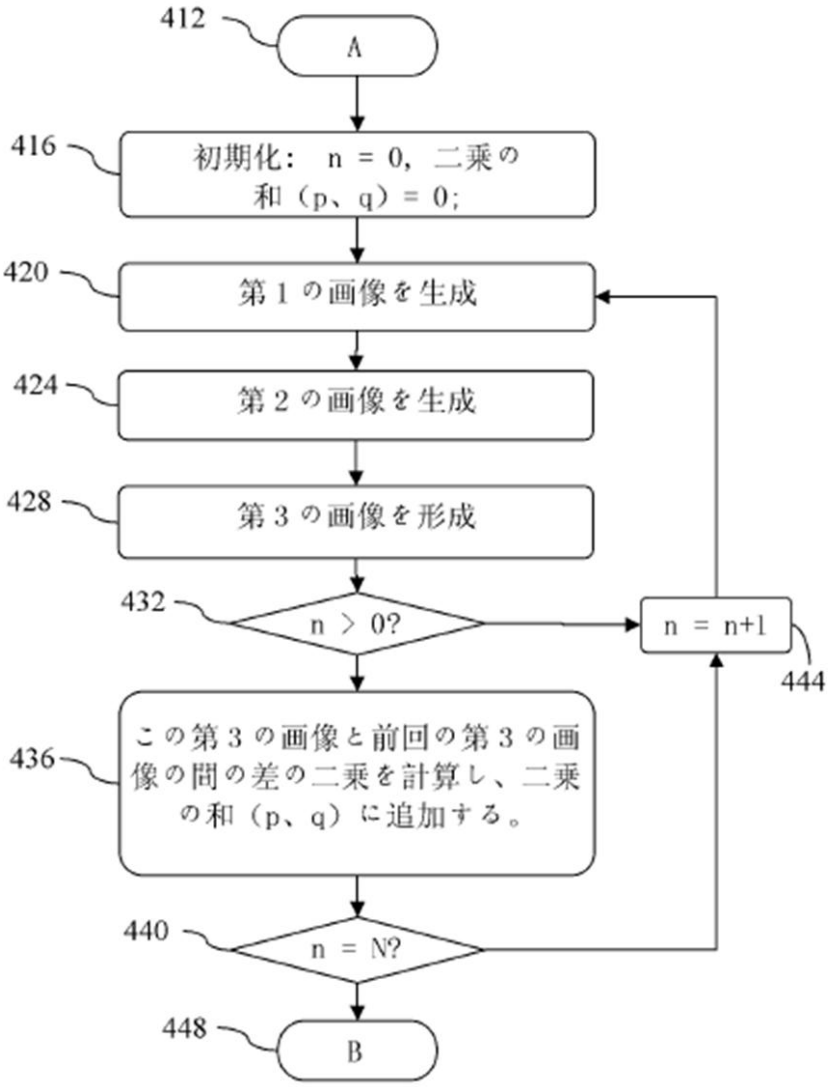

11
76
ロウデコーダ
20
22
画素配列
14
12
18
16 光読取装置
26
24 ADC
H
36
38
28
66
第１画像ライン対のバッファアキュムレータA
第１画像ライン対のバッファアキュムレータB
第２画像ライン対のバッファアキュムレータC
第２画像ライン対のバッファアキュムレータD
2H
40
30
32
42
34
46
48
52
54
44 メモリコントローラ
70
56 読み戻しバッファ
58
60
62
50 データ合成器
64
72 プロセッサ
68
74 メモリ
78 EPROM

【図２４】



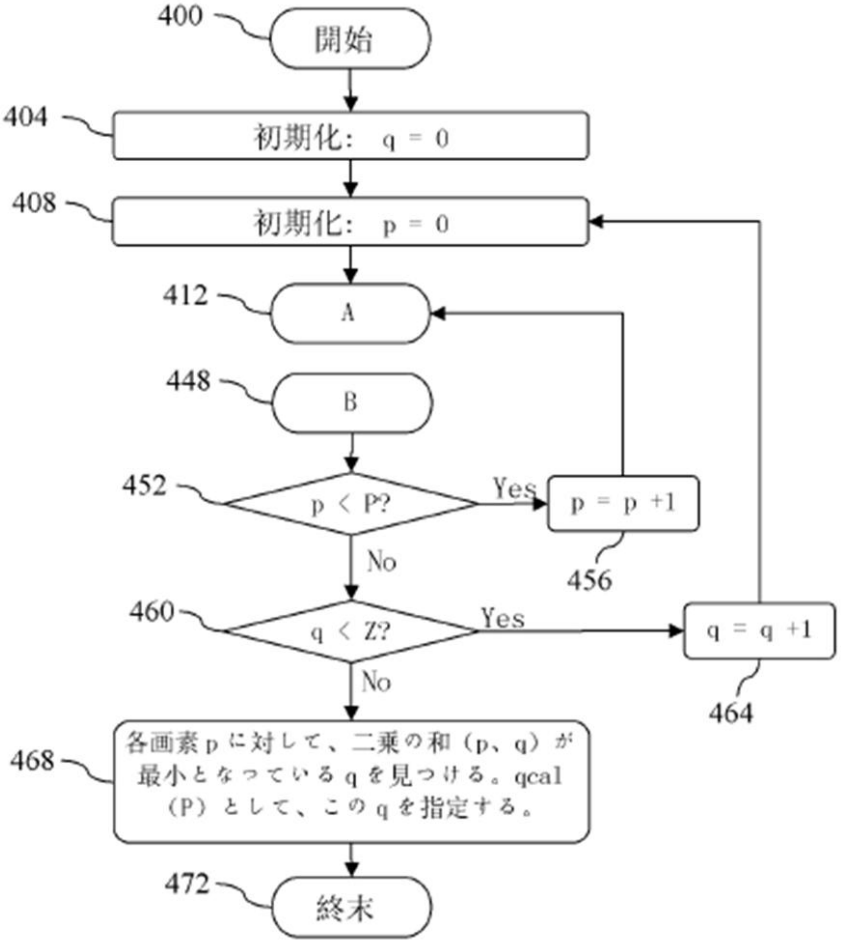
【図２５】

画素ｐに対して特定の利得比Ｒｑに対する残留ノイズを測定する：



【図２６】

マクロ群の中の異なるＰ個の画素と異なるＺ個の利得の比に対して、画素ｐに対して特定の利得の比Ｒｑに対する残留ノイズをを測定する。



フロントページの続き

(56)参考文献 特開２００５－３１１７３６（ＪＰ，Ａ）
特開平１１－３５５６６２（ＪＰ，Ａ）
特開２００８－０１７１００（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０４Ｎ　　５／３５７
Ｈ０１Ｌ　２７／１４６