

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月13日(13.08.2020)



(10) 国際公開番号

WO 2020/161877 A1

(51) 国際特許分類:
G09F 9/30 (2006.01)

〒5300057 大阪府大阪市北区曽根崎1丁目1番2号 Osaka (JP).

(21) 国際出願番号: PCT/JP2019/004539

(22) 国際出願日: 2019年2月8日(08.02.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人: シャープ株式会社(**SHARP KABUSHIKI KAISHA**) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).

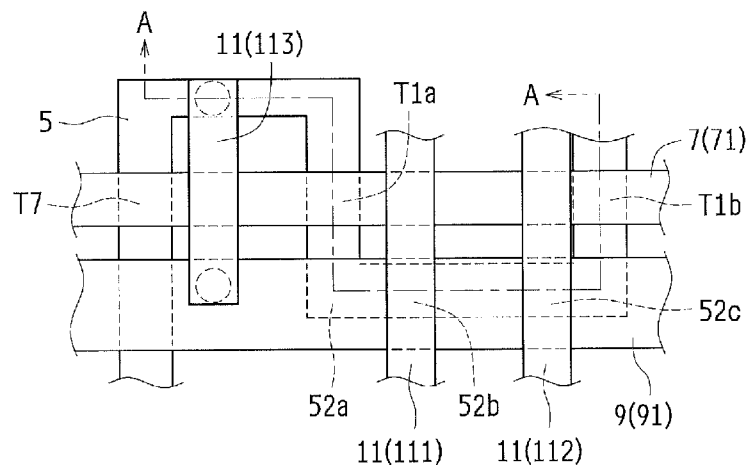
(72) 発明者: 酒井 保 (**SAKAI, Tamotsu**). 上野 哲也(**UENO, Tetsuya**).

(74) 代理人: 特許業務法人あーく特許事務所 (**ARC PATENT ATTORNEYS' OFFICE**);

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) **Title:** DISPLAY DEVICE

(54) 発明の名称: 表示装置



(57) **Abstract:** In this display device (1), a semiconductor layer (5), a gate insulating film (6), a first display wiring (7), a first inter-layer insulating film (8), a second display wiring (9), a second inter-layer insulating film (10), and a third display wiring (11) are stacked in this order on a substrate (2). A pixel circuit (Gs) has a first transistor (T1a) and a second transistor (T1b) on which the semiconductor layer (5) and a scan signal wiring (71) overlap each other. The first transistor (T1a), and the second transistor (T1b) are connected via a connection part (52a) in a conductive region (52) of the semiconductor layer (5). The connection part (52a) includes an overlapping connection section (52b) that overlaps the third display wiring (11) via the second display wiring (9) when viewed in a plan view.

[続葉有]

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

(57) 要約: 表示装置 (1) では、基板 (2) 上に、半導体層 (5)、ゲート絶縁膜 (6)、第1表示配線 (7)、第1層間絶縁膜 (8)、第2表示配線 (9)、第2層間絶縁膜 (10)、および第3表示配線 (11) が順に積層されている。画素回路 (GS) は、半導体層 (5) と走査信号線 (71) とが重畳する第1トランジスタ (T1a) および第2トランジスタ (T1b) を有する。第1トランジスタ (T1a) と第2トランジスタ (T1b) とは、半導体層 (5) の導体領域 (52) における連結部 (52a) を介して接続されている。連結部 (52a) は、第2表示配線 (9) を介して、第3表示配線 (11) と平面視で重畳する重畳連結部 (52b) を含む。

明 細 書

発明の名称：表示装置

技術分野

[0001] 本発明は、基板上に形成される表示デバイスの製造方法および表示デバイスに関する。

背景技術

[0002] 近年、OLED (Organic Light Emitting Diode) 技術の進歩に伴い、有機EL (エレクトロルミネッセンス) 表示装置を備えた製品が広がってきている。一般に、有機EL表示装置では、発光層における画素に電流を供給する複数の画素回路を含む構成を用いられている。

[0003] 画素回路は、通常、複数のトランジスタを組み合わせて構成されており、入力される信号に応じて、発光させる画素を適宜選択している。ところで、トランジスタの配置によっては、ゲート電極への電荷の蓄積などによって、意図しないリーク電流が発光素子に流れ、画素の輝度が制御できないことがあった。そこで、トランジスタをダブルゲート構造にして、リーク電流を抑制する技術が提案されている（例えば、特許文献1参照）。

先行技術文献

特許文献

[0004] 特許文献1：特開平11-231805号公報

発明の概要

発明が解決しようとする課題

[0005] 特許文献1に記載の表示装置では、基板上に2つの薄膜トランジスタを設けており、一方の薄膜トランジスタは、ダブルゲート構造を有している。上述した表示装置では、2つのトランジスタを組み合わせて画素回路を構成しているが、さらに、トランジスタを増やして、細密な制御を行うことが考慮されていない。また、トランジスタを増やすと、それらに対する配線が複雑

化し、小さな領域に収めるようにレイアウトすることが困難になるという課題がある。

[0006] 本発明は、上記の課題を解決するためになされたものであり、トランジスタの動作を安定させることができる表示装置を提供することを目的とする。

課題を解決するための手段

[0007] 本発明に係る表示装置は、表示パネルに配置された複数の画素回路に、それぞれデータ信号を供給することによって画像を表示する表示装置であって、基板上に順に積層された半導体層、ゲート絶縁膜、第1表示配線、第1層間絶縁膜、第2表示配線、第2層間絶縁膜、および第3表示配線とを備え、前記第1表示配線は、行方向に延伸された複数の走査信号線を含み、前記第2表示配線は、前記行方向に延伸された複数の定電位配線を含み、前記第3表示配線は、前記行方向と交差する列方向に延伸され、前記走査信号線および前記定電位配線と交差する複数のデータ信号線を含み、前記複数の画素回路は、前記複数のデータ信号線と前記複数の走査信号線との交点に対応して設けられ、前記画素回路は、前記複数の走査信号線のうちのいずれかの走査信号線と前記半導体層とが、前記ゲート絶縁膜を介して重畳する第1トランジスタおよび第2トランジスタを有し、前記第1トランジスタの一方の導通端子と、前記第2トランジスタの一方の導通端子とは、前記半導体層の導体領域に含まれる連結部を介して接続され、前記連結部は、前記定電位配線を介して、前記データ信号線と平面視で重畳する重畳連結部を含むことを特徴とする。

[0008] 本発明に係る表示装置では、前記第1トランジスタの一方の導通端子と他方の導通端子とは、前記データ信号線に沿って、前記列方向に並び、前記第2トランジスタの一方の導通端子と他方の導通端子とは、前記データ信号線に沿って、前記列方向に並び、前記重畳連結部は、前記定電位配線と重畳し、前記行方向に延伸されている構成としてもよい。

[0009] 本発明に係る表示装置では、前記定電位配線のうちいずれか1つは、初期化配線とされている構成としてもよい。

- [0010] 本発明に係る表示装置では、前記第1トランジスタおよび前記第2トランジスタは、初期化トランジスタとされている構成としてもよい。
- [0011] 本発明に係る表示装置では、前記画素回路は、駆動トランジスタを有し、前記第1トランジスタの他方の導通端子は、前記初期化配線と電氣的に接続され、前記第2トランジスタの他方の導通端子は、前記駆動トランジスタの制御端子と電氣的に接続されている構成としてもよい。
- [0012] 本発明に係る表示装置では、前記画素回路は、前記第1トランジスタおよび前記第2トランジスタに対して重畳する走査信号線から分岐して延伸された分岐ゲート電極と、前記半導体層とが重畳する第3トランジスタを有する構成としてもよい。
- [0013] 本発明に係る表示装置では、前記第3トランジスタは、一方の導通端子が、前記連結部を介して前記第1トランジスタの一方の導通端子と接続され、他方の導通端子が、前記連結部を介して前記第2トランジスタの一方の導通端子と接続されている構成としてもよい。
- [0014] 本発明に係る表示装置では、前記第3トランジスタの半導体層は、前記定電位配線と平面視で重畳する構成としてもよい。
- [0015] 本発明に係る表示装置では、前記データ信号線は、前記行方向での前記第1トランジスタと前記第3トランジスタとの間を通る構成としてもよい。
- [0016] 本発明に係る表示装置では、前記第3表示配線は、電源電圧線を含み、前記電源電圧線は、前記行方向での前記第2トランジスタと前記第3トランジスタとの間を通る構成としてもよい。
- [0017] 本発明に係る表示装置では、前記第1トランジスタの他方の導通端子は、隣接する画素回路の初期化トランジスタのいずれかの導通端子に対して、前記半導体層の導体領域を介して接続されている構成としてもよい。
- [0018] 本発明に係る表示装置では、前記走査信号線は、発光制御線を含む構成としてもよい。

発明の効果

- [0019] 本発明によると、この構成によると、データ信号線と導体領域との間に、

定電位配線を挟んで交差（重畳）させることで、データ信号線から導体領域に与える影響を防ぐことができ、トランジスタの動作を安定させることができる。

図面の簡単な説明

[0020] [図1]表示装置の画素回路を示す等価回路図である。

[図2]表示装置の画素回路を示す概略平面図である。

[図3]図2の交差領域近傍を拡大して示す拡大平面図である。

[図4]図3の矢符A－Aでの断面を示す模式断面図である。

[図5]半導体層のレイアウトを示す概略平面図である。

[図6]第1表示配線のレイアウトを示す概略平面図である。

[図7]半導体層と第1表示配線とを重ね合わせた状態でのレイアウトを示す概略平面図である。

[図8]第2表示配線のレイアウトを示す概略平面図である。

[図9]第3表示配線のレイアウトを示す概略平面図である。

[図10]本発明の第2実施形態に係る表示装置の画素回路を示す概略平面図である。

[図11]本発明の第2実施形態に係る表示装置において、半導体層と第1表示配線とを重ね合わせた状態でのレイアウトを示す概略平面図である。

[図12]図10の交差領域近傍を拡大して示す拡大平面図である。

[図13]図12の矢符B－Bでの断面を示す模式断面図である。

発明を実施するための形態

[0021] （第1実施形態）

以下、本発明の第1実施形態に係る表示装置について、図面を参照して説明する。

[0022] 図1は、表示装置の画素回路を示す等価回路図である。

[0023] 表示装置1は、マトリクス状に配列された複数の画素によって構成された表示領域を有する。複数の画素は、典型的には、赤を表示する赤画素、緑を表示する緑画素、および青を表示する青画素を含む。それぞれの画素では、

対応する発光ダイオードLDが設けられており、対応する画素回路によって制御している。

[0024] 「Scan (n)」および「Scan (n-1)」に対応する直線は、走査信号線を示し、「data」に対応する直線は、データ信号線を示し、「em (n)」に対応する直線は、発光制御線を示している。また、「ELVDD」は、高電源電圧を示し、これに繋がる直線は、高電源電圧線に相当する。さらに、「ELVSS」は、低電源電圧を示し、これに繋がる直線は、低電源電圧線に相当する。そして、「Vini (n)」に対応する直線は、リセット電位に対応する初期化配線を示している。

[0025] 本実施の形態において、高電源電圧線には、5 Vが印加され、低電源電圧線には、-5 Vが印加される。データ信号線には、2~6 Vが印加される。初期化配線には、-4 Vが印加される。走査信号線および発光制御線には、「High」とされた状態において7 Vが印加され、「Low」とされた状態において-8 Vが印加される。

[0026] 図1は、画素回路の一例を示しており、7つのトランジスタ（第1回路トランジスタT1ないし第7回路トランジスタT7）、コンデンサC1、および発光ダイオードLDを組み合わせて構成されている。

[0027] 画素回路において、第1回路トランジスタT1ないし第3回路トランジスタT3と、第5回路トランジスタT5ないし第7回路トランジスタT7とは、スイッチングトランジスタとして用いられている。また、第4回路トランジスタT4は、発光ダイオードLDに電源を供給する駆動トランジスタとされている。

[0028] 第1回路トランジスタT1は、初期化トランジスタとされ、一端が駆動トランジスタ（第4回路トランジスタT4）のゲート電極に接続され、他端が初期化配線に接続されている。また、第7回路トランジスタT7は、初期化トランジスタとされ、一端が発光ダイオードLDのアノードに接続され、他端が初期化配線に接続されている。

[0029] 図2は、表示装置の画素回路を示す概略平面図である。なお、図2では、

図面の見易さを考慮して、配線などを抽出して示し、層間絶縁膜等を透視的に示している。

[0030] 図2は、図1の画素回路について、基板2上でのレイアウトを模式的に示しており、隣接する画素回路の一部も併せて示している。以下では説明のため、平面視した状態での横方向を行方向Xと呼び、縦方向を列方向Yと呼ぶことがある。なお、画素回路のレイアウトについては、図5ないし図9に示す半導体層5、第1表示配線7、第2表示配線9、および第3表示配線11の形状と併せて、詳細に説明する。

[0031] 第2表示配線9は、上述した初期化配線91を含んでいる。次に、初期化配線91近傍の交差領域KRでの構造について、図3および図4を参照して説明する。

[0032] 図3は、図2の交差領域近傍を拡大して示す拡大平面図であって、図4は、図3の矢符A-Aでの断面を示す模式断面図である。なお、図4は、平面視において屈曲した半導体層5に沿った断面を展開した状態を示している。

[0033] 表示装置1では、基板2上に、樹脂層3、下地層4、半導体層5、ゲート絶縁膜6、第1表示配線7、第1層間絶縁膜8、第2表示配線9、第2層間絶縁膜10、第3表示配線11、および平坦化膜12が順に積層されている。

[0034] 基板2としては、例えば、ガラス基板、シリコン基板、および耐熱性を有するプラスチック基板（樹脂基板）を用いることができる。プラスチック基板（樹脂基板）の材料としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルホン（PES）、アクリル樹脂、およびポリイミド等を用いることができる。なお、基板2の厚みは特に限定されず、薄いフィルム状であってもよい。

[0035] 樹脂層3は、例えば、ポリイミド樹脂（PI）などで形成されている。

[0036] 下地層4は、 SiO_2 膜をCVD法によって成膜した無機膜である。下地層4は、これに限定されず、例えば、酸化珪素（ SiO_x ）、窒化珪素（ SiN_x ）、酸化窒化珪素（ SiO_xN_y ； $x > y$ ）、窒化酸化珪素（ SiN_xO_y ； x

> y)、酸化アルミニウム、および酸化タンタルなどで形成されていてもよく、複数の層を積層してもよい。

[0037] 半導体層5は、例えば、CVD法などの周知の方法で形成された多結晶シリコン(LTPS)とされている。

[0038] なお、半導体層5については、上述した材料だけに限らず、他の材料によって形成してもよい。半導体層5に含まれる酸化物半導体は、例えば、アモルファス酸化物半導体(非晶質酸化物半導体)であってもよいし、結晶質部分を有する結晶質酸化物半導体であってもよい。結晶質酸化物半導体としては、多結晶酸化物半導体、微結晶酸化物半導体、およびc軸が層面に概ね垂直に配向した結晶質酸化物半導体などが挙げられる。

[0039] また、半導体層5は、2層以上の積層構造を有していてもよく、この場合、半導体層5は、非晶質酸化物半導体層と結晶質酸化物半導体層とを含んでいてもよい。あるいは、結晶構造が異なる複数の結晶質酸化物半導体層を含んでいてもよいし、複数の非晶質酸化物半導体層を含んでいてもよい。

[0040] 次に、非晶質酸化物半導体および結晶質酸化物半導体の材料や構造などについて、詳細に説明する。半導体層5は、例えば、In、Ga、およびZnのうち、少なくとも1種の金属元素を含んでいてもよい。ここで、In-Ga-Zn-O系の半導体は、In(インジウム)、Ga(ガリウム)、およびZn(亜鉛)の三元系酸化物であって、In、Ga、およびZnの割合(組成比)は、特に限定されず、例えば、In:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、およびIn:Ga:Zn=1:1:2等を含む。また、In-Ga-Zn-O系の半導体は、アモルファスでもよいし、結晶質でもよい。結晶質In-Ga-Zn-O系の半導体としては、c軸が層面に概ね垂直に配向した結晶質In-Ga-Zn-O系の半導体が好ましい。

[0041] 半導体層5は、In-Ga-Zn-O系半導体の代わりに、他の酸化物半導体を含んでいてもよく、例えば、In-Sn-Zn-O系半導体を含んでいてもよい。In-Sn-Zn-O系の半導体は、In、Sn(スズ)、お

よびZnの三元系酸化物であって、例えば、 $\text{In}_2\text{O}_3-\text{SnO}_2-\text{ZnO}$ (InSnZnO) などが挙げられる。

[0042] 半導体層5は、これに限らず、 $\text{In}-\text{Al}-\text{Zn}-\text{O}$ 系半導体、 $\text{In}-\text{Al}-\text{Sn}-\text{Zn}-\text{O}$ 系半導体、 $\text{Zn}-\text{O}$ 系半導体、 $\text{In}-\text{Zn}-\text{O}$ 系半導体、 $\text{Zn}-\text{Ti}-\text{O}$ 系半導体、 $\text{Cd}-\text{Ge}-\text{O}$ 系半導体、 $\text{Cd}-\text{Pb}-\text{O}$ 系半導体、 CdO (酸化カドミウム)、 $\text{Mg}-\text{Zn}-\text{O}$ 系半導体、 $\text{In}-\text{Ga}-\text{Sn}-\text{O}$ 系半導体、 $\text{In}-\text{Ga}-\text{O}$ 系半導体、 $\text{Zr}-\text{In}-\text{Zn}-\text{O}$ 系半導体、 $\text{Hf}-\text{In}-\text{Zn}-\text{O}$ 系半導体、 $\text{Al}-\text{Ga}-\text{Zn}-\text{O}$ 系半導体、 $\text{Ga}-\text{Zn}-\text{O}$ 系半導体、 $\text{In}-\text{Ga}-\text{Zn}-\text{Sn}-\text{O}$ 系半導体、 InGaO_3 (ZnO)₅、酸化マグネシウム亜鉛 ($\text{Mg}_x\text{Zn}_{1-x}\text{O}$)、および酸化カドミウム亜鉛 ($\text{Cd}_x\text{Zn}_{1-x}\text{O}$) などを含んでいてもよい。Zn-O系半導体としては、1族元素、13族元素、14族元素、15族元素または17族元素のうち一種、または複数種の不純物元素が添加されたZnOの非晶質 (アモルファス) 状態、多結晶状態または非晶質状態と多結晶状態が混在する微結晶状態のもの、または何も不純物元素が添加されていないものを用いることができる。

[0043] ゲート絶縁膜6は、CVD法を用いて成膜された酸化珪素 (SiO_x) で形成されている。ゲート絶縁膜6は、下地層4と同じ材料で形成してもよく、複数の層を重ねた積層構造とされていてもよい。

[0044] 第1表示配線7は、トランジスタにおけるゲート電極として機能し、スパッタリング法を用いて成膜され、Moで形成された単層膜とされている。第1表示配線7は、これに限定されず、例えば、アルミニウム (Al)、タングステン (W)、モリブデン (Mo)、タンタル (Ta)、クロム (Cr)、チタン (Ti)、および銅 (Cu) から選ばれた元素を含む金属膜、またはこれらの元素を成分とする合金膜などを用いてもよいし、これらのうちの複数の膜を含む積層膜を用いてもよい。

[0045] 第1層間絶縁膜8、第2層間絶縁膜10、および平坦化膜12は、下地層4と同様の材料および方法で形成される。また、第2表示配線9および第3

表示配線 11 は、第 1 表示配線 7 と同様の材料および方法で形成される。なお、平坦化膜 12 の上には、さらに発光素子などを形成してもよく、電氣的に接続するためのコンタクトホールなどを形成してもよい。

[0046] 半導体層 5、第 1 表示配線 7、第 2 表示配線 9、および第 3 表示配線 11 は、公知のフォトリソグラフィプロセスを用いたパターニングによって、適宜成形すればよい。また、層間絶縁膜等にコンタクトホールを設けて、これらの異なる層を適直接続してもよい。

[0047] 半導体層 5 に対しては、第 1 表示配線 7 を成型した後、プラズマ処理を施して低抵抗化を行っており、半導体層 5 のうち、第 1 表示配線 7 で覆われていない部分のみが低抵抗化される。そして、第 1 表示配線 7 の直下の半導体領域 51 は、低抵抗化されず、露出している導体領域 52 は低抵抗化される。つまり、半導体層 5 では、第 1 表示配線 7 の直下の半導体領域 51 が、トランジスタにおけるチャネル領域として機能し、半導体領域 51 に隣接する導体領域 52 が、トランジスタにおけるソース領域およびドレイン領域（導通端子）として機能する。また、第 1 表示配線 7 のうち、ゲート絶縁膜 6 を介して半導体領域 51 に対向する部分が、トランジスタにおけるゲート電極（制御端子）として機能する。

[0048] 次に、平面視した状態での各層の形状について、図 5 ないし図 9 を参照して説明する。なお、図 5 ないし図 9 に示す第 1 コンタクトホール H1 ないし第 8 コンタクトホール H8 は、対応する層との位置関係を示すものであり、関連しない層に対しては、一部省略している。

[0049] 図 5 は、半導体層のレイアウトを示す概略平面図である。

[0050] 半導体層 5 は、平面視において屈曲した形状とされ、画素回路内の各部に張り巡らされている。後述するように、直線状に延伸された第 1 表示配線 7、第 2 表示配線 9、および第 3 表示配線 11 に対して、画素回路内の各部で重畳するように、半導体層 5 が配置されている。また、半導体層 5 は、画素回路の外部へ延伸されており、隣接する画素回路の半導体層 5 と接続されている。

[0051] 図6は、第1表示配線のレイアウトを示す概略平面図である。

[0052] 第1表示配線7は、行方向Xに延伸された複数の走査信号線を含む。具体的に、第1表示配線7は、第1走査信号線71、第2走査信号線72、駆動ゲート部73、および発光制御線74を有している。図6において、最も下方の第1走査信号線71を基準にすると、下方から上方へ向かう順に、第1走査信号線71、第2走査信号線72、駆動ゲート部73、および発光制御線74が並んでいる。そして、発光制御線74の上方には、さらなる第1走査信号線71が配置されており、上述した順で繰り返し配置されている。1つの画素回路内には、第1走査信号線71、第2走査信号線72、駆動ゲート部73、および発光制御線74が1つずつ設けられている。また、第1走査信号線71、第2走査信号線72、および発光制御線74は、行方向Xで隣接する画素回路における第1走査信号線71、第2走査信号線72、および発光制御線74と、それぞれ接続されている。

[0053] 第1走査信号線71は、上述した交差領域KRを通る直線状とされている。第2走査信号線72は、略直線状とされ、分岐して列方向Yに延伸された分岐延伸部72aを有している。駆動ゲート部73は、矩形状とされている。なお、駆動ゲート部73の形状は、これに限定されず、重畳する半導体層5の形状に応じて、適宜変形してもよい。発光制御線74は、直線状とされている。

[0054] 図7は、半導体層と第1表示配線とを重ね合わせた状態でのレイアウトを示す概略平面図である。

[0055] 上述したように、第1表示配線7と重なっているかどうかによって、半導体層5は、導体領域52と半導体領域51とに分けられる。なお、図7において、一点鎖線で囲まれた範囲が、1つの画素回路GSに対応している。第1走査信号線71と半導体層5とは、1つの画素回路GS内で、重畳している部分が3箇所ある。具体的に、交差領域KRにおける半導体層5は、行方向Xに延伸された部分と列方向Yに延伸された部分とを組み合わせ、略S字状に成形されており、行方向Xに延伸された第1走査信号線71に対して

、行方向Xで離間した3箇所で交差する。

[0056] 3箇所の導体領域52のうち、2箇所（第1トランジスタT1aおよび第2トランジスタT1b）は第1回路トランジスタT1に対応し、1箇所は第7回路トランジスタT7に対応している。第1回路トランジスタT1は、導体領域52で接続された第1トランジスタT1aと第2トランジスタT1bとを組み合わせ、ダブルゲート方式のトランジスタとされている。以下では説明のため、第1トランジスタT1aと第2トランジスタT1bとの間を接続する導体領域52を連結部52aと呼ぶことがある。また、第1トランジスタT1aと、行方向Xで隣接する画素回路GSの第7回路トランジスタT7との間は、導体領域52で接続されており、第1コンタクトホールH1と重畳する。

[0057] 第2走査信号線72は、1つの画素回路GS内で半導体層5に対して、直線部において2箇所が重畳し、分岐延伸部72aにおいて1箇所が重畳している。第2走査信号線72のうち、直線部において半導体層5に重畳する一方（図7では、駆動ゲート部73の左下）は、第3回路トランジスタT3に対応し、他方（図7では、駆動ゲート部73の右下）は、第2回路トランジスタT2（直線重畳部T2a）に対応する。また、第2走査信号線72のうち、分岐延伸部72aにおいて半導体層5に重畳する箇所も、第2回路トランジスタT2（分岐重畳部T2b）に対応する。直線重畳部T2aと分岐重畳部T2bとの間は、導体領域52で接続されている。つまり、第2回路トランジスタT2は、第1回路トランジスタT1と同様に、直線重畳部T2aと分岐重畳部T2bとを組み合わせた構成とされ、ダブルゲート方式のトランジスタとされている。第2トランジスタT1bと分岐重畳部T2bとの間は、導体領域52で接続されており、第3コンタクトホールH3と重畳する。第3回路トランジスタT3から延伸された導体領域52（図7では、下方）は、先端が第2コンタクトホールH2と重畳する。

[0058] 駆動ゲート部73は、1つの画素回路GS内で半導体層5に対して1箇所が重畳し、第4回路トランジスタT4に対応する。第6コンタクトホールH

6は、駆動ゲート部73と重畳する。

[0059] 発光制御線74は、1つの画素回路内で半導体層5に対して2箇所が重畳し、それぞれ第5回路トランジスタT5（図7では、駆動ゲート部73の左上）と、第6回路トランジスタT6（図7では、駆動ゲート部73の右上）とに対応する。第5回路トランジスタT5から延伸された導体領域52（図7では、上方）は、先端が第4コンタクトホールH4と重畳する。第6回路トランジスタT6から延伸された導体領域52（図7では、上方）は、図7において上方に位置し、列方向Yで隣接する画素回路GSの第7回路トランジスタT7と接続されており、第5コンタクトホールH5と重畳する。

[0060] 第4回路トランジスタT4から一方（図7では、左方）に延伸された導体領域52は、2つに分岐し、第3回路トランジスタT3と第5回路トランジスタT5とに接続されている。また、第4回路トランジスタT4から他方（図7では、右方）に延伸された導体領域52は、2つに分岐し、第2回路トランジスタT2（直線重畳部T2a）と第6回路トランジスタT6とに接続されている。

[0061] 図8は、第2表示配線のレイアウトを示す概略平面図である。

[0062] 第2表示配線9は、行方向Xに延伸された定電位配線を含む。具体的に、第2表示配線9は、初期化配線91および第1高電源電圧線92を有している。図8において、最も下方の初期化配線91を基準にすると、下方から上方へ向かう順に、初期化配線91および第1高電源電圧線92が並んでいる。つまり、初期化配線91と第1高電源電圧線92とが交互に繰り返して配置されている。1つの画素回路内には、初期化配線91および第1高電源電圧線92が1つずつ設けられている。また、初期化配線91および第1高電源電圧線92は、行方向Xで隣接する画素回路における初期化配線91および第1高電源電圧線92と、それぞれ接続されている。

[0063] 初期化配線91は、上述した交差領域KRを通る直線状とされ、第1走査信号線71と列方向Yで並んだ位置を通る。第7コンタクトホールH7は、第1コンタクトホールH1の近傍において、初期化配線91と重畳する。

[0064] 第1高電源電圧線92は、上述した駆動ゲート部73と重畳する位置を通り、一部の幅が広がった略直線状とされている。具体的に、第1高電源電圧線92において、幅が広がっている幅広部92bは、駆動ゲート部73の略全体を覆う大きさとされている。幅広部92bには、一部を開口した開口部92aが設けられており、開口部92aでは、第1表示配線7が第2表示配線9に覆われていない。また、開口部92aは、第6コンタクトホールH6と重畳する位置に設けられている。第6コンタクトホールH6には、第3表示配線11が埋め込まれており、第6コンタクトホールH6を介して、第1表示配線7と第3表示配線11とが接続されている。第8コンタクトホールH8は、第4コンタクトホールH4の近傍において、幅広部92bと重畳する。

[0065] 図9は、第3表示配線のレイアウトを示す概略平面図である。

[0066] 第3表示配線11は、列方向Yに延伸されたデータ信号線111を含む。具体的に、第3表示配線11は、データ信号線111、第2高電源電圧線112、およびコンタクト接続部（初期化接続部113、駆動接続部114、および発光接続部115）を有している。

[0067] 図9において、最も左方のデータ信号線111を基準にすると、左方から右方へ向かう順に、データ信号線111、第2高電源電圧線112、およびコンタクト接続部が並んでいる。そして、コンタクト接続部の右方には、さらなるデータ信号線111が配置されており、上述した順で繰り返し配置されている。1つの画素回路内には、データ信号線111、第2高電源電圧線112、およびコンタクト接続部が1つずつ設けられている。また、コンタクト接続部において、初期化接続部113、駆動接続部114、および発光接続部115は、それぞれ列方向Yで離間した位置に設けられている。

[0068] データ信号線111は、上述した交差領域KRを通る直線状とされ、第2コンタクトホールH2および連結部52aを通る位置に配置されている。なお、以下では説明のため、連結部52aのうち、データ信号線111と重畳する部分を重畳連結部52bと呼ぶことがある。この重畳連結部52bは、

平面視において、初期化配線 9 1 と重畳している。さらに、初期化配線 9 1 は、重畳連結部 5 2 b を覆うように、重畳連結部 5 2 b の端部を含む全体と重畳することが好ましい。つまり、連結部 5 2 a の内、データ信号線 1 1 1 と平面視で重畳する重畳連結部 5 2 b は、端部を含めて全て、定電位配線（初期化配線 9 1）と平面視で重畳することが好ましい。

[0069] 第 2 高電源電圧線 1 1 2 は、上述した交差領域 K R を通る直線状とされ、第 4 コンタクトホール H 4、第 8 コンタクトホール H 8、および連結部 5 2 a を通る位置に配置されている。

[0070] 初期化接続部 1 1 3 は、第 1 コンタクトホール H 1 から第 7 コンタクトホール H 7 までを接続するように設けられている。つまり、初期化接続部 1 1 3 を介して、第 1 トランジスタ T 1 a 近傍の導体領域 5 2 と初期化配線 9 1 とが電氣的に接続されている。駆動接続部 1 1 4 は、第 3 コンタクトホール H 3 から第 6 コンタクトホール H 6 までを接続するように設けられている。つまり、駆動接続部 1 1 4 を介して、第 2 トランジスタ T 1 b 近傍の導体領域 5 2 と駆動ゲート部 7 3 とが電氣的に接続されている。発光接続部 1 1 5 は、第 5 コンタクトホール H 5 と重畳する位置に設けられ、上述した発光ダイオード L D と電氣的に接続される。

[0071] 次に、上述した事項と併せて、図 3 および図 4 に示す交差領域 K R 近傍の構造を詳細に説明する。

[0072] 第 1 トランジスタ T 1 a の一方の導通端子（図 3 では、第 1 トランジスタ T 1 a の下方の導体領域 5 2）と他方の導通端子（図 3 では、第 1 トランジスタ T 1 a の上方の導体領域 5 2）とは、データ信号線 1 1 1 に沿って、列方向 Y に並んでいる。第 2 トランジスタ T 1 b の一方の導通端子（図 3 では、第 2 トランジスタ T 1 b の下方の導体領域 5 2）と他方の導通端子（図 3 では、第 2 トランジスタ T 1 b の上方の導体領域 5 2）とは、データ信号線 1 1 1 に沿って、列方向に並んでいる。連結部 5 2 a は、定電位配線（初期化配線 9 1）と重畳し、行方向 X に延伸されている。第 1 トランジスタ T 1 a の一方の導通端子と、第 2 トランジスタ T 1 b の一方の導通端子とは、連

結部 5 2 a を介して接続されている。

[0073] データ信号線 1 1 1 は、行方向 X での第 1 トランジスタ T 1 a と第 2 トランジスタ T 1 b との間を通り、平面視において重畳連結部 5 2 b と重畳する部分で、初期化配線 9 1 と交差する。

[0074] 図 4 に示すように、データ信号線 1 1 1 と導体領域 5 2（重畳連結部 5 2 b）の間に、定電位配線（初期化配線 9 1）を挟んで交差（重畳）させることで、データ信号線 1 1 1 から導体領域 5 2 に与える影響を防ぐことができ、トランジスタの動作を安定させることができる。つまり、データ信号線 1 1 1 と導体領域 5 2 とが重畳すると、両者の間の寄生容量によって、トランジスタの動作に影響を与えることがあったが、一定の電位が印加される定電位配線を間に挟むことで、電位の変動を抑えることができる。

[0075] 第 1 トランジスタ T 1 a と重畳する走査信号線と、第 2 トランジスタ T 1 b と重畳する走査信号線とは、同一の第 1 走査信号線 7 1 とされており、同じ信号が印加される。このように、連続して設けられた第 1 トランジスタ T 1 a と第 2 トランジスタ T 1 b とを同じ信号で駆動させることにより、デュアルゲート方式のトランジスタとして機能させることができる。

[0076] 上述した構成では、第 1 トランジスタ T 1 a および第 2 トランジスタ T 1 b がデータ信号線 1 1 1 と重畳することを避けつつ、初期化配線 9 1 によって覆われた重畳連結部 5 2 b でデータ信号線 1 1 1 が交差する構造とすることができる。つまり、データ信号線 1 1 1 に対する半導体層 5 の配置の制約が緩和されるので、表示装置 1 におけるレイアウトの自由度を向上させることができる。また、トランジスタの電位をリセットする初期化配線 9 1 を設けることで、トランジスタに多様な動作をさせることができる。

[0077] なお、第 2 高電源電圧線 1 1 2 についても、データ信号線 1 1 1 と同様に、平面視において、連結部 5 2 a と重畳する配線重畳部 5 2 c を有し、配線重畳部 5 2 c は、初期化配線 9 1 と重畳していてもよい。さらに、初期化配線 9 1 は、配線重畳部 5 2 c を覆うように、配線重畳部 5 2 c の端部を含む全体と重畳することが好ましい。つまり、連結部 5 2 a の内、配線重畳部 5

2cは、端部を含めて全て、定電位配線（初期化配線91）と平面視で重畳することが好ましい。これにより、第2高電源電圧線112との寄生容量による影響を抑えることができる。

[0078] （第2実施形態）

次に、本発明の第2実施形態に係る表示装置について、図面を参照して説明する。なお、第2実施形態において、第1実施形態と機能が実質的に等しい構成要素については、同一の符号を付して説明を省略する。

[0079] 図10は、本発明の第2実施形態に係る表示装置の画素回路を示す概略平面図であって、図11は、本発明の第2実施形態に係る表示装置において、半導体層と第1表示配線とを重ね合わせた状態でのレイアウトを示す概略平面図であって、図12は、図10の交差領域近傍を拡大して示す拡大平面図であって、図13は、図12の矢符B-Bでの断面を示す模式断面図である。なお、図10および図11では、図面の見易さを考慮して、配線などを抽出して示し、層間絶縁膜等を透視的に示している。また、図13は、平面視において屈曲した半導体層5に沿った断面を展開した状態を示している。

[0080] 第2実施形態は、第1実施形態に対し、交差領域KRでの構造が異なっている。具体的に、図11に示すように、第1表示配線7の第1走査信号線71は、略直線状とされ、分岐して列方向Yに延伸された分岐ゲート電極71aを有している。分岐ゲート電極71aは、行方向Xでデータ信号線111と第2高電源電圧線112との間に位置し、半導体層5の一部と重畳している。図13に示すように、交差領域KRにおいて、半導体層5のうち、分岐ゲート電極71aと重なる部分が半導体領域51となっており、第3トランジスタT1cとして機能する。

[0081] 具体的に、第3トランジスタT1cは、一方の導通端子（図12では、第3トランジスタT1cの左方の導体領域52）が、連結部52aを介して第1トランジスタの一方の導通端子（図12では、第1トランジスタT1aの下方の導体領域52）と接続され、他方の導通端子（図12では、第3トランジスタT1cの右方の導体領域52）が、連結部52aを介して第2トラ

ンジスタの一方の導通端子（図１２では、第２トランジスタＴ１ｂの下方の導体領域５２）と接続されている。

[0082] 第１トランジスタＴ１ａと第２トランジスタＴ１ｂとの間に、導体領域５２を介して接続された第３トランジスタＴ１ｃを設けて組み合わせることによって、１つのトリプルゲート方式のトランジスタとして機能させることができる。第１トランジスタＴ１ａ、第２トランジスタＴ１ｂ、および第３トランジスタＴ１ｃは、画素回路ＧＳにおいて、第１回路トランジスタＴ１に対応する。

[0083] 本実施の形態に係る表示装置１は、表示素子を備えた表示パネルであれば、特に限定されるものではない。表示素子は、電流によって輝度や透過率が制御される表示素子と、電圧によって輝度や透過率が制御される表示素子とがある。電流制御の表示素子としては、例えば、ＯＬＥＤ（Ｏｒｇａｎｉｃ Ｌｉｇｈｔ Ｅｍｉｔｔｉｎｇ Ｄｉｏｄｅ：有機発光ダイオード）を備えた有機ＥＬ（Ｅｌｅｃｔｒｏ Ｌｕｍｉｎｅｓｃｅｎｃｅ：エレクトロルミネッセンス）ディスプレイ、無機発光ダイオードを備えた無機ＥＬディスプレイ等のＥＬディスプレイ、およびＱＬＥＤ（Ｑｕａｎｔｕｍ ｄｏｔ Ｌｉｇｈｔ Ｅｍｉｔｔｉｎｇ Ｄｉｏｄｅ：量子ドット発光ダイオード）を備えたＱＬＥＤディスプレイ等がある。また、電圧制御の表示素子としては、液晶表示素子等がある。

[0084] なお、今回開示した実施の形態は全ての点で例示であって、限定的な解釈の根拠となるものではない。従って、本発明の技術的範囲は、上記した実施の形態のみによって解釈されるものではなく、特許請求の範囲の記載に基づいて画定される。また、特許請求の範囲と均等の意味および範囲内での全ての変更が含まれる。

符号の説明

- [0085] １ 表示装置
 ２ 基板
 ５ 半導体層

- 5 1 半導体領域
- 5 2 導体領域
- 5 2 a 連結部
- 5 2 b 重畳連結部
- 5 2 c 配線重畳部
- 6 ゲート絶縁膜
- 7 第1表示配線
- 7 1 第1走査信号線（走査信号線の一例）
- 7 2 第2走査信号線（走査信号線の一例）
- 7 3 駆動ゲート部
- 7 4 発光制御線
- 8 第1層間絶縁膜
- 9 第2表示配線
- 9 1 初期化配線（定電位線の一例）
- 9 2 第1高電源電圧線（定電位線の一例）
- 1 0 第2層間絶縁膜
- 1 1 第3表示配線
- 1 1 1 データ信号線
- 1 1 2 第2高電源電圧線
- G S 画素回路
- T 1 a 第1トランジスタ
- T 1 b 第2トランジスタ
- T 1 c 第3トランジスタ
- X 行方向
- Y 列方向

請求の範囲

- [請求項1] 表示パネルに配置された複数の画素回路に、それぞれデータ信号を供給することによって画像を表示する表示装置であって、
- 基板上に順に積層された半導体層、ゲート絶縁膜、第1表示配線、第1層間絶縁膜、第2表示配線、第2層間絶縁膜、および第3表示配線とを備え、
- 前記第1表示配線は、行方向に延伸された複数の走査信号線を含み、
- 前記第2表示配線は、前記行方向に延伸された複数の定電位配線を含み、
- 前記第3表示配線は、前記行方向と交差する列方向に延伸され、前記走査信号線および前記定電位配線と交差する複数のデータ信号線を含み、
- 前記複数の画素回路は、前記複数のデータ信号線と前記複数の走査信号線との交点に対応して設けられ、
- 前記画素回路は、前記複数の走査信号線のうちのいずれかの走査信号線と前記半導体層とが、前記ゲート絶縁膜を介して重畳する第1トランジスタおよび第2トランジスタを有し、
- 前記第1トランジスタの一方の導通端子と、前記第2トランジスタの一方の導通端子とは、前記半導体層の導体領域に含まれる連結部を介して接続され、
- 前記連結部は、前記定電位配線を介して、前記データ信号線と平面視で重畳する重畳連結部を含むこと
- を特徴とする表示装置。
- [請求項2] 請求項1に記載の表示装置であって、
- 前記第1トランジスタの一方の導通端子と他方の導通端子とは、前記データ信号線に沿って、前記列方向に並び、
- 前記第2トランジスタの一方の導通端子と他方の導通端子とは、前

記データ信号線に沿って、前記列方向に並び、

前記重畳連結部は、前記定電位配線と重畳し、前記行方向に延伸されていること

を特徴とする表示装置。

[請求項3]

請求項1または請求項2に記載の表示装置であって、

前記定電位配線のうちいずれか1つは、初期化配線とされていること

を特徴とする表示装置。

[請求項4]

請求項3に記載の表示装置であって、

前記第1トランジスタおよび前記第2トランジスタは、初期化トランジスタとされていること

を特徴とする表示装置。

[請求項5]

請求項4に記載の表示装置であって、

前記画素回路は、駆動トランジスタを有し、

前記第1トランジスタの他方の導通端子は、前記初期化配線と電氣的に接続され、

前記第2トランジスタの他方の導通端子は、前記駆動トランジスタの制御端子と電氣的に接続されていること

を特徴とする表示装置。

[請求項6]

請求項1から請求項5までのいずれか1つに記載の表示装置であって、

前記画素回路は、前記第1トランジスタおよび前記第2トランジスタに対して重畳する走査信号線から分岐して延伸された分岐ゲート電極と、前記半導体層とが重畳する第3トランジスタを有すること

を特徴とする表示装置。

[請求項7]

請求項6に記載の表示装置であって、

前記第3トランジスタは、一方の導通端子が、前記連結部を介して前記第1トランジスタの一方の導通端子と接続され、他方の導通端子

が、前記連結部を介して前記第2トランジスタの一方の導通端子と接続されていること

を特徴とする表示装置。

[請求項8]

請求項6または請求項7に記載の表示装置であって、

前記第3トランジスタの半導体層は、前記定電位配線と平面視で重畳すること

を特徴とする表示装置。

[請求項9]

請求項6から請求項8までのいずれか1つに記載の表示装置であって、

前記データ信号線は、前記行方向での前記第1トランジスタと前記第3トランジスタとの間を通ること

を特徴とする表示装置。

[請求項10]

請求項6から請求項9までのいずれか1つに記載の表示装置であって、

前記第3表示配線は、電源電圧線を含み、

前記電源電圧線は、前記行方向での前記第2トランジスタと前記第3トランジスタとの間を通ること

を特徴とする表示装置。

[請求項11]

請求項1から請求項10までのいずれか1つに記載の表示装置であって、

前記第1トランジスタの他方の導通端子は、隣接する画素回路の初期化トランジスタのいずれかの導通端子に対して、前記半導体層の導体領域を介して接続されていること

を特徴とする表示装置。

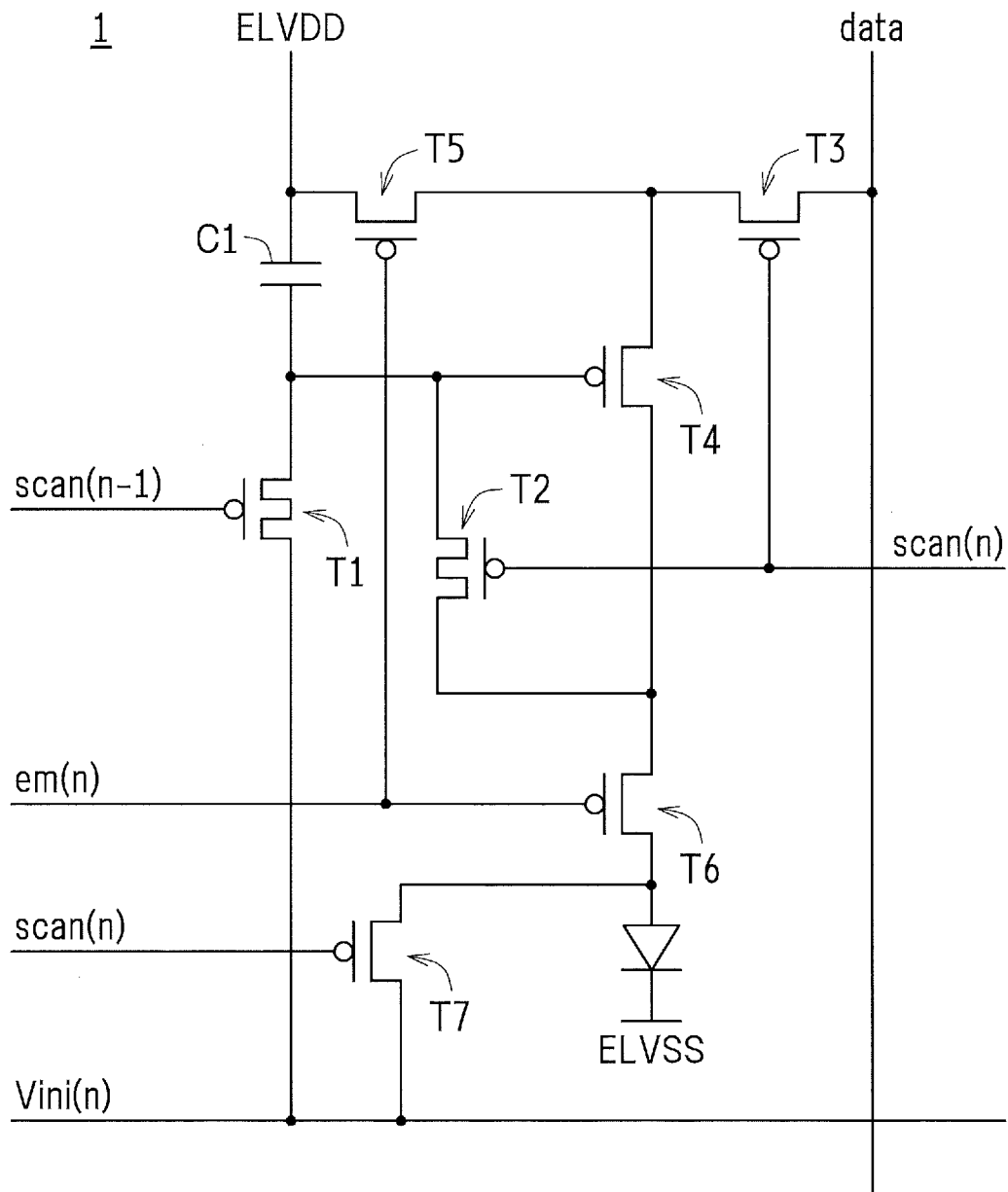
[請求項12]

請求項1から請求項11までのいずれか1つに記載の表示装置であって、

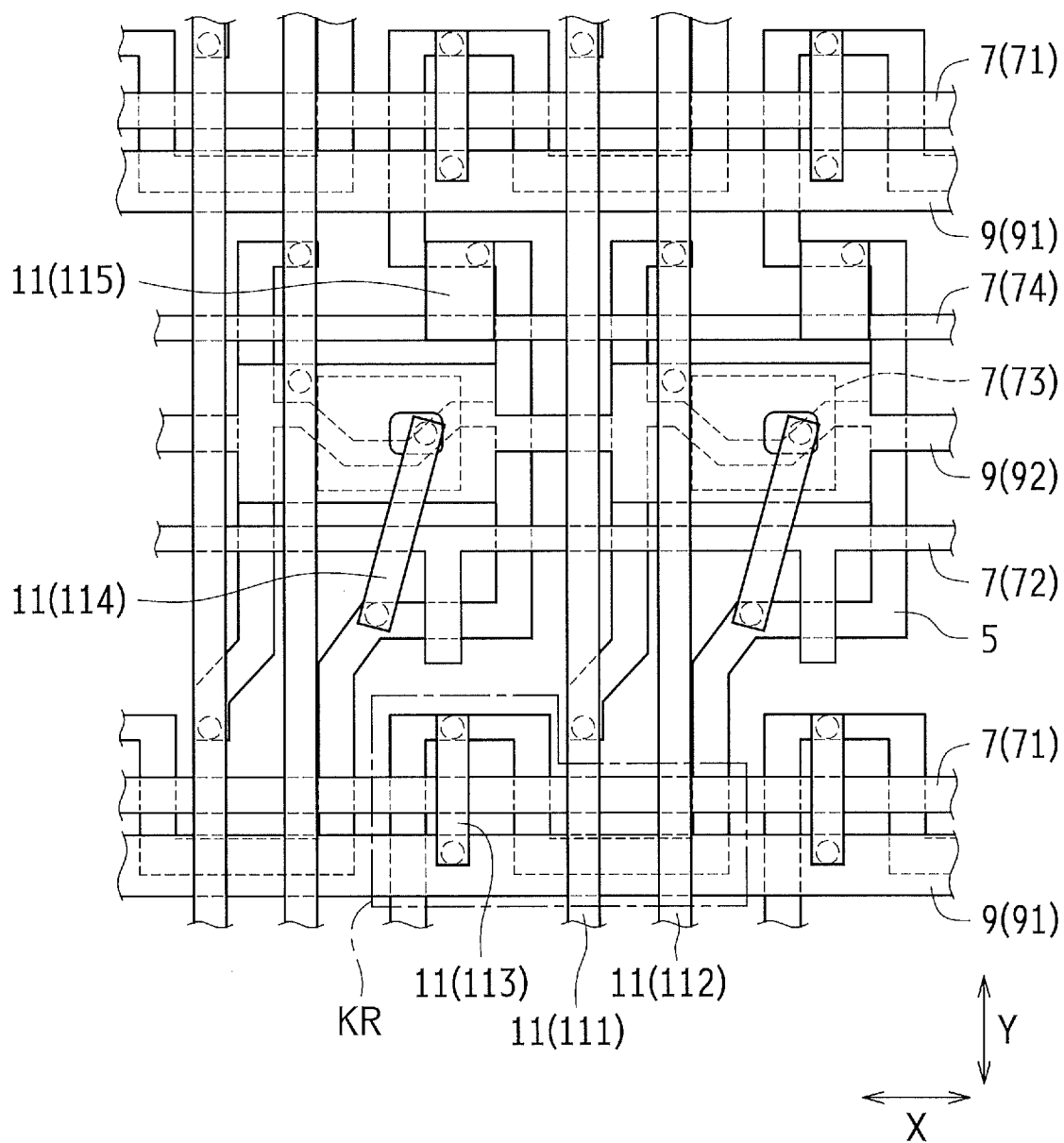
前記走査信号線は、発光制御線を含むこと

を特徴とする表示装置。

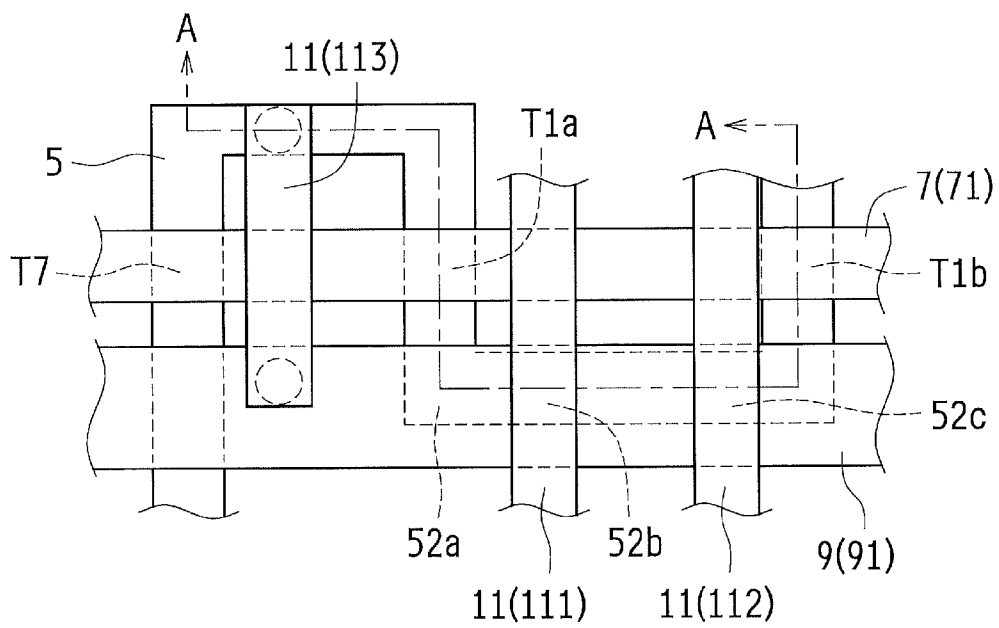
[図1]



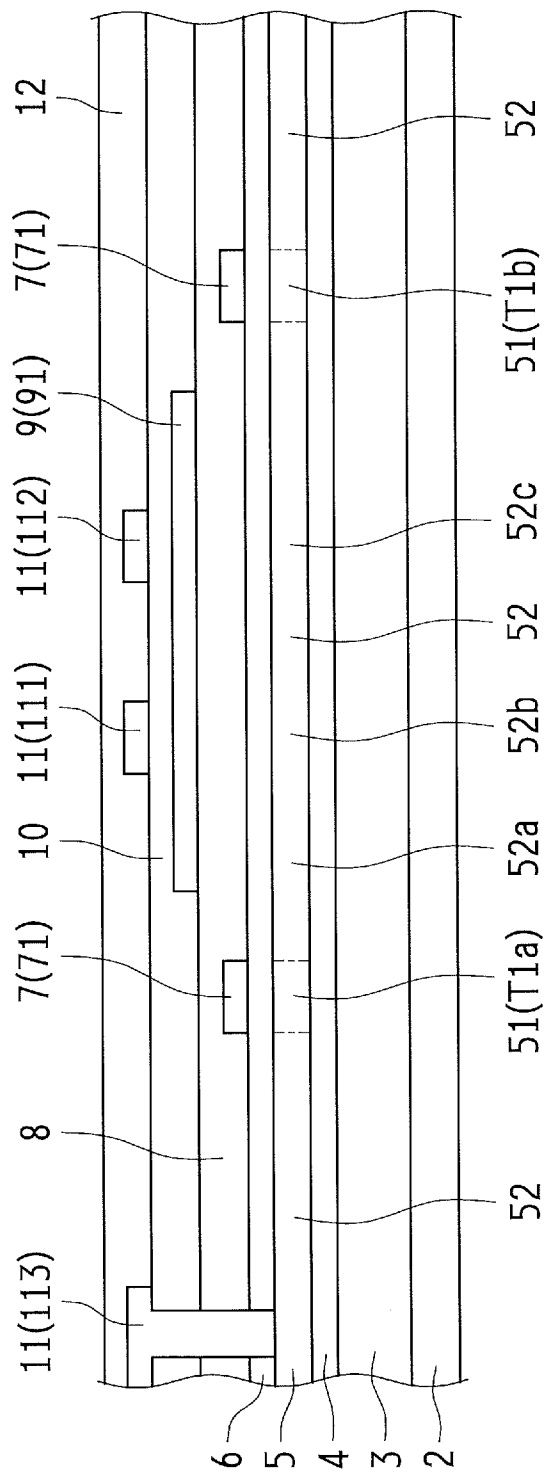
[図2]



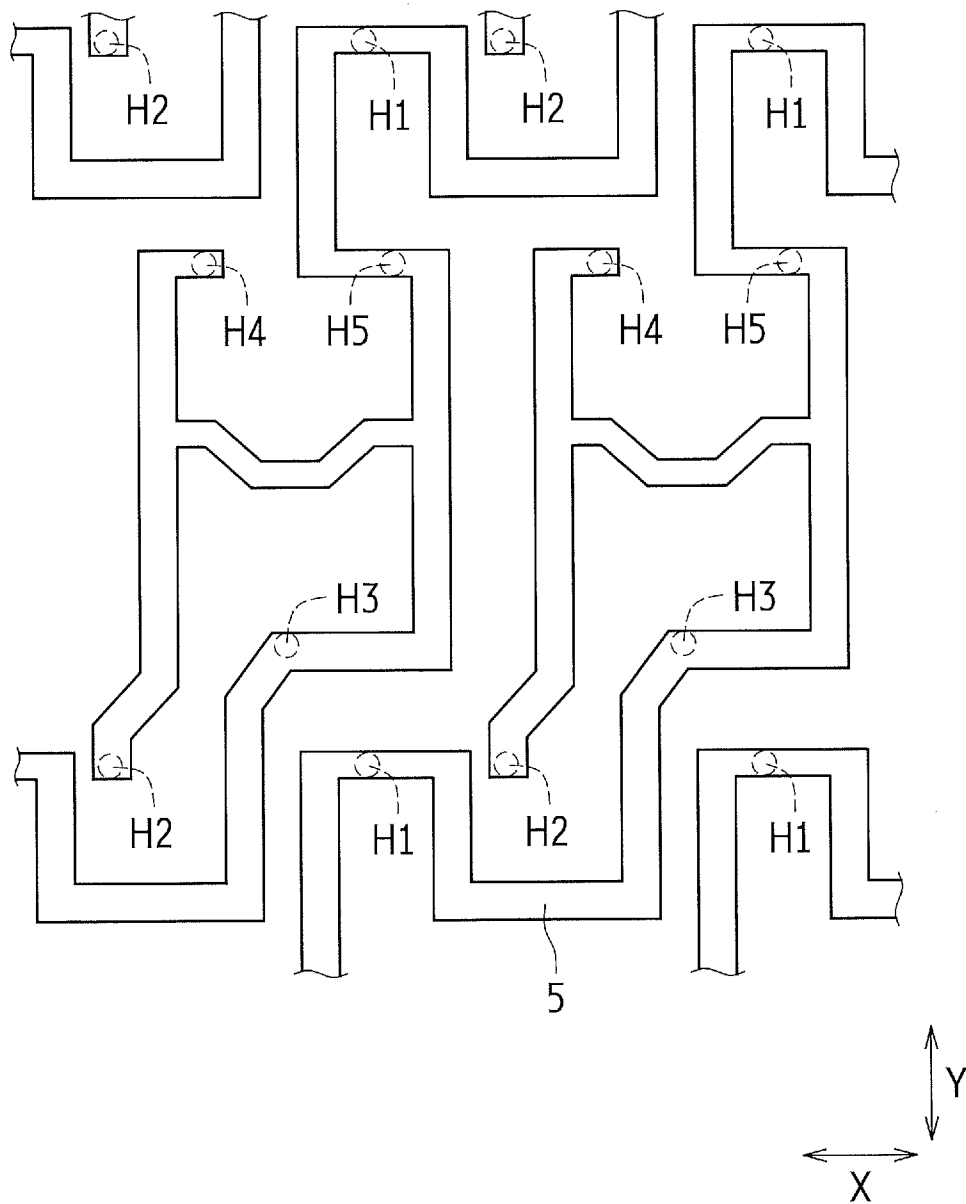
[図3]



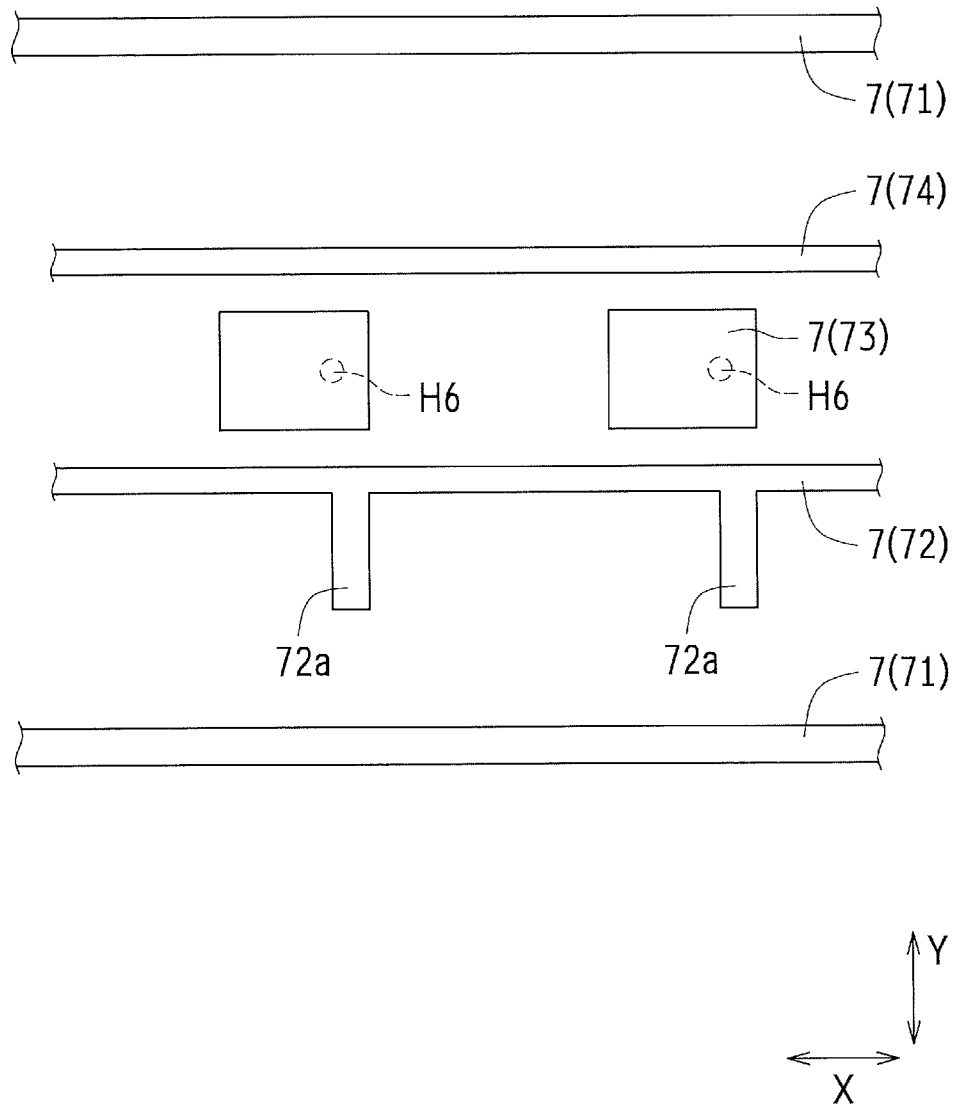
[図4]



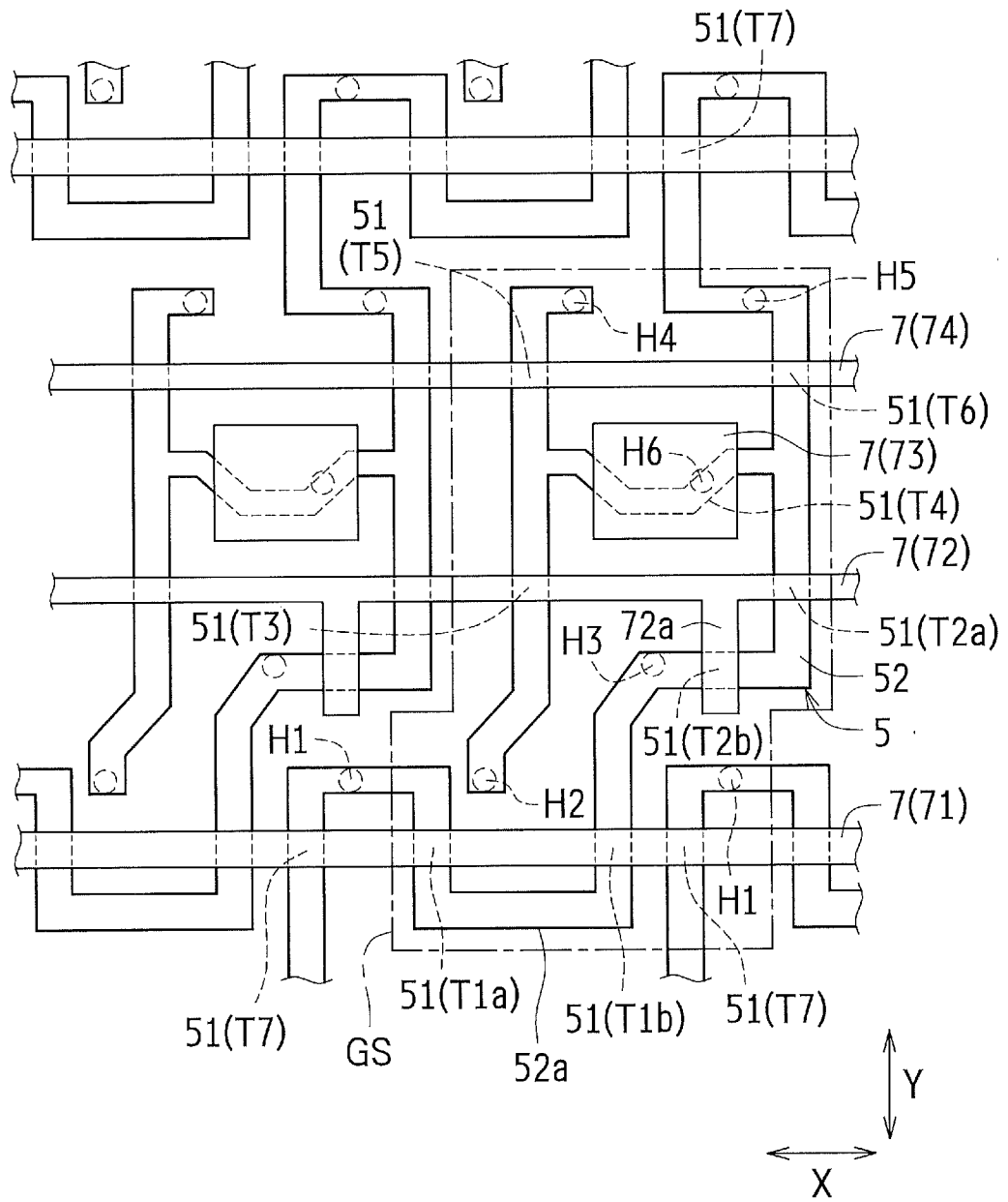
[図5]



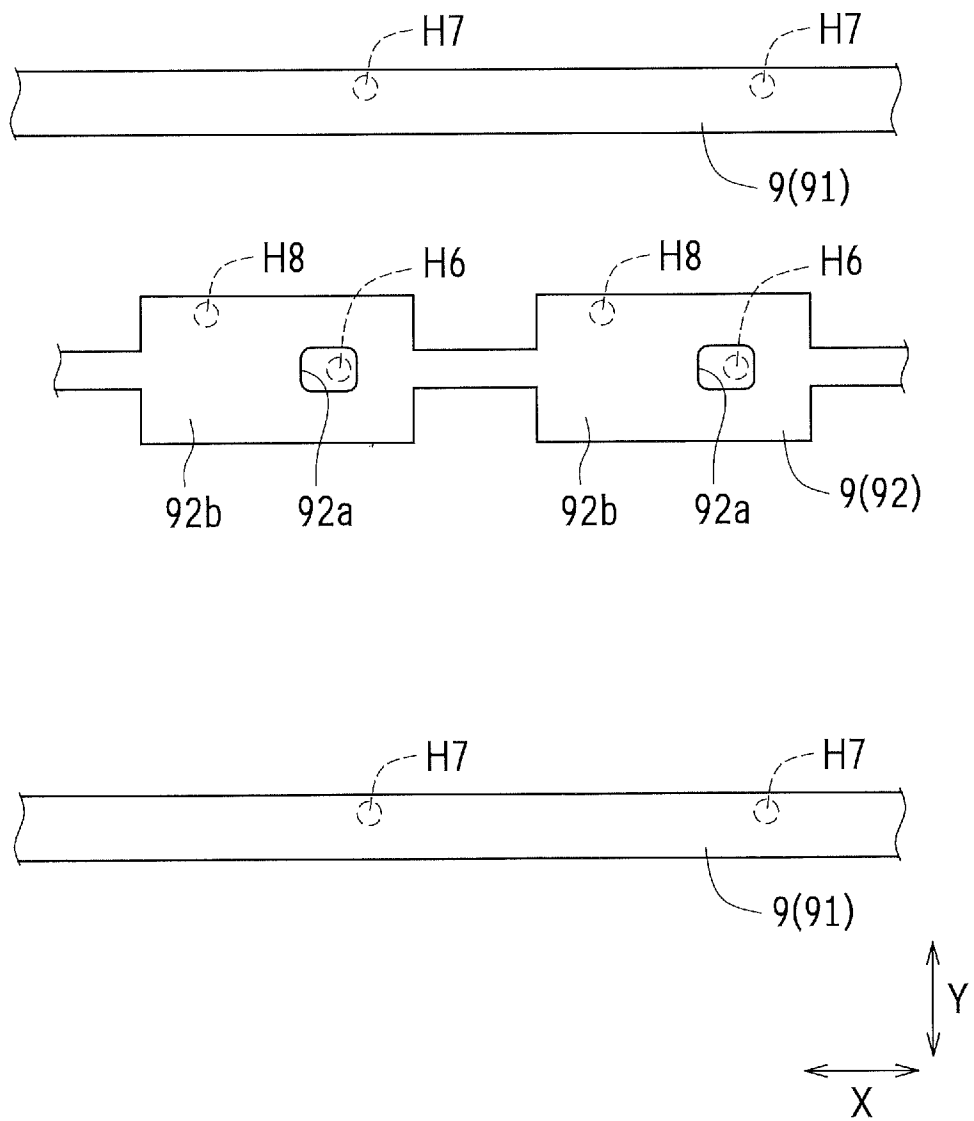
[図6]



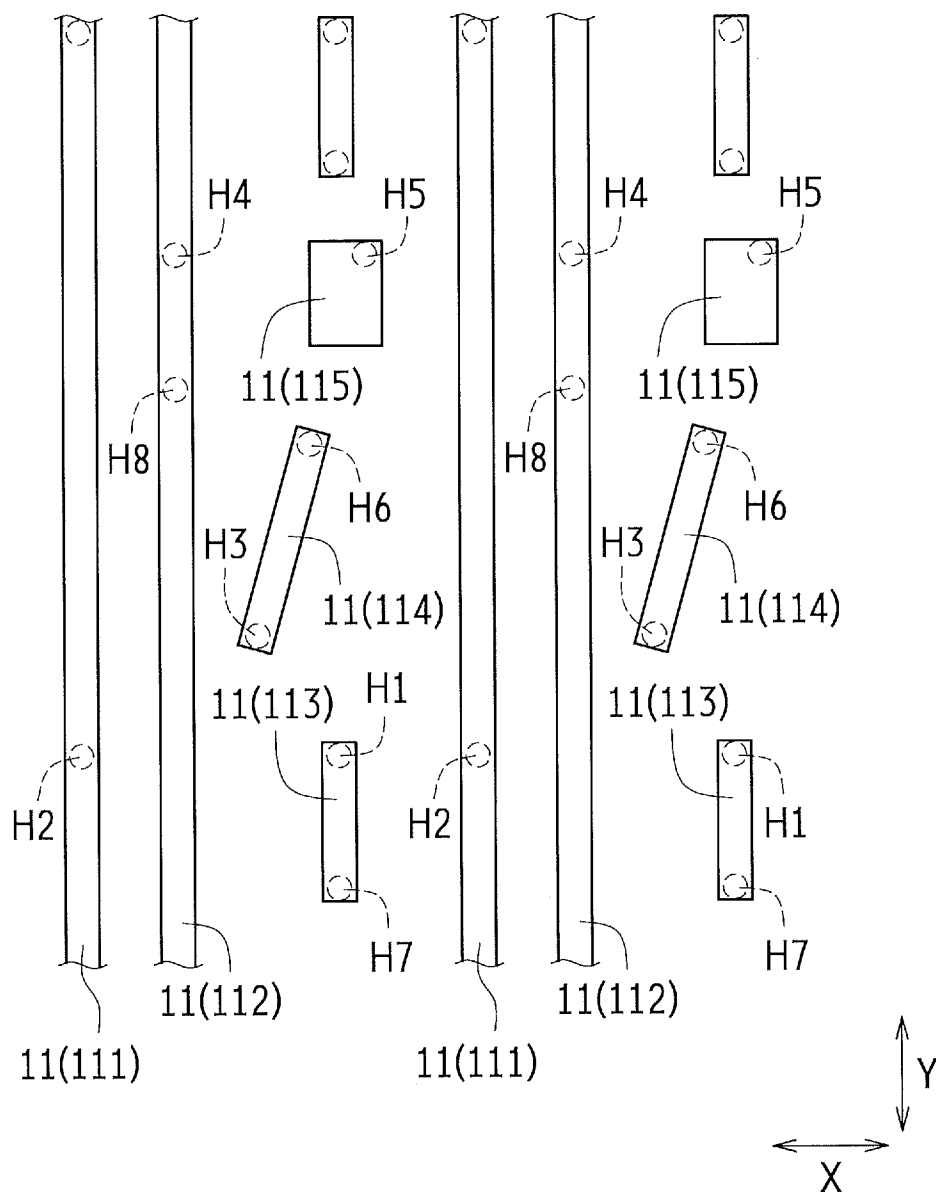
[図7]



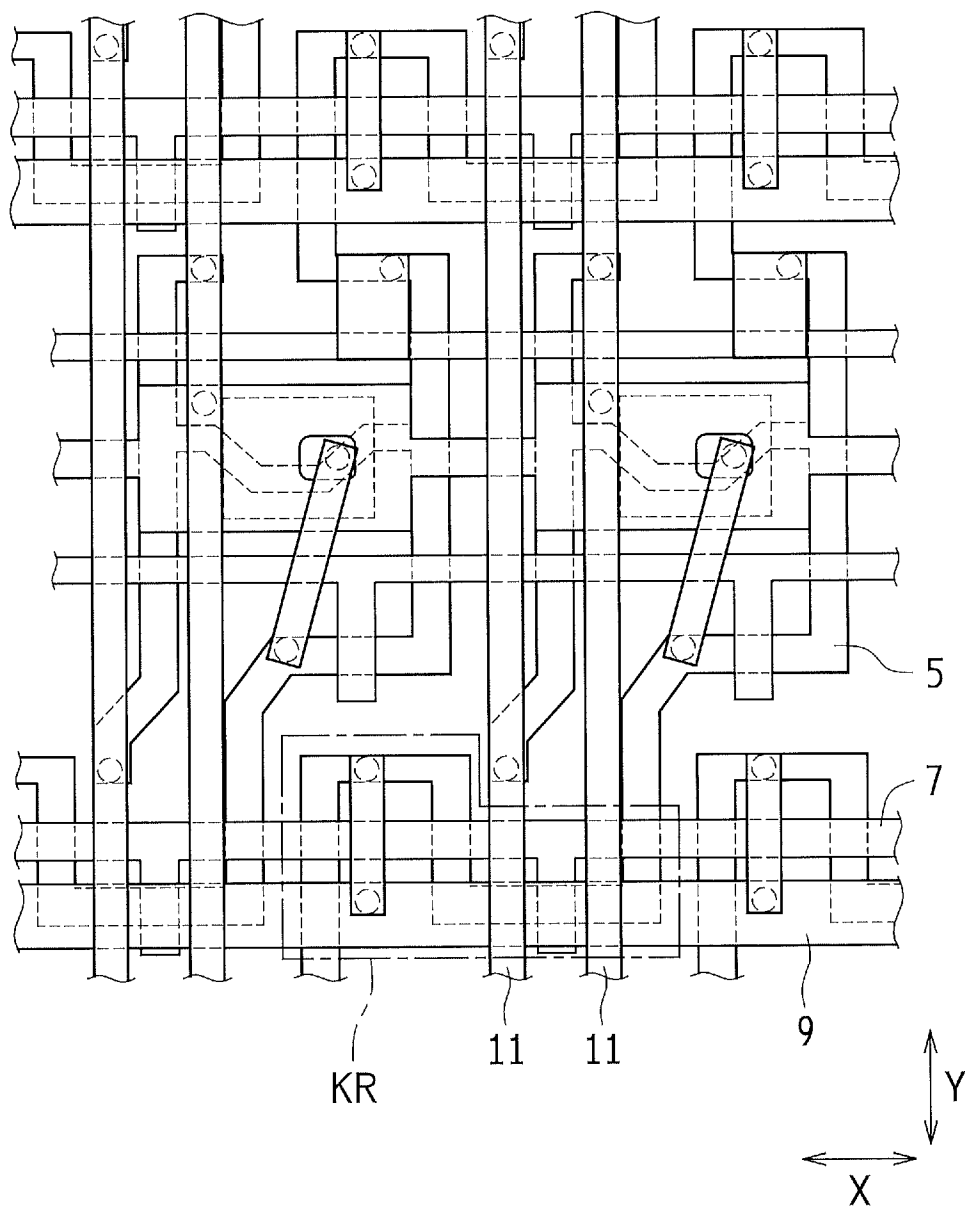
[図8]



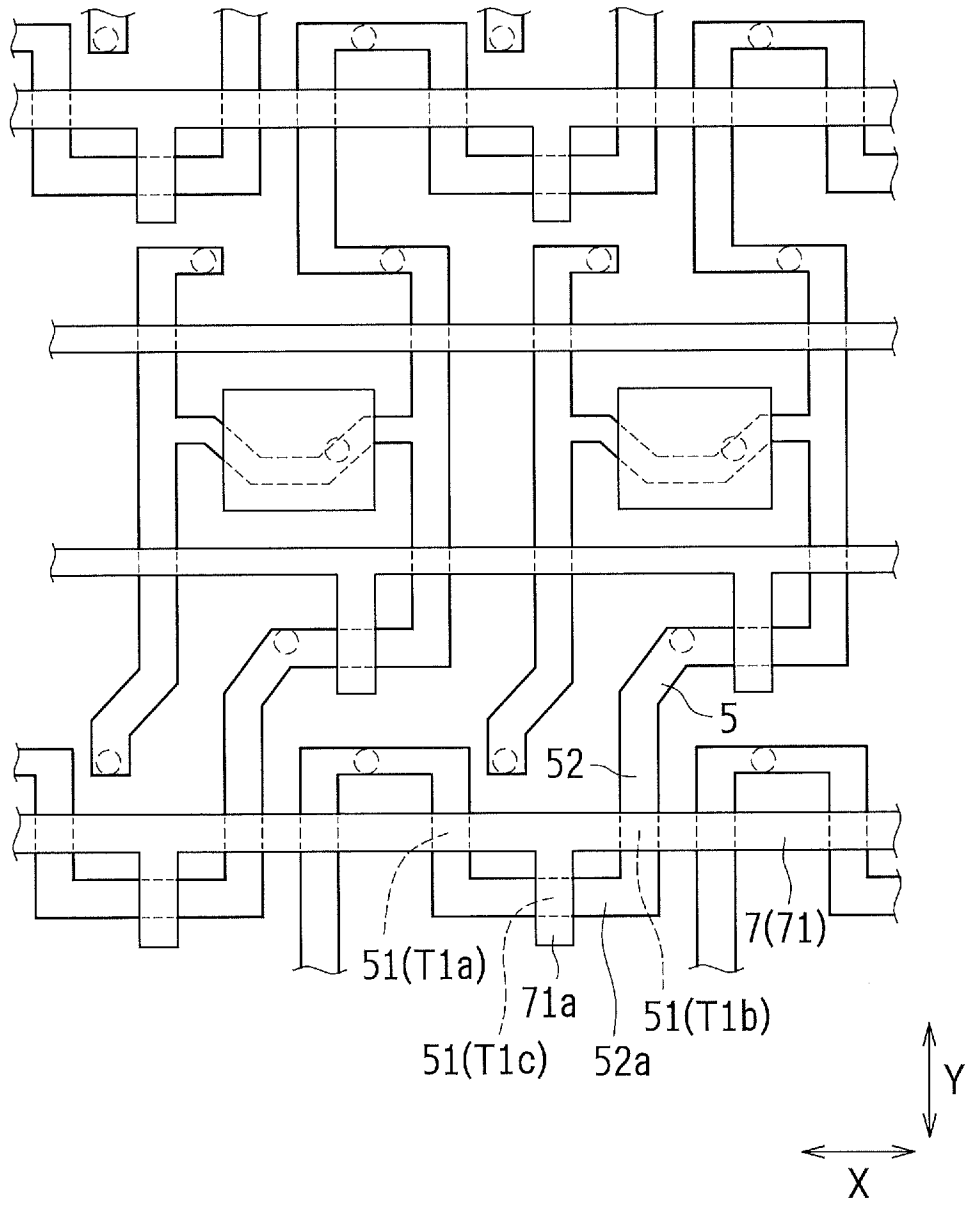
[図9]



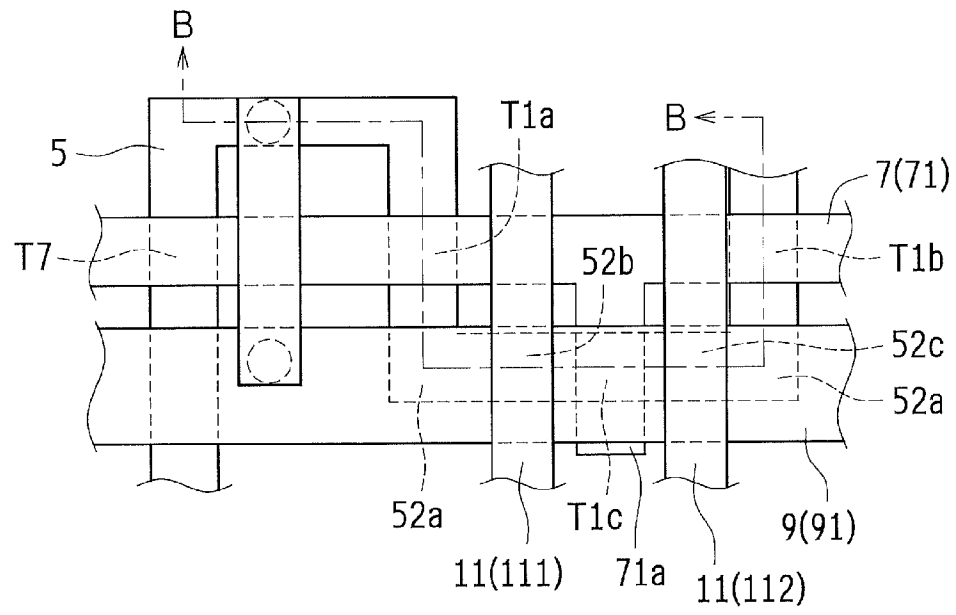
[図10]



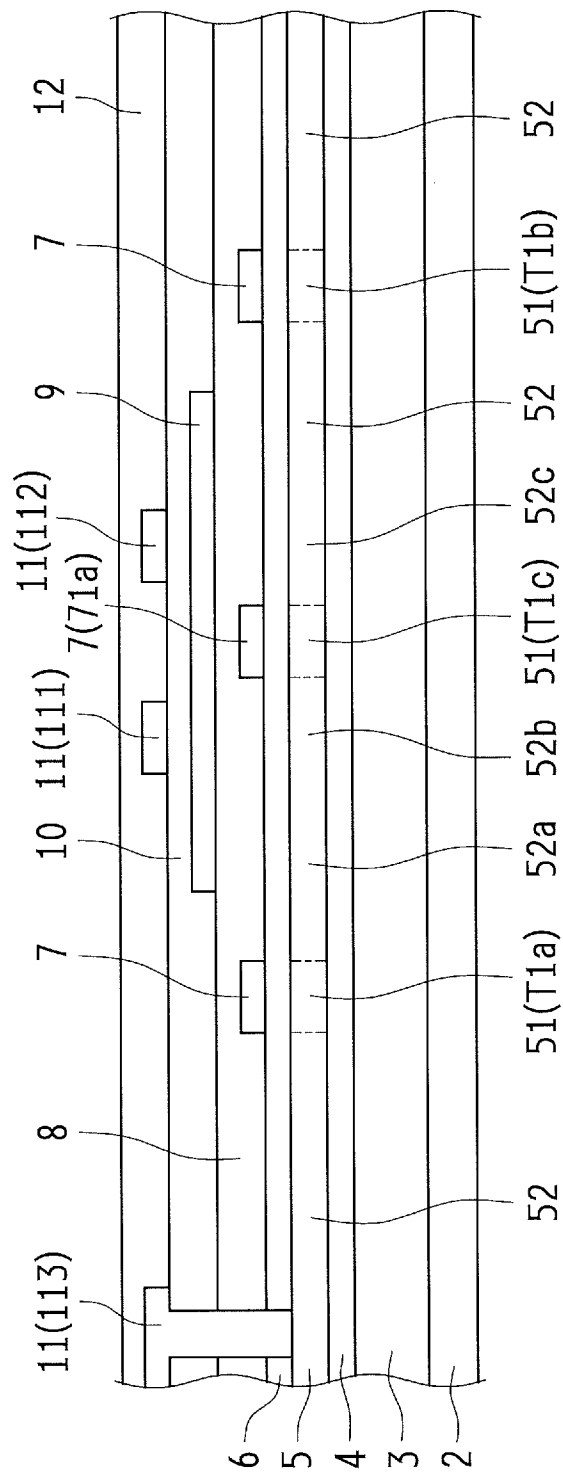
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/004539

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. G09F9/30 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. G09F9/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2018-189965 A (NIPPON STEEL ENGINEERING CO., LTD.) 29 November 2018, paragraphs [0074]-[0195], fig. 1-9 & US 2018/0331171 A1, paragraphs [0115]-[0237], fig. 1-9 & EP 3401959 A1 & KR 10-2018-0125084 A & CN 108878476 A	1-12
A	JP 2015-76300 A (SEIKO EPSON CORPORATION) 20 April 2015, paragraphs [0021]-[0023], fig. 2 & US 2015/0102323 A1, paragraphs [0055]-[0057], fig. 2 & CN 104576688 A & TW 201515198 A	1-12
A	WO 2011/048838 A1 (SHARP KABUSHIKI KAISHA) 28 April 2011, paragraphs [0042], [0043], fig. 1, 2 & US 2012/0199854 A1, paragraphs [0066]-[0069], fig. 1, 2	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
26.03.2019

Date of mailing of the international search report
09.04.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/004539

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2019/0043937 A1 (SAMSUNG DISPLAY CO., LTD.) 07 February 2019, entire text, all drawings (Family: none)	1-12
A	JP 11-231805 A (SANYO ELECTRIC CO., LTD.) 27 August 1999, entire text, all drawings (Family: none)	1-12
A	JP 2007-148219 A (SEIKO EPSON CORPORATION) 14 June 2007, entire text, all drawings (Family: none)	1-12

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G09F9/30 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G09F9/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2018-189965 A (三星ディスプレイ株式会社) 2018.11.29, 段落0074-0195, 図1-9 & US 2018/0331171 A1, 段落0115-0237, 図1-9 & EP 3401959 A1 & KR 10-2018-0125084 A & CN 108878476 A	1-12
A	JP 2015-76300 A (セイコーエプソン株式会社) 2015.04.20, 段落0021-0023, 図2 & US 2015/0102323 A1, 段落0055-0057, 図2 & CN 104576688 A & TW 201515198 A	1-12

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

- * 引用文献のカテゴリー
- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
- 「O」 口頭による開示、使用、展示等に言及する文献
- 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」 同一パテントファミリー文献

国際調査を完了した日

26.03.2019

国際調査報告の発送日

09.04.2019

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐野 浩樹

21

4071

電話番号 03-3581-1101 内線 3273

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2011/048838 A1 (シャープ株式会社) 2011.04.28, 段落0042-0043, 図1-2 & US 2012/0199854 A1, 段落0066-0069, 図1-2	1-12
A	US 2019/0043937 A1 (SAMSUNG DISPLAY CO., LTD.) 2019.02.07, 全文全図 (ファミリーなし)	1-12
A	JP 11-231805 A (三洋電機株式会社) 1999.08.27, 全文全図 (ファミリーなし)	1-12
A	JP 2007-148219 A (セイコーエプソン株式会社) 2007.06.14, 全文全図 (ファミリーなし)	1-12