

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-123647

(P2005-123647A)

(43) 公開日 平成17年5月12日(2005.5.12)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/78	HO 1 L 29/78	5 F 0 4 8
HO 1 L 21/8238	HO 1 L 27/06	5 F 1 4 0
HO 1 L 27/06	HO 1 L 27/08	
HO 1 L 27/092		

審査請求 有 請求項の数 3 O L (全 23 頁)

(21) 出願番号	特願2004-370063 (P2004-370063)	(71) 出願人	000003078 株式会社東芝
(22) 出願日	平成16年12月21日 (2004.12.21)		東京都港区芝浦一丁目1番1号
(62) 分割の表示	特願平7-258132の分割	(74) 代理人	100075812 弁理士 吉武 賢次
原出願日	平成7年9月11日 (1995.9.11)	(74) 代理人	100088889 弁理士 橘谷 英俊
(31) 優先権主張番号	特願平6-218939	(74) 代理人	100082991 弁理士 佐藤 泰和
(32) 優先日	平成6年9月13日 (1994.9.13)	(74) 代理人	100096921 弁理士 吉元 弘
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100103263 弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 M I S型 F E Tの駆動力を向上させる。

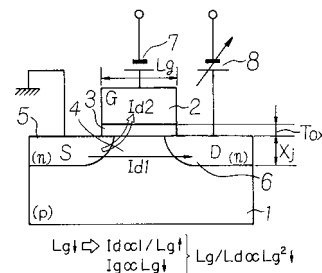
【解決手段】 第一導電型の半導体基板(1)と、該半導体基板上に形成されたゲート絶縁膜(3)と、このゲート絶縁膜を介して前記半導体基板上に形成されたゲート電極(2)と、該半導体基板のゲート電極直下に位置するチャネル形成領域(4)の両側に形成された第二導電型のソース/ドレイン領域(5、6)とを備えたMOS型半導体装置において、前記ゲート絶縁膜(3)の厚さが酸化膜換算で2.5nm未満、前記ゲート電極(2)のゲート長が0.3μm以下で、前記ゲート電極のチャネル方向の長さ(Lg)と前記ゲート絶縁膜のシリコン膜換算厚さ(Tox)の関係が以下の関係

$$Lg \geq 10^{(Tox - 2.02)} \quad \text{このとき } Lg \text{ の単位は } (\mu m)$$

Toxの単位は(nm)

を満足することを特徴とする半導体装置。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第一導電型の半導体基板と、
 該半導体基板上に形成されたゲート絶縁膜と、
 このゲート絶縁膜を介して前記半導体基板上に形成されたゲート電極と、
 該半導体基板のゲート電極直下に位置するチャンネル形成領域の両側に形成された第二導電型のソース/ドレイン領域とを備えたMOS型半導体装置において、
 前記ゲート絶縁膜の厚さが酸化膜換算で 2.5 nm 未満、前記ゲート電極のゲート長が $0.3 \text{ }\mu\text{m}$ 以下で、前記ゲート電極のチャンネル方向の長さ(Lg)と前記ゲート絶縁膜のシリコン膜換算厚さ(T_{ox})の関係が以下の関係

$$Lg = 10^{(T_{ox}-2.02)} \quad \text{このとき } Lg \text{ の単位は } (\mu\text{m})$$

$$T_{ox} \text{ の単位は } (\text{nm})$$

10

を満足することを特徴とする半導体装置。

【請求項 2】

前記ゲート電極のチャンネル方向の長さ(Lg)と前記ゲート絶縁膜のシリコン膜換算厚さ(T_{ox})の関係が以下の関係

$$Lg = 10^{(T_{ox}-2.32)} \quad \text{このとき } Lg \text{ の単位は } (\mu\text{m})$$

$$T_{ox} \text{ の単位は } (\text{nm})$$

を満足することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

一部に請求項 1 または 2 の半導体装置を含むことを特徴とする半導体集積回路装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関するもので、特に低電源電圧下での使用に適した微細、高性能MOS型トランジスタに係わる。

【背景技術】

【0002】

MOS型トランジスタは、特に、MOSFETの集積化技術の向上に伴い、ゲート長 $0.5 \text{ }\mu\text{m}$ 以下の領域の検討が各所で進められている。1974年にはデナード(R.L.Dennard)氏らによりMOSFETの微細化のためのいわゆるスケーリング則が提唱されている。これは、素子のある構成要素(例えば、チャンネル長)のサイズを縮小する場合、その他の構成要素も同じ比率で縮小することによって、トランジスタとしての動作特性を確保するという法則である。基本的に1970年代から90年代初めにかけて続いてきたMOSLSIの高集積化は、この法則を基本にして実現されてきた。

30

【0003】

しかし、より微細化が進み、各種の構成要素においても“物理的限界値”と言われるような限界値が近付き、その値を越えての縮小化は困難になりつつある。例えば、ゲート絶縁膜厚は $3 \sim 4 \text{ nm}$ 程度が薄膜化の限界と一般には言われており、この膜厚以下では、ゲート電極とソース/ドレイン電極間のトンネリング電流が増大し、トランジスタとしての正常動作は実現できないことが知られている。

40

【0004】

そこで、ゲート絶縁膜は 3 nm 程度に固定し、その他の構成要素の縮小を考えるという手法が1993年フィエナ(Fiena)らにより提案されている(著者C.Fiegna, H.Iwai, T.Wada, T.Saito, E.Sangiorgio, and B.Ricco; 論文名A new scaling methodology for the $0.1-0.025 \text{ }\mu\text{m}$ MOSFET, Dig. of Tech. Papers, VLSISymp.; 出典Technol., Kyoto, pp.33-34, 1993.)。その手法により同年小野(Ono)らにより $0.04 \text{ }\mu\text{m}$ ゲート長のトランジスタが実現されるに至っている(著者M.Ono, M.Saito, T.Yoshitomi, C.Fiegna, T.Ohguro, and H.Iwai; 論文名Sub-50 nm gate length n-MOSFETs with 10 nm phosphorus source and drain junction; 出典IEDMTech.Dig., pp.119-122, 1993.)。

50

【0005】

ゲート絶縁膜厚3nmかつゲート長0.04 μ mのトランジスタは次のように製造される。まず、p型シリコン基板上に、LOCOS(Local Oxidation of Silicon)法により、素子領域と、素子分離領域を形成した後、所望の閾値電圧が得られるようにチャンネル形成領域にp型不純物(例えばB(ボロン))を導入する。

【0006】

その後、ゲート酸化膜としてシリコン基板表面に3nmの酸化膜を例えばDry O₂ 雰囲気中で800、10分の酸化により形成する。その後、P(リン)含有条件で例えばポリシリコンを100nm堆積した後、レジストを塗布してパターンングでゲート電極を所望の長さ加工する。ソース/ドレイン形成領域へのn型不純物の導入は、ゲート電極側壁部に残したPSG膜(P(リン)含有シリコン酸化膜)からのPの固相拡散により形成する。金属配線部と良好に接続をとること、及びトランジスタの短チャンネル効果に影響しない部分の拡散層を低抵抗にする目的で、この後、n型不純物をイオン注入法で例えば、 $5 \times 10^{15} \text{cm}^{-2}$ 導入する。このときの不純物拡散及び活性化のためのアニールは例えば1000、10秒という条件とする。その後、コンタクト部を開孔し、金属配線を施す。

10

【0007】

このように製造したトランジスタは、ゲート側壁部下のソース/ドレイン拡散層のシート抵抗(Ω)が6.2k Ω 、拡散長(つまり、ソース/ドレイン領域の深さ)はSIMS分析の結果10nmであった。

20

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上記従来トランジスタは、ソース/ドレイン領域が浅いことによってその寄生抵抗が相対的に大きくなる。そのため、ゲート長縮小に相応する駆動力の向上が得られなかった。

【0009】

本発明は上記従来技術の有する問題点に鑑みてなされたもので、その目的とするところは、駆動力が向上したMOS型半導体装置を提供することにある。

【課題を解決するための手段】

30

【0010】

本発明は半導体装置は、第一導電型の半導体基板と、該半導体基板上に形成されたゲート絶縁膜と、このゲート絶縁膜を介して前記半導体基板上に形成されたゲート電極と、該半導体基板のゲート電極直下に位置するチャンネル形成領域の両側に形成された第二導電型のソース/ドレイン領域とを備えたMOS型半導体装置において、前記ゲート絶縁膜の厚さが酸化膜換算で2.5nm未満、前記ゲート電極のゲート長が0.3 μ m以下で、前記ゲート電極のチャンネル方向の長さ(L_g)と前記ゲート絶縁膜のシリコン膜換算厚さ(T_{ox})の関係が以下の関係

$$L_g \geq 10^{(T_{ox} - 2.02)} \quad \text{このとき } L_g \text{ の単位は } (\mu\text{m})$$

$$T_{ox} \text{ の単位は } (\text{nm})$$

40

を満足することを特徴とする半導体装置であることを特徴とする。

【発明の効果】

【0011】

本発明によれば、ゲート絶縁膜の厚さを2.5nm未満とし、ゲート長を0.3 μ m以下にし、ゲート電極のチャンネル方向の長さとしてゲート絶縁膜のシリコン膜換算厚さを所定の関係を有するようにしたことにより、ホットキャリアストレス下での信頼性が向上するとともに、ソース/ドレイン電極からゲート電極へのトンネル電流I_gを減少させることができ、トランジスタ特性の向上を図ることができる。

【実施例】

【0012】

50

以下に本発明の実施例について図面を参照しつつ説明する。図1(a)は本発明の一実施例に係るMOS型トランジスタの構造を示すものである。この図において、1は第一導電型(例えば、p型)の半導体基板であり、この基板1上には酸化膜3を介してゲート電極2が形成されている。基板1におけるゲート電極2直下のチャンネル形成領域4各側にはソース領域5及びドレイン領域6となる第一導電型とは逆導電型(例えば、n+型)高濃度拡散層が形成されている。ゲート電極2には電源7、ドレイン領域6には電源8がそれぞれ接続されて使用されるものである。ゲート電極2のチャンネル形成領域4の長さ方向の寸法となるゲート長 L_g は $0.3\mu\text{m}$ 以下とされ、ゲート絶縁膜3の厚さ T_{ox} は 2.5nm 未満とされる。本発明のゲート長 L_g のトランジスタはコンダクタンス g_m の向上を図ると同時に、ドレイン領域6に流れ込むべき電流 I_{d1} 、 I_{d2} のうちゲートへ流れ込むトンネル電流 I_{d2} を減少させたものとなる。

10

【0013】

図1(b)に本発明の実施例の代表的な構造図及び各部の寸法を示す。ゲート電極のゲート長(L_g)は $0.09\mu\text{m}$ 、ゲート絶縁膜厚(T_{ox})は 1.5nm 、ソース/ドレイン間の実効チャンネル長(L_{eff})は $0.05\mu\text{m}$ 、チャンネル近傍の拡散深さ(X_j)はソース、ドレインの他の領域に比べて浅く、 30nm である。この実施例ではこのチャンネル近傍の拡散層は、ゲート側壁に形成されたPSG膜から固相拡散により形成されており、いわゆるSPDD(Solid Phase Diffused Drain)構造のMOSトランジスタとなっている。

【0014】

ここで本発明トランジスタの主要部の製造法についてまず説明する。

20

ゲート酸化膜は、従来法により半導体基板1上に素子領域及び素子分離領域を形成した後、急速ランプ加熱法にて 800 、 10 秒の条件で酸化を行う。これにより、 1.5nm という上記条件に適合した膜厚のゲート絶縁膜3を形成することができた。また、 850 、 10 秒の条件でゲート絶縁膜 1.8nm が形成できた。 900 、 5 秒の条件でゲート絶縁膜 2.0nm のものが形成できた。温度及び時間を選択することにより、 2.5nm 未満の所望の膜厚のゲート絶縁膜を形成することができた。その後、リン含有ポリシリコン膜を約 100nm 堆積後、異方性エッチングによりパターンニングし、所望のゲート長 L_g のゲート電極を形成する。

【0015】

HF処理を施した後、PSG膜(リン含有シリコン酸化膜)からの固相拡散により 30nm 拡散長のソース/ドレイン領域5、6が形成できた。図2はそのときの不純物濃度プロファイルを示すものである。そして、このような拡散層のシート抵抗 s は $1.4\text{k}\Omega/\square$ にすることができた。なお、HF処理を施さない場合には $6.2\text{k}\Omega/\square$ であった。

30

【0016】

以降の工程は従来例と同様の方法にて作製する。上述した方法によりゲート長は最小のもので $0.06\mu\text{m}$ が実現され、 $10\mu\text{m}$ 以下 $0.06\mu\text{m}$ まで、所望のサイズのゲート長のトランジスタが作製できた。また、ゲート酸化膜は厚さ 1.5nm をはじめ、 2.5nm 未満の所望の膜厚のものが実現された。なお、このゲート長及びゲート絶縁膜厚の値は透過型電子顕微鏡:TEM(Transmission Electron Microscope)観察により確認することができる。

40

【0017】

以上のように形成したMIS型FETについて各種特性評価を行った結果を以下に説明する。

【0018】

図3はホットキャリアストレス($V_d = 2.5\text{V}$ 、 I_{submax} 条件)でのトランスコンダクタンス劣化のゲート酸化膜厚依存性を示している。この図に示すように、ゲート酸化膜厚が 2.5nm 未満の場合には相互コンダクタンス g_m の劣化は、トンネル電流が生ずる限界値と従来称されてきた 3nm の場合の劣化量の $1/2$ になり、トランジスタの寿命が2倍以上向上するため、 2.5nm 未満で使用されることが望ましい。

【0019】

50

さらに、 2.0 nm 以下で使用されれば、トランジスタの寿命は3倍以上向上する。したがって、 2.0 nm で使用されればさらに望ましい。ゲート酸化膜3の厚さ T_{ox} が 2 nm 以下の場合にはゲート長 $L_g = 0.10\text{ }\mu\text{m}$ で10%以下、ゲート長 $L_g = 0.14\text{ }\mu\text{m}$ で6%以下で落着くが、 2.5 nm より大きくなると急激な劣化が見られた。

【0020】

図4はトンネル電流 I_g のゲート長 L_g 依存性を示すものである。この図において、ゲート長 $L_g = 0.3\text{ }\mu\text{m}$ 以下の場合、ゲート幅 $W = 10\text{ }\mu\text{m}$ で酸化膜厚 $T_{ox} = 1.5\text{ nm}$ で $0.5\text{ }\mu\text{A}$ 未満、酸化膜厚 $T_{ox} = 1.8\text{ nm}$ では 0.1 未満に安定した。これに対し、ゲート長 $L_g = 0.3\text{ }\mu\text{m}$ を越えると急激なゲート電流の増大が見られた。

【0021】

図5はドレイン電流 I_{d0} のゲート長 L_g 依存性を示すものである。この図においては、 $T_{ox} = 1.5\text{ nm}$ 、 $x_j = 30\text{ nm}$ の場合(本発明)、 $T_{ox} = 1.8\text{ nm}$ 、 $x_j = 30\text{ nm}$ の場合(本発明)、 $T_{ox} = 3.0\text{ nm}$ 、 $x_j = 12\text{ nm}$ の場合(従来例)についてそれぞれ示している。この図に示すように、従来のものに比べて駆動力が約2倍に向上していることがわかる。

10

【0022】

図6はトンネル電流 I_g のゲート長 L_g 依存性、図7はコンダクタンス g_m のゲート長 L_g 依存性をそれぞれ示すものである。これらの図においては、ゲート酸化膜厚 $T_{ox} = 1.5\text{ nm}$ 、拡散長 $x_j = 30\text{ nm}$ の場合(本発明)、 $T_{ox} = 1.8\text{ nm}$ 、拡散長 $x_j = 30\text{ nm}$ の場合(本発明)、 $T_{ox} = 3.0\text{ nm}$ 、拡散長 $x_j = 12\text{ nm}$ の場合(従来技術)についてそれぞれ示している。これらの図から明らかなように本発明のトランジスタは、同一ゲート長の従来技術のトランジスタと比べて1.5~2倍良好な駆動力及びトランスコンダクタンスが得られていることが解る。さらに、このときのゲート電流は L_g が $0.3\text{ }\mu\text{m}$ 以下で駆動力に比べ 10^4 以下(4桁小さい)になり、動作上問題ないことが確認された。

20

【0023】

図8は基板電流 I_{sub} のゲート長 L_g 依存性、図9は基板電流インパクトイオン化率のゲート長 L_g 依存性について示すもので、これらはそれぞれトランジスタの信頼性に関する一つの指標となるものである。特に基板電流 I_{sub} については図8(b)において更にゲート長 L_g をパラメータとし、 $V_g - I_{sub}$ 特性として表した。ここでは、ゲート酸化膜厚 $T_{ox} = 1.5\text{ nm}$ 、拡散長 $x_j = 30\text{ nm}$ の場合(本発明)、 $T_{ox} = 1.8\text{ nm}$ 、拡散長 $x_j = 30\text{ nm}$ の場合(本発明)、 $T_{ox} = 3.0\text{ nm}$ 、拡散長 $x_j = 12\text{ nm}$ の場合(従来)についてそれぞれ示している。本発明のトランジスタは、従来技術のトランジスタに比べ基板電流、インパクトイオン化率は大きい。

30

【0024】

図17はトランスコンダクタンス g_m の劣化(ストレス時間に対するトランスコンダクタンスの劣化)特性を示すものである。ここでは、従来技術のトランジスタとして、酸化膜厚 $T_{ox} = 3.0\text{ nm}$ 、拡散長 $x_j = 12\text{ nm}$ 、ゲート長 $L_g = 0.10\text{ }\mu\text{m}$ のものと、酸化膜厚 T_{ox} 及び拡散長 x_j は同サイズでゲート長 $L_g = 0.17\text{ }\mu\text{m}$ のものを対象とし、本発明のトランジスタとしては、酸化膜厚 $T_{ox} = 1.5\text{ nm}$ 、拡散長 $x_j = 30\text{ nm}$ 、ゲート長 $L_g = 0.09\text{ }\mu\text{m}$ のものと、酸化膜厚 T_{ox} 及び拡散長 x_j は同サイズでゲート長 $L_g = 0.14\text{ }\mu\text{m}$ のものを対象として試験を行った結果を示している。従来技術のトランジスタと本発明のトランジスタはおおむね同程度の時間依存性を有しているが、本発明のトランジスタは g_m / g_m の値自体が低く、 g_m の劣化特性の向上が確認された。

40

【0025】

図16はキャリア移動度の実効電界依存性を示すもので、これもトランジスタの信頼性の指標となるものである。Y. Toyoshima, H. Iwai, F. Matusoka, H. Hayashida, K. Maeguchi, and K. Kanzaki, 'Analysis on gate-oxide thickness dependence of hot-carrier-induced degradation in thin-gate oxide nMOSFETs,' IEEETrans. Electron Devices, vol.37, No.6, p.1496-1503, 1990.) キャリア移動度($1 / \mu_{eff}$)を決定する要因としては、表面ラフ

50

ネス散乱 ($1/\mu_{sr}$)、フォノン散乱 ($1/\mu_{ph}$)、クーロン散乱 ($1/\mu_c$) があり、全体の移動度 ($1/\mu_{eff}$) は、

$$\ln(1/\mu_{eff}) = \ln((1/\mu_c) + (1/\mu_{sr}) + (1/\mu_{ph}))$$

で表される。グラフ中の破線は各要因によるキャリア移動度を示し、実線はそれらを総合したキャリア移動度を示している。

【0026】

これは、図17において、本発明のトランジスタが従来発明のトランジスタに比べてホットキャリア信頼性に優れていたのは、即ち劣化量 (g_m/g_m) が小さかったのは、図12に示すように、ホットキャリアストレスによって生じた界面準位の増大が、モビリティの劣化による駆動力の低下を引き起こす効果が、ゲート酸化膜厚が薄くなるほど見えにくくなることによる。酸化膜厚の薄い場合には、チャンネルの縦方向の電界が非常に強い
10

【0027】

したがって、薄膜ゲート酸化膜MOSFETの場合、基板電流、インパクトイオン化率が大きいにもかかわらず、ストレス後の劣化の少ない良好な信頼性のトランジスタになったことが解る。

【0028】

図10は電流 I_g , I_d の電源電圧 $V_d = V_g$ 依存性を示すものである。ここでは、酸化膜厚 $T_{ox} = 1.5 \text{ nm}$ 、ゲート長 $L_g = 0.14 \mu\text{m}$ 、拡散長 $x_j = 30 \text{ nm}$ の場合を示している。本発明のトランジスタは、さらに、 2.0 V 以下では I_g/I_d の比は、 1×10^{-4} 以下となり、動作上問題ないことがわかる。また、 1.5 V 以下では、上記の比は 6×10^{-5} 程度以下となり、さらに高信頼性のトランジスタが実現できた。
20

【0029】

図11はドレイン電流 I_d のゲート電圧 V_g 依存性を示すものである。これは図10に示す特性を持つトランジスタと同じトランジスタについて測定したものである。本発明のトランジスタは低電圧下においても従来報告例に比べ3~5倍良好な駆動力が得られていることが確認された。

【0030】

図12は I_g/I_d のドレイン電圧 V_d 依存性を示すものである。この図に示すように、ドレイン電圧 V_d が 1.5 V 以下で 6.0×10^{-5} 以下の良好な値が得られた。これに対し、ドレイン電圧 V_d が 1.5 V を越えると急激にトンネル電流 I_g が増加し、特性が劣化していることがわかる。
30

【0031】

したがって、 1.5 V 以下の回路で使用されれば、本発明のトランジスタは良好な特性を持つことが解る。

【0032】

また、本発明のトランジスタは 1.2 V 以下の回路で使用された場合、チャンネル電流に対するゲート電流 I_g/I_d は 1.5 V 電源時に比べ約25%低減し、性能が著しく向上する。図10において、 I_g/I_d の値は 1.5 V で約 6×10^{-5} に対して 1.2 V に下げれば、 4.5×10^{-5} に低減する。ゲート電流 I_g の値も約50%低減した。
40

【0033】

しかし、トランジスタの性能である相互コンダクタンスの値は、図21に示すように 1.5 V 1.010 ms/mm に対し、 1.2 V に電圧を下げて 995 ms/mm の値を持ち、1.5%の低下に留まる。したがって、 1.2 V 以下の回路で使用されれば、 1.5 V 電源時に比べ25%の I_g/I_d の向上により、さらに性能が飛躍的に向上する。

【0034】

また、本発明のトランジスタは、 0.5 V 以下の回路で使用されれば、図10に示すように、ゲートリーク電流が 1.5 V 動作時に比べ、 $1/20$ 以下に低減することが解る。また、チャンネル電流に対するゲート電流も約80%低減する。したがって、 0.5 V 以下
50

の回路にて本発明のトランジスタが使用されれば、さらに低消費電力で高性能のトランジスタが実現される。

【0035】

図13は $I_d - V_d$ 特性のゲート長依存性、図14はコンダクタンス g_m のゲート長依存性を示すものである。ここでは、ゲート長 L_g が $10\ \mu\text{m}$ (a)、 $0.14\ \mu\text{m}$ (b)、 $0.09\ \mu\text{m}$ (c)のときの $I_d - V_d$ 特性、 g_m サブスレッシュولد特性をそれぞれ示している。ゲート長 $10\ \mu\text{m}$ の従来のトランジスタに見られる顕著なゲートリーク電流が本発明の微細デバイスにおいては抑制され、しかも $L_g = 0.09\ \mu\text{m}$ で、 $g_m = 1010\ \text{mS/mm}$ という高性能が得られていることがわかる。

【0036】

図15は電源電圧 $0.5\ \text{V}$ 以下でのトランジスタ特性を示すものである。このときの電源電圧は $0.5\ \text{V}$ である。主要な特性について本発明及び従来のトランジスタの特性を対比して示す。同図(a)は本発明のトランジスタ特性、(b)は従来のトランジスタ特性であって、それぞれについて、駆動力($I_d - V_d$ 特性、サブスレッシュولد特性、($I_{og} I_d - V_g$))、トランスコンダクタンス($g_m - V_g$)特性を示している。この図から明らかのように、本発明のトランジスタは従来のものよりも小さな電源電圧で大きなドレイン電流 I_d が流れ、またコンダクタンス g_m も大きな値が得られており、総合的に特性が向上している。本発明のトランジスタは、その $0.5\ \text{V}$ という低い電源電圧においても $746\ \text{mS/mm}$ という優れたトランスコンダクタンスが得られている。

【0037】

図20はゲート長 $0.09\ \mu\text{m}$ 、ゲート酸化膜厚 $1.5\ \text{nm}$ のときの本発明のトランジスタの相互コンダクタンスの電源電圧依存性である。 $0.5\ \text{V}$ 動作においても $860\ \text{mS/mm}$ の非常に優れた相互コンダクタンスが得られている。

【0038】

図21、22は本発明のトランジスタの相互コンダクタンス及び電流駆動力の電源電圧依存性を $0.4\ \mu\text{m}$ ゲート長の従来トランジスタと比較したものである。 $0.4\ \mu\text{m}$ トランジスタのゲート膜厚は $9\ \text{nm}$ である。

【0039】

現在汎用の $150\ \text{MHz}$ で動作するマイクロプロセッサでは、約 $0.4\ \mu\text{m}$ のゲート長のMOSFETが用いられており、このFETの場合、 $3.3\ \text{V}$ 電源下で、 $200\ \text{mS/mm}$ 程度のトランスコンダクタンスを持っている。よって、配線容量や抵抗が低減しないと、当然高速化は図れないが、素子のトランスコンダクタンスからの類推でいくと、今回実現した高駆動力のMOSFETは、現状の $3.3\ \text{V}$ 動作のトランジスタに比べ、 1.5 の低電圧下で、約 5.7 倍の高速化の可能性を持っていることになる。 $0.5\ \text{V}$ の低電圧動作においても、 $860\ \text{mS/mm}$ のトランスコンダクタンスを有することから、現在の $3.3\ \text{V}$ 動作に比べ、消費電力が約 $1/9$ になり、トランスコンダクタンスの比から 5 倍の高速化の可能性がある。

【0040】

現在、商品化されているLSI(例えばMPUマイクロプロセッサ等)は、 $3.3\ \text{V}$ の電源電圧で、 $200\ \text{MHz}$ のクロック周波数で動作している。

【0041】

本発明のトランジスタは、低い電源電圧(例えば $1.5\ \text{V}$ あるいは $0.5\ \text{V}$)においても高い電流駆動力を持つ。したがって電源の低電圧化による低電源電圧化(注:消費電力(P)は、電圧(V)の2乗に比例するため、低消費電力動作には、電源電圧を下げるのが有効である。しかし、一般には、電圧の低下は、トランジスタの電流駆動力の減少をもたらす、LSIとしては、動作速度の低下をまねく。)においては、LSI動作の一層の高速化が可能である。

【0042】

LSIの消費電力は次の式で表現することができる。

$$P = k f c V_{dd}^2 + (I_{ls} + I_{lg}) V_{dd}$$

10

20

30

40

50

ここで、
 P : 消費電力
 f : クロック周波数
 c : 容量
 V_{dd} : 電源電圧
 I_{ls} : サブスレシヨルド特性で定まるリーク電流
 I_{lg} : ゲートリーク電流

この式において、第一項 $k f c V_{dd}^2$ は、電荷の蓄積および消去 (charge - discharge) によって消費される電力であり、第二項 ($I_{ls} + I_{lg}$) は、トランジスタのリーク電流成分によって消費される電力である。

尚、クロック周波数 f は、トランジスタの電流駆動力 I によって決まる値である。

10

【0043】

電荷蓄積時間 t は、

$$t = Q / I = C V / I \text{ であり、 } f = I / C V$$

で示すことができる。

【0044】

ここで、チップあたりの消費電力を 10 W 、チップ用トランジスタ数を 3×10^6 個として、本発明のトランジスタ及び従来構造のトランジスタの消費電力及びクロック周波数の関係を示す (図 25)。

【0045】

ここで各トランジスタのしきい値電圧の設計は、しきい電圧 $1 \mu\text{A} / \mu\text{m}$ として 3.3 V 電源で 0.6 V 、 2.0 V 電源で 0.4 V 、 1.5 V 電源で 0.3 V 、 1.0 V 電源で 0.2 V 、 0.5 V 電源で 0.15 V 、 0.3 V 電源で 0.1 V とした。

20

【0046】

消費電力 (P) とクロック周波数 (f) の関係は、電荷の蓄積、消去で決まる領域及びリーク電流で決まる領域に分けることができる。

【0047】

そして、図 25 (b) に示すように、リーク電流のうち、サブスレシヨルド特性で決まる成分は、各々のしきい値電圧から、値 1.5 V 電源電圧では、しきい値電圧 0.3 V であり、リーク電流による消費電力は、 4.5 mW である。同様に、

1.0 V 電源電圧で	30 mW 、
0.5 V 電源電圧で	45 mW 、
0.3 V 電源電圧で	100 mW

30

である。

【0048】

一方、本発明のトンネルゲート酸化膜を用いた場合 ($L_g = 0.14 \mu\text{m}$ 、 $T_{ox} = 1.5 \text{ nm}$) のリーク電流は、 1.5 V 電源で、 $6 \times 10^{-8} \text{ A} / \mu\text{m}$ であり、1個あたりのトランジスタのゲート幅を $10 \mu\text{m}$ 、トランジスタ数を 3×10^6 個のとき、リーク電流による消費電力成分は、 2.7 W となる。

【0049】

それぞれの場合についてまとめると、ゲート酸化膜厚 1.5 nm で

40

$L_g = 0.14 \mu\text{m}$ のとき、

1.5 V 電源電圧で	2.7 W 、
1.0 V 電源電圧で	600 mW 、
0.5 V 電源電圧で	45 mW 、
0.3 V 電源電圧で	6.3 mW

$L_g = 0.09 \mu\text{m}$ のとき、

1.5 V 電源電圧で	540 mW 、
1.0 V 電源電圧で	120 mW 、
0.5 V 電源電圧で	9 mW 、
0.3 V 電源電圧で	1.3 mW

50

である。

【0050】

一方図25(a)に示すように、電荷の蓄積、消去によって決まる消費電力は、通常の $L_g = 0.4 \mu\text{m}$ 、 $T_{ox} = 9 \text{nm}$ のトランジスタの 3.3V 動作を基準にすると、このトランジスタの駆動は $0.40 \text{mA} / \mu\text{m}$ である。

【0051】

本発明のトランジスタは、 $L_g = 0.14 \mu\text{m}$ 、 $T_{ox} = 1.5 \text{nm}$ のトランジスタでは、 1.5V 電源で消費電力は、 1.2 倍、クロック周波数は 5.7 倍である。 0.5V 動作では、消費電力は、 0.047 倍、クロック周波数は 2.1 倍である。

【0052】

また、 $L_g = 0.09 \mu\text{m}$ 、 $T_{ox} = 1.5 \text{nm}$ のトランジスタでは、 1.5V 動作で 1.8 倍の消費電力、 8.6 倍のクロック周波数になる。 0.5V 動作で 0.11 倍の消費電力、 4.9 倍のクロック周波数になる。

【0053】

また、上述のゲートリーク電流成分は、電荷の蓄積消去によって消費される本質的な消費電力成分に比べ約 1 桁小さく問題にならない。

【0054】

したがって、図26に示すように、 200MHz 、 3.3V 動作の LSI に比べ、本発明のトランジスタでは、 1.3V 動作では、同じ消費電力で 5 倍の高周波動作 (約 1000MHz) 0.5V 動作では $1/9$ の低消費電力化で 5 倍の高クロック動作が可能である。

【0055】

また、 200MHz で動作させるならば、 0.3V まで電源電圧を下げ、消費電力を $1/100$ の 100mW 以下にすることができる。

【0056】

また、本トランジスタは、低電圧下でも高い相互コンダクタンスを持ち、高い電流駆動能力を持ったため (1.5V で $1,010 \text{mS/mm}$ 、 0.5V で 860mS/mm 、従来は 3.3V で 200mS/mm 程度)、現行の 5 倍程度の高周波アナログ動作が低電圧下で可能となる。

【0057】

例えば、 $1 \sim$ 数 10GHz 動作の通信用の高周波アナログ IC は、主にバイポーラや GaAs などのトランジスタを用いているが、これを本発明の CMOS で置き換えることが可能になる。

【0058】

LSI の高集積化、高速化を達成するために、 MOS 型トランジスタの微細化が、従来より行われてきている。もちろん高速化のためには、配線の低容量化、低抵抗化や、素子の寄生容量や寄生抵抗の低減化が重要であるが、素子自身の微細化も高駆動力化の大きなカギになる。今後、低消費電力化のために、より低電圧下でのデバイスの利用が求められているが、いかに低電圧下で高駆動力のトランジスタを形成するかが、重要な課題となる。

【0059】

また、通常は、例えば文献 (著者 $G. G. \text{Shahidi}$, $J. \text{Warnock}$, $A. \text{Acovic}$, $P. \text{Agnello}$, $C. \text{Blair}$, $C. \text{Bucelot}$, $A. \text{Burghartz}$, $E. \text{Crabbe}$, $J. \text{Cressler}$, $P. \text{Coane}$, $J. \text{Comfort}$, $B. \text{Davarl}$, $S. \text{Fischer}$, $E. \text{Ganin}$, $S. \text{Gittleman}$, $J. \text{Keller}$, $K. \text{Jenkins}$, $D. \text{Klans}$, $K. \text{Kiewtniak}$, $T. \text{Lu}$, $P. A. \text{McFarland}$, $T. \text{Ning}$, $M. \text{Polcari}$, $S. \text{Subbana}$, $J. Y. \text{Sun}$, $D. \text{Sunderland}$, $A. C. \text{Warren}$, $C. \text{Wong}$; 論文名 $\text{A HIGH PERFORMANCE } 0.15 \mu\text{m CMOS}$; 出典 $\text{Dig. of Tech. Papers, VLSI Symp. on Tech., Kyoto, PP. 93-94, 1993}$ = 以下文献 [a] という) に示されるように、通常、 1.8V 電源では、 $0.05 \mu\text{m}$ チャンネル長 (ゲート長 $0.10 \mu\text{m}$ と推定) の nMOS は 480mS/mm 以下、 $0.06 \mu\text{m}$ チャンネル長 (ゲート長 $0.14 \mu\text{m}$ と推定) の pMOS は 250mS/mm 以下の相互コンダクタンス g_m が得られているにすぎない。したがって、この文

10

20

30

40

50

献 [a] のトランジスタでは 1.5 V 電源においても、せいぜい上述の 480 mS/mm, 250 mS/mm の値が得られるにすぎない。一方、文献 (著者 Y. Taur, S. Wind, Y. J. Mii, Y. Lii, D. Moy, K. A. Jenkins, C. L. Chen, P. J. Coane, D. Klaus, J. Bucchignano, M. Rosenfield, M. G. R. Thomson, and M. Polcari ; 論文名 High Performance 0.1 μm CMOS Device with 1.5V Power Supply ; 出典 IEDM Tech. Dig., pp.127-130, 1993 = 以下文献 [C] という) に示されるものでは 1.5 V 電源で 0.09 μm チャンネル長 (ゲート長 0.14 μm と推定) の nMOS は 620 mS/mm、0.11 μm チャンネル長 (ゲート長 0.19 μm と推定) の pMOS は 290 mS/mm の値が得られているにすぎない。また、文献 (著者 Y. Mii, S. Rishton, Y. Teur, D. Kern, T. Lii, K. Lee, K. Jenkins, D. Quinlan, T. Brown Jr., D. Danner, F. Sewell, and M. Polcari ; 論文名 High Performance 0.1 μm nMOSFET's with 10ps/strage Delay (85K) at 1.5V Power Supply ; 出典 Dig. of Tech. Pater, VLSI Symp. on Tech., Kyoto, pp.91-92, 1993 以下、文献 [D]) では電源電圧 1.5 V で、0.05 μm チャンネル長 (ゲート長 0.10 μm と推定) の nMOS で 740 mS/mm の値が得られていることが示されている。また、例えば、文献 (著者 Y. Mii, S. Wind, Y. Lii, D. Klaus, and J. Bucchignano ; 論文名 An Ultra-Low Power 0.1 μm CMOS ; 出典 Dig. of Tech. Papers, VLSI Symp. on Tech., Hawaii, pp.9-10, 1994 = 以下文献 [B] という) に示されているものは、0.5 V 電源では 0.12 μm チャンネル長 (ゲート長 0.17 μm と推定) の nMOS で 340 mS/mm, 0.12 μm チャンネル長 (ゲート長 0.2 μm と推定) の pMOS で 140 mS/mm 以下の相互コンダクタンス gm が得られているにすぎない。また、高性能な p チャンネル MOSFET の例としては、文献 (著者 Y. Taur, S. Cohen, S. Wind, T. Lii, C. Hsu, D. Quinlan, C. Chang, D. Buchanan, P. Agnello, Y. Mii, C. Reeves, A. Acovic, and V. Kesan ; 論文名 High Transconductance 0.1 μm pMOSFET : 出典 IEDM Tech. Dig., pp.901-904, 1992 = 以下文献 [E]) では、電源電圧 1.5 V のとき、ゲート酸化膜厚 3.5 nm、実効チャンネル長 0.08 μm (ゲート長 0.15 μm と推定) で 400 mS/mm, 実効チャンネル長 0.11 μm (ゲート長 0.18 μm) で 330 mS/mm が報告されている。したがって、1.5 V 以上電源で nMOS が 740 mS/mm 以上、pMOS が 400 mS/mm 以上、1.2 V 以上の電源で nMOS が 540 mS/mm 以上、pMOS が 245 mS/mm 以上、0.5 V 以上の電源で nMOS が 340 mS/mm 以上、pMOS が 140 mS/mm 以上の性能を有するためには、トランジスタの構造として本発明の構成を有することが必要である。

【0060】

同様に電流駆動力については、通常は例えば文献 [B] に示されるように、0.5 V 電源では nMOS は 0.052 mA/μm、pMOS は 0.032 mA/μm に留まっている。また、1.5 V 電源では文献 [C] に示されるように、nMOS は 0.65 mA/μm, pMOS は 0.51 mA/μm に留まっている。したがって、1.5 V 以上の電源で nMOS が 0.65 mA/μm 以上、pMOS が 0.51 mA/μm 以上、1.2 V 以上の電源で nMOS が 0.47 mA/μm 以上、pMOS が 0.22 mA/μm 以上、0.5 V 以上の電源で nMOS が 0.052 mA/μm 以上、pMOS が 0.032 mA/μm 以上の駆動力を得るには、トランジスタの構造として本発明の構成を有することが必要である。

【0061】

上述の相互コンダクタンス及び電流駆動力の値はいずれも室温における特性値である。

【0062】

したがって、ある電源電圧 (VDD) 下で nMOS において、

$$g_m > 400 V_{DD} + 140$$

pMOS において

$$g_m > 260 V_{DD} + 10$$

となる構造が本発明の特徴となる。単位は VDD (V)、gm (mS/mm) である。

【0063】

また、電流駆動力としては

10

20

30

40

50

n MOS が $I_d > 0.598 V_{DD} - 0.247$

p MOS が $I_d > 0.268 V_{DD} - 0.102$

となる構造が本発明の特徴となる。単位は V_{DD} (V)、 I_d (mA) である。

【0064】

また、これらの値については特にゲート長の値を記述していないが、いずれも $0.1 \mu\text{m}$ 近辺の大きさである。

【0065】

MOSFETの駆動力はゲート長を短くし、チャネルの電界を強くすることにより、電子や正孔の速度を上げる手法が駆動力向上に有効であることは、よく知られているが、ゲート長を短くし、チャネル電界を強くする方法においては、ゲート長が $0.1 \mu\text{m}$ 、あるいは、それ以下で、原理的には、速度飽和（チャネルの電界がある程度強くなると、それ以上電界が強くなっていても電子や正孔の速度が飽和し向上しないという現象。）が生じ、高速化が飽和しつつあった。

10

【0066】

微細ゲートのMOSFETとして、昨年、ゲート長 $0.04 \mu\text{m}$ の世界最小のnMOSFETを作製し、その室温動作を報告したが、その電流駆動力は、 $0.1 \mu\text{m}$ ゲート長のトランジスタと比べて、2～3割の向上に留まるものであった。

【0067】

したがって、前述した相互コンダクタンス及び駆動力の値は、従来の方法では実現が困難で、本発明の構成を持つトランジスタで実現できるものである。

20

【0068】

本発明のトンネリングゲート酸化膜を用いない通常のMOSFETにおいては、NチャネルMOSでは、実効チャネル長 (L_{eff}) $0.05 \mu\text{m}$ 、ゲート酸化膜厚 (T_{ox}) 3.5nm のデバイスで、 1.5V 電源電圧下で、相互コンダクタンス 740mS/mm 、の値が、得られている（文献[D]）。このトランジスタのゲート長 (L_g) は、 $0.10 \mu\text{m}$ と推測できる。この相互コンダクタンスの値は、従来構造の $0.1 \mu\text{m}$ ゲート長MOSFETの最高性能である。また、上記従来構造の実効チャネル長 $0.1 \mu\text{m}$ （ゲート長 $0.15 \mu\text{m}$ と推測）トランジスタでは、相互コンダクタンス 620mS/mm の値が得られており、これも従来構造の $0.15 \mu\text{m}$ ゲート長MOSFETで得られる最高性能であった。

30

【0069】

本発明のMOSFETの反転層容量は、表面キャリア濃度の見積りから、約 0.5nm のゲート酸化膜と等価である。

【0070】

したがって本発明の 2.5nm 未満のゲート酸化膜を適用した構造のトランジスタにおいては、 $0.1 \mu\text{m}$ ゲート長のデバイスにおいて、その相互コンダクタンス g_m は、

$g_m > 740 \times (3.5 + 0.5) / (2.5 + 0.5) \sim 990 \text{mS/mm}$ $0.15 \mu\text{m}$ ゲート長のデバイスにおいて、

$g_m > 620 \times (3.5 + 0.5) / (2.5 + 0.5) \sim 830 \text{mS/mm}$ が実現できる。言い換えるならば、 $0.1 \mu\text{m}$ ゲート長で 990mS/mm $0.15 \mu\text{m}$ ゲート長で 830mS/mm 以上の相互コンダクタンスを得るには、本発明の基本要素である 2.5nm 未満のトンネルゲート酸化膜の適用が必要である。

40

【0071】

また、同時に電流駆動力は、 1.5V 電源電圧下で $0.65 \text{mA}/\mu\text{m}$ が従来のも最高性能である（文献[c]）。この値は実効チャネル長 $L_{\text{eff}} = 0.09 \mu\text{m}$ のデバイスでの値である（ゲート長は $0.15 \mu\text{m}$ と推定）。また、この従来トランジスタ構造で、ゲート長 $0.10 \mu\text{m}$ のデバイスを実現すると、電流駆動力は $0.77 \text{mA}/\mu\text{m}$ と推定できる。

【0072】

したがって本発明の 2.5nm 未満のゲート酸化膜を適用した構造のトランジスタにお

50

いては、その電流駆動力 I_d は $0.1 \mu\text{m}$ ゲート長のデバイスで

$$I_d > 0.77 \times (3.5 + 0.5) / (2.5 + 0.5) \\ \sim 1.0 \text{ mA/mm}$$

$0.15 \mu\text{m}$ ゲート長のデバイスで、

$$I_d > 0.65 \times (3.5 + 0.5) / (2.5 + 0.5) \\ \sim 0.87 \text{ mA/mm}$$

が実現できる。

【0073】

逆に、 1.5 V 電源電圧下で $0.1 \mu\text{m}$ ゲート長で 1.0 mA/mm 、 $0.15 \mu\text{m}$ ゲート長で 0.87 mA/mm の電流駆動力を得るには、本発明の基本要素である 2.5 nm 未満のトンネル酸化膜の適用が必須である。 10

【0074】

また、高性能な p チャネル MOSFET の例としては、文献 ([E]) では、電源電圧 1.5 V のとき、ゲート酸化膜 3.5 nm 、実効チャネル長 $0.08 \mu\text{m}$ (ゲート長 $0.15 \mu\text{m}$ と推定) で 400 mS/mm 、 $0.51 \text{ mA}/\mu\text{m}$ 、実効チャネル長 $0.11 \mu\text{m}$ (ゲート長 $0.18 \mu\text{m}$) で 330 mS/mm 、 $0.44 \text{ mA}/\mu\text{m}$ が報告されている。

【0075】

n チャネル MOSFET のときと、同様に、本発明の 2.5 nm 未満のゲート酸化膜を適用した構造のトランジスタでは、 $0.15 \mu\text{m}$ ゲート長で、 533 mS/mm 、 $0.68 \text{ mA}/\mu\text{m}$ 、 $0.18 \mu\text{m}$ ゲート長で、 440 mS/mm 、 $0.59 \text{ mA}/\mu\text{m}$ の高性能が実現できる。 20

【0076】

それぞれのゲート長のデバイスにおいて、前記の示した値以上の性能を得るためには、本発明の基本要素である 2.5 nm 未満のトンネル酸化膜の適用が必須である。

【0077】

したがって、電源電圧 V_{dd} と相互コンダクタンス g_m あるいは電流駆動力 I_d との関係が、

NMOS で

$$g_m > 530 \times V_{dd} + 190$$

PMOS で

$$g_m > 350 \times V_{dd} + 13$$

NMOS で

$$I_d > 0.80 \times V_{dd} - 0.33$$

PMOS で

$$I_d > 0.36 \times V_{dd} - 0.14$$

(単位は V_{dd} (V)、 g_m (mS/mm))

を満たすようなトランジスタを実現するためには、本発明の基本要素である 2.5 nm 未満のゲート酸化膜の適用が不可欠である。 30

【0078】

以上のように、本発明により従来に比べ駆動力、信頼性ともに良いトランジスタが実現できた。 40

【0079】

以上はシリコン酸化膜をゲート絶縁膜に用いる説明してきたが、本発明はそれと同等のゲート容量を有する絶縁膜、を用いても、同様の効果がある。絶縁膜としては、例えば、シリコン窒化膜 (Si_3N_4)、シリコン窒化酸化膜 (SiO_xN_y) シリコン窒化膜とシリコン酸化膜の積層膜 ($\text{SiO}_2/\text{Si}_3\text{N}_4$, $\text{Si}_3\text{N}_4/\text{SiO}_2$, $\text{SiO}_2/\text{Si}_3\text{N}_4/\text{SiO}_2$, $\text{Si}_3\text{N}_4/\text{SiO}_2/\text{N}_4$) あるいはタンタルオキサイド (TaO_x)、チタン酸ストロンチウム膜 (TiSr_xO_y) それらとシリコン酸化膜、シリコン窒化膜との積層膜等がある。これらの絶縁膜のゲート容量がシリコン酸化膜換算で、シ 50

リコン酸化膜厚 2.5 nm 未満と同等であれば、本発明の効果が得られる。例えば、図 27 はシリコン窒化膜の比誘電率 7.9 はシリコン酸化膜 3.9 の約 2 倍であり、シリコン窒化膜を用いる場合は、膜厚 5 nm 未満の場合において本発明の効果が得られる。前述したいずれの絶縁膜を用いる場合において、このゲート絶縁膜中をトンネルリーク電流が流れても、シリコン酸化膜中をトンネル電流が流れる絶縁膜厚でトランジスタを構成するという要旨と一致しており、同等の効果がある。また、上述のシリコン酸化膜 2.5 nm 未満と同等のゲート容量を有する絶縁膜であれば、トンネル電流が流れない絶縁膜を用いることができる。この場合は消費電力が低減し、さらに低消費電力で高性能なトランジスタが実現できる。

【0080】

例えば、トランジスタ 1 個あたり、 10^{-8} A のゲートトンネルリークを持つ MOSFET を 100 万個集積した場合、10 mA の電力が消費される。一方、トンネル電流が流れないトランジスタを使用した場合には、この 10 mA の消費電力が抑えられ、LSI としての性能の向上を図ることができる。

【0081】

また本発明のトランジスタは、半導体装置の一部に使用されると、高性能かつ安価な半導体装置が実現する。

【0082】

図 18 は、半導体装置の一部に本発明のトランジスタを使用した半導体装置の概略図である。特に大電流で駆動することが要求される周辺回路の部分に、図 18 (b) に示すように本発明トランジスタを用いると良い。このような半導体装置は、次のような製造法で作製できる。

【0083】

従来法により半導体基板上に素子領域及び素子分離領域を形成したのち、例えば炉酸化法にて 800 酸素雰囲気中でシリコン表面を酸化し、4 nm の第 1 のシリコン酸化膜を形成する。その後、本発明トランジスタ形成領域のみ前記第 1 のシリコン酸化膜を除去する。その後、急速ランプ加熱法にて所望の膜厚の第 2 のシリコン酸化膜を形成する。以降の工程は前述した本発明のトランジスタの形成方法と同様の工程を経て作製する。

【0084】

このように作製した半導体装置は、大電流で駆動されるトランジスタが要求される領域に本発明で作製した高性能なトランジスタが形成され、全体として優れた半導体装置になる。従来、例えば高速論理デバイスにおいては、図 19 に示すように周辺回路部分 (I/O 部) をバイポーラトランジスタで形成し、内部論理回路を CMOS トランジスタで形成し、高速化を図った。

【0085】

本発明を用いることで、CMOS のプロセスのみで作製が可能になり、安価に高性能な素子を実現することができた。

【0086】

また、本発明のトランジスタは、ゲート絶縁膜が 2.5 nm 未満と非常に薄いため、LSI 動作時において、突発的なゲート電圧の印加、ノイズ等により、過度の即ち電源電圧を超える電圧が印加される状況が生じた場合、ゲート破壊と称される絶縁破壊を生じ、MOSFET として良好な作用ができなくなるという問題が起こる。

【0087】

図 29 は本発明のトランジスタ 9 のゲートに絶縁破壊の保護回路として金属/シリコン層からなるショットキーダイオード 11 を接続した構造を示す。このショットキーダイオードは、本発明のトランジスタ 9 よりも耐圧が低いものである。

【0088】

ショットキーダイオード 9 としては n 型シリコンあるいは p 型シリコンいずれを用いることができる。金属としては Al, W, Ti, Mo, Ni, V, Co 等を主成分とするものを用いることもできる。

10

20

30

40

50

【0089】

ショットキーダイオードのない構造に比べ、ノイズ等の過度の電圧が印加された場合において、ショットキーダイオードが破壊し、過電流を生ずることにより、本発明のトランジスタのゲート絶縁膜が破壊されることを防ぐことができる。

即ち、本発明のトランジスタを用いた静電破壊に強い半導体装置が実現できる。

【0090】

本実施例においては、特にnMOSFETの例を用いて説明したが、本構造は同様にpMOSFETにも応用ができる。この場合、ゲート側壁部はBSG(B(ボロン)含有シリコン酸化膜)で形成し、浅いp型のソース/ドレイン領域を形成すればよい。これは文献(著者M.Saito,T.Yoshitomi,H.Hara,M.Ono,Y.Akasaka,H.Nii,S.Matsuda,H.S.Momose,Y.Katsumata,and H.Iwai;論文名P-MOSFETs with Ultra-Shallow Solid-Phase-Diffused Drain Structure Produced by Diffusion from BSG Gate-Sidewall;出典IEEE Trans.Electron Devices,vol.ED-40,no.12,pp.2264-2272,December,1993)において報告されている。

10

【0091】

また、上述のように、BSG側壁からの固相拡散技術でなく、通常のB(ボロン)原子のイオン打込み法によりソース/ドレイン拡散層を作製しても良い。

【0092】

図24は、イオン打込み法でソース/ドレイン拡散層を形成したp型MOSFETの電気的特性である。このときゲート酸化膜厚は1.5nm、ゲート長は0.2μmである。本発明で作製されたpMOSFETは1.5V電源で0.41mA/μmの電流駆動力、及び408mS/mmの相互コンダクタンスを有し、文献(著者Y.Taur,S.Wind,Y.J.Mii,Y.Lii,D.Moy,K.A.Jenkins,C.L.Chen,P.J.Coane,D.Klaus,J.Bucchignano,M.G.R.Thomson,and M.Polcari;論文名“High Performance 0.1μm CMOS Devices with 1.5V Power Supply;出典IEDM Tech. Dig.,pp.127-130,1993)において報告されている0.2μmゲート長pMOSFETの性能値約200mS/mmを大幅に上回る高い性能を持つ。またこのTrは、0.5V電源で0.06mA/μmの駆動力と約350mS/mmの相互コンダクタンスが得られている。

20

【0093】

また、本実施例においては、拡散層深さ30nmの例を用いて説明したが、拡散及び活性化のためのアニール条件を700から1,100の間で適宜温度と時間を選択することにより、所望の拡散層深さを自由に選ぶことができる。

30

【0094】

図23はチャネル電流Idに占めるゲート電流Igの比率Ig/Idが酸化膜厚Toxとゲート長Lgでどう変化するか示したものである。比率Ig/Idが同一になるのは酸化膜厚1.5nmの場合に比べ、20%厚い1.8nmの場合では、ゲート長は膜厚1.5nmのときの1/2まで短くした場合に、同じ量のリーク電流を生ずることが解る。

【0095】

図12に示すように、Ig/Idが急激に増大するポイントである 6×10^{-5} を限界値として、それ以下の特性となるゲート長Lg、絶縁膜厚Toxが好ましいとすると、下記の式が成立する。限界の 6×10^{-5} Ig/Id比のあるとき、

40

$$T_{ox}(\text{nm}) = \log L_g(\mu\text{m}) + 2.02$$

したがって、ある絶縁膜厚Tox(nm)のときに許容されるゲート長Lg(μm)は、

$$L_g = 10^{(T_{ox} - 2.02)}$$

LSIの集積度向上のために消費電力となるゲート電流をさらに低減し、100万個(1M(メガ)bit)のメモリに応用される場合、LSIとしての消費電力への影響を10mA程度とする。1個あたりのトランジスタのゲート電流として許容されるのは 10^{-8} A/μmとすると、図6より、この図は10μmゲート幅あたりのゲート電流で記述してあるので、 10^{-8} A/μmとなるのはTox=1.5nmのとき、0.15μm、Tox=1.8nmのとき0.30μmである。

50

$$T_{ox}(\text{nm}) = \log L_g(\mu\text{m}) + 2.32$$

したがって、ある膜厚で許容されるゲート長 $L_g(\mu\text{m})$ の値は

$$L_g = 10^{(T_{ox} - 2.32)}$$

であれば、さらに性能が向上し、集積度の高い L S I に応用できる。

【0096】

図27は通常のトンネルゲート酸化膜 MOSFET に用いられる各種厚さ T_{ox} を有するゲート絶縁膜について $I_g - V_g$ 特性を示すもので、同図(a)と同図(b)とは横軸 (V_g 軸) が前者よりも後者を伸長させたものとしている。これにより、同図(a)は同図(b)よりも、より多くの種類のゲート絶縁膜について特性を示している。また、同図(b)は同図(a)よりもゲート絶縁膜の種類を限定しその限定された種類のゲート絶縁膜についての特性を詳細に示している。本特性は比較的広い面積 ($110\mu\text{m} \times 100\mu\text{m}$) の MOS キャパシタにて測定されたもので、この特性の絶縁膜を MOSFET に用いる際には図28に示すようにゲート面積の微細化によって本リーク電流は減少することが知られている。

10

【0097】

図29はトンネルゲート酸化膜を MOSFET に適用した場合のゲートリーク電流とゲート長との関係を示すものである。この図に示すように MOSFET に用いる場合にはゲート長 L_g に応じてリーク電流が減少することが知られているが、 L_g の -1 乗より L_g に対する依存性が大きい。したがって、短いゲート長のみで回路を構成する場合、長い L_g のトランジスタに比べリーク電流による消費電力の増大を抑制できる。

20

【0098】

図30は本発明の MOSFET を従来のものと対比して示すものであり、同図(a)は本発明に係る MOSFET、同図(b)は従来の MOSFET である。同図(b)に示すゲート長の MOSFET 13 と同等の性能を持ち、かつ消費電力の少ない回路を構成する場合、同図(a)に示すように、微細ゲート長 MOSFET 12 を適宜直列に繋げることで、所望の駆動力を有する回路を実現することができる。本構成により、従来構造で問題であったリーク電流を十分抑え、低消費電力に適した半導体装置を実現できることとなる。

【図面の簡単な説明】

【0099】

30

【図1】本発明の一実施例に係る MOS 型トランジスタの構造を示す素子断面図。

【図2】図1に示すトランジスタの不純物濃度プロファイル図。

【図3】同トランジスタのホットキャリアストレス ($V_d = 2.5\text{V}$ 、 I_{submax} 、1000秒ストレス印加) 下のトランスコンダクタンスの劣化量のゲート酸化膜厚依存性を示す曲線図。

【図4】同トランジスタのトンネル電流 I_g のゲート長 L_g 依存性を示す曲線図 ($W = 10\mu\text{m}$)。

【図5】同トランジスタのドレイン電流 I_{d0} のゲート長 L_g 依存性を示す曲線図 ($W = 10\mu\text{m}$)。

【図6】同トランジスタのトンネル電流 I_g のゲート長 L_g 依存性を示す曲線図 ($W = 100\mu\text{m}$)。

40

【図7】同トランジスタのコンダクタンス g_m のゲート長 L_g 依存性を示す曲線図 ($W = 10\mu\text{m}$)。

【図8】同トランジスタの基板最大電流 I_{submax} のゲート長 L_g 依存性を示す曲線図 ($W = 10\mu\text{m}$) (a) 及びトランジスタの基板電流 I_{sub} のゲート電圧依存性を示す曲線図 ($W = 10\mu\text{m}$) (b)。

【図9】同トランジスタのインパクトイオン化率のゲート長 L_g 依存性を示す曲線図 ($W = 10\mu\text{m}$)。

【図10】同トランジスタの電流 I_g 、 I_d の電源電圧 $V_d = V_g$ 依存性を示す曲線図 ($L_g = 0.14\mu\text{m}$ 、 $W = 10\mu\text{m}$)。

50

【図11】同トランジスタのドレイン電流 I_d の電源電圧 $V_d = V_g$ 依存性を示す曲線図。

【図12】同トランジスタの I_g / I_d の電源電圧 ($V_d = V_g$) 依存性を示す曲線図。

【図13】同トランジスタの $I_d - V_d$ 特性のゲート長依存性を示す曲線図。

【図14】同トランジスタのコンダクタンス g_m のゲート長依存性を示す曲線図。

【図15】本発明のトランジスタの主要な特性について従来のトランジスタの特性を対比して示す曲線図 (電源電圧 $0.5V$)。

【図16】キャリア移動度の実効電界依存性を示す曲線図。

【図17】本発明の一実施例に係るMOS型トランジスタのコンダクタンス g_m の劣化 (ストレス時間に対するトランスコンダクタンスの劣化) 特性を示す曲線図。

【図18】本発明による半導体装置の例、全領域の半導体装置を本発明のMOSFETで作製した半導体装置 (a)、一部の領域で本発明のMOSFETを作製した半導体装置 (b)、及び周辺部領域で本発明のMOSFETを作製した半導体装置 (c) の構成を示す概略説明図。

【図19】バイポーラトランジスタとCMOSトランジスタで形成した高速半導体装置の従来例の構成を示す概略説明図。

【図20】 $L_g = 0.09\mu m$ 、 $T_{ox} = 1.5nm$ トランジスタの相互コンダクタンスの電圧依存性を示す曲線図。

【図21】相互コンダクタンスの電源電圧依存性を示す曲線図。

【図22】単位あたり電流駆動力の電源電圧依存性を示す曲線図。

【図23】ゲート長 L_g に対するチャネル電流に対するゲート電流比 I_g / I_d を示す曲線図。

【図24】 $T_{ox} = 1.5nm$ 、 $L_g = 0.2\mu m$ pMOSトランジスタの特性 ($I_d - V_d$ 特性 (a)、 $g_m - V_g$ 特性 (b)) を示す曲線図。

【図25】 $L_g = 0.4\mu m$ 、 $T_{ox} = 9nm$ トランジスタ (従来例)、 $L_g = 0.1\mu m$ 、 $T_{ox} = 3nm$ トランジスタ (従来例)、 $L_g = 0.14\mu m$ 及び $L_g = 0.09\mu m$ 、 $T_{ox} = 1.5nm$ トランジスタ (本発明) について、クロック周波数と電荷の蓄積消去及びサブスレシヨルドリークで決まる消費電力との関係 (a)、クロック周波数とゲートリーク電流で決まる消費電力成分との関係 (b) をそれぞれ示す曲線図。

【図26】 $L_g = 0.4\mu m$ 、 $T_{ox} = 9nm$ トランジスタ (従来例)、 $L_g = 0.1\mu m$ 、 $T_{ox} = 3nm$ トランジスタ (従来例)、 $L_g = 0.14\mu m$ 及び $L_g = 0.09\mu m$ 、 $T_{ox} = 1.5nm$ トランジスタ (本発明) について、全てのトランジスタと同一消費電力、あるいは同一クロック周波数条件としたときの消費電力とクロック周波数との関係を示す曲線図。

【図27】通常のトンネルゲート酸化膜MOSFETに用いられる各種厚さ T_{ox} を有するゲート絶縁膜について $I_g - V_g$ 特性を示すもので、より多くの種類のゲート絶縁膜について示す曲線図 (a) 及びゲート絶縁膜厚の種類を限定しその限定された種類のゲート絶縁膜について詳細に示す曲線図 (b)。

【図28】本発明によるゲート絶縁膜保護を図ったMOSFETを用いた半導体装置の構造を示す回路図。

【図29】ゲート絶縁膜 T_{ox} が $1.5nm$ のMOSFETについて $L_g - I_g$ 特性を示す曲線図。

【図30】本発明によるゲートリーク電流の減少を図ったMOSFETを用いた半導体装置の構造を示す回路図。

【符号の説明】

【0100】

- 1 半導体基板
- 2 ゲート電極
- 3 ゲート酸化膜
- 4 チャネル形成領域

10

20

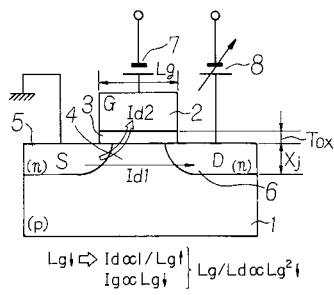
30

40

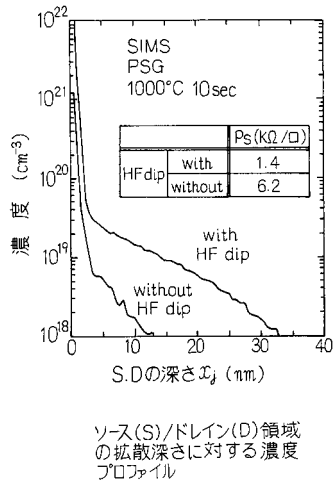
50

- 5 ソース領域
- 6 ドレイン領域
- 7 ゲート電源
- 8 ドレイン電源
- 9 通常のゲート長を有するMOSFET
- 10 低電圧電源
- 11 ショットキーダイオード
- 12 微細ゲート長を有するMOSFET

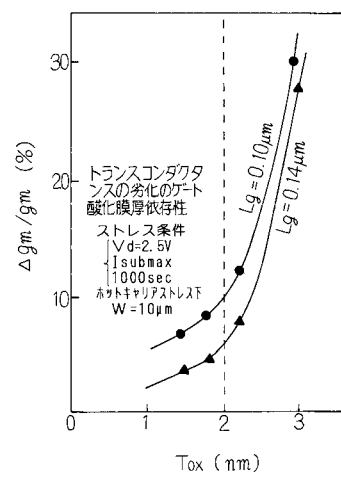
【 図 1 】



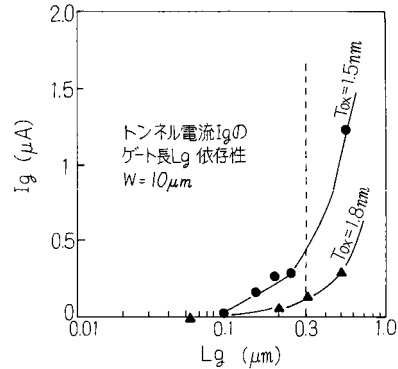
【 図 2 】



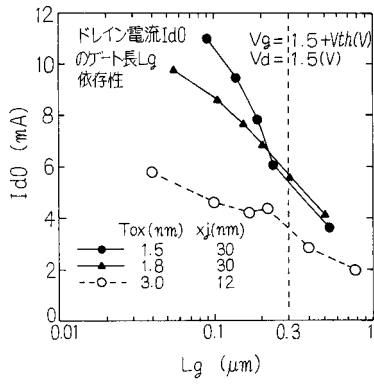
【 図 3 】



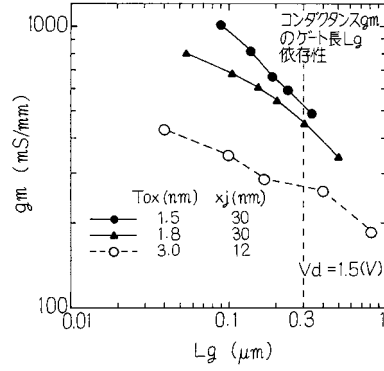
【 図 4 】



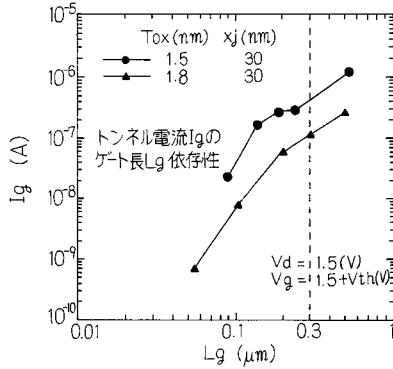
【 図 5 】



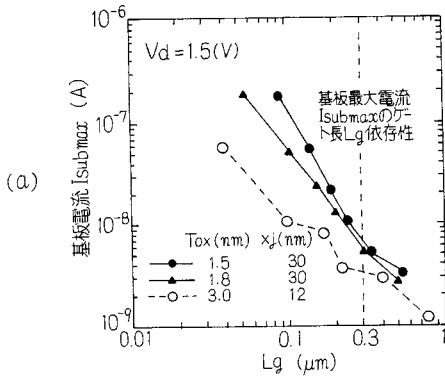
【 図 7 】



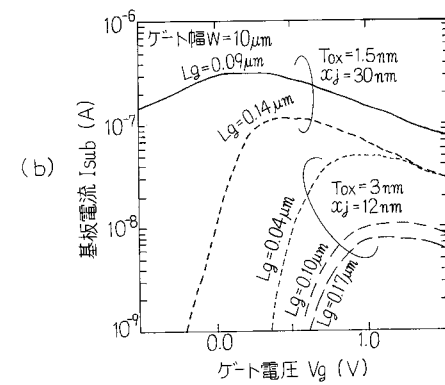
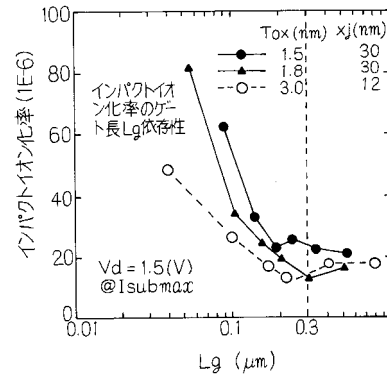
【 図 6 】



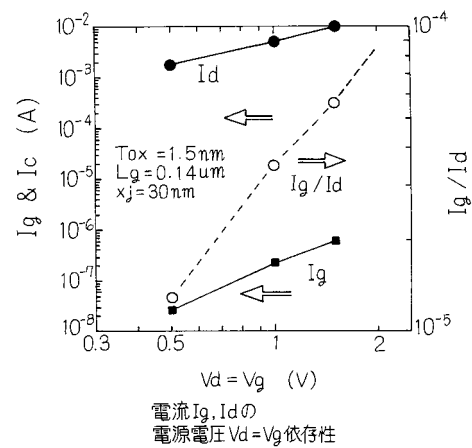
【 図 8 】



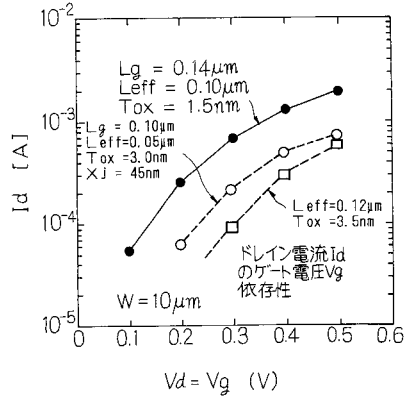
【 図 9 】



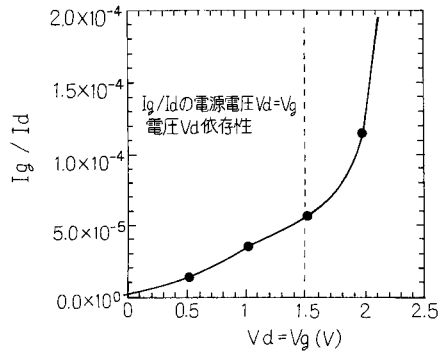
【 図 10 】



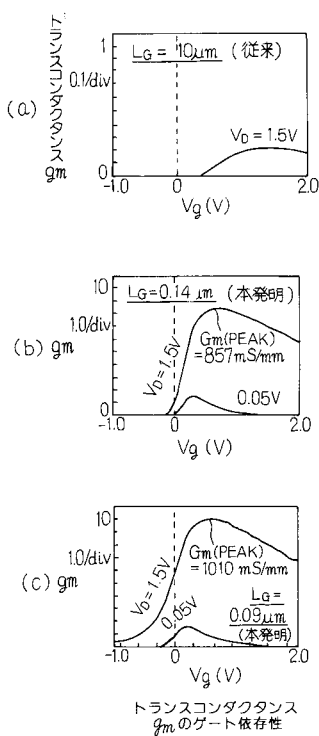
【図 1 1】



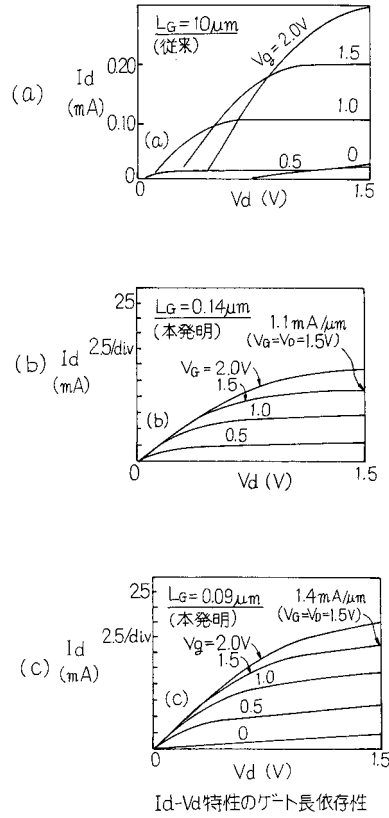
【図 1 2】



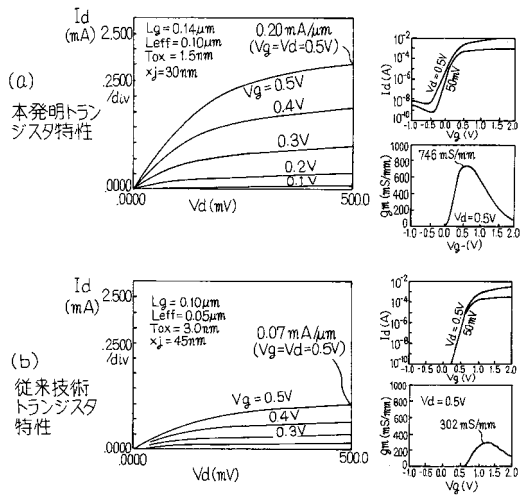
【図 1 4】



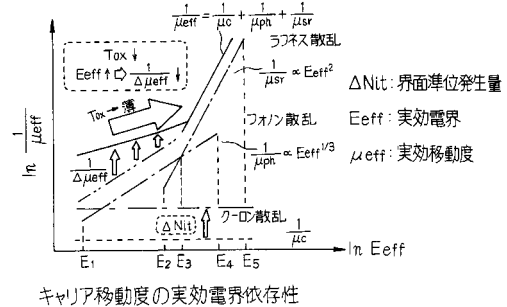
【図 1 3】



【図 1 5】

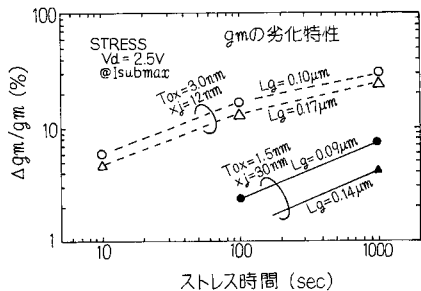


【図 1 6】

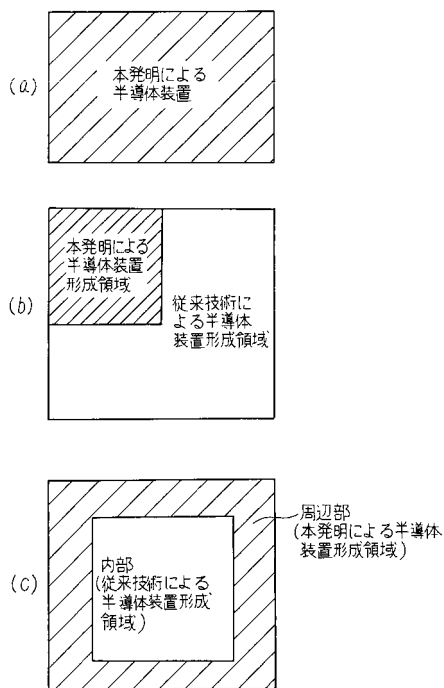


キャリア移動度の実効電界依存性

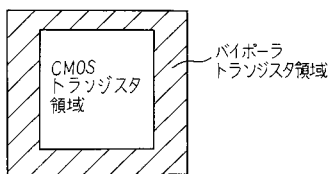
【 図 1 7 】



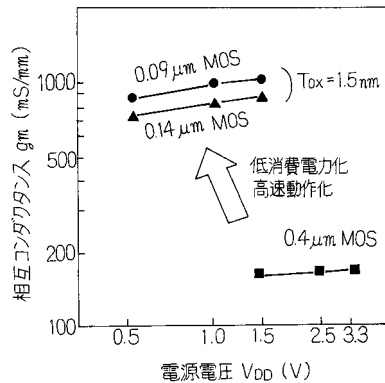
【 図 1 8 】



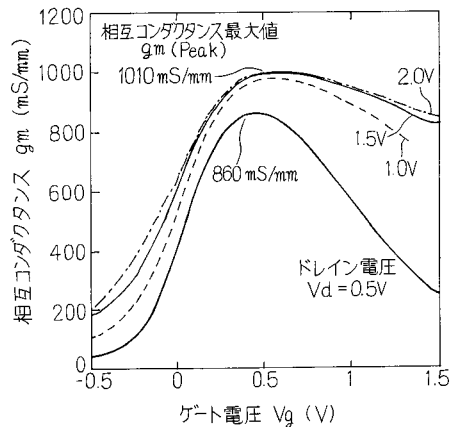
【 図 1 9 】



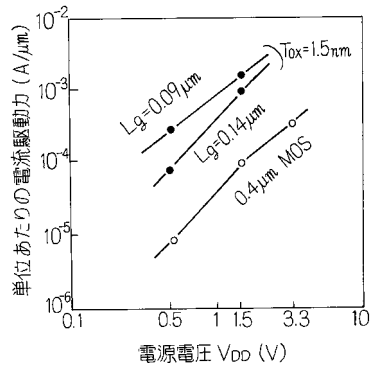
【 図 2 1 】



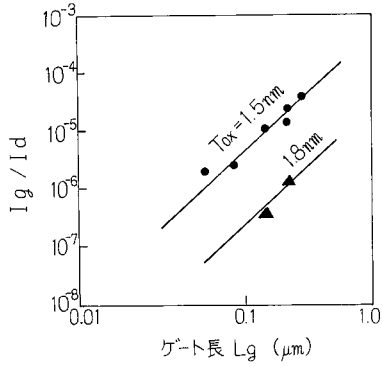
【 図 2 0 】



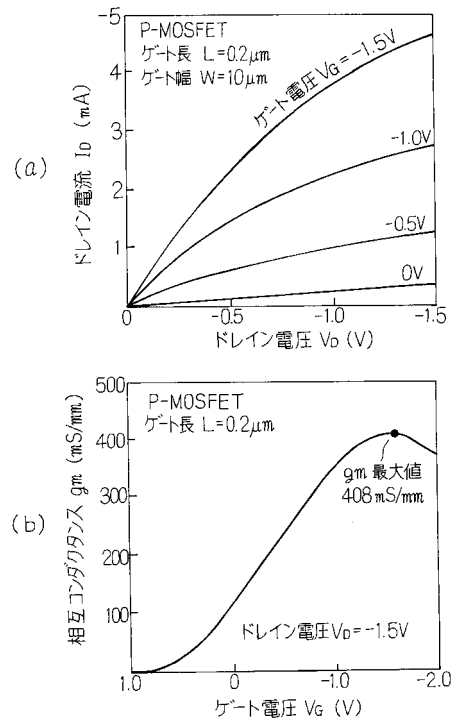
【 図 2 2 】



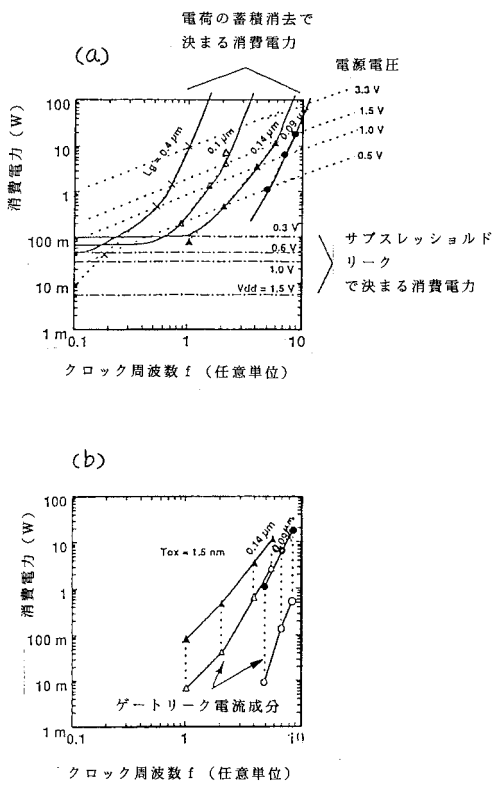
【図 2 3】



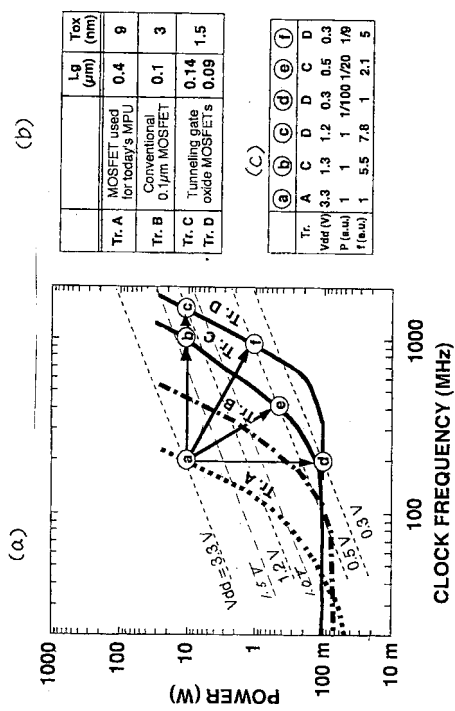
【図 2 4】



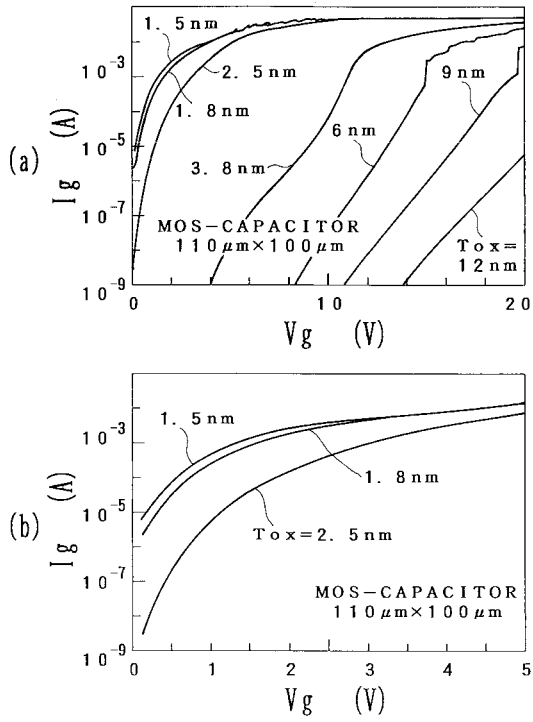
【図 2 5】



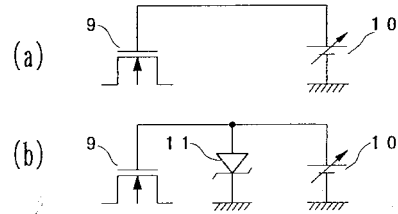
【図 2 6】



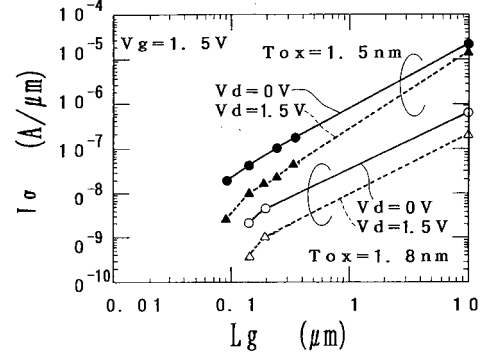
【 図 27 】



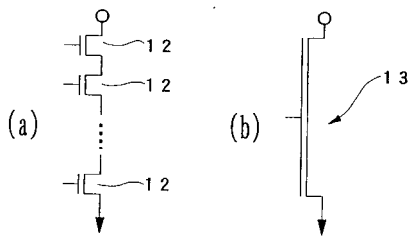
【 図 28 】



【 図 29 】



【 図 30 】



フロントページの続き

- (72)発明者 百瀬 寿代
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 岩井 洋
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 斎藤 雅伸
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 大黒 達也
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 小野 瑞城
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 吉富 崇
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内
- (72)発明者 中村 新一
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

Fターム(参考) 5F048 AC01 AC10 BB11 BB12 BB13 CC06 CC15 CC18 DA24 DA29
DB02 DB03
5F140 AA02 AA05 AA24 AA31 AB06 BA01 BD01 BD02 BD05 BD07
BD09 BD10 BD12 BD13 BE07 BF01 BF04 BG08 BG13 BG27
BG31 BG38 BH49 BK09 BK13 BK16