

公告本

申請日期	85.6.13
案 號	85107115
附註：類別	H03K 5/13

A4
C4

316342

316342

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	供分數倍放大系統用之時脈同步電路
	英 文	"CLOCK SYNCHRONIZATION SCHEME FOR FRACTIONAL MULTIPLICATION SYSTEMS"
二、發明 人	姓 名	1. 羅伯·艾德華·布希 2. 肯尼斯·麥可·辛克 3. 羅伯·莫瑞斯·豪利
	國 籍	均美國
	住、居所	1. 美國維蒙特州艾斯強遜市歐史塔吉路620號 2. 美國德州達拉斯市南西方大廈8610號#1004 3. 美國維蒙特州威利史東市歐克諾路22號
三、申請人	姓 名 (名稱)	美商萬國商業機器公司
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市
	代 表 人 姓 名	費羅普

316342

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美 國(地區) 申請專利，申請日期： 1995.11.28 案號： 08/563415 ， ☐有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

發明領域

本發明通常係關於一數位電子系統，且更特別係關於高頻時脈脈衝對此數位電子系統之部分的同步。

相關技藝描述

複雜之數位電路之性能與正確之作業與經由多個信號路徑傳輸之信號的時序極端有關。例如，即使用一簡單之邏輯閘以接收多個輸入，如果輸入之到達時間偏誤，則正確之輸出如果有的話，將僅產生在輸入信號之正確邏輯狀態之重疊時。如此，數位電路之操作在稱為一"周期時間"的期間定期地重新計時。

周期時間經常由一產生不同相位之時脈信號以使信號傳輸並由設定時間之系統時脈所決定，所以，當多種數位電路被允許反應時，所有信號係在一預定之邏輯狀態。因而，由於周期時間必須在系統中調節所有傳輸延遲及其他信號衰減與設定時間，故時脈周期必須經常於其中調節最大之延遲。如此，最大延遲元素之周期時間強制其延遲於整個系統上並限制了整個系統之作業速度。

雜訊與信號傳輸延遲藉由設計系統主振盪器依據所要之系統速度在同步分布允許下，以最低頻率執行而最小。因此，局部高速時脈必須從一系統同步裝置，以一最小頻率或依系統同步所需正確性而定之最大期間接收一同步信號。為了保持系統同步的正確性，同步信號之最小頻率必須隨著增加中之局部、高速時脈率而增加。

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明(2)

近來，時脈放大電路已被加至微處理器以產生外部"系統"時脈速度數倍之內部時脈信號。這樣的內部時脈信號使微處理器以非常高之內部速度作業，即使系統匯流排及系統時脈正以一較慢之速度執行。如果微處理器必須以其內部時脈之速度與一或更多之裝置通信(如週邊、輸入／輸出匯流排、儲存裝置等)，則第二裝置必須產生、或接收較高之速度時脈以便以該速度通信。

然而，當二或更多之裝置以脈波之分數(非整數)倍放大的速度(如 1.5x, 2.5x, 3.5x 等等)作業，有一問題即存在，因為除非分數倍放大之脈波信號與其他裝置同步，否則他們無法適當地通信。因此，除非該等裝置被正確地鎖相，否則他們無法有效地通信。

爲了使要通信之裝置的內部脈波信號同步，稱爲"介穩性"之問題必須克服。換句話說，通信僅在邏輯信號已穩定後才能有效地發生。因爲同步定時對於電路之關係與通信很重要，故對於適當的通信，介穩性乃是基本的。換句話說，通信裝置中之輸出驅動器能花有限的時間以從一零改變至一一，並且當資料級已穩定時，門鎖電路或暫存器必須知悉，如此始可取得正確的資料。因此，不同相時脈的問題衝擊了當多種電路正等待邏輯信號之同步時所發生之延遲。此延遲時間是不想要的且除去或減少之乃本發明長久以來認爲必要的。

對於不同相時脈之問題的一解決方案包含一發生分數的放大時脈信號至"副"裝置的"主"裝置。這確保所有副裝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

置將與主裝置保持同相。然而，當一裝置作為一主裝置並產生一較高速之時脈要傳送至副裝置時，由於信號分布與帶寬問題，傳送及接收產生之時脈信號會造成延遲。這些延遲又衝擊了性能參數，如介面信號之建立及保持次數。

當每一副裝置產生其自己之內部時脈時，與主／副關係相關之延遲被去除。然而，當每一裝置產生其自己之分數的放大時脈信號時，無法保證時脈信號將與其他邏輯信號保持同相。

特別地，不同相時脈的問題說明如下。如果內部時脈速度為"系統"時脈之整數倍(即 $1x$ ， $2x$ ， $3x$ 等等)，每一裝置將產生一與其他內部時脈信號同步的相等內部時脈信號。然而，如果內部時脈速度為"系統"時脈一分數(非整數)倍(如 $1.5x$ ， $2.5x$ ， $3.5x$ 等)，一裝置之內部時脈可能完全(180°)與其他裝置之內部時脈不同相。

不同相時脈之問題更說明於圖式中。現在參看圖1，所示為一系統時脈信號10("CLK")的範例波形。

此信號起始時在一"低"信號位階(即"0")，且在 t_0 時即至一"高"信號位準(即"1")。在 t_0 及 t_1 的中間點，系統時脈信號回至低信號位準。在 t_1 ，系統時脈藉回到一高信號位準而重複此周期。此周期在每一時間單元中被連續重複著。

圖1出示一裝置A之內部時脈信號的波形，其表示為信號CLK A (11)。圖1出示一裝置B之內部時脈的波形，其

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明(4)

表示為信號CLK B (12)。圖1亦出示一裝置C之內部時脈的波形，其表示為信號CLK C (13)。內部裝置A、B、及C之每一個，基於系統時脈信號而產生其自己之內部時脈信號。在此例中，每一內部時脈信號為系統時脈信號之非整數倍(即1.5x)。

時脈信號CLK A及CLK C本質上是同步的。

裝置B之內部時脈信號12也是以系統時脈信號的1.5x執行，但是不像CLK A及CLK C，每當CLK A及CLK C從一低狀態改變至一高狀態，CLK即表現相反的作用。因而，內部CLK B與內部CLK A及內部CLK C完全不同相，或是180°地不同相。

如上所解釋，既然CLK B與CLK A及CLK C不同相，則裝置間的通信如果不是不可能，就是會無效率。本發明藉由使由各別裝置所產生之分數倍脈波信號同步而解決不同相的問題。

發明概述

因此，本發明之一目的為提供上述習知裝置對於不同相時脈問題之一解決方案。

另一目的為引用一將多個裝置之內部時脈信號同步之同步信號以解決上述問題，其中，為系統時脈之分數倍的內部時脈被置為同相。

本發明之又一目的為提供一用以使多種裝置之內部時脈信號同步之系統與方法。該等裝置係將一系統時脈信號放大大一分數倍之量。本發明結合同步信號以保持所有分數

五、發明說明(5)

倍放大之個別時脈信號同相並在一放大之頻率。

特別地，在本發明之第一觀點而言，包括一用以放大一系統時脈信號之電路的裝置被提供。此裝置包括一用以傳輸系統時脈信號之系統時脈匯流排，一連結至系統匯流排，用以產生一同步信號之主裝置，及多個從主裝置被連結至系統匯流排與同步信號之副裝置。多個副裝置中之每一個包括一裝置匯流排，此裝置匯流排被連結至一時脈樹狀分布電路與一回授分頻電路。

藉由利用一"主裝置"，產生之同步信號散布至其他"次"裝置，同步信號如同時脈信號變成活躍般地迅速可得。這使相鎖環裝置可立即開始"鎖定"(locking-in)在正確的內部時脈相位。

這種同步化體系也允許一整個時脈放大系統(如一"主"裝置與一或多個"副"裝置)被加至一現有之匯流排，而不需任何改變(即同步化匯流排周期，額外信號等等)。這些特性在一些"逆相容性"(backward compatibility)並不允許任何改變的案例中乃是需要的，並且對於其中有一同步之特別匯流排周期為不可實行之"隨插隨用"(plug-and-play)的應用中乃是有用的。

因而，根據本發明，一同步訊被引用，其同步多個裝置之內部時脈信號，其中，為系統時脈之分數倍放大的內部時脈被置為同相。而此具發明性之結構及方法將多種裝置之分數倍放大的內部時脈信號同步，且更特別地，使用同步信號及一相鎖環以保持所有分數倍放大之各別時脈信號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

同相並在一固定頻率。

圖式簡述

從以下本發明較佳具體實施例之詳細描述並參考圖式，前述及其他目的、觀點及優點將更被了解，其中圖1描述一範例的系統中，一系統時脈信號及加速之內部時脈信號的範例波形。

圖2描述根據本發明之一系統時脈信號，一1.5x放大的內部時脈信號及一同步信號之範例波形。

圖3為根據包括有一主時脈同步信號產生器，副裝置，一系統時脈匯流排及一分數倍放大匯流排之本發明的系統之方塊圖。

圖4為與根據本發明之系統一同使用之相鎖環(PLL)電路之方塊圖。

圖5為根據本發明之一包括有一PLL及一回授分頻器之一時脈結構的方塊圖。

圖6為根據本發明之包括有一系統時脈信號、一同步信號、兩內部信號、一回授時脈信號及一分割之時脈信號之PLL相位／頻率偵測器之範例波形的時序圖。

圖7為根據本發明之與一微處理器及一第2級快捷記憶體通信之一未放大匯流排及分數倍放大匯流排之方塊圖。

圖8類似圖7，展示一分隔之除以二的電路。

本發明較佳具體實施例之詳細描述

本發明係一利用由一主單元產生而經由一同步信號匯流排傳送之同步信號的系統。同步信號由各別副裝置所使用

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

以產生與其他分數倍放大之時脈信號同相且同步之分數倍放大的時脈信號。

如圖3所示及以下更詳細之討論，本發明乃優於習知系統，因為本發明去除延遲，且不會與通信線路或匯流排相干擾。特別地，如發明背景中所討論的，一些先前技藝之系統直接地分布一高速時脈信號，其乃加入提供所有以分數倍放大之時脈速度通信的裝置額外時脈信號所要之裝備。而其他先前技藝之解決方案乃引進一特別之匯流排周期作業作為一裝置以建立在以分數倍放大之時脈速度通信的裝置之中內部產生之放大時脈信號之同步。

相反地，本發明允許在任何時候，所有時脈信號間可建立同步而沒有任何在通信匯流排上控制之中斷或需要以在通信匯流排上建立控制。因此，本發明乃可應用在當卡被瞬間(on the fly)插入的情形。甚者，由於本發明，當一新裝置安裝或連結時，並不需要重新啟動(reboot)或執行一特殊之匯流排周期，而在先前技藝系統中這是需要的。

當本發明在以下描述有關於晶片對晶片(chip-to-chip)通信時，有是相同可應用於卡對母板(card-to-motherboard)之通信。這乃特別是事實，其中具有將卡"瞬間"(on the fly)插入一母板中而不需重新啟動或實施一特別之起始周期之能力乃是特別方便的。甚者，根據本發明，此同步體系如以下所述，將相異之時脈信號同步將比先前技藝系統系統更快速。

特別地，圖3為一示出本發明之一較佳具體實施例的方塊

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明(8)

圖，其中，一第一裝置30作為一"主裝置"，且第二及第三裝置31及32分別作為對"主裝置"之"副裝置"。

主裝置30產生利用一為習於此業界之人士所熟知之分頻電路的SYNC信號20。副裝置31、32從裝置30接收SYNC信號20以將他們分別之內部時脈同步。特別地，圖3示出一SYNC匯流排33，其承載SYNC信號20至裝置31、裝置32及其他連結至SYNC匯流排33之副裝置(未示出)。

如圖3所示，每一副裝置與匯流排35互相通信以傳送資料並實施其他有關於副裝置之初級執行功能的作業。匯流排35以與CLK信號10相同之速度通信。在範例之具體實施例中，匯流排35之較佳速度為66 MHz。然而，任何速度均可依據設計者之需要及系統架構而使用。

每一副裝置亦可與分數倍放大匯流排36互相通信。分數倍放大匯流排以CLK信號10之某特定整數或非整數倍作業。例如，分數倍放大匯流排可以CLK信號10之1.5x，2.5x，或3.5x之速度作業。此特定之具體實施例所有關之情況，其中分數倍放大匯流排36正以CLK信號10之一半整數倍(如1.5x，2.5x，3.5x，等等)之信號頻率作業，但是本發明包括其他分數倍。因此，每一副裝置可與以不同頻率作業之1x匯流排及分數倍放大匯流排通信。

為了允許裝置31、32與1x匯流排35通信。CLK信號10被從CLK匯流排34輸入至該等裝置。既然CLK信號10及1x匯流排35以相同頻率作業並同相，同步即不再需要。

為了讓裝置31及32與分數倍放大匯流排36通信，CLK信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

號10必須被放大一預定之量。在此範例之具體實施例中，CLK信號10被放大一半整數之量(1.5x, 2.5x, 3.5x等)。如上所討論，內部之分數倍放大裝置之時脈信號可與匯流排或其他裝置不同相。

為確保所有內部之分數倍放大裝置與其他裝置作業同相，SYNC信號20被用以與CLK信號10連接，以針對CLK 10信號建立內部分數倍放大時脈之相位關係。此功能在以下較詳細地解釋。

圖2描述一同步信號20("SYNC")。對於使用半整數時脈放大之體系(如1.5x)，SYNC信號為CLK信號除以2。對於其他分數倍時脈放大之體系，SYNC信號為輸入時脈之除以其他數，為一般習於此技藝人士在本案之理解範圍內所熟知。

在此描述之例子為1.5x之時脈放大系統。

在範例之系統中，SYNC信號20在 t_0 時為"高"(即"1")，且CLK信號10從一"低"位準上升至一"高"位準。緊在CLK信號10在 t_{0a} 從一高位準至一低位準，SYNC信號20從高位準至一低位準(即"0")。

SYNC信號20維持低位準直到緊在 t_{1a} 之後。在 t_{1a} ，CLK信號10從一高信號轉變至一低信號。緊在CLK信號10轉變至一低信號之後，SYNC信號20從一低信號轉變回一高信號。

同步信號20在系統時脈信號下降之後作了一次轉變，所以SYNC信號對每一其他高系統時脈信號為高。以這樣

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明(10)

的方式，SYNC信號對每一其他正CLK脈衝作為一啓動。

提供SYNC信號20允許一特定之通信協定(例如：關係)在CLK信號10及分數倍放大之內部裝置時脈信號21("內部CLK")之間建立。

本例中通信協定之建立如下。在CLK信號10(即當CLK信號10正從一低信號至一高信號)之上升邊緣，SYNC20為高準位，內部CLK 21亦必須上升。如果內部CLK 21在此點正下降，則其為不同相且必須藉由移位 180° 以更正而成同相。相反地，在CLK信號10之上升邊緣，SYNC信號20為低位準，則內部CLK 21必定在下降。如果內部CLK 21在此點正上升，則其為不同相且必須由移位 180° 而更正致成同相。

如此，SYNC信號20係用以建立一專有之通信協定以決定多種內部裝置之每一個的所有內部CLK 21信號係同步(如，與每一其他為同相)內部裝置之每一個的這樣之同步允許裝置間之通信達高效率，亦增加整個系統之處理速度。

相鎖環(PLLs)常被用來使時脈信號同步。基本上，一相鎖環乃一裝置被用以控制一局部振盪器之頻率，因而其頻率將跟隨另一信號之頻率中之變化。

一相鎖環允許"鎖定"("locking on")至一靠近振盪器之信號或其諧振或次諧振，此係依PU之結構而定。因此，PLLs有點半調諧，對於噪音之免疫特別佳且被用來回復一同步信號。

一PLL基本上包括一可變之頻率振盪器(如，典型之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(11)

VCO)及一相位偵測器。此相位偵測器從振盪器接收一輸入信號及一輸出信號。

回授信號或輸入信號可以分頻係依PLL振盪器是否操作輸入信號之複合(如：諧振)或次複合(如：次諧振)。

相位偵測器比較輸入信號之相位及回授信號，並產生一信號(如：電壓)，此信號具有對應於在其間所偵測到之相位誤差之振幅，以控制可變頻率振盪器之振盪頻率。相差偵測器之輸出可由一低通濾波器有利地濾波以使錯誤之信號平滑並因此使VCO之作業穩定。

圖4展示一用於本發明之放大時脈產生器40的方塊圖。先前技藝PLL已被修正以包括用於本發明之時脈同步的有關元件。如圖4所示，放大時脈產生器電路40包括一相位／頻率偵測器41及一振盪器42以輸出一內部放大時脈信號55。此放大之時脈信號55被用以在放大CLK匯流排36上通信。

相位／頻率偵測器41為一熟習之硬體元件，在此案中，用以比較兩信號之上升邊緣(如：一外部參考時脈信號10及一晶片上之時脈信號51)，並用以產生控制信號，此信號然後將增加或減少振盪器之速度直至兩輸入之頻率及相位相等。

在圖4中，如上所述，一第一AND電路43從CLK匯流排34接收CLK信號10，並從SYNC匯流排33接收SYNC信號20。

AND電路43根據以上所建立之作業或"通信協定"而作業

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (12)

。在此通信協定中，AND電路43偵測了具有高位準(即"1")之SYNC信號20及具有從一低位準("0")信號至一高位準("1")信號之上升邊緣的CLK 10信號之諸情況。當這二情況均出現，AND電路43輸出一信號45至相位／頻率偵測器41。此作業圖示於圖6中並於以下詳細討論。

一第二AND電路44實施一相似之功能，並接收一內部時脈回授"FBKCLK"信號51，如以下所討論，此信號為時脈樹狀分布電路56之一代表輸出。AND電路44亦接收一分割時脈信號52"DIVCLK"，此信號亦如以下所討論，為已被一預定數所除之內部放大時脈信號54。信號54根據建立之相乘因數而被除。

AND電路44依以上所建立之相同的通信協定，並偵測高位準(即"1")之DIVCLK信號52及具有上升邊緣(即從一低("0")信號至一高("1")信號)之上升邊緣的FBKCLK 51之諸狀況。當這二狀況均存在時，AND電路44輸出一信號46至相位／頻率偵測器41。此作業亦圖示於圖6中並討論於下。

更正之輸出電壓信號47的極性係由那一輸出信號(信號45對信號46)先上升而決定，更正之輸出電壓信號47之大小係由兩上升邊緣之間消逝之時間量而決定。

相位／頻率偵測器比較信號45及46之上升邊緣以決定振盪器42之頻率是否需要增加或減少。如果信號45的上升邊緣發生在信號46的上升邊緣之前，則相位／頻率偵測器將產生一控制信號47，此信號會造成振盪器頻率上的增加。

五、發明說明 (13)

相同地，如果信號45之上升邊緣發生在信號46之上升邊緣之前，則相位／頻率偵測器將產生一控制信號47，此信號會造成振盪器在頻率上的減少。

信號45及46之間的時序關係相同於信號CLK 10及FBKCLK 51之間的時序關係，由於兩者均延遲一AND閘延遲。藉由比較當SYNC信號20為高位準時之時期與當CLK信號10為高位準時之時期，一CLK信號之上升邊緣被相位／頻率偵測器所選用。對於1.5x時脈放大，DIVCLK信號包封每一第三上升之FBKCLK信號。

相同地，藉由比較當DIVCLK信號52為高位準時之時期與當FBKCLK信號51為高位準時之時期，一FBKCLK信號之上升邊緣被相位／頻率偵測器所選用。對於1.5x之時脈放大，DIVCLK包封每一第三上升之FBKCLK信號。

再看圖5，放大時脈產生器電路40如上所示，具有來自CLK匯流排34及圖3之SYNC匯流排33的輸入。圖5詳細描述一回授分頻器53及輸出之內部放大時脈信號55。

放大時脈產生器電路40之輸出信號55經由時脈樹狀分布電路56橫跨晶片而分布。較佳地，時脈樹狀分布電路56包括多個分頻電路，其扇出與階數被設計以適合無論什麼裝置實施於一特定應用中之要求。一代表之回授點54被選擇以用於"回授"信號，以被放大時脈產生器電路40所使用於相位校準(及頻率控制)。

回授分頻器電路53為時脈放大體系之一部分，且較佳地包括作為計數器以允許多個可程式分割因數之鎖門電路。

五、發明說明 (14)

圖6描述針對示於圖4之電路而討論之通信協定，且特別地係AND電路43及AND電路44之功能，由於他們與以上信號有關。示於圖6之波形為示於圖4及5之電路的，當此電路正實施一1.5x之系統時脈放大。

由於界定為CLK信號10除以2的SYNC信號20，AND電路43之輸出，示於圖4，如同信號45，為一被一AND—開延遲所延遲而發生在CLK信號10之每一其他上升邊緣的脈衝。因為AND電路係根據針對圖4而討論之通信協定而作業，因而以上會發生。

特定地，此通信協定要求當SYNC20在CLK 10之上升邊緣(即當CLK 10從一低信號至一高信號)為高位準時，內部CLK 21亦將上升。AND 43偵測高位準(即"1")之SYNC信號20及具有上升邊緣(即從一低位準("0")信號至一高位準("1")信號)之CLK 10的諸狀況。當此二狀況均出現，AND電路43輸出一信號45至相位／頻率偵測器41。此信號圖示為圖6中之波形45。

因此，AND電路44之作業圖示為圖6中之波形46。DIVCLK信號52為回授分頻器電路53之輸出，此分頻電路將內部放大時脈信號55為一因數3所分割。示於圖4中，信號46為AND開44之輸出，且在PLL產生之內部放大時脈信號55之每第三個上升邊緣之後有一AND開之延遲。這兩邊緣由相位／頻率偵測器所比較以控制PLL振盪器，且導致在每二個CLK 10周期，或一1.5x時脈放大有三個內部時脈周期被產生。如果回授分頻器電路53被組構以實施除了

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明(15)

五之作業。則結果會是一2.5x時脈放大。

放大因數為同步信號之頻率及被分割之回授信號之頻率的函數。特定地，放大因數為分數，其中分子為回授分頻器中之分割因數，且分母為針對系統時脈信號之同步信號的分割因數。

如果SYNC信號被設定連續地高位準，然後信號45將正確地追蹤CLK輸入，如此表示輸入CLK除以1。相同地，如果DIVCLK信號保持高位準，然後信號46將正確地追蹤FBKCLK信號，如此表示FBKCLK信號除以1。由於SYNC信號保持高位準，整數時脈放大(1x, 2x, 3x等等)為正的。

在以上之例子中，分子為3(如在回授環中的分割因數，且分子為2(如：系統時脈信號被分割以產生同步信號)。因此，3除以2得到一系統時脈信號之1.5放大。

圖7描述本發明之一較佳系統具體實施例。一微處理器70及2階快捷記憶體73以時脈匯流排34上之CLK信號而連結至一共用1x匯流排35。在此具體實施例中，此匯流排以66 MHz作業，且可連結至使用一標準之英代爾通信協定於此匯流排上之其他裝置。

為了改良性能，在共用匯流排35上通信之裝置具有內部時脈電路以放大外部時脈信號10至一100 MHz之較高的內部1.5x速度。此允許內部電路以一更高之速度而作業。PLL電路對於這樣的目的乃是理想的。圖4描繪與AND閘接合而使用而實施放大時脈產生器40之PLL元件，此產生

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明 (16)

器為圖7中之元件71及74。來自產生器71及74之放大時脈輸出分別由時脈線77及78橫過微處理器及2階快捷記憶體而分布。時脈線亦分布放大時脈信號至他們各別之I/O方塊75及76以便允許較高速之通信於較高速，100 MHz，1.5x之分數倍放大匯流排36上。

為了微處理器70在匯流排36上以一1.5x之時脈放大率與2階快捷記憶體73通信，兩裝置之內部時脈需要彼此同步以使通信有效。在此具體實施例中，微處理器被選擇為一"主"裝置，並包括除以二之電路72以產生一同步信號20，此信號內部地傳送至微處理器所有之放大時脈產生器71，以及內部地經由同步線30至快捷記憶體裝置之放大時脈產生器74。放大時脈產生器71及74使用以相同方式使用外部時脈信號10及同步信號20，所以所得之內部產生之放大信號在頻率及相位上相等。微處理器及2階快捷記憶體互相同相而以他們內部之高速時脈作業，且，因此，他們之間在匯流排36上能發生以較快速之分數倍放大時脈速度的可靠之通信。

圖8描述另一相似於圖7之具體實施例，包括作為一外部電路至裝置80及83之除以二的電路82。因此，在示於圖8中之具體實施例中，沒有"主"裝置。特定地，圖8描述一供應未放大之時脈信號至裝置80及83之1x外部時脈匯流排35。如上所述，每一裝置80及83包括一放大時脈產生器電路81及84，該等產生器電路以同步信號33及時脈信號34為基礎而將時脈信號放大並使之同步。放大之時脈信

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

號87及88被供應至I/O方塊85及86，該等方塊然後可在較高之速度匯流排上通信。

總之，在本發明中，藉由使用一"主"產生之同步信號傳送給其他"副"裝置，一旦CLK信號變得有活動性，同步信號即可得。這允許相鎖環裝置立即開始鎖定在正確之內部時脈相位。這種同步化體系亦允許一整個時脈放大系統(如：一"主"附帶一或多個"副"裝置)加至一既存之匯流排而不需有任何改變(即同步化匯流排周期、額外信號等等)。這些特性在"逆相容"不允許任何改變時是需要的，且對於一"即插即用"之應用，而其中一特殊之用於同步的匯流排周期不可用時亦是有用的。

當以上之具體實施例已以附圖之特定結構描述後，會為一般習於此技藝之人士了解本案之內容範圍。本發明可應用任何組以分數倍放大因素實施內部時脈放大且需要以放大速度互相通信之時脈裝置。

因此，當本發明已以一單一較佳具體實施例之各角度描述，習於此技藝之人士將認知本發明可在申請專利範圍之精神及範圍內修改而實行。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 供分數倍放大系統用之時脈同步電路)

一用以同步一放大系統時脈信號之電路，包括一用以產生一系統時脈信號之裝置，一接收系統時脈信號並產生一同步信號之第一裝置，及至少一接收系統時脈信號及同步信號之第二裝置。每一第二裝置包括一用以放大系統時脈信號以產生放大之系統時脈信號之裝置與一同以使放大系統時脈信號與每一由其他第二裝置以同步信號為基礎而產生之放大系統時脈信號同步之裝置。

英文發明摘要(發明之名稱： "CLOCK SYNCHRONIZATION SCHEME FOR FRACTIONAL MULTIPLICATION SYSTEMS")

A circuit for synchronizing a multiplied system clock signal includes a device for generating a system clock signal, a first device that receives the system clock signal and generates a synchronization signal and at least one second device that receives the system clock signal and the synchronization signal. Each of the second devices includes a device for multiplying the system clock signal to produce the multiplied system clock signal and a device for synchronizing the multiplied system clock signal with each other multiplied system clock signal produced by the other second devices based on the synchronization signal.

六、申請專利範圍

本發明既已描述，而我們所請求為新穎並想要獲得專利證書者如下：

1. 一種用以同步一放大系統時脈信號之電路，包含：
裝置，用以產生一系統時脈信號；
一第一裝置，操作地連結至該產生裝置，用以接收該系統時脈信號，並用以產生一同步信號；及
至少一第二裝置，操作地連結至該產生裝置及該第一裝置，用以接收該系統時脈信號及該同步信號，每一該至少一第二裝置包括一放大時脈產生器電路。
2. 根據申請專利範圍第1項之電路，其中該放大時脈產生器電路包含：
第一及第二邏輯電路；
一相位／頻率偵測器電路，耦合至該第一及第二邏輯電路之每一個；及
一振盪器電路，用以接收該相位／頻率偵測器電路之一輸出，該振盪器電路包括用以輸出該放大系統時脈信號之裝置，該放大系統時脈信號包含該系統時脈信號之一分數倍放大。
3. 根據申請專利範圍第2項之電路，更包含：
一時脈樹狀分布電路，操作地連結至該放大時脈產生器電路，用以輸出一回授時脈信號。
4. 根據申請專利範圍第3項之電路，更包含：
一分頻電路，操作地連結至該放大時脈產生器電路，
其中該分頻器電路包括用以分割該回授時脈信號之裝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

置及用以輸出一被分割之回授時脈信號至該放大時脈產生器電路之裝置。

5. 根據申請專利範圍第4項之電路，其中該第一邏輯電路包括用以比較該系統時脈信號及該同步信號之裝置以及當該系統時脈信號具有一預定狀態且該同步信號具有該預定狀態時用以輸出一第一脈衝之裝置，且

該第二邏輯電路包括用以比較該被分割之回授時脈信號及該放大系統時脈信號之裝置，以及當該被分割之回授時脈信號具有該預定狀態且該放大系統時脈信號具有該預定狀態時用以輸出一第二脈衝之裝置。

6. 根據申請專利範圍第5項之電路，其中該相位／頻率偵測器電路包括用以比較該第一脈衝及該第二脈衝之裝置，與用以控制該振盪器電路之裝置，如此該第一脈衝及該第二脈衝基本上係同時被產生，且該放大系統時脈信號與該至少一第二裝置之其他裝置的其他放大系統時脈信號同步。

7. 根據申請專利範圍第2項之電路，其中該第一及第二邏輯電路之每一個包含有一AND電路。

8. 根據申請專利範圍第2項之電路，其中該放大時脈產生器電路更包含一低通濾波器，操作地連結至該振盪器電路及該相位／頻率偵測器電路。

9. 根據申請專利範圍第4項之電路，其中該分頻器電路更包含多個鎖門電路，其中該分頻器電路對該回授時脈信號實施多個分割作業。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

10. 根據申請專利範圍第1項之電路，其中該第一裝置更包含一第二放大時脈產生器電路，此電路包括：

第三及第四邏輯電路；

一第二相位／頻率偵測器電路，耦合至該第三及第四邏輯電路之每一個；及

一第二振盪器電路，用以接收該第二相位／頻率偵測器電路之一輸出。

11. 一種用以同步一放大系統時脈信號之電路，包含：

裝置，用以產生一系統時脈信號；

一第一裝置，操作地連結至該產生裝置，用以接收該系統時脈信號，並用以產生一同步信號；及

至少一第二裝置，操作地連結至該產生裝置及該第一裝置，用以接收該系統時脈信號及該同步信號，其中每一該至少一第二裝置包括：

裝置，操作地連結至該產生裝置，用以放大該系統時脈信號以產生該放大系統時脈信號；及

裝置，以該同步信號為基礎，用以由該至少一第二裝置將該放大系統時脈信號與每一該放大系統時脈信號同步。

12. 根據申請專利範圍第11項之電路，其中該第一裝置包括：

第二放大裝置，操作地連結至該產生裝置，用以同步該系統時脈信號以產生該放大系統時脈信號；及

第二同步裝置，以該同步信號為基礎，用以將該放大

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

系統時脈信號與由該至少一第二裝置產生之每一該放大系統時脈信號同步。

13. 根據申請專利範圍第11項之電路，其中該同步裝置包括一放大時脈產生器電路。

14. 根據申請專利範圍第11項之電路，其中該放大系統時脈信號包含該放大非整數倍之系統時脈信號。

15. 根據申請專利範圍第11項之電路，更包含一連結至該第二裝置之時脈樹狀分布電路，其中該放大裝置包括用以輸出該放大系統時脈信號至該時脈樹狀分布電路之裝置。

16. 根據申請專利範圍第15項之電路，更包含：

一回授時脈信號，由該時脈樹狀分布電路所輸出，及一分割之回授時脈信號，包含該回授時脈信號之分割的乘積。

17. 根據申請專利範圍第16項之電路，包含：

第一及第二邏輯電路；

裝置，耦合至該第一及第二邏輯電路，用以改變該放大系統時脈信號；及

裝置，耦合至該時脈樹狀分布電路，用以分割該回授時脈信號並輸出一分割之回授時脈信號。

18. 根據申請專利範圍第17項之電路，其中該第一邏輯電路包括用以比較該系統時脈信號與該同步信號之第一比較裝置，

該第二邏輯電路包括用以比較該回授時脈信號及該分

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

割之回授時脈信號之第二比較裝置，且

該改變裝置包括用以調整該放大系統時脈信號之一頻率及一相位之裝置，其係以該第一及第二比較裝置為基礎。

19. 一種在一產生一系統時脈信號之系統中，將時脈信號同步之方法，該系統包括第一裝置及操作地連結至該第一裝置之至少一第二裝置，該至少一第二裝置之每一第二裝置包括用以產生對應於該系統時脈信號之第一放大系統時脈信號及對應於該系統時脈信號外之一信號之一第二放大系統時脈信號之裝置，此方法包含以下步驟：

對每一該第二裝置：

輸入該系統時脈信號及一同步信號；

放大該系統時脈信號以產生裝置放大系統時脈信號，此信號包含該第一放大系統時脈信號及該第二放大系統時脈信號之一；

輸出該裝置放大系統時脈信號至一時脈樹狀分布電路；及

決定該裝置放大系統時脈信號是否對應該系統時脈信號；及

對於每一產生該第二放大系統時脈信號之該第二裝置，以該決定步驟，調整該裝置放大系統時脈信號，以將每一裝置放大系統時脈信號與該至少一第二裝置其他裝置的其他裝置放大系統時脈信號同步。

20. 根據申請專利範圍第19項之方法，其中該決定步驟包含

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

以下步驟：

從該時脈樹狀分布電路輸入一回授時脈信號；

分割該回授時脈信號以產生一分割之回授時脈信號；

及

比較該裝置放大時脈信號與該分割之回授時脈信號，
並比較該系統時脈信號與該同步信號。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

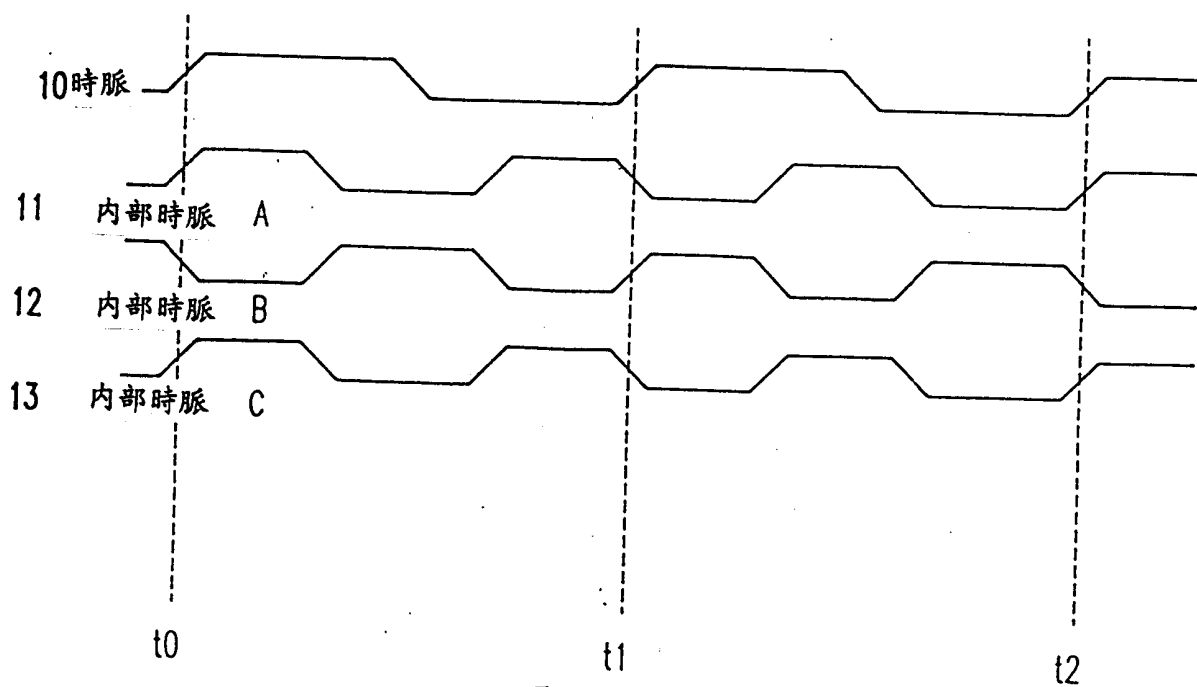


圖1

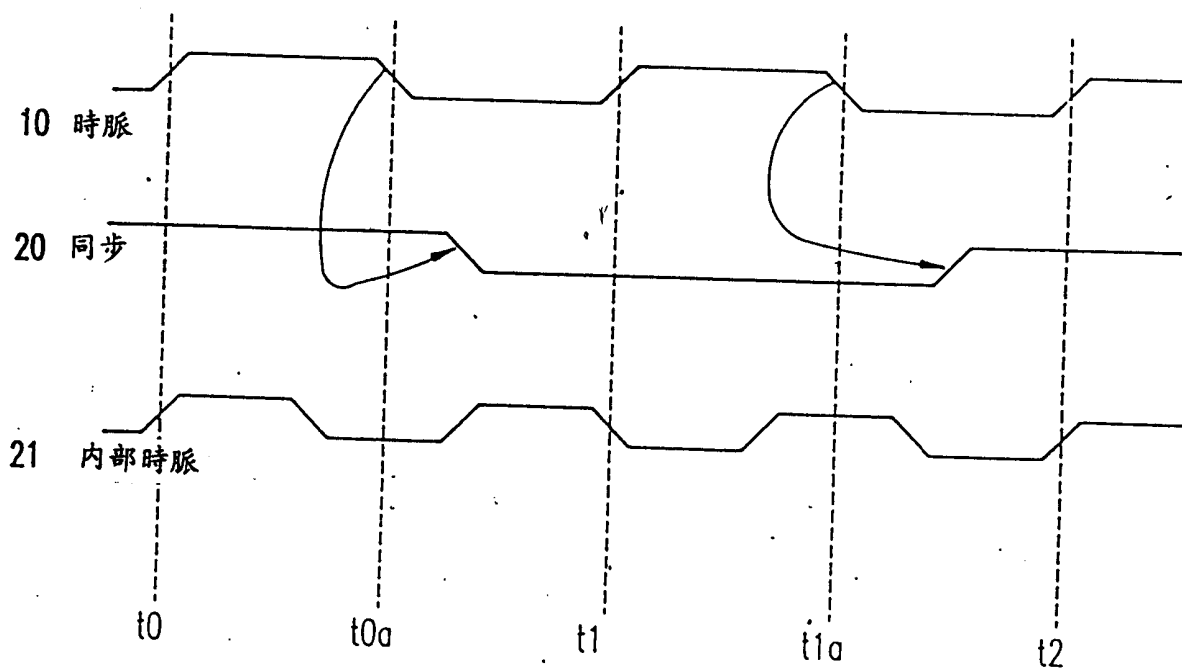


圖2

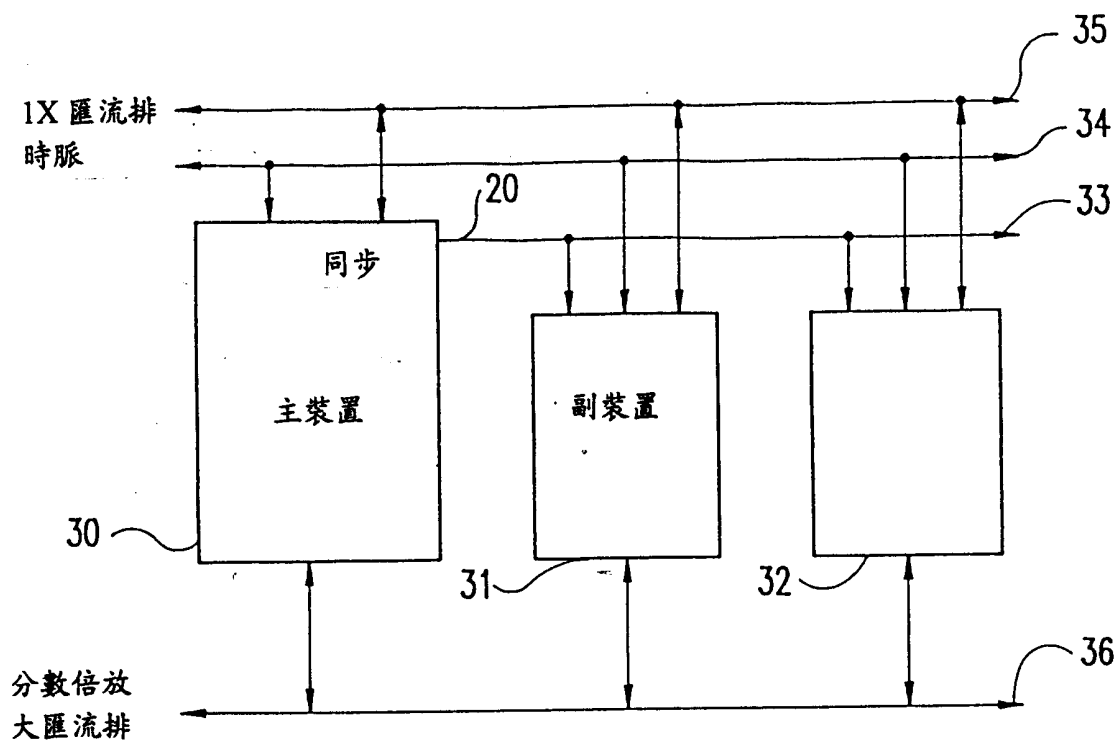


圖3

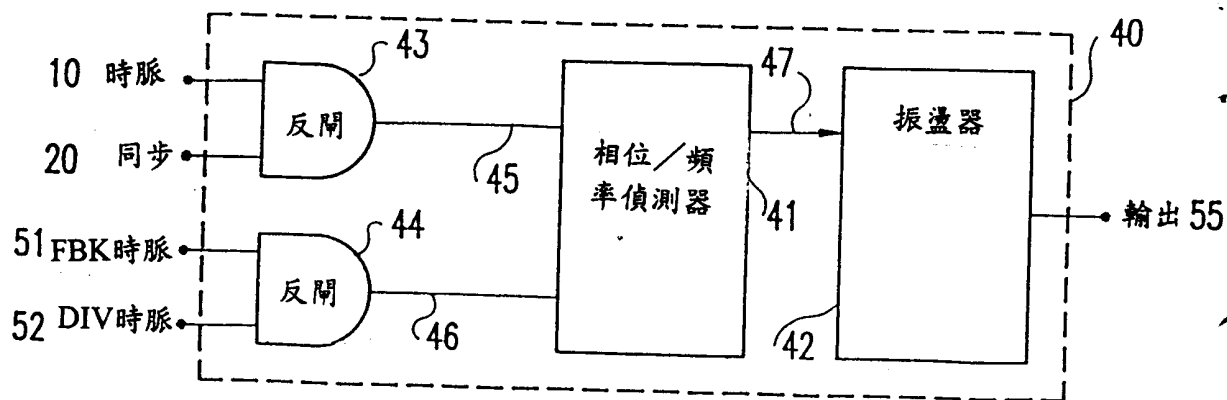


圖4

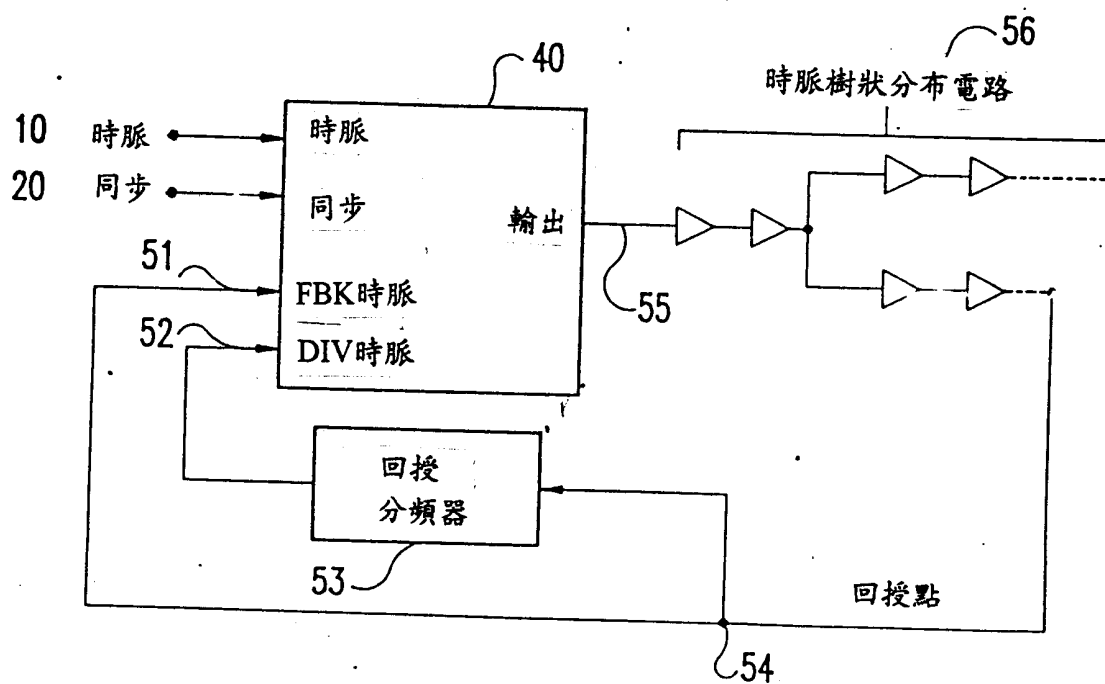


圖5

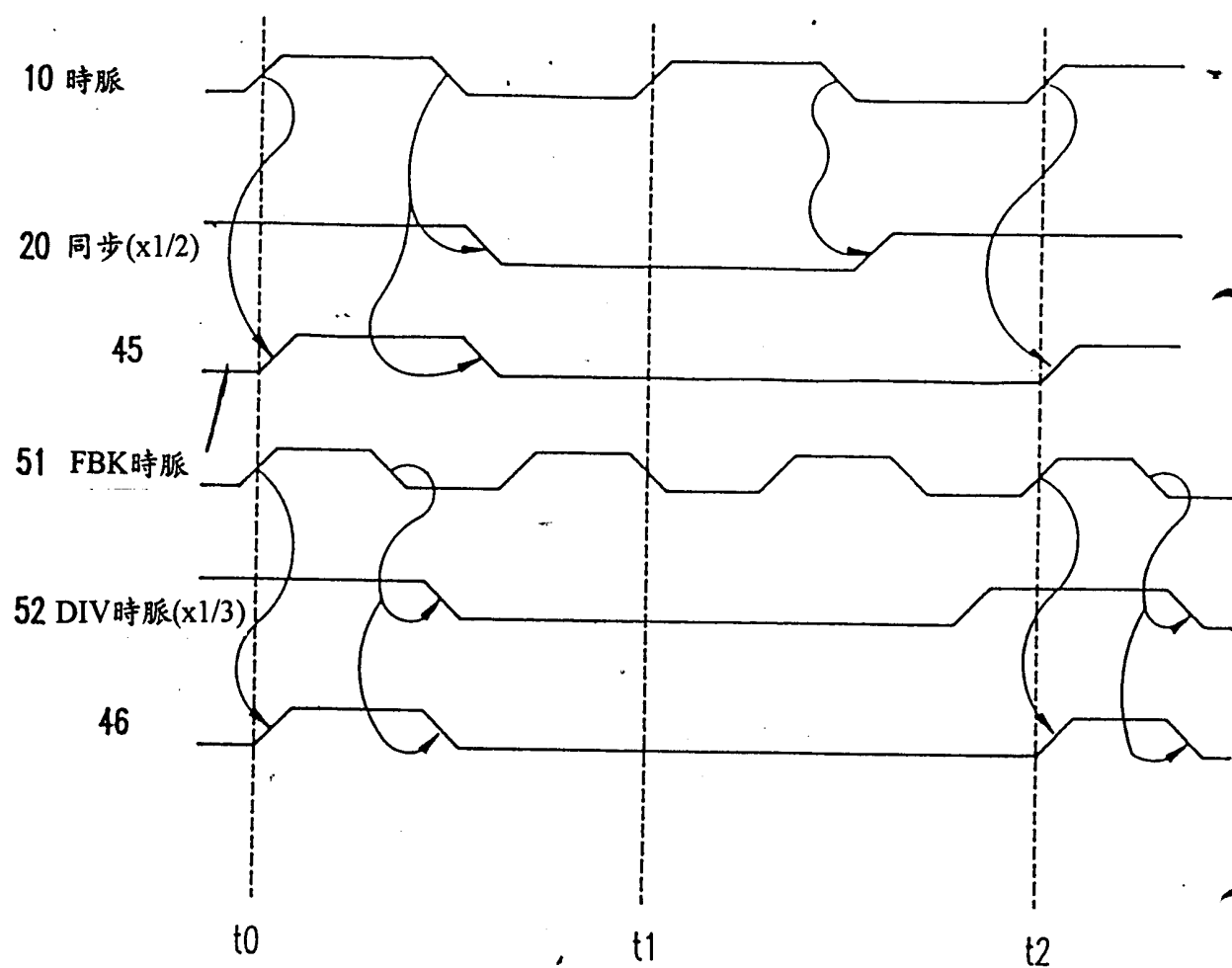


圖6

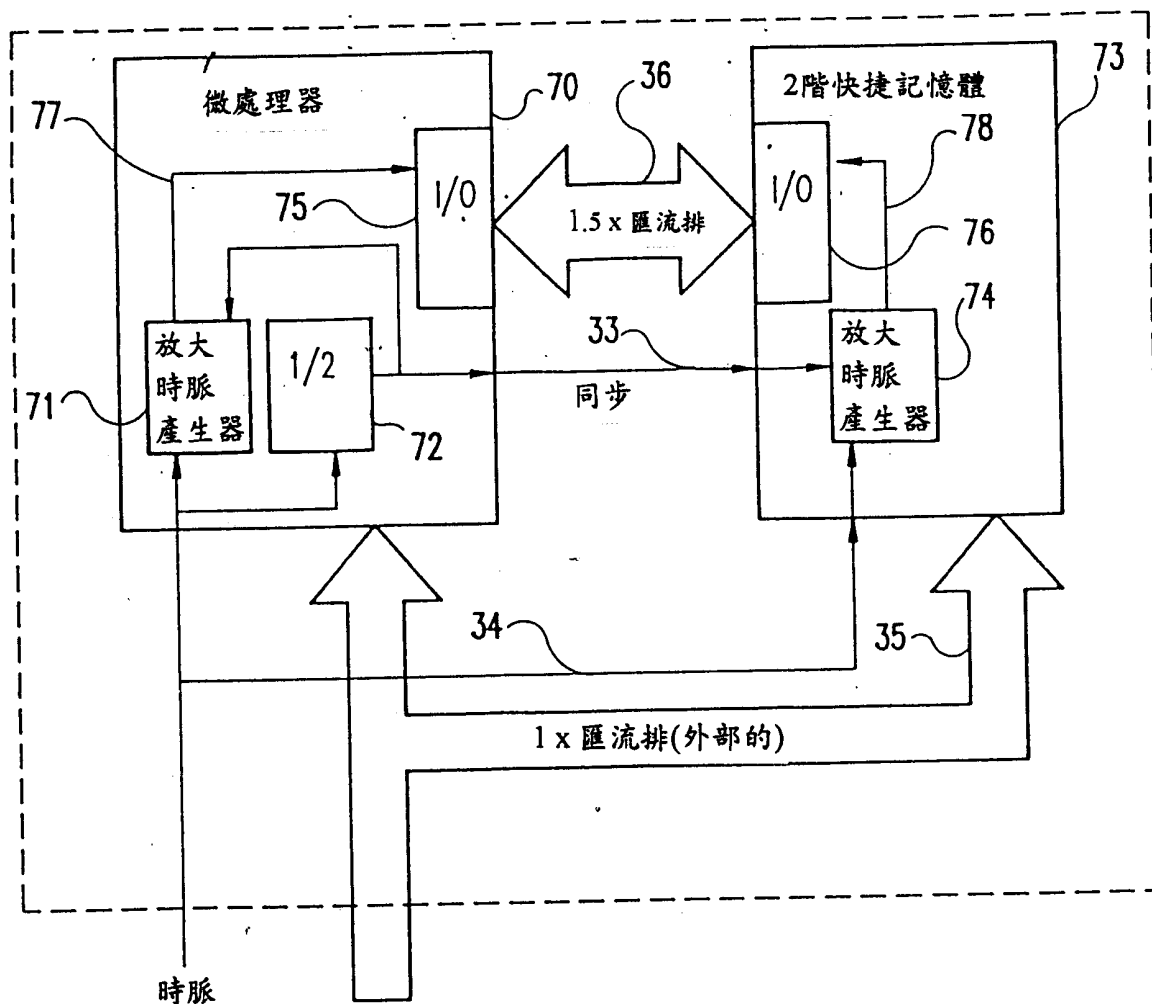


圖7

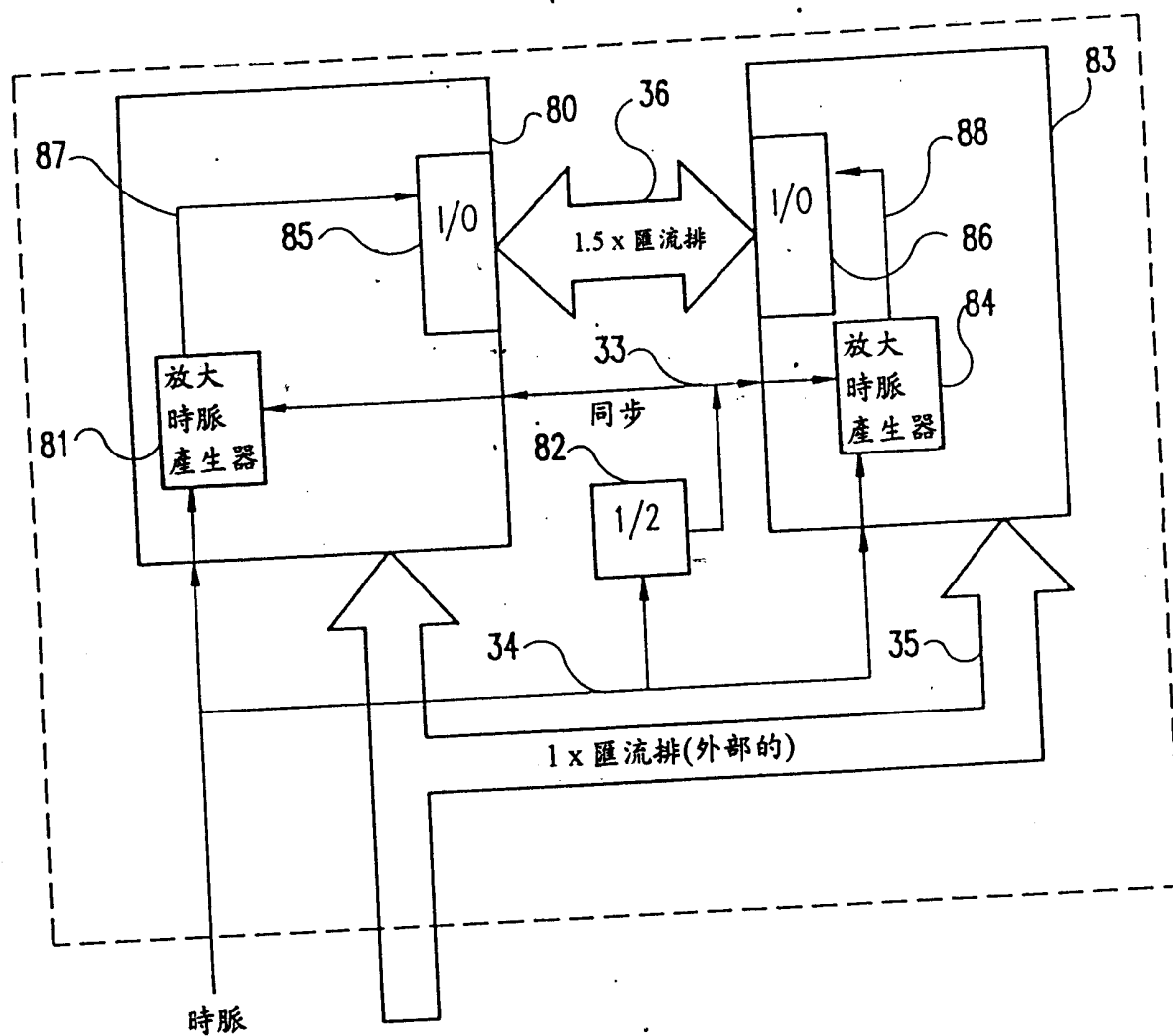


圖 8