(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2022 年 4 月 7 日 (07.04.2022)

WIPO | PCT

(10) 国际公布号
WO 2022/068264 A1

(51) 国际专利分类号:
H01L 21/8242 (2006.01) *H01L 27/108* (2006.01)

(21) 国际申请号: PCT/CN2021/100064

(22) 国际申请日: 2021 年 6 月 15 日 (15.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202011047212.7 2020年9月29日 (29.09.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 胡建城 (**HU, Jiancheng**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 北京中政联科专利代理事务所（普通合伙）(**BEIJING LINKAW PATENT ATTORNEY LAW FIRM**); 中国北京市昌平区北清路TBD云集中心2号楼B座502, Beijing 102209 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,

(54) **Title:** SEMICONDUCTOR STRUCTURE AND METHOD FOR FORMING SAME

(54) 发明名称: 半导体结构及其形成方法

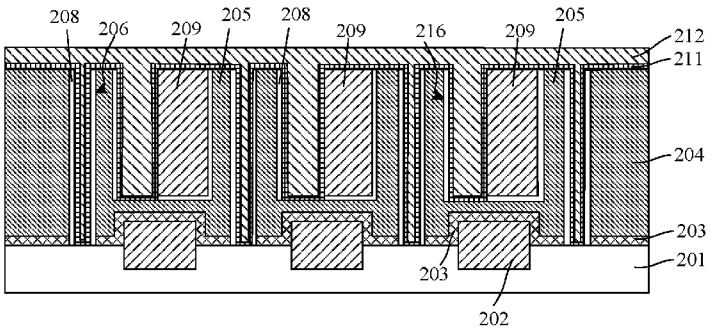

图 13

(57) **Abstract:** A semiconductor structure and a method for forming same. The method comprises: forming several lower electrodes on a substrate, wherein each lower electrode comprises an annular wall and a petal-shaped wall, which extend in a direction perpendicular to a surface of the substrate, and the interior of the annular wall is divided into several discrete first openings by means of the petal-shaped wall; forming dielectric layers on bottoms and sidewalls of the first openings; and forming upper electrodes in the first openings, wherein the dielectric layers are located between the lower electrodes and the upper electrodes. By means of the present application, a lower electrode comprises an annular wall and a petal-shaped wall, such that the superficial area of the lower electrode is increased, and when a dielectric layer and a corresponding upper electrode are subsequently formed on the lower electrode, the superficial areas of the dielectric layer and the upper electrode are also correspondingly increased, thereby increasing a capacitance value of a formed semiconductor structure.

(57) 摘要: 一种半导体结构及其形成方法，所述形成方法，包括：在基底上形成若干下电极，所述下电极包括沿垂直所述基底表面方向延伸的环状壁和瓣状壁，并且所述瓣状壁将所述环状壁内部分割成若干分立的第一开口；在所述第一开口的底部和侧壁上形成介电层；在所述第一开口中形成上电极，所述介电层位于所述下电极和所述上电极之间。本申请的下电极包括环状壁和瓣状壁，使得下电极的表面积增大，后续在下电极上形成介电层和相应的上电极时，介电层和上电极的表面积也会相应的增大，从而增大了形成的半导体结构的电容值。

WO 2022/068264 A1

[见续页]

MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

半导体结构及其形成方法

交叉引用

本申请基于申请号为 202011047212.7、申请日为 2020 年 09 月 29 日的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本申请作为参考。

技术领域

本申请涉及半导体制作领域，尤其涉及半导体结构及其形成方法。

背景技术

动态随机存取存储器（Dynamic Random Access Memory，DRAM）是计算机中常用的半导体存储器件，由许多重复的存储单元组成。每个存储单元通常包括电容器和晶体管，晶体管的栅极与字线相连、漏极与位线相连、源极与电容器相连，字线上的电压信号能够控制晶体管的打开或关闭，进而通过位线读取存储在电容器中的数据信息，或者通过位线将数据信息写入到电容器中进行存储。

随着制程工艺持续演进，DRAM 集成度不断提高，元件尺寸不断地微缩，电容器储存电荷容量也面临考验。电容器的电容值亟待提升。

发明内容

根据一些实施例，本申请一方面提供了一种半导体结构的形成方法，包括：

提供基底；

在所述基底上形成若干下电极，所述下电极包括沿垂直所述基底

表面方向延伸的环状壁和瓣状壁，并且所述瓣状壁将所述环状壁内部分割成若干分立的第一开口；

在所述第一开口的底部和侧壁上形成介电层；

在所述第一开口中形成上电极，所述介电层位于所述下电极和所述上电极之间。

根据一些实施例，本申请另一方面还提供了一种半导体结构，包括：

基底；

位于所述基底上的若干下电极，所述下电极包括环状壁和瓣状壁，所述环状壁和所述瓣状壁沿垂直所述基底表面方向延伸，并且所述瓣状壁将所述环状壁内部分割成若干分立的开口；

介电层，位于所述开口的底部和侧壁上；

上电极，填充所述开口，所述介电层位于所述下电极和所述上电极之间。

本申请实施例的技术方案具有以下优点：

本申请实施例的半导体结构的形成方法，在基底上形成若干下电极，所述下电极包括沿垂直所述基底表面方向延伸的环状壁和瓣状壁，并且所述瓣状壁将所述环状壁内部分割成若干分立的第一开口；在所述第一开口的底部和侧壁上形成介电层；在所述第一开口中形成上电极，所述介电层位于所述下电极和所述上电极之间。本申请的下电极包括环状壁和瓣状壁，使得下电极的表面积增大，后续在下电极上形成介电层和相应的上电极时，介电层和上电极的表面积也会相应的增大，从而增大了形成的半导体结构的电容值。

本申请实施例的半导体结构，下电极包括环状壁和瓣状壁，使得下电极的表面积增大，后续在下电极上形成介电层和相应的上电极时，介电层和上电极的表面积也会相应的增大，从而增大了形成的半

导体结构的电容值。

附图说明

图 1-14 为本申请实施例半导体结构的形成过程的结构示意图。

具体实施方式

如背景技术所言，现有的半导体结构的电容值仍有待提升。

为此，本申请实施例提供了一种半导体结构及其形成方法，所述形成方法，包括：提供基底；在基底上形成若干下电极，所述下电极包括沿垂直所述基底表面方向延伸的环状壁和瓣状壁，并且所述瓣状壁将所述环状壁内部分割成若干分立的第一开口；在所述第一开口的底部和侧壁上形成介电层；在所述第一开口中形成上电极，所述介电层位于所述下电极和所述上电极之间。本申请的下电极包括环状壁和瓣状壁，使得下电极的表面积增大，后续在下电极上形成介电层和相应的上电极时，介电层和上电极的表面积也会相应的增大，从而增大了形成的半导体结构的电容值。

下面结合附图对本申请的具体实施方式做详细的说明。在详述本申请实施例时，为便于说明，示意图会不依一般比例作局部放大，而且所述示意图只是示例，其在此不应限制本申请的保护范围。此外，在实际制作中应包含长度、宽度及深度的三维空间尺寸。

参考图 1，提供基底 201。

在一实施例中，所述基底 201 可以包括半导体衬底和位于半导体衬底上的层间介质层。

所述半导体衬底 201 的材料可以为硅（Si）、锗（Ge）、或硅锗（GeSi）、碳化硅（SiC）；也可以是绝缘体上硅（SOI），绝缘体上锗（GOI）；或者还可以为其它的材料，例如砷化镓等Ⅲ-Ⅴ族化合物。

本实施例中所述半导体衬底为硅衬底。

在所述半导体衬底 201 中具有有源区，以及隔离各有源区的沟槽隔离结构。所述半导体衬底 201 的有源区上可以形成半导体器件，所述半导体器件包括平面晶体管或沟槽型晶体管。

所述半导体衬底 201 上还可以形成层间介质层，所述层间介质层中可以形成将所述平面晶体管或沟槽型晶体管与后续形成的半导体结构连接的连接线路，所述连接线路包括金属插塞、金属线、焊盘、导电连接结构（掺杂的多晶硅）中的一种或几种的组合。所述层间介质层可以为单层或多层堆叠结构，层间介质层的材料可以为氧化硅、氮化硅、氮氧化硅、FSG（掺氟的二氧化硅）、BSG（掺硼的二氧化硅）、PSG（掺磷的二氧化硅）或 BPSG（掺硼磷的二氧化硅）、低介电常数材料、其它适合的材料及/或上述的组合。

在一实施例中，所述基底 201 上形成有接触垫 202，具体的所述接触垫 202 可以形成在基底 201 的层间介质层中，所述接触垫 202 用于连接后续形成的半导体结构的下电极层。例如，所述若干接触垫 202 的排布方式与后续形成的下电极的排布方式可以相同。

在一实施例中，所述接触垫 202 具有凸出所述基底表面的凸部，后续在接触垫 202 上形成下电极时，使得下电极的环状壁的下部可以包裹所述凸部的侧壁，使得下电极与接触垫 202 具有较大的接触面积，使得下电极不易倾斜或者位置偏移。

所述接触垫 202 的材料可以为 W、Cu、Ti、Ni、Al、Co、TiN 或金属硅化物中的任意一种或其任意组合。形成所述接触垫 202 可以通过沉积一层导电层，然后对导电层进行刻蚀形成，或者通过电镀工艺形成。

在一实施例中，在所述基底 201 和接触垫 202 表面还形成第一阻挡层 203。所述第一阻挡层 203 可以用于防止所述接触垫 202 中的金

属向外扩散、降低接触垫202和后续形成的下电极之间的接触电阻以及增强接触垫 202 和后续形成的下电极之间的粘合性等中的任一种或多种。所述第一阻挡层203的材料可以为Ti、Ta、TiN、TaN中的一种或几种，形成工艺可以包括溅射或沉积工艺。

参考图3，在所述基底201上形成第一导电层204。

所述第一导电层204后续用于形成第一导电柱215。

所述第一导电层 204 的材质包括导电的半导体材料、导电聚合物材料或导电的非结晶材料中的任一种或其任意组合。

在一实施例中，所述掺杂的半导体材料可以为掺杂有杂质离子的硅或者锗，所述杂质离子可以为P型杂质离子或N型杂质离子，所述P型杂质离子可以为硼离子、镓离子或铟离子中的一种或几种，所述N型杂质离子可以为磷离子、砷离子或锑离子。

在一实施例中，所述导电聚合物可以为含导电碳主链聚合物、含烃硅酸盐主链聚合物、含烃硅酸盐主链聚合物或者含导电碳主链聚合物与含烃硅酸盐主链聚合物的组合。

在一实施例中，所述导电的非结晶材料可以为由从约 55％到约70％的碳原子，约5％或更少的氮、氧、硫、金属原子和半金属（硼、硅、砷、硒、碲中的一种或几种）以及氢组成。

参考图4和图5,图4为图5沿切割线AB方向的剖面结构示意图，刻蚀所述第一导电层204形成若干第一导电柱215和所述第一导电柱215之间的第二开口206。

刻蚀所述第一导电层 204 可以采用各向异性的干法刻蚀工艺，比如可以为等离子体刻蚀工艺。在刻蚀所述第一导电层204之前，可以在所述第一导电层 204 的表面形成图形化的掩膜层（图中未示出），所述图形化的掩膜层暴露出所述第一导电层 204 需要被刻蚀去除的区域。

在一实施例中，所述接触垫 202 上形成有所述第一导电柱 215，所述第一导电柱 215 覆盖接触垫 202 的凸部的顶部和侧壁，所述第一阻挡层 203 位于所述第一导电柱 215 和所述接触垫 202 之间。在刻蚀所述第一导电层时，将第二开口 206 底部暴露的第一阻挡层 203 也刻断，使得相邻的第一导电柱 215 之间是分立的，不会存在电连接。

本实施例中，所述第一导电柱 215 呈圆柱状，所述形成的第一导电柱 215 呈蜂窝状排布。

在一实施例中，所述第一导电柱 215 呈椭圆柱状或方柱状，具体的，所述第一导电柱 215 在垂直其延伸方向上的截面呈椭圆状或方形。在其他实施例中，所述截面的形状可不做限定，根据工艺实际情况选定。

参考图 6 和图 7，图 6 为图 7 沿切割线 AB 方向的剖面结构示意图，刻蚀所述第一导电柱 215(参考图 5)形成环状壁 205 和第三开口 207。

在一实施例中，在刻蚀所述第一导电柱 215 之前，可以形成填充所述第二开口 206 的第一介质层或牺牲层，所述第一介质层或牺牲层可以在形成环状壁 205 或者后续形成瓣状壁后去除。在其他实施例中，在刻蚀所述第一导电柱 215 之前，在所述第一导电柱 215 和基底表面上形成作为刻蚀第一导电柱时的掩膜的掩膜层，所述掩膜层填充所述第二开口 206。

刻蚀所述第一导电柱 215 可以采用各向异性的干法刻蚀工艺，比如可以为等离子体刻蚀工艺。例如，在所述第一导电柱 215 上形成掩膜开口，所述掩膜开口暴露所述第一导电柱 215 的中心部分，利用所述掩膜开口刻蚀所述第一导电柱 215 的中心部分形成环状壁 205 和第三开口 207。保留边缘一圈的部分第一导电柱作为环状壁 205，所述第一导电柱 215 中被刻蚀的位置形成第三开口 207。所述环状壁 205 的厚度可以为 1~10nm。利用所述掩膜开口刻蚀所述第一导电柱 215

的中心部分形成所述第三开口 207 时，形成的所述第三开口 207 的底部可以为第一阻挡层 203 或接触垫 202，即利用所述第一阻挡层 203 或接触垫 202 为刻蚀停止层。在其他实施例中，形成的所述第三开口 207 的底部也可以为部分第一导电柱 215，例如，控制刻蚀时间使得第三开口 207 底部剩余的第一导电柱 215 的厚度可控。具体的，第三开口 207 底部剩余的第一导电柱 215 的厚度与环状壁 205 的厚度相同。

本实施例中，所述形成的环状壁 205 呈圆环状。在其他实施例中，所述环状壁 205 可以为椭圆环状，方环状等。

在一实施例中，参考图 8，在所述第三开口 207 中填充第二导电层形成第二导电柱之前，还包括：在所述环状壁 205 的表面形成第二阻挡层 208。

所述第二阻挡层 208 可以防止后续第三开口 207 中形成的第二导电柱的材质向外扩散或改善所述第二导电柱和所述环状壁的接触电阻或改善所述第二导电柱和所述环状壁的粘合度等。所述第二阻挡层 208 的材料可以为 Ti、Ta、TiN、TaN 中的一种或几种，形成工艺可以为溅射或沉积工艺。

在一实施例中，当第二开口 206 没有被第一介质层或牺牲层填充时，在所述第二开口 206 的底部和侧壁也形成第二阻挡层 208。

参考图 9，在所述第三开口 207（参考图 8）中填充第二导电层形成第二导电柱 219。

所述第二导电柱 219 后续用于形成下电极的瓣状壁。所述形成的第二导电柱 219 可以与所述第一导电柱 215 的中心轴重合，能减小后续在刻蚀第二导电柱时的掩膜工艺的难度，并且使得该掩膜工艺下刻蚀形成的每一个下电极中的瓣状壁的形状保持一致或者相差较小。

所述第二导电柱 219 的材料与所述第二阻挡层 208 和环状壁 205

的材料不相同，一方面在后续刻蚀第二导电柱219形成瓣状壁时，使得第二导电柱219相对于第二阻挡层208和环状壁205具有高的刻蚀选择比，使得第二阻挡层208和环状壁205保持完好，另一方面，能减小刻蚀第二导电柱219之前掩膜工艺的难度。

在一实施例中，所述第二导电柱219的材材质包括含有金属元素的导电材料，比如可以为W、Co、Ni、TiN或其他合适的导电材料。

在一实施例中，当第二开口206没有被第一介质层或牺牲层填充时，所述第二导电层还填充所述第二开口206。

参考图10和图11，图10为图11沿切割线CD方向的剖面结构示意图，在所述第二导电柱219（参考图9）上方形成暴露出部分所述第二导电柱219的掩膜开口层（图中未示出）；利用所述掩膜开口层刻蚀所述第二导电柱219形成所述瓣状壁209。

所述瓣状壁209将所述环状壁205内部分割成若干分立的第一开口216，所述基底201上形成有若干下电极，所述下电极包括环状壁205和位于环状壁205内部的瓣状壁209，本申请的下电极包括环状壁205和瓣状壁209这样特殊的结构，使得下电极的表面积增大，后续在下电极上形成介电层和相应的上电极时，介电层和上电极的表面积也会相应的增大，从而增大了形成的半导体结构的电容值。

在刻蚀所述第二导电柱219之前，在所述第二导电柱219上需要形成掩膜开口层，所述掩膜开口层具有开口图案，所述开口图案暴露出相邻的若干个所述第二导电柱的部分上表面。例如，所述开口图案可以为圆形，所述圆形开口图案暴露出相邻的3个所述第二导电柱的部分上表面，所述掩膜开口层仅覆盖第二导电柱219需要保留的那一部分的表面。请参考图11，所述掩膜开口层覆盖的区域为瓣状壁209对应的区域，其他区域均可以暴露，所述掩膜开口层具有圆形开口图案，图11中粗实线示出了一个圆形开口图案220的形状，所述圆形

开口图案220暴露出相邻的三个所述第二导电柱的部分上表面，所述圆形开口图案220还可以暴露出相邻第二导电柱之间的环状壁205和第二开口206中填充的材料表面（在刻蚀第二导电柱时，由于环状壁205与所述第二导电柱的材料不相同，对环状壁205的刻蚀量很小或者忽略不计），因而在进行形成掩膜开口层的工艺（掩膜工艺）时，所述掩膜开口层中形成的圆形开口图案220的尺寸不会受到第二导电柱中需要去除部分的尺寸（尺寸较小）的影响，从而减小了掩膜工艺的难度，即使第二导电柱需要去除部分的尺寸小于光刻的最小特征尺寸，通过前述掩膜工艺也能刻蚀所述第二导电柱219形成所述瓣状壁209。通过所述圆形开口图案220形成的位于相邻的下电极中的第一开口216的瓣状壁边界在同一圆周上。

在一实施例中，所述圆形开口图案和所述第二导电柱的交叠区域的形状和大小相同。本实施例中，第二导电柱可以与3个圆形开口图案存在交叠，因而形成的所述瓣状壁209将环状壁205的内部分成形状和大小相同的三个第一开口216，在增大下电极表面积的同时，方便和简化掩膜工艺。

在一实施例中，当第二开口206中填充的材料为第二导电层时，刻蚀所述第二导电柱时可以同时去除所述第二开口中的第二导电层，使得第二开口重新暴露出来，后续在第二开口中可以形成介电层和上电极层，使得第二开口中的介电层和上电极与相邻的环状壁205之间也会形成电容，从而进一步提高了形成的半导体结构的电容值。

在一实施例中，当所述环状壁205的内壁上形成有第二阻挡层208时，在刻蚀所述第二导电柱时，可以以所述第二阻挡层208作为刻蚀停止层。在形成瓣状壁209后，可以对瓣状壁209的表面进行氮化处理，使得瓣状壁209的表面部分材料被氮化，在瓣状壁209的表面形成金属氮化物（比如氮化钨），所述金属氮化物能进一步防止所述瓣

状壁209中的金属向介电层扩散，以保证介电层的隔离性能。

参考图12，在所述第一开口216的底部和侧壁上形成介电层211。所述介电层211的材料可以为高K介质材料，以提高单位面积电容器的电容值，所述高K介质材料包括ZrO_x、HfO_x、$ZrTiO_x$、RuO_x、SbO_x、AlO_x中的一种或上述材料所组成群组中的两种以上所形成的叠层。

在一实施例中，在所述环状壁205外壁和顶部表面以及瓣状壁209的顶部表面也形成介电层211。

参考图13和图14，图14为图13中一个环状壁以及内部的截面图，在所述第一开口中形成上电极212，所述介电层211位于所述下电极和所述上电极212之间。

所述上电极212的材料可以为钨、钛、镍、铝、铂、氮化钛、N型多晶硅、P型多晶硅中的一种或上述材料所组成群组中的两种以上所形成的叠层，还可以包括金属氮化物及金属硅化物中的一种或两种所形成的化合物，如氮化钛（Titanium Nitride），硅化钛（Titanium Silicide），硅化镍（Titanium Silicide），硅氮化钛（TiSixNy）等。

在一实施例中，形成的半导体结构包括上电极212、下电极和位于上电极212和下电极之间的介电层211，上电极212是连续的，若干下电极之间是分立的。

在一实施例中，在所述第二开口中也填充上电极212。

本申请还提供了一种半导体结构，参考图13和图14，包括：

基底201；

位于所述基底201上的若干下电极，所述下电极包括环状壁205和瓣状壁209，所述环状壁205和所述瓣状壁209沿垂直所述基底201表面方向延伸，并且所述瓣状壁209将所述环状壁205内部分割成若干分立的开口216；

介电层211，位于所述开口216的底部和侧壁上；

上电极 212，填充所述开口，所述介电层 211 位于所述下电极和所述上电极 212 之间。

在一实施例中，所述环状壁 205 和所述瓣状壁 209 的材质不同。所述环状壁 205 的材质包括导电的半导体材料、导电聚合物材料或导电的非结晶材料中的任一种或其任意组合，所述瓣状壁 209 的材质包括含有金属元素的导电材料。在一实施例中，多个所述下电极呈蜂窝状排布，位于相邻的所述下电极中的所述开口的瓣状壁边界在同一圆周上。

在一实施例中，所述瓣状壁 209 的将所述环状壁 205 内部分割成若干个分立的开口，如分割成三个分立的开口 216。

在一实施例中，所述介电层 211 还位于所述环状壁的顶部和外壁以及所述瓣状壁的顶部。

在一实施例中，还包括：位于基底 201 中的接触垫 202，所述接触垫 202 具有凸出所述基底 201 表面的凸部；

所述环状壁 205 的下部包裹所述凸部的侧壁。

在一实施例中，所述环状壁 205 和所述瓣状壁 209 之间还包括阻挡层 208。

在一实施例中，相邻下电极之间具有第二开口 206，所述介电层还位于环状壁 205 外壁和顶部表面以及瓣状壁 209 的顶部表面，所述上电极 212 还位于所述第二开口 206 中。

需要说明的是，本实施例（半导体结构）中与前述实施例（半导体结构的形成过程）中相同或相似结构的限定或描述在本实施例中不再赘述，具体请参考前述实施例中相应部分的限定或描述。

本申请虽然已以较佳实施例公开如上，但其并不是用来限定本申请，任何本领域技术人员在不脱离本申请的精神和范围内，都可以利用上述揭示的方法和技术内容对本申请技术方案做出可能的变动和

修改，因此，凡是未脱离本申请技术方案的内容，依据本申请的技术实质对以上实施例所作的任何简单修改、等同变化及修饰，均属于本申请技术方案的保护范围。

权 利 要 求

1. 一种半导体结构的形成方法，其中，所述形成方法包括：

提供基底；

在所述基底上形成若干下电极，所述下电极包括沿垂直所述基底表面方向延伸的环状壁和瓣状壁，并且所述瓣状壁将所述环状壁内部分割成若干分立的第一开口；

在所述第一开口的底部和侧壁上形成介电层；

在所述第一开口中形成上电极，所述介电层位于所述下电极和所述上电极之间。

2. 根据权利要求 1 所述的半导体结构的形成方法，其中，所述在所述基底上形成若干所述下电极，包括：

在所述基底上形成第一导电层；

刻蚀所述第一导电层形成若干第一导电柱和所述第一导电柱之间的第二开口；

形成填充所述第二开口的第一介质层；

刻蚀所述第一导电柱形成所述环状壁和第三开口；

在所述第三开口中填充第二导电层形成第二导电柱；

在所述第二导电柱上方形成暴露出部分所述第二导电柱的掩膜开口层；

利用所述掩膜开口层刻蚀所述第二导电柱形成所述瓣状壁。

3. 根据权利要求 2 所述的半导体结构的形成方法，其中，所述在所述第三开口中填充第二导电层形成第二导电柱之前，还包括：

在所述环状壁的表面形成阻挡层。

4. 根据权利要求 2 所述的半导体结构的形成方法，其中，所述掩膜开口层具有开口图案，所述开口图案暴露出相邻的若干个所述第二导电柱的部分上表面。

5. 根据权利要求 4 所述的半导体结构的形成方法，其中，所述第一导电柱和所述第二导电柱的中心轴重合。

6. 根据权利要求 5 所述的半导体结构的形成方法，其中，所述开口图案和所述第二导电柱的交叠区域的形状和大小相同。

7. 根据权利要求 2 所述的半导体结构的形成方法，其中，还包括：

在所述基底上形成接触垫，所述接触垫具有凸出所述基底表面的凸部；

所述环状壁的下部包裹所述凸部的侧壁。

8. 根据权利要求 2 所述的半导体结构的形成方法，其中，还包括：

去除所述第一介质层；

在所述环状壁的外壁和顶部表面形成所述介电层；

在所述第二开口中形成所述上电极，所述介电层位于所述上电极和所述环状壁的外壁之间。

9. 一种半导体结构，其中，所述半导体结构包括：

基底；

位于所述基底上的若干下电极，所述下电极包括环状壁和瓣状壁，所述环状壁和所述瓣状壁沿垂直所述基底表面方向延伸，并且所述瓣状壁将所述环状壁内部分割成若干分立的开口；

介电层，位于所述开口的底部和侧壁上；

上电极，填充所述开口，所述介电层位于所述下电极和所述上电极之间。

10. 根据权利要求 9 所述的半导体结构，其中，所述环状壁和所述瓣状壁的材质不同。

11. 根据权利要求 10 所述的半导体结构，其中，所述环状壁的材质包括导电的半导体材料、导电聚合物材料或导电的非结晶材料中的任一种或其任意组合，所述瓣状壁的材质包括含有金属元素的导电材

料。

12. 根据权利要求 9 所述的半导体结构，其中，多个所述下电极呈蜂窝状排布，位于相邻的所述下电极中的所述开口的瓣状壁边界在同一圆周上。

13. 根据权利要求 12 所述的半导体结构，其中，所述瓣状壁将所述环状壁内部分割成三个分立的开口。

14. 根据权利要求 9 所述的半导体结构，其中，所述介电层还位于所述环状壁的顶部和外壁以及所述瓣状壁的顶部。

15. 根据权利要求 9 所述的半导体结构，其中，还包括：

位于基底中的接触垫，所述接触垫具有凸出所述基底表面的凸部；

所述环状壁的下部包裹所述凸部的侧壁。

16. 根据权利要求 9 所述的半导体结构，其中，所述环状壁和所述瓣状壁之间还包括阻挡层。

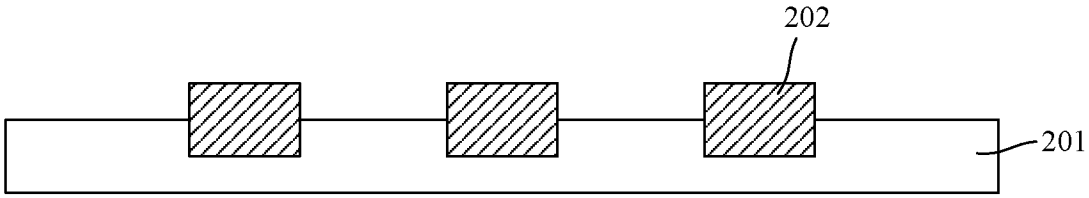
202
201

图 1

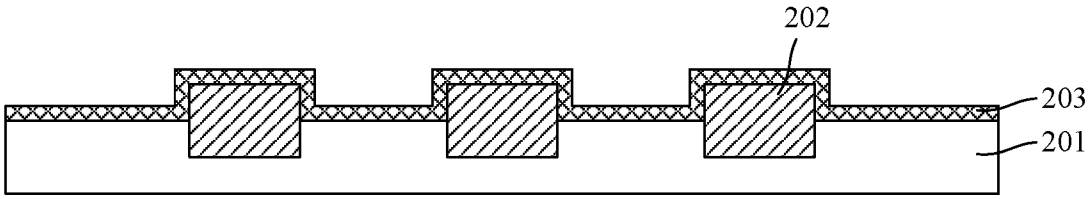
202
203
201

图 2

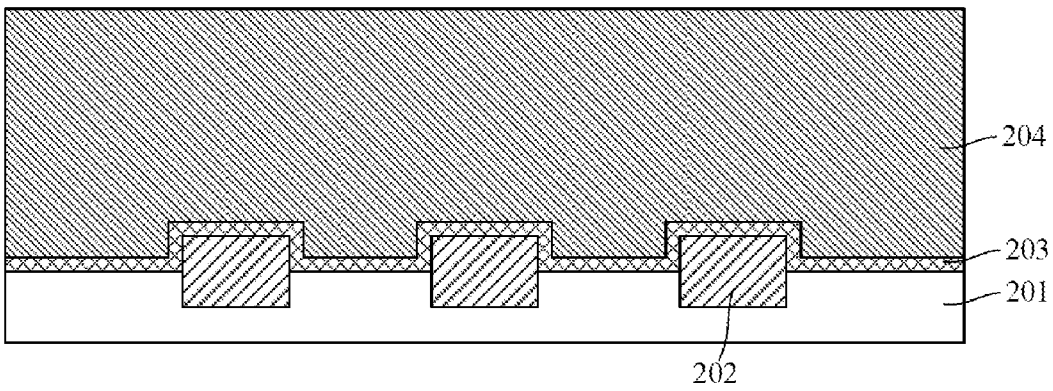
204
203
201
202

图 3

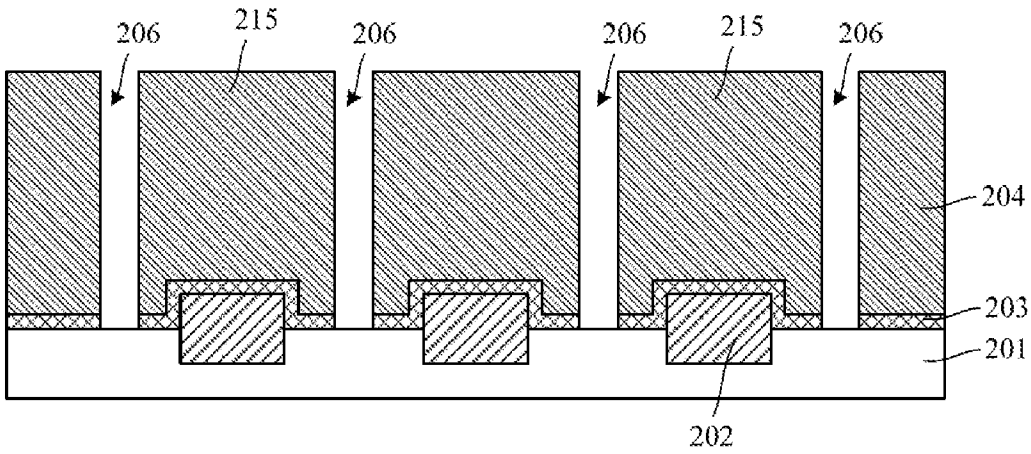
206
215
206
206
215
206
204
203
201
202

图 4

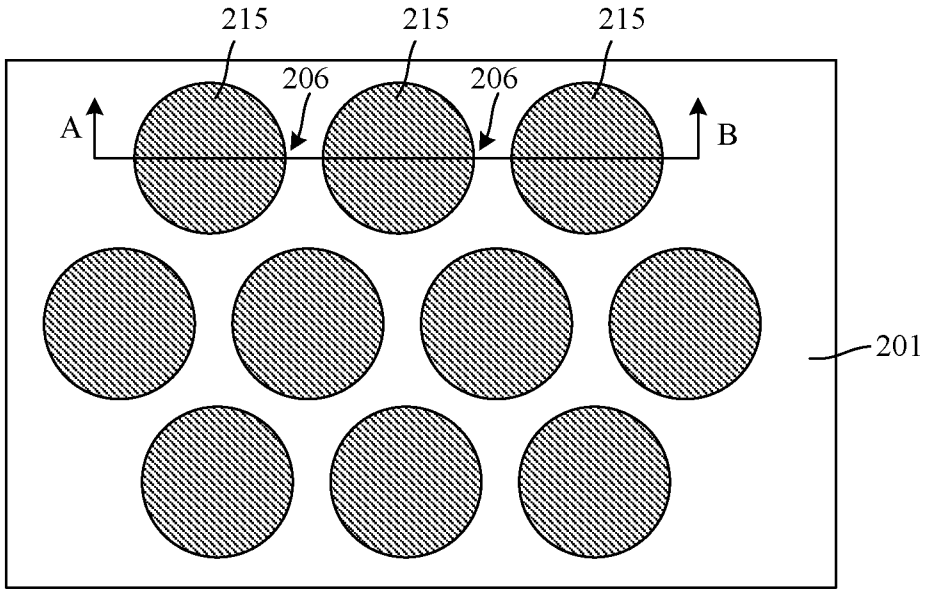
215
215
215
206
206
A
B
201

图 5

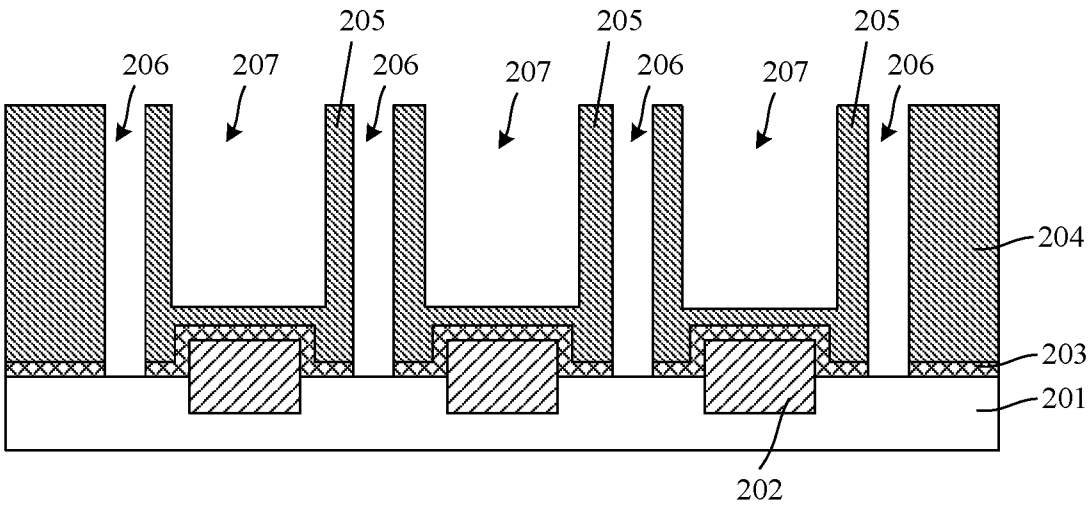
205
205
205
206
207
206
207
206
207
206
204
203
201
202

图 6

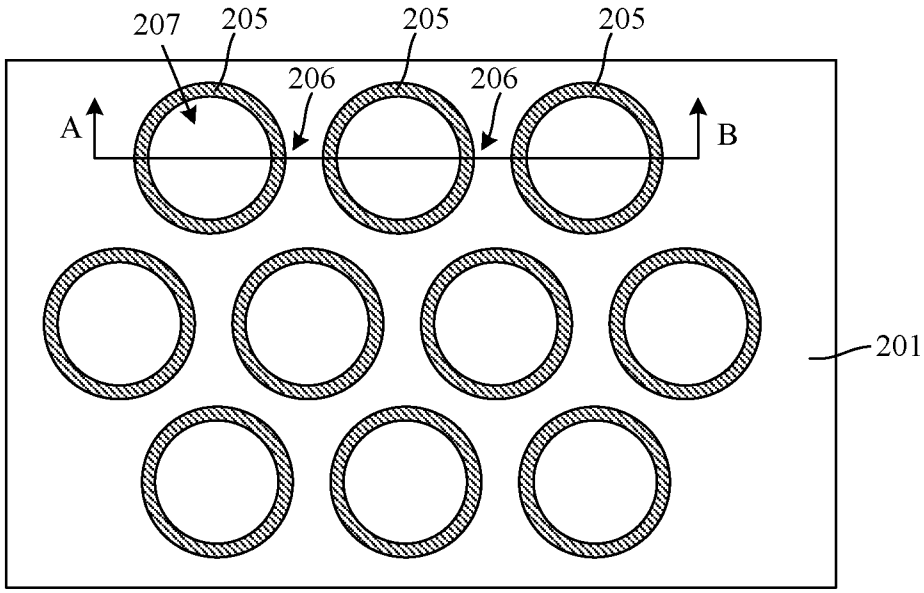
207
205
205
205
206
206
A
B
201

图 7

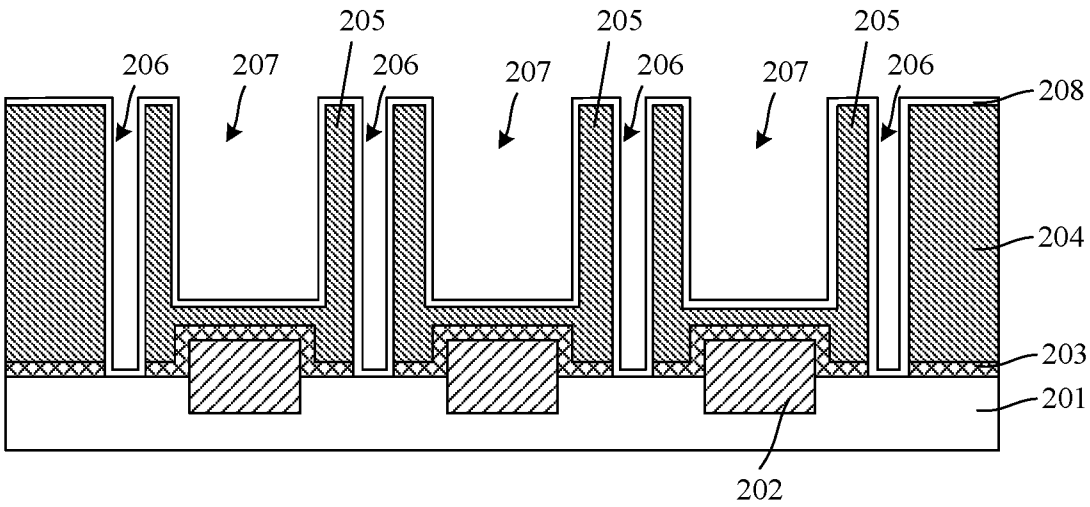
205
205
205
206
207
206
207
206
207
206
208
204
203
201
202

图 8

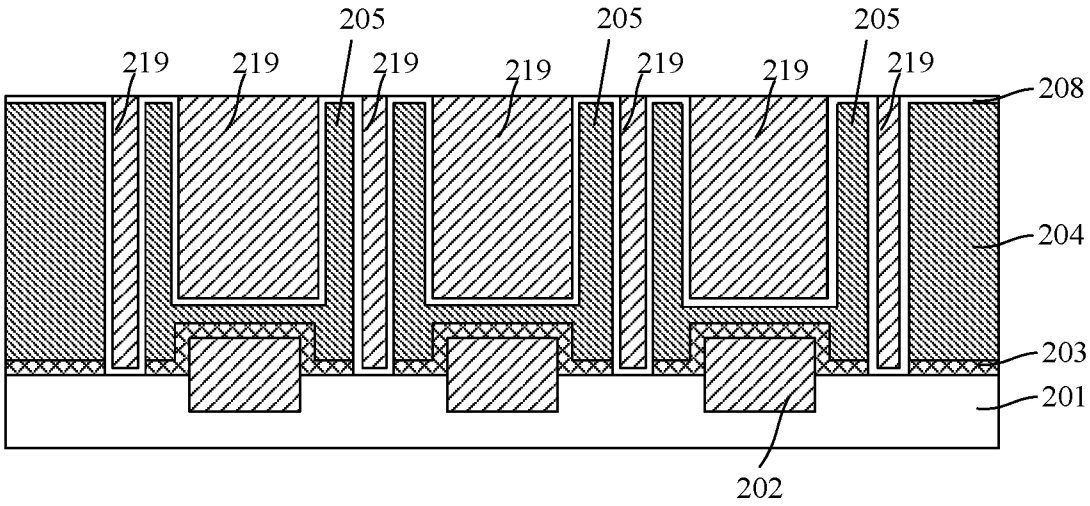
205
205
205
219
219
219
219
219
219
219
208
204
203
201
202

图 9

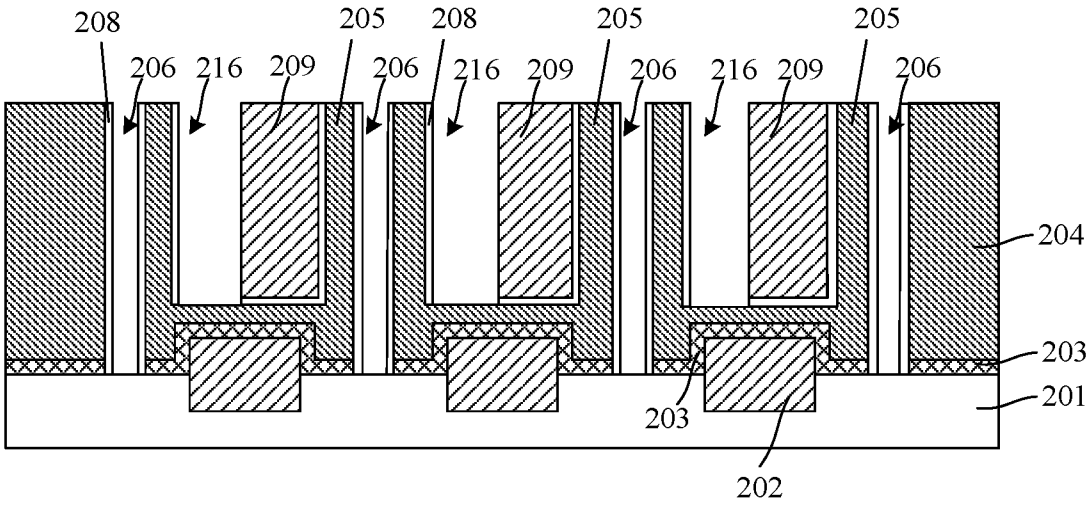
208
205
208
205
205
206
216
209
206
216
209
206
216
209
206
204
203
201
203
202

图 10

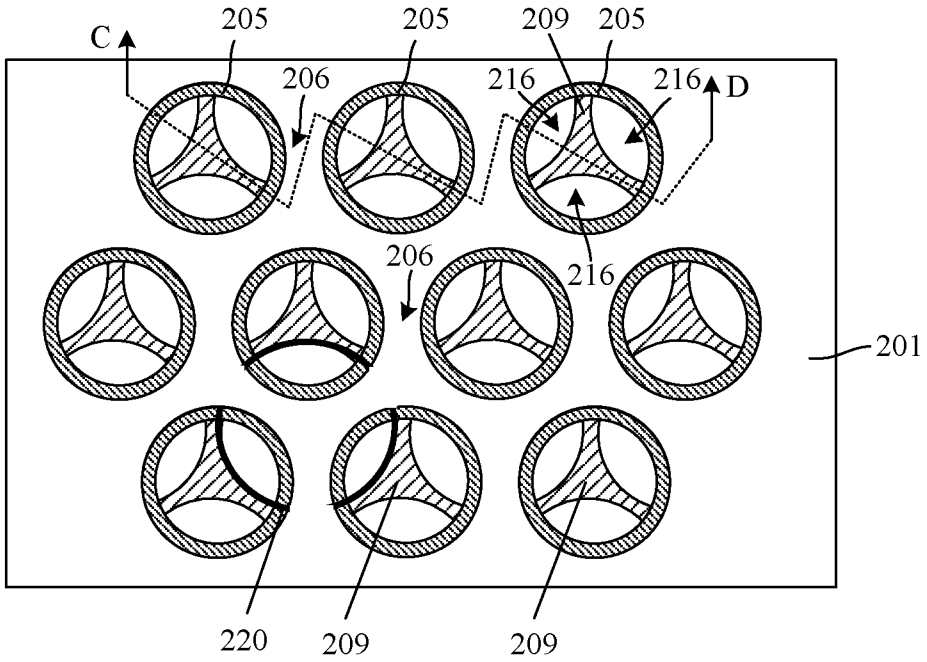
C
205
205
209
205
206
216
216
D
206
216
201
220
209
209

图 11

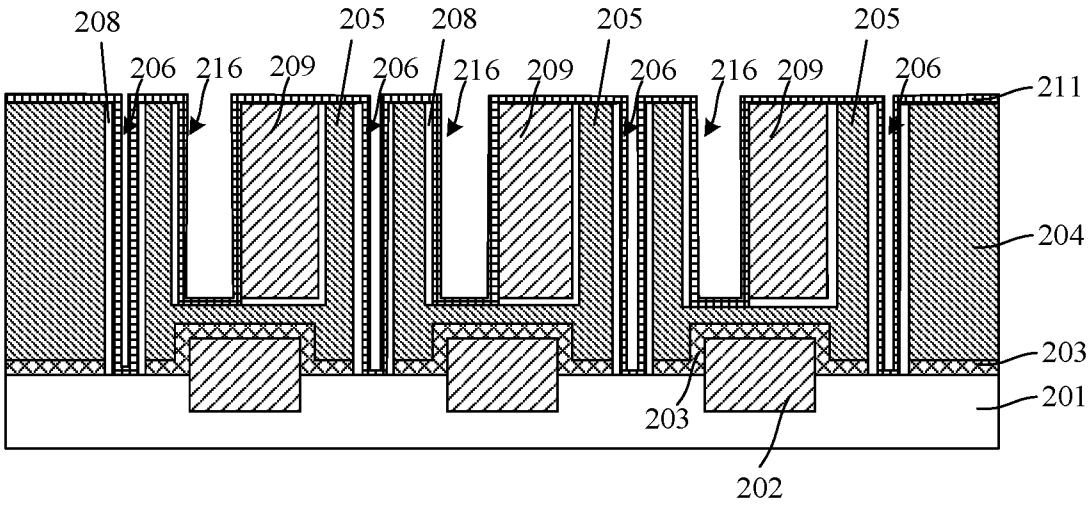
208
205
208
205
205
206
216
209
206
216
209
206
216
209
206
211
204
203
201
203
202

图 12

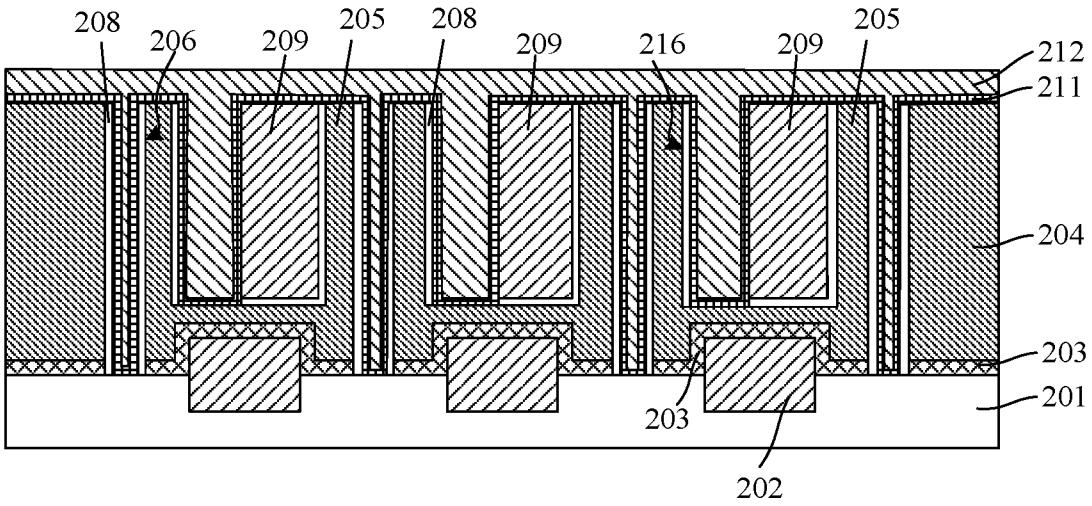
208
206
209
205
208
209
216
209
205
212
211
204
203
201
203
202

图 13

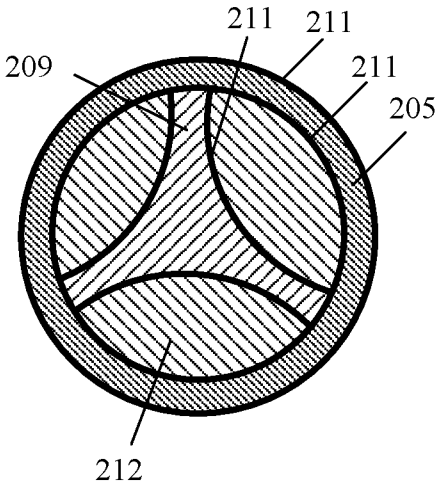
211
211
209
211
205
212

图 14

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2021/100064

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

SIPOABS; CNABS; CNTXT; CNKI; IEEE; DWPI: 存储, 电容, 电极, 极板, 星形, 棱形, 圆柱形, 环形, 齿, 接触垫, 凸起, 突起, 面积, 刻蚀, 蚀刻, 掩膜, 掩模, DRAM, memory, capacitor, electrode, plate, star, cylindrical, circle, ring, teeth, contact, convex, area, etch, mask

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 109075164 A (MURATA INTEGRATED PASSIVE SOLUTIONS S.A.) 21 December 2018 (2018-12-21) description, paragraphs 52-67, and figures 1-3	1-6, 8-14, 16
A	US 2010230787 A1 (GUIRAUD et al.) 16 September 2010 (2010-09-16) entire document	1-16
A	US 5077688 A (MITSUBISHI DENKI KABUSHIKI KAISHA) 31 December 1991 (1991-12-31) entire document	1-16
A	US 2006202250 A1 (HECHT et al.) 14 September 2006 (2006-09-14) entire document	1-16

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
02 September 2021	**23 September 2021**

Name and mailing address of the ISA/CN	Authorized officer
China National Intellectual Property Administration (ISA/CN) **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088** **China**	
Facsimile No. **(86-10)62019451**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2021/100064

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	109075164	A	21 December 2018	EP	3446333	B1	23 October 2019
				US	10403710	B2	03 September 2019
				JP	2019522890	A	15 August 2019
				WO	2018054828	A1	29 March 2018
				EP	3446333	A1	27 February 2019
				TW	201814913	A	16 April 2018
				EP	3297024	A1	21 March 2018
				US	2019035880	A1	31 January 2019
				JP	6609712	B2	20 November 2019
US	2010230787	A1	16 September 2010	TW	200810085	A	16 February 2008
				CN	101484976	B	23 February 2011
				JP	2013141003	A	18 July 2013
				CN	101484976	A	15 July 2009
				EP	2018660	B1	25 March 2020
				JP	5732085	B2	10 June 2015
				TW	I451561	B	01 September 2014
				EP	2018660	A2	28 January 2009
				JP	2009535835	A	01 October 2009
				WO	2007125510	A2	08 November 2007
				US	8283750	B2	09 October 2012
				WO	2007125510	A3	10 January 2008
US	5077688	A	31 December 1991	JP	H03124059	A	27 May 1991
US	2006202250	A1	14 September 2006		None		

国际检索报告

国际申请号
PCT/CN2021/100064

A. 主题的分类

H01L 21/8242(2006.01)i; H01L 27/108(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

SIPOABS;CNABS;CNTXT;CNKI;IEEE;DWPI:存储，电容，电极，极板，星形，棱形，圆柱形，环形，齿，接触垫，凸起，突起，面积，刻蚀，蚀刻，掩膜，掩模，DRAM, memory, capacitor, electrode, plate, star, cylindrical, circle, ring, teeth, contact, convex, area, etch, mask

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
X	CN 109075164 A (村田整合被动式解决方案公司) 2018年 12月 21日 (2018-12-21) 说明书第52-67段，图1-3	1-6、8-14、16
A	US 2010230787 A1 (GUIRAUD等) 2010年 9月 16日 (2010-09-16) 全文	1-16
A	US 5077688 A (MITSUBISHI DENKI KABUSHIKI KAISHA) 1991年 12月 31日 (1991-12-31) 全文	1-16
A	US 2006202250 A1 (HECHT等) 2006年 9月 14日 (2006-09-14) 全文	1-16

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2021年 9月 2日	2021年 9月 23日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国 北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 陈泽 电话号码 010-62411334

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2021/100064

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	109075164	A	2018年 12月 21日	EP	3446333	B1	2019年 10月 23日
				US	10403710	B2	2019年 9月 3日
				JP	2019522890	A	2019年 8月 15日
				WO	2018054828	A1	2018年 3月 29日
				EP	3446333	A1	2019年 2月 27日
				TW	201814913	A	2018年 4月 16日
				EP	3297024	A1	2018年 3月 21日
				US	2019035880	A1	2019年 1月 31日
				JP	6609712	B2	2019年 11月 20日
US	2010230787	A1	2010年 9月 16日	TW	200810085	A	2008年 2月 16日
				CN	101484976	B	2011年 2月 23日
				JP	2013141003	A	2013年 7月 18日
				CN	101484976	A	2009年 7月 15日
				EP	2018660	B1	2020年 3月 25日
				JP	5732085	B2	2015年 6月 10日
				TW	I451561	B	2014年 9月 1日
				EP	2018660	A2	2009年 1月 28日
				JP	2009535835	A	2009年 10月 1日
				WO	2007125510	A2	2007年 11月 8日
				US	8283750	B2	2012年 10月 9日
				WO	2007125510	A3	2008年 1月 10日
US	5077688	A	1991年 12月 31日	JP	H03124059	A	1991年 5月 27日
US	2006202250	A1	2006年 9月 14日		无		