(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第4112026号
(P4112026)

(45)発行日　平成20年7月2日(2008.7.2)　(24)登録日　平成20年4月18日(2008.4.18)

(51)Int.Cl.		F I		
H01L 21/28	***(2006.01)***	H01L	21/28	301R
H01L 21/768	***(2006.01)***	H01L	21/28	301S
H01L 21/336	***(2006.01)***	H01L	21/90	C
H01L 29/78	***(2006.01)***	H01L	29/78	301Y

請求項の数 14　(全 14 頁)

(21)出願番号　特願平8-13203
(22)出願日　平成8年1月29日(1996.1.29)
(65)公開番号　特開平8-255768
(43)公開日　平成8年10月1日(1996.10.1)
審査請求日　平成15年1月10日(2003.1.10)
(31)優先権主張番号　08/382217
(32)優先日　平成7年1月31日(1995.1.31)
(33)優先権主張国　米国(US)

(73)特許権者　591016172
アドバンスト・マイクロ・ディバイシズ・インコーポレイテッド
ＡＤＶＡＮＣＥＤ　ＭＩＣＲＯ　ＤＥＶＩＣＥＳ　ＩＮＣＯＲＰＯＲＡＴＥＤ
アメリカ合衆国、９４０８８－３４５３　カリフォルニア州、サニィベイル、ピィ・オゥ・ボックス・３４５３、ワン・エイ・エム・ディ・プレイス、メイル・ストップ・６８（番地なし）
(74)代理人　100064746
弁理士　深見　久郎
(74)代理人　100085132
弁理士　森田　俊雄

最終頁に続く

(54)【発明の名称】半導体ウェハ上に窒化チタンおよびチタンシリサイドを形成する方法

(57)【特許請求の範囲】

【請求項１】

半導体ウェハ上に窒化チタンおよびチタンシリサイドを形成する方法であって、

半導体ウェハ上にチタンの層を堆積するステップと、

該チタンの層をNH_3中で、３０秒から６０秒の第１の期間、５９０℃から６１０℃の第１の温度で加熱する第１の加熱ステップと、

該チタンの層をNH_3中で、前記第１の期間に続き２０秒から４０秒の第２の期間、７００℃から７５０℃の第２の温度で加熱する第２の加熱ステップと、

該チタンの層をNH_3中で、前記第２の期間に続き１０秒から３０秒の第３の期間、８００℃から８５０℃の第３の温度で加熱する第３の加熱ステップとを含む、方法。

【請求項２】

前記第１、第２、および第３の加熱ステップは、前記チタンが堆積された半導体ウェハを、急速熱処理チャンバに設置するステップを含む、請求項１に記載の方法。

【請求項３】

前記半導体ウェハはシリコン基板およびシリコン酸化物表面を含み、その上に前記チタンの層が堆積され、前記第１の加熱ステップは、前記シリコン基板の上にある２００オングストロームと２４０オングストロームとの間のチタンを窒化チタンに変換するステップを含む、請求項１に記載の方法。

【請求項４】

前記窒化チタンは、２９．５％から５３．７％の範囲内である原子パーセンテージの窒

素を含む、請求項３に記載の方法。
【請求項５】
前記半導体ウェハはシリコン基板およびシリコン酸化物表面を含み、その上に前記チタンの層が堆積され、前記第２の加熱ステップは、
前記シリコン基板の上にあるチタンの、チタンシリサイドへの変換を開始するステップと、
それと同時に、前記シリコン酸化物の上にあるチタンの少なくとも一部を窒化チタンに変換するステップとを含む、請求項１に記載の方法。
【請求項６】
前記窒化チタンは、２９．５％から５３．７％の範囲内である原子パーセンテージの窒素を含む、請求項５に記載の方法。
【請求項７】
前記半導体ウェハはシリコン基板およびシリコン酸化物表面を含み、その上に前記チタンの層が堆積され、前記第３の加熱ステップは、前記シリコン酸化物およびシリコン基板の上にあるチタン－シリコン混合物を、チタンダイシリサイドに変換するステップを含む、請求項１に記載の方法。
【請求項８】
前記第１、第２および第３の加熱ステップの後に前記チタンが堆積された半導体基板の上にタングステンの層を堆積するステップをさらに含む、請求項１に記載の方法。
【請求項９】
前記第１、第２および第３の加熱ステップは単一の加熱チャンバ内で、前記加熱ステップの中間で前記チャンバを開かずに行なわれる、請求項１に記載の方法。
【請求項１０】
ｐタイプのシリコン基板の上にあるチタン層内に、チタンシリサイドを形成する前に、２００オングストロームと２４０オングストロームとの間の窒化チタンを形成する方法であって、
先にｐタイプのイオンが注入されたシリコン基板の上にチタンの層を堆積するステップと、
該チタンの層をNH_3雰囲気中で、５９０℃から６１０℃で３０秒から６０秒間加熱する、第１の加熱ステップと、
該チタンの層をNH_3雰囲気中で、７００℃から７５０℃で２０秒から４０秒間加熱する、第２の加熱ステップと、
該チタンの層をNH_3中で、８００℃から８５０℃で１０秒から３０秒間加熱する第３の加熱ステップとを含む、方法。
【請求項１１】
前記第１、第２、および第３の加熱ステップは、前記チタンが堆積されたシリコン基板を、加熱された急速熱処理チャンバに設置するステップを含む、請求項１０に記載の方法。
【請求項１２】
シリコン酸化物の上にあるチタン層内に、チタンシリサイドを形成する前に、窒化チタンを形成する方法であって、
シリコン基板の上にシリコン酸化物を形成するステップと、
前記シリコン酸化物の上にチタンの層を堆積するステップと、
該チタンの層をNH_3雰囲気中で、５９０℃から６１０℃で３０秒から６０秒間加熱する、第１の加熱ステップと、
該チタンの層をNH_3雰囲気中で、７００℃から７５０℃で２０秒から４０秒間加熱する、第２の加熱ステップと、
該チタンの層をNH_3雰囲気中で、８００℃から８５０℃で１０秒から３０秒間加熱する、第３の加熱ステップとを含む、方法。
【請求項１３】

前記第１、第２、および第３の加熱ステップは、前記チタンが堆積された前記シリコン酸化物を、加熱された急速熱処理チャンバに設置するステップを含む、請求項１２に記載の方法。

【請求項１４】

前記第１、第２、および第３の加熱ステップの後に、前記チタンが堆積された前記シリコン酸化物の上にタングステンの層を堆積するステップをさらに含む、請求項１２に記載の方法。

【発明の詳細な説明】

【０００１】

【発明の分野】

この発明は集積回路製造に関し、より特定的には大きさが最適であるバリアおよびシリサイド層を有するメタライゼーション層を形成するための改良されたプロセスに関する。

【０００２】

【関連技術の説明】

集積回路の製造には数多くの処理ステップが含まれる。半導体基板内ならびに基板上に規定されたゲート領域およびフィールド領域内に不純物領域が堆積された後、配線経路が半導体トポグラフィに設けられ、コンタクト領域に接続されて集積回路を形成する。活性領域へのオーミックコンタクトを形成することおよび活性領域間で配線材料の配線を行なうことの全体のプロセスが一般に「メタライゼーション」と称される。金属以外の材料がしばしば使用されるが、応用についてはメタライゼーションという用語が一般的であり、使用した最初の導体が金属であった配線技術に端を発する。集積回路の複雑さが増すにつれ、メタライゼーション構造もまた複雑化している。

【０００３】

メタライゼーションの各レベルは特定的な材料を組入れてコンタクト抵抗および下にある膜／基板への密着性を向上させる。アルミニウムは低抵抗であり、シリコンに対しても二酸化シリコンに対しても密着性に優れ、オーミックコンタクトが低いため、多層メタライゼーション機構において使用するには魅力的な導体である。アルミニウムは蒸発またはスパッタリングといった従来の技術を用いてシリコンの上に容易に堆積させることができる。不運にも、拡散接合がより薄い高密度の集積回路が出現し、アルミニウムのその他のいくつかの特性により、唯一のメタライゼーション組成物としての適用性を妨げている。シリコンおよび二酸化シリコンへのアルミニウムの密着性により、温度が上昇した場合はアルミニウムにおけるシリコンの溶解度を比較的高めることになる。アルミニウムの薄膜の結晶粒界が、温度がたとえば４００℃を上回った際に、下にあるシリコンが拡散することができる道をもたらす。アルミニウム内でのシリコンの拡散性が「接合スパイク」としばしば呼ばれる結果をもたらす可能性がある。接合スパイクとは、シリコンにボイドが発生し、アルミニウムが接合領域でボイドの発生したシリコンに移動することにより、極端にはアルミニウムが浅い接合に完全に浸透することを指す。アルミニウムが完全に浸透することによって接合のショートに繋がる可能性がある。

【０００４】

接合スパイクの問題を避けるために、アルミニウムをシリコンで飽和させて堆積してもよい。アルミニウムを飽和させると、基板と接触したときに実質的な量のさらなるシリコンを吸収することができなくなる。飽和させたアルミニウムは接合スパイクを最小にするが、その他の問題を生じさせることもしばしばある。たとえば、飽和したアルミニウムは、ウェハ製造に関連する冷却サイクルの間に、飽和したアルミニウム材料からの核生成およびシリコン析出物の成長を生じさせる。そのような析出は、飽和したアルミニウムと下にあるシリコンとのコンタクトで発生し、かなりの高濃度レベルまでアルミニウムでドープされたｐタイプシリコンから主として構成される（アルミニウムはシリコンにおけるｐタイプドーパントであるため）。ｎタイプ接合の界面で形成されるｐタイプ析出物は、その接合のコンタクト抵抗を不本意にも増大させる。ｎタイプコンタクト領域が小さい場合、上記の析出物のために抵抗が増大すると低電圧の回路の動作を不可能にする可能性がある

。

【０００５】

一般的にコンタクト技術におけるより最近の研究は、接合スパイクを減少させるためのメカニズムとしての飽和したアルミニウムから離れてきている。研究者たちはしばしば「拡散バリア」と呼ばれるものを利用することを重要視し始めている。拡散バリアはメタライゼーション機構の一部として規定され、アルミニウム（Ａｌ）といった上にある導体と、ドープされたシリコン（Ｓｉ）またはドープされた／ドープされていない誘電体といった下にあるコンタクト領域との間に介在する材料の層を含む。全体構造はしたがって多層構造である。拡散バリアの役割は、バリアの両側の材料が互いに相互拡散することを防止するかまたは少なくとも遅らせることである。したがって、最適な拡散バリアとは、バリアの両側の材料間の相互拡散を減少させ、上記の材料が存在しても安定しており、上記の材料の接合でも低いコンタクト抵抗を示し、各材料に適合する熱膨張係数を有するものである。

【０００６】

拡散バリアには、パッシブ（passive ）バリア、サクリフィシャル（sacrificial ）バリア、およびスタッフト（stuffed ）バリアを含む数多くのタイプがある。典型的なスタッフトバリアは、コンタクト領域と上にあるＡｌとの間に介在するスパッタ堆積されたチタンータングステン材料である。サクリフィシャルバリアは、介在するポリシリコンまたはチタン（Ｔｉ）層を含む。最近の文献は従来のスタッフトまたはサクリフィシャルバリアに対するパッシブバリアの利点を明らかにしており、一般には選択するパッシブバリア材料として窒化チタン（ＴｉＮ）を使用することを指摘している。例として、ナルマン（Nulman）への米国特許第５，０４３，３００号、マエダ（Maeda ）への米国特許第５，２７８，０９９号、およびヨコハマ（Yokohama）らへの米国特許第４，９９８，１５７号を参照されたい（この明細書中に引用により援用する）。

【０００７】

大抵のパッシブバリアは、Ｔｉ層を介して基板材料に結合されるバリアとしてＴｉＮを使用する。Ｔｉ層はＴｉＮ／Ｔｉ構造全体のコンタクト抵抗を減少させるために用いられる。ＴｉＮをＴｉとＡｌとの間の拡散バリアとして使用すると、コンタクトメタライゼーションの熱安定性が非常に優れていると報告されている。例として、ウルフ（Wolfe ）、ＶＬＳＩ時代のためのシリコンプロセス（Silicon Processing for VLSI Era ）、第２巻、プロセス統合（Process Integration ）、（ラティス出版（Lattice Press ）、１９９０）、１３２－１３３頁を参照されたい（本明細書中に引用により援用する）。多くの従来技術に従えば、Ｔｉ層は比較的純粋なチタンターゲットから、露出させられた半導体ウェハの上にスパッタ堆積される。Ｔｉの堆積後、ＴｉＮは通常は窒素雰囲気中で、チタンターゲットから、Ｔｉで覆われた半導体ウェハ上にスパッタ堆積される。したがってＴｉおよびＴｉＮ層の形成は、二重スパッタチャンバを含む。さらに、スパッタ堆積されたＴｉＮはスパッタ動作の間に大量の汚染物質を導入する。一般的に言えば、スパッタ堆積されたＴｉＮ拡散バリアは、スパッタシステムの構成要素に対する密着性に乏しい不安定な薄膜を生じさせる。したがってスパッタプロセス中に数多くの粒子が発生し、その結果、ウェハの上に堆積する有害な粒子状物質がかなり増加することになる。

【０００８】

スパッタ休止時間を避けるためおよびウェハのスループットを高めるために、多くの研究者たちは、Ｔｉがスパッタ堆積され、そこからＴｉＮが形成される単一のスパッタ堆積ステップの利点を発見している。特定的には、ＴｉＮはいくつかある方法のうち１つの方法でＴｉ層から形成可能である。第１に、Ｔｉを窒素雰囲気中で蒸発させることが可能である。第２に、Ｔｉを窒素を含むガス雰囲気中で反応的にスパッタすることが可能である。第３に、Ｔｉをスパッタ堆積させ、その後別のプラズマ窒化ステップでＴｉが露出した表面でＴｉＮに変換させることができる。第３のプロセスシーケンスに従うＴｉからＴｉＮへの変換は、Ｔｉ層の対向する表面で、Ｔｉからチタンシリサイド（$TiSi_x$）への変換と同時にＴｉをＴｉＮに変換可能であるという利点を示している。このようにして、Ｔ

ｉの下側の面（すなわちＴｉ－半導体ウェハ界面）でのシリサイド化の間に、Ｔｉの上側の面でＴｉＮパッシブバリアを生成するのに必要な高温でＴｉ層の窒化が発生する。

【０００９】

Ｔｉの窒化およびシリサイド化は有利にも、しばしば「急速アニーリング」（ＲＴＡ）と呼ばれる急速加熱によって行なうことが可能である。窒化およびシリサイド化に固有の問題は、Ｔｉ膜へのシリコンおよび窒素進入の性質が競合することである。ファラハニ（Farahani）らによる、「NH_3 における急速熱プロセスＴｉ膜の電気的、冶金的および機械的行動の研究（A Study of Electrical, Metallurgical, and Mechanical Behaviors of Rapid Thermal Process Ti Films in NH_3 ）」、ジャーナル　オブ　エレクトロケミカル　ソサエティ（Journal of Electrochemical Society）、１４１巻、第２号、１９９４年２月（本明細書中に引用により援用する）で述べられているように、Ｔｉのより完全な窒化はしばしば、成長しているＴｉＮの下で成長しているシリサイド層により占有される。したがって、同時に$TiSi_x$ を形成する単一のＲＴＡサイクルの間に形成されるＴｉＮ層は、非常に薄い。$TiSi_x$ の形成に必要な７００℃というＲＴＡの温度は、たとえＲＴＡが窒素雰囲気中で行なわれていても、ＴｉＮの代わりに優先的に$TiSi_x$ を形成するだろう。この結果は特に、純粋なN_2 雰囲気中で行なわれるときに当てはまる。一般にN_2 は偏析およびＴｉＮ形成のためにより高い温度を必要とするため、その間に、不釣り合いな量の$TiSi_x$ が形成されるだろう。上記の論文で述べられているように、ＴｉＮが少量であると、適切なパッシブバリア構造の生成に十分ではないだろう。薄いＴｉＮ拡散バリア（すなわち２００オングストロームよりも小さい）は、不適切な高い接合リーク電流および不適切な低い降伏電圧を発生させる。この問題はｎタイプ回路のＡｓ注入接合ではあまり発生しない。Ａｓ注入は、ＳｉのＴｉ膜への拡散を妨げることにより、$TiSi_x$ 相形成の割合を減少させるようである。このようにして、より多くの量のＴｉＮをｎタイプ接合上で形成することが可能である。ＢまたはBF_x 不純物はＡｓ不純物の有するようなシリサイドを減少させる効果を有さないため、この問題はｐタイプ接合でより生じやすい。したがって、たとえばＢの濃度が7×10^{16}原子／cm^3 である１４０×７０μm^2 のｐタイプ接合の上では、１２ボルト未満の降伏電圧が発生するかもしれない。

【００１０】

最適メタライゼーション機構を生むためには、ＴｉＮ層がｐタイプ接合の上にある領域で厚くなければならないだけでなく、ＴｉＮ／Ｔｉ／$TiSi_x$ の３層が下にある接合に対し強い密着性を有さねばならない。多くの場合、ＴｉＮ／Ｔｉ／$TiSi_x$ ３層は「接着層」として作用する。この３層は、続いて設けられる「プラグ層」と半導体表面の接合領域との間に介在する。このようにして、この３層は本質的にタングステン（Ｗ）材料からなる適切なプラグである、上にあるプラグ層に接合を密着させる働きをする。Ｗプラグは典型的に、半導体ウェハにおいて特に接合領域の上にある比較的深いコンタクトホール内にＣＶＤにより形成されたものである。Ｗはホールを充填した後、エッチバックされてより平坦な上側表面を現し、その上に続いて誘電体およびメタライゼーションレベルを設けることができる。３層または接着層とＷプラグ層との間の接合部に固有の問題は、その中で発生する応力である。この応力は主として、各層の熱膨張係数が異なることが原因である。ファラハニらによる、「０．４８５μｍ　ＣＭＯＳ　ＥＰＲＯＭ　ＩＣ　デバイスに対するコンタクトプラグ（Ｗ）技術の代替としての従来のコンタクト配線技術（Conventional Contact Interconnect Technology as an Alternative to Contact Plug（Ｗ）Technology for 0.485μｍ CMOS EPROM IC Devices）」、ＩＥＥＥトランス　オン　セミコンダクタ　マニュファクチャリング（IEEE Trans on Semiconductor Manufacturing）、１７巻、第１号、１９９４年２月、において述べられているように、Ｗ膜に関連する引張り応力により、堆積の間にＷ膜が縮小する。Ｗ膜の縮小は体積に関するものであり、誘電体とＴｉＮ／Ｔｉ構造との界面における剥離を生じさせるものと示されている。このように、剥離は主としてＴｉＮ／Ｔｉ／$TiSi_x$ 接着層のＴｉ部分と誘電体との界面で発生する。誘電体への密着性が乏しい原因は、主として、ＴｉＮ／Ｔｉ層とその下の誘電体との間の冶金的相互作用が相対的に不在であることによる。

【００１１】
したがって、多層のメタライゼーションコンタクト構造の特性を最適化する製造プロセスを導入することが有利であろう。特定的には、コンタクト構造は単一のスパッタ堆積ステップを用いて形成せねばならず、より重要なことは、接合領域に規定されるＴｉ膜はある最小の厚みでなければならない。さらに、Ｔｉ膜から形成されるＴｉＮ層は、ある最小の厚みのものでなければならない。さらには、ＴｉＮ／Ｔｉ／$TiSi_x$ 接着層は、密着性がしばしば問題となるような領域において優れた密着性を有さねばならない。したがって、導入される製造方法論では、結果として発生する３層構造の下側の部分を、シリコンがあまりない領域（すなわちシリコン基板上にある誘電体領域）において十分に厚い$TiSi_x$ 層に変換させることができなければならない。比較的厚い$TiSi_x$ が不在であると、上にあるＷプラグ層からの引張り応力が接着層を有害にも収縮させ誘電体から剥離させてしまうであろう。

【００１２】
【発明の概要】
上記の問題は大部分この発明のメタライゼーションプロセスによって解決される。すなわち、この発明のメタライゼーション層は、３つのステップの、急速加熱サイクルに従って形成される。特定的には、単一のスパッタ堆積ステップを用いて半導体ウェハ上にＴｉ層を形成する。その後、Ｔｉ層は順序付けられた窒化およびシリサイド化を受ける。接合および誘電体領域の上方での窒化は、実質的にはＴｉのシリサイド化の開始に先行して制御されたレートで発生する。

【００１３】
窒化がNH_3 雰囲気を用いて急速熱処理装置（ＲＴＰ）において行なわれる。チャンバの温度が別々で異なる３つの温度サイクルを経る際には、チャンバ内では一定のNH_3 のガスの流れが保たれる。チャンバは設定された期間第１の温度に保たれてＴｉの上表面での窒化を生じさせる。第１の温度は窒化を生じさせるがシリサイド化の開始に必要な温度よりは低くなるように選択される。N_2 の代わりにNH_3 を用いることにより、シリサイド化に必要な温度よりも低い温度で窒化を生じさせることができる。したがって、接合領域の上にあるＴｉは第２および第３の温度サイクルの間のシリサイドの形成に先行して、最も厚いＴｉＮ層を形成することができる十分な機会を有するだろう。

【００１４】
第２の温度は即時、ＲＴＰ（測定可能な温度上昇はない）を介してＴｉ膜に与えられる。第２の温度はＴｉ－Ｓｉ接合界面でシリサイドの形成を開始するのに十分であるが、Ｔｉ－誘電体界面で実質的な量のシリサイドを形成するには十分ではない。しかしながら、第２の温度はＳｉの相互拡散を伴わずに誘電体の上で可能な最も厚いＴｉＮ層を形成するように選択される。第３の温度は、$TiSi_x$ を化学量論的$TiSi_2$ に変換するだけでなく、Ｔｉ－誘電体界面でより厚い$TiSi_x$ または$TiSi_2$ を形成するのに用いられるように選択される。

【００１５】
概して、この発明は半導体ウェハ上にＴｉＮおよび$TiSi_x$ を形成するための方法を意図する。この方法は半導体ウェハ上にＴｉの層を堆積するステップを含む。次にＴｉ層は第１の期間NH_3 中で第１の温度で加熱される。第１の期間に続き第２の期間Ｔｉ層はNH_3 中で第２の温度で加熱される。その後、Ｔｉは第３の期間NH_3 中で、第２および第１の温度よりも高い第３の温度で加熱される。第３の期間は第１および第２の期間に続く。この３つのステップの加熱サイクルは、ＲＴＰチャンバにおいて実行される。第１の温度は６００℃ないし６１０℃の間で選択され、アニールサイクルは３０ないし６０秒で発生する。第２の温度サイクルはその後２０ないし４０秒間７００℃ないし７５０℃の間の温度で行なわれる。次に、第３の温度サイクルが１０ないし３０秒間８００℃ないし８５０℃の間の温度で行なわれる。第１、第２および第３の温度サイクルを用いて、接合領域の上にあるＴｉＮバリア層を最大とし、かつ誘電体領域の上にあるＴｉＮおよび$TiSi_2$ 層を最大とする。３つの温度サイクルおよび各サイクルに対して選択される温度は、低

電圧ＣＭＯＳデバイス製造において使用するために適切なバリアおよびシリサイドの厚みを発生させる上で重要である。このプロセスにより、Ｔｉ膜から形成されるＴｉＮ膜を２００オングストローム、好ましくは２５０オングストロームよりも大きいものとして規定される最大の厚みとするように、接合領域でのＴｉ膜の厚みを２００オングストロームよりも大きいものとすることができる。したがって、Ｔｉ膜は、シリサイド形成のために約５０ないし７０オングストロームを残し、好ましくは３００ないし３２０オングストロームで堆積される。そうすることによりＴｉＮ膜は、NH_3 雰囲気における純粋なＴｉ膜の急速熱窒化により、バリアまたは接着層として形成される。

【００１６】

この発明のその他の目的および利点は、以下の詳細な説明を読み、添付の図面を参照することにより明らかになるであろう。

【００１７】

この発明には種々の変形および代替形が生じる可能性があるが、その特定的な実施例が図面において例示として示されており、以下において詳細に説明されるであろう。しかしながら、図面および詳細な説明はこの発明を開示された特定的な形式に限定することを意図するものではなく、その反対に前掲の特許請求の範囲において規定されるこの発明の精神および範囲の範疇にあるすべての変形、等価形および代替形を包含することを意図するものである。

【００１８】

【詳細な説明】

図１を参照すれば、ウェハの上側のトポグラフィに形成されるＭＯＳデバイスを有する半導体ウェハ１０の一部の断面図が示されている。ウェハ１０は半導体ウェハトポグラフィ（すなわちフィールド領域１１およびゲート導体１４）の上に形成される誘電体１２を含む。通常のリソグラフィステップを用いて取除かれた部分を有する誘電体１２が示されている。取除かれた部分が下にあるゲート導体１４および接合領域１６を露出させている。接合領域１６は周知のイオン注入技術を用いてシリコン基板１８に注入される。領域１６をドープするのに用いられるイオンは、基板１８と反対の不純物タイプのものである。

【００１９】

高密度でパターニングされた活性領域ではスペーサ（図示せず）を用いて低濃度にドープされたドレイン（ＬＤＤ）を形成してもよい。スペーサおよびＬＤＤは簡潔かつ明確にするために示されていないが、ＬＤＤはＶＬＳＩ処理を通じて知られているものである。ＬＤＤおよびそれに関連するスペーサは、「ショートチャネル効果」および関連の「ホットキャリア注入」といった問題を妨げる助けとなる。しきい値調節／チャネルストップ注入２２をまた用いて、しばしばショートチャネル効果と関連するサブスレッショルド電流を減少させてもよい。

【００２０】

図１に示すデバイスは、ゲート長をたとえば１．０μｍを下回るものとして機能トランジスタを形成するのに必要なエンハンスメントで製造されるＭＯＳトランジスタを例示するものである。このデバイスはエンハンスメントモードもしくはデプリションモードトランジスタのいずれかとすることができ、または単一トランジスタＥＰＲＯＭセルを含むことが可能である。このように後者の例では、ゲート導体１４が、ＥＰＲＯＭ技術では周知のスタックトフローティングおよびコントロールゲートの対であることが可能である。ゲート導体１４の構成にかかわらず、薄いゲート酸化物２４はゲート導体１４と、シリコン基板１８のチャネル２６との間に介在する。さらに、ウェハ１０の上側のトポグラフィには、続いて堆積される高融点金属が存在することが可能な数多くの場所があることが理解される。

【００２１】

図２に示すように、Ｔｉ高融点金属の層３０は、誘電体１２にわたり、誘電体１２に形成される空きの中へと堆積される。Ｔｉ層３０は、接合１６および誘電体１２の上に、純粋なまたは実質的に純粋なＴｉターゲットからスパッタ堆積される。誘電体１２は、ＰＳＧ

、ＢＰＳＧ、ＢＰＴＥＯＳ、スピン－オン－ガラスなどを含む半導体プロセスに従って形成される層間誘電材料を含む。Ｔｉ層３０は、Ａｒなどの不活性雰囲気の中で、ＤＣマグネトロンスパッタ装置を用いてスパッタ堆積される。その後Ｔｉ層は上表面で窒素に富む領域に変換され、下表面でシリコンに富む領域に変換されるが、シリコンに富む領域（すなわちシリサイド）は、多くの場合０．２μｍ未満の非常に浅いソース／ドレイン接合に接する。結果生じるＴｉＮ／Ｔｉ／ＴｉＳｉ$_x$の３層は、多くの場合片側あたり０．８μｍ未満のコンタクト領域上で形成するのに適する。このように、このプロセスは高密度ＶＬＳＩデバイスのために有利に用いられる。さらに、以下に説明するように、このプロセスは通常はＣＭＯＳプロセスに関連するｎまたはｐタイプ不純物領域１６を有するデバイスに非常に適する。

【００２２】

図３を参照すれば、先に堆積されたＴｉ層３０のアニールが示される。アニールは３つのアニールサイクルまたはステップを含み、各サイクルは別々かつ独自の温度で行なわれ、かつアンモニア（NH_3）中で行なわれる。NH_3は、Ｔｉ層３０の露出した上側部分の窒化剤として用いられる。この発明に従えば、窒化プロセスはシリサイド化に対し制御されたレートで発生するように設計される。窒化およびシリサイド化レートについてはさらに、図３の５および６部分である図５および図６を参照して説明する。層３０の上表面での窒化（ＴｉＮ）の量およびタイミングを、層３０の下表面でのシリサイド化（ＴｉＳｉ$_x$）に関し注意深く制御することが必須である。それぞれのレートおよび結果として生じる量は、３ステップの窒化／シリサイド化プロセスを用いて制御される。３ステップのプロセスは、領域５および６での適切な厚みのＴｉＮバリアならびに領域５および６での適切な厚みのＴｉＳｉ$_x$シリサイドをもたらす。領域５における十分なバリアの厚みが、たとえば1×10^{-12}アンペアを下回る接合リーク電流、およびたとえば１６ボルトを上回る接合降伏電圧を確実なものとする。同様に、領域６においてシリサイドの厚みが十分であることにより、図４に示される上にあるプラグ層からの引張り収縮を受けたときにＴｉＮ／Ｔｉ層とその下の誘電体１２との間で優れた密着性が保証される。

【００２３】

図４を参照すれば、Ｔｉ窒化後、Ｔｉで覆われた半導体ウェハ上に形成されるプラグ層３２が示されている。プラグ層３２は好ましくはＷである導電材料を含む。プラグ層３２を用いるとき、Ｔｉ層３０から形成される接着層ＴｉＮ／Ｔｉ／ＴｉＳｉ$_x$構造は、誘電層１２および接合領域１６といった下にある層にＷ層３２を密着させる働きをする。接着層は、上記の剥離という問題を防止するために、プラグ層３２と誘電体１２とを十分に密着させねばならない。適切な密着をもたらす１つの方法は、接着が通常は問題となる領域の上で誘電体と接着層との間の適切な相互作用を維持することである。主として、接着層がＳｉ原子があまりない誘電体１２の上で十分なシリサイドを有することが重要である。Ｓｉがまばらな領域の上にシリサイドを形成することは、シリサイドがより多くある領域で形成するよりも一般により困難なものである。

【００２４】

図５（ａ）－５（ｃ）を参照すれば、図３の領域５の３ステップアニールサイクルの間の詳細な断面図が示される。図５（ａ）は、Ｔｉ層３０が３０ないし６０秒間６００ないし６１０℃の間の温度でNH_3にさらされる第１の温度サイクルを示す。第１の温度サイクルの結果、上表面で窒化が生じてＴｉＮ層３４を形成する。図５（ｂ）は、２０ないし４０秒間７００ないし７５０℃の間の温度で行なわれる別の異なる第２のアニールサイクルを示す。第２の温度サイクルの結果、シリサイド化が開始され、Ｔｉ層３０の下側部分でＴｉＳｉ$_x$層３６の形成が始まる。このように、図５（ａ）の矢印３８はNH_3雰囲気から層３４への窒素原子の進入および拡散を示す。同様に、矢印４０は領域１６から層３６へのシリコン原子の進入を示す。図５（ａ）および５（ｂ）に示される２つのステップに従い、実質的な量のシリサイド化が生じる前に窒化が意図的に行なわれる。ｐタイプ不純物領域１６内のおよそ10^{16}原子／cm^2というボロンの典型的な注入ドーズ量では、７００℃を下回る温度ではシリコンの混入は実質的には発生しないため、第１の低い温度サ

イクルではＴｉＳｉ$_x$の代わりに主としてＴｉＮが発生するだろう。およそ７００℃という第２のより高い温度レベルで初めてシリサイド化が始まるであろう。このように、第１の温度ステップは、シリサイド化に先行してコンタクト領域内に所与の厚みのＴｉＮバリアを固定するために用いられる。したがってシリサイド化が開始される前に窒化を実質的に全部行なうことができる。２００ないし２５０オングストロームよりも大きな既存のＴｉ膜（すなわちほぼ２５０ないし３２０オングストロームのＴｉ膜）の中で、ＴｉＮ層はおよそ２００ないし２５０オングストロームという最大の厚みで形成される。

【００２５】

図５（ｃ）は、それぞれ図５（ａ）および５（ｂ）である第１および第２の温度サイクルとは別個の異なる第３の温度サイクルを示す。特定的には、第３の温度サイクルは第２の温度サイクルが完了した後に発生する。第３の温度サイクルは、８００℃ないし８５０℃の間の温度で１０ないし３０秒間発生する。温度を上昇させてシリサイド化プロセスを促進し、先に形成されたＴｉＳｉ$_x$を、デバイスの動作温度でより原子的に安定状態にある低抵抗のシリサイドに変換する。すなわち、第３の温度サイクルは支配的な量のＴｉＳｉ$_x$をＴｉＳｉ$_2$に変換する。第３のステップで少量の窒化が領域５において発生するであろうが、成長するＴｉＳｉ$_x$膜が存在するために実質的に最小となるであろうと仮定される。３層構造における各層の性質が競合するために、たとえ温度が上昇してもそれらの層がさらに成長することは最小に抑えられるであろう。

【００２６】

図６（ａ）から６（ｃ）を参照すれば、それぞれ図５（ａ）から５（ｃ）を規定するのに用いられたサイクルと同じ３つの温度サイクルでの、図３の領域６の詳細が示される。図６（ａ）は、誘電体１２の上にあるＴｉ層の上での第１の温度サイクルの結果を示す。NH_3からの窒素原子３８がＴｉ層３０の上面に拡散しＴｉＮ層４２ａを形成する。図６（ｂ）に示される第２の温度サイクルでは、ＴｉＮ層４２ａは厚みが増して層４２ｂになる。しかしながら、図６（ｂ）に示すように、第２のアニールサイクルで特定される温度では、層３０のわずかな量しかシリサイドに変換しないだろう。したがって参照番号４４ａで示されるシリサイド層は一般に、図５（ｂ）に示されるシリサイド層３６と比較して非常に薄い。領域５よりも領域６のシリサイドがより薄くなる主な理由は、領域１６内のＳｉ原子に対し、誘電体１２内の「自由」Ｓｉ原子の濃度が低いことによる。したがって、温度がより高い第３のアニールサイクルが、図５（ｃ）および６（ｃ）に示される十分なシリサイドを形成するのに必要である。特定的に、図６（ｃ）はシリサイド層４４ａが４４ｂへと厚みを増すことを示す。シリサイド層４４ｂの厚みの増大は、ＴｉＳｉ$_x$を介するＴｉＮ／Ｔｉのその下の誘電体１２に対する密着性を高めるのに必要である。３つの異なる別々の温度サイクルを用いると、NH_3雰囲気における各サイクルは、接合１６および誘電体１２の上のバリアの最大の厚み３４を確実にし、かつ誘電体１２の上のシリサイドの最大の厚み４４ｂを確実とすることに役立つ。

【００２７】

図７（ａ）を参照すると、Ｔｉ層３０内でのサンプル深さに対し図示の原子パーセントで規定される原子種のグラフが描かれている。特定的には、図７（ａ）は、NH_3雰囲気中５９０℃のアニールから生じる、ソース／ドレイン接合１６の上のＴｉ層３０内の原子種の濃度を示す。図７（ｂ）は同じ条件を示しているが、アニールの温度はより高く６１０℃である。図７（ｃ）は６５０℃というさらに高いアニールの温度を示す。図７（ａ）から７（ｃ）を比較すると、５９０℃での濃度レベルＡは、濃度レベルＡ′およびＡ′′よりも深いことを示している。実験結果に基づくと、しきい値量を超えて温度が上昇すると、それに従いＮ濃度が減少する。最大の、または最大の窒素の深さを発生させるしきい値温度は、５９０℃と６１０℃との間であり、より好ましくは６００℃と６１０℃との間であることが意図されている。

【００２８】

この分析は、電子分光化学分析（ＥＳＣＡ）を用いて行なわれた。ＥＳＣＡでは低エネルギのＸ線を利用して読取可能な光電子放出を生じさせる。光電子放出を読取ると、サンプ

ルのＴｉ層内のさまざまな高さレベルでの化学組成の分析が可能になる。ＥＳＣＡ技術は、ターゲット物質内の原子種を決定する１つの方法として当業者には周知である。ＥＳＣＡによる実験は、6×10^{15}原子／cm^2 のホウ素で注入された接合の上にあるＴｉ層に対して行なわれた。実験が行なわれたｐタイプ接合の深さは０．４μｍで形成された。Ｔｉ膜は、厚みほぼ８００ないし１１００オングストロームで、ＤＣマグネトロンスパッタリングシステムからスパッタ堆積された。熱処理プロセス全体の間、サンプル内での窒素の拡散のために用いられるNH_3 の流れは、ほぼ３５００ｓｃｃｍに設定され、図７（ａ）から７（ｃ）において規定される温度は５℃未満の差を伴いそれぞれ５９０℃、６１０℃および６５０℃で設定された。ＥＳＣＡの実験結果は、ラザフォード後方散乱分光（ＲＢＳ）といったその他の材料特徴化技術を用いて立証された。ｐタイプ接合材料は、上記の理由により最悪の場合の材料として選択された。ｐタイプ接合よりもｎタイプ接合の上でより厚いＴｉＮ層が形成されるであろうことが予想される。結果としてのＴｉＮ相の層はまた、少なくとも２９．５原子％Ｎ、および一般的には２９．５原子％と５３．７原子％Ｎとの間である層として規定される。このように、レベルＡ、Ａ′およびＡ′′は、Ｔｉ層３０の上表面でＴｉＮ相を形成するのに必要な最小原子％を示す。したがって領域５における接合の上に形成されるＴｉＮ層は図７ａにおいて２４０オングストロームに近い最大の厚みで示される。窒素の原子％が２９．５未満であると、この明細書においてＴｉＮとして規定されるものを形成するには十分でないと考えられ、したがって図５（ａ）－５（ｃ）の参照番号３４ならびに図６（ａ）－６（ｃ）の参照番号４２ａおよび４２ｂとして示されるＴｉＮ層の厚みを提供しないであろう。

【００２９】

図７（ａ）－７（ｃ）に示される実験結果は、少なくとも２００ないし２４０オングストロームの厚みのＴｉＮを形成するのに必要な温度範囲を表わしている。たとえば温度レベルが６１０℃を上回ると、ｐタイプのソース／ドレイン接合１６の上にあるＴｉ層におけるＴｉＮの厚みを増大させないであろう。このように、実験結果は図５（ａ）および６（ａ）に示される第１の温度サイクルが、シリサイド化に先行して最大のＴｉＮ層３４を生じさせることを示している。図８（ａ）－８（ｃ）は、誘電体１２の上にある領域６で測定したＴｉ層３０内の原子種の割合を示すグラフである。特定的には、図８（ａ）－８（ｃ）はそれぞれ、５５０℃、６５０℃および７００℃というアニール温度を示す。Ｔｉ層の厚みおよびNH_3 の流量の開始パラメータは、図７（ａ）－７（ｃ）の結果を引出すのに用いられたものと一致する。図８（ａ）と８（ｂ）とを比較すると、高温では、ポイントＢで示されるほぼ３５０オングストロームの深さではＮ／Ｔｉ原子パーセント比は１．０に近づくことが示される。図８（ｃ）で示される７００℃という温度では、Ｎ濃度はわずかずつ減少するが、Ｔｉ層により深く浸透する。このように、７００ないし７５０℃という温度は、誘電体１２の上にあるＴｉ層３０へのＮのより深い浸透をもたらすようである。さらに重要なことは、図８（ｂ）と８（ｃ）とを比較すると、温度が上昇するとＳｉ種の濃度が高まることが示される。図８（ｃ）は、ほぼ７００℃という温度では、ＳｉはＴｉ層３０の最も下の部分から浸透することを示す。図８（ａ）および８（ｂ）に示すように温度が低くなると、Ｓｉの濃度は決して１０％を超えないようにみえるが、図８（ｃ）はＢ′部分で１０％を上回るＳｉの濃度が発生していることを示す。したがって第２の温度サイクルはＴｉＮの厚みを増大させるために用いるだけでなく、誘電体１２からの自由なＳｉ原子の生成のために用いられる。

【００３０】

図８（ａ）－８（ｃ）は、ＥＳＣＡ材料特徴化技術を用いた実験結果から引出されたものである。グラフ８（ａ）－８（ｃ）は、NH_3 雰囲気を備える急速熱処理チャンバから引出されたものであり、結果生じるサンプルは誘電体上に形成されるスパッタ堆積されたＴｉ層である。スパッタ堆積はＤＣマグネトロンスパッタ装置において実行され、誘電体は厚み８００ないし１０００オングストロームとして既に存在している。結果としてグラフ７（ａ）－８（ｃ）となる各温度サイクルは、ほぼ９０秒間行なわれた。示された結果を規定するのに用いられる実験上の手順およびパラメータは、ファラハニらによる、「ＮＨ

$_3$における急速熱処理された膜の電気的、冶金的および機械的行動の研究」、ジャーナルオブエレクトロケミカルソサエティ、１巻、１４１、２号、１９９４年２月（本明細書中に引用により援用する）において詳しく述べられている。

【００３１】

この開示の利益を受ける当業者は、この発明が大きく異なるシリコン基板トポグラフィ上の数多くのメタライゼーション機構に応用可能であることを理解するであろう。さらに、上記のこの発明の形式は好ましい実施例とされていることが理解されるだろう。前掲の特許請求の範囲において述べられるこの発明の精神および範囲から逸脱することなく数多くの変形および変更が行なわれ得る。前掲の特許請求の範囲は係るすべての変形および変更を包含すると解釈されることを意図している。

【図面の簡単な説明】

【図１】金属酸化物半導体（ＭＯＳ）プロセス技術に従い部分的に形成された電子デバイスの断面図である。

【図２】Ｔｉ層が上に設けられた図１のデバイスの断面図である。

【図３】この発明に従って３ステップのアニールサイクルが行なわれている、Ｔｉで覆われたデバイスの断面図である。

【図４】上にプラグ層が設けられた、Ｔｉで覆われたデバイスの断面図である。

【図５】図３の領域５におけるアニールサイクルを示す詳細な断面図であり、（ａ）－（ｃ）は、それぞれアニールサイクルの３つのステップを示す。

【図６】図３の領域６におけるアニールサイクルを示す詳細な断面図であり、（ａ）－（ｃ）は、それぞれアニールサイクルの３つのステップを示す。

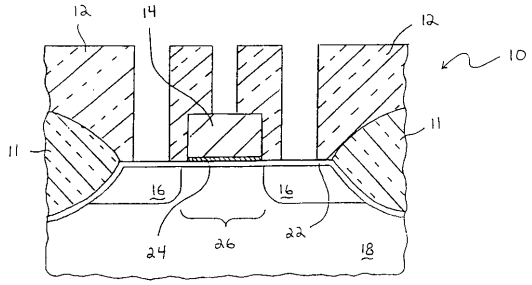
【図７】ｐタイプ接合の上にあるＴｉ膜からの電子分光分析（ＥＳＣＡ）読取のグラフの図であり、Ｔｉ膜は（ａ）－（ｃ）においてそれぞれ５９０℃、６１０℃および６５０℃で加熱される。

【図８】誘電体の上にあるＴｉ膜からのＥＳＣＡ読取のグラフの図であり、１０００オングストロームの酸化物の上にあるＴｉ膜は（ａ）－（ｃ）においてそれぞれ５５０℃、６５０℃および７００℃で加熱される。

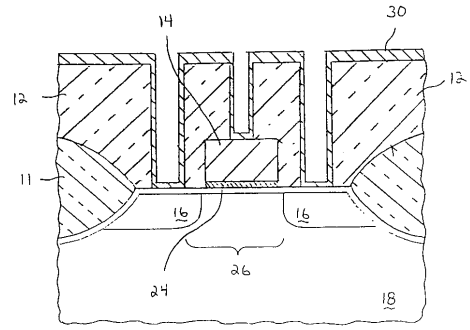
【符号の説明】

１２　誘電体
１４　ゲート導体
１６　接合領域
１８　シリコン基板
３０　Ｔｉ層

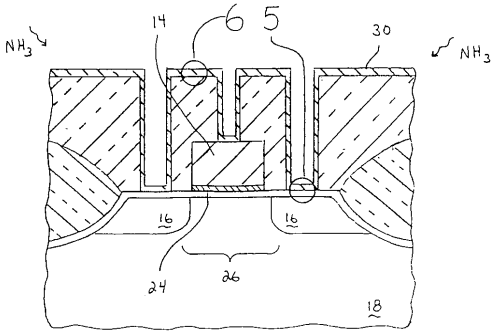
【図１】



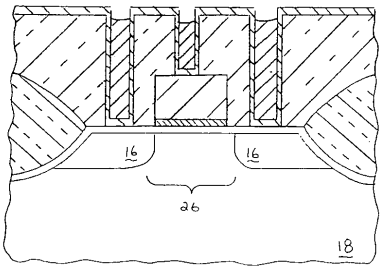
【図２】



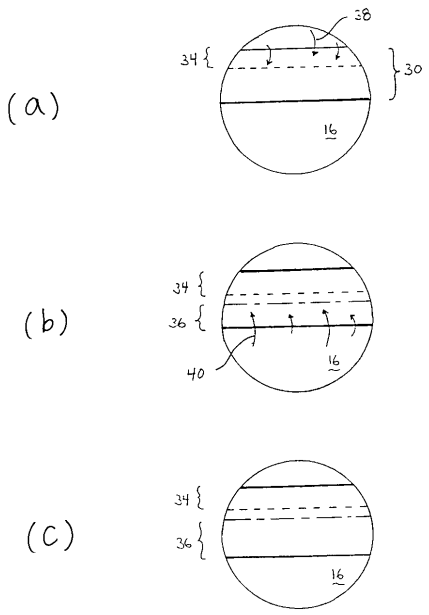
【図３】



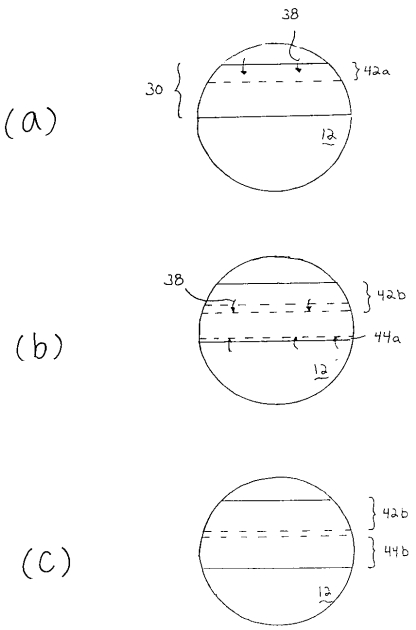
【図４】



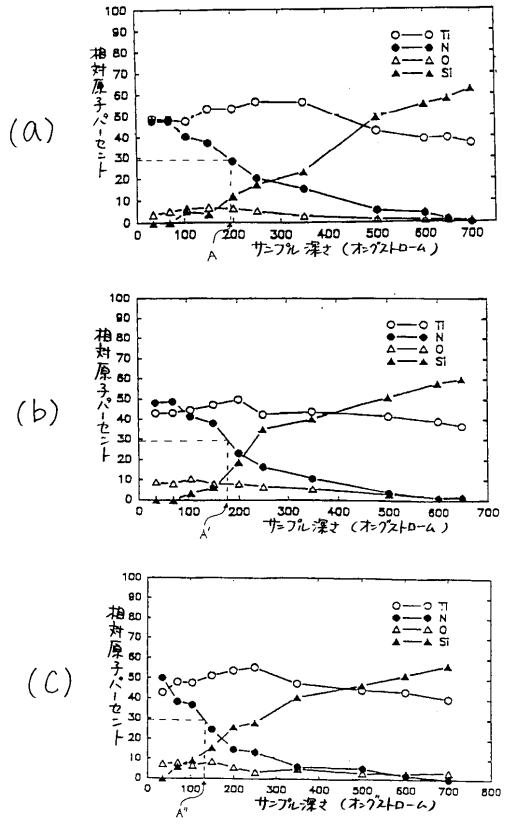
【図５】



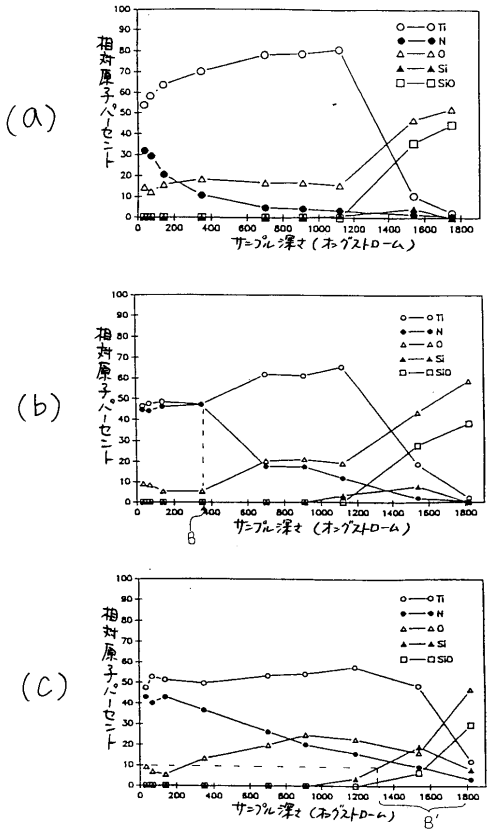
【図６】



【図７】


(a)
(b)
(c)
相対原子パーセント
サンプル深さ（オングストローム）
Ti
N
O
Si
A
A'
A''

【図８】


(a)
(b)
(c)
相対原子パーセント
サンプル深さ（オングストローム）
Ti
N
O
Si
SiO
B
B'

フロントページの続き

(74)代理人 100091409
弁理士 伊藤 英彦
(74)代理人 100096781
弁理士 堀井 豊
(72)発明者 エム・エム・ファラハーニ
アメリカ合衆国、７８７４７ テキサス州、オースティン、ジュピター・ヒルズ・ドライブ、１００６
(72)発明者 シャイアム・ガルグ
アメリカ合衆国、７８７３９－４３１３ テキサス州、オースティン、テケイト・トレイル、４００７

審査官 ▲辻▼ 弘輔

(56)参考文献 特開平０５－１０２０７５（ＪＰ，Ａ）
特開昭６２－２６５７１８（ＪＰ，Ａ）
特開昭６３－０２４６６９（ＪＰ，Ａ）
M. M. Farahani, S. Garg, B. T. Moore, A Study of Electrical, Metallurgical, and Mechanical Behaviors of Rapid Thermal Processed Ti Films in NH3, J. Electrochem. Soc., １９９４年 2月, Vol.141, No.2, pp.479-496

(58)調査した分野(Int.Cl., ＤＢ名)
H01L 21/28
H01L 21/336
H01L 21/768
H01L 29/40
H01L 29/78