



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0095769
(43) 공개일자 2012년08월29일

(51) 국제특허분류(Int. Cl.)

H01L 29/73 (2006.01)

(21) 출원번호 10-2011-0052341

(22) 출원일자 2011년05월31일

심사청구일자 2011년05월31일

(30) 우선권주장

1020110015182 2011년02월21일 대한민국(KR)

(71) 출원인

충남대학교산학협력단

대전광역시 유성구 대학로 99 (궁동,
충남대학교)

(72) 발명자

이희덕

대전광역시 서구 둔산로 155, 크로바아파트 103
동 1405호 (둔산동)

정의정

대전광역시 유성구 배울2로 6, 한화 꿈에그린
101동 502호 (관평동)

(74) 대리인

유미특허법인

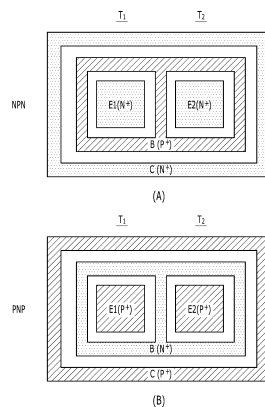
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 정합 특성이 개선된 쌍극성 접합 트랜지스터

(57) 요약

두 개의 트랜지스터를 포함하는 형태의 쌍극성 접합 트랜지스터에서, 두 트랜지스터가 각각 서로 다른 에미터를 포함하는 형태로 이루어지며, 서로 동일한 베이스와 콜렉터를 포함한다. 두 개의 트랜지스터가 공통된 베이스와 콜렉터를 사용하며, 베이스는 각 에미터를 각각 둘러싸는 형태로 이루어지며, 콜렉터는 베이스를 둘러싸는 형태는 형태로 이루어진다.

대표도 - 도2



이 발명을 지원한 국가연구개발사업

과제고유번호 2009-B02-033

부처명 지식경제부

연구사업명 전략기술인력양성사업

연구과제명 고전압/아날로그 비메모리 반도체 소자 전문 인력 양성

주관기관 충남대학교

연구기간 2010.03.01 ~ 2011.02.28

특허청구의 범위

청구항 1

제1 도전성의 불순물을 포함하여 형성되는 제1 접합;

제1 도전성의 불순물을 포함하여 형성되는 제2 접합;

제2 도전성의 불순물을 포함하여 상기 제1 접합 및 제2 접합을 각각 둘러싸고 있는 형태로 이루어지는 제1 웰; 및

제1 도전성의 불순물을 포함하고 상기 제1 웰을 둘러싸고 있는 형태로 이루어지는 제2 웰을 포함하는, 쌍극성 접합 트랜지스터.

청구항 2

제1항에 있어서

상기 쌍극성 접합 트랜지스터는 제1 트랜지스터와 제2 트랜지스터를 포함하며,

상기 제1 접합은 제1 트랜지스터의 에미터로 기능하고, 상기 제2 접합은 제2 트랜지스터의 에미터로 기능하며,

상기 제1 웰은 상기 제1 및 제2 트랜지스터의 베이스로 기능하고,

상기 제2 웰은 상기 제1 및 제2 트랜지스터의 콜렉터로 기능하는,

쌍극성 접합 트랜지스터.

청구항 3

제1항에 있어서

상기 제1 도전성은 N형이며, 상기 제2 도전성은 P형인, 쌍극성 접합 트랜지스터.

청구항 4

제3항에 있어서

상기 제2 웰은 상기 제1 웰의 하부에 형성되어 상기 제1 웰을 둘러싸고 있는 형태로 이루어지는, 쌍극성 접합 트랜지스터.

청구항 5

제1항에 있어서

상기 제1 도전성은 P형이며, 상기 제2 도전성은 N형인, 쌍극성 접합 트랜지스터.

청구항 6

제1 도전성의 불순물을 포함하여 형성되는 제1 접합;

제1 도전성의 불순물을 포함하여 형성되는 제2 접합;

제2 도전성의 불순물을 포함하여 상기 제1 접합 및 제2 접합을 각각 둘러싸고 있으면서 제1 방향은 개방되어 있는 형태로 이루어지는 제1 웰; 및

제1 도전성의 불순물을 포함하고 상기 제1 웰을 둘러싸고 있는 형태로 이루어지는 제2 웰을 포함하는, 쌍극성 접합 트랜지스터.

청구항 7

제6항에 있어서

상기 쌍극성 접합 트랜지스터는 제1 트랜지스터와 제2 트랜지스터를 포함하며,

상기 제1 접합은 제1 트랜지스터의 에미터로 기능하고, 상기 제2 접합은 제2 트랜지스터의 에미터로 기능하며,

상기 제1 웰은 상기 제1 및 제2 트랜지스터의 베이스로 기능하고,

상기 제2 웰은 상기 제1 및 제2 트랜지스터의 콜렉터로 기능하는,

쌍극성 접합 트랜지스터.

청구항 8

제6항에 있어서

상기 제1 도전성은 N형이며, 상기 제2 도전성은 P형인, 쌍극성 접합 트랜지스터.

청구항 9

제6항에 있어서

상기 제2 웰은 상기 제1 웰의 하부에 형성되어 상기 제1 웰을 둘러싸고 있는 형태로 이루어지는, 쌍극성 접합 트랜지스터.

청구항 10

제6항에 있어서

상기 제1 도전성은 P형이며, 상기 제2 도전성은 N형인, 쌍극성 접합 트랜지스터.

청구항 11

제6항 내지 제10항 중 어느 한 항에 있어서

상기 제1 방향은 제1 접합 및 제2 접합이 서로 마주보는 방향에 반대되는 방향인, 쌍극성 접합 트랜지스터.

청구항 12

제11항에 있어서

상기 제1 웰은 π 자 형태로 이루어지는, 쌍극성 접합 트랜지스터.

명세서

기술 분야

[0001] 본 발명은 트랜지스터의 구조에 관한 것으로, 더욱 상세하게 말하자면, 쌍극성 접합 트랜지스터(bipolar junction transistor: BJT)에 관한 것이다.

배경 기술

[0002] 아날로그 회로에서 널리 사용되는 밴드갭 레퍼런스(Band-gap reference), 차동 증폭기(Differential amplifier), 고속도 신호 변환기(High speed A/D converter)는 일반적으로 두 개 이상의 쌍으로 구성되는 소자를 사용하기 때문에, 소자간의 정밀한 정합(matching) 특성이 확보되지 않으면 회로가 오동작을 일으킬 수 있으므로 소자 간 정합 특성은 무엇보다 중요하다고 할 수 있다.

[0003] BJT MOSFET(Metal Oxide Semiconductor Field Effect Transistor)에 비해 높은 전류 이득과 우수한 정합 특성을 가지고 있기 때문에 아날로그 회로에서 다양하게 사용되고 있다. 정합 특성이 우수하다는 것은 두 소자의 특성이 이상적으로 같아야 하는 것을 나타내는데, 구체적으로 두 소자의 베이스, 콜렉터, 에미터의 각각의 넓이, 도핑 깊이와 농도 등이 모두 일치하여야 한다. 그러나 현실적으로 두 소자가 이상적으로 같을 수는 없다.

[0004] 가능한 정합 특성을 개선하는 방법으로, 두 소자의 도핑 깊이 및 농도를 가능한 일치시키고 열점에 의한 데미지(damage)의 차이를 줄이기 위해 두 소자간의 거리를 최대한 가깝게 하여야 한다. 그리고 각 소자 내의 전류가 흐르는 경로의 길이가 짧고 폭이 좁아야 하며, DNW(deep N well)과 같이 저항의 변화가 큰 부분이 차지하는 부분이 적어야 한다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 해결하려는 과제는 보다 정합 특성이 개선되는 트랜지스터를 제공하는 것이다.

과제의 해결 수단

[0006] 위의 과제를 위한, 본 발명의 특징에 따른 쌍극성 접합 트랜지스터는 제1 도전성의 불순물을 포함하여 형성되는 제1 접합; 제1 도전성의 불순물을 포함하여 형성되는 제2 접합; 제2 도전성의 불순물을 포함하여 상기 제1 접합 및 제2 접합을 각각 둘러싸고 있는 형태로 이루어지는 제1 웰; 및 제1 도전성의 불순물을 포함하고 상기 제1 웰을 둘러싸고 있는 형태로 이루어지는 제2 웰을 포함한다.

[0007] 본 발명의 다른 특징에 따른 쌍극성 접합 트랜지스터는 도전성의 불순물을 포함하여 형성되는 제1 접합; 제1 도전성의 불순물을 포함하여 형성되는 제2 접합; 제2 도전성의 불순물을 포함하여 상기 제1 접합 및 제2 접합을 각각 둘러싸고 있으면서 제1 방향은 개방되어 있는 형태로 이루어지는 제1 웰; 및 제1 도전성의 불순물을 포함하고 상기 제1 웰을 둘러싸고 있는 형태로 이루어지는 제2 웰을 포함한다.

[0008] 이러한 본 발명에서, 상기 쌍극성 접합 트랜지스터는 제1 트랜지스터와 제2 트랜지스터를 포함하며, 상기 제1 접합은 제1 트랜지스터의 에미터로 기능하고, 상기 제2 접합은 제2 트랜지스터의 에미터로 기능하며, 상기 제1 웰은 상기 제1 및 제2 트랜지스터의 베이스로 기능하고, 상기 제2 웰은 상기 제1 및 제2 트랜지스터의 컬렉터로 기능한다.

발명의 효과

[0009] 본 발명의 실시 예에 따르면, 보다 정합 특성이 개선된 트랜지스터가 제공됨으로써, 해당 트랜지스터를 사용하는 아날로그의 회로의 오동작을 개선할 수 있다. 또한 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터에서, 두 소자의 거리가 가까워지게 되어 제조시에 불순물을 도핑하는 농도 및 깊이를 보다 일치시킬 수 있고 열점에 의한 데미지의 차이를 줄일 수 있다. 또한 쌍극성 접합 트랜지스터를 구성하는 각 소자 내의 전류가 흐르는 경로의 길이가 짧고 폭이 좁아지게 되어 정합 특성을 개선시킬 수 있다.

[0010] 특히, 두 소자의 에미터와 컬렉터가 공통으로 형성됨에 따라, NPN타입의 소자의 경우에는 딥 N 웰(Deep N well)과 저항의 변화가 큰 부분이 차지하는 부분이 감소될 수 있으므로, 정합 특성을 보다 개선시킬 수 있다. 또한 쌍극성 접합 트랜지스터의 전체 평면적을 감소시킬 수 있으므로, 제작 비용절감 효과도 볼 수 있다.

도면의 간단한 설명

[0011] 도 1은 일반적인 쌍극성 접합 트랜지스터의 구조를 나타낸 도이다.

도 2는 본 발명의 제1 실시 예에 따른 쌍극성 접합 트랜지스터의 구조를 나타낸 평면도이다.

도 3 및 도 4는 본 발명의 제1 실시 예에 따른 쌍극성 접합 트랜지스터의 단면도이다.

도 5는 본 발명의 제2 실시 예에 따른 쌍극성 접합 트랜지스터의 구조를 나타낸 평면도이다.

도 6 및 도 7은 본 발명의 제2 실시 예에 따른 쌍극성 접합 트랜지스터의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 첨부된 도면을 참조하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있도록 바람직한 실시예를 상세히 설명한다. 다만, 본 발명의 바람직한 실시예를 상세하게 설명함에 있어, 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략한다. 또한, 유사한 기능 및 작용을 하는 부분에 대해서는 도면 전체에 걸쳐 동일한 부호를 사용한다.

- [0013] 덧붙여, 명세서 전체에서, 어떤 부분이 다른 부분과 '연결'되어 있다고 할 때, 이는 '직접적으로 연결'되어 있는 경우뿐만 아니라, 그 중간에 다른 소자를 사이에 두고 '간접적으로 연결'되어 있는 경우도 포함한다. 또한, 어떤 구성요소를 '포함'한다는 것은, 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다.
- [0014] 이하, 도면을 참조하여 본 발명의 실시 예에 따른 트랜지스터에 대하여 설명한다.
- [0015] 도 1은 일반적인 쌍극성 접합 트랜지스터의 구조를 나타낸 도이다.
- [0016] 쌍극성 접합 트랜지스터는 에미터(E1, E2)를 중심으로 베이스(B1, B2), 콜렉터(C1, C2)가 순차적으로 형성되면서 에미터, 베이스, 콜렉터가 각각 도넛 형태로 이루어진다. 이에 따라 베이스(B1, B2)가 에미터(E1, E2)를 둘러싸고 있는 형태로 구현되고, 콜렉터(C1, C2)가 베이스(B1, B2)를 둘러싸고 있는 형태로 구현된다.
- [0017] 이러한 구조를 가지는 두 개의 쌍극성 접합 트랜지스터는 도 1에서와 같이 하나의 쌍으로 구현되며, NPN 타입이나 PNP 타입의 경우에도 동일하게 이루어진다.
- [0018] 본 발명의 실시 예에는 정합 특성을 개선하기 위하여, 하나의 쌍으로 이루어지는 쌍극성 접합 트랜지스터를 다음과 같은 구조로 형성한다.
- [0019] 도 2는 본 발명의 제1 실시 예에 따른 쌍극성 접합 트랜지스터의 구조를 나타낸 평면도이다.
- [0020] 첨부한 도 2에서와 같이, 본 발명의 제1 실시 예에 따른 쌍극성 접합 트랜지스터는 제1 트랜지스터(T1)와 제2 트랜지스터(T2)를 포함한다.
- [0021] 제1 및 제2 트랜지스터(T1, T2)는 쌍극성 접합 트랜지스터이며, 에미터, 베이스, 콜렉터를 포함하며, 본 발명의 제1 실시 예에서 따라, 제1 트랜지스터(T1)의 에미터(E1)와 제2 트랜지스터(T2)의 에미터(E2)만 서로 분리되어 있는 형태로 이루어지며, 베이스(B)와 콜렉터(C)는 서로 통합된 형태로 이루어진다. 즉, 제1 트랜지스터(T1)의 베이스(B) 및 콜렉터(C)는 제2 트랜지스터(T2)의 베이스(B) 및 콜렉터(C)와 동일하다.
- [0022] 구체적으로, 도 2에서와 같이, 제1 트랜지스터(T1)의 에미터(E1)와 제2 트랜지스터(T2)의 에미터(E2)가 각각 위치되며, 제1 및 제2 트랜지스터의 공통 베이스(B)가 두 개의 에미터(E1, E2)를 각각 둘러싸고 있는 형태로 이루어지고, 제1 및 제2 트랜지스터(T, T2)의 공통 콜렉터(C)가 공통 베이스(B)를 둘러싸고 있는 형태로 이루어진다.
- [0023] 도 3 및 도 4는 본 발명의 제1 실시 예에 따른 쌍극성 접합 트랜지스터의 단면도이다. 도 3은 NPN 타입의 경우에 해당하는 쌍극성 접합 트랜지스터의 단면도이며, 도 4는 PNP 타입의 쌍극성 접합 트랜지스터의 단면도이다.
- [0024] 먼저, NPN타입의 본 발명의 제1 실시 예에 따른 쌍극성 접합 트랜지스터의 구조를 살펴보면, 베이스로 기능하는 P-웰(well)(10), 에미터로 기능하는 제1 및 제2 N+ 접합(21,22), 그리고 콜렉터로 기능하는 딥 N-웰(30)을 포함한다.
- [0025] P-웰(10)은 P형의 불순물을 포함하여 형성되며, 본 발명의 실시 예에 따른 제1 트랜지스터(T1)와 제2 트랜지스터(T2)의 공통 베이스(B)로 기능한다.
- [0026] 제1 및 제2 N+ 접합(21,22)은 N형의 불순물을 포함하여 형성되며, 제1 N+ 접합(21)은 제1 트랜지스터(T1)의 에미터(E1)로 기능하며, 제2 N+접합(22)은 제2 트랜지스터(T2)의 에미터(E2)로 기능한다. 제1 및 제2 트랜지스터의 공통 베이스(B)가 두 개의 에미터(E, E2)를 각각 둘러싸고 있는 형태로 이루어짐으로써, 제1 N+ 접합(21)과 제2 N+ 접합(22)이 P-웰(10) 상에 형성되면서 서로 소정 간격 떨어진 위치에 형성된다.
- [0027] 딥 N-웰(30)은 N형의 불순물을 포함하여 형성되며, 본 발명의 실시 예에 따른 제1 트랜지스터(T1)와 제2 트랜지스터(T2)의 공통 콜렉터(C)로 기능한다. 이러한 딥 N-웰(30)은 P-웰(10)의 하부에 접하여 형성되어 있다.
- [0028] 따라서, 본 발명의 실시 예에 따른 제1 트랜지스터(T1)는 P-웰(10), 제1 N+접합(21), 그리고 딥 N-웰(30)을 포함하며, 제2 트랜지스터(T2)는 P-웰(10), 제2 N+접합(22), 그리고 딥 N-웰(30)을 포함한다.
- [0029] 이와 같이 제1 트랜지스터(T1)와 제2 트랜지스터(T2)가 하나의 P-웰(10)을 공통 베이스로 하고 P-웰(10)의 하부에 형성된 딥 N-웰(30)을 공통 콜렉터로 하면서, P-웰(10)에 형성된 제1 N+접합(21) 및 제2 N+접합(22)들을 각각 개별적인 에미터로 함으로써, 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터의 평면적이 감소된다. 또한 동일한 베이스와 콜렉터를 사용함에 따라, 분리되어 있는 것에 비하여 제조시에 접합을 형성하기 위하여

사용하는 불순물의 도핑 농도 및 깊이의 차이가 적어지게 된다. 또한 저항의 변화가 큰 딥 N-웰의 또한 크기가 줄어들게 된다. 그러므로 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터를 통하여 전류가 흐르는 경로의 길이가 짧아지고 폭이 좁아지게 되어, 정합 특성이 향상된다.

[0030] 한편, 본 발명의 제1 실시 예에 따른 쌍극성 접합 트랜지스터가 PNP 타입으로 구현되는 경우에도, 도 4에서와 같이, 베이스로 기능하는 N-웰(well)(11), 에미터로 기능하는 제1 및 제2 P+ 접합(21,22), 그리고 콜렉터로 기능하는 제3 P+ 접합(31, 32)을 포함한다. 이 경우에도 본 발명의 제1 실시 예에 따른 쌍극성 접합 트랜지스터를 구성하는, 제1 트랜지스터(T1)는 N-웰(11), 제1 P접합(21), 그리고 제3 P+ 접합(31)을 포함하며, 제2 트랜지스터(T2)는 N-웰(11), 제2 P+접합(22), 그리고 제3 P+ 접합(32)을 포함한다. 여기서는 공통 콜렉터(C)를 형성하는 제3 P+ 접합(31,32)를 형성하기 위한 딥 P웰을 제거한 형태로 구현된 것이며, 이에 따라 평면적을 보다 감소시킬 수 있다.

[0031] 그 결과 위에서 살펴본 바와 같은 효과가 발생하여, 본 발명의 실시 예에 따른 쌍극성 접합 트랜지스터의 정합 특성이 향상된다.

[0032] 한편 본 발명의 실시 예에서 설명의 편의를 위하여, NPN 또는 PNP 타입의 트랜지스터에서, 베이스로 기능하는 P-웰 또는 N-웰(10)을 제1 웰이라고 명명하고, 콜렉터로 기능하는 딥 N-웰 및 제3 P+ 접합을 제2 웰이라고 명명할 수 있다. 그리고 에미터로 기능하는 제1 트랜지스터의 제1 N+ 접합 또는 제1 P+ 접합을 제1 접합이라고 명명하고, 제2 트랜지스터의 제2 N+ 접합 또는 제2 P+ 접합을 제2 접합이라고 명명할 수 있다.

[0033] 다음에는 본 발명의 제2 실시 예에 따른 쌍극성 접합 트랜지스터에 대하여 설명한다.

[0034] 도 5는 본 발명의 제2 실시 예에 따른 쌍극성 접합 트랜지스터의 구조를 나타낸 평면도이다.

[0035] 첨부한 도 5에서와 같이, 본 발명의 제2 실시 예에 따른 쌍극성 접합 트랜지스터도 제1 트랜지스터(T1)와 제2 트랜지스터(T2)를 포함한다.

[0036] 본 발명의 제2 실시 예에 따른 제1 및 제2 트랜지스터(T1, T2)도 위의 제1 실시 예와 동일하게, 에미터(E), 베이스(B), 콜렉터(C)를 포함하며, 제1 트랜지스터(T1)의 에미터(E1)와 제2 트랜지스터(T2)의 에미터(E2)만 서로 분리되어 있는 형태로 이루어진다. 그러나 제1 실시 예와는 달리, 본 발명의 제2 실시 예에 따른 쌍극성 접합 트랜지스터에서, 제1 및 제2 트랜지스터(T1, T2)의 공통 베이스(B)의 형태가 제1 실시 예와 다르게 형성된다. 즉, 도 5에서와 같이, 제1 트랜지스터(T1)의 에미터(21)와 제2 트랜지스터(T2)의 에미터(E2)가 각각 위치되며, 제1 및 제2 트랜지스터의 공통 베이스(B)가 두 개의 에미터(E, E2)를 둘러싸고 있지만 제1 방향이 개방되어 있는 형태로 이루어진다. 그리고 제1 및 제2 트랜지스터(T1, T2)의 공통 콜렉터(C)가 공통 베이스(B)를 둘러싸고 있는 형태로 이루어진다.

[0037] 여기서 제1 및 제2 트랜지스터의 공통 베이스(B)는 두 개의 에미터(E, E2)를 각각 둘러싸고 있으면서 제1 방향(여기서는 예를 들어, 두 개의 에미터가 서로 마주보는 방향에 반대되는 방향)이 개방되어 있는 형태로 이루어짐으로써, 마치 공통 베이스(B)는 'ㄷ' 자 같은 형태를 가질 수 있다.

[0038] 도 6 및 도 7은 본 발명의 제2 실시 예에 따른 쌍극성 접합 트랜지스터의 단면도이다. 도 6은 NPN 타입의 경우에 해당하는 쌍극성 접합 트랜지스터의 단면도이며, 도 7은 PNP 타입의 쌍극성 접합 트랜지스터의 단면도이다.

[0039] 위의 제1 실시 예와 같이, NPN 타입의 본 발명의 제2 실시 예에 따른 쌍극성 접합 트랜지스터는 베이스로 기능하는 P-웰(well)(10'), 에미터로 기능하는 제1 및 제2 N+ 접합(21,22), 그리고 콜렉터로 기능하는 딥 N-웰(30)을 포함한다. 즉, 제1 트랜지스터(T1)는 P-웰(10'), 제1 N+접합(21), 그리고 딥 N-웰(30)을 포함하며, 제2 트랜지스터(T2)는 P-웰(10'), 제2 N+접합(22), 그리고 딥 N-웰(30)을 포함한다.

[0040] 그러나 제1 실시 예와는 달리, 공통 베이스(B)가 에미터(E, E2)들을 둘러싸고 있으면서 제1 방향은 개방되어 있는 형태로 이루어짐에 따라, 도 6에서와 같이, 쌍극성 접합 트랜지스터의 일부 단면에서는, 제1 N+ 접합(21)과 제2 N+ 접합(22)이 P-웰(10') 상에 형성되면서 서로 소정 간격 떨어진 위치에 형성되고, 에미터로 기능하는 제1 N+ 접합(21)과 콜렉터로 기능하는 딥 N-웰(30) 사이 그리고, 에미터로 기능하는 제2 N+ 접합(22)과 콜렉터로 기능하는 딥 N-웰(30) 사이에 P-웰(10')이 형성되어 있지 않다. 즉, 제1 실시 예에서는 공통 베이스(B)가 에미터(E, E2)들을 둘러싸고 있는 형태로 구현됨에 따라, 도 3에서와 같이, 제1 N+ 접합(21)과 딥 N-웰(30) 사이 그리고, 제2 N+ 접합(22)과 딥 N-웰(30) 사이에 P-웰(10)이 형성되어 있는 반면에, 제2 실시 예에서는 도 6에서와 같이, 제1 N+ 접합(21)과 딥 N-웰(30) 사이 그리고, 제2 N+ 접합(22)과 딥 N-웰(30) 사

이에 P-웰(10')이 형성되어 있지 않다.

[0041]

그 결과, 제1 실시 예에 비하여, 제1 및 제2 트랜지스터(T, T2)의 에미터와 콜렉터 사이의 거리가 가까워져서 전류가 흐르는 경로의 길이가 보다 짧아지게 된다. 물론 이 경우에도, 제1 및 제2 트랜지스터가 동일한 베이스와 콜렉터를 사용함에 따라, 분리되어 있는 것에 비하여 제조시에 접합을 형성하기 위하여 사용하는 불순물의 도핑 농도 및 깊이의 차이가 적어지게 된다. 또한 저항의 변화가 큰 딥 N-웰의 또한 크기가 줄어들게 되어, 전류가 흐르는 경로의 길이가 짧아지고 폭이 좁아지게 되어 정합 특성이 향상된다. 또한 에미터와 콜렉터 사이가 가까워지게 되어, 본 발명의 제2 실시 예에 따른 쌍극성 접합 트랜지스터의 정합 특성이 보다 향상될 수 있다.

[0042]

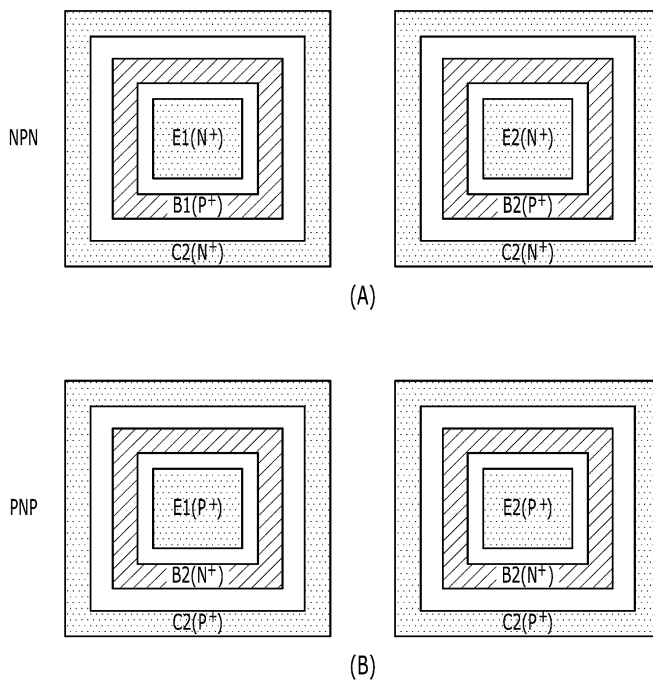
한편, 본 발명의 제2 실시 예에 따른 쌍극성 접합 트랜지스터가 PNP 타입으로 구현되는 경우에도, 도 7에서와 같이, 베이스로 기능하는 N-웰(well)(11'), 에미터로 기능하는 제1 및 제2 P+ 접합(21,22), 그리고 콜렉터로 기능하는 제3 P+ 접합(31, 32)을 포함한다. 이 경우에도 본 발명의 제2 실시 예에 따른 쌍극성 접합 트랜지스터를 구성하는, 제1 트랜지스터(T1)는 N-웰(11'), 제1 P접합(21), 그리고 제3 P+ 접합(31)을 포함하며, 제2 트랜지스터(T2)는 N-웰(11'), 제2 P+접합(22), 그리고 제3 P+ 접합(32)을 포함한다. 여기서는 공통 콜렉터(C)를 형성하는 제3 P+ 접합(31,32)을 형성하기 위한 딥 P웰을 제거한 형태로 구현된 것이며, 이에 따라 평면적을 보다 감소시킬 수 있다. 물론 이 경우에도 도 7에서와 같이, 제1 N+ 접합(21)과 제3 P+ 접합(31) 사이 그리고, 제2 N+ 접합(22)과 제3 P+ 접합(32) 사이에 N-웰(11')이 형성되어 있지 않다.

[0043]

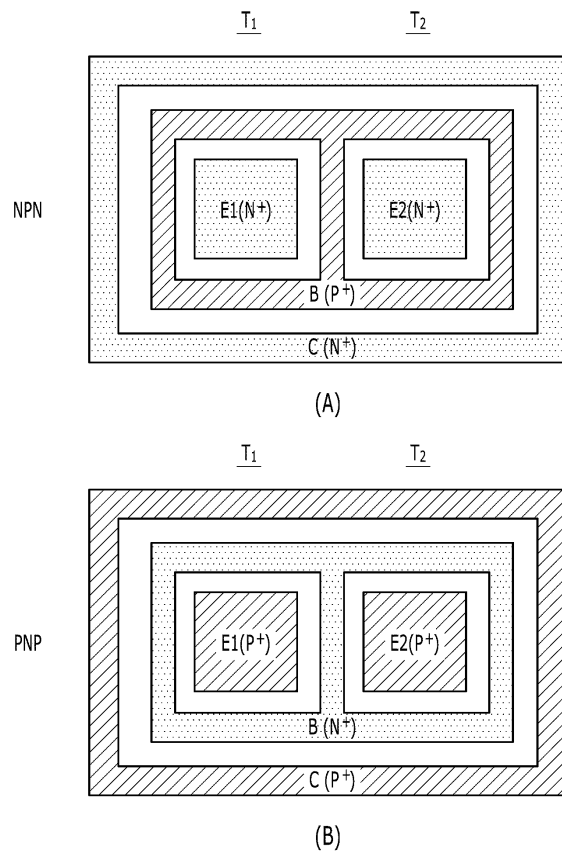
이상에서 본 발명의 실시 예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

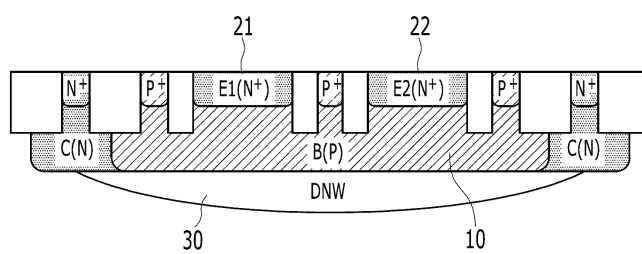
도면1



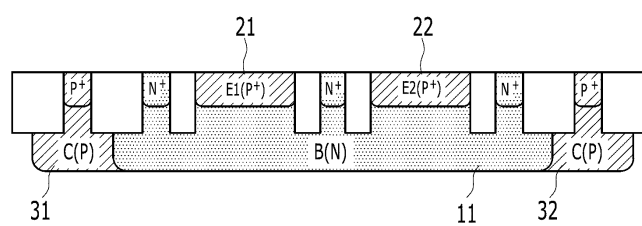
도면2



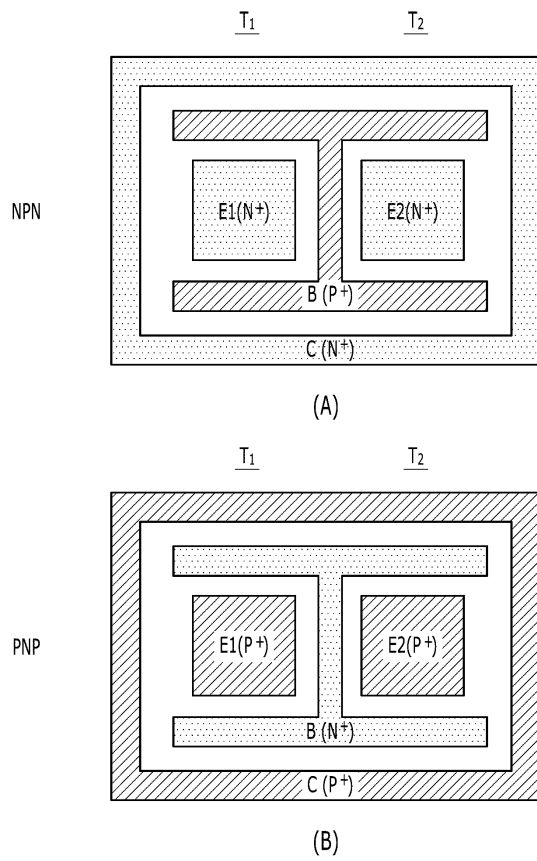
도면3



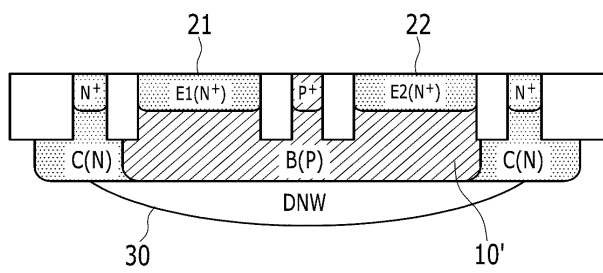
도면4



도면5



도면6



도면7

