

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4983881号
(P4983881)

(45) 発行日 平成24年7月25日 (2012. 7. 25)

(24) 登録日 平成24年5月11日 (2012. 5. 11)

(51) Int. Cl.	F I
H O 1 P 1/203 (2006. 01)	H O 1 P 1/203
H O 1 P 1/205 (2006. 01)	H O 1 P 1/205 B

請求項の数 4 (全 24 頁)

(21) 出願番号	特願2009-223417 (P2009-223417)	(73) 特許権者	000006231
(22) 出願日	平成21年9月28日 (2009. 9. 28)		株式会社村田製作所
(65) 公開番号	特開2011-71921 (P2011-71921A)		京都府長岡京市東神足1丁目10番1号
(43) 公開日	平成23年4月7日 (2011. 4. 7)	(72) 発明者	谷口 哲夫
審査請求日	平成23年9月15日 (2011. 9. 15)		京都府長岡京市東神足1丁目10番1号
			株式会社村田製作所内
		審査官	佐藤 当秀

最終頁に続く

(54) 【発明の名称】 積層帯域通過フィルタ

(57) 【特許請求の範囲】

【請求項 1】

複数の誘電体層と、キャパシタ電極と、インダクタ電極と、接地電極と、前記誘電体層を貫通するビア電極とを備え、

前記キャパシタ電極は前記接地電極と対向するように配置されて、LC並列共振器を構成するための容量が形成され、

前記インダクタ電極は、その一方の端部は第一の前記ビア電極によって前記キャパシタ電極に接続され、他方の端部は第二の前記ビア電極によって前記接地電極に接続され、前記第一及び第二のビア電極と前記インダクタ電極によって、LC並列共振回路を構成するためのインダクタが形成され、

前記容量および前記インダクタによって構成される前記LC並列共振回路が複数配列されており、

前記複数のLC並列共振回路のうち、一つのLC並列共振回路のインダクタを構成するビア電極の一部が、前記一つのLC並列共振回路と隣接するLC並列共振回路のインダクタを構成するビア電極の一部とビア間接合電極によって、電氣的に接続されていることを特徴とする積層帯域通過フィルタ。

【請求項 2】

前記インダクタを、前記キャパシタ電極を始点とし、前記インダクタ電極を經由して、前記接地電極を終点とするループと定義したとき、前記複数のLC並列共振回路は、それらの前記ループの一部が重なるように配列され、前記配列方向から見て、前記ループの方

向が同一となるように前記インダクタが構成されていることを特徴とする請求項１記載の積層帯域通過フィルタ。

【請求項３】

前記ビア間接合電極から前記接地電極に至る前記ビア電極が共通のビア電極によって構成されていることを特徴とする請求項１、２のいずれかに記載の積層帯域通過フィルタ。

【請求項４】

前記ビア間接合電極が複数あることを特徴とする請求項１、２、３のいずれかに記載の積層帯域通過フィルタ。

【発明の詳細な説明】

【技術分野】

10

【０００１】

本発明は複数の誘電体層と電極層とを積層してなる積層帯域通過フィルタに関する。

【背景技術】

【０００２】

従来、小型、低廉化に適した高周波の帯域通過フィルタは、誘電体層と電極層とを積層した積層体内に複数のＬＣ並列共振器を設けることによって構成されている。

【０００３】

このような積層帯域通過フィルタとして、特許文献１が開示されている。

【０００４】

特許文献１の積層帯域通過フィルタ２００の構成を、図９と図１０を参照しながら説明する。

20

【０００５】

図９は積層帯域通過フィルタ２００の分解斜視図、図１０はその等価回路である。図９に示すように、積層帯域通過フィルタ２００は、ダミー層２１０と、浮動接地電極２２０が表面に形成された誘電体層２１１と、二つの１／２波長共振器２２２、２２４が表面に形成された誘電体層２１２と、キャパシタ電極２２８～２３６がそれぞれ表面に形成された誘電体層２１３～２１５と、入出力電極２３８、２４０および接地電極２４２が表面に形成された誘電体層２１６とが積層されることによって構成されている。

【０００６】

１／２波長共振器２２２、２２４は各々逆Ｌ字状とＬ字状に形成され、誘電体層２１２の中央に所定の間隔を置いて、対称となるように配置され、互に磁界結合されている。各共振器の長辺側の端部は導体電極２２６によって連結され、ビア電極２５３を介して接地電極２４２に電氣的に接続されている。各共振器の短辺側の端部にはビア電極２５１、２５５がそれぞれ設けられ、当該ビア電極によって、各共振器の短辺側の端部は誘電体層２１５上に形成された入出力負荷キャパシタ電極２３４、２３６にそれぞれ電氣的に接続されている。

30

【０００７】

入出力負荷キャパシタ電極２３４、２３６は入出力キャパシタ電極２３０、２３２と対向するように、誘電体層２１４を挟んで、誘電体層２１５上に形成されている。入力キャパシタ電極２３０と入力負荷キャパシタ電極２３４が対向することにより、入力キャパシタＣ１が構成され、出力キャパシタ電極２３２と出力負荷キャパシタ電極２３６が対向することにより、出力キャパシタＣ２が構成されている。

40

【０００８】

さらに、入出力負荷キャパシタ電極２３４、２３６は、誘電体層２１５を挟んで接地電極２４２と対向することにより、入出力負荷容量Ｃ４、Ｃ５がそれぞれ構成されている。

【０００９】

入出力結合キャパシタ電極２２８は入出力キャパシタ電極２３０、２３２と対向するように、誘電体層２１３を挟んで、誘電体層１１３上に矩形に形成されている。入出力キャパシタ電極２３０、２３２と入出力結合キャパシタ電極２２８間で入出力結合容量Ｃ３が構成されている。

50

【0010】

図10は図9に示した積層帯域通過フィルタの等価回路図である。図10においてインダクタL1、L2は、図9に示した入出力電極238、240と入出力キャパシタ電極230、232間を電氣的に接続するビア電極261、263にそれぞれ相当する。インダクタL3は、図9に示した2つの1/2波長共振器222と224の長辺側の端部を導通する導体電極226と接地電極242間を電氣的に接続するビア電極253に相当する。また、インダクタL4、L5は図9に示した2つの1/2波長共振器222、224の短辺側の端部と入出力負荷キャパシタ電極234、236を接続するビア電極251、255にそれぞれ相当する。

【先行技術文献】

【特許文献】

【0011】

【特許文献1】特開2007-13962号公報

【発明の概要】

【0012】

【発明が解決しようとする課題】

【0013】

ところで、一般的に高周波回路システムを構成する際、インピーダンスの不整合による電気信号の損失を防ぎ、システムを構成する各電子部品間のインピーダンス整合のために、フィルタの入出力インピーダンス値は所望の値に設計されている。従来の積層帯域通過フィルタ200にあっては、フィルタの入出力インピーダンス値は図10に示したC1とC4の比およびC2とC5の比によって所望の値に設計されている。

【0014】

一方で、当該積層帯域通過フィルタの入出力インピーダンス値は1/2波長共振器222と224間の電磁気結合の度合いによっても決まり、実際には前記二つの1/2波長共振器の間隔により決まる。

【0015】

このため、所望のインピーダンス値を得るのに、1/2波長共振器の間隔を所定寸法だけ確保する必要があるが、共振器間の間隔が広い場合は部品全体のサイズが大きくなるという問題点があった。

【0016】

また、共振器間の間隔を変更したとき、それに伴い、各共振器の短辺側の端部に配置されたビア電極251、255の位置も変更される。これにより、当該ビア電極に接続される入出力負荷キャパシタ電極234、236および当該ビア電極の経路上にある他の電極の形成位置を変更する必要があるが、結局は部品全体の設計を見直さなければならず、設計自由度が低いという問題点もあった。

【0017】

そこで、本発明は小型化が可能で、かつインピーダンス値の設計自由度が高い積層帯域通過フィルタを提供することを目的とする。

【課題を解決するための手段】

【0018】

上記問題点を解決するために、本発明に係る積層帯域通過フィルタは複数の誘電体層と、キャパシタ電極と、インダクタ電極と、接地電極と、前記誘電体層を貫通するビア電極とを備え、前記キャパシタ電極は前記接地電極と対向するように配置されて、LC並列共振器を構成するための容量が形成され、前記インダクタ電極は、その一方の端部は第一の前記ビア電極によって前記キャパシタ電極に接続され、他方の端部は第二の前記ビア電極によって前記接地電極に接続され、前記第一及び第二のビア電極と前記インダクタ電極によって、LC並列共振器を構成するためのインダクタが形成され、前記容量および前記インダクタによって構成される前記LC並列共振器が複数配列されており、前記複数のLC並列共振回路のうち、一つのLC並列共振器のインダクタを構成するビア電極の一部が、

10

20

30

40

50

前記一つの LC 並列共振器と隣接する LC 並列共振器のインダクタを構成するビア電極の一部とビア間接合電極によって、電氣的に接続されていることを特徴とする。

【0019】

この場合、上記の構成により、積層帯域通過フィルタのインピーダンス値はビア間接合電極が配置される誘電体層の厚み方向の位置および誘電体層の厚みを変えることにより自由にかつ精度よく調整できる。

【0020】

さらに、前記インダクタを、前記キャパシタ電極を始点とし、前記インダクタ電極を経由して、前記接地電極を終点とするループと定義したとき、前記複数の LC 並列共振器は、それらの前記ループが共通の中心軸を持つように配列され、前記配列方向から見て、前記ループの方向が同一となるように前記インダクタが構成されていることが好ましい。

10

【0021】

この場合、ビア間接合電極によって結合される LC 並列共振器のインダクタのループの方向を同一にすることで、効率のよい LC 並列共振器間結合が得られる。このため、良好な Q 値を持つ積層帯域通過フィルタを実現できる。

【0022】

さらに、前記ビア間接合電極から前記接地電極に至る前記ビア電極が共通のビア電極によって構成されていることが好ましい。

【0023】

この場合、ビア電極を共通にすることにより、コンデンサ電極の形成可能領域が増える。このため、積層帯域通過フィルタの小型化が実現できる。

20

【0024】

さらに、前記ビア間接合電極が複数あることであることが好ましい。

【0025】

この場合、ビア電極が複数配置されることにより、入力側と出力側の LC 並列共振器のインダクタンスを別に調整できる。このため、積層帯域通過フィルタの設計自由度がさらに向上する。

【発明の効果】

【0026】

本発明によれば、小型化が可能で、かつインピーダンス値の設計自由度および設計精度が高い積層帯域通過フィルタを構成することができる。

30

【図面の簡単な説明】

【0027】

【図1】本発明の第1の実施形態に係る積層帯域通過フィルタの分解斜視図である。

【図2】本発明の第1の実施形態に係る積層帯域通過フィルタの等価回路図である。

【図3】本発明の第1の実施形態に係る積層帯域通過フィルタの外観斜視図である。

【図4】本発明の第2の実施形態に係る積層帯域通過フィルタの分解斜視図である。

【図5】本発明の第3の実施形態に係る積層帯域通過フィルタの分解斜視図である。

【図6】本発明の第3の実施形態に係る積層帯域通過フィルタの等価回路図である。

【図7】本発明の第4の実施形態に係る積層帯域通過フィルタの分解斜視図である。

40

【図8】本発明の第4の実施形態に係る積層帯域通過フィルタの等価回路図である。

【図9】従来の積層帯域通過フィルタの分解斜視図である。

【図10】従来の積層帯域通過フィルタの等価回路図である。

【発明を実施するための形態】

【0028】

以下、本発明に係る積層型フィルタの実施の形態について添付の図を参照しながら説明する。

[第1の実施形態]

本発明に係る第1の実施形態の構成を図1～図3に示す。図1は積層帯域通過フィルタ10の分解斜視図、図2はその外観斜視図、図3はその等価回路図である。

50

【0029】

図1に示すように、第1の実施形態の積層フィルタ10は、それぞれ所定の電極パターンが形成された複数の誘電体層12、14、15、16、17とダミー誘電体層11、13が積層されることによって構成される。

【0030】

誘電体層11～17は、例えばチタン酸バリウムなどのセラミック誘電体材料を原料としたスラリーをフィルム上でドクタブレード法によって塗布して作製される。

【0031】

電極パターンは、例えば、感光性導電ペーストをスピンコート法などにより絶縁体層上に塗布し、フォトリソグラフィ法を用いて形成される。また、メタルマスクを介して、導電ペーストを直接絶縁体層上にスクリーン印刷により形成してもよい。

10

【0032】

上述した誘電体層および電極パターンの作製方法は以降の実施例についても同様である。

【0033】

まず、誘電体層12～17に形成された電極パターンおよびビア電極について詳述する。

【0034】

誘電体層15には入出力電極25、26と第3のキャパシタ電極24が形成されている。入出力電極25、26は誘電体層15の二つの短辺側の中央部にそれぞれ矩形に形成され、引き出し電極27、28によってそれぞれ誘電体層の両短辺側に引き出されている。また、第3のキャパシタ電極24は誘電体層15の一方の長辺側に、例えば、凹形状に形成されている。

20

【0035】

誘電体層17には接地電極31が形成されている。接地電極31は誘電体層17上のほぼ全面に配置され、引き出し電極32、33により、誘電体層17の両長辺側にそれぞれ引き出されている。

【0036】

誘電体層16にはLC共振器を構成するための第1と第2のキャパシタ電極29、30が形成されている。第1のキャパシタ電極29は誘電体層16の一方の短辺側に第3のキャパシタ電極24の一方の端部と対向するように配置されている。第2のキャパシタ電極30は誘電体層16の他方の短辺側に第3のキャパシタ電極24の他方の端部と対向するように配置されている。また、第1と第2のキャパシタ電極29、30は誘電体層16を挟んで接地電極31と対向するように配置されている。さらに、第1と第2のキャパシタ電極29、30はビア電極40、42の一部により、入出力電極25、26とそれぞれ電氣的に接続されている。

30

【0037】

誘電体層12には第1、第2のインダクタ電極21、22とビア電極40、41、42、43が形成されており、誘電体層14にはビア間接合電極23が形成されている。第1のインダクタ電極21は誘電体層12の一方の短辺側に矩形に形成され、その一方の端部はビア電極40を介して、入力電極25を経由して、第1のキャパシタ電極29に電氣的に接続されている。第1のインダクタ電極21の他方の端部はビア電極41を介して、ビア間接合電極23を経由して、接地電極31と電氣的に接続されている。また、第2のインダクタ電極22は誘電体層12の他方の短辺側に矩形に形成され、その一方の端部はビア電極42を介して出力電極26を経由して、第2のキャパシタ電極30に電氣的に接続されている。第2のインダクタ電極22の他方の端部はビア電極43を介して、ビア間接合電極23を経由して、接地電極31に電氣的に接続されている。

40

【0038】

ビア電極41とビア電極43は誘電体層14上でビア間接合電極23を介して、電氣的に接続されている。ビア間接合電極23によって、ビア電極41、43はそれぞれインダ

50

クタ電極側にあるビア電極 4 1 1、4 3 1 と接地電極側にあるビア電極 4 1 2、4 3 2 に分離されている。

【0039】

なお、本実施形態では、ビア間接合電極はビア電極 4 1 とビア電極 4 3 を接続するように配置されているが、実際には、ビア電極 4 0、4 1 の内のいずれか一本のビア電極とビア電極 4 2、4 3 の内のいずれかの一本のビア電極がビア間接合電極によって接続されていけばよい。

【0040】

次に、第 1、第 2、第 3 のキャパシタについて詳述する。

【0041】

第 1 のキャパシタ電極 2 9 と接地電極 3 1 とが対向することによって、第 1 のキャパシタが構成されている。同様に、第 2 のキャパシタ電極 3 0 と接地電極 3 1 とが対向することによって、第 2 のキャパシタが構成されている。また、第 1 と第 2 のキャパシタ電極 2 9、3 0 と第 3 のキャパシタ 2 4 電極とが対向することによって、第 3 のキャパシタが構成されている。

【0042】

次に、第 1、第 2、第 3 のインダクタについて詳述する。

【0043】

第 1 のインダクタ電極 2 1 とビア電極 4 0 とビア電極 4 1 1 とにより、第 1 のインダクタが構成され、第 2 のインダクタ電極 2 2 とビア電極 4 2 とビア電極 4 3 1 とにより、第 2 のインダクタが構成されている。また、ビア間接合電極 2 3 とビア電極 4 1 2、4 3 2 によって、第 3 のインダクタが構成されている。

【0044】

次に第 1、第 2 の LC 並列共振器について詳述する。

【0045】

第 1 のインダクタは積層帯域通過フィルタ 1 0 の積層方向と垂直な方向に中心軸を持ち、ビア電極 4 0 と第 1 のキャパシタ電極 2 9 との接続点を始点とし、ビア電極 4 1 と接地電極 1 7 との接続点を終点とするループ状に構成されている。従って、第 1 のインダクタと第 1 のキャパシタによって、入力側にある第 1 の LC 並列共振器が構成されている。

【0046】

同様に、第 2 のインダクタも積層帯域通過フィルタ 1 0 の積層方向と垂直な方向に中心軸を持ち、ビア電極 4 2 と第 2 のキャパシタ電極 3 0 との接続点を始点とし、ビア電極 4 3 と接地電極 1 7 との接続点を終点とするループ状に構成されている。従って、第 2 のインダクタと前記第 2 のキャパシタ電極によって、出力側にある第 2 の LC 並列共振器が構成されている。

【0047】

そして、第 1 の LC 並列共振器を構成するループ状電極と第 2 の LC 並列共振器を構成するループ状電極とは、それらのループ状電極を積層方向に垂直な方向から見たときにループ面が重なるように配置され、さらに、それらのループ状電極のそれぞれの中心軸は平行になるように配置されている。

【0048】

図 2 は積層帯域通過フィルタ 1 0 の外観斜視図である。誘電体層 1 1 ～ 1 7 は順に積層され、配線電極と同時に焼成される。その後、外部入出力電極 3、5 は入出力電極 2 5、2 6 の引き出し電極 2 7、2 8 に接続されるように形成され、外部接地電極 7、9 は接地電極 3 1 の引き出し電極 3 2、3 3 に接続されるように形成され、図 2 に示す積層帯域通過フィルタ 1 0 になる。外部入出力電極 3、5 および外部接地電極 7、9 は積層帯域通過フィルタ 1 0 の両短辺側の側面と両長辺側の側面にそれぞれ形成されている。

【0049】

図 3 は、図 1 に示した積層帯域通過フィルタ 1 0 の等価回路図である。図 3 において、キャパシタ C 1 3 は第 1 のキャパシタに相当し、キャパシタ C 1 5 は第 2 のキャパシタに

10

20

30

40

50

相当する。キャパシタC 3 5は第3のキャパシタに相当する。

【0050】

また、図3において、インダクタL 1 3は第1のインダクタに相当し、インダクタL 1 5は第2のインダクタに相当する。インダクタL 3 5は第3のインダクタに相当する。

【0051】

本発明の第1の実施形態によれば、ビア電極40～43に電流が流れると、誘電体層の積層方向と垂直な方向にそれぞれのビア電極を周回するような磁界が発生する。この磁界により、ビア電極40、41とビア電極42、43とが磁界結合する。また、第1のインダクタ電極21と第2のインダクタ電極22に電流が流れると、誘電体層の積層方向に平行な方向にそれぞれのインダクタ電極を周回するような磁界が発生する。この磁界により、第1のインダクタ電極と第2のインダクタ電極22とが磁界結合する。

10

【0052】

特に、ビア電極40～43で発生する磁界の向きは、接地電極31に平行な方向であるため、その磁界と接地電極31とが交わることはない。このため、接地電極31での渦電流の発生を抑えることができ、第1及び第2のインダクタのQ値を高めることができる。

【0053】

また、本発明の第1の実施形態によれば、第1のLC並列共振器と第2のLC並列共振器の結合の度合いは、図3に示した第1、第2のインダクタL 1 3、L 1 5と第3のインダクタL 3 5とのインダクタンス値の比率によって決めることができる。実際には、前記L 1 3、L 1 5とL 3 5とのインダクタンス値の比率はビア間接合電極23が形成された誘電体層14の積層方向の配置位置によって決定され、さらに、誘電体層14の層厚みおよびビア間接合電極23の電極厚みによって精度よく調整できる。

20

【0054】

また、第1、第2のインダクタL 1 3、L 1 5と第3のインダクタL 3 5のインダクタンス値の比率を変化させたとしても、第1のLC並列共振器および第2の並列共振器を構成するインダクタンスの値は変化しない。このため、LC並列共振器の共振周波数を変化させることなく、2つの並列共振器間の結合の度合いを調整することができる。

【0055】

一方で、積層帯域通過フィルタ10のインピーダンス値は、入力側の第1のLC並列共振器と出力側の第2のLC共振器の結合の度合いによって決まる。従って、ビア間接合電極23が配置されることにより、当該ビア間接合電極の積層方向の配置位置や電極厚みで積層帯域通過フィルタ10のインピーダンス値を自由に、かつ、精度よく調整することが可能となる。

30

[第2の実施形態]

本発明に係る第2の実施形態の構成を図4に示す。図4は第2の実施形態の積層帯域通過フィルタ50の分解斜視図である。その外観斜視図および等価回路図は図2および図3と同じであるため、ここでは省略する。また、図4において、図1と対応する部分については同じ番号を付して示し、重複した説明は省略する。

【0056】

積層帯域通過フィルタ50では、第1の実施例におけるビア電極412、432の代わりに、共通のビア電極44を用いている。ビア電極44はビア間接合電極23の中央に配置され、ビア間接合電極23はビア電極44を介して、接地電極31に電氣的に接続されている。この構成により、ビア間接合電極23とビア電極44とでT字型の回路が形成され、第1のインダクタおよび第2のインダクタはこのT字型の回路によって、共通で接地電極31に接続されている。

40

【0057】

なお、本実施形態では、ビア間接合電極はビア電極41とビア電極43を接続するように配置されているが、実際には、ビア電極40、41の内のいずれか一本のビア電極とビア電極42、43の内のいずれかの一本のビア電極がビア間接合電極によって接続されて、当該ビア間接合電極が共通のビア電極44によって接地電極31に接続されていればよ

50

い。

【0058】

本発明の第2の形態によれば、第1の実施形態で得られる効果に加えて、共通のビア電極44によって、ビア間接合電極23と接地電極31を接続することで、ビア電極の形成に必要な領域を減らすことができる。このため、キャパシタ電極を形成できる領域を増やすことができるので、積層帯域通過フィルタ全体の小型を実現できる。

【0059】

さらに、ビア間接合電極23と接地電極31との間を共通のビア電極44で接続しているため、ビア間接合電極23におけるビア電極44を形成する領域を増やすことができる。このため、ビア電極44の断面積を大きくすることができるので、第1及び第2のインダクタのQ値を高められ、積層帯域通過フィルタ50を低損失化できる。

10

【0060】

また、本実施形態においては、ビア電極44をビア間接合電極23の中央に配置しているが、中央から左右どちらかに移動して、配置させても構わない。これにより、第1及び第2のインダクタのインダクタンス値を微調整することができるため、LC並列共振器の共振周波数を自由に調整することができるようになる。

【0061】

[第3の実施形態]

本発明に係る第3の実施形態の構成を図5、図6に示す。図5は第3の実施形態の積層帯域通過フィルタ60の分解斜視図、図6はその等価回路図である。その外観斜視図は図2と同じであるため、ここでは省略する。

20

【0062】

図5に示すように、第3の実施形態の積層フィルタ60は、それぞれ所定の電極パターンが形成された複数の誘電体層62、63、64、65、66、67とダミー誘電体層61が積層されることによって構成される。

【0063】

まず、誘電体層62～67に形成された電極パターンおよびビア電極について詳述する。

【0064】

誘電体層65には入出力電極77、78が形成されている。入出力電極77、78は誘電体層65の二つの短辺側の中央部にそれぞれ配置され、引き出し電極79、80によって、誘電体層の両短辺側に引き出されている。

30

【0065】

誘電体層64には結合キャパシタ76が形成されている。結合キャパシタ76は誘電体層64の中央に、例えば、凹形状に形成され、その一方の端部は入力電極77と、他方の端部は出力電極78と対向するように配置されている。

【0066】

誘電体層66にはLC並列共振回路を構成するための第1から第4のキャパシタ電極81～84が形成されている。第1から第4のキャパシタ電極81～84は互に平行になるように等間隔に配列され、さらに、第1のキャパシタ電極81と第4のキャパシタ電極84は入力電極79と出力電極80と対向するようにそれぞれ配置されている。

40

【0067】

誘電体層67には接地電極87が形成されている。接地電極87は誘電体層67上のほぼ全面に配置され、引き出し電極85、86により、誘電体層67の両長辺にそれぞれ引き出されている。入出力電極77、78はビア電極90、96の一部を介して、接地電極87とそれぞれ電氣的に接続されている。

【0068】

誘電体層62には第1から第4のインダクタ電極71～74が互に平行に配列されており、各インダクタ電極の端部にはビア電極90～97がそれぞれ形成されている。また、誘電体層63にはビア間接合電極75が矩形に形成されている。

50

【0069】

第1のインダクタ電極71の一方の端部はビア電極90を介して、入力電極77を経由して、接地電極87に電氣的に接続され、他方の端部はビア電極91を介して第1のキャパシタ電極81に電氣的に接続されている。第2のインダクタ電極72の一方の端部はビア電極92を介して、第2のキャパシタ電極82に電氣的に接続され、他方の端部はビア電極93を介して、ビア間接合電極75の一方の端部を経由して、接地電極87に電氣的に接続されている。第3のインダクタ電極73の一方の端部はビア電極94を介して、第3のキャパシタ電極83に電氣的に接続され、他方の端部はビア電極95を介して、ビア間接合電極75の他方の端部を経由して、接地電極87に電氣的に接続されている。第4のインダクタ電極74の一方の端部はビア96を介して、出力電極80を経由して、接地電極87と電氣的に接続され、他方の端部はビア電極97を介して、第4のキャパシタ電極84に電氣的に接続されている。

10

【0070】

ビア電極93とビア電極95は誘電体層63上でビア間接合電極75によって電氣的に接続されている。ビア間接合電極75によって、ビア電極93、95はそれぞれインダクタ電極側にあるビア電極931、951と接地電極側にあるビア電極932、952に分離されている。

【0071】

なお、本実施形態では、ビア間接合電極はビア電極93とビア電極95を接続するように配置されているが、実際には、ビア電極92、93の内のいずれか一本のビア電極とビア電極94、95の内のいずれかの一本のビア電極がビア間接合電極によって接続されてい

20

【0072】

次に、第1、第2、第3、第4、第5のキャパシタについて詳述する。

【0073】

第1のキャパシタ電極81と接地電極87とが対向することによって、第1のキャパシタが構成され、第2のキャパシタ電極82と接地電極87とが対向することによって、第2のキャパシタが構成されている。第3のキャパシタ電極83と接地電極87とが対向することによって、第3のキャパシタが構成され、第4のキャパシタ電極84と接地電極87とが対向することによって第4のキャパシタが構成されている。また、入出力電極77、78と結合キャパシタ電極76とが同時に対向することにより、第5のキャパシタが構成されている。

30

【0074】

次に、第1、第2、第3、第4のインダクタについて詳述する。

【0075】

第1のインダクタ電極71とビア電極90とビア電極91とにより、第1のインダクタが構成され、第2のインダクタ電極72とビア電極92とビア電極931とにより、第2のインダクタが構成されている。第3のインダクタ電極73とビア電極94とビア電極951とにより第3のインダクタが構成され、第4のインダクタ電極74とビア電極96とビア電極97とにより、第4のインダクタが構成されている。また、ビア間接合電極75とビア電極932とビア電極952とによって、第5のインダクタが構成されている。

40

【0076】

次に、第1、第2、第3、第4のLC並列共振器について詳述する。

【0077】

第1～第4のLC並列共振器は第1～第4のインダクタと第1～第4のキャパシタによって構成されている。第1～第4のインダクタは積層帯域通過フィルタ60の積層方向と垂直な方向に中心軸を持ち、それぞれビア電極91、92、94、97と第1、第2、第3、第4のキャパシタ電極との接続点を始点とし、ビア電極90、96と接地電極87との接続点、またはビア電極931、951とビア間接合電極75の接続点を終点とするループ状に構成されている。従って、各LC並列共振器とインダクタ電極、キャパシタ電極

50

およびビア電極の関係は表 1 に示すようになる。

【0078】

【表 1】

LC並列共振器	ビア電極	キャパシタ電極	インダクタ電極	ループ方向
第1	90, 91	81	71	1
第2	92, 93	82	72	0
第3	94, 95	83	73	0
第4	96, 97	84	74	1

10

【0079】

表 1 中のループ方向とは、LC 並列共振器の配列方向の一方向からインダクタのループを見たときの、そのループの始点からの回り方向である。例えば、図 5 を入力電極 7 7 から出力電極 7 8 に向かって、各 LC 並列共振器を構成するインダクタのループを見たとき、第 1 のインダクタにおいては、ビア電極 9 1 とキャパシタ電極 8 1 との接続点（始点）→ビア電極 9 1 →インダクタ電極 7 1 →ビア電極 9 0 →ビア電極 9 0 と接地電極 8 7 の接続点（終点）の順にループを形成し、ループ方向は右回りである。また、第 2 のインダクタにおいては、ビア電極 9 2 とキャパシタ電極 8 2 の接続点（始点）→ビア電極 9 2 →インダクタ電極 7 2 →ビア電極 9 3 と接地電極 8 7 の接続点（終点）の順にループを形成し、ループ方向は左回りである。ここで、ループ方向は左回り、右回りの 2 方向しかないので、一方の方向を 1、他方の方向を 0 として表 1 に記載している。

20

【0080】

また、第 2 のインダクタを構成するビア電極 9 3 と第 3 のインダクタを構成するビア電極 9 5 は、ビア間接合電極 7 5 によって互に電氣的に接続され、これにより、第 2 の LC 並列共振器と第 3 の LC 並列共振器が結合されている。

30

【0081】

図 6 は、図 5 に示した積層帯域通過フィルタ 6 0 の等価回路図である。図 6 において、キャパシタ C 3 1 は第 1 のキャパシタに相当し、キャパシタ C 3 2 は第 2 のキャパシタに相当する。また、キャパシタ C 5 2 は第 3 のキャパシタに相当し、キャパシタ C 5 1 は第 4 のキャパシタに相当する。さらに、キャパシタ C 5 3 は第 5 のキャパシタに相当する。

【0082】

また、図 6 において、インダクタ L 3 1 は第 1 のインダクタに相当し、インダクタ L 3 2 は第 2 のインダクタに相当する。また、インダクタ L 5 2 は第 3 のインダクタに相当し、インダクタ L 5 1 は第 4 のインダクタに相当する。さらに、インダクタ L 5 3 は第 5 のインダクタに相当する。

40

【0083】

本発明の第 3 の形態によれば、第 1 の実施形態で得られる効果に加えて、ビア間接合電極 7 5 によって互いに結合される第 2 のインダクタと第 3 のインダクタのループの方向は同一であるため、効率よく LC 並列共振器間結合が得られる。このため、良好な Q 値を持つ積層帯域通過フィルタを実現できる。

【0084】

[第 4 の実施形態]

本発明に係る第 4 の実施形態の構成を図 7、図 8 に示す。図 7 は第 4 の実施形態の積層

50

帯域通過フィルタ100の分解斜視図である。図8はその等価回路図である。その外観斜視図は図2と同じであるため、ここでは省略する。

【0085】

第3の実施形態の積層帯域通過フィルタ60は第1～第4の四つLC並列共振器を有し、第2と第3のLC並列共振器を一つのビア間接合電極により結合させているのに対して、第4の実施形態の積層フィルタ100は第1～第5の五つのLC並列共振器を有し、第2と第3および第3と第4のLC並列共振器を2つのビア間接合電極により結合させているところに違いがある。そのほかの構成は同様であり、その説明はここでは省略する。

【0086】

まず、第1～第7のインダクタの構成について詳述する。

10

【0087】

誘電体層101には第1～第5のインダクタ電極110～114が互に平行に配列されており、各インダクタの端部にはビア電極120～129が形成されている。

【0088】

誘電体層102、103にはビア間接合電極115、116がそれぞれ形成されている。ビア間接合電極115、116によりビア電極125は、インダクタ電極112とビア間接合電極115間にあるビア電極125Aと、ビア間接合電極115とビア間接合電極116間にある125Bと、ビア間接合電極116と接地電極の間にあるビア電極125Cに分離されている。また、ビア電極125Aとビア電極123はビア間接合電極115を介して電氣的に接続され、ビア電極125Bとビア電極127はビア間接合電極116を介して電氣的に接続されている。

20

【0089】

なお、本実施形態では、ビア間接合電極はビア電極123とビア電極125およびビア電極125とビア電極127を接続するように配置されているが、実際には、ビア電極122、123の内のいずれか一本のビア電極とビア電極124、125の内のいずれか一本のビア電極およびビア電極124、125の内のいずれか一本のビア電極とビア電極126、127の内の一本のビア電極がビア間接合電極によって接続されていればよい。

【0090】

第1のインダクタ電極110とビア電極120、121とにより、第1のインダクタが構成され、第2のインダクタ電極111とビア電極122、123により、第2のインダクタが構成されている。第3のインダクタ電極112とビア電極124、125Aとにより第3のインダクタが構成され、第4のインダクタ電極113とビア電極126、127とにより第4のインダクタが構成され、第5のインダクタ電極114とビア電極128、129とにより、第5のインダクタが構成されている。

30

【0091】

また、ビア間接合電極115とビア電極125Bとにより、第6のインダクタが構成され、ビア間接合電極116とビア電極125Cとにより、第7のインダクタが構成されている。

【0092】

次に、第1～第5のLC並列共振器について詳述する。

40

【0093】

LC並列共振器を構成する第1～第5のキャパシタ電極130～134は第1～第5のインダクタ電極と対応するように形成され、接地電極と対向することで、第1～第5のキャパシタが構成されている。

【0094】

第1～第5のLC並列共振器は第1～第5のインダクタと第1～第5のキャパシタによって構成される。第3の実施形態と同様、第1から第5のインダクタは積層帯域通過フィルタ100の積層方向と垂直な方向に中心軸を持ち、各インダクタを構成する一方のビア電極とキャパシタ電極との接続点を始点とし、他方のビア電極と接地電極、またはビア間接合電極との接続点を終点とするループに構成されている。従って、各LC並列共振器と

50

インダクタ電極、キャパシタ電極およびビア電極の関係は表 2 に示すようになる。

【0095】

【表 2】

LC並列共振器	ビア電極	キャパシタ電極	インダクタ電極	ループ方向
第1	120, 121	130	110	1
第2	122, 123	131	111	0
第3	124, 125A	132	112	0
第4	126, 127	133	113	0
第5	128, 129	134	114	1

10

20

【0096】

表 2 の中のループ方向とは第 3 の実施形態の場合と同じように定義され、LC 並列共振器の配列方向の一方向からインダクタのループを見たときの、そのループの始点からの回り方向である。

【0097】

第 2 と第 3 のインダクタおよび第 3 と第 4 のインダクタはビア間接合電極 115 と 116 によってそれぞれ電氣的に接続され、これにより、第 2 と第 3 および第 3 と第 4 の LC 共振器は互いに結合されている。

【0098】

図 8 は、図 7 に示した積層帯域通過フィルタ 100 の等価回路図である。図 8 において、キャパシタ C23～C27 はそれぞれ第 1～第 5 のキャパシタに相当し、インダクタ L23～L29 は第 1～第 7 のインダクタに相当する

30

本発明の第 4 の実施形態によれば、第 1 から第 3 の実施形態で得られる効果に加えて、複数のビア間接合電極を用いて、LC 並列共振器を結合させているため、積層帯域通過フィルタ 100 の入力側のインピーダンスと出力側のインピーダンスを別に調整できる。実際には、誘電体層 103、104 の配置位置、または当該誘電体層の層厚みを変えることで、図 8 に示した L28 と L29 のインダクタンスの比率を調整できる。これにより、入出力間のインピーダンス比を自由に決定できる。従って、複数のビア間インダクタを設けることで、積層帯域通過フィルタ 100 のインピーダンス値の設計自由度はさらに向上する。

40

【符号の説明】

【0099】

10、50、60、100、200・・・積層帯域通過フィルタ

11～17、61～67、101～107、210、216・・・誘電体層

21、22、71～74、110～114・・・インダクタ電極

222、224・・・1/2波長共振器

23、75、115、116・・・ビア間接合電極

24、76・・・結合キャパシタ電極

25、26、77、78、238、240・・・入出力電極

29、30、81～84、130～134、230、232、234、236・・・

50

キャパシタ電極

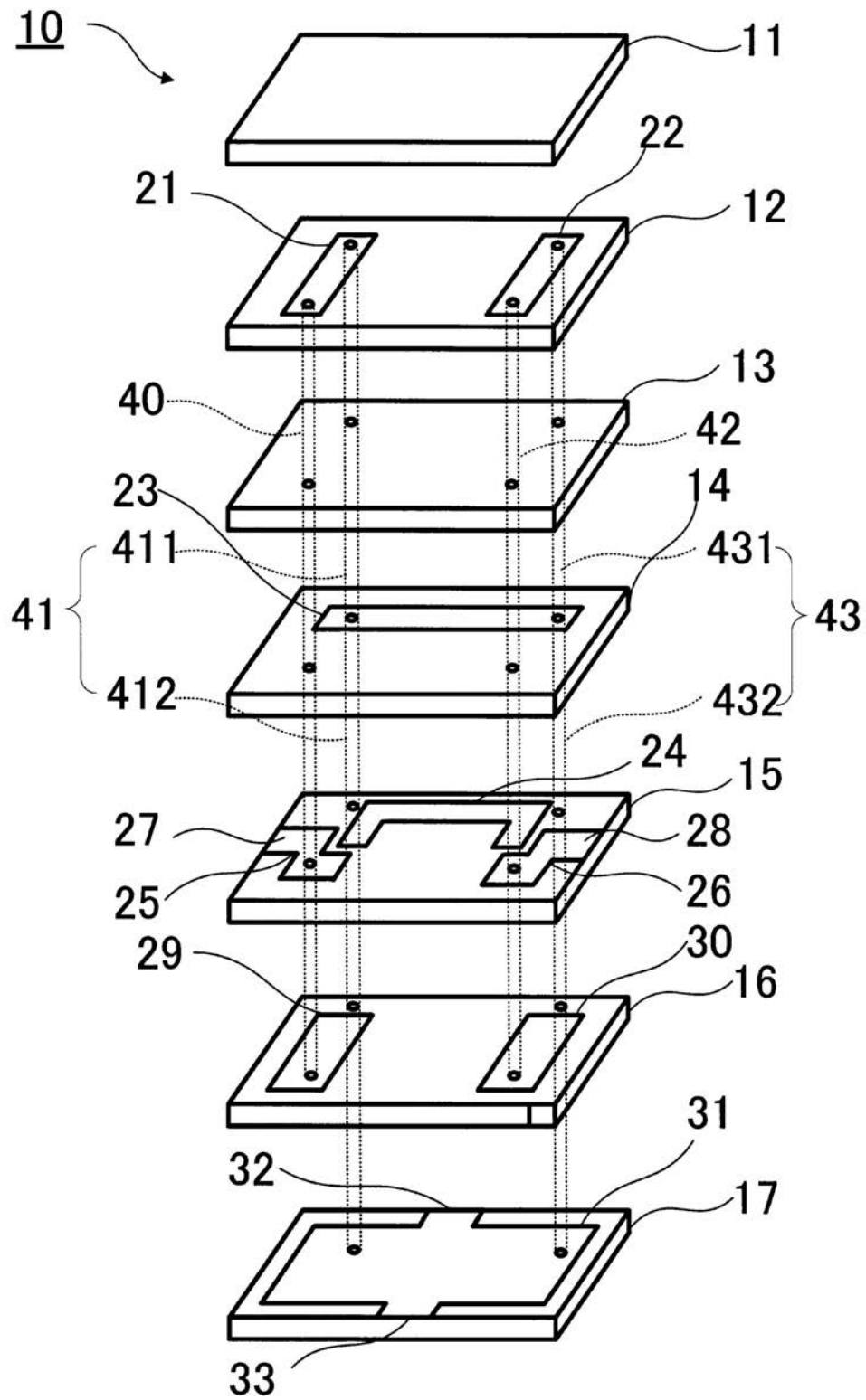
27、28、32、33、79、80、85、86 . . . 引き出し電極

31、87、220、242 . . . 接地電極

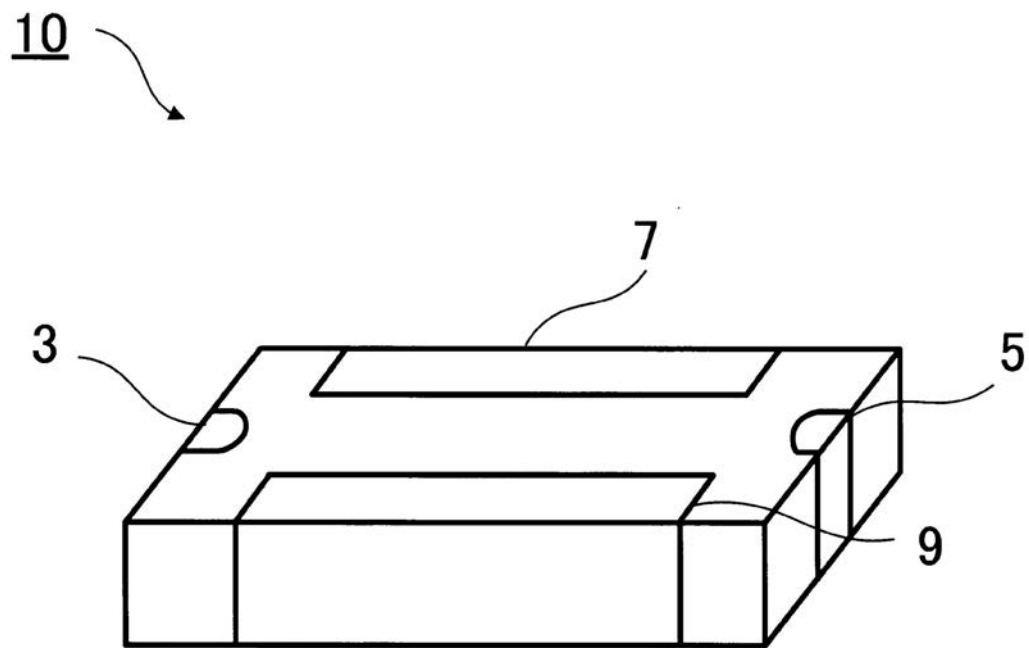
40～43、90～97、120～129、241～247、253 . . . ビア電極

226 . . . 導体電極

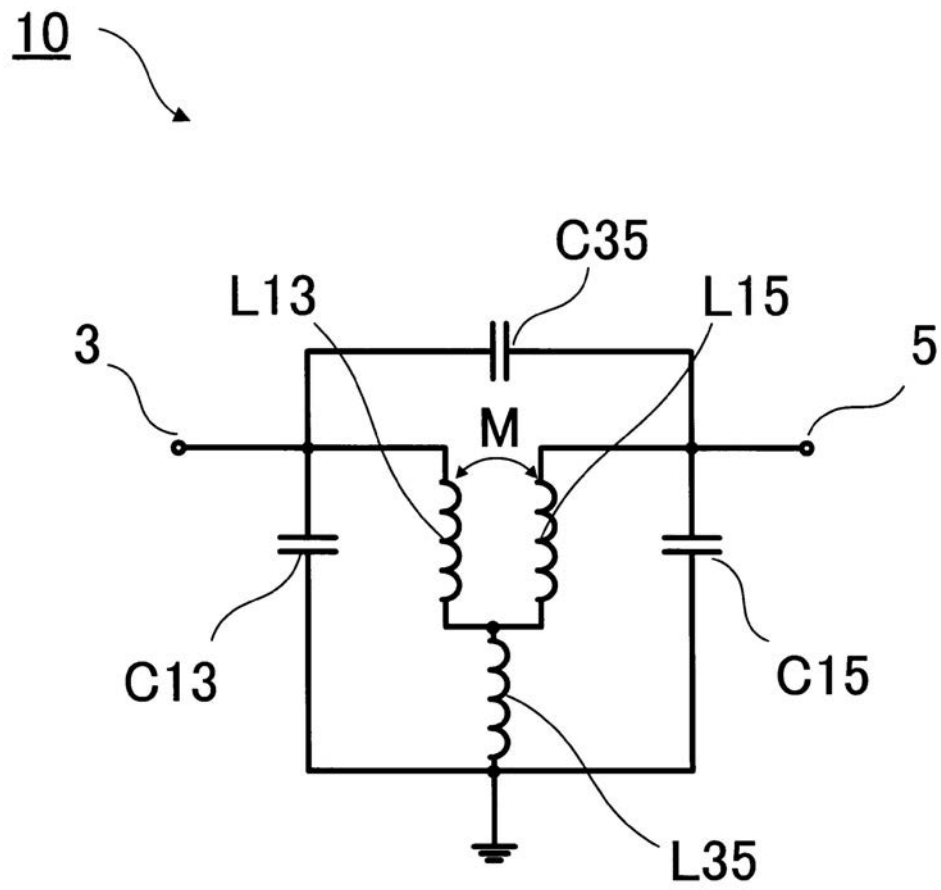
【図 1】



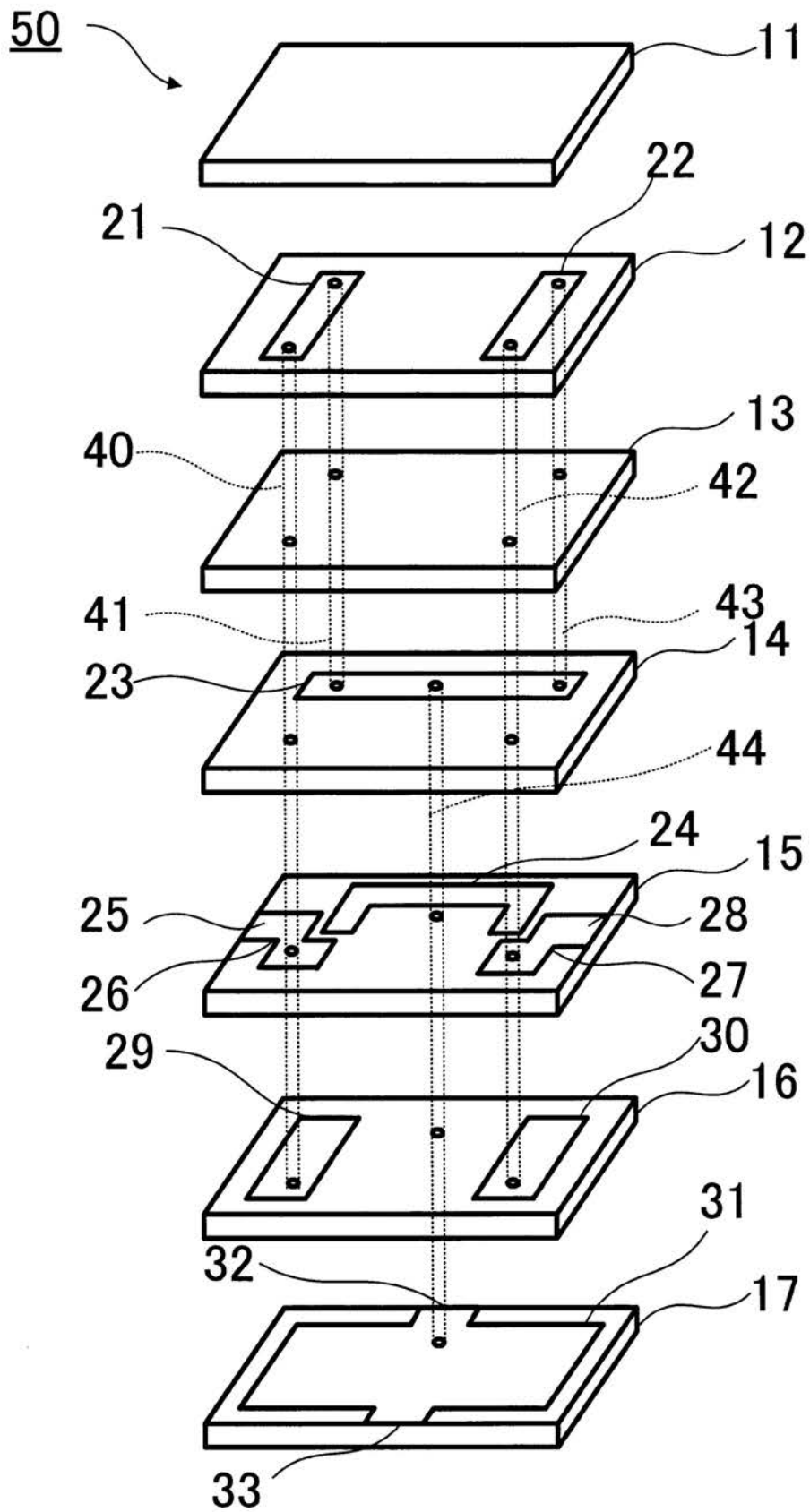
【図 2】



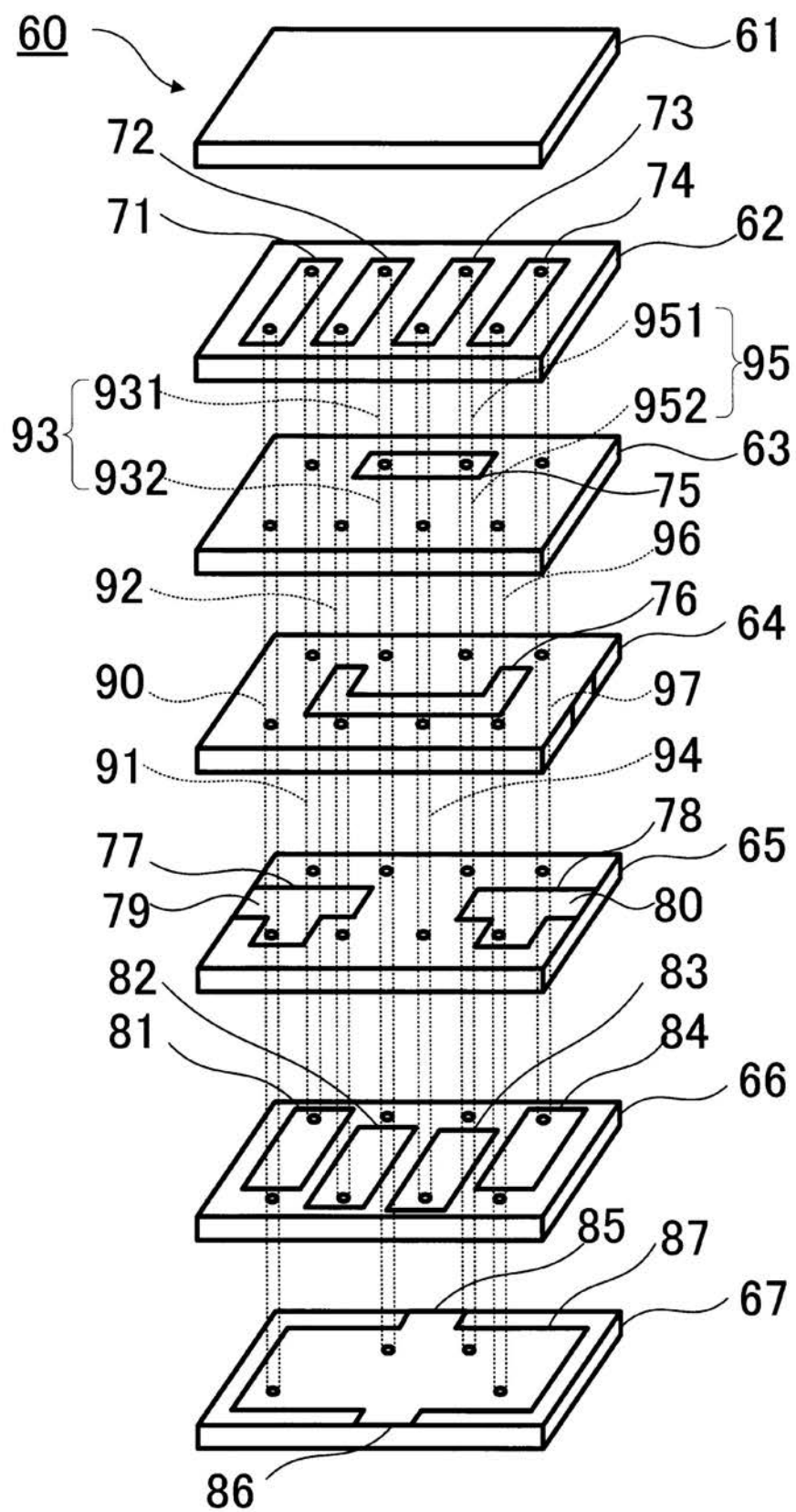
【図 3】



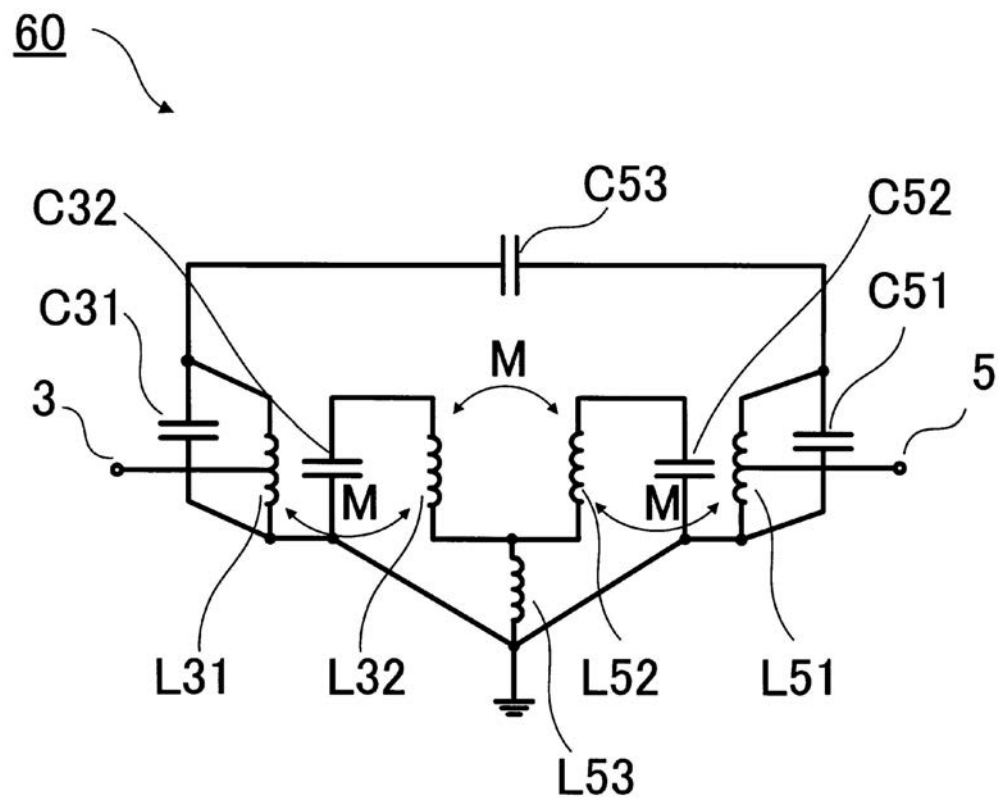
【図 4】



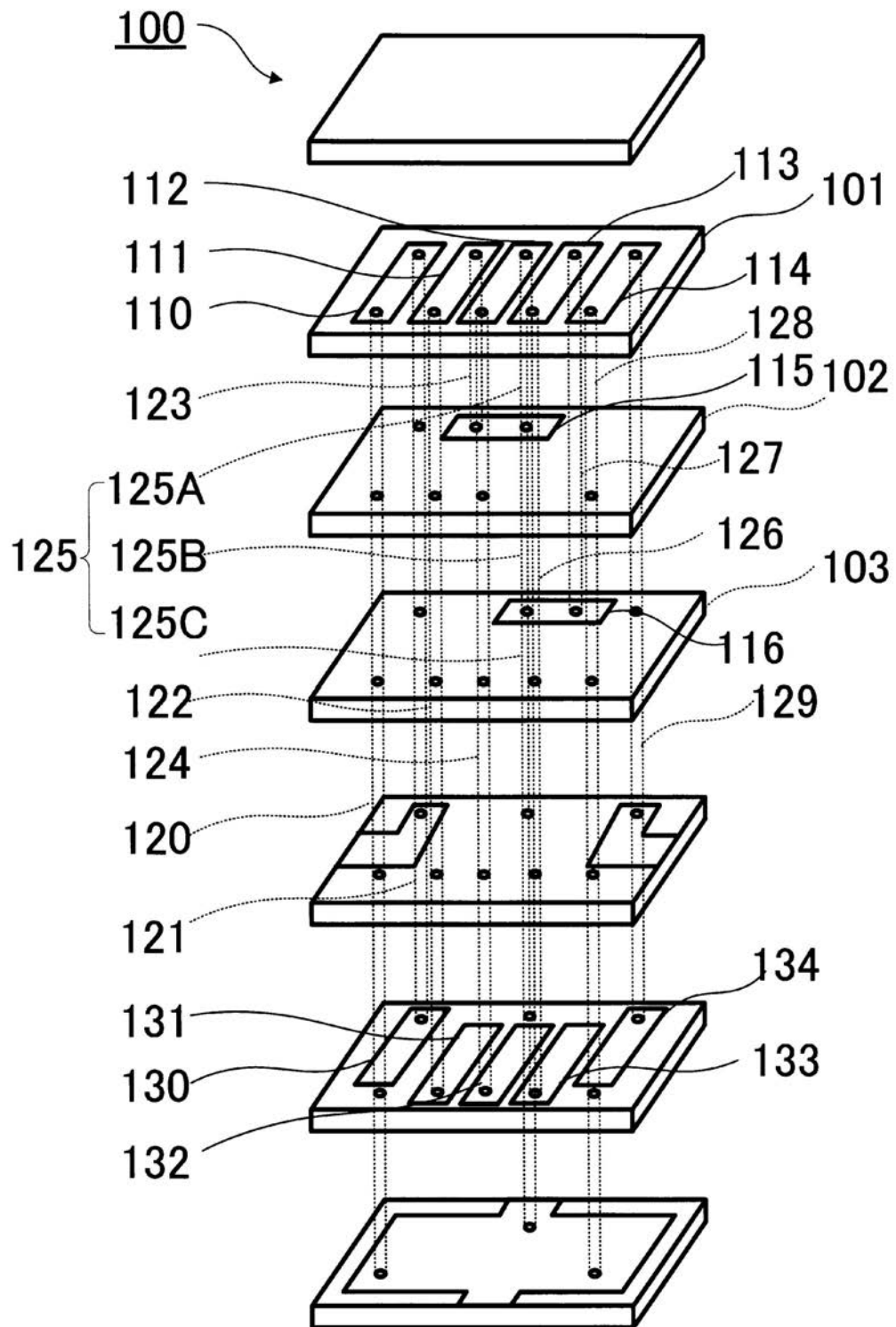
【図 5】



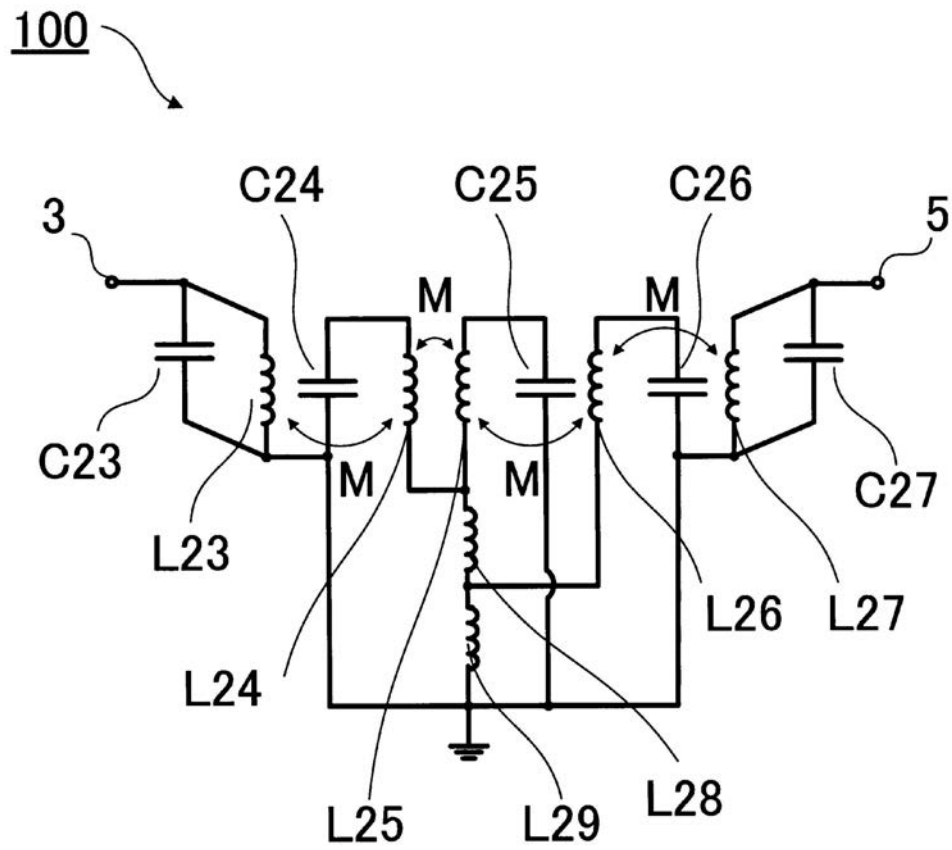
【図 6】



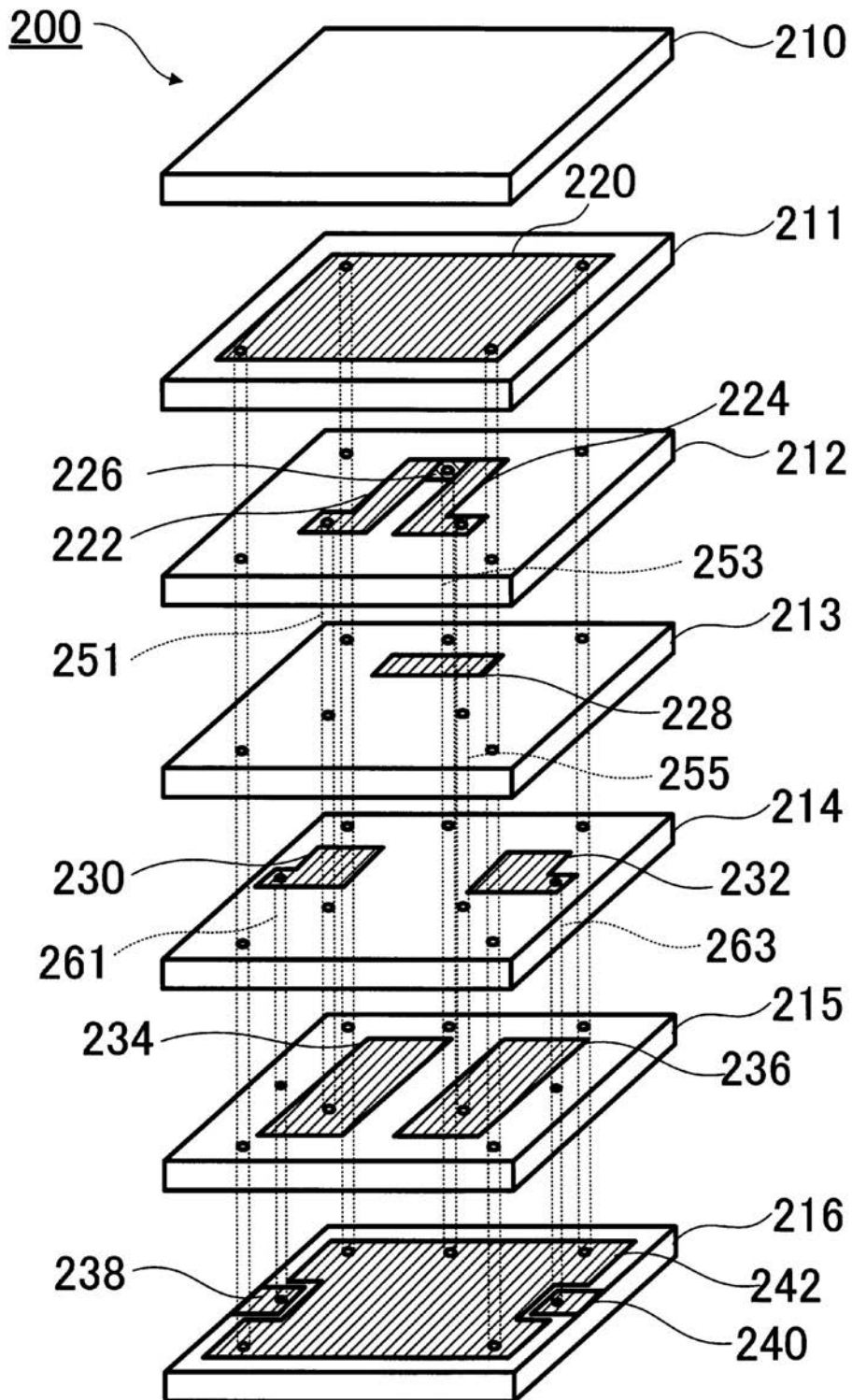
【図 7】



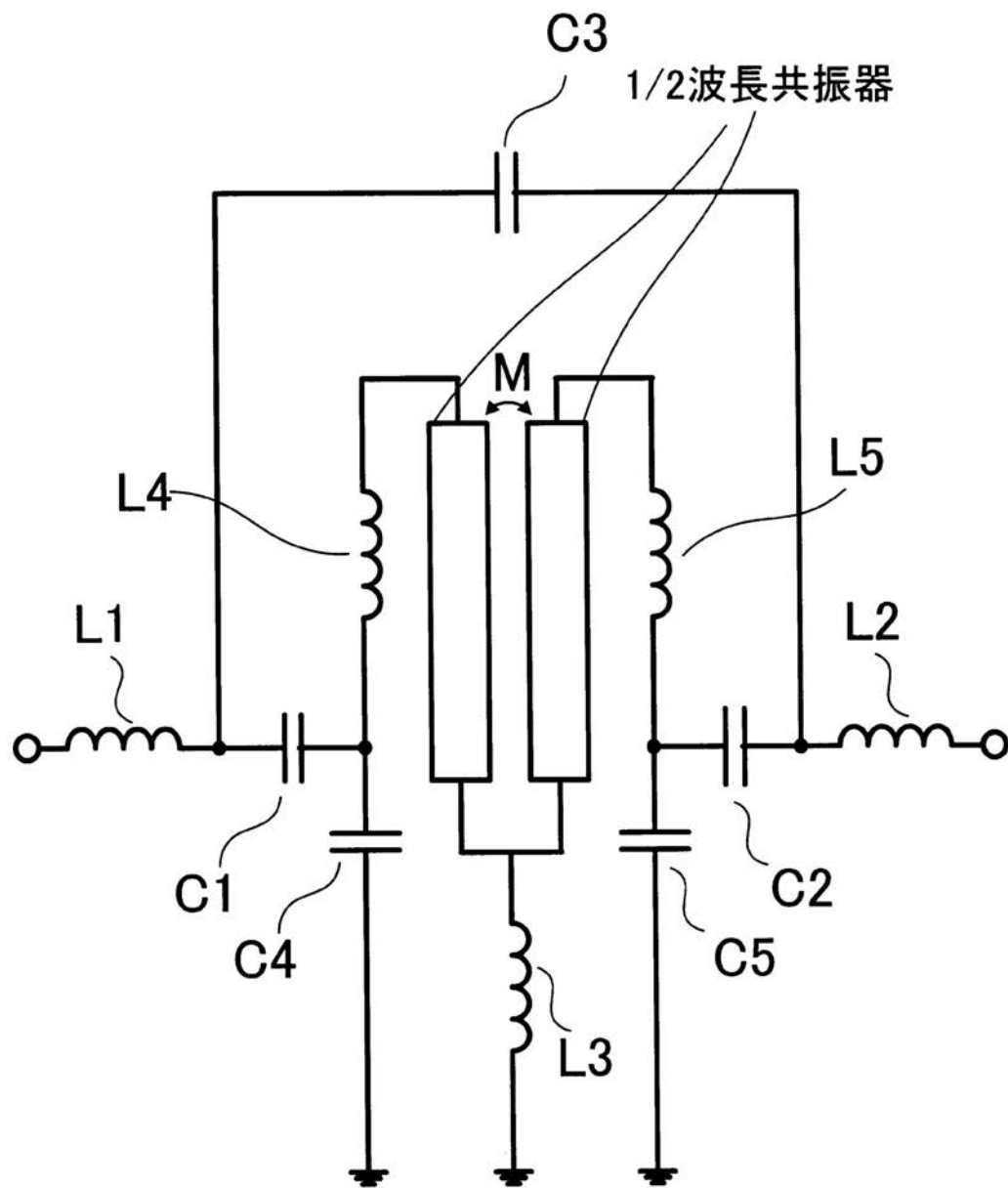
【図 8】



【図 9】



【図 10】



フロントページの続き

- (56)参考文献 特開2000-341005 (JP, A)
特開平05-199005 (JP, A)
特開2009-055344 (JP, A)
特開2000-223906 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01P 1/203
H01P 1/205