

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2010-41020

(P2010-41020A)

(43) 公開日 平成22年2月18日 (2010.2.18)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 H	2 G O 3 5
H O 1 L 27/04 (2006.01)	G O 1 R 19/165 Z	5 F O 3 8
G O 1 R 19/165 (2006.01)		

審査請求 有 請求項の数 8 O L (全 10 頁)

(21) 出願番号	特願2008-262741 (P2008-262741)	(71) 出願人	508304516 アメイジング マイクロエレクトロニック コーポレーション
(22) 出願日	平成20年10月9日 (2008.10.9)		台湾 タイペイ カウンティ 235, ジ ョング シティ, ジョングジェン ロード, ナンバー 716, 15エフ. -2
(31) 優先権主張番号	12/188,000	(74) 代理人	100091683 弁理士 ▲吉▼川 俊雄
(32) 優先日	平成20年8月7日 (2008.8.7)	(72) 発明者	ケア, ミンードウ
(33) 優先権主張国	米国 (US)		台湾 ヒンチュ カウンティ 302, ジ ュペイ シティ, ルチャン ビレッジ, チ ェンゴン シックス ストリート, ナンバ ー 221

最終頁に続く

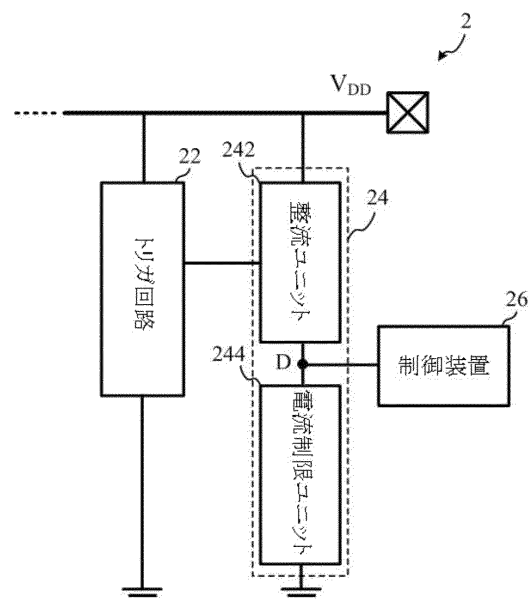
(54) 【発明の名称】 トランジェントノイズ検出回路

(57) 【要約】 (修正有)

【課題】内臓コネクタの寄生キャパシタのようなシステム上の寄生負荷による影響を受けないトランジェントノイズ検出回路の提供。

【解決手段】トランジェントノイズ検出回路2はトリガ回路22、整流回路24及び制御装置26を備える。トリガ回路がトランジェントノイズを受信すると、トリガ回路はトリガ信号を発生させる。整流回路は直列に接続される整流ユニット242と電流制御ユニット244を備える。整流ユニットがトリガ回路からトリガ信号を受信すると、整流ユニットはトリガ信号により起動される。制御装置は整流ユニットと電流制御ユニットの間の検出ノードDへ接続される。制御装置は検出ノード電圧に基づき、トランジェントノイズ電圧レベルを決定するために使用される。

【選択図】図3 (A)



【特許請求の範囲】

【請求項 1】

トランジェントノイズを受信すると、トリガ信号を発生させる、電源レールとアースノード間に接続されるトリガ回路；

前記トリガ回路から前記トリガ信号を受信すると、前記トリガ信号により起動され、直列に接続される整流ユニットと、電流制限ユニットを備え、前記トリガ回路、前記電源レール、および前記アースノードへ接続される整流回路；

前記検出ノードの電圧に基づき前記トランジェントノイズ電圧レベルを決定する、前記整流ユニットと前記電流制限ユニット間の検出ノードへ接続される制御装置；

を備えるトランジェントノイズ電圧レベルを検出するためのトランジェントノイズ検出回路。

10

【請求項 2】

前記整流ユニットはシリコン制御整流器（SCR）であることを特徴とする、請求項 1 に記載のトランジェントノイズ検出回路。

【請求項 3】

前記電流制限ユニットはPMOSであり、前記PMOSは前記電源レールと前記整流ユニット間に接続され、そして前記整流ユニットは前記アースノードに接続されることを特徴とする、請求項 1 に記載のトランジェントノイズ検出回路。

【請求項 4】

前記電流制限ユニットはPMOSスタックであり、前記PMOSスタックは前記電源レールと前記整流ユニットの間に接続され、そして前記整流ユニットは前記アースノードへ接続されることを特徴とする、請求項 1 に記載のトランジェントノイズ検出回路。

20

【請求項 5】

前記電流制限ユニットはNMOSであり、前記NMOSは前記アースノードと前記整流ユニット間に接続され、前記整流ユニットは前記電源レールへ接続されることを特徴とする、請求項 1 に記載のトランジェントノイズ検出回路。

【請求項 6】

前記電流制限ユニットはNMOSスタックであり、前記NMOSスタックは前記アースノードと前記整流ユニットの間に接続され、そして前記整流ユニットは前記電源レールへ接続されることを特徴とする、請求項 1 に記載のトランジェントノイズ検出回路。

30

【請求項 7】

前記トリガ回路は：

前記電源レールと前記アースノードへ接続され、直列に接続される抵抗とキャパシタを備えるRCユニット；及び

前記電源レール、前記アースノード、前記整流ユニット、および前記RCユニットへ接続されるインバータ；を備え、

前記RCユニットが前記トランジェントノイズを受信すると、前記RCユニットはRC遅延信号を発生させ、次に前記インバータは前記RC遅延信号に応じて前記トリガ信号を発生させることを特徴とする、請求項 1 に記載のトランジェントノイズ検出回路。

【請求項 8】

前記トリガ回路は：

前記電源レールと前記アースノードへ接続され、直列に接続される抵抗とキャパシタを備えるRCユニット；及び

前記電源レール、前記アースノード、前記整流ユニット、および前記RCユニットへ接続されるインバータチェーン；を備え、

前記RCユニットが前記トランジェントノイズを受信すると、前記RCユニットはRC遅延信号を発生させ、次に前記インバータはRC遅延信号に応じて前記トリガ信号を発生させることを特徴とする、請求項 1 に記載のトランジェントノイズ検出回路。

40

【発明の詳細な説明】

【技術分野】

50

【0001】

本発明はトランジェントノイズ検出に関する。特に、本発明はトランジェントノイズ検出回路に関する。

【背景技術】

【0002】

ICにおけるデバイス規模が小さくなると、デバイスは例えば静電放電（ESD）又は電氣的な速いトランジェント（EFT）のような速いノイズトランジェント事象に、より脆弱になってきた。従って、ESDはIC製品にとって最も重要な信頼性問題の1つとなり、全てのICの設計段階で考慮しなければならない。

【0003】

ユニットレベルのESD問題の他に、システムレベルのESD問題もCMOS IC製品における高まる重要な信頼性問題である。あるCMOS ICは、それらが±2KVの人体モデル（HBM）、±200Vの機械モデル（MM）、及び±1KVの荷電装置モデル（CDM）のようなユニットレベルESD仕様をパスしたとしても、システムレベルESD圧力には非常に影響を受け易い。

【0004】

システムレベルESD試験で、通常電力がICの内部回路に提供され、そして内部回路はそれらの初期機能を実施するように作動する。システムレベルESD試験の目的は内部回路がESDノイズにさえ干渉される通常動作を保持することができるかどうか、又は回路がそれらを回復するように自動的にリセットできるかどうかを決定することである。システムレベルのESD試験標準IEC 61000-4-2で、電子製品は、“レベル4”の耐性要求を満足するため、接触放電試験で+8KV、及び空中放電試験で+15kVのESDレベルを維持しなければならない。高エネルギーESD誘導ノイズは、しばしば試験（EUT）下の装置内でCMOS ICの故障又は誤動作を起こす。

【0005】

図1は、ICチップ内のシステムレベルESD検出回路16と内部回路14の接続関係を示す。通常の電源オン状態で、電源オン／リセット回路12は内部回路14を起動させ、そしてESD検出回路16をリセットする。その後、内部回路14はその初期動作を開始し、そしてESD検出回路16はESD事象の検出を開始する。一旦突然の電圧オーバーシュート又はアンダシュートが電源レール（ V_{DD} 又は V_{SS} ）に発生すると、ESD検出回路16は内部回路14に対し保護処理を実施するため電源オン／リセット回路12へ知らせる。

【0006】

実際の適用では、異なる保護処理が様々なファームウェア又は回路設計を有する、異なるICで使用される。例えば、電源オン／リセット回路12は内部回路14の全体又は一部のみをリセットする。そうすることにより、チップ全体のより重大な誤動作を防止することができる。

【0007】

システムレベルESD検出回路は、IEEE Trans 電磁互換性、50巻、No1、1～9ページ、2008年2月のM.-D.Ker、C.-C.Yen、とP.-C.Shihにより報告された“電磁互換性規定を満足させるためのCMOS集積回路のシステムレベルESD保護のためのオンチップトランジェント検出回路”で提案されている。図2を参照されたい。図2に上述の論文のESD検出回路を示す。

【0008】

図2に示すように、キャパシタ C_{p1} と C_{p2} は夫々システムがESD事象を受ける場合に、 V_{DD} と V_{SS} 上に発生する速いトランジェントを検出するために使用される。その結果、図2の回路はシステムレベルのESDノイズを検出することができ、ESDトランジェント事象を伝達するため、出力信号を電源オン／リセット内部回路へ伝送する。内部回路がESDとトランジェントノイズを処理した後、検出回路を再度リセットすることができる。

10

20

30

40

50

【0009】

従来技術で、検出回路はシステムレベルESDトランジェントノイズを結合するため、受動装置（キャパシタ C_{p1} と C_{p2} ）を使用する。しかし受動装置によりESDトランジェントノイズを結合するためのこの技術は、例えば内臓コネクタの寄生キャパシタのようなシステム上の寄生負荷により激しく影響される。

【発明の開示】

【0010】

上記問題を解決するため、本発明の範囲は、トランジェントノイズ電圧レベルを判定できるトランジェントノイズ検出回路を提供することである。

【0011】

本発明による一実施例はESD検出回路である。ESD検出回路はESD電圧レベルを検出するために使用される。ESD検出回路はトリガ回路、整流回路、及び制御装置を備える。

10

【0012】

トリガ回路は電源レールとアースノード間に接続される。トリガ回路がトランジェントノイズを受信すると、トリガ回路はトリガ信号を発生させる。整流回路はトリガ回路、電源レール、及びアースノードへ接続される。整流回路は直列接続される整流回路、及び電流制御ユニットを備える。

【0013】

実際の適用では、整流ユニットはシリコン制御整流器（SCR）装置を備え、電流制限ユニットは少なくとも1つのMOSFET（金属酸化物半導体電界効果トランジスタ）装置を備える。

20

【0014】

整流ユニットがトリガ回路からトリガ信号を受信すると、整流ユニットはトリガ信号により起動される。制御装置は整流ユニットと電流制限ユニット間の検出ノードへ接続される。制御装置は検出ノード電圧に基づきESD電圧レベルを決定するために使用される。

【0015】

従来技術に比較して、本発明によるトランジェントノイズ検出回路は、速いノイズトランジェント事象を検出するため、従来技術の受動装置に代わり、SCR装置と電流制限MOSFET装置を組み合わせる。従って、本発明によるトランジェントノイズ検出回路はシステム上の寄生負荷による影響を防止することができる。

30

【0016】

また、トランジェントノイズ検出回路はESD電圧レベルを検出できるので、続く回路はESD保護方針を提供するため、対応する測定を実施することができる。更に、構造と構成単位が極めて簡易なので、本発明によるトランジェントノイズ検出回路は容易に実施することができる。

【0017】

本発明の利点と精神は付属図面と共に以下の説明により理解されるだろう。

【発明を実施するための最良の形態】

【0018】

本発明はトランジェントノイズ電圧レベルを測定できるトランジェントノイズ検出回路を提供する。事実、トランジェントノイズ電圧源はESD電圧又はEFT電圧に類似する。

40

【0019】

本発明による第1実施例はESD検出回路である。図3（A）を参照されたい。図3（A）は本発明の第1実施例におけるESD検出回路の基本構造を示す。図3（A）に示すように、ESD検出回路2はトリガ回路22、整流回路24、及び制御装置26を備える。整流回路24は整流ユニット242と電流制限ユニット244を備える。そして整流ユニット242と電流制限ユニット244は直列に接続される。

【0020】

実際の適用で、整流ユニット242はシリコン制御整流（SCR）装置を備え、電流制限

50

ユニット 244 は少なくとも 1 つの MOSFET (金属酸化物半導体電界効果トランジスタ) 装置を備える。例えば、電流制限ユニット 244 は、直列に接続される 3 つの NMOS を備える NMOS スタックである。

【0021】

トリガ回路 22 は電源レール (V_{DD}) とアースノード間に接続される。トリガ回路 22 がトランジェントノイズを受信すると、トリガ回路 22 はトリガ信号を発生させる。事実、トリガ回路 22 を使用して SCR 装置のような整流ユニット 242 を起動することができる。そして、トリガ回路 22 は抵抗、キャパシタ、及びインバータを備える。更に、トリガ回路 22 は、抵抗、キャパシタ、及び直列に接続される複数のインバータを備えるインバータチェーンも備える。

10

【0022】

図 3 (A) に示すように、整流回路 24 の整流ユニット 242 はトリガ回路 22 と電源レールへ接続される。整流ユニット 242 がトリガ回路 22 からトリガ信号を受信すると、整流ユニット 242 はトリガ信号により起動される。更に、整流回路 24 の電流制限ユニット 244 は整流ユニット 242 とアースノードへ接続される。電流制限ユニット 244 は提案された検出回路の全電力消費を制御することができる。

【0023】

図 3 (A) に示すように、制御装置 26 は検出ノード D へ接続される。検出ノード D は整流ユニット 242 と電流制限ユニット 244 の間のノードである。制御装置 26 は検出ノード D の電圧を検出し、次に検出ノード D の電圧に基づき ESD 電圧レベルを決定する。

20

【0024】

実際の適用で、もし制御装置 26 が決定する ESD 電圧レベルが異常に高いならば、制御装置 26 は、システム装置のより高い電磁互換 (EMC) ロバスト性に対する内部回路を直ちに再起動又は再始動させることができる。従って、本発明による ESD 検出回路 2 はシステム装置に対してノイズ検出機能を提供することができる。

【0025】

図 4 (A) を参照されたい。図 4 (A) は図 3 (A) に示す ESD 検出回路の詳細図を示す。図 4 (A) に示すように、トリガ回路 22 はインバータ INV と、直列に接続される抵抗 R と、キャパシタ C を備える RC ユニットを備える。RC ユニットは電源レールとアースノードへ接続される。インバータ INV は電源レール、アースノード、整流ユニット 242、及び抵抗 R とキャパシタ C の間のノードへ接続される。もし RC ユニットが電源レールからトランジェントノイズを受信すると、RC ユニットは RC 遅延信号を発生させる。次に、インバータ INV は RC ユニットから RC 遅延信号を受信し、そして RC 遅延信号に応じたトリガ信号を発生させる。

30

【0026】

実際の適用では、トリガ信号 22 はインバータユニットと RC ユニットを備える。例えば、インバータチェーンは直列に接続される 4 つのインバータを備え、そして RC ユニットは直列に接続される抵抗 R と、キャパシタ C を備える。事実、トリガ回路 22 の構造はこの実施例によって限定されない。それはトリガ回路 22 に対しなお他の可能な構造を有する。

40

【0027】

図 4 (A) に示すように、整流回路 24 の整流ユニット 242 は SCR 装置であり、そして電流制限ユニット 244 は NMOS 装置 M_{n1} である。SCR 装置 242 はトリガ回路 22 のインバータ INV と電源レールへ接続される。NMOS 装置 M_{n1} と整流ユニット 242 は直列に接続され、そして NMOS 装置 M_{n1} もアースノードへ接続される。トリガ信号がインバータ INV により発生された後、SCR 装置 242 はインバータ INV からトリガ信号を受信する。次に、SCR 装置 242 はトリガ信号により起動される。

【0028】

次に、図 4 (A) に示す制御装置 26 について論ずる。図 4 (A) に示すように、制御装置 26 は検出ノード D と NMOS 装置 M_{n1} のゲート端子へ接続される。検出ノード D は

50

SCR装置242とNMOS装置 M_{n1} の間のノードである。制御装置26は、検出ノードDの電圧を検出し、次に検出ノードDの電圧に基づき、ESD電圧レベルを決定するために使用される。

【0029】

更に、ESD検出回路2をリセットするため、制御装置26はリセット信号を発生させ、そしてリセットノードFを介してNMOS装置 M_{n1} のゲート端子へリセット信号を伝送する。次に、NMOS装置 M_{n1} はオフになり、SCR装置242を流れる電流はその保持電流(I_h)以下に低下する。そのため、SCR装置242は不十分な保持電流(I_h)のため、オフになる。その結果、ESD検出回路2はリセットされ、そして別のトランジェントノイズ事象の検出に備える。

10

【0030】

実際の適用では、制御装置26は、更に続く回路に接続され、そして続く回路は制御装置26からESD電圧レベルを受信する。ESD電圧レベルに基づき、続く回路は対応する測定を実施し、そして柔軟なESD保護方針を提供することができる。

【0031】

本発明による第2実施例もESD検出回路である。図3(B)を参照されたい。図3(B)は本発明による第2実施例のESD検出回路の基本構造を示す。図3(B)に示すように、ESD検出回路3はトリガ回路32、整流回路34、及び制御装置36を備える。整流回路34は整流ユニット342と電流制限ユニット344を備える。そして、整流ユニット342と電流制限ユニット344は直列に接続される。

20

【0032】

実際の適用で、整流ユニット342はSCR装置を備え、そして電流制限ユニット344は少なくとも1つのMOSFET装置を備える。例えば、電流制限ユニット344は直列に接続される4つのPMOSを備えるPMOSスタックである。

【0033】

整流ユニット342はトリガ回路32とアースノードへ接続され、そして電流制限ユニット344は電源レール(V_{DD})と整流ユニット342へ接続されることは注目すべきである。制御装置36は検出ノードEへ接続される。検出ノードEは整流ユニット342と電流制限ユニット344の間のノードである。制御装置36は検出ノードEの電圧を検出し、次に検出ノードEの電圧に基づき、ESD電圧レベルを決定する。

30

【0034】

図4(B)を参照されたい。図4(B)は図3(B)のESD検出回路の詳細図を示す。図4(B)に示すように、トリガ回路32はインバータINVと直列に接続される抵抗RとキャパシタCを備えるRCユニットを備える。RCユニットは電源レールとアースノードへ接続される。インバータINVは電源レール、アースノード、整流ユニット242、及び抵抗RとキャパシタCの間のノードへ接続される。もしRCユニットが電源レールからトランジェントノイズを受信すると、RCユニットはRC遅延信号を発生させる。次に、インバータINVはRCユニットからRC遅延信号を受信し、そしてRC遅延信号に応じてトリガ信号を発生させる。

【0035】

実際の適用で、トリガ回路32はインバータチェーンとRCユニットを備える。例えば、インバータチェーンは直列に接続される5つのインバータを備え、RCユニットは直列に接続される抵抗RとキャパシタCを備える。

40

【0036】

図4(B)に示すように、整流回路34の整流ユニット342はSCR装置であり、そして電流制限ユニット344はPMOS装置 M_{p1} である。SCR装置342はトリガ回路32のインバータINVとアースノードへ接続される。PMOS装置 M_{p1} と整流ユニット342は直列に接続され、そしてPMOS装置 M_{p1} も電源レールへ接続される。トリガ信号がインバータINVにより発生された後、SCR装置342はインバータINVからトリガ信号を受信する。次に、SCR装置342はトリガ信号により起動される。

50

【0037】

図4（B）に示すように、制御装置36は検出ノードEとPMOS装置 M_{p1} のゲート端子へ接続される。検出ノードEはSCR装置342とPMOS装置 M_{p1} の間のノードである。この実施例で、制御装置36は検出ノードEの電圧を検出し、次に検出ノードEの電圧に基づき、ESD電圧レベルを決定するために使用される。

【0038】

実際の適用で、もし制御装置36が決定するESD電圧が異常であれば、制御装置36はシステム装置のより高いEMCロバスト性のため、内部回路を直ちに再起動又は再始動させることができる。従って、本発明によるESD検出回路3はシステム装置に対しノイズ検出機能を提供することができる。

10

【0039】

要約すると、本発明によるトランジェントノイズ検出回路は、速いノイズトランジェント事象を検出するため、従来技術における受動装置に代わり、SCR装置と電流制限MOSFET装置を組み合わせることができる。従って、トランジェントノイズ検出回路はシステムへの寄生負荷による影響を防止することができる。

【0040】

更に、本発明によるトランジェントノイズ検出回路は、ESD事象の発生のみならず、ESD電圧レベルも検出することができる。ESD電圧レベルに基づき、続く回路は対応する測定を行うことができ、柔軟なESD保護方針を提供できる。更に、構造とその中のユニットは全く簡単であるので、本発明によるトランジェントノイズ検出回路を容易に実施

20

【0041】

上記例と説明で、本発明の特徴と精神を希望的によく記述する。当業者は、装置の多くの修正と変更は本発明の教示を維持しながら行われることが直ちに理解されるだろう。従って上記開示は付属の特許請求の範囲によってのみ限定されると解釈されるべきである。

【図面の簡単な説明】

【0042】

【図1】従来技術におけるICチップのシステムレベルESD検出回路と内部回路の接続関係を示す。

【図2】従来技術におけるESD検出回路例を示す。

30

【図3（A）】本発明による第1実施例のESD検出回路の基本構造を示す。

【図3（B）】本発明による第2実施例のESD検出回路の基本構造を示す。

【図4（A）】図3（A）のESD検出回路の詳細図を示す。

【図4（B）】図3（B）のESD検出回路の詳細図を示す。

【符号の説明】

【0043】

2、16：ESD検出回路

3：検出回路

12：電源オン／リセット回路

14：内部回路

22、32：トリガ回路

24、34：整流回路

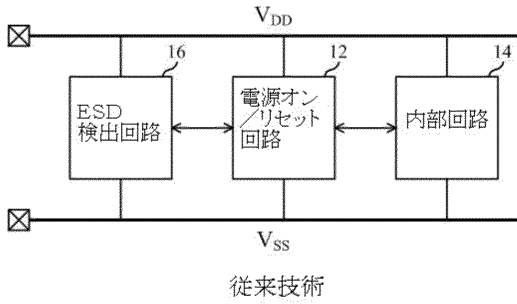
26、36：制御装置

242、342：整流ユニット

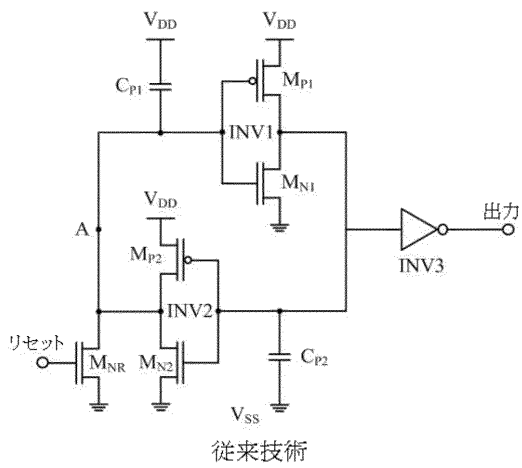
244、344：電流制限ユニット

40

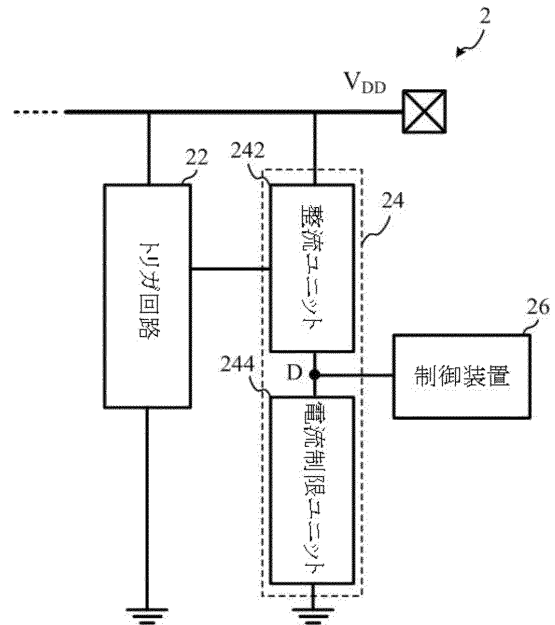
【図 1】



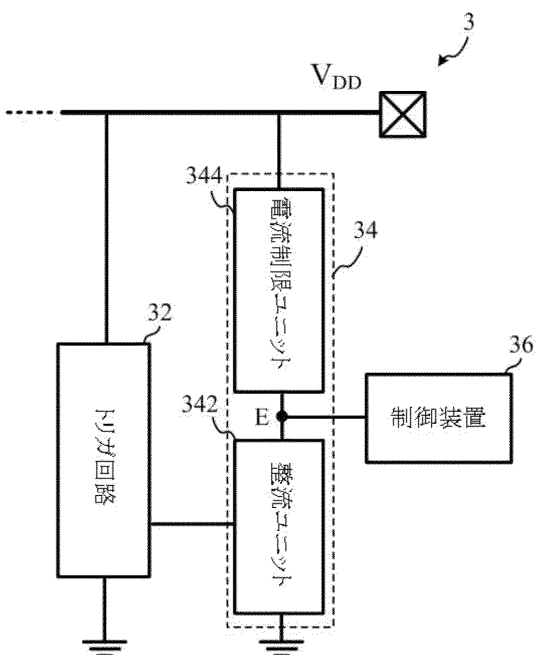
【図 2】



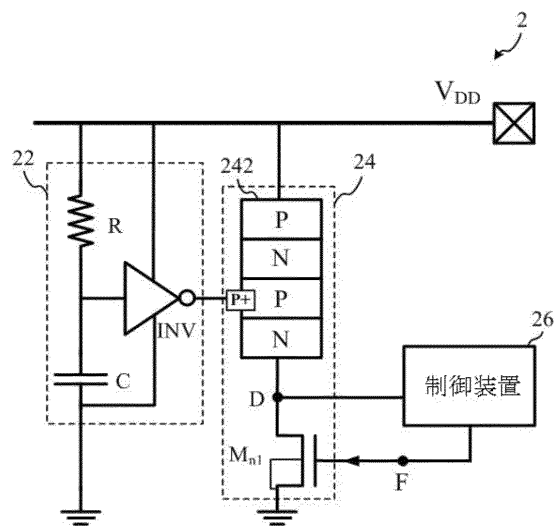
【図 3 (A)】



【図 3 (B)】



【図 4 (A)】



フロントページの続き

(72)発明者 ジアン, ヒンーチン

台湾 タイペイ カウンティ 235, ジョンゲ シティ, ジョンジェン ロード, ナンバー 7
16, 15エフ. -2

(72)発明者 チェン, ウェンーイ

台湾 タイペイ シティ, ジョンーシャン ディストリクト, ベイーアン ロード, レーン 55
4, ナンバー 31, 5エフ.

Fターム(参考) 2G035 AB11 AC15 AD03 AD10 AD13 AD27

5F038 BH02 BH03 BH07 BH13 DT12 EZ20