



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

216 776

(11) (B1)

(61)

(23) Výstavní priorita
(22) Přihlášeno 04 06 81
(21) PV 4196-81

(51) Int. Cl.³
G 06 F 5/06

(40) Zveřejněno 29 01 82
(45) Vydáno 01 08 84

(75)
Autor vynálezu SMÍŠEK JIŘÍ ing., PRAHA

(54) Zapojení prioritního arbitru periferie

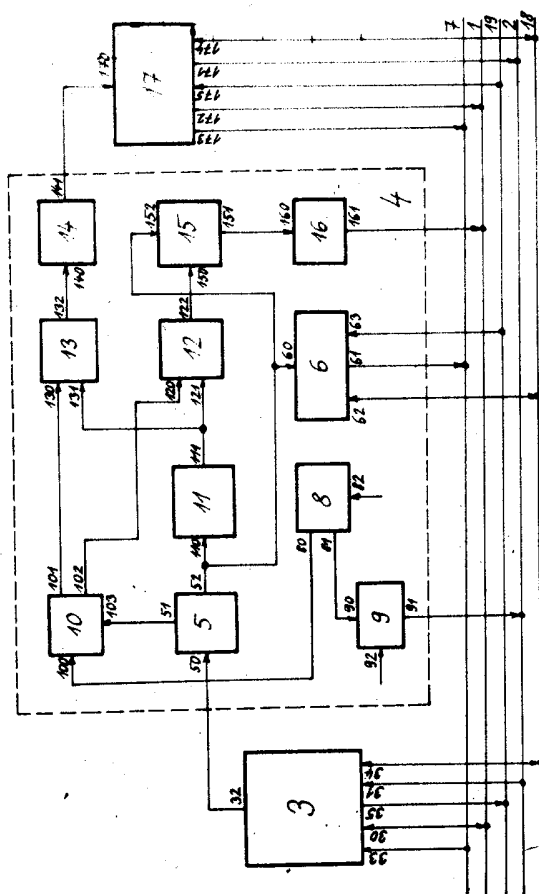
216 776

Vynález se týká oboru samočinné počítače - periferní zařízení.

Vynález řeší proces rozhodování v asynchronním systému se seřiově zřetěženým prioritním signálem, zejména z hlediska obvodově nenáročného ošetření případu vzniku metastabilních stavů.

Řešení se dosahuje blokováním výstupních signálů z klopného obvodu, který je ve funkci přidělovače priority, po dobu nutnou k ustálení metastabilního stavu. Přitom se využívá integračního členu, který je zde pro kompenzaci zpoždění vlastního klopného obvodu a doba trvání blokovacího intervalu závisí na velikosti kapacity kondenzátoru integračního členu.

Možnost použití je v uvedeném oboru.



Předmětem vynálezu je zapojení prioritního arbitru periferie, které řeší proces rozhodování v asynchronním systému se sériově zřetězeným prioritním signálem, zejména z hlediska obvodově nenáročného ošetření případu vzniku metastabilních stavů.

Často používaným způsobem spolupráce procesoru s periferními zařízeními je přerušovací režim. Uvažujme systém s asynchronní obousměrnou komunikační sběrnici, na kterou jsou přes interferejsové obvody paralelně připojeny procesor, operační paměť a periferní zařízení. Přerušovací mechanismus je založen na sériově zřetězeném prioritním signálu, který po akceptování žádosti o přerušení vysílá procesor. Tento signál se řídí postupně rozhodovacími obvody všech připojených periferních zařízení až na prioritní vstup žádajícího zařízení. Poté se řízení prioritního signálu přeruší a v příslušných obvodech se spustí proces obsazení sběrnice a vysílání adresy vektoru přerušení do procesoru. Žádosti o přerušení jednotlivých periferních zařízení se sčítají na společné lince komunikační sběrnice. Tyto žádosti vznikají na základě splněných vnitřních podmínek pro blok generace žádosti v interferejsových obvodech periferních zařízení. V dosud používaných zapojeních prioritních arbitrů se vyskytují některé nedostatky jako je buď obvodová náročnost realizace nebo neošetření metastabilních stavů, které vznikají v důsledku střetu prioritního signálu a signálu vnitřní žádosti periferního zařízení na vstupech arbitru.

Kompromisní řešení uvedených nedostatků nabízí zapojení prioritního arbitru podle vynálezu, jehož podstata spočívá v tom, že klopný obvod citlivý na hranu hodinového signálu má přímý výstup spojen s prvním vstupem prvního hradla, jehož druhý vstup je spojen s výstupem integračního členu a s druhým vstupem druhého hradla, přičemž negovaný výstup klopného obvodu citlivého na hranu hodinového signálu je spojen s prvním vstupem druhého hradla.

Výhoda uvedeného zapojení spočívá ve využití zpožděného prioritního signálu z výstupu integračního členu společně pro blokování přímého i negovaného výstupu klopného obvodu, který má na datový vstup přivedený signál vnitřní žádosti, a jehož hodinový vstup je ovládaný ne-zpožděným prioritním signálem. Tím je zajištěno relativně nenáročné obvodové ošetření případu vzniku metastabilních stavů na výstupech tohoto klopného obvodu. Velikostí kapacity kondenzátoru v integračním členu lze jednoduchým způsobem měnit dobu trvání blokovacího intervalu.

Na výkrese je zapojení podle vynálezu, kde je uvedeno vzájemné propojení jednotlivých bloků společně s jejich označením.

Linka 2 žádostí je spojena s výstupem 21 druhého vysílače 2 první periferie 4, s výstupem 171 žádosti druhé periferie 17 a se vstupem 31 žádosti procesoru 3. Blokovací linka 1 je spojena s výstupem 161 třetího vysílače 16, s blokovací svorkou 30 procesoru 3 a s blokovacím výstupem 172 druhé periferie 17. Prioritní výstup 32 procesoru 3 je spojen se vstupem 50 přijímače 5, jehož první výstup 52 je spojen se vstupem 110 integračního členu 11. Druhý výstup 51 přijímače 5 je spojen s hodinovým vstupem 103 klopného obvodu 10 citlivého na hranu hodinového signálu, jehož přímý výstup 101 je spojen s prvním vstupem 130 prvního hradla 13, jehož negovaný výstup 102 je spojen s prvním vstupem 120 druhého hradla 12, a jehož datový vstup 100 je spojen s prvním výstupem 80 bloku 8 generace žádosti. Výstup 111 integračního členu 11 je spojen s druhým vstupem 121 druhého hradla 12 a s druhým vstupem 131 prvního hradla 13. Výstup 132 prvního hradla 13 je spojen se vstupem 140 prvního vysílače 14, jehož výstup 141 je spojen s prioritním vstupem 170 druhé periferie 17.

Výstup 122 druhého hradla 12 je spojen s nulovacím vstupem 150 klopného obvodu 15 blokovacího signálu, jehož negovaný výstup 151 je spojen se vstupem 160 třetího vysílače 16. Druhý výstup 81 bloku 8 generace žádosti je spojen s datovým vstupem 90 druhého vysílače 9. První výstup 52 přijímače 5 je dále spojen s nastavovacím vstupem 152 klopného obvodu 15 blokovacího signálu a s prvním vstupem 60 bloku 6 generace adresy vektoru. Datové linky a výstupní synchronizační linka 7 jsou spojeny se svorkou 173 druhé periferie 17, s výstupem 61 bloku 6 generace adresy vektoru a se svorkou 33 procesoru 3. Linka 18 obsazení je spojena se svorkou 174 druhé periferie 17, se svorkou 62 bloku 6 generace adresy vektoru a se svorkou 34 procesoru 3. Vstupní synchronizační linka 19 je spojena se svorkou 35 procesoru 3, s druhým vstupem 63 bloku 6 generace adresy vektoru a se svorkou 175 druhé periferie 17.

Funkce zapojení je následující: Aktivní signál na vstupu 82 vyvolá generaci horní hladiny signálu žádosti na druhém výstupu 81, která se přes druhý vysílač 9 objeví v opačné polaritě na lince 2 žádosti. Druhý vysílač 9 je následkem aktivního signálu na řídicím vstupu 92 v propustném stavu. Žádost o přerušení se sejme do vstupu 31 žádosti procesoru 3 a po jejím akceptování vysílá procesor 3 aktivní signál z prioritního výstupu 32. Tento signál vyvolá na druhém výstupu 51 přijímače 5 kladnou hranu, která způsobí na hodinovém vstupu 103 sejmutí spodní hladiny na datovém vstupu 100 generované z prvního výstupu 80 bloku 8 generace žádosti. Na přímém výstupu 101 se objeví s určitým zpožděním spodní hladina a na negovaném výstupu 102 horní hladina signálu. Horní hladina prioritního signálu na vstupu 50 má dále za následek horní hladinu na prvním výstupu 52, která se objeví na vstupu 110 a způsobí nabíjení kondenzátoru v integračním členu 11. Zpožděná horní hladina se pak šíří na druhý vstup 121 druhého hradla 12 a na druhý vstup 131 prvního hradla 13. Toto zpoždění kompenzuje dobu, za kterou se ustálí hladiny signálů na výstupech 101 a 102. Vzhledem k tomu, že první hradlo 13, druhé hradlo 12 a první vysílač 14 jsou invertující, objeví se na prioritním vstupu 170 druhé periferie 17 spodní neaktivní hladina a na nulovacím vstupu 150 spodní aktivní hladina signálu. Předchozí spodní hladina na negovaném výstupu 151 vyvolaná signálem na nastavovacím vstupu 152, se změní na horní hladinu a přes invertující třetí vysílač 16 se objeví spodní úroveň na blokovací lince 1. Blokovací signál se snímá z blokovací svorky 30 a v příslušných obvodech procesoru 3 blokuje rozhodovací proces pro případné žádosti o přímý přístup do operační paměti. Rovněž dojde k ukončení generace aktivního signálu z prioritního výstupu 32 a aktivního signálu na lince 18 obsazení, generovaného do této chvíle ze svorky 34 procesoru 3. Tento stav je indikován na vstupu 60 a na svorce 62 a poté se generuje vlastní aktivní signál ze svorky 62 a z výstupu 61 se vysílá adresa vektoru přerušení na příslušné datové linky 7 doprovázené výstupním synchronizačním signálem. Spodní hladina signálu na nastavovacím vstupu 152 způsobí spodní hladinu na negovaném výstupu 151 poté, co se vybije kondenzátor v integračním členu 11 a na nulovacím vstupu 150 se objeví horní hladina. Procesor 3 po obdržení výstupního synchronizačního signálu a adresy vektoru přerušení na svorce 33 vysílá aktivní signál na vstupní synchronizační linku 19, který se sejme do vstupu 63. Ukončí se vysílání aktivních signálů z výstupu 91 následkem neaktivní hladiny signálu na řídicím vstupu 92, ze svorky 62 a z výstupu 61, procesor 3 začne vysílat vlastní signál na lince 18 obsazení a provádí instrukce obslužného podprogramu pro první periferii 4.

Poněkud složitější situace nastane, jestliže žádá o přerušení druhá periferie 17. Kladná hrana prioritního signálu na hodinovém vstupu 101 se může střetnout se změnou horní hladiny na spodní hladinu na datovém vstupu 100. Potom může dojít ke vzniku metastabilního stavu na výstupech 101 a 102, přičemž po dobu jeho trvání jsou první hradlo 13 a druhé hradlo 12 zablokované spodní hladinou z výstupu 111. Blokovací interval je nastaven velikostí kapacity kondenzátoru v integračním členu 11.

Možnost použití uvedeného zapojení je v systémech s popsaným způsobem přerušení.

PŘEDMĚT VYNÁLEZU

Zapojení prioritního arbitru periferie vyznačující se tím, že klopný obvod (10) citlivý na hranu hodinového signálu má přímý výstup (101) spojen s prvním vstupem (130) prvního hradla (13), jehož druhý vstup (131) je spojen s výstupem (111) integračního členu (11) a s druhým vstupem (121) druhého hradla (12), přičemž negovaný výstup (102) klopného obvodu (10) citlivého na hranu hodinového signálu je spojen s prvním vstupem (120) druhého hradla (12).

1 výkres

