

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 12 月 2 日 (02.12.2004)

PCT

(10) 国際公開番号
WO 2004/105123 A1

(51) 国際特許分類: H01L 21/768, 21/3205, 21/316

(21) 国際出願番号: PCT/JP2003/006357

(22) 国際出願日: 2003 年 5 月 21 日 (21.05.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人 (米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神奈川県 川崎市 中原区上小田中 4 丁目 1 番 1 号 Kanagawa (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 中田 義弘 (NAKATA, Yoshihiro) [JP/JP]; 〒211-8588 神奈川県 川崎市 中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 鈴木 克己 (SUZUKI, Katsumi)

[JP/JP]; 〒211-8588 神奈川県 川崎市 中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 杉浦 巖 (SUGIURA, Iwao) [JP/JP]; 〒211-8588 神奈川県 川崎市 中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP). 矢野 映 (YANO, Ei) [JP/JP]; 〒211-8588 神奈川県 川崎市 中原区上小田中 4 丁目 1 番 1 号 富士通株式会社内 Kanagawa (JP).

(74) 代理人: 伊東 忠彦 (ITO, Tadahiko); 〒150-6032 東京都 渋谷区 恵比寿 4 丁目 2 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階 Tokyo (JP).

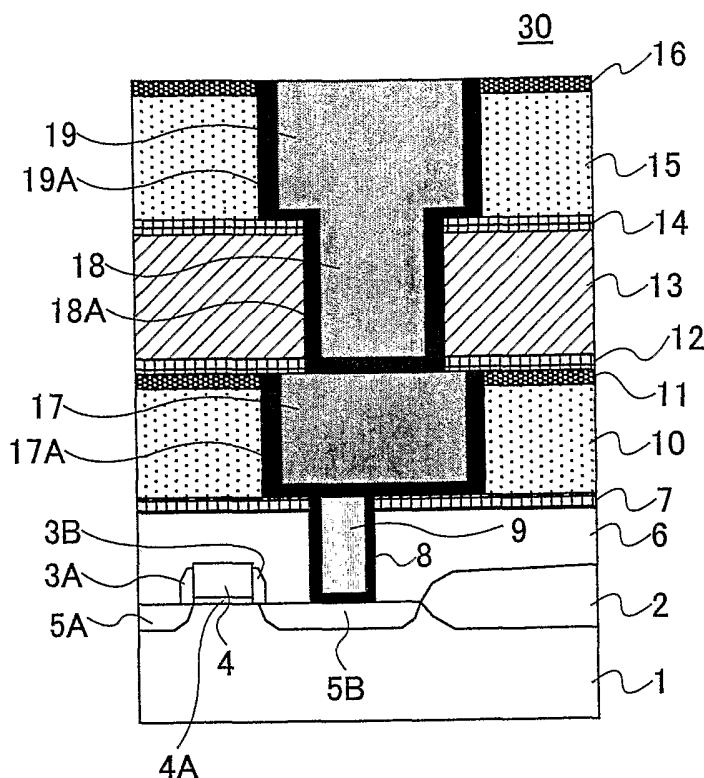
(81) 指定国 (国内): JP, US.

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device having a multilayer interconnection structure where concentration of stress on a Cu via plug part is controlled. The semiconductor device comprises a first insulation layer including a Cu interconnect part and a second insulation layer, formed on a substrate, including a Cu via plug part being connected electrically with the Cu interconnect part, characterized in that the first insulation layer comprises a porous insulation film having an elastic modulus of 5 GPa or above and a hardness of 0.6 GPa or above, and the second insulation layer has an elastic modulus of 10 GPa or above and a hardness of 1 GPa or above.

(57) 要約: 多層配線構造を有する半導体装置において、Cu ビアプラグ部への応力集中を抑制する多層配線構造を提供する。そのため、Cu 配線部を含む第 1 の絶縁層と、前記基板上に形成された、前記 Cu 配線に電氣的に接続される Cu ビアプラグ部を含む第 2 の絶縁層とを有し、前記第 1 の絶縁層は弾性率が 5 GPa 以上、硬度が 0.6 GPa 以上である多孔質絶縁膜からなり、前記第 2 の絶縁層の弾性率が 10 GPa 以

上、硬度が 1 GPa 以上であることを特徴とする半導体装置を用いる。

明細書

半導体装置

5 技術分野

本発明は一般に半導体装置に係り、特に多層配線構造を有する半導体装置に関する。

背景技術

- 10 従来より、半導体装置を微細化することにより、スケーリング則に沿った動作速度の高速化が図られている。一方、最近の高密度半導体集積回路装置では、個々の半導体装置間を配線するのに一般に多層配線構造が使用されるが、かかる多層配線構造では、半導体装置が非常に微細化された場合、多層配線構造中の配線パターンが近接し、配線パターン間の寄生容量による配線遅延の問題が生じる。
- 15 このような寄生容量は、配線パターンの距離に反比例し、配線パターン間の絶縁物の誘電率に比例する。

- そこで、前記多層配線構造中における配線遅延の問題を解決すべく、多層配線構造中で層間絶縁膜に誘電率の低いものを用いて、寄生容量を低下させることが検討されている。層間絶縁膜として従来使われてきたCVD-SiO₂膜の誘電率
- 20 率は4程度である。この誘電率を低下させるために、CVD-SiO₂膜にフッ素を添加したSiOF膜を用いた場合でも誘電率は3.3～3.5程度が限界であり、近年の高密度半導体集積回路においては寄生容量の低減効果が十分ではなく、必要な動作速度が得られない場合がある。

- そのため、さらに誘電率の低い、いわゆる低誘電率層間絶縁膜としてスピコート
- 25 ートによる塗布法により形成される多孔質絶縁膜を用いることが着目されている。前記多孔質絶縁膜は、加熱により蒸発または分解する有機樹脂などを塗布材料に添加してスピコート法により塗布した後、塗布材料を加熱することによって有機樹脂などを蒸発または分解させて絶縁膜を多孔質化して形成される。

このように、絶縁膜を多孔質化することによって絶縁膜の誘電率を2.5以下

に低下させることが可能であり、これを低誘電率層間絶縁膜として半導体装置に用いることが検討されてきた。

また、前記したような配線遅延は、配線間の寄生容量と配線抵抗の積に比例するため、従来配線材料として用いられてきたA1に換わって、配線材料としては
5 抵抗値の低いCuが用いられるようになってきている。

図1は、前記した多孔質絶縁膜を用いた半導体装置100の断面図の一部である。

図1を参照するに、半導体装置100は、Si基板101上の素子分離膜102により分離された素子領域上に形成された、前記Si基板101上のゲート絶縁膜104A、当該ゲート絶縁膜104A上に形成されたゲート電極104、および当該ゲート電極104の両側に形成された拡散層105A、105Bを含む。
10

前記ゲート電極104は側壁面が側壁絶縁膜103A、103Bにより覆われ、さらに前記Si基板101上には、層間絶縁膜106としてPSG膜（リンガラス膜）が、前記ゲート電極104および側壁絶縁膜103A、103Bを覆うように形成されている。
15

前記層間絶縁膜106上には、ストップ膜107を介して、低誘電率層間絶縁膜である多孔質絶縁膜110が形成され、前記層間絶縁膜110中にはCu配線117および当該Cu配線117を囲むようにバリア膜117Aが形成されている。
20

前記Cu配線117は、前記層間絶縁膜106中に形成されたコンタクトプラグ108を介して、前記拡散層105Bに電氣的に接続されている。

前記層間絶縁膜110上には、保護膜111およびストップ膜112が形成され、さらに当該ストップ膜112上には、Cuプラグ部118および当該Cuプラグ部118を囲むように形成されたバリア膜118Aを含む多孔質絶縁膜113が形成されている。
25

前記Cuプラグ部118は、前記バリア膜118Aを介して、前記Cu配線部117に電氣的に接続された構造となっている。

さらに、前記多孔質絶縁膜113上には、ストップ膜114が形成され、当該

ストップ膜 112 上には、Cu 配線部 119 および当該 Cu 配線部 119 を囲むように形成されたバリア膜 119A を含む多孔質絶縁膜 115 が形成されている。また、前記多孔質絶縁膜 115 上には、前記多孔質絶縁膜 115 をエッチングする際に用いた保護膜 116 が形成されている。

- 5 前記 Cu 配線 119 は、前記 Cu プラグ 118 に電氣的に接続された構造となっている。

【特許文献 1】

応用物理 1999 年、第 68 巻、第 11 号、ULSI 多層配線技術
P1214-1278

- 10 図 1 の半導体装置 100 はこのように低誘電率層間絶縁膜である多孔質絶縁膜と、配線抵抗が低い Cu 配線パターンとを組み合わせるため、配線遅延が少なく、高速動作を行うことが可能である。

- しかし、図 1 の構造において特に $0.1\ \mu\text{m}$ 設計ルール前後の非常に厳しい微細化を行った場合、多層配線構造内において Cu 配線の断線・変形や、それに伴う多孔質絶縁膜の破損などの不具合が生じることがある。
- 15

図 2 は、図 1 の構造において、前記 Cu 配線部 117、119 および Cu プラグ部 118 が接続された状態を示した斜視図である。但し図中、Cu 配線部および Cu プラグ部の周囲に形成されている多孔質絶縁膜は図示を省略してある。

- 図 2 を参照するに、例えば前記 Cu 配線部 117 および 119 は、前記 Si 基板 101 に略平行に形成されており、前記 Cu プラグ部 118 に比べて体積が大きい。前記 Cu プラグ 118 は略円筒形状をしているが断面積が Cu 配線部に比べて小さく、Cu 配線 117 および 119 に挟まれるように設置されている。
- 20

- このような構造をしているため、半導体装置において、Cu を介して伝わる応力は、Cu プラグ部に集中しやすい傾向にある。また、特に Cu プラグ部周囲の絶縁膜が多孔質絶縁膜からなり、多孔質絶縁膜は内部に空孔を有するために弾性率が低く、このため、例えば応力により多孔質絶縁膜が容易に変形してしまい、Cu プラグ部に応力集中が生じる原因のひとつとなっている。
- 25

図 3 には、図 2 において前記 Cu プラグ部 118 の中心を通る、前記 Si 基板 101 に略垂直な X 方向での Cu 配線部および Cu プラグ部内での応力をシミュ

レーションにより評価したものを示した図である。この場合、Cu配線部およびCuプラグ部周囲の多孔質絶縁膜の弾性率の値を5 GPa、硬度の値を0.6 GPaとして計算を行っている。

図3を参照するに、Cu配線部にかかる応力に比べて、Cuプラグ部にかかる
5 応力が大きく、Cu材料を用いた多層配線構造においては、Cuプラグ部に応力集中が生じていることがわかる。

図1に示した構造では、前記多孔質絶縁膜115上にキャップ層を介してコンタクトパッドが形成され、当該コンタクトパッドにワイヤボンディングによってワイヤが接続される工程において、Cuプラグ部の断線や変形、さらにCuプラグ部の変形に伴う周囲の多孔質絶縁膜の破損などの問題が顕著になる。
10

また、例えば多層配線化による積層膜によるストレス、熱応力などでも前記したようなCuプラグの断線・変形および多孔質絶縁膜の破損などの問題が生じてしまう可能性がある。

これは、図1および図2に示した構造においてはCu配線やCuプラグの周囲
15 に形成された多孔質絶縁膜の弾性率が、CVD-SiO₂膜などの無機絶縁膜に比べて小さいため、Cuプラグへの応力集中が生じやすくなっているためと考えられ、特にワイヤボンディング工程に伴う応力による多層配線構造の変形および断線は深刻な問題となる。

20 発明の開示

本発明では、上記の問題点を解決した、新規で有用な半導体装置を提供することを概括的課題とする。

本発明のより具体的な課題は、多孔質絶縁膜を含む多層配線構造を有する半導体装置において、Cuプラグ部への応力の集中を抑制できる素子構造を提供する
25 ことにある。

本発明では、上記の課題を、基板と、前記基板上に形成された、Cu配線部を含む第1の絶縁層と、前記基板上に形成された、前記Cu配線部に電氣的に接続されるCuビアプラグ部を含む第2の絶縁層とを有し、前記第1の絶縁層は弾性率が5 GPa以上、硬度が0.6 GPa以上の多孔質絶縁膜からなり、前記第2

の絶縁層の弾性率が10GPa以上、硬度が1GPa以上であることを特徴とする半導体装置により、解決する。

本発明によれば、多層配線構造を有する半導体装置において、Cuビアプラグ部を含む絶縁層に、弾性率10GPa以上、硬度が1GPa以上の絶縁膜、Cu
5 配線部を含む絶縁層に弾性率5GPa以上、硬度0.6GPa以上の多孔質絶縁膜を用いることで、Cuビアプラグ部に応力が集中することを抑制して、Cuビアプラグ部の断線や変形、絶縁膜、多孔質絶縁膜の破損などを防止することが可能となる。

また、Cu配線部を含む絶縁層には、低誘電率となる多孔質絶縁膜を用いているため、Cu配線間の寄生容量を低減して配線遅延の影響を小さくし、半導体装
10 置の高速動作を可能にする。

図面の簡単な説明

図1は、従来の多層配線構造を有する半導体装置の構成を示す概略図である。

15 図2は、従来の多層配線構造を有する半導体装置の、Cu配線部とCuプラグ部の構造を示す斜視図である。

図3は、従来の多層配線構造中における応力分布を示す図である。

図4は、本発明の第1実施例による多層配線構造を有する半導体装置の構成を示す概略図である。

20 図5は、本発明による多層配線構造を有する半導体装置の、Cu配線部とCuプラグ部の構造を示す斜視図である。

図6は、本発明の効果を示す図である。

図7A～Fは、図4の半導体装置の製造工程を示す図（その1）である。

図8A～Eは、図4の半導体装置の製造工程を示す図（その2）である。

25 図9A～Hは、図8A～Eに示した半導体装置の製造工程の変更例である。

図10は、本発明の第2実施例による多層配線構造を有する半導体装置の構成を示す概略図である。

図11A～Bは、多層配線構造を有する半導体装置に、コンタクトパッドを形成した状態を示す図である。

発明を実施するための最良の形態

次に、本発明を実施するための最良の形態を図面にに基づき、以下に説明する。

図4は、本発明による半導体装置30の構成を示す断面図である。図4を参照
5 するに、半導体装置30は、Si基板1上の素子分離膜2により分離された素子
領域上に形成された、前記Si基板1上のゲート絶縁膜4A、当該ゲート絶縁膜
4A上に形成されたゲート電極4、および当該ゲート電極4の両側に形成された
拡散層5A、5Bを含む。

前記ゲート電極4は側壁面が側壁絶縁膜3A、3Bにより覆われ、さらに前記
10 Si基板1上には、層間絶縁膜6としてPSG膜（リンガラス膜）が、前記ゲート
電極4および側壁絶縁膜3A、3Bを覆うように形成される。

前記層間絶縁膜6には、前記拡散層5bに通じるコンタクトホールが形成され
ており、当該コンタクトホール内壁にはTiNからなるバリア膜8が形成され、
さらに前記バリア膜8が形成された当該コンタクトホールにはW（タングステン
15 ）からなるコンタクトプラグ9が埋め込まれている。

前記層間絶縁膜6上には、ストップ膜7を介して、低誘電率層間絶縁膜である
多孔質絶縁膜10が形成され、前記多孔質絶縁膜10中にはCu配線17および
当該Cu配線17を囲むようにバリア膜17Aが形成されている。

前記多孔質絶縁膜10は、多孔質シリカ膜からなり、当該多孔質シリカ膜は、
20 例えば後述するスピコートによる塗布法により、形成される。また、前記多孔
質絶縁膜10は、膜中に空孔が形成されている、誘電率の低い、いわゆる低誘電
率層間絶縁膜であり、誘電率は2.5以下にすることが可能である。例えば本実
施例に用いられる前記多孔質シリカ膜の場合、誘電率は略2.2である。

前記Cu配線部17は、前記バリア膜17Aを介して、前記ストップ膜7に形
25 成された開口部に挿通されている前記コンタクトプラグ9に電氣的に接続されて
いる。前記コンタクトプラグ9は、前記バリア膜8を介して前記拡散層5Bに電
氣的に接続される構造となっている。

また、前記多孔質絶縁膜10の上には保護膜11、ストップ膜12が形成され
て、当該ストップ膜12の上には、例えばCVD法（化学気相堆積法）によって

形成されるSiOCからなる絶縁膜13が形成され、前記絶縁膜13中には、Cuプラグ部18および当該Cuプラグ部18を囲むようにバリア膜18Aが形成されている。

前記Cuプラグ部18は、前記バリア膜18Aを介して、前記エッチストップパ
5 膜12および前記保護膜11に形成された開口部より前記Cu配線部17に電氣的に接続される。

さらに、前記エッチストップ膜14上には、前記多孔質絶縁膜10と同一の方法で形成した、多孔質シリカからなる多孔質絶縁膜15が形成され、当該多孔質絶縁膜15中にはCu配線19および当該Cu配線19を囲むようにバリア膜1
10 9Aが形成されている。例えば、後述するように、デュアルダマシン法によって前記Cuプラグ部18およびCu配線部19が実質的に同一工程において形成される場合は、前記Cuプラグ部18は前記エッチストップ膜14の開口部から前記配線部19に連続的に形成される構造になっている。また、前記多孔質絶縁膜15上には、前記多孔質絶縁膜15をエッチングする際に用いた保護膜16が形
15 成されている。

このように、多層配線構造を有する半導体装置30においては、Cuプラグ部を分離する絶縁膜に、例えばCVDにより形成されるSiOCからなる絶縁膜13を用いている。これは、前記SiOC膜が、Cu配線部の分離に用いられている多孔質シリカ膜より弾性率と硬度が大きいためである。

20 その結果、前記Cuプラグ部18に応力が集中することを抑制して、前記Cuプラグ部18が、断線、変形すること、またそれに伴い、絶縁膜や多孔質シリカ膜が破損するなどの問題が発生することを抑制する効果がある。

図5は、前記Cu配線部17、19およびCuプラグ部18が形成されている状態を示す斜視図である。但し、Cu配線部17、19の周囲に形成された多孔質シリカ膜と、Cuプラグ部18の周囲に形成された絶縁膜は図示を省略してあ
25 る。

図5を参照するに、例えば前記Cu配線部17および19は、前記Si基板1に略平行に形成されており、前記Cuプラグ部18に比べて体積が大きい。前記Cuプラグ18は略円筒形状をしているが断面積がCu配線部に比べて小さく、

Cu配線部17および19に挟まれるように設置されている。

このような構造をしているため、半導体装置において、Cuを介して伝わる応力は、Cuプラグ部に集中しやすい傾向にある。

そのため、本発明においては、Cuプラグ部を分離するCuプラグ部周囲の絶縁膜を、Cu配線部の周囲の多孔質絶縁膜より硬いもの、すなわち弾性率、硬度が大きいものを用いてCuプラグ部に応力集中が生じることを効果的に抑制している。

図6には、図5において前記Cuプラグ18の中心を通る、前記Si基板1に略垂直なX方向での応力を算定したものを示した図である。この場合、前記Cu配線部周囲の多孔質絶縁膜10、15の弾性率の値を5GPa、硬度の値を0.6GPa、Cuプラグ部周囲の絶縁膜13の弾性率の値を10GPa、硬度の値を1.2GPaとして計算を行っている。また、計算結果には、比較のために、Cuプラグ部周囲にも多孔質絶縁膜を用いた従来例の結果も併記してある。

図6を参照するに、本発明においては、従来例に比べて、Cuプラグ部分にかかる応力が小さく抑えられていることがわかる。これは、Cuプラグ部を分離する、Cuプラグ部周囲に形成された絶縁膜の弾性率および硬度が大きいため、Cu配線部およびCu配線部周囲の多孔質絶縁膜に応力がかかる場合に、Cuプラグ部周囲の絶縁膜の弾性変形が抑制され、Cuプラグ部にかかる応力が抑制されるためである。その結果、Cuプラグ部の断線や変形、およびそれに伴う絶縁膜や多孔質絶縁膜の破損を防止することが可能となる。

前記図 6 に示したように、応力を算定した結果、Cu 配線部の周囲に形成する Cu 配線部を分離する多孔質絶縁膜の弾性率を 5 GPa 以上、硬度を 0.6 GPa 以上、また Cu プラグ部の周囲に形成される、Cu プラグ部を分離する絶縁膜の弾性率を 10 GPa 以上、硬度を 1 GPa 以上とすることで、Cu プラグ部にかかる応力が、Cu プラグ部の降伏応力の限界以下に抑制することが可能なことが見出され、Cu プラグ部の断線・変形、絶縁膜や多孔質絶縁膜の破損が防止できることが明らかとなった。

次に図４に示した、前記絶縁膜１３および前記多孔質絶縁膜１０、１５について説明する。

まず、前記絶縁膜13については、弾性率が10GPa以上で、硬度が1GPa以上の絶縁膜であれば、特に膜の種類は限定されるものではない。

例えば、プラズマCVDにより形成されるSiO₂膜、SiC膜、SiN膜、SiON膜、FSG(SiOF)膜、SiOC膜などを用いることが可能である。

- 5 また、有機SOG(スピン・オン・グラス、スピンコート法により形成された塗布膜)、無機SOG膜などを用いることが可能である。

一般に、Cuビアプラグ部は、隣接する他のCuビアプラグ部との間隔が、Cu配線部の配線間隔に比べて大きいため、配線遅延に関してCuビアプラグ部間の寄生容量が、Cu配線部ほど問題にならない。

- 10 そのため、Cuビアプラグ部を分離する絶縁膜には、多孔質絶縁膜より誘電率が大きいものを用いても、半導体装置の動作速度に与える影響が小さい。そのため、例えばCVD法により形成されたSiOC膜など、弾性率、硬度が大きな値を示す膜を用いて、Cuプラグ部にかかる応力を抑制しながら、半導体装置の動作速度に与える影響を抑制した多層配線構造を形成することが可能となる。

- 15 例えば、プラズマCVD法により形成されるSiOC膜を用いた場合、必要な弾性率および硬度の値を満足しながら、CVD-SiO₂膜などに比べて誘電率を低く抑えることが可能である。具体的には、テトラメチルシランガスを用いたプラズマCVD法により形成されたSiOC膜の場合、弾性率が15GPa、硬度が2.1GPaであり、誘電率は3.1である。

- 20 このようにして形成されたSiOCからなる絶縁膜を、図4に示した前記半導体装置30では絶縁膜13として用いている。

次に、前記多孔質絶縁膜10、13に関して説明する。本発明の多層配線構造を有する半導体装置において、Cu配線部を分離する多孔質絶縁膜は、前記したように弾性率5GPa以上、硬度が0.6GPa以上有することが必要である。

- 25 また、前記したように、Cu配線部は近接するCu配線部との距離が小さいため、絶縁膜を多孔質化して誘電率を小さくし、配線間の寄生容量を抑制することで配線遅延の影響を抑えて半導体装置の動作速度を確保する必要がある。

このような多孔質絶縁膜としては、例えばCVD法により形成する多孔質SiOC膜があり、また塗布法により形成される膜では多孔質シリカ膜を用いること

が可能である。

- 例えば、塗布法により、多孔質シリカ膜を形成する場合は、前記したように弾性率 5 GPa 以上、硬度 0.6 GPa 以上を確保するため、テトラアルキルアンモニウムハイドロオキサイド (TAAOH) の存在下で加水分解して得られる有機ケイ素化合物を含む液状組成物を用いることが好ましい。

- 前記塗布型多孔質シリカ膜では、塗布溶剤として多孔質シリカ前駆体のシロキサン樹脂を溶解できれば特に限定されず、メチルアルコール、エチルアルコール、プロピルアルコール、イソプロピルアルコール、ブチルアルコール、イソブチルアルコール、tert-ブチルアルコールなどのアルコール系、フェノール、クレゾール、ジエチルフェノール、トリエチルフェノール、プロピルフェノール、ノニルフェノール、ビニルフェノール、アリルフェノール、ノニルフェノールなどのフェノール系、シクロヘキサノン、メチルイソブチルケトン、メチルエチルケトンなどのケトン系、メチルセロソルブ、エチルセロソルブなどのセロソルブ系、ヘキサン、オクタン、デカンなどの炭化水素系、プロピレングリコール、プロピレングリコールモノメチルエーテル、プロピレングリコールモノメチルエーテルアセテートなどのグリコール系などを用いることが可能である。

- また、多孔質シリカ膜の形成方法は、例えば、多孔質シリカ膜を形成する被処理基板に、液状組成物を塗布する塗布工程、該被処理基板を 80～350℃の温度で加熱する第 1 の熱処理工程、および該被処理基板を 350～450℃の温度でキュアする第 2 の熱処理工程を含む。

また、前記第 1 および第 2 の熱処理工程は、酸素濃度が 100 ppm 以下の不活性ガス雰囲気の中で行う事が好ましい。これは、形成される多孔質シリカ膜が酸化することで、耐湿性が低下することを防止するためである。

次に、さらに具体的に、前記多孔質シリカ膜を形成した例を以下に示す。

- 例えば、まずテトラエトキシシラン 20.8 g (0.1 mol)、メチルトリエトキシシラン 17.8 g (0.1 mol) グリシドキシプロピルトリメトキシシラン 23.6 g (0.1 mol) メチルイソブチルケトン 39.6 g (200 ml) を反応容器に仕込み、1%のテトラメチルアンモニウムハイドロオキサイド水溶液を 16.2 g (0.9 mol) を 10 分間で滴下し、滴下終了後 2 時間の熟

成反応を行った。

次に、硫酸マグネシウム 5 g を添加し、過剰の水分を除去した後、ロータリーエバポレータにて熟成反応により生成したエタノールを反応溶液が 50 ml になるまで除去した。得られた反応溶液にメチルイソブチルケトン 20 ml を添加し

5 て多孔質シリカ前駆体塗布溶液を作製した。

作成した多孔質シリカ前駆体塗布溶液を基板上にスピン・オン・コートにより塗布し、250℃、3分間加熱処理を行った後、形成された膜の架橋率を測定した。架橋率の測定には、FT-IR（フーリエ変換型赤外線分光装置）を用い、950 cm⁻¹ 付近の Si-OH の吸収強度から算出した結果、架橋率は 75%

10 であった。

次に、N₂ガス雰囲気電気炉にて400℃、30分の条件でキュアのための加熱工程を行った。得られた膜の誘電率を、水銀プローバを用いて電気特性を測定した結果から算出したところ、2.24であった。また、形成された多孔質シリカ膜の弾性率は8 GPa、硬度は0.9 GPaであった。

15 このようにして形成された多孔質シリカ膜を、図4に示した前記半導体装置30においては、前記多孔質絶縁膜10、15として用いている。

次に、図4に示した前記半導体装置30の製造方法に関して記述する。

図7A～Fは、図4に示す半導体装置30を形成する方法であり、前記Cu配線部17を形成するまでの工程を示したものである。ただし図中、先に説明した

20 部分には同一の参照符号を付し、説明を省略する。

まず、図7Aを参照するに、Siウェハ1上には、素子間分離膜2で分離された素子領域に、拡散層5Aと拡散層5B、側壁絶縁膜3A、3Bを有してゲート絶縁膜4A上に設けられたゲート電極4が形成されている。

次に、図7Bにおいて、前記Si基板1上には、層間絶縁膜6としてPSG膜
25 （リンガラス膜）が、前記ゲート電極4および側壁絶縁膜3A、3Bを覆うように形成される。

前記層間絶縁膜6上には、ストップ膜7が形成されて、ドライエッチングによって、電極取り出し用のコンタクトホールが形成される。このコンタクトホールにスパッタ法でTiNからなるバリア膜8を50 nm形成した後に、WF₆と水素

を混合し、還元することでWからなるコンタクトプラグ9を埋め込み、さらにCMPにより研削および平坦化を行い、図7Bに示す状態とする。

次に、図7Cにおいて、平坦化された前記ストッパ膜7およびコンタクトプラグ9上に、前記した方法によって、多孔質シリカ膜からなる前記多孔質絶縁膜10を250nm形成し、当該多孔質絶縁膜10上に、TEOS（テトラエトキシシラン）-SiO₂からなる保護膜11を50nm積層する。

次に、図7Dにおいて、前記保護膜11上に形成した配線パターンを施したレジスト層をマスクにCF₄/CHF₃ガスを原料としたFプラズマによるドライエッチングにより、配線溝10Aを加工する。

次に、図7Eにおいて、前記配線溝10Aに、Cuの前記多孔質絶縁膜10への拡散バリアとして働くTiNからなるバリア膜17Aを50nmと、電解メッキの際に電極として働くCuシード層17aを50nmをスパッタにより形成する。

さらに、図7Fにおいて、電解メッキによりCu配線部17を600nm積層した後、CMPにより配線部以外のメタルを除去し、図7Fに示す状態の配線層を形成した。

また、図7Fの状態から、前記Cuプラグ部18およびCu配線部19などを形成する方法としては、Cuプラグ部とCu配線部を同時に形成するデュアルダマシン法と、Cuプラグ部とCu配線部を別々に形成するシングルダマシン法があるが、まず図8A～Eにおいて、デュアルダマシン法を用いた場合について、説明する。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

まず、図8Aを参照するに、図7Fの状態より、シランとアンモニアガスを用いたプラズマCVDにより、Cu拡散防止を目的としたSiNからなるストッパ膜12を50nm形成し、当該ストッパ膜12の上に前記したプラズマCVD法により形成したSiOCからなる絶縁膜13を250nm積層する。

さらに前記絶縁膜13上に、シランとアンモニアガスを用いたプラズマCVDによりSiNからなるストッパ膜14を50nm形成した後、当該ストッパ膜14上に、前記多孔質絶縁膜10と同様の方法で、多孔質シリカ膜からなる多孔

質絶縁膜15を400nm形成し、当該多孔質絶縁膜15の上に、TEOS-SiO₂からなる保護膜16を50nm積層する。

次に、図8Bにおいて、前記保護膜16上にレジストによりビアパターンを形成し、当該レジストをマスクにして、CF₄/CHF₃ガスを原料としたFプラズマにより、ドライエッチングによって、ビアホール13Aを形成する。また、その際に、前記保護膜16、前記多孔質絶縁膜15、前記ストッパ膜14、12および前記絶縁膜13は、それぞれ膜の組成が異なるため、エッチングの際には、CF₄/CHF₃のガス比を変更してドライエッチングを行い、前記保護膜16、多孔質絶縁膜15、ストッパ膜14、絶縁膜13およびストッパ膜12の順に加工した。

次に、図8Cにおいて、Cu配線部のパターン形状を施したレジストをマスクにして、CF₄/CHF₃ガスを原料としたFプラズマを用いたドライエッチングにより、配線溝15Aを形成した。

次に、図8Dにおいて、前記ビアホール13Aおよび前記配線溝15Aの内壁に、Cuが前記絶縁膜13および多孔質絶縁膜15中へ拡散することを防止する、拡散バリアとしてTiNからなるバリア膜18Aおよび19Aをそれぞれ50nm形成する。さらに当該バリア膜18Aおよび19Aの上に、Cuの電解メッキの際に電極として働くCuのシード層18aおよび19aを、50nmスパッタにより形成する。

次に、図8Eにおいて、電解メッキ法により、Cuを1400nm積層し、Cuプラグ部18およびCu配線部19を形成し、さらにCMPにより配線パターン部以外のメタルを除去して、3層配線を形成した。

また、図8A～Eまでのデュアルダマシン工程は、次に図9A～Hに示すシングルダマシン工程に置き換えることが可能である。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

まず、図9Aを参照するに、前記した図7Fの状態より、シランとアンモンニアガスを用いたプラズマCVDにより、Cu拡散防止を目的としたSiNからなるストッパ膜12を50nm形成し、当該ストッパ膜12の上に前記したプラズマCVD法により形成したSiOCからなる絶縁膜13を250nm積層し、さ

らに前記絶縁膜13上に、シランとアンモンニアガスを用いたプラズマCVDによりSiNからなるストッパ膜14を50nm形成する。

次に、図9Bにおいて、前記保護膜14上にレジストによりビアパターンを形成し、当該レジストをマスクにして、CF₄/CHF₃ガスを原料としたFプラズマにより、ドライエッチングによって、ビアホール13A'を形成する。

次に、図9Cにおいて、前記ビアホール13A'の内壁に、Cuが前記絶縁膜13へ拡散することを防止する、拡散バリアとしてTiNからなるバリア膜18A'を50nm形成する。さらに当該バリア膜18A'の上に、Cuの電解メッキの際に電極として働くCuのシード層18a'を50nmスパッタにより形成する。

次に、図9Dにおいて、電解メッキ法により、Cuを1400nm積層し、Cuプラグ部18'を形成し、さらにCMPによりCuプラグ部以外のメタルを除去して、Cuプラグ部18'を含む層が形成される。

次に、図9Eにおいて、前記した方法で、多孔質シリカ膜からなる多孔質絶縁膜15を400nm形成し、当該多孔質絶縁膜15の上に、TEOS-SiO₂からなる保護膜16を50nm積層する。

次に、図9Fにおいて、Cu配線部のパターン形状を施したレジストをマスクにして、CF₄/CHF₃ガスを原料としたFプラズマを用いたドライエッチングにより、配線溝15A'を形成する。

次に、図9Gにおいて、前記配線溝15A'の内壁に、Cuが前記多孔質絶縁膜15へ拡散することを防止する、拡散バリアとしてTiNからなるバリア膜19A'を50nm形成する。さらに当該バリア膜19A'の上に、Cuの電解メッキの際に電極として働くCuのシード層19a'を50nmスパッタにより形成する。

次に、図9Hにおいて、電解メッキ法により、Cuを1400nm積層し、Cu配線部19'を形成し、さらにCMPによりCu配線部以外のメタルを除去して、3層配線が完成する。

また、前記した図8A～Eおよび図9A～Hにおいては、3層配線を形成したが、さらに多層配線化を行う事が可能である。例えば、図10には、5層配線を

形成した例を示す。

- 図10を参照するに、例えば図8Eに示した3層配線が形成された状態から、さらに図8A～Eの工程を繰り返すことにより、ストップ膜20、絶縁膜21、多孔質絶縁膜23、保護膜24、Cuプラグ部25、Cu配線部26、バリア膜25A、26Aを含む5層配線を形成することが可能である。また、これら多層配線の形成には、シングルダマシン法を用いてもよい。

このように、シングルダマシン工程、デュアルダマシン工程を任意に組み合わせて、本発明による多層配線構造を有する半導体装置を製造することが可能である。

- 図7A～Fおよび図8A～Eに示した工程を用いて制作される多層配線において、Cuプラグ部の歩留まりを調べたところ、100万個の連続の歩留まりで95%以上であった。

次に、図4に示す半導体装置30にコンタクトパッドを形成し、ワイヤボンディングを行った場合の結果を示す。

- 図11Aは図4に示した前記半導体装置30に、さらにキャップ層27、当該キャップ層27上にパッド28を形成した状態を示したものである。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。なお、比較のために、前記半導体装置30において、SiOC膜からなる前記絶縁層13を、多孔質シリカ膜からなる多孔質絶縁膜13'に変更した場合の例を、図11Bに示す。ただし図中、先に説明した部分には同一の参照符号を付し、説明を省略する。

- まず、図11Aに示した場合において、前記コンタクトパッド28にワイヤボンディングを行ったところ、ボンディング圧力による破壊・変形などの不具合は生じなかった。一方、図11Bに示した場合は、同様にコンタクトパッド28にワイヤボンディングを行ったところ、前記多孔質絶縁膜13'にクラックが生じる不具合が発生した。これは、ボンディング工程においてかかる応力によってコンタクトプラグ部に応力集中が生じ、コンタクトプラグの変形、および多孔質絶縁膜の破損が生じているものと考えられる。

図11Aに示した、本発明による多層配線構造を有する半導体装置においては

、Cuプラグ部を分離する絶縁膜に、弾性率10GPa以上、硬度1GPa以上の絶縁膜を用いているために、ボンディングなどによる圧力によって多層配線構造が破壊・変形が乗じることを防止し、安定な多層配線構造となっている。さらに、配線の多層化によるストレスや、熱ストレスに対しても安定な構造である。

- 5 また、Cu配線部を分離する層間絶縁膜には、誘電率2.5以下である低誘電率層間絶縁膜である多孔質絶縁膜を用いているため、Cu配線間の寄生容量を小さくして配線遅延の影響を押さえ、高速で動作する半導体装置とすることができる。

- 10 以上、本発明を好ましい実施例について説明したが、本発明は上記の特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において様々な変形・変更が可能である。

産業上の利用可能性

- 15 本発明によれば、多層配線構造を有する半導体装置において、Cuビアプラグ部を含む絶縁層に、弾性率10GPa以上、硬度が1GPa以上の絶縁膜、Cu配線部を含む絶縁層に弾性率5GPa以上、硬度0.6GPa以上の多孔質絶縁膜を用いることで、Cuビアプラグ部に応力が集中することを抑制して、Cuビアプラグ部の断線や変形、絶縁膜、多孔質絶縁膜の破損などを防止することが可能となった。

- 20 また、Cu配線部を含む絶縁層には、低誘電率となる多孔質絶縁膜を用いているため、Cu配線間の寄生容量を低減して配線遅延の影響を小さくし、半導体装置の高速動作を可能にした。

請求の範囲

1. 基板と、
前記基板上に形成された、Cu配線部を含む第1の絶縁層と、
前記基板上に形成された、前記Cu配線部に電氣的に接続されるCuビアプラグ部を含む第2の絶縁層とを有し、
前記第1の絶縁層は弾性率が5 GPa以上、硬度が0.6 GPa以上である多孔質絶縁膜からなり、前記第2の絶縁層の弾性率が10 GPa以上、硬度が1 GPa以上であることを特徴とする半導体装置。
- 10 2. 前記多孔質絶縁膜は、多孔質シリカ膜からなることを特徴とする請求項1記載の半導体装置。
3. 前記多孔質シリカ膜は、誘電率が2.5以下であることを特徴とする請求項2記載の半導体装置。
- 15 4. 前記多孔質シリカ膜はスピコート法にて形成され、テトラアルキルアンモニウムハイドロオキシド(TAAOH)の存在下で加水分解して得られる有機ケイ素化合物を含む液状組成物をスピコート法によって基板に塗布し、加熱することで形成されることを特徴とする請求項2記載の半導体装置。
- 20 5. 前記第2の絶縁層が、プラズマCVD法により形成されることを特徴とする請求項1記載の半導体装置。
6. 前記第2の絶縁層がSiOC膜であることを特徴とする請求項5記載の半導体装置。
- 25 7. 前記基板はSiからなり、前記基板には活性素子が形成されることを特徴とする請求項1記載の半導体装置。

8. 前記Cu配線部は前記第1の絶縁層をエッチングして配線溝を形成し、当該配線溝にCuを埋め込むことで形成されることを特徴とする請求項1記載の半導体装置。
- 5 9. 前記ビアプラグ部は前記第2の配線層をエッチングしてビアホールを形成し、当該ビアホールにCuを埋め込むことで形成されることを特徴とする請求項8記載の半導体装置。
- 10 10. 前記配線溝へのCuの埋め込みと、前記ビアホールへのCuの埋め込みが同時に行われるデュアルダマシン法により、前記Cu配線部と前記Cuビアプラグ部が形成されることを特徴とする請求項9記載の半導体装置。
11. 前記第1の絶縁層は、前記第2の絶縁層の第1の主面および第2の主面に形成されることを特徴とする請求項1記載の半導体装置。

FIG. 1

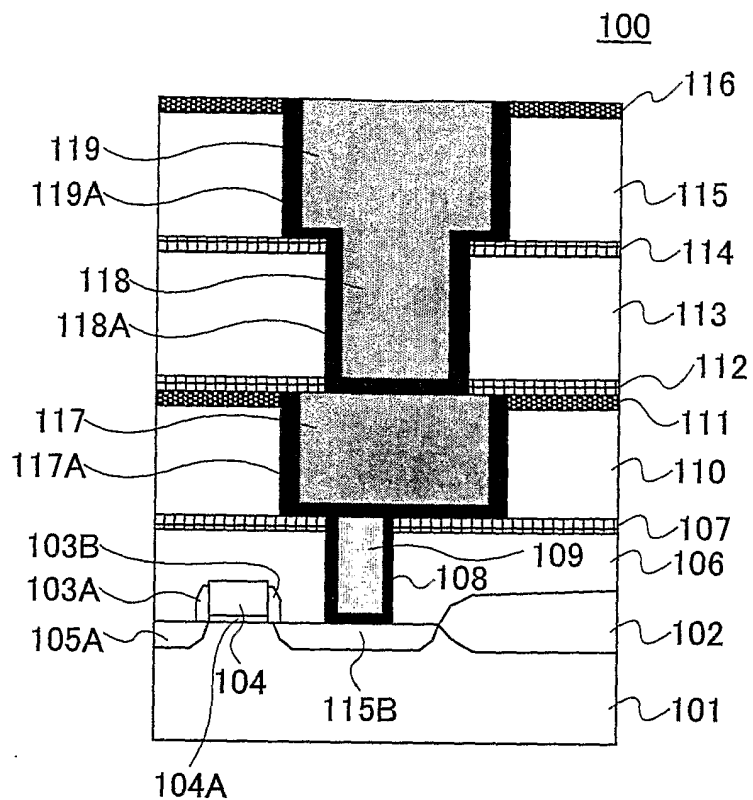
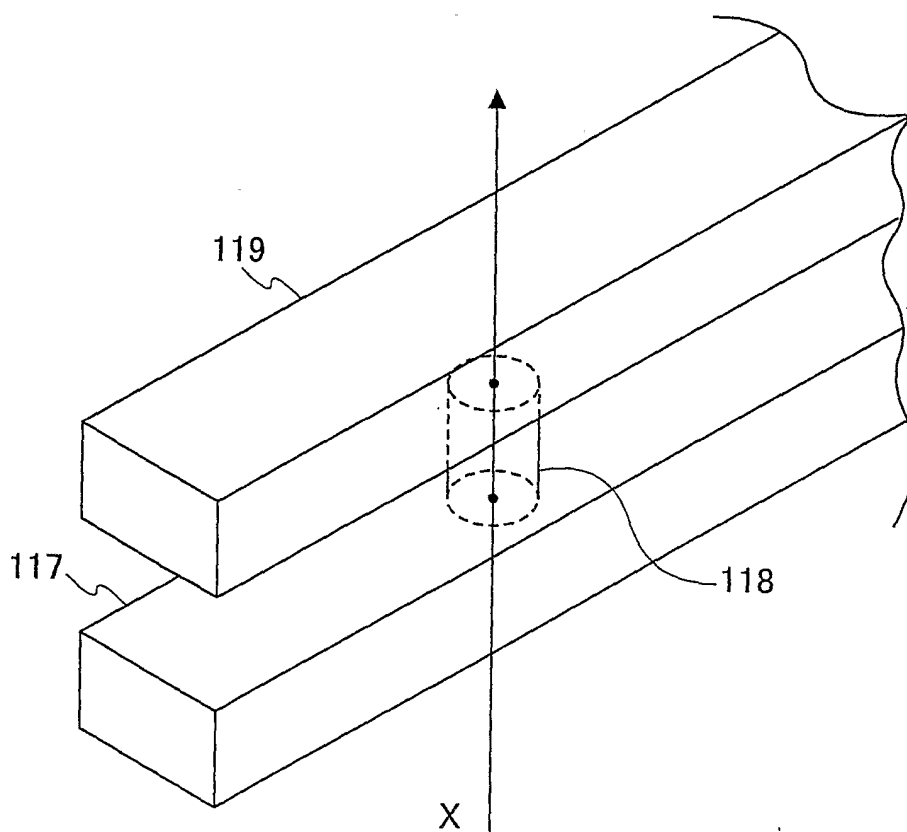


FIG.2



2/15

FIG.3

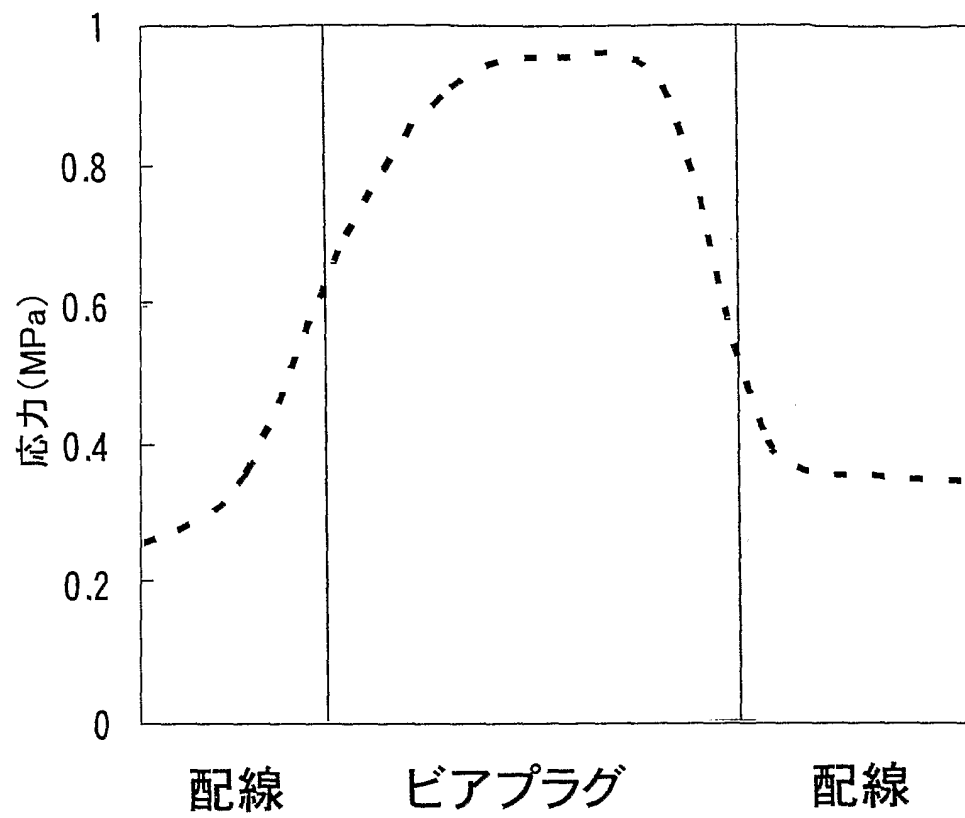


FIG.4

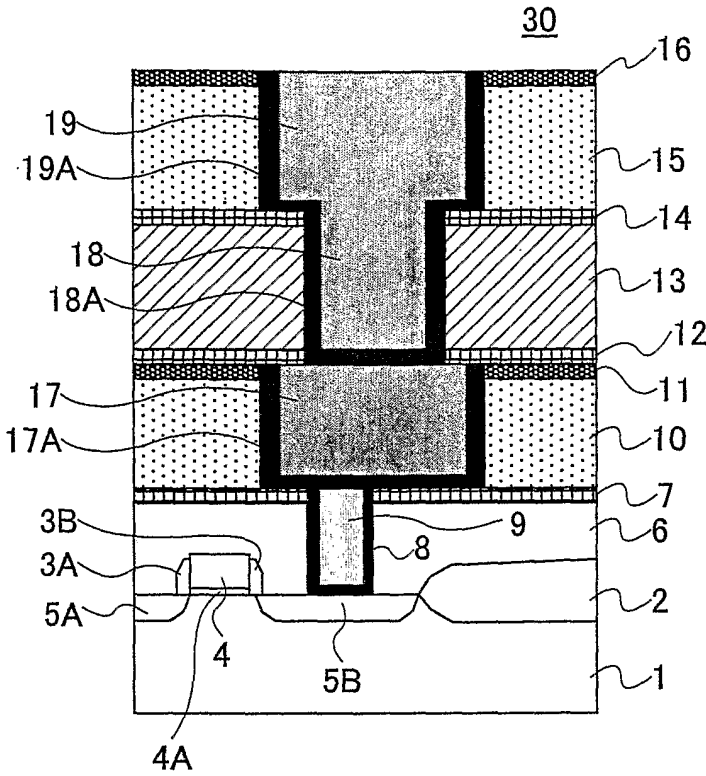
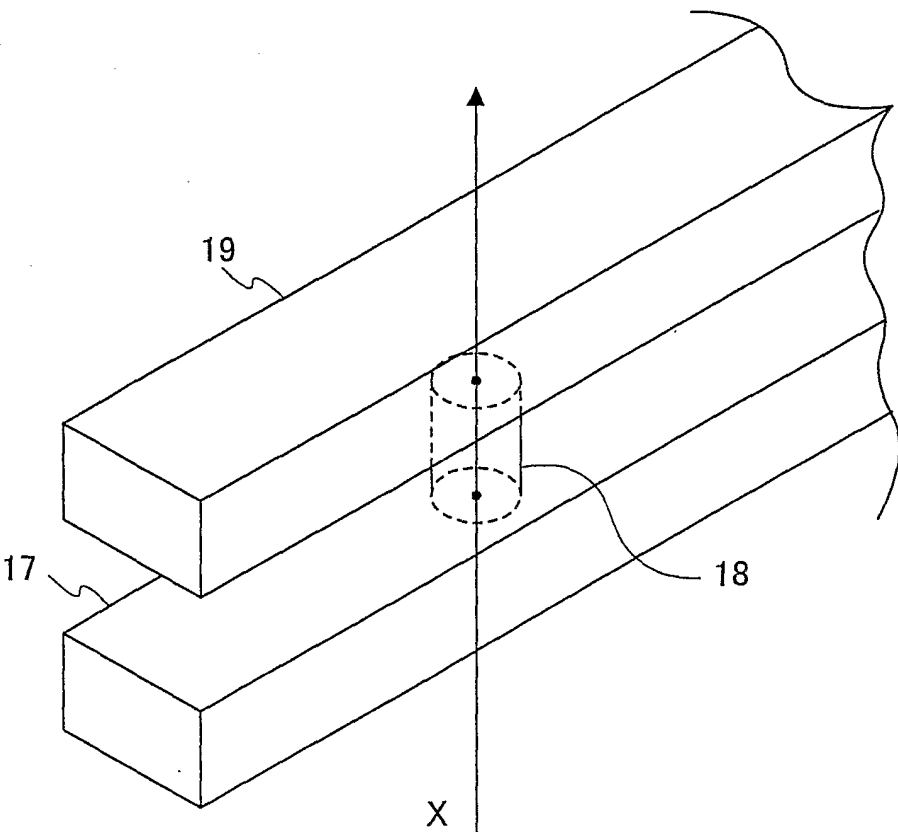


FIG.5



4/15

FIG.6

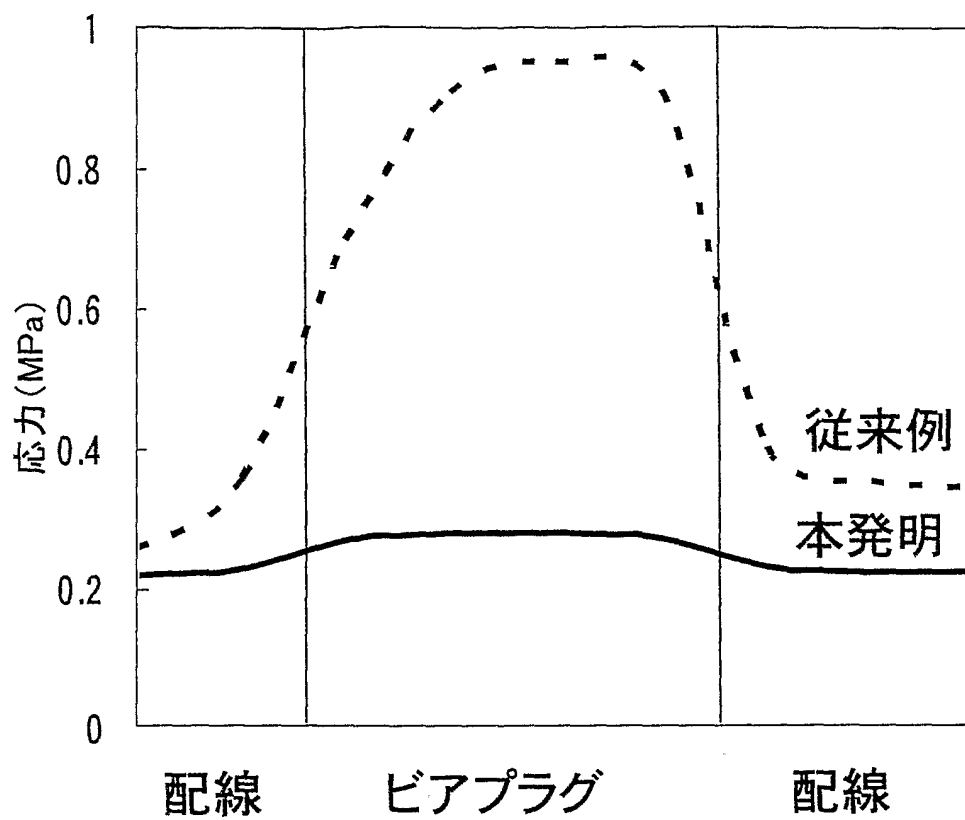


FIG.7A

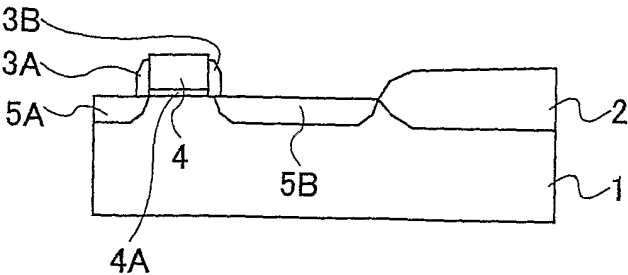


FIG.7B

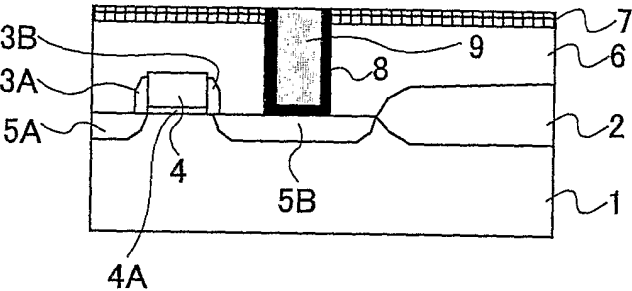


FIG.7C

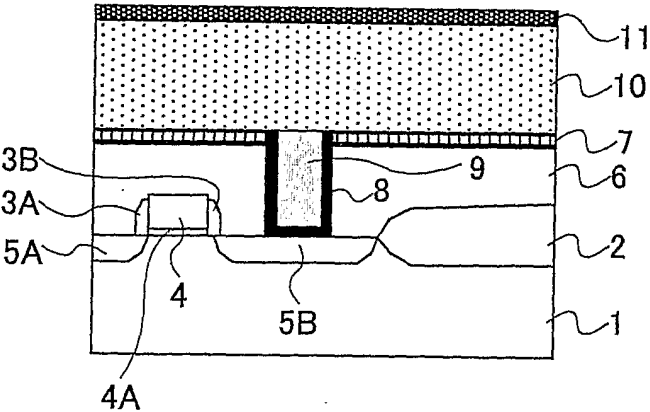


FIG.7D

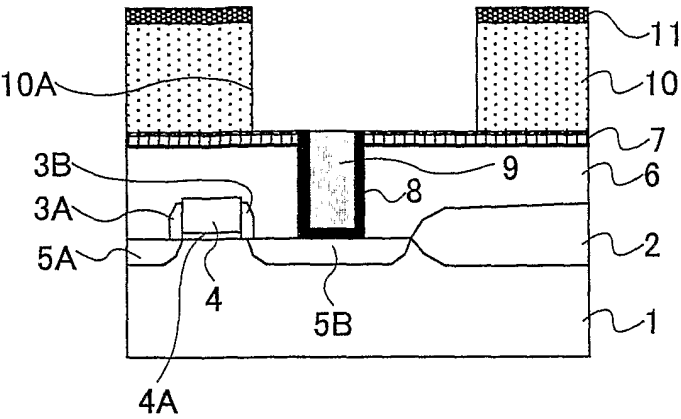


FIG.7E

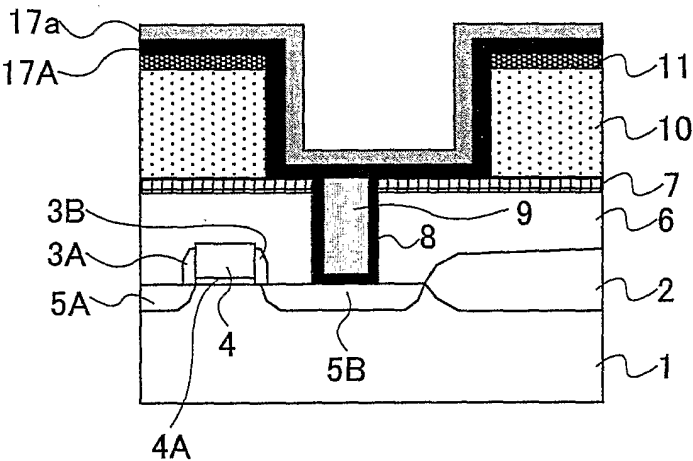


FIG.7F

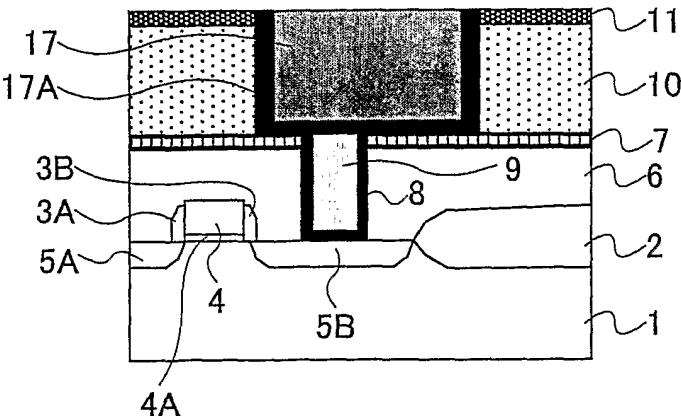


FIG. 8A

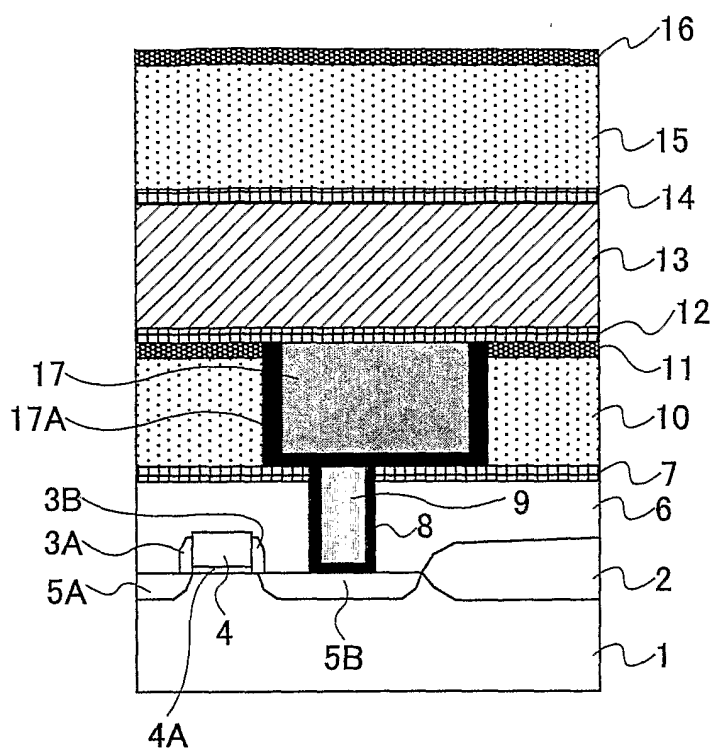


FIG. 8B

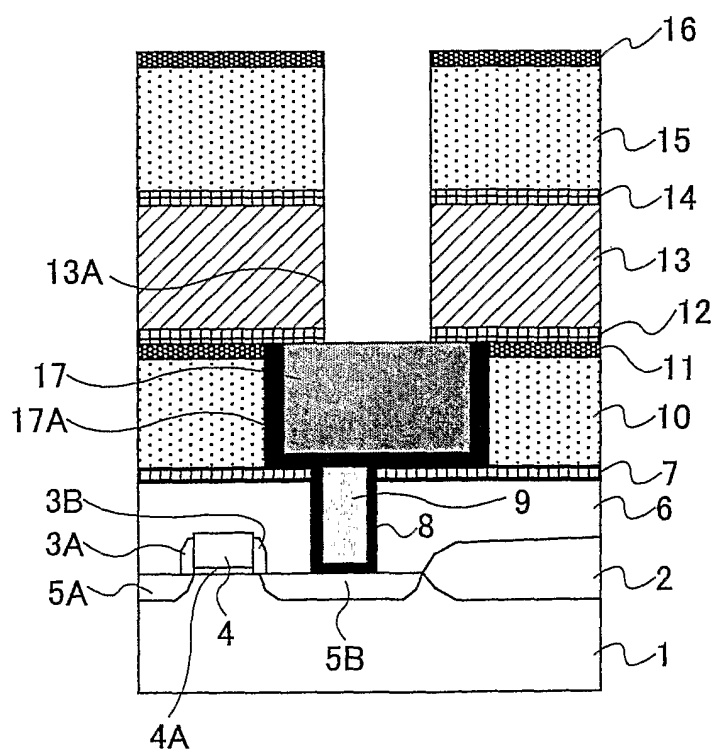


FIG. 8C

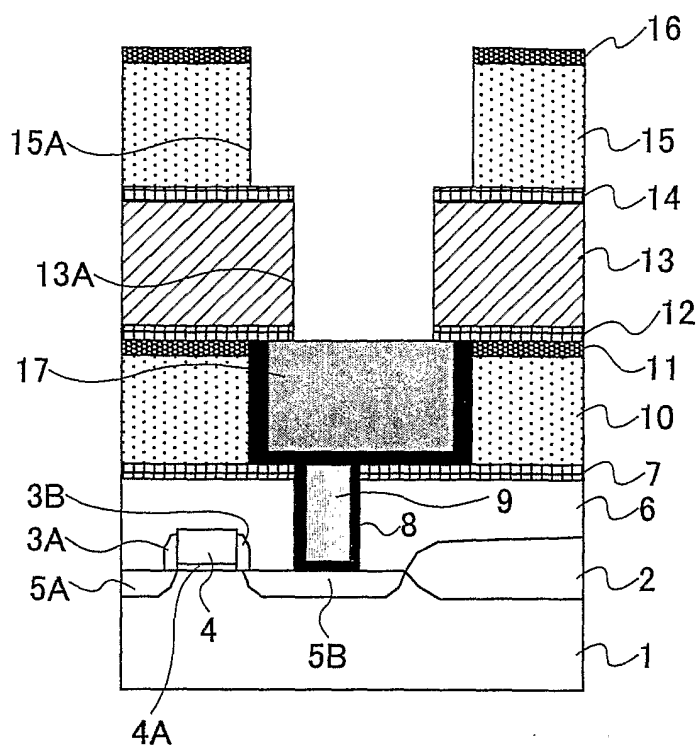


FIG. 8D

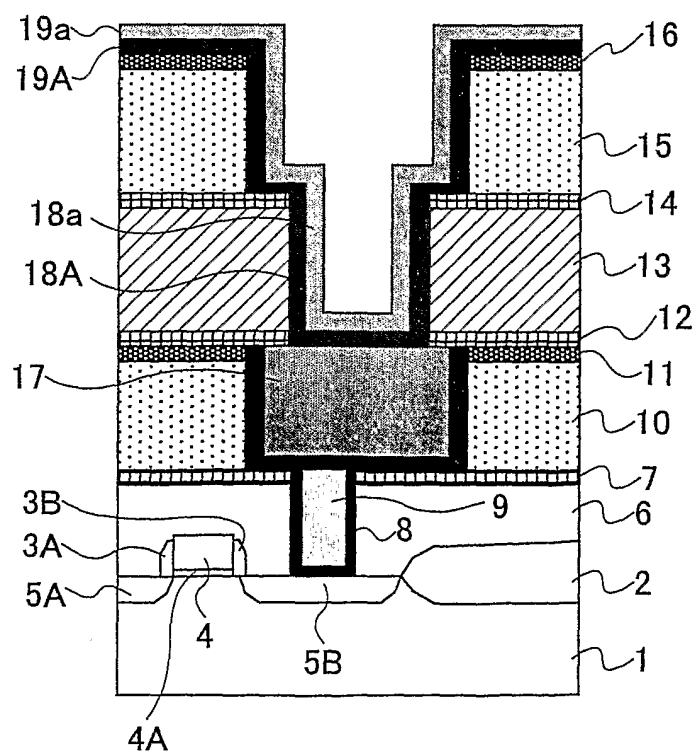


FIG.8E

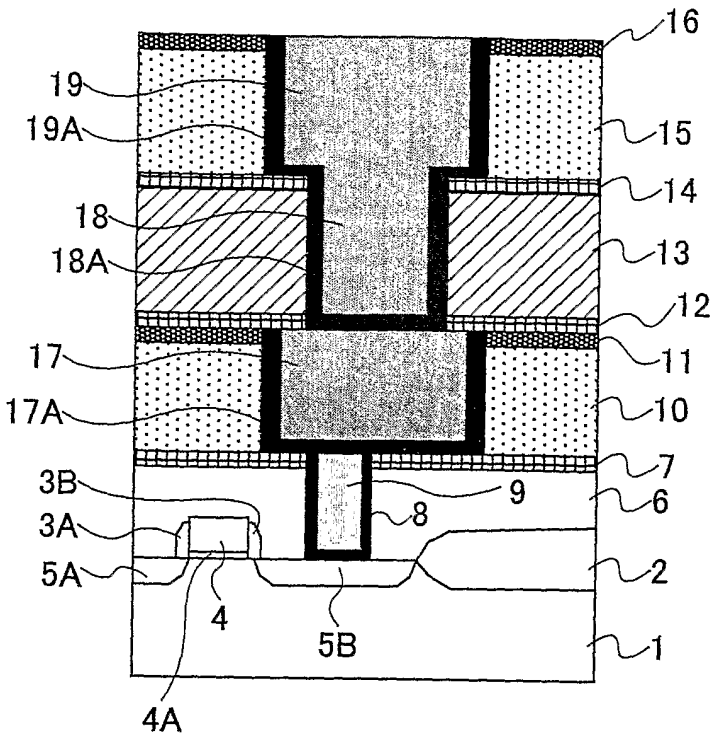


FIG.9A

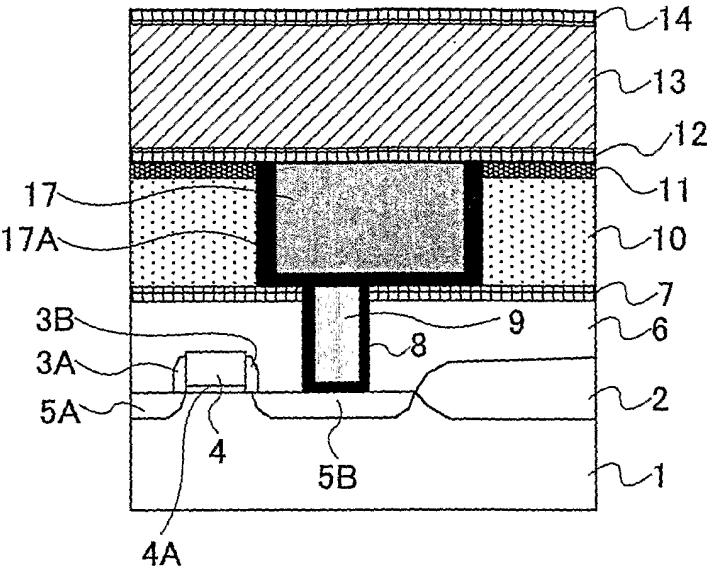


FIG.9B

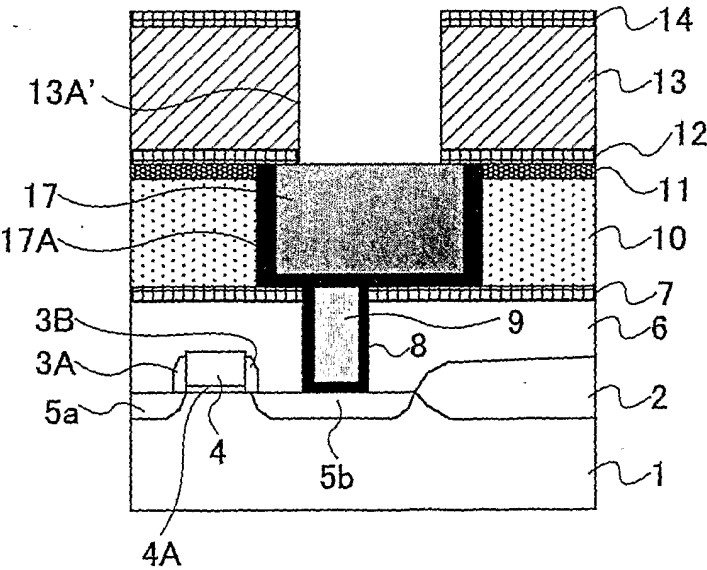


FIG.9C

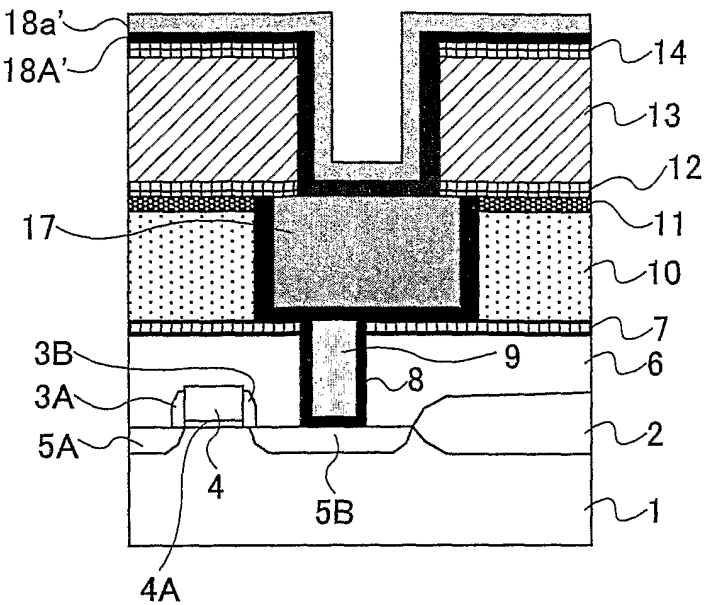


FIG.9D

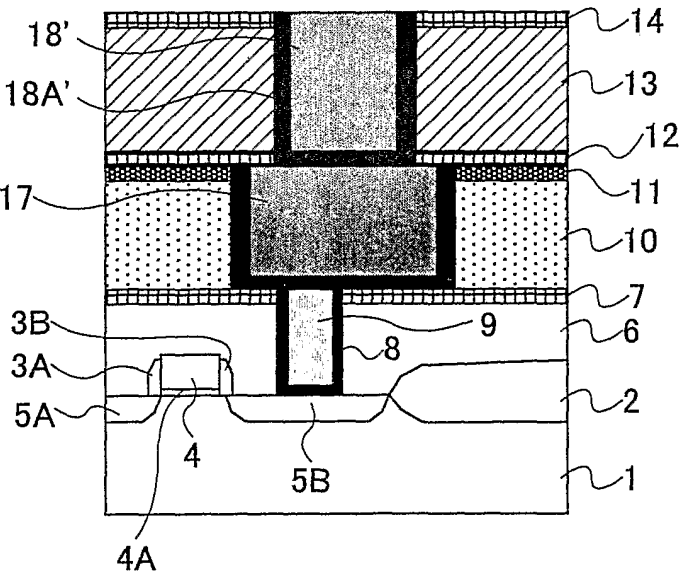


FIG.9E

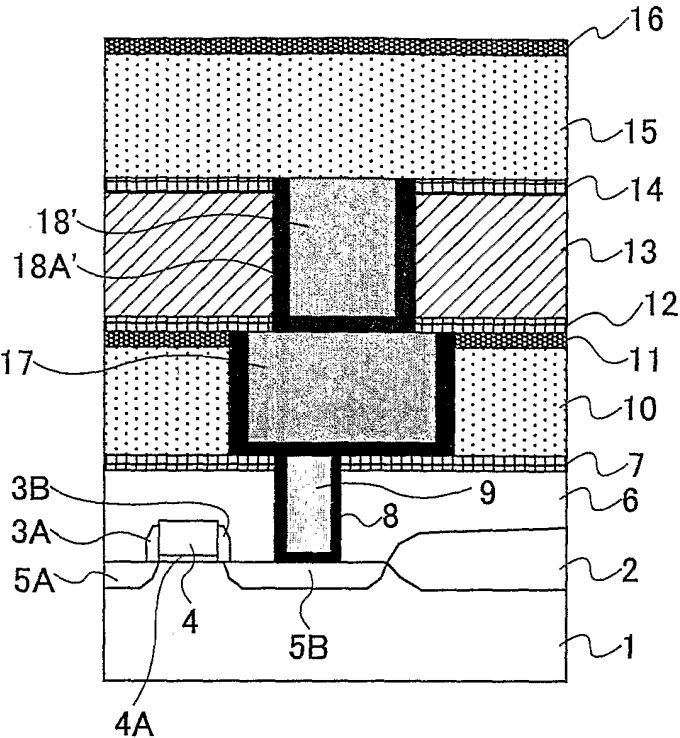
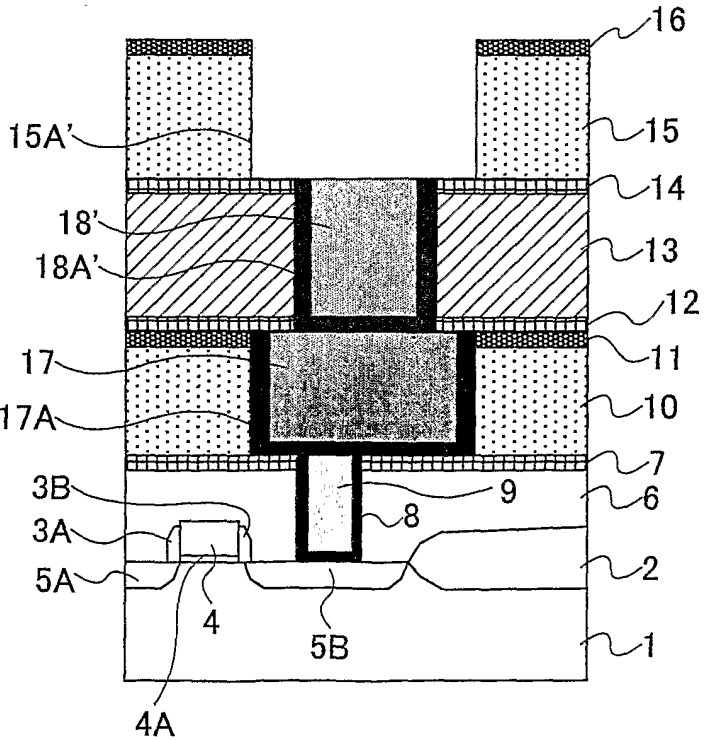


FIG.9F



13/15

FIG.9G

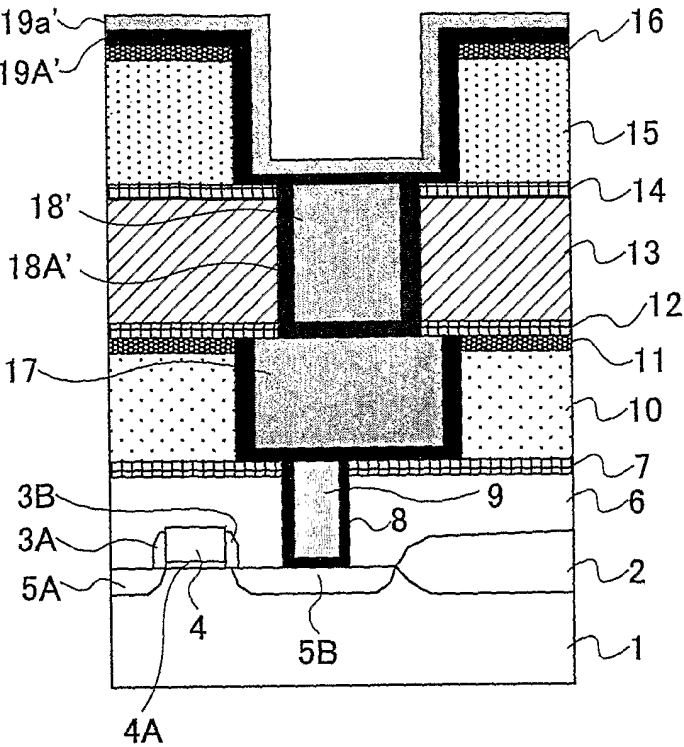


FIG.9H

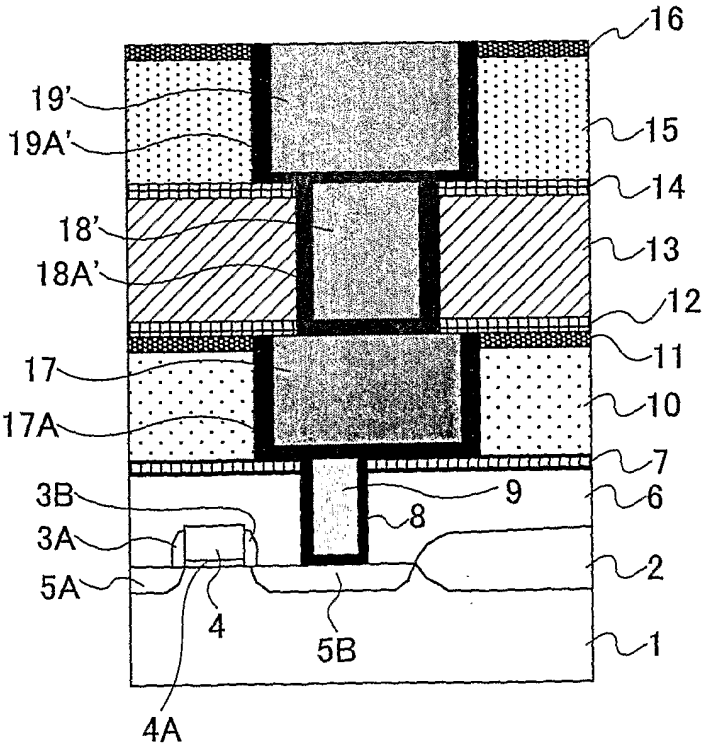


FIG.10

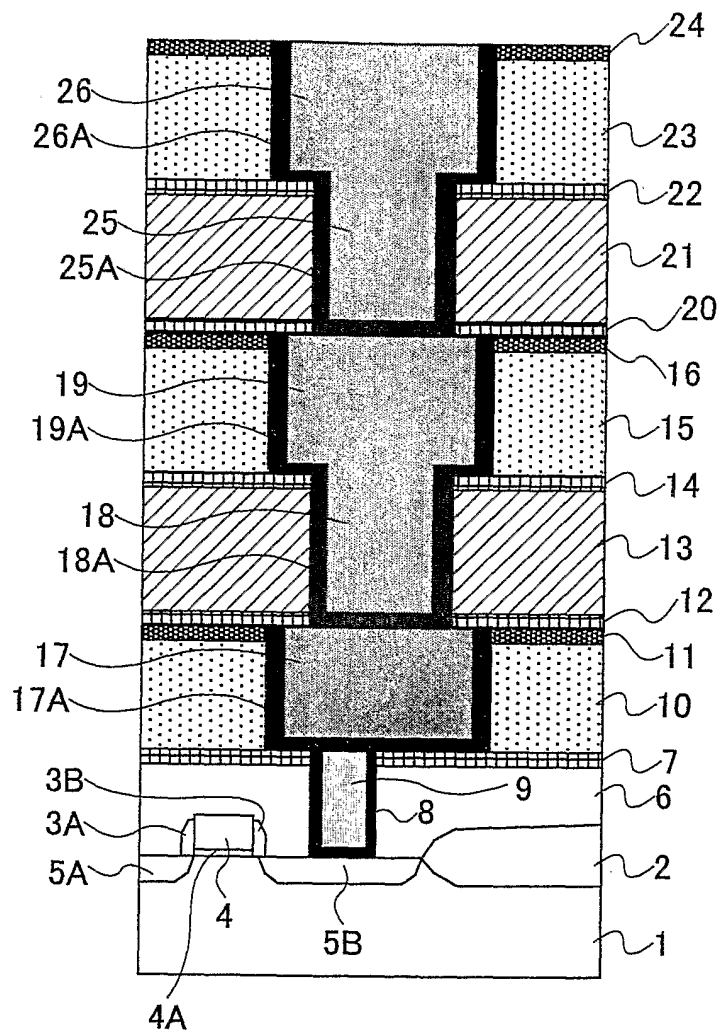


FIG.11B

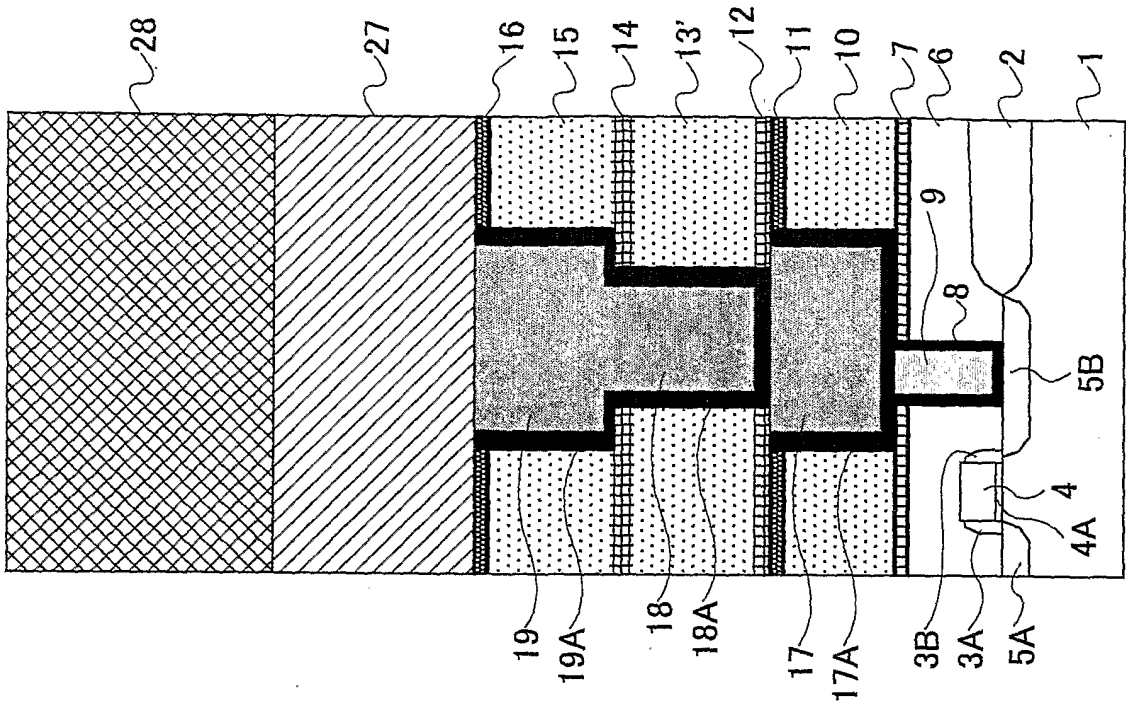
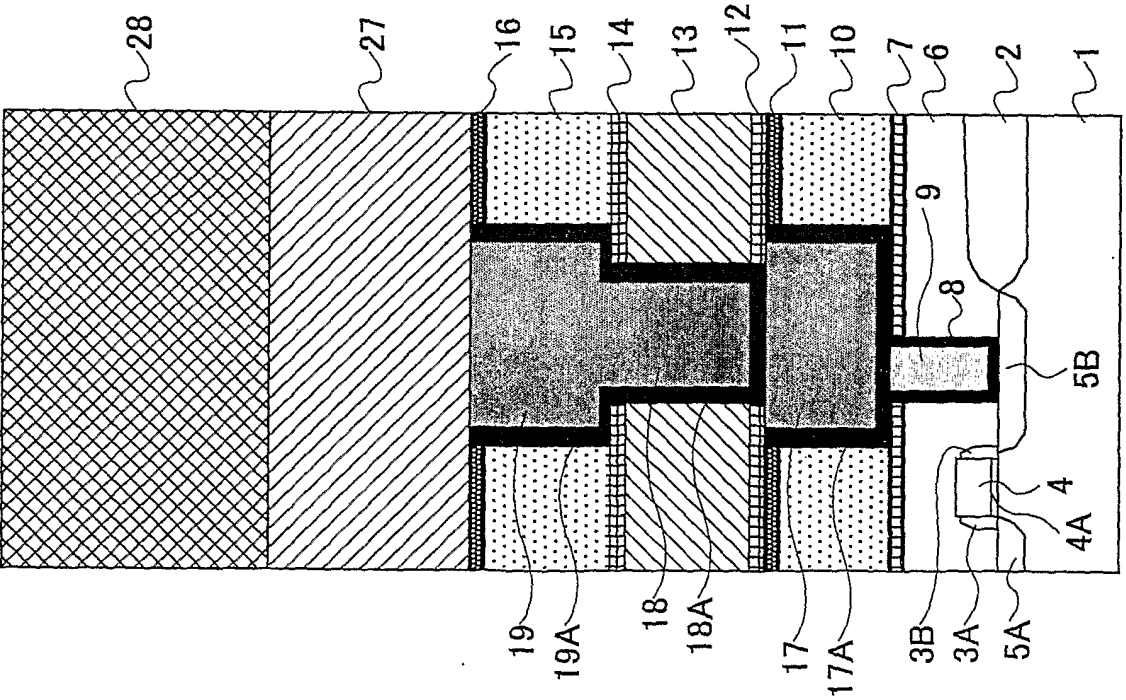


FIG.11A



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06357

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/768, H01L21/3205, H01L21/316

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/768, H01L21/3205, H01L21/316

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2001-274239 A (Toshiba Corp.), 05 October, 2001 (05.10.01), Fig. 1 (Family: none)	1-3, 7-11 4-6
Y	WO 00/13221 A1 (ALLIEDSIGNAL INC.), 09 March, 2000 (09.03.00), Full text & EP 1118110 A1 & JP 2002-524849 A Full text	4
Y	US 6410462 B1 (SHARP LABORATORIES OF AMERICA, INC.), 25 June, 2002 (25.06.02), Full text & JP 2002-16062 A Full text	5-6

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
12 August, 2003 (12.08.03)

Date of mailing of the international search report
26 August, 2003 (26.08.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/06357

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 5880018 A (MOTOROLA INC.), 09 May, 1999 (09.05.99), Figs. 1 to 10 & EP 0834916 A2 & JP 10-116907 A Figs. 1 to 10	1-3, 7-11 4-6
X Y	JP 2002-305193 A (Sony Corp.), 18 October, 2002 (18.10.02), Full text (Family: none)	1-3, 7-11 4-6
A	JP 2002-164428 A (Hitachi, Ltd.), 07 June, 2002 (07.06.02), Full text (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/768, H01L21/3205, H01L21/316

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L21/768, H01L21/3205, H01L21/316

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国実用新案登録公報 1996-2003年

日本国登録実用新案公報 1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 2001-274239 A (株式会社東芝)	1-3,
Y	2001. 10. 05, 図1 (ファミリーなし)	7-11
Y	WO 00/13221 A1 (ALLIED SIGNAL IN C.) 2000. 03. 09, 全文 & EP 1118110 A1 & J P 2002-524849 A, 全文	4-6
		4

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

12.08.03

国際調査報告の発送日

26.08.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

大嶋 洋一

印

4 L

3239

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 6410462 B1 (SHARP LABORATORIES OF AMERICA, INC.) 2002. 06. 25, 全文 & JP 2002-16062 A, 全文	5-6
X	US 5880018 A (MOTOROLA INC.) 1999. 05. 09, 第1図~第10図 & EP 0834916 A2 & JP 10-116907 A, 第1図~第10図	1-3, 7-11
Y		4-6
X	JP 2002-305193 A (ソニー株式会社) 2002. 10. 18, 全文 (ファミリーなし)	1-3, 7-11
Y		4-6
A	JP 2002-164428 A (株式会社日立製作所) 2002. 06. 07, 全文 (ファミリーなし)	1-11