



(12)发明专利

(10)授权公告号 CN 102543946 B

(45)授权公告日 2016.12.07

(21)申请号 201110427046.8

(22)申请日 2011.12.08

(65)同一申请的已公布的文献号

申请公布号 CN 102543946 A

(43)申请公布日 2012.07.04

(30)优先权数据

12/962761 2010.12.08 US

(73)专利权人 通用电气公司

地址 美国纽约州

(72)发明人 R·A·博普雷 P·A·麦康奈利

A·V·高达 T·B·戈尔茨卡

(74)专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 柯广华 朱海煜

(51)Int.Cl.

H01L 23/522(2006.01)

H01L 29/423(2006.01)

(56)对比文件

US 4198444 ,1980.04.15,

US 6329708 B1,2001.12.11,

WO 2009/156970 A1,2009.12.30,

审查员 赵辉

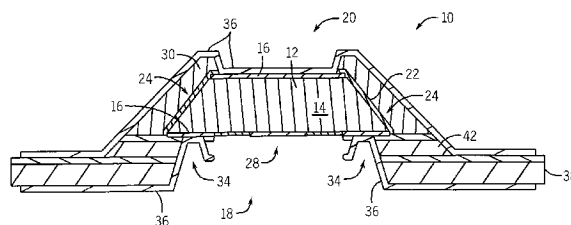
权利要求书2页 说明书10页 附图10页

(54)发明名称

半导体器件封装及其制造方法

(57)摘要

本发明名称为“半导体器件封装及其制造方法”。一种半导体器件封装,包括具有其上形成的连接垫片的半导体器件,其中连接垫片在半导体器件的第一表面和第二表面上形成,半导体器件边缘在第一表面和第二表面之间延伸。在半导体器件上施加第一钝化层,并且半导体器件的第一表面附有基极介电层压材料,其厚度大于第一钝化层的厚度。在第一钝化层和半导体器件上方施加厚度大于第一钝化层厚度的第二钝化层,以覆盖半导体器件的第二表面和边缘,并且金属互连耦合到连接垫片,其中金属互连贯穿穿过第一钝化层和第二钝化层及基极介电层压片形成的通孔,以形成与连接垫片的连接。



1. 一种半导体器件封装(10), 包括:

半导体器件(12), 其包括由半导体材料组成的衬底(14)和在所述衬底(14)上形成的多个金属连接垫片(16), 所述多个金属连接垫片(16)在所述半导体器件(12)的相对的第一表面和第二表面(18、20)的每个上形成, 其中所述半导体器件(12)的边缘(24)在所述第一表面与所述第二表面(18、20)之间延伸;

施加到所述半导体器件(12)上的第一钝化层(22), 施加所述第一钝化层(22)以覆盖包括在所述衬底(14)上形成的所述多个金属连接垫片(16)的所述半导体器件(12);

附于所述半导体器件(12)的所述第一表面(18)的基极介电层压片(42), 所述基极介电层压片(42)的厚度大于所述第一钝化层(22)的厚度;

第二钝化层(30), 其施加到所述第一钝化层(22)和所述半导体器件(12)上方并且厚度大于所述第一钝化层(22)的厚度, 其中所述第二钝化层(30)覆盖所述半导体器件(12)的所述第二表面(20)和所述边缘(24); 以及

电耦合到所述半导体器件(12)的所述多个金属连接垫片(16)的多个金属互连(36), 所述多个金属互连(36)的每一个贯穿穿过所述第一钝化层和第二钝化层(22、30)及所述基极介电层压片(42)形成的相应通孔(34), 以形成与所述多个金属连接垫片(16)中的一个的直接金属连接。

2. 如权利要求1所述的半导体器件封装(10), 其中, 所述第一钝化层(22)包括氮化硅和氧化硅中的一种。

3. 如权利要求1所述的半导体器件封装(10), 其中, 所述第二钝化层(30)包括施加到所述第一钝化层(22)及所述半导体器件(12)的所述第二表面和边缘(24)上方的至少一个介电层压片, 其中形成所述至少一个介电层压片以基本匹配所述半导体器件(12)的形状。

4. 如权利要求3所述的半导体器件封装(10), 还包括定位于所述第一钝化层(22)与所述第二钝化层(30)之间的粘合层。

5. 如权利要求1所述的半导体器件封装(10), 其中, 所述第二钝化层(30)包括施加到所述第一钝化层(22)及所述半导体器件(12)的所述第二表面(20)和边缘(24)上方以基本匹配所述半导体器件(12)的形状的液态介电材料, 经由喷射施加、模塑施加和选择性沉积施加中的一种施加所述液态介电材料。

6. 如权利要求1所述的半导体器件封装(10), 还包括附于所述基极介电层压片(42)并向外延伸超过所述半导体器件(12)的周界的额外介电层压片(74)。

7. 如权利要求6所述的半导体器件封装(10), 其中, 所述多个金属互连(36)向外延伸超过所述半导体器件(12)的所述周界并延伸到所述额外介电层压片(74)上。

8. 如权利要求6所述的半导体器件封装(10), 还包括在向外延伸超过所述半导体器件(12)的所述周界的所述额外介电层压片(74)上形成的搭接(90), 其中, 所述搭接(90)配置成耦合所述半导体器件封装(10)与另一个半导体器件封装(94)。

9. 如权利要求1所述的半导体器件封装(10), 其中, 所述半导体器件(12)包括光二极管, 其中所述半导体器件封装(10)还包括穿过所述基极介电层压片(42)和所述第二钝化层(30)中的一个形成的光窗口(82), 以暴露所述光二极管的一个表面。

10. 如权利要求1所述的半导体器件封装(10), 其中, 所述第二钝化层(30)配置成具有为所述半导体器件封装(10)提供需要的击穿电压并还为所述半导体器件封装(10)提供最

小化的寄生电感的厚度。

半导体器件封装及其制造方法

技术领域

[0001] 一般来说,本发明的实施例涉及封装半导体器件的结构和方法,并且更具体地说,涉及提供高击穿电压和低寄生电感的半导体器件封装结构。

背景技术

[0002] 功率半导体器件例如是在功率电子电路(例如,开关模式电源)中用作开关或整流器的半导体器件。大部分功率半导体器件仅在换向模式(即,它们或者开或者关)中使用,并因而为此进行优化。一个常见的功率半导体器件为高压功率半导体二极管。高压功率半导体二极管以与其低功率对应物相似的原理工作,但是能够载运更大量的电流并且在关闭状态下通常能够支持更大的反向偏压。在使用中,高压功率半导体二极管通过功率覆盖(POL)封装和互连系统连接到外部电路,同时该POL封装还提供移除由二极管生成的热量的方法并针对外部环境保护二极管。

[0003] 为了有效地工作,半导体二极管需要其阳极和阴极联结之间的介电隔离以及阳极与阴极之间的低回线电感。针对在阳极与阴极联结之间提供介电隔离,通常为半导体二极管提供能够提供高反向击穿电压(例如,高达10kV)的高介电材料。但是,此类介电材料通常具有增大的厚度,其可能与半导体二极管的某些POL封装技术不兼容,并且如果不正常控制厚度,则可导致增大的寄生电感。针对在阳极与阴极之间提供低回线电感,在使用常规封装技术控制电感时出现难题。也就是说,常规封装技术存在与此类封装的高寄生电感相关联的固有问题,这种电感限制半导体二极管的工作频率,因为它在换向期间在二极管中生成损失。

[0004] 为了在阳极与阴极联结之间提供介电隔离,需要半导体二极管包括能够提供高反向击穿电压的高介电材料,同时与最佳POL封装和封装技术兼容且对封装电感没有负面影响。为了在阳极与阴极之间提供低回线电感,需要半导体二极管的POL封装以最小化寄生电感的方式构成。为了构成二极管阵列,POL封装还应提供可重复性以及多个二极管之间的电感和电容匹配。

[0005] 相应地,需要在二极管中提供高击穿电压以及在半导体二极管封装中提供低寄生电感的半导体二极管封装。

发明内容

[0006] 本发明的实施例通过提供具有高击穿电压和低寄生电感的半导体器件封装结构克服了上述缺点。围绕半导体器件形成多个钝化层,这些钝化层的厚度为半导体器件封装提供所需的击穿电压并还为半导体器件封装提供最小化的寄生电感。

[0007] 根据本发明的一个方面,半导体器件封装包括半导体器件,其具有由半导体材料组成的衬底和在衬底上形成的多个金属连接垫片,其中多个金属连接垫片在半导体器件的第一和第二相对表面的每个上形成,同时半导体器件的边缘在第一表面与第二表面之间延伸。半导体器件封装还包括在半导体器件上施加的第一钝化层,用于覆盖半导体器件和在

衬底上形成的多个金属连接垫片,以及附于半导体器件的第一表面的基极介电层压片,该基极介电层压片的厚度大于第一钝化层的厚度。半导体器件封装进一步包括施加到第一钝化层和半导体器件上方的、厚度大于第一钝化层厚度的第二钝化层,用于覆盖半导体器件的第二表面和边缘,以及电耦合到半导体器件的多个金属连接垫片的多个金属互连,其中多个金属互连的每一个贯穿穿过第一钝化层和第二钝化层及基极介电层压片形成的相应通孔,以形成与多个金属连接垫片中的一个的直接金属连接。

[0008] 根据本发明的另一个方面,一种形成半导体器件封装的方法,包括:提供具有由半导体材料组成的衬底和在衬底上形成的多个金属连接垫片的半导体器件,其中多个金属连接垫片在半导体器件的顶面和底面上形成。该方法还包括在半导体器件的顶面和底面及在顶面与底面之间延伸的半导体器件的边缘上施加第一钝化层,将基极介电膜粘合到半导体器件的底面,以及在半导体器件的顶面和边缘及第一钝化层上方施加第二钝化层以形成钝化的半导体器件,其中第二钝化层的厚度大于第一钝化层的厚度。该方法进一步包括图案化基极介电膜及第一钝化层和第二钝化层,以暴露多个金属互连,以及形成贯穿图案化的基极介电膜及图案化的第一钝化层和第二钝化层的多个金属互连,以形成与多个金属连接垫片的直接金属连接。

[0009] 根据本发明的又一个方面,一种形成半导体器件封装的方法,包括:提供具有由半导体材料组成的衬底和在衬底上形成的多个金属连接垫片的半导体器件,其中多个金属连接垫片在半导体器件的顶面和底面上形成。该方法还包括围绕半导体器件施加薄的第一钝化层以钝化半导体器件的顶面和底面并钝化半导体器件的边缘,将基极介电层压材料施加到半导体器件的底面,以及在半导体器件的至少边缘和第一钝化层上方施加第二钝化层以形成钝化的半导体器件,其中施加第二钝化层,以使其具有的厚度为半导体器件封装提供所需的击穿电压并还为半导体器件封装提供最小化的寄生电感。该方法进一步包括图案化基极介电膜及第一钝化层和第二钝化层,以形成穿过其中的多个通孔,以及形成贯穿通孔的多个金属互连,从而形成与多个金属互连的直接金属连接。

[0010] 通过结合附图提供的本发明优选实施例的下面的详细描述,这些及其它优点和特征将更易于理解。

附图说明

[0011] 附图示出当前预期用于执行本发明的实施例。

[0012] 在附图中:

[0013] 图1是根据本发明的一实施例的半导体器件封装的示意截面侧视图。

[0014] 图2-13是根据本发明的一实施例的半导体器件封装在制造/积层(build up)过程中的多个阶段期间的示意截面侧视图。

[0015] 图14-17是根据本发明的一实施例的半导体器件封装在搭接形成过程中的多个阶段期间的示意截面侧视图。

[0016] 图18-20是根据本发明的一实施例的半导体器件封装阵列在组装过程中的多个阶段期间的示意截面侧视图。

具体实施方式

[0017] 本发明的实施例提供具有高击穿电压和低寄生电感的半导体器件封装,以及形成这种半导体器件封装的方法。制造半导体器件封装以使得半导体器件的边缘使用不同厚度的多个介电层进行钝化,同时形成到半导体器件的顶面和底面的电互连系统。

[0018] 参照图1,示出根据本发明的一示范实施例的半导体器件封装10。半导体器件封装10包括半导体器件12,根据多种实施例,它可以是管芯、二极管或其它电子器件的形式。根据本发明的一示范实施例,半导体器件12是高压半导体二极管的形式,例如在相反方向具有反偏压的光二极管。如图1所示,根据本发明的一个实施例,半导体器件12可为梯形;但是应当认识到,可以设想半导体器件12的其它形状和配置,例如矩形。此外,对于半导体器件12的形状和大小,应当认识到,半导体器件12为“较厚”的器件,例如半导体器件12的厚度/高度高达40mm或以上。

[0019] 半导体器件12包括由半导体材料形成的衬底14,半导体材料例如硅、碳化硅、氮化镓、砷化镓或另一种半导体材料,其中添加杂质以在一面创建包括负电荷载子(电子)的区域,称作n型半导体,以及在另一面创建包括正电荷载子(空穴)的区域,称作p型半导体。衬底内这两个区域之间的界限称作PN结,是发生二极管动作的地方,衬底在从p型侧(即,阳极)到n型侧(即,阴极)的方向中而不是相反方向中传导常规电流。半导体器件12称作“高压”器件是因为它通常在3kV或更高的电压下、设想超过10kV的电压下工作。

[0020] 多个金属化电路和/或连接垫片(即,端子)16在衬底上形成并附连到P区域和N区域的每一个,通过它们可实现到半导体器件12的电连接。如图1所示,电路/连接垫片16在衬底的表面18、20上形成,以使得可实现与半导体器件12的两个表面的电连接。

[0021] 半导体器件封装10中还包括围绕半导体器件12的表面18、20和边缘24形成的第一钝化或介电层22,从而覆盖衬底14和金属化电路/连接垫片16。第一钝化层22是高性能膜的形式,例如氮化硅、氧化硅或另一种合适的介电材料,其施加到半导体器件12上以具有一致的厚度。根据本发明的一个实施例,氮化硅/氧化硅钝化层22使用等离子体增强化学汽相沉积(PECVD)施加以具有大约为1到2微米的厚度。因此,第一钝化层22用于钝化半导体器件12的边缘24以及保护金属化电路/连接垫片16和衬底14的表面,例如在半导体器件封装10的制造过程期间(例如,蚀刻、层压等),如下文中详细描述。

[0022] 如图1所示,在邻近半导体器件12的金属电路/连接垫片16的位置中移除第一钝化层22的部分,例如通过使用活性离子蚀刻(RIE),从而提供到那些电路/连接垫片16的电互连。根据本发明的一实施例,其中半导体器件封装10是光学有源器件的形式,而氮化物或氧化物钝化层22是光学透明的,以使得允许光从中穿过,同时仍提供半导体器件封装10的光学窗口28的保护。但是应当认识到,半导体器件12可以是并非光学有源器件的器件/二极管的形式,并因此本发明的实施例可不包括光学窗口28,也不需要光学透明的钝化层。

[0023] 虽然第一钝化层22用于钝化半导体器件12的边缘24并为其上形成的金属电路/连接垫片16提供保护性覆盖,但是应当认识到,第一钝化层22(即氮化硅/氧化硅涂层)的单薄通常不足以承载极大的电压。因此,半导体器件封装10还包括施加到第一钝化层22上面并延伸到半导体器件12的边缘24上方的第二钝化或介电层30,视第二钝化层30的形式而定,其间可选地包括粘合层(未示出)。如图1所示,与第一钝化层22相比,第二钝化层30施加为介电材料的更厚层或涂层,从而提供更高的介电强度并增大半导体器件10的击穿电压。根据本发明的一个实施例,第二钝化层30的厚度可高达1到2mm。

[0024] 因为用于形成第一钝化层22的氮化物或氧化物无法施加得超过几微米厚,因此第二钝化层30由如下材料形成:其不同于第一钝化层22但提供与第一钝化层22的已施加氮化物/氧化物膜的良好兼容性(即,粘合)。因此,第二钝化层30可使用诸如聚酰亚胺、环氧树脂、派瑞林(paralyene)和硅酮的材料形成。根据一个实施例,第二钝化层30是预先形成的层压片或膜的形式,其由Kapton®、Ultem®、聚四氟乙烯(PTFE)、Upilex®、聚砜材料(例如,Udel®、Radel®)或另一种聚合物膜(例如,液晶聚合物(LCP)或聚酰亚胺材料)来形成。备选地,第二钝化层30可以是液态形式并经由喷涂施加、模塑过程或选择性沉积过程(即,“直写”)之一施加,如将在下文中详细描述。在任一实施例中,无论由介电材料形成的第二钝化层30以层压形式、液态形式还是其组合来施加,第二钝化层30以受控的方式施加到半导体器件12的边缘24上方,以使得其厚度足以达到所需/所要求的介电强度但却不会过度增大半导体器件12的电感回路。因此,对于每1000伏特所需的介电击穿强度,第二钝化层30的典型厚度处于例如约10到50微米的范围内。

[0025] 如图1中进一步示出,根据本发明的一个实施例,基极介电层压材料层42施加到半导体器件12的表面18,由此围绕半导体器件完整地形成更厚的介电层(即,围绕半导体器件12形成第二钝化层30和层压材料42的组合)。第一钝化层和第二钝化层22、30中的每一个,以及基极介电层压材料和固定到基极介电层压材料42的额外介电膜38的层压片均被选择性图案化以在其中形成多个通孔和/或开口34。通孔/开口34在对应于半导体器件12上形成的金属化电路/连接垫片16的位置处形成,以便暴露金属电路/连接垫片16。根据本发明的一个实施例,在半导体器件12上施加层22、30,基极介电层压材料42及介电膜38之后,通过执行激光消融或激光钻孔过程形成穿过第一钝化层和第二钝化层22、30,基极介电层压材料42及介电膜38的通孔/开口34。备选地,可通过在第一钝化层22上施加第二钝化层和/或介电层压材料42、38之前执行激光消融或激光钻孔过程,而在第二钝化层30和/或介电层压材料42、38中预先形成通孔/开口34。在预钻穿过第二钝化层30和介电层压材料42、38的通孔/开口34的实施例中,会执行分离的活性离子蚀刻(RIE)过程以使通孔/开口34穿过第一钝化层22向下延伸到电路/连接垫片16。根据本发明的额外实施例,还应当认识到,通孔/开口34可通过其它方法形成,包括等离子体蚀刻、光定义(photo-definition)或机械钻孔过程。

[0026] 在每个通孔/开口34中形成金属互连36,其穿过通孔/开口34向下延伸到半导体器件12上的电路/连接垫片16。金属互连36由此形成到电路/连接垫片16的直接金属和电连接,以紧密封装、密闭的布置形成互连。金属互连36通过施加金属层/材料(例如,经由溅射或电镀过程),然后将施加的金属材料图案化成具有所需形状的金属互连36来形成。根据一个实施例,金属互连36通过经由溅射过程施加钛粘合层和铜晶种层,然后在其上电镀额外的铜以增大金属互连36的厚度来形成。如图1所示,在半导体器件12的表面20上,金属互连36的镀铜从半导体器件12的电路/连接垫片16向外延伸,穿过通孔/开口34,并对外越过第二钝化层30的外表面,向外经过半导体器件12的边缘24,其中互连36处于在固定到基极介电层压材料42的额外介电膜38层压片上形成的向外经过半导体器件12的边缘24的区域中。在半导体器件12的表面18上,金属互连36的镀铜从半导体器件12的电路/连接垫片16向外延伸,穿过在基极介电层压材料42和介电膜38上形成的通孔/开口34,并对外越过介电膜38的外表面,其中互连36在膜38上和膜38的、与在表面20上形成的互连36相对的一侧上向外延伸

超过半导体器件12的边缘24,从而与其电绝缘。

[0027] 有利地,半导体器件封装10的结构实现了具有高击穿电压和低电感回路的封装。也就是说,第一钝化层和第二钝化层22、30及互连36的布置可提供10kV的高击穿电压,其厚度受到控制以便还降低了半导体器件封装10的阳极与阴极之间的寄生电感。半导体器件封装10的结构允许其以改进/高效的工作频率工作,同时减少切换时间并提高后续信号传输的信号强度(例如,用于傅立叶处理的方波脉冲的生成)。

[0028] 参照图2-10,根据本发明的实施例提出用于制造半导体器件封装10的技术的多个过程步骤。如图2所示,半导体器件封装10的积层过程从在半导体器件12上施加第一钝化或介电层22开始。第一钝化层22围绕半导体器件12的表面18、20和边缘24形成,从而覆盖半导体器件的衬底14和金属化电路/连接垫片16。第一钝化层22是高性能膜的形式,例如氮化硅或氧化硅,其施加到半导体器件12上以具有一致的厚度。根据本发明的一个实施例,氮化硅/氧化硅钝化层22使用等离子体增强化学汽相沉积(PECVD)施加以具有大约为1到2微米的厚度。因此,第一钝化层22用于钝化半导体器件12的边缘24以及保护衬底14和金属化电路/连接垫片16的表面18、20。

[0029] 现在参照图3,在积层过程的下一个步骤中,半导体器件12和施加到其上的第一钝化层22放入粘合层40和伴随的层压片/膜形式的基极介电层42。如图3所示,半导体器件12放在粘合层40和介电层压片42上以使其表面18固定到层40、42,而半导体器件12的表面20保持开放。根据本发明的实施例,介电层42可使用多种介电材料之一形成,介电材料例如Kapton®、Ultem®、聚四氟乙烯(PTFE)、Uplex®、聚砜材料(例如Udel®、Radel®)或另一种聚合物膜(例如,液晶聚合物(LCP)或聚酰亚胺材料)。在将半导体器件12放到粘合层40和基极介电层压片42上时,粘合剂40硬化以将半导体器件12固定在介电层压片42上。

[0030] 积层过程继续,在半导体器件12的表面20和边缘24上施加另一介电或钝化层(即,第二钝化层)。根据本发明的实施例,如以下在图4-7中示出和描述的,应当认识到,可按照若干施加过程中的一种施加这种介电层,例如通过施加预先形成的介电材料层压片或膜层或通过经由喷涂施加、模塑过程或选择性沉积过程(即,“直写”)施加液态介电材料。

[0031] 参照图4A-4C,根据本发明的一个实施例,在半导体器件12的表面20和边缘24上方施加介电材料44的层压片,其间包括粘合层46(例如,缩合状态粘性粘合剂)以将介电材料44的片固定到半导体器件12。如图4A所示,介电片44的厚度大于第一钝化层22的厚度,介电片44的厚度基于半导体器件12所需的介电击穿强度来决定和控制。一般来说,对于每1kV所需的介电击穿强度,介电片44的厚度将在约10到50微米的范围内。

[0032] 如图4A所示,当在半导体器件12的表面20和边缘24上施加介电材料44的层压片时,可在半导体器件12的边缘24附近留下空隙48,称作“隆起”。此空隙48在积层过程的下一个步骤中通过环氧树脂或聚酰亚胺材料50来填充,如图4B所示,随后环氧树脂或聚酰亚胺材料50硬化。根据一个实施例,空隙48的一端以环氧树脂/聚酰亚胺50填充,另一端则提供排泄孔(未示出)以排出空气。应当认识到,如果看不到隆起,则不需要图4B所示的步骤。

[0033] 现在参照图4C,根据本发明的一个实施例,取决于半导体器件封装10的电要求(即,为了进一步增大介电强度),可在半导体器件12的表面20和边缘24上方施加介电材料52的额外层压片。因此,可在介电片44的上面放置介电材料52的一个额外片,其间包括粘合层54以将片44、52固定到一起。虽然图4C中未示出,但可按需要在半导体器件12的表面20上

方再添加额外的片。

[0034] 虽然图4A-4C中示出的介电层压材料44、52形成连续层压材料,但应当认识到,根据本发明的另一个实施例,可备选地施加预先图案化的层压材料。也就是说,在层压到半导体器件12之前,介电层压材料44、52中可具有预钻或预消融的通孔和/或额外开口(未示出)。这些通孔和/或开口将在对应于半导体器件12上的电路/连接垫片16的位置形成。

[0035] 现在参照图5,根据本发明的另一个实施例,经由喷涂施加在半导体器件12的表面20和边缘24上方施加液态介电材料。液态介电材料喷到半导体器件12上以便形成具有的厚度大于第一钝化层22厚度的介电层58,其中介电层58的厚度基于半导体器件12所需的介电击穿强度来决定和控制。如上所述,对于每1kV所需的介电击穿强度,介电层58的厚度将在约10到50微米的范围内。取决于介电层58所需的厚度和几何形状,可能需要执行多个喷涂步骤。

[0036] 现在参照图6A-6C,根据本发明的另一个实施例,使用模塑在半导体器件12的表面20和边缘24上方施加液态介电材料以控制所得介电层的形状和厚度。如图6A所示,翻转半导体器件12和粘合的基极介电层42以使得半导体器件12指向下方。然后,将半导体器件12放入定位于其下的模具60中,其中半导体器件12通过例如在模具60的中心形成的凸出部62在模具60中保持到位,并由此在半导体器件12与模具60之间形成空隙。例如,可通过脚位对准机制(未示出)提供半导体器件12在模具60中的确切定位。在下一个步骤中,如图6B所示,以液态介电材料64(例如,环氧树脂或聚酰亚胺)填充模具60,通过模具中提供的填充端口(未示出)将液态介电材料注入半导体器件12与模具60之间的空隙中。模具中还提供排泄口(未示出)以实现介电材料64的注入。在使用液态介电材料64填充模具60时,介电材料硬化并且模具被移除,如图6C所示,以在半导体器件12的表面20和边缘24上方形成完成的介电层66。模具60由Teflon®或类似材料构成,在从模具60中移除半导体器件12时,介电层64不应粘合于其上。

[0037] 现在参照图7,根据本发明的又一个实施例,通过选择性沉积过程或“直写”过程在半导体器件12的表面20和边缘24上方施加液态介电材料。在将介电材料直写到半导体器件12上时,使用沉积液态形式的介电材料的线或点70的可编程分发工具(未示出)分发介电材料。例如同,可编程分发工具可以是选择性地沉积液态形式的介电材料的线或点70的喷墨打印型装置的形式。勾画线/点70以获得半导体器件12的所需覆盖范围,并可施加到多个层以获得介电材料的所需几何形状和厚度。然后,施加的介电材料线/点70硬化以完成钝化。

[0038] 现在参照图8,在通过图4-7的实施例中示出和描述的技术之一在半导体器件12的表面20和边缘24上方施加第二介电或钝化层(此后一般称作30)时,半导体器件封装10的积层过程可继续消融第二钝化层30。也就是说,应当认识到,有某些情况下可能得不到第二钝化层30的确切所需的几何形状/厚度,并且需要执行对轮廓细微修改。使用的一个方法是激光消融,或类似方法,以消融掉多余的材料从而获得钝化层30的所需轮廓。如图8所示,钝化层30显示为梯形以符合半导体器件12的梯形形状;但是,应当认识到,可以设想钝化层30和半导体器件12的其它形状和配置,例如矩形。使用激光消融或另一种方法对第二钝化层30的厚度和/或几何形状进行的修改可用于上述任何介电材料施加方法,包括层压施加(图4A-4C)、喷涂施加(图5)、模塑施加(图6A-6C)或直写施加(图7)。但是,如果在初次将介电材料施加到半导体器件12上时获取了第二钝化层30的所需几何形状,例如尤其是使用模塑施

加或直写施加时可设想的,应当认识到,消融第二钝化层30以更改其厚度或几何形状是不需要的。

[0039] 如图8中进一步示出,半导体器件12经过“修整”,以去除沿半导体器件12的边缘24向外延伸超过第二钝化层30的所需轮廓的任何介电层压材料(及伴随的粘合层)的部分。根据图8所示的本发明的实施例,例如通过激光消融,从半导体器件12修整基极介电层压材料42和粘合层40的部分。但是,应当认识到,还可修整沿半导体器件12的边缘24向外延伸超过第二钝化层30的所需轮廓的其它介电层压材料,例如图4C中所示的介电层压材料52(及粘合层56)。类似于从围绕半导体器件12的表面20和边缘24形成的介电材料去除任何多余材料,可修整沿半导体器件12的边缘24向外延伸超过第二钝化层30的所需轮廓的任何介电层压材料42以实现附连于半导体器件12的介电层42的剩余部分的所需形状。因此,在图8的实施例中,以某个角度从基极介电层压材料42修整掉半导体器件12,以保持围绕半导体器件12的第二钝化层30的整体梯形形状。

[0040] 现在参照图9,在整形第二钝化层30和从基极介电层42修整掉半导体器件12时,由此形成钝化的半导体器件72。钝化的半导体器件72随后经由粘合层76附连到介电片(例如,聚酰亚胺片)74。如图9所示,介电片74中包括一般大小对应于半导体器件12的预先剪切的窗口78开口。但是,应当认识到,介电片74还可以是连续片的形式(即,其中无预先剪切的窗口),并随后在将钝化的半导体器件72放到介电层74上之后可在其中形成窗口。

[0041] 在将钝化的半导体器件72固定到介电片74时,半导体器件封装10的积层过程继续图10-13中示出的图案化和互连步骤。对于这些积层步骤,应当认识到,用于在半导体器件12的表面20和边缘24上方施加第二钝化层30的技术将决定图案化钝化层30和在半导体器件12的顶部和底部制造电互连所需的确切步骤。下面将描述图案化和互连步骤中采用的确切积层处理步骤的此类变化。

[0042] 参照图10,根据本发明的一个实施例,在第一钝化层和第二钝化层22、30中形成通孔和接触区域(即,开口)34,从而提供对半导体器件12的电路/连接垫片16的接入。通孔/开口34在对应于半导体器件12上的电路/连接垫片16的位置处形成,其中通孔/开口34成为直到在这些电路/连接垫片16上形成的第一钝化层22。根据本发明的实施例,通孔/开口34可通过激光消融或激光钻孔过程、等离子体蚀刻、光定义或机械钻孔过程来形成。在第二钝化层30以一个或多个介电层压材料/片(例如图4A-4C中示出的片44、52)的形式施加的本发明的一实施例中,通孔/开口34可穿过在半导体器件12上方施加的介电层和粘合层机械钻取。在第二钝化层30经由喷涂、直写或模塑(例如在图5-7中)施加的本发明的一实施例中,通孔/开口34可使用激光消融或激光钻孔在钝化层30中需要与器件12互连的区域中形成。但是,应当认识到,施加第二钝化层30的某些方法可消除后续消融或钻取通孔/开口34的需要。例如,对于采用模塑或直写技术的介电材料施加,可能已经在第二钝化层30中形成一个或多个通孔/开口34。

[0043] 在图案化/互连过程的下一个步骤中,并如图11所示,通过在对应于通孔/开口34的位置移除电路/连接垫片16上存在的第一钝化层22,通孔/开口34进一步向下延伸到半导体器件12上的电路/连接垫片16。根据本发明的一个实施例,通过活性离子蚀刻(RIE)过程移除邻近半导体器件12的金属电路和连接垫片16的第一钝化层22,虽然设想也可以采用其它适合的技术。在通过移除第一钝化层22延伸通孔/开口34时,半导体器件12的电路/连接

垫片16被暴露以便提供到这些电路/连接垫片的电互连。

[0044] 在完成下到电路/连接垫片16的通孔/开口34的形成时,清理(例如,通过RIE desoot过程)并随后金属化通孔/开口34以形成互连36,如图12所示。金属互连36通常通过溅射和电镀施加的组合来形成。例如,可先经由溅射过程施加钛粘合层和铜晶种层,然后进行将铜的厚度增大到所需水平的电镀过程。然后,施加的金属材料图案化成具有所需形状的金属互连36中。如图12所示,金属互连36形成与半导体器件12上的电路/连接垫片16的直接金属和电连接。金属互连36通过通孔/开口34从半导体器件12的电路和/或连接垫片16向外延伸,并向外跨过半导体器件12的相对表面18、20。金属互连36进一步向外延伸超过介电片74的相对表面上的半导体器件12的边缘24,例如以在介电片74上镀铜的形式。

[0045] 根据本发明的一实施例,其中半导体器件12是光二极管(即,具有光基开关的二极管)的形式,执行又一个图案化步骤以移除基极介电层42的额外部分80。如图13所示,基极介电片42的部分80和粘合层40从钝化的半导体器件72的表面18消融掉,金属电路/接触16用作消融的后挡或遮罩。由此在钝化的半导体器件72的表面18上形成开放窗口82,其允许光到达光二极管12。在这种实施例中,应当认识到,第一钝化层22可由允许光穿过的光学透明和抗反射材料组成,同时仍提供半导体器件封装10的光窗口82的保护。

[0046] 根据本发明的另一个实施例,应当认识到,在半导体装置封装10的某些应用中,可能需要采用以并联和/或串联方式布置的这种半导体器件封装10的阵列。因此,很需要组装半导体器件封装10的阵列的有效技术。现在参照图14-17,根据本发明的一个实施例,在半导体器件封装10上形成搭接以适应组装/接合这种封装的阵列。

[0047] 如图14所示,在完成半导体器件封装10的图案化和互连时,介电片74和粘合层76在半导体器件12的相对侧上需要形成搭接的区域84处消融掉。如图14所示,在介电片74上没有金属互连(例如,镀铜)36的区域中进行消融。在消融介电片74和粘合层76之后,在钝化的半导体器件72的表面20上方施加/层压额外的粘合层86和介电片88,粘合层86和介电片88向外延伸超过搭接区域84,如图15所示。在搭接形成过程的下一个步骤中,如图16所示,在搭接区域84中额外地消融施加的粘合层86,以使得只有介电片88留在搭接区域84中。然后,在图17所示的最终消融步骤中移除介电片74和粘合层76以及搭接区域84以外(即,半导体器件12的远端)的介电片88和粘合层86的剩余部分,以使得其上具有定义的搭接90的完成的半导体器件封装10分离出添加的介电片88。

[0048] 在完成的半导体器件封装10中形成搭接90允许将器件封装轻松接合到另一个相同的器件封装,以使得可以轻松形成半导体器件封装10的阵列。现在参照图18-20,示出通过搭接90组装半导体器件封装的阵列的组装过程。如图18所示,在组装过程的第一步中,在搭接90上的介电片88上沉积粘合膜或粘合液体92。在组装过程的下一个步骤中,如图19所示,将一个或多个额外的半导体器件封装94与半导体器件封装10对齐,例如通过脚位对准系统(未示出)或类似对准工具。根据本发明的一个实施例,随后采用层压按压(未示出)加热搭接90上的粘合剂92,以便将半导体器件封装10粘合到其它半导体器件封装94。更具体地说,粘合剂92将半导体器件封装10的介电片88固定到半导体器件封装94的介电片88。

[0049] 虽然粘合剂92提供半导体器件封装10与半导体器件封装94之间的机械型结合,但仍需要一种机制在器件封装之间形成电连接。因此,如图20所示,在半导体器件封装10的边缘上提供导电材料/部件96并延伸到半导体器件封装94上方。例如,在半导体器件封装10、

94之间提供金属条、焊料或其它导电材料(例如,导电粘合剂)。例如,焊料96施加到半导体器件封装10的相对侧上形成的互连(例如,镀铜)36上,向外面对介电片74和介电片88的表面。因此,焊料96直接机械和电耦合到邻近半导体器件封装10、94的互连36上,以在其间提供电连接。

[0050] 对于提供半导体器件封装10、94的阵列,应当认识到,单独构成每个半导体器件封装10的积层技术(如图2-12所示)是高度可重复的过程,这导致半导体器件封装10、94的阵列中的每个半导体器件封装具有匹配的电感、电容和阻抗。半导体器件封装10、94的阵列中的每个半导体器件封装之间的电感、电容和阻抗匹配有利地导致具有改进的工作性能的阵列。

[0051] 因此,根据本发明的一个实施例,半导体器件封装包括半导体器件,其具有由半导体材料组成的衬底和在衬底上形成的多个金属连接垫片,其中多个金属连接垫片在半导体器件的第一和第二相对表面的每个上形成,半导体器件的边缘在第一表面与第二表面之间延伸。半导体器件封装还包括在半导体器件上施加的第一钝化层,用于覆盖半导体器件和在衬底上形成的多个金属连接垫片,以及附于半导体器件的第一表面的基极介电层压片,该基极介电层压片的厚度大于第一钝化层的厚度。半导体器件封装进一步包括施加到第一钝化层和半导体器件上方的、具有的厚度大于第一钝化层厚度的第二钝化层,用于覆盖半导体器件的第二表面和边缘,以及电耦合到半导体器件的多个金属连接垫片的多个金属互连,其中多个金属互连的每一个贯穿穿过第一钝化层和第二钝化层及基极介电层压片形成的相应通孔,以形成与多个金属连接垫片中的一个的直接金属连接。

[0052] 根据本发明的另一个实施例,一种形成半导体器件封装的方法,包括:提供具有由半导体材料组成的衬底和在衬底上形成的多个金属连接垫片的半导体器件,其中多个金属连接垫片在半导体器件的顶面和底面上形成。该方法还包括在半导体器件的顶面和底面及在顶面与底面之间延伸的半导体器件的边缘上施加第一钝化层,将基极介电膜粘合到半导体器件的底面,以及在半导体器件的顶面和边缘及第一钝化层上方施加第二钝化层,以形成钝化的半导体器件,其中第二钝化层的厚度大于第一钝化层的厚度。该方法进一步包括图案化基极介电膜及第一钝化层和第二钝化层,以暴露多个金属互连,以及形成贯穿图案化的基极介电膜及图案化的第一钝化层和第二钝化层的多个金属互连,以形成与多个金属连接垫片的直接金属连接。

[0053] 根据本发明的又一个实施例,一种形成半导体器件封装的方法,包括:提供具有由半导体材料组成的衬底和在衬底上形成的多个金属连接垫片的半导体器件,其中多个金属连接垫片在半导体器件的顶面和底面上形成。该方法还包括围绕半导体器件施加薄的第一钝化层,以钝化半导体器件的顶面和底面并钝化半导体器件的边缘,将基极介电层压材料施加到半导体器件的底面,以及在半导体器件的至少边缘和第一钝化层上方施加第二钝化层以形成钝化的半导体器件,其中施加第二钝化层以使其具有的厚度为半导体器件封装提供所需的击穿电压并还为半导体器件封装提供最小化的寄生电感。该方法进一步包括图案化基极介电膜及第一钝化层和第二钝化层以形成穿过其中的多个通孔,以及形成贯穿通孔的多个金属互连以形成与多个金属互连的直接金属连接。

[0054] 虽然结合仅有限数量的实施例详细描述了本发明,但是应该易于理解的是,本发明并不局限于这些公开的实施例。相反,本发明可修改以结合上文未描述但与本发明的精

神和范围相称的任何数量的改变、变更、替换或等效布置。另外，虽然描述了本发明的多种实施例，但是要理解，本发明的方面可仅包括描述的实施例中的一些。相应地，本发明并不受上述描述的限制，而是仅由所附权利要求的范围来限制。

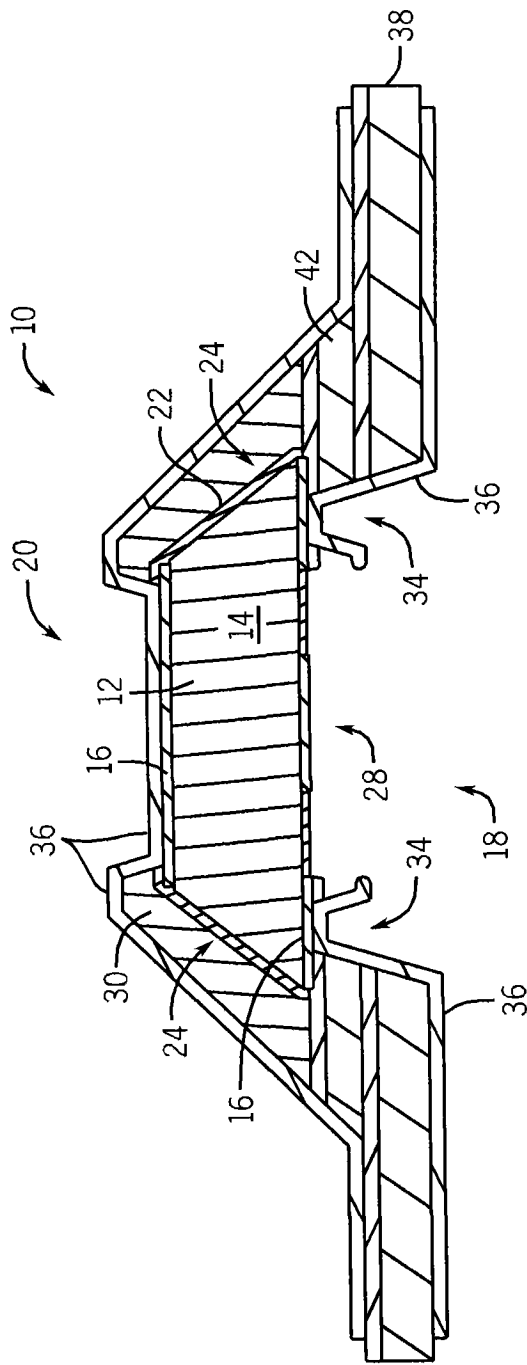


图1

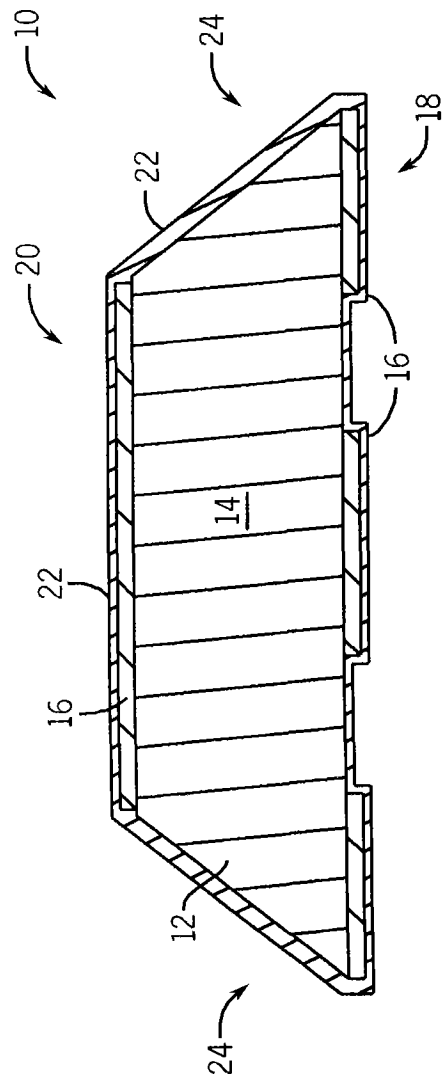


图2

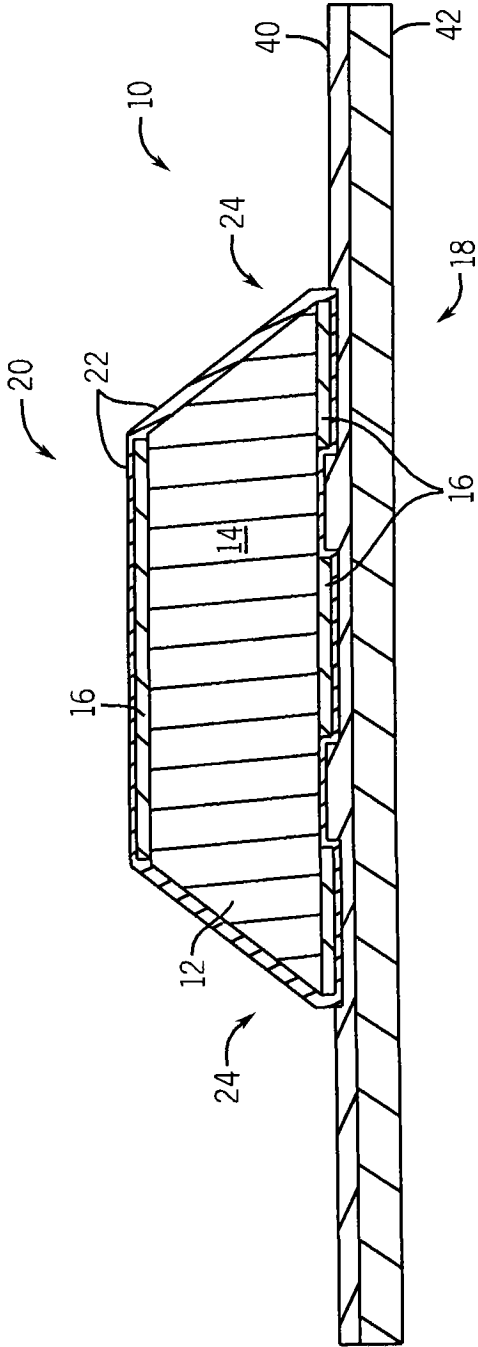


图3

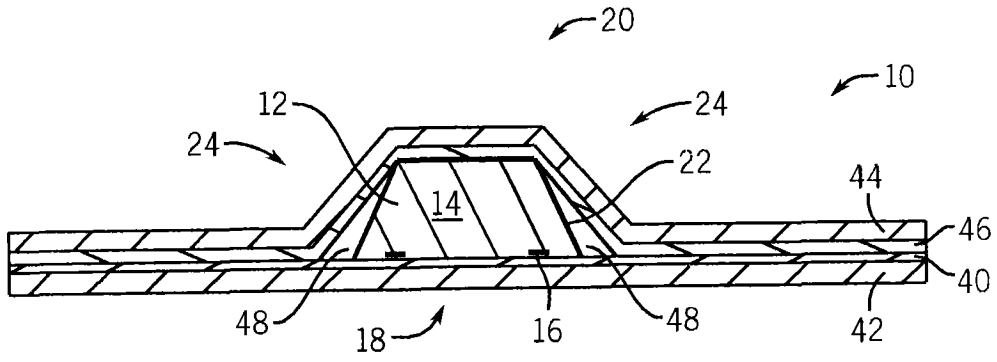


图4A

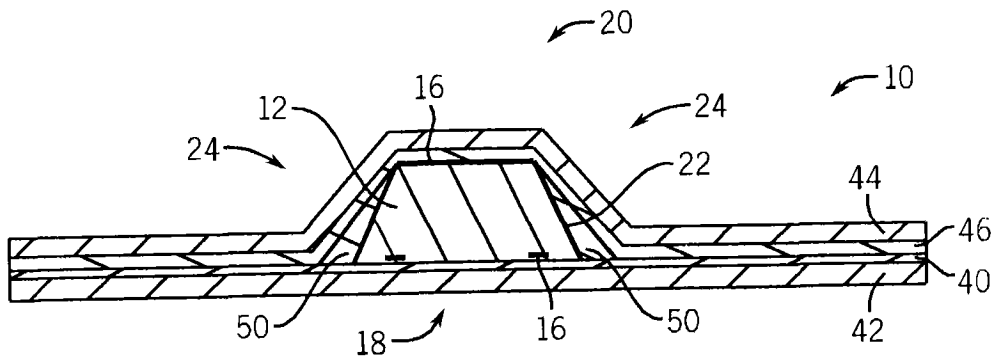


图4B

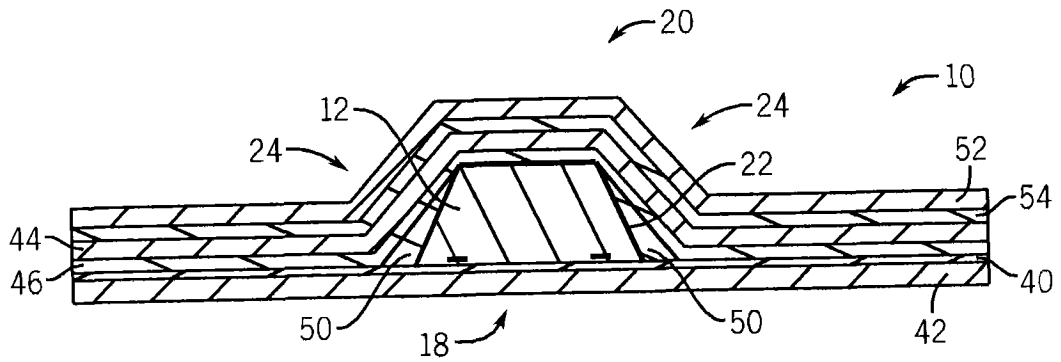


图4C

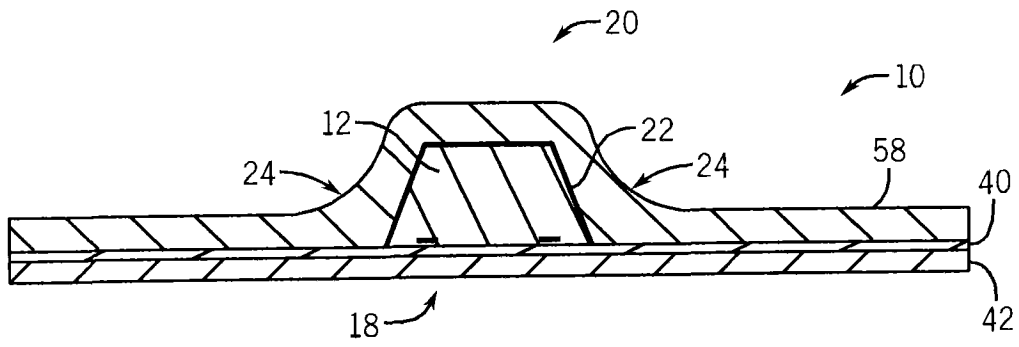


图5

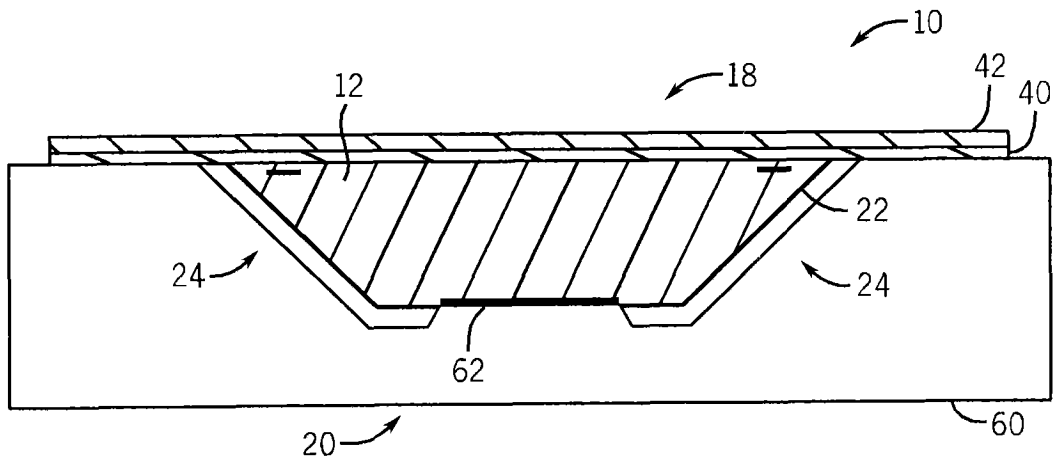


图6A

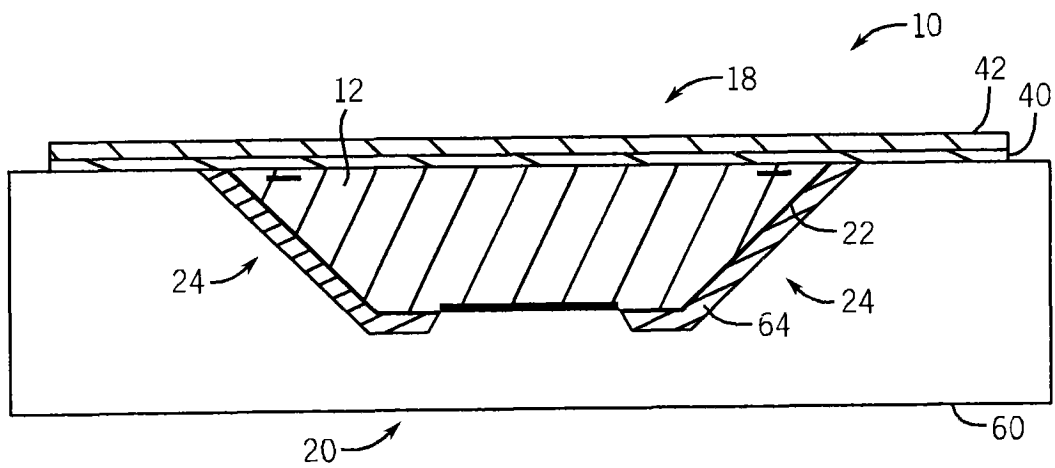


图6B

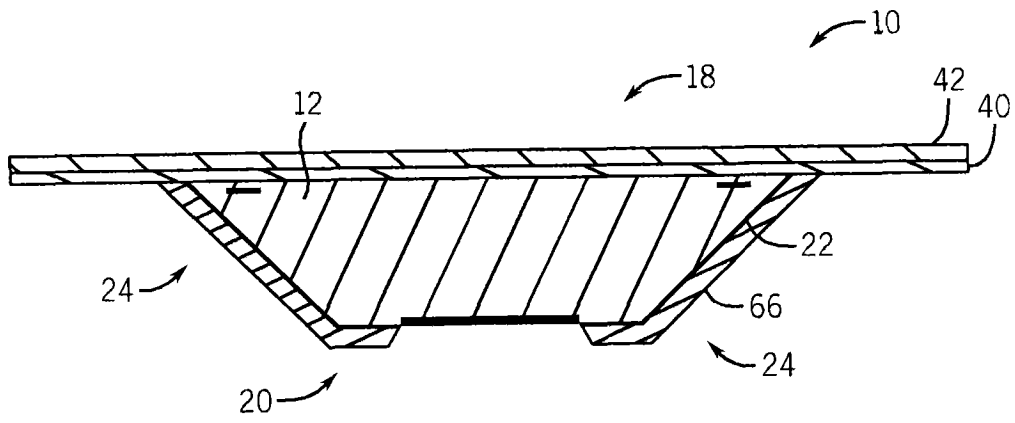


图6C

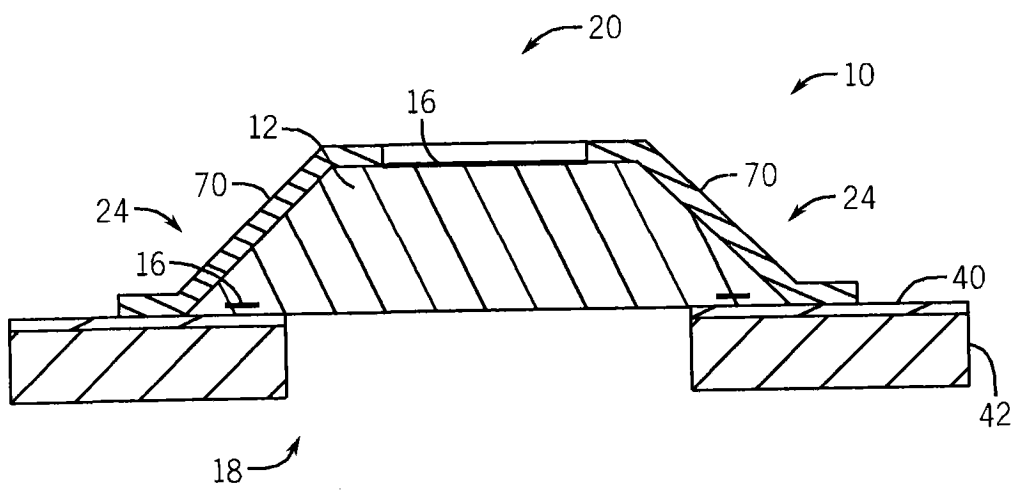


图7

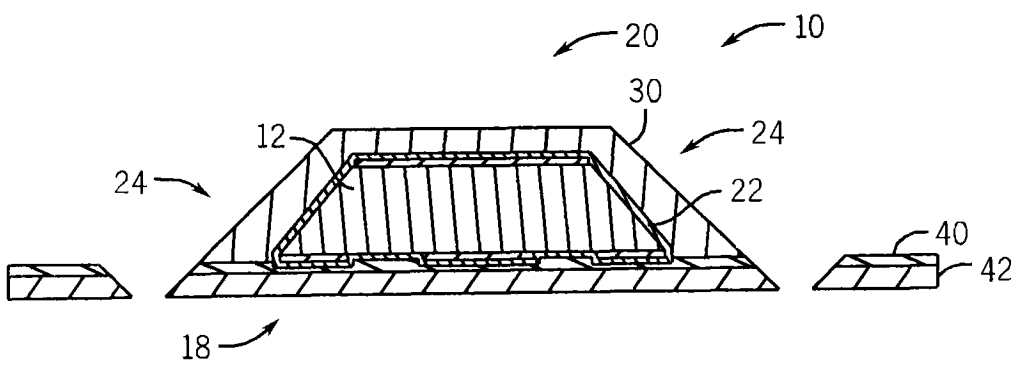


图8

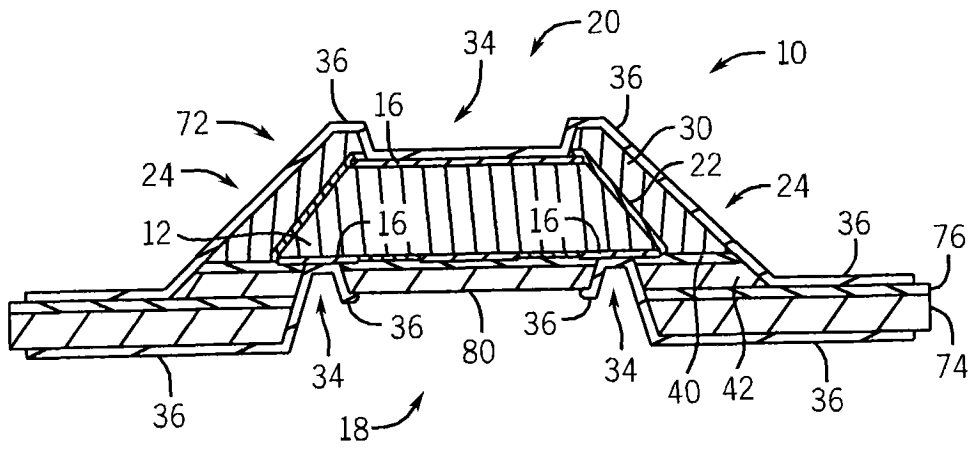


图12

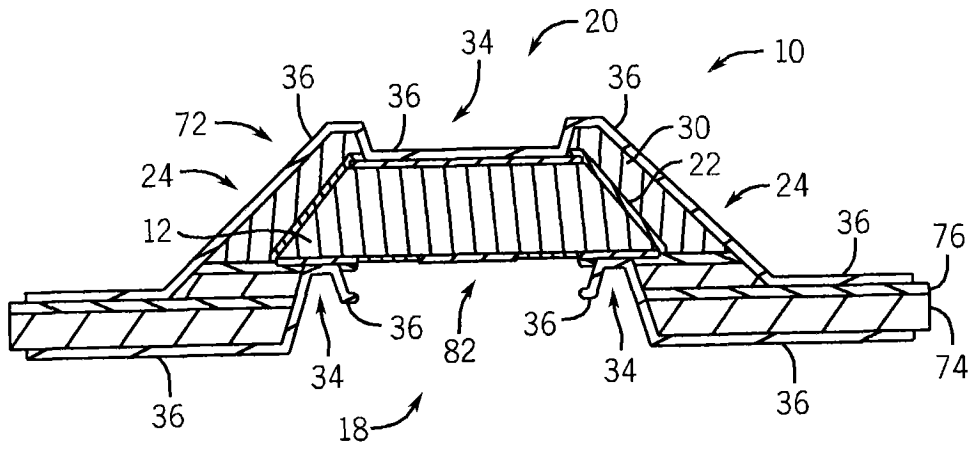


图13

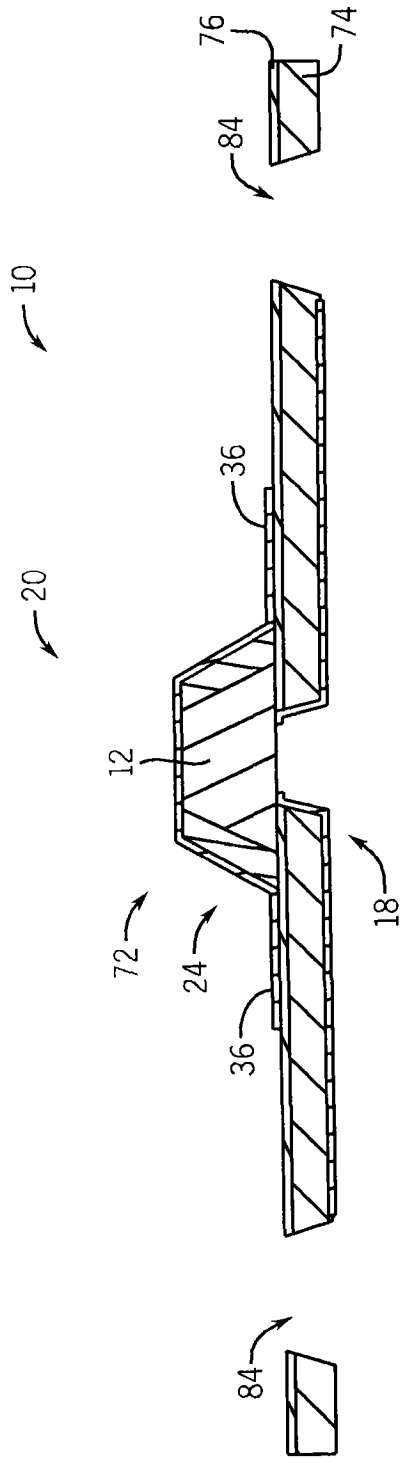


图14

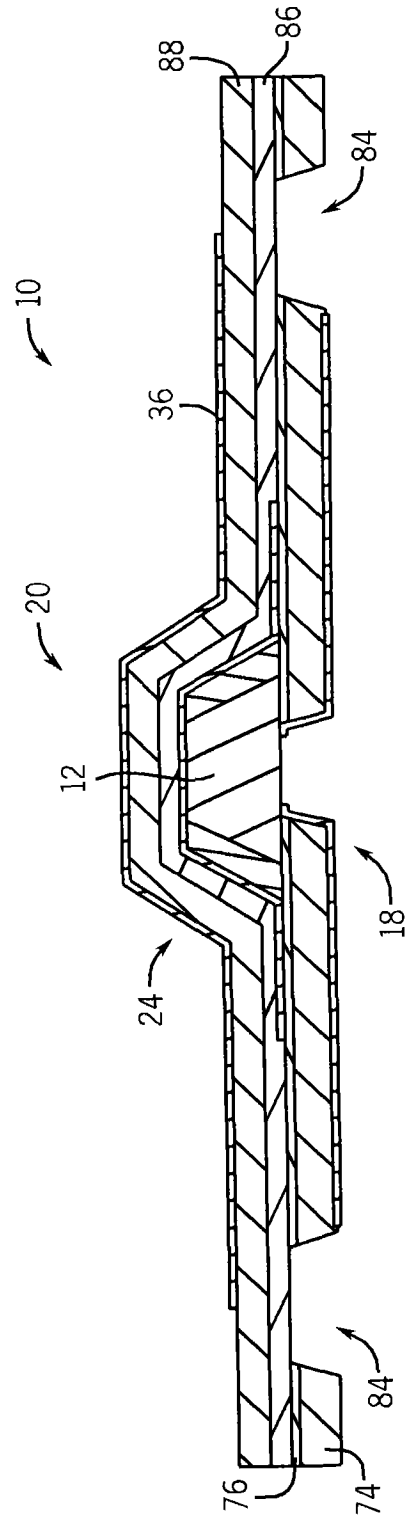


图15

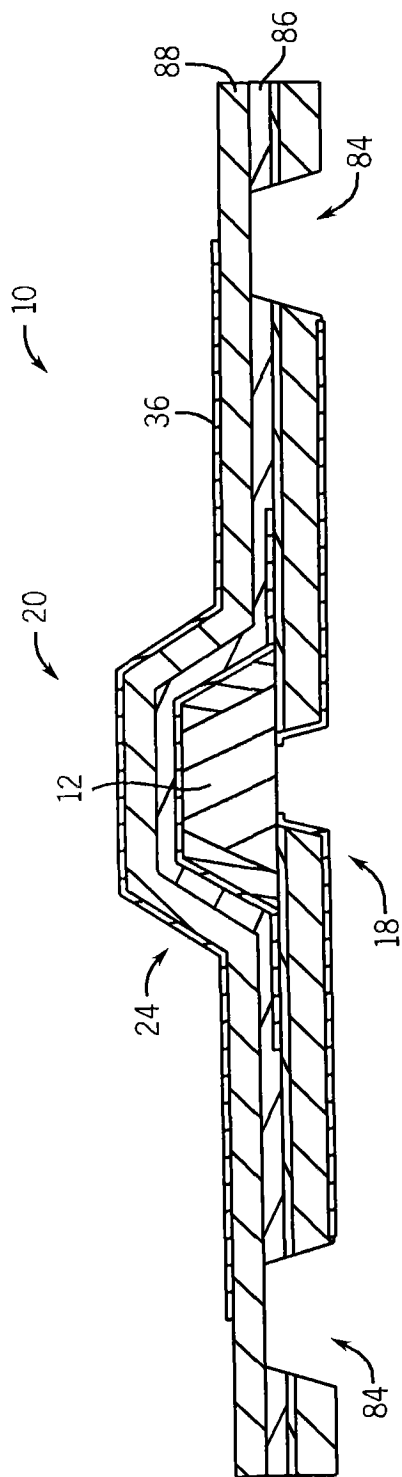


图16

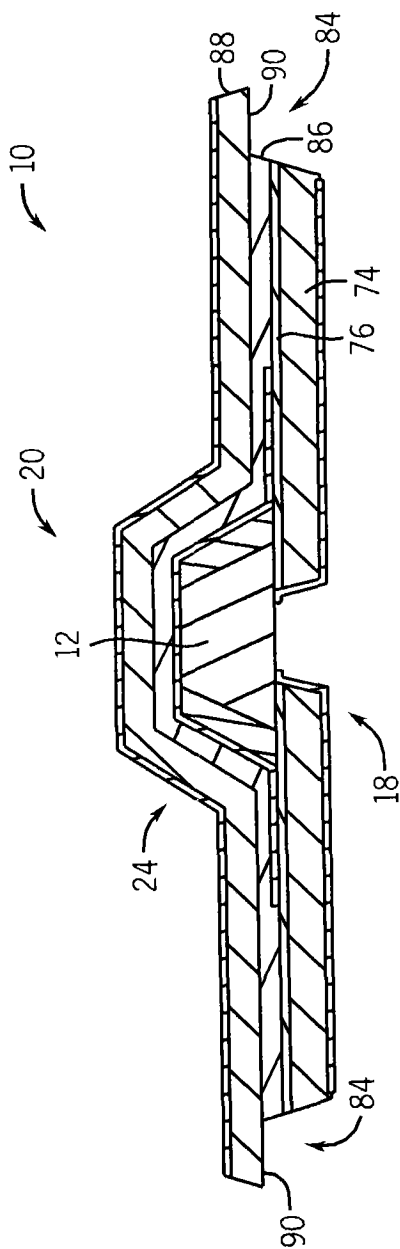


图17

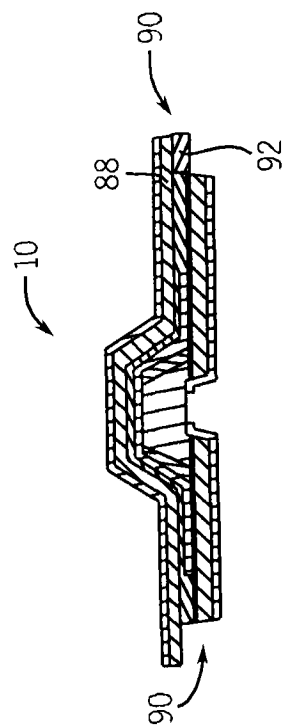


图18

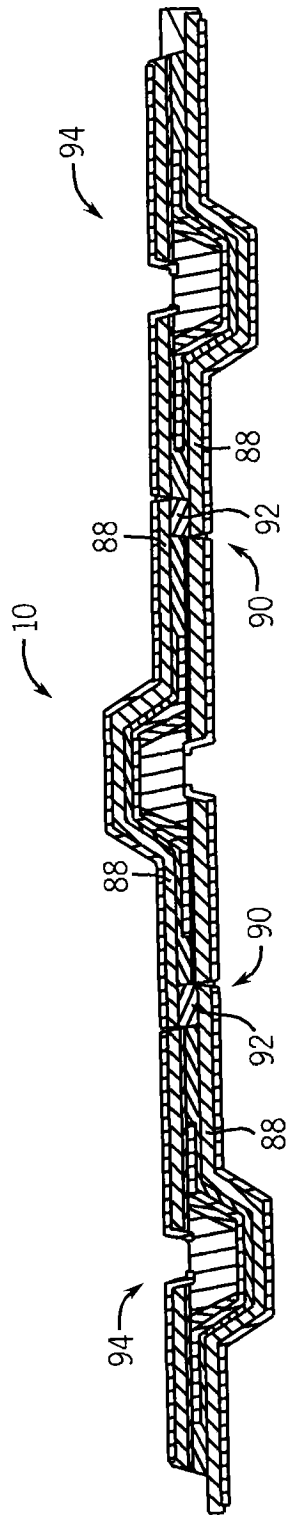


图19

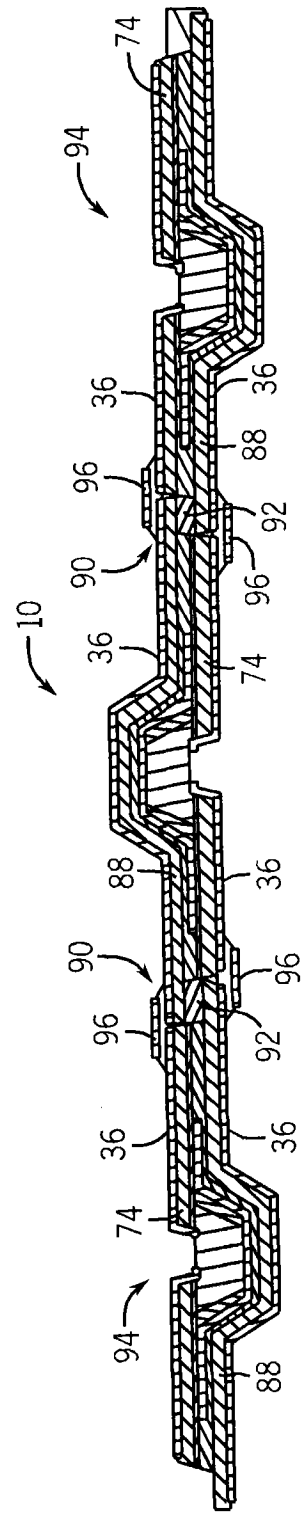


图20