



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2018년02월19일

(11) 등록번호 10-1829309

(24) 등록일자 2018년02월08일

(51) 국제특허분류(Int. Cl.)

H01L 29/786 (2006.01) H01L 27/12 (2006.01)

H01L 29/06 (2006.01) H03K 17/082 (2006.01)

(52) CPC특허분류

H01L 29/7869 (2013.01)

H01L 27/1214 (2013.01)

(21) 출원번호 10-2015-7035900(분할)

(22) 출원일자(국제) 2010년12월22일

심사청구일자 2016년01월04일

(85) 번역문제출일자 2015년12월18일

(65) 공개번호 10-2016-0003318

(43) 공개일자 2016년01월08일

(62) 원출원 특허 10-2012-7019395

원출원일자(국제) 2010년12월22일

(86) 국제출원번호 PCT/JP2010/073844

(87) 국제공개번호 WO 2011/089841

국제공개일자 2011년07월28일

(30) 우선권주장

JP-P-2010-012627 2010년01월22일 일본(JP)

(56) 선행기술조사문헌

KR1020080052107 A*

JP2007158307 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

야마자끼 순페이

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

고야마 준

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오따이 에네루기 켄큐쇼 내

(74) 대리인

장수길, 박충범, 이중희

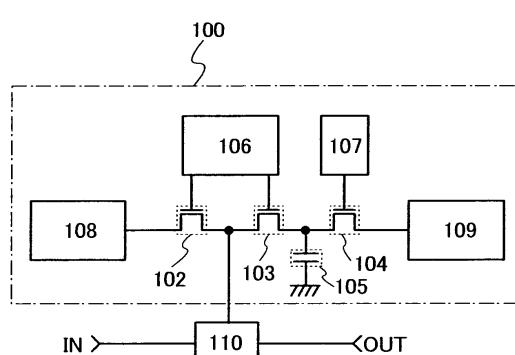
전체 청구항 수 : 총 7 항

심사관 : 나병윤

(54) 발명의 명칭 반도체 장치

(57) 요 약

반도체 장치는, 게이트에 전압이 인가되지 않을 때 온 상태인 파워 소자와, 파워 소자의 게이트에 제1 전압을 인가하는 스위칭용 전계 효과 트랜지스터와, 파워 소자의 게이트에 제1 전압보다 낮은 전압을 인가하는 스위칭용 전계 효과 트랜지스터를 포함한다. 스위칭용 전계 효과 트랜지스터들은 오프 상태의 전류가 작다.

대 표 도 - 도1

(52) CPC특허분류

H01L 27/1225 (2013.01)

H01L 27/1255 (2013.01)

H01L 29/0657 (2013.01)

H03K 17/0822 (2013.01)

명세서

청구범위

청구항 1

반도체 장치로서,

제1 도전층,

상기 제1 도전층 위의 제1 절연층,

상기 제1 절연층 위의 산화물 반도체층,

상기 산화물 반도체층에 전기적으로 접속된 소스 및 드레인 전극,

상기 산화물 반도체층 위의 제2 절연층, 및

상기 제2 절연층 위의 제2 도전층을 포함하고,

상기 산화물 반도체층은 제1 영역, 제2 영역, 제3 영역, 및 제4 영역을 포함하고,

상기 제1 영역은, 상기 소스 및 드레인 전극 중 하나와 접촉하고 상기 제1 도전층 및 상기 제2 도전층과 중첩하고,

상기 제2 영역은, 상기 소스 및 드레인 전극과 접촉하지 않고 상기 제1 도전층 및 상기 제2 도전층과 중첩하고,

상기 제3 영역은, 상기 소스 및 드레인 전극과 접촉하지 않고 상기 제1 도전층과 중첩하고 상기 제2 도전층과 중첩하지 않고,

상기 제4 영역은, 상기 소스 및 드레인 전극 중 다른 하나와 접촉하고 상기 제1 도전층과 중첩하고, 상기 제2 도전층과 중첩하지 않는, 반도체 장치.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 제2 도전층은 상기 소스 및 드레인 전극과 접촉하지 않는, 반도체 장치.

청구항 4

제1항에 있어서,

상기 제1 절연층은 산소를 포함하는, 반도체 장치.

청구항 5

삭제

청구항 6

삭제

청구항 7

제1항에 있어서,

상기 산화물 반도체층은 인듐과, 아연과, 갈륨, 알루미늄 및 봉소 중 하나를 포함하는, 반도체 장치.

청구항 8

[청구항 8은(는) 설정등록료 납부시 포기되었습니다.]

제1항에 있어서,

상기 산화물 반도체층은 결정을 포함하고,

상기 결정의 c축은 상기 산화물 반도체층의 표면에 수직인 방향을 따르는, 반도체 장치.

청구항 9

[청구항 9은(는) 설정등록료 납부시 포기되었습니다.]

제1항에 있어서,

상기 산화물 반도체층은, 캐리어 밀도가 $1 \times 10^{16} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하인 영역을 포함하는, 반도체 장치.

청구항 10

[청구항 10은(는) 설정등록료 납부시 포기되었습니다.]

제1항에 있어서,

상기 산화물 반도체층은, 수소 농도가 $1 \times 10^{16} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하인 영역을 포함하는, 반도체 장치.

청구항 11

제1항에 있어서,

상기 소스 및 드레인 전극 각각은 구리 및 망가니즈를 포함하는 합금을 포함하는, 반도체 장치.

청구항 12

제1항에 있어서,

상기 소스 및 드레인 전극 각각은 상기 산화물 반도체층의 측면과 접촉하는, 반도체 장치.

청구항 13

제1항에 있어서,

상기 제1 도전층, 상기 제1 절연층, 상기 산화물 반도체층, 상기 소스 및 드레인 전극, 상기 제2 절연층, 및 상기 제2 도전층을 포함하는 트랜지스터는 파워 MOSFET인, 반도체 장치.

청구항 14

삭제

청구항 15

[청구항 15은(는) 설정등록료 납부시 포기되었습니다.]

제1항에 있어서,

상기 산화물 반도체층은 캐리어 밀도가 $5 \times 10^{14} \text{ cm}^{-3}$ 미만인 i형화된 산화물 반도체를 포함하는 채널 형성 영역을 포함하는, 반도체 장치.

발명의 설명**기술 분야**

[0001] 본 발명은 반도체 장치, 및 반도체 장치의 구동 방법에 관한 것이다. 또한, 본 발명은 반도체 장치를 구비하는 전자 기기에 관한 것이다.

[0002] 본 명세서 등에 있어서 "반도체 장치"라는 용어는 반도체 특성을 이용함으로써 동작할 수 있는 모든 장치들을 의미한다. 예를 들어, 파워 디바이스(power device), 파워 디바이스를 포함하는 표시 장치, 및 파워 디바이스를 포함하는 집적 회로 등이 반도체 장치의 카테고리에 포함된다.

배경기술

[0003] 파워 디바이스에 이용되는 반도체 장치로서, 실리콘계의 재료를 이용하여 제작되는 파워 디바이스가 널리 유통되고 있다. 실리콘을 포함하는 파워 디바이스는 밴드 갭(band gap)이 좁기 때문에, 고온에서의 동작 범위에 한계가 있다. 이로 인해, 최근에는, 밴드 갭이 넓은 SiC 또는 GaN을 포함하는 파워 디바이스가 개발되었다(예를 들어, 특히 문헌 1을 참조).

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특개 제2009-010142호 공보

발명의 내용

해결하려는 과제

[0005] GaN을 포함하는 파워 디바이스의 예로서, 헤테로정션 전계 효과 트랜지스터(heterojunction field-effect transistor: HFET)를 들 수 있다. HFET에 있어서는, SiC 기판 위에 완충층들인 AlN층, GaN층, AlGaN층이 적층되고, AlGaN층 위에 소스 전극, 게이트 전극, 및 드레인 전극이 형성된다. 또한, GaN층의 밴드 갭과 AlGaN층의 밴드 갭 사이의 차이 때문에, GaN층과 AlGaN층 사이의 계면에 고농도의 이차원 전자 가스층이 형성된다. 이차원 전자 가스층의 전도대(conduction band)에서는 페르미 준위보다 에너지 준위가 낮아지기 때문에, HFET에서는 이차원 전자 가스층이 채널로서 기능하고, HFET는 게이트에 전압이 인가되지 않을 때에도 전류가 흐르는 노멀리-온(normally-on) 상태로 되어, 구동 회로나 보호 회로의 회로 구성이 복잡해지는 문제를 발생시킨다. 노멀리-오프(normally-off) 디바이스를 얻기 위하여 단순하게 전자 농도를 감소시키는 경우, 소자의 저항이 증가된다. 따라서, 파워 디바이스의 노멀리-오프화와 파워 디바이스의 저저항화 둘 다를 동시에 달성하는 것은 매우 곤란하다. 또한, 신규한 구성을 갖는 노멀리-오프 디바이스를 실현하려고 하는 시도가 이루어지고 있지만, 디바이스의 구성이 복잡해지고 제조 비용이 증가한다는 문제가 있다.

[0006] 그러므로, 본 발명의 일 실시형태의 목적은, 전력 소비의 증가를 초래하지 않고, 오프 상태 디바이스를 실현할 수 있는 반도체를 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시형태는, 게이트에 전압이 인가되지 않을 때 온 상태인 파워 소자와, 파워 소자의 게이트에 제1 전압을 인가하기 위한 스위칭용 전계 효과 트랜지스터와, 파워 소자의 게이트에 제1 전압보다 낮은 전압을 인가하기 위한 스위칭용 전계 효과 트랜지스터를 포함하는 반도체 장치이다. 스위칭용 전계 효과 트랜지스터들은 오프 상태의 전류가 작다. 또한, 각각의 스위칭용 전계 효과 트랜지스터는 채널 영역이 i형화 또는 실질적으로 i형화된 산화물 반도체층을 이용하여 형성되는 반도체 장치이다. 스위칭용 전계 효과 트랜지스터에 의해 파워 소자의 게이트에 고전위 또는 저전위를 인가함으로써, 파워 소자가 턴 온 또는 턴 오프된다.

[0008] 본 발명의 일 실시형태는, 제1 게이트 및 제2 게이트를 포함하고 채널 영역이 n형 산화물 반도체층을 이용하여 형성되는 파워 MOSFET과, 파워 MOSFET의 제1 게이트 및 제2 게이트에 포지티브 전압을 인가하기 위한 스위칭용 전계 효과 트랜지스터와, 파워 MOSFET의 제1 게이트 및 제2 게이트에 네거티브 전압을 인가하기 위한 스위칭용 전계 효과 트랜지스터를 포함하는 반도체 장치이다. 파워 MOSFET의 제1 게이트 및 제2 게이트의 노드는 스위칭용 전계 효과 트랜지스터들에 접속되고, 각각의 스위칭용 전계 효과 트랜지스터의 채널 영역은 i형화 또는 실질적으로 i형화된 산화물 반도체층을 이용하여 형성된다. 스위칭용 전계 효과 트랜지스터들에 의해 파워 MOSFET의 제1 게이트 및 제2 게이트에 고전위 또는 저전위를 인가함으로써, 파워 MOSFET이 턴 온 또는 턴 오프된다.

[0009] 본 발명의 일 실시형태는, 고전압 발생원에 접속된 제1 전계 효과 트랜지스터와, 제1 전계 효과 트랜지스터에 접속된 제2 전계 효과 트랜지스터와, 제2 전계 효과 트랜지스터 및 저전압 발생원에 접속된 제3 전계 효과 트랜

지스터와, 제2 전계 효과 트랜지스터 및 제3 전계 효과 트랜지스터에 접속된 용량 소자와, 제1 전계 효과 트랜지스터 및 제2 전계 효과 트랜지스터에 접속된 파워 MOSFET을 포함하는 반도체 장치이다. 파워 MOSFET은 제1 게이트와, 제2 게이트와, 제1 게이트에 접촉하는 제1 절연층과, 제2 게이트에 접촉하는 제2 절연층과, 제1 절연층과 제2 절연층 사이에 형성된 산화물 반도체층과, 산화물 반도체층에 접촉하고 소스 영역 및 드레인 영역으로서 기능하는 제1 단자 및 제2 단자를 포함한다. 제1 게이트 및 제2 게이트의 노드는 제1 전계 효과 트랜지스터 및 제2 전계 효과 트랜지스터에 접속된다. 제1 전계 효과 트랜지스터 내지 제3 전계 효과 트랜지스터 각각의 채널 형성 영역은 i형화된 산화물 반도체층을 이용하여 형성된다. 파워 MOSFET의 산화물 반도체층은 n형이다.

[0010] 파워 MOSFET의 산화물 반도체층의 캐리어(carrier) 농도는 $1 \times 10^{16} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하이고, 바람직하게는 $1 \times 10^{17} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하이다.

[0011] 스위칭용 전계 효과 트랜지스터들 각각, 및 제1 전계 효과 트랜지스터 내지 제3 전계 효과 트랜지스터 각각의 산화물 반도체층의 캐리어 농도는 $5 \times 10^{14} \text{ cm}^{-3}$ 미만이다.

[0012] 파워 MOSFET의 제1 게이트 또는 제2 게이트는 제1 단자 및 제2 단자 중의 하나와 중첩하지만, 제1 단자 및 제2 단자 중의 다른 하나와는 반드시 중첩할 필요가 없다.

발명의 효과

[0013] 본 발명의 일 실시형태에 따르면, 전력 소비의 증가를 초래하지 않고 오프 상태를 실현할 수 있는 파워 디바이스, 및 파워 디바이스를 포함하는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

[0014] 첨부 도면에 있어서,

도 1은 본 발명의 일 실시형태의 반도체 장치를 도시하는 등가 회로도이다.

도 2의 (a) 내지 도 2의 (c)는 각각 본 발명의 일 실시형태의 반도체 장치를 도시하는 등가 회로도이다.

도 3의 (a) 내지 도 3의 (c)는 각각 본 발명의 일 실시형태의 반도체 장치를 도시하는 등가 회로도이다.

도 4의 (a) 및 도 4의 (b)는 각각 본 발명의 일 실시형태의 반도체 장치를 도시하는 등가 회로도이다.

도 5의 (a) 및 도 5의 (b)는 본 발명의 일 실시형태의 반도체 장치를 도시하는 단면도 및 상면도이다.

도 6의 (a) 및 도 6의 (b)는 각각 본 발명의 일 실시형태의 반도체 장치를 도시하는 단면도이다.

도 7의 (a) 내지 도 7의 (d)는 본 발명의 일 실시형태의 반도체 장치의 제작 단계들을 도시하는 단면도이다.

도 8은 본 발명의 일 실시형태의 반도체 장치를 도시하는 단면도이다.

도 9의 (a) 및 도 9의 (b)는 본 발명의 일 실시형태의 반도체 장치를 도시하는 단면도 및 상면도이다.

도 10은 본 발명의 일 실시형태의 반도체 장치를 도시하는 단면도이다.

도 11의 (a) 내지 도 11의 (d)는 본 발명의 일 실시형태의 반도체 장치의 제작 단계들을 도시하는 단면도이다.

도 12는 본 발명의 일 실시형태의 반도체 장치를 도시하는 등가 회로도이다.

도 13은 본 발명의 일 실시형태의 반도체 장치를 도시하는 등가 회로도이다.

도 14는 본 발명의 일 실시형태의 반도체 장치를 도시하는 등가 회로도이다.

도 15는 본 발명의 일 실시형태의 반도체 장치를 도시하는 등가 회로도이다.

도 16은 본 발명의 일 실시형태의 반도체 장치를 도시하는 등가 회로도이다.

도 17은 본 발명의 일 실시형태의 반도체 장치를 도시하는 등가 회로도이다.

도 18의 (a) 내지 도 18의 (c)는 전자 기기들을 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 본 발명의 실시형태들에 대하여 첨부 도면을 참조하면서 설명한다. 본 발명은 많은 다른 형태들로 실시될 수 있으며, 본 발명의 사상 및 범위로부터 일탈하지 않고 본 발명의 형태 및 상세를 여러 가지로 변경할 수 있다는 것을 당업자라면 용이하게 이해할 것이라는 것을 유의한다. 따라서, 본 발명은 실시형태들의 기재 내용에 한정되는 것으로 해석되어서는 안 된다. 하기에서 설명하는 본 발명의 구성에 있어서, 동일한 부분들을 지시하는 참조 번호들이 상이한 도면들에 있어서 공통으로 이용된다는 것을 유의한다.
- [0016] 실시형태들의 도면 등에 있어서 도시되는 각 구성의 크기, 층의 두께, 및 영역은 명료화를 위해 과장되는 경우가 있다는 것을 유의한다. 따라서, 본 발명의 실시형태들은 반드시 그러한 스케일(scale)에 한정되지 않는다.
- [0017] 본 명세서에서 채택되는 제1, 제2, 제3, 및 제N(N은 자연수임) 등의 용어는 구성 요소들 간의 혼동을 피하기 위해 사용되는 것이며, 수적으로 한정하는 것이 아니라는 것을 유의한다.
- [0018] 전압은 어떤 전위와 기준 전위(예를 들어, 접지 전위) 사이의 전위차를 나타내는 경우가 많다는 것을 유의한다. 따라서, 전압, 전위, 및 전위차를 각각 전위, 전압, 및 전압차라고 칭할 수 있다.
- [0019] "A와 B가 접속된다"라고 명시적으로 기재하는 경우에는, A와 B가 전기적으로 접속되는 경우와, A와 B가 기능적으로 접속되는 경우와, A와 B가 직접 접속되는 경우를 포함한다는 것을 유의한다. 여기서, A와 B 각각은 대상물(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전층, 또는 층)에 해당한다. 따라서, 소정의 접속 관계, 예를 들어, 도면 및 텍스트에 나타낸 접속 관계에 한정되지 않고, 도면 및 텍스트에 나타낸 것 이외의 접속 관계도 포함된다.
- [0020] (실시형태 1)
- [0021] 본 실시형태에서는, 파워 디바이스인 반도체 장치의 회로 구성 및 그 동작에 대하여 설명한다.
- [0022] 도 1에 도시된 반도체 장치는 파워 소자(110) 및 제어 회로(100)를 포함한다. 제어 회로(100)는 전계 효과 트랜지스터(102)(제1 트랜지스터라고도 칭함), 전계 효과 트랜지스터(103)(제2 트랜지스터라고도 칭함), 전계 효과 트랜지스터(104)(제3 트랜지스터라고도 칭함), 용량 소자(105), 과전압 검출 회로(106), 리프레시 제어 회로(107), 고전압 발생원(108), 및 저전압 발생원(109)을 포함한다.
- [0023] 제어 회로(100)는 파워 소자(110)에 인가되는 전압을, 고전압 발생원(108)에 의해 발생된 고전압과 저전압 발생원(109)에 의해 발생된 저전압 간에 스위칭한다. 또한, 제어 회로(100)는 입력 단자 IN과 출력 단자 OUT 사이에 과전압이 인가될 때, 파워 소자(110)를 통해 흐르는 전류량을 제어한다.
- [0024] 전계 효과 트랜지스터(102)는, 게이트가 과전압 검출 회로(106)에 접속되고, 제1 단자가 고전압 발생원(108)에 접속되고, 제2 단자가 파워 소자(110)에 접속된다. 전계 효과 트랜지스터(102)는 제2 단자에 접속된 파워 소자(110)에의 고전위의 인가를 제어한다.
- [0025] 전계 효과 트랜지스터(103)는, 게이트가 과전압 검출 회로(106)에 접속되고, 제1 단자가 용량 소자(105) 및 전계 효과 트랜지스터(104)의 제2 단자에 접속되고, 제2 단자가 파워 소자(110)에 접속된다.
- [0026] 전계 효과 트랜지스터(103)는 저전압 발생원(109)으로부터 용량 소자(105)에 저장된 저전위를 제2 단자에 접속된 파워 소자(110)에 인가하는 것을 제어한다.
- [0027] 본 명세서에서 오프 상태의 전류는 전계 효과 트랜지스터가 비도통일 때, 소스와 드레인 사이에, 즉, 제1 단자와 제2 단자 사이에 흐르는 전류를 칭한다는 것을 유의한다.
- [0028] 전계 효과 트랜지스터(104)는, 게이트가 리프레시 제어 회로(107)에 접속되고, 제1 단자가 저전압 발생원(109)에 접속되고, 제2 단자가 용량 소자(105) 및 전계 효과 트랜지스터(103)의 제1 단자에 접속된다. 전계 효과 트랜지스터(104)는 제2 단자에 접속된 용량 소자(105)의 저전위의 충전을 제어한다.
- [0029] 전계 효과 트랜지스터(102) 내지 전계 효과 트랜지스터(104) 각각의 채널 영역은 i형화 또는 실질적으로 i형화된 산화물 반도체층을 이용하여 형성된다. i형화 또는 실질적으로 i형화된 산화물 반도체층의 캐리어 밀도는 $5 \times 10^{14} \text{ cm}^{-3}$ 미만, 바람직하게는 $1 \times 10^{12} \text{ cm}^{-3}$ 미만, 보다 바람직하게는 $1 \times 10^{11} \text{ cm}^{-3}$ 이하이다. 또한, 도너(donor)로서 기능하는 수소나 산소 결손은 적은 것이 바람직하고, 수소 농도가 $1 \times 10^{16} \text{ cm}^{-3}$ 이하인 것이 바람직하다. 캐리어 밀도는 Hall 효과 측정에 의해 얻어질 수 있다는 것을 유의한다. 보다 낮은 캐리어 밀도는 CV 측정(capacitance-voltage measurement)의 측정 결과를 이용하여 얻어질 수 있다. 산화물 반도체층의 수소 농도는 2차 이온 질량 분석법(secondary ion mass spectrometry: SIMS)에 의해 측정될 수 있다.

- [0030] 채널 영역에 i형화 또는 실질적으로 i형화된 산화물 반도체를 포함하는 전계 효과 트랜지스터(102)는 오프 상태의 전류가 $1 \times 10^{-16} \text{ A}/\mu\text{m}^2$ 이하일 수 있고, 더 나아가 오프 상태의 전류가 $1 \times 10^{-19} \text{ A}/\mu\text{m}^2$ 이하일 수 있다. i형화 또는 실질적으로 i형화된 산화물 반도체는 밴드 갭이 넓고, 전자의 여기를 위해 많은 양의 열 에너지가 필요하기 때문에, 직접 재결합 및 간접 재결합이 발생하기 어렵다. 이에 따라, 게이트 전극에 네거티브의 전위가 인가된 상태(오프 상태)에서, 소수 캐리어(minority carriers)인 홀(holes)은 실질적으로 제로이며, 이에 따라 직접 재결합 및 간접 재결합이 발생하기 어렵고, 전류의 양은 가능한 한 작아진다. 그 결과, 전계 효과 트랜지스터가 비도통(오프(OFF)라고도 칭함) 상태에서 절연체로서 간주될 수 있는 산화물 반도체층을 이용하여 회로를 설계할 수 있다. 한편, 전계 효과 트랜지스터가 도통 상태일 때, i형화 또는 실질적으로 i형화된 산화물 반도체층의 전류 공급 능력이 비정질 실리콘으로 형성된 반도체층의 전류 공급 능력보다 높을 것으로 기대된다. 이로 인해, 전계 효과 트랜지스터(102) 내지 전계 효과 트랜지스터(104)는 중강형 트랜지스터들이며, 오프 상태에서 리크(leak) 전류가 극히 작은 노멀리-오프 트랜지스터들이고, 따라서 우수한 스위칭 특성을 갖는다.
- [0031] 용량 소자(105)는 전계 효과 트랜지스터(104)가 간헐적으로 도통(온(ON)이라고도 칭함)될 때 파워 소자(110)에 인가되는 저전위를 유지하기 위한 소자이다. 용량 소자(105)는 절연층이 도전체들 사이에 끼워진 구조를 가질 수 있다.
- [0032] 과전압 검출 회로(106)는, 입력 단자 IN과 출력 단자 OUT 사이의 전압에 따라 전계 효과 트랜지스터(102)와 전계 효과 트랜지스터(103)의 도통과 비도통을 제어하기 위한 회로이다. 구체적으로, 입력 단자 IN과 출력 단자 OUT 사이에 과전압이 인가될 때, 전계 효과 트랜지스터(102)가 도통되고 전계 효과 트랜지스터(103)가 비도통되어, 고전압 발생원(108)으로부터 파워 소자(110)에의 고전압의 인가가 제어된다. 입력 단자 IN과 출력 단자 OUT 사이에 과전압이 인가되지 않을 때, 전계 효과 트랜지스터(102)가 비도통되고 전계 효과 트랜지스터(103)가 도통되어, 파워 소자(110)에의 저전압 발생원(109)으로부터 용량 소자(105)에 저장된 저전위의 인가가 제어된다.
- [0033] 리프레시 제어 회로(107)는 저전압 발생원(109)으로부터 용량 소자(105)에의 저전위의 충전을 제어하기 위해서 전계 효과 트랜지스터(104)의 도통 및 비도통을 제어하는 회로이다. 구체적으로, 리프레시 제어 회로(107)는 저전압 발생원(109)으로부터 용량 소자(105)에의 충전 때문에 유지되는 저전위가 파워 소자(110)에 방전되기 전에, 간헐적으로 전계 효과 트랜지스터(104)를 도통시켜 용량 소자(105)를 저전위로 충전하기 위한 회로이다.
- [0034] 파워 소자(110)로서, 게이트에 전압이 인가되지 않은 상태에서 턴 온되는 파워 소자가 이용된다. 파워 소자(110)로서, Si, SiC, GaN, 또는 산화물 반도체를 포함하는 바이폴라 트랜지스터, 전계 효과 트랜지스터(field-effect transistor: FET), 게이트 턴오프 사이리스터(gate turnoff thyristor), 절연 게이트 바이폴라 트랜지스터(insulated gate bipolar transistor: IGBT) 등이 적절히 이용될 수 있다. 또한, 전계 효과 트랜지스터로서, 파워 금속 산화물 반도체(power metal oxide semiconductor) FET(파워 MOSFET), HFET, 정선 전계 효과 트랜지스터(junction field-effect transistor: JFET) 등이 적절히 이용될 수 있다. 3개의 단자를 구비한 파워 소자(121)를 포함하는 등가 회로가 도 2의 (a)에 도시된다. 파워 소자(121)의 게이트는 전계 효과 트랜지스터(102) 및 전계 효과 트랜지스터(103)에 접속된다. 또한, 파워 소자(121)의 소스 단자 및 드레인 단자 중 하나를 제1 단자라고 칭하고 파워 소자(121)의 소스 단자 및 드레인 단자 중 다른 하나를 제2 단자라고 칭한다. 제1 단자는 입력 단자 IN에 접속되고, 제2 단자는 출력 단자 OUT에 접속된다.
- [0035] 본 실시형태에서는, 이후, 파워 소자(110)의 대표적인 예로서, 도 2의 (b)에 도시된 바와 같은, 4개의 단자를 구비하는 파워 MOSFET(101)을 이용하여 설명한다.
- [0036] 파워 MOSFET(101)은, 4개의 단자, 대표적으로는, 제1 게이트 단자(제1 게이트라고도 칭함), 제2 게이트 단자(제2 게이트라고도 칭함), 드레인 단자(드레인이라고도 칭함), 및 소스 단자(소스라고도 칭함)를 포함한다. 파워 MOSFET(101)에 있어서, 채널 영역의 위와 아래에 제1 게이트와 제2 게이트가 설치되고, 제1 게이트와 제2 게이트에 파워 MOSFET(101)의 스위칭을 제어하는 신호가 공급된다.
- [0037] 도 2의 (c)는 채널 영역의 위와 아래에 제1 게이트(201)와 제2 게이트(206)가 설치되는 파워 MOSFET(101)의 회로 기호이다. 도 2의 (c)에 도시된 바와 같이, 파워 MOSFET(101)은 제1 게이트(201), 제2 게이트(206), 제1 단자(204A), 및 제2 단자(204B)를 포함한다. 파워 MOSFET(101)에 있어서, 제1 게이트(201)와 제2 게이트(206)에는 고전압 발생원(108) 또는 저전압 발생원(109)으로부터 출력되는 신호(도 2의 (c)의 신호 G)가 입력된다. 고전압 발생원(108) 또는 저전압 발생원(109)으로부터 출력되는 신호에 의해, 파워 MOSFET(101)의 제1 단자(204A)와 제2 단자(204B) 사이의 도통과 비도통의 스위칭이 제어된다.

- [0038] 파워 MOSFET(101)의 채널 영역은 n형 산화물 반도체층을 이용하여 형성될 수 있다. n형 산화물 반도체층은, 캐리어 밀도가 $1 \times 10^{16} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하이고, 바람직하게는 $1 \times 10^{17} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하이다. 산화물 반도체에서 수소 및 산소 결손이 도너로서 기능하기 때문에, 수소 농도는 $1 \times 10^{16} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하인 것이 바람직하다.
- [0039] 파워 MOSFET(101)은 채널 영역에 n형 산화물 반도체층을 포함하기 때문에, 채널 영역에 i형 산화물 반도체층을 포함하는 파워 MOSFET에 비하여 온 저항을 감소시킬 수 있고, 많은 양의 전류가 흐를 수 있다. 그러나, 채널 영역에 n형 산화물 반도체층을 포함하는 파워 MOSFET은 공핍형 트랜지스터이기 때문에, 이 트랜지스터는 게이트에 전압이 인가되지 않은 상태에서도 전류가 흐르는 노멀리-온 트랜지스터이다. 본 실시형태에서 설명하는 파워 MOSFET은 제1 게이트(201) 외에도 제2 게이트(206)를 포함한다. 제1 게이트(201) 및 제2 게이트(206)에 네거티브 전압이 인가되면, 파워 MOSFET을 턴 오프시킬 수 있다. 이에 의해, 온 저항이 낮고 많은 양의 전류가 흐를 수 있는 파워 MOSFET을 턴 온시킬 수 있다. 한편, 제1 게이트(201) 및 제2 게이트(206)에 포지티브 전압이 인가되면, 파워 MOSFET을 턴 온시킬 수 있다. 또한, 파워 MOSFET(101)은 제1 게이트(201) 및 제2 게이트(206)를 포함하기 때문에, 싱글 게이트를 갖는 파워 MOSFET에 비하여 채널 영역을 두껍게 함으로써 임계값 전압이 더 네거티브로 될 수 있고, 온 전류를 증가시킬 수 있다.
- [0040] 그 다음에, 도 2의 (b)에 도시된 반도체 장치의 동작에 대하여 도 3의 (a) 내지 도 3의 (c) 및 도 4의 (a) 및 도 4의 (b)를 참조하여 설명한다. 도 3의 (a) 내지 도 3의 (c) 및 도 4의 (a) 및 도 4의 (b)에 있어서, 점선화살표는 파워 MOSFET(101) 및 전계 효과 트랜지스터들의 도통과 비도통에 따른 신호의 흐름을 이해하기 쉽게 하기 위하여 도시된다. 반도체 장치에 포함되는 파워 MOSFET(101)의 채널 영역은 n형 산화물 반도체층을 이용하여 형성되고, 파워 MOSFET(101)은 고전압 발생원(108)으로부터의 고전위에 의해 도통되고, 저전압 발생원(109)으로부터의 저전위에 의해 비도통된다. 도 2의 (a)에 도시된 반도체 장치의 동작에 대해서는, 도 3의 (a) 내지 도 3의 (c) 및 도 4의 (a) 및 도 4의 (b)에 도시된 등가 회로들에 있어서 파워 MOSFET(101)을 파워 소자(121)로 치환하면 된다는 것을 유의한다.
- [0041] 도 3의 (a)를 참조하여 파워 MOSFET(101)이 도통되는 경우의 동작에 대하여 설명한다. 과전압 검출 회로(106)의 제어에 의해 전계 효과 트랜지스터(102)를 도통시키고, 과전압 검출 회로(106)의 제어에 의해 전계 효과 트랜지스터(103)를 비도통시키고, 리프레시 제어 회로(107)의 제어에 의해 전계 효과 트랜지스터(104)를 비도통시킨다. 전계 효과 트랜지스터(102)를 도통시킴으로써, 고전압 발생원(108)으로부터 고전위가 파워 MOSFET(101)의 제1 게이트 및 제2 게이트에 인가되어, 파워 MOSFET(101)이 도통된다.
- [0042] 도 3의 (b)를 참조하여 파워 MOSFET(101)이 비도통되는 경우의 동작에 대하여 설명한다. 과전압 검출 회로(106)의 제어에 의해 전계 효과 트랜지스터(102)를 비도통시키고, 과전압 검출 회로(106)의 제어에 의해 전계 효과 트랜지스터(103)를 도통시키고, 리프레시 제어 회로(107)의 제어에 의해 전계 효과 트랜지스터(104)를 비도통시킨다. 도 3의 (b)에 도시된 바와 같이, 전계 효과 트랜지스터(103)를 도통시킴으로써, 저전압 발생원(109)으로부터 용량 소자(105)에 저장된 저전위가 파워 MOSFET(101)의 제1 게이트 및 제2 게이트에 인가되어, 파워 MOSFET(101)이 비도통된다.
- [0043] 도 3의 (b)를 참조하여 설명한 용량 소자(105)에 저전위를 충전하는 경우의 동작에 대하여 도 3의 (c)를 참조하여 설명한다. 과전압 검출 회로(106)의 제어에 의해 전계 효과 트랜지스터(102)를 비도통시키고, 과전압 검출 회로(106)의 제어에 의해 전계 효과 트랜지스터(103)를 도통시키고, 리프레시 제어 회로(107)의 제어에 의해 전계 효과 트랜지스터(104)를 도통시킨다. 저전압 발생원(109)으로부터 용량 소자(105)에 저전위가 저장된다.
- [0044] 도 3의 (c)를 참조하여 설명한 용량 소자(105)에 저전위의 충전은 리프레시 제어 회로(107)의 제어에 의해 일정한 시간 간격으로 행해진다는 것을 유의한다. 구체적으로는, 저전압 발생원(109)에 의해 용량 소자(105)를 충전시키고 파워 MOSFET(101)을 비도통시키는 저전위를 용량 소자(105)에 유지하는 동안, 반도체 장치는 도 3의 (b)에 도시된 상태를 유지한다. 그리고, 반도체 장치는 간헐적으로 도 3의 (c)에 도시된 상태로 됨으로써, 전계 효과 트랜지스터(104)를 도통시켜 저전위를 용량 소자(105)에 저장한다. 예를 들어, 도 3의 (c)에 도시된 동작은 1분에 1회씩 충전에 충분한 시간을 들여서 수행될 수 있다.
- [0045] 전술한 본 실시형태의 구성에서는, 도 3의 (a) 또는 도 3의 (b)의 상태와 도 3의 (c)의 상태를 반복하지만, 도 3의 (b)의 상태를 유지하는 기간이 더 길다.
- [0046] 여기서, 도 4의 (a)를 참조하여 본 실시형태의 효과에 대하여 상세하게 설명한다. 도 4의 (a)에 있어서, 도 3의 (b)에 도시된 상태에 있어서의 파워 MOSFET(101)의 제1 게이트 및 제2 게이트에 접속된 노드, 전계 효과 트

랜지스터(103), 및 용량 소자(105)의 단자들 중 하나는 실선으로 도시되고, 그 이외의 접속은 파선으로 도시된다.

[0047] 전계 효과 트랜지스터(102) 및 전계 효과 트랜지스터(104)가 비도통됨으로써, 파워 MOSFET(101)의 제1 게이트 및 제2 게이트에 접속된 노드는 전기적으로 플로팅 상태(floating state)로 된다. 전술한 바와 같이, 전계 효과 트랜지스터(102) 및 전계 효과 트랜지스터(104)는 각각, 채널 영역에 i형화 또는 실질적으로 i형화된 산화물 반도체층을 포함하기 때문에, 오프 상태의 전류가 극히 작다. 이로 인해, 파워 MOSFET(101)의 제1 게이트 및 제2 게이트에 접속된 노드는, 저전압 발생원(109)으로부터 용량 소자(105)에 저장된 저전위를 장기간 유지할 수 있다. 끊임없이가 아니라 간헐적으로 용량 소자에 저전위를 인가할 수 있다. 또한, 파워 MOSFET(101)의 제1 게이트 및 제2 게이트에 저전위가 인가되면, 파워 MOSFET(101)은 오프 상태로 된다. 이에 의해, 본 실시형태의 반도체 장치는 전력 소비의 증가를 초래하지 않고, 파워 MOSFET(101)의 오프 상태를 실현할 수 있다.

[0048] 또한, 도 2의 (c)에 도시된 반도체 장치에 있어서, 파워 MOSFET(101)의 제1 게이트 및 제2 게이트에 접속된 노드의 전위의 유지 특성을 증가시키기 위해서, 도 4의 (b)에 도시된 바와 같이, 제1 게이트 및 제2 게이트에 접속된 노드에 용량 소자(401)를 추가적으로 설치할 수 있다. 도 2의 (a) 및 도 2의 (b)에 도시된 반도체 장치들에 있어서는, 파워 MOSFET(101)의 게이트 또는 파워 소자(121)의 게이트에 용량 소자(401)를 설치할 수 있다는 것을 유의한다.

[0049] 본 실시형태에 있어서, 도면에 도시된 내용은 다른 실시형태에서 설명하는 내용과 적절하게 자유자재로 조합 또는 치환될 수 있다는 것을 유의한다.

[0050] (실시형태 2)

[0051] 본 실시형태에서는, 실시형태 1에서 설명한 파워 MOSFET(101)의 구성 및 제작 방법에 대하여 도 5의 (a) 및 도 5의 (b), 도 6의 (a) 및 도 6의 (b), 및 도 7의 (a) 내지 도 7의 (d)를 참조하여 설명한다.

[0052] 도 5의 (a)는 실시형태 1에서 설명한 파워 MOSFET(101)의 단면 구성의 일 실시형태를 도시하고, 도 5의 (b)는 파워 MOSFET(101)의 상면도를 도시한다. 도 5의 (b)의 라인 A-B를 따라 절취한 단면도가 도 5의 (a)에 해당한다.

[0053] 도 5의 (a)에 도시된 파워 MOSFET(101)에 있어서, 기판(200) 위에 도전층으로 형성된 제1 게이트(201)가 설치되고, 제1 게이트(201) 위에 게이트 절연층(202)이 설치되고, 게이트 절연층(202) 위에 n형 산화물 반도체층(203)이 설치되고, 도전층으로 형성된 제1 단자(204A) 및 제2 단자(204B)가 산화물 반도체층(203)의 일부를 덮도록 설치되고, 절연층(205)이 산화물 반도체층(203), 제1 단자(204A), 및 제2 단자(204B)를 덮도록 설치되고, 절연층(205) 위에 도전층으로 형성된 제2 게이트(206)가 제1 단자(204A)의 일부 및 제2 단자(204B)의 일부와 중첩하도록 설치된다.

[0054] 기판(200)은 적어도 나중에 행해지는 가열 처리를 견딜 수 있기에 충분히 높은 내열성을 갖는 것이 필요하다. 기판(200)으로서 글래스 기판을 이용하는 경우, 왜곡점(strain point)이 730°C 이상인 글래스 기판을 이용하는 것이 바람직하다. 글래스 기판으로서, 예를 들어, 알루미노실리케이트 글래스, 알루미노보로실리케이트 글래스, 또는 바륨 보로실리케이트 글래스 등의 글래스 재료가 이용된다. B₂O₃의 양보다 BaO의 양이 많도록 B₂O₃와 BaO를 함유하는 글래스 기판을 이용하는 것이 바람직하다는 것을 유의한다.

[0055] 글래스 기판 대신에, 세라믹 기판, 석영 기판, 또는 사파이어 기판 등의 절연체로 형성되는 기판을 이용할 수 있다. 대안적으로, 결정화 글래스 등을 이용할 수 있다. 또한, 대안적으로, 실리콘 웨이퍼 등의 반도체 기판의 표면 또는 금속 재료로 형성된 도전성 기판의 표면 위에 절연층을 형성하여 얹은 기판을 이용할 수도 있다.

[0056] 도 5의 (a)에는 도시되지 않았지만, 기판(200) 및 제1 게이트(201) 사이에 열전도율이 높은 절연층이 형성되는 경우, 내열성이 높은 파워 MOSFET(101)을 제작할 수 있다. 열전도율이 높은 절연층의 예로서는, 질화 알루미늄층, 질화 산화 알루미늄층, 질화 실리콘층 등을 포함한다.

[0057] 제1 게이트(201)는 알루미늄, 크로뮴, 구리, 탄탈륨, 티타늄, 몰리브데늄, 및 텅스텐으로부터 선택된 금속 원소, 이 금속 원소들 중 임의의 것을 성분으로서 함유하는 합금, 또는 이 금속 원소들의 조합을 함유하는 합금 등을 이용하여 형성된다. 또한, 망가니즈, 마그네슘, 지르코늄, 및 베릴륨으로부터 선택된 하나 이상의 금속 원소를 이용할 수도 있다. 또한, 제1 게이트(201)는 단층 구조일 수도 있고, 2층 이상을 갖는 적층 구조일 수도 있다. 예를 들어, 실리콘을 함유하는 알루미늄층의 단층 구조, 알루미늄층 위에 티타늄층이 적층되는 2층 구조, 질화 티타늄층 위에 티타늄층이 적층되는 2층 구조, 질화 티타늄층 위에 텅스텐층이 적층되는 2층 구조,

질화 탄탈륨 층 위에 텅스텐층이 적층되는 2층 구조, 티타늄층과 알루미늄층과 티타늄층이 이 순서대로 적층되는 3층 구조 등이 있을 수 있다. 대안적으로, 티타늄, 탄탈륨, 텅스텐, 몰리브데늄, 크로뮴, 네오디뮴, 및 스칸듐으로부터 선택된 하나 이상의 원소와 알루미늄을 함유하는 층, 합금층, 또는 질화물층을 이용할 수 있다.

[0058] 제1 게이트(201)는 인듐 주석 산화물, 산화 텅스텐을 함유하는 인듐 산화물, 산화 텅스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 이용하여 형성될 수 있다. 또한, 상기의 투광성을 갖는 도전성 재료와, 상기의 금속 원소를 이용하여 형성되는 적층 구조를 가질 수도 있다.

[0059] 게이트 절연층(202)은 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 또는 산화 알루미늄층을 이용하여 단층으로 또는 적층으로 형성될 수 있다. 산화물 반도체층(203)과 접촉하는 게이트 절연층(202)의 부분은 산소를 함유하는 것이 바람직하고, 특히, 게이트 절연층(202)의 그 부분은 산화 실리콘층을 이용하여 형성하는 것이 바람직하다. 산화 실리콘층을 이용함으로써, 산화물 반도체층(203)에 산소를 공급할 수 있어서, 양호한 특성을 얻을 수 있다.

[0060] 게이트 절연층(202)은 하프늄 실리케이트(HfSiO_x), 질소가 침가된 하프늄 실리케이트($\text{HfSi}_{x,0,y}\text{N}_z$), 질소가 침가된 하프늄 알루미네이트($\text{HfAl}_{x,0,y}\text{N}_z$), 산화 하프늄, 또는 산화 이트륨 등의 하이-k 재료를 이용하여 형성됨으로써, 게이트 리크 전류를 감소시킬 수 있다. 또한, 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 또는 산화 알루미늄층 중 하나 이상과 하이-k 재료가 적층된 적층 구조를 이용할 수 있다. 게이트 절연층(202)의 두께는 100nm 이상 300nm 이하일 수 있다.

[0061] n형 산화물 반도체층(203)으로서, In-Sn-Ga-Zn-0계 금속 산화물 등의 4성분계 금속 산화물, In-Ga-Zn-0계 금속 산화물, In-Sn-Zn-0계 금속 산화물, In-Al-Zn-0계 금속 산화물, Sn-Ga-Zn-0계 금속 산화물, Al-Ga-Zn-0계 금속 산화물, 또는 Sn-Al-Zn-0계 금속 산화물 등의 3성분계 금속 산화물, In-Zn-0계 금속 산화물, Sn-Zn-0계 금속 산화물, Al-Zn-0계 금속 산화물, Zn-Mg-0계 금속 산화물, Sn-Mg-0계 금속 산화물, 또는 In-Mg-0계 금속 산화물 등의 2성분계 금속 산화물 등이 이용될 수 있다. 여기서, n성분계 금속 산화물은 n 종류의 금속 산화물을 포함한다. 산화물 반도체층은, 불순물로서, 주성분의 금속 산화물 이외의 원소를 1%, 바람직하게는 0.1% 포함할 수 있다는 것을 유의한다.

[0062] n형 산화물 반도체층(203)은 3성분계 금속 산화물로 형성되고, $\text{InM}_x\text{Zn}_y\text{O}_z$ ($Y = 0.5$ 내지 5)로 표현되는 금속 산화물로 형성될 수 있다. 여기서, M은 갈륨(Ga), 알루미늄(Al), 또는 봉소(B) 등의 13족으로부터 선택된 하나 또는 복수의 종류의 원소를 나타낸다. In, M, Zn, 및 0의 함유량은 자유롭게 설정될 수 있으며, M의 함유량이 제로(즉, X=0)인 경우를 포함한다는 것을 유의한다. 한편, In 및 Zn의 함유량은 제로가 아니다. 즉, 상기의 표기는 In-Ga-Zn-0계 금속 산화물 및 In-Zn-0계 금속 산화물 반도체 등을 표현할 수 있다.

[0063] 또한, n형 산화물 반도체층(203)을 형성하는 금속 산화물의 에너지 캡은 2eV 이상, 바람직하게는 2.5eV 이상, 보다 바람직하게는 3eV 이상인 것이 바람직하다.

[0064] n형 산화물 반도체층(203)으로서, 비정질 구조, 미세결정 구조, 다결정 구조, 또는 단결정 구조를 갖는 산화물 반도체가 적절히 이용될 수 있다. 또한, 표면에 수직인 방향과 c축이 거의 평행한 결정을 갖는 산화물 반도체가 이용될 수 있다.

[0065] n형 산화물 반도체층(203)은, 캐리어 밀도가 $1 \times 10^{16} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하, 바람직하게는 $1 \times 10^{17} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하이다. 산화물 반도체에서 수소 및 산소 결손이 도너로서 기능하기 때문에, 수소 농도는 $1 \times 10^{16} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하인 것이 바람직하다.

[0066] n형 산화물 반도체층(203)의 두께는, 제1 게이트 및 제2 게이트에 네거티브 전압이 인가될 때, 공핍층이 채널 영역에 펼쳐지고, 파워 MOSFET(101)이 턴 오프되도록 설정된다. 캐리어 밀도가 $1 \times 10^{16} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하이고, 유전율이 15이고, 밴드 캡이 3.15이고, 전도대의 유효 상태 밀도가 $N_c = 2.8 \times 10^{19} \text{ cm}^{-3}$ 이고, 가전자대(valence band)의 유효 상태 밀도가 $N_v = 1.04 \times 10^{19} \text{ cm}^{-3}$ 이며, 산화물 반도체층의 한쪽 표면측에 게이트가 설치되는 경우, 공핍층의 최대 폭은 7nm 이상 677nm 이하이다. 도 5의 (a)에 도시된 파워 MOSFET은 제1 게이트(201) 및 제2 게이트(206)를 포함하기 때문에, n형 산화물 반도체층(203)의 두께를 14nm 이상 1354nm 이하로 설정할 수 있다. 또한, 캐리어 밀도가 $1 \times 10^{17} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하인 경우, 공핍층의 최대 폭은 7nm 이상

218nm 이하이다. 이 경우, n형 산화물 반도체층(203)의 두께를 14nm 이상 436nm 이하로 설정할 수 있다.

[0067] 제1 단자(204A) 및 제2 단자(204B)는 알루미늄, 크로뮴, 구리, 탄탈륨, 티타늄, 몰리브데늄, 및 텉스텐으로부터 선택된 금속 원소, 이 금속 원소들 중 임의의 것을 성분으로서 함유하는 합금, 또는 이 금속 원소들의 조합을 함유하는 합금 등을 이용하여 형성된다. 또한, 망가니즈, 마그네슘, 지르코늄, 및 베릴륨으로부터 선택된 하나 이상의 금속 원소를 이용할 수도 있다. 또한, 제1 단자(204A) 및 제2 단자(204B)는 단층 구조 또는 2층 이상의 적층 구조를 가질 수 있다. 예를 들어, 실리콘을 포함하는 알루미늄층의 단층 구조, 알루미늄층 위에 티타늄층이 적층되는 2층 구조, 질화 티타늄층 위에 티타늄층이 적층되는 2층 구조, 질화 티타늄층 위에 텉스텐층이 적층되는 2층 구조, 질화 탄탈륨층 위에 텉스텐층이 적층되는 2층 구조, 티타늄층과 알루미늄층과 티타늄층이 이 순서대로 적층되는 3층 구조 등이 있을 수 있다. 대안적으로, 티타늄, 탄탈륨, 텉스텐, 몰리브데늄, 크로뮴, 네오디뮴, 및 스칸듐으로부터 선택된 하나 이상의 원소와 알루미늄을 함유하는 층, 합금층, 또는 질화물층을 이용할 수 있다.

[0068] 제1 단자(204A) 및 제2 단자(204B)는 인듐 주석 산화물, 산화 텉스텐을 함유하는 인듐 산화물, 산화 텉스텐을 함유하는 인듐 아연 산화물, 산화 티타늄을 함유하는 인듐 산화물, 산화 티타늄을 함유하는 인듐 주석 산화물, 인듐 아연 산화물, 또는 산화 실리콘을 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 이용하여 형성될 수 있다. 또한, 상기의 투광성을 갖는 도전성 재료와, 상기의 금속 원소를 이용하여 형성된 적층 구조를 가질 수도 있다.

[0069] 절연층(205)은 게이트 절연층(202)의 재료를 적절히 이용하여 형성될 수 있다.

[0070] 제2 게이트(206)는 제1 게이트(201)의 재료를 적절히 이용하여 형성될 수 있다.

[0071] 도 5의 (a) 및 도 5의 (b)에 도시된 파워 MOSFET(101)은 채널 영역에 n형 산화물 반도체층을 포함하기 때문에, 온 저항을 감소시킬 수 있고, 많은 양의 전류가 흐를 수 있다. 그러나, 채널 영역에 n형 산화물 반도체층을 포함하는 파워 MOSFET은 공핍형 트랜지스터이기 때문에, 이 트랜지스터는 게이트에 전압이 인가되지 않은 상태에서도 전류가 흐르는 노멀리-온 트랜지스터이다. 본 실시형태에서 설명하는 파워 MOSFET은 제1 게이트(201) 외에도 제2 게이트(206)를 포함한다. 제1 게이트(201) 및 제2 게이트(206)에 네거티브 전압이 인가되면, 파워 MOSFET을 턴 오프시킬 수 있다. 이에 의해, 온 저항이 낮고 많은 양의 전류가 흐를 수 있는 파워 MOSFET을 턴 오프시킬 수 있다. 한편, 제1 게이트(201) 및 제2 게이트(206)에 포지티브 전압이 인가되면, 파워 MOSFET을 턴 온시킬 수 있다. 또한, 파워 MOSFET(101)은 제1 게이트(201) 및 제2 게이트(206)를 포함하기 때문에, 싱글 게이트를 갖는 파워 MOSFET에 비하여 채널 영역을 두껍게 할 수 있고, 온 전류를 증가시킬 수 있다.

[0072] 또한, 도 5의 (b)에 도시된 바와 같이, 파워 MOSFET들(101)을 병렬로 접속함으로써, 채널 폭 W 를 넓힐 수 있다. 이에 따라, 많은 양의 전류가 흐를 수 있는 파워 디바이스를 제작할 수 있다.

[0073] 그 다음에, 도 5의 (a) 및 도 5의 (b)의 구성과는 상이한 파워 MOSFET의 단면 구성이 도 6의 (a) 및 도 6의 (b)에 도시된다. 도 6의 (a)에 도시된 파워 MOSFET(101A)에 있어서, 제2 게이트(206A)가 제1 단자(204A) 및 제2 단자(204B) 중 하나와 중첩하고 다른 하나와는 중첩하지 않는다.

[0074] 도 6의 (a)에 도시된 파워 MOSFET(101A)에 있어서, 기판(200) 위에 도전층으로 형성된 제1 게이트(201)가 설치되고, 제1 게이트(201) 위에 게이트 절연층(202)이 설치되고, 게이트 절연층(202) 위에 n형 산화물 반도체층(203)이 설치되고, 도전층으로 형성된 제1 단자(204A) 및 제2 단자(204B)가 산화물 반도체층(203)의 일부를 덮도록 설치되고, 절연층(205)이 산화물 반도체층(203), 제1 단자(204A), 및 제2 단자(204B)를 덮도록 설치된다. 또한, 절연층(205) 위에 도전층으로 형성된 제2 게이트(206A)가 제1 단자(204A) 및 제2 단자(204B) 중 하나와 중첩하고 다른 하나와는 중첩하지 않도록 설치된다. 즉, 영역(208)에서 산화물 반도체층(203)이 제2 게이트(206A), 제1 단자(204A), 및 제2 단자(204B) 중 어느 것과도 중첩되지 않도록, 영역(208)이 설치된다.

[0075] 제2 게이트(206A)는 도 5의 (a) 및 도 5의 (b)에 도시된 제2 게이트(206)와 마찬가지의 재료 및 방법을 이용하여 형성될 수 있다.

[0076] 도 6의 (b)에 도시된 파워 MOSFET(101B)에 있어서, 기판(200) 위에 도전층으로 형성된 제1 게이트(201A)가 설치되고, 제1 게이트(201A) 위에 게이트 절연층(202)이 설치되고, 게이트 절연층(202) 위에 n형 산화물 반도체층(203)이 설치되고, 도전층으로 형성된 제1 단자(204A) 및 제2 단자(204B)가 산화물 반도체층(203)의 일부를 덮도록 설치되고, 절연층(205)이 산화물 반도체층(203), 제1 단자(204A) 및 제2 단자(204B)를 덮도록 설치된다. 또한, 절연층(205) 위에 도전층으로 형성된 제2 게이트(206A)가 제1 단자(204A) 및 제2 단자(204B) 중 하나와 중첩하고 다른 하나와는 중첩하지 않도록 설치된다. 즉, 오프셋 영역(209)에서 산화물 반도체층(203)이 제1 게

이트(201A), 제2 게이트(206A), 제1 단자(204A), 및 제2 단자(204B) 중 어느 것과도 중첩되지 않도록, 오프셋 영역(209)이 설치된다.

[0077] 제1 게이트(201A)는, 도 5의 (a) 및 도 5의 (b)에 도시된 제1 게이트(201)와 마찬가지의 재료 및 방법을 이용하여 형성될 수 있다.

[0078] 도 6의 (a) 및 도 6의 (b)에 도시된 파워 MOSFET(101A) 및 파워 MOSFET(101B)은 각각, 채널 영역에 n형 산화물 반도체층(203)을 포함하기 때문에, 온 저항을 감소시킬 수 있고, 많은 양의 전류가 흐를 수 있다. 그러나, 채널 영역에 n형 산화물 반도체층을 포함하는 파워 MOSFET은 공핍형 트랜지스터이기 때문에, 이 트랜지스터는 게이트에 전압이 인가되지 않은 상태에서도 전류가 흐르는 노멀리-온 트랜지스터이다. 본 실시형태에서 설명하는 파워 MOSFET은 제1 게이트(201) 또는 제1 게이트(201A) 외에도 제2 게이트(206A)를 포함한다. 제1 게이트(201) 또는 제1 게이트(201A), 및 제2 게이트(206A)에 네거티브 전압이 인가되면, 파워 MOSFET을 턴 오프시킬 수 있다. 이에 의해, 온 저항이 낮고, 많은 양의 전류가 흐를 수 있는 파워 MOSFET을 턴 오프시킬 수 있다. 한편, 제1 게이트(201) 또는 제1 게이트(201A), 및 제2 게이트(206A)에 포지티브 전압이 인가되면, 파워 MOSFET을 턴 온시킬 수 있다. 또한, 파워 MOSFET은 제1 게이트(201) 또는 제1 게이트(201A), 및 제2 게이트(206A)를 포함하기 때문에, 싱글 게이트를 갖는 파워 MOSFET에 비하여 채널 영역을 더 두껍게 할 수 있고, 많은 양의 전류가 흐를 수 있다. 또한, 도 6의 (b)에 도시된 파워 MOSFET(101B)에 있어서, n형 산화물 반도체는 제1 게이트(201A), 제2 게이트(206A), 제1 단자(204A), 및 제2 단자(204B)로 덮이지 않는 오프셋 영역(209)을 가짐으로써, 도 5의 (a)에 도시된 파워 MOSFET(101)에 비하여, 드레인 내압을 증가시킬 수 있고, 제1 단자(204A) 또는 제2 단자(204B)에 높은 전압이 인가될 수 있다.

[0079] 여기서, 도 5의 (a) 및 도 5의 (b)에 도시된 파워 MOSFET(101)의 제작 방법에 대하여 도 7의 (a) 내지 도 7의 (d)를 참조하여 설명한다.

[0080] 도 7의 (a)에 도시된 바와 같이, 기판(200) 위에 제1 게이트(201)를 형성한다. 그 다음에, 제1 게이트(201) 위에 게이트 절연층(202)을 형성한다.

[0081] 제1 게이트(201)가 인쇄법 또는 잉크젯트법 등에 의해 형성되는 경우, 단계들의 수를 감소시킬 수 있다. 대안적으로, 스퍼터링법, CVD법, 또는 증착법 등에 의해 도전층을 형성한 후, 포토리소그래피 단계에 의해 형성된 레지스트를 마스크로서 이용하여 도전층을 에칭함으로써, 제1 게이트(201)를 형성할 수 있다. 제1 게이트(201)의 단부가 테이퍼형(tapered)이면, 나중에 형성하는 절연층, 반도체층, 및 도전층과의 피복성을 향상시킬 수 있기 때문에 바람직하다는 것을 유의한다. 또한, 기판(200)과 제1 게이트(201) 사이에, 열전도율이 높은 절연층을 스퍼터링법, CVD법, 도포법, 또는 인쇄법 등에 의해 형성하는 것이 바람직하다.

[0082] 게이트 절연층(202)은 스퍼터링법, CVD법, 인쇄법, 또는 도포법 등에 의해 형성될 수 있다. 대안적으로, 마이크로파(예를 들어, 주파수 2.45GHz)를 이용한 고밀도 플라스마 CVD에 의해, 치밀하고 절연 내압이 높은 고품질의 게이트 절연층(202)을 형성할 수 있다. 산화물 반도체층과 고품질의 게이트 절연층이 서로 밀접하게 접촉하며, 계면 상태 밀도를 감소시킬 수 있고 양호한 계면 특성을 얻을 수 있다. 또한, 고밀도 플라스마 CVD에 의해 형성되는 게이트 절연층(202)이 균일한 두께를 가질 수 있기 때문에, 게이트 절연층(202)은 단차 피복성이 우수하다. 또한, 고밀도 플라스마 CVD에 의해 형성되는 게이트 절연층(202)의 두께는 정밀하게 제어할 수 있다.

[0083] 그 다음에, 도 7의 (b)에 도시된 바와 같이, 게이트 절연층(202) 위에 n형 산화물 반도체층(203)을 형성한다. n형 산화물 반도체층(203)이 인쇄법 또는 잉크젯트법 등에 의해 형성되는 경우, 단계들의 수를 감소시킬 수 있다. 대안적으로, 게이트 절연층(202) 위에 스퍼터링법, CVD법, 도포법, 또는 펄스 레이저 증착법 등에 의해 n형 산화물 반도체층을 형성한 후, 포토리소그래피 단계에 의해 형성된 레지스트를 마스크로서 이용하여 산화물 반도체층을 에칭함으로써, 섬 형상의 n형 산화물 반도체층(203)을 형성할 수 있다.

[0084] 산화물 반도체층의 캐리어 밀도는 원료 가스 및 타겟의 수소 농도 및 산소 농도, 성막 재료, 또는 재료의 조성 등의 성막 조건에 의존한다. 산화물 반도체층의 수소 농도를 증가시키거나, 또는 산화물 반도체층의 산소 농도를 감소시켜 산소 결손을 포함시키는 경우, 도너로서 기능하는 수소 또는 산소 결손을 산화물 반도체층에 포함시킬 수 있기 때문에, n형 산화물 반도체층을 형성할 수 있다.

[0085] 산화물 반도체층(203)을 형성한 후, 가열 처리를 행할 수 있으며, 이에 의해 산화물 반도체층은 미세결정 구조, 다결정 구조, 또는 단결정 구조를 갖는다는 것을 유의한다. 또한, 표면에 수직인 방향과 c축이 거의 평행한 결정을 갖는 결정 구조의 산화물 반도체를 이용할 수 있다.

[0086] 그 다음에, 도 7의 (c)에 도시된 바와 같이, 소스 전극 및 드레인 전극으로서 기능하는 제1 단자(204A) 및 제2

단자(204B)를 형성한다. 제1 단자(204A) 및 제2 단자(204B)를 인쇄법 또는 잉크젯트법 등에 의해 형성되는 경우, 단계들의 수를 감소시킬 수 있다. 대안적으로, 게이트 절연층(202) 및 산화물 반도체층(203) 위에 스퍼팅법, CVD법, 또는 증착법 등에 의해 도전층을 형성한 후, 포토리소그래피 방법에 의해 형성된 레지스트를 마스크로서 이용하여 도전층을 에칭함으로써, 제1 단자(204A) 및 제2 단자(204B)를 형성할 수 있다.

[0087] 그 다음에, 도 7의 (d)에 도시된 바와 같이, 게이트 절연층(202), 산화물 반도체층(203), 제1 단자(204A), 및 제2 단자(204B) 위에 절연층(205)을 형성한다. 절연층(205)은 게이트 절연층(202)과 마찬가지의 방식으로 형성될 수 있다. 그 다음에, 절연층(205) 위에 제2 게이트(206)를 형성한다. 제2 게이트(206)는 제1 게이트와 마찬가지의 방식으로 형성될 수 있다.

[0088] 이상의 단계들에 의해, 채널 영역에 n형 산화물 반도체층을 포함하는 공핍형 파워 MOSFET(101)을 제작할 수 있다. 상기의 제작 단계들에 있어서, 제2 게이트의 레이아웃을 변경함으로써, 도 6의 (a)에 도시된 파워 MOSFET(101A) 또는 도 6의 (b)에 도시된 파워 MOSFET(101B)을 제작할 수 있다는 것을 유의한다.

[0089] (실시형태 3)

[0090] 본 실시형태에서는, 실시형태 1 및 실시형태 2에서 설명한 파워 MOSFET(101) 대신에 이용될 수 있는 파워 MOSFET의 구성에 대하여 도 8 및 도 9의 (a) 및 도 9의 (b)를 참조하여 설명한다.

[0091] 도 8 및 도 9의 (a) 및 도 9의 (b)에 도시된 파워 MOSFET들은 기판(200)과 산화물 반도체층(213) 사이에 게이트가 설치되지 않는다는 점에서 도 6의 (a) 및 도 6의 (b)에 도시된 파워 MOSFET들과 상이하다.

[0092] 도 8에 도시된 파워 MOSFET(111A)에 있어서, 기판(200) 위에 n형 산화물 반도체층(213)이 설치되고, 도전층으로 형성된 제1 단자(204A) 및 제2 단자(204B)가 산화물 반도체층(213)의 일부를 덮도록 설치되고, 절연층(212)이 산화물 반도체층(213), 제1 단자(204A), 및 제2 단자(204B)를 덮도록 게이트 설치되고, 게이트 절연층(212) 위에 도전층으로 형성된 게이트(211)가 제1 단자(204A) 및 제2 단자(204B) 중 하나의 일부와 중첩하도록 설치된다. 즉, 영역(208)에서 산화물 반도체층(213)이 게이트(211), 제1 단자(204A), 및 제2 단자(204B) 중 어느 것과도 중첩하지 않도록, 영역(208)이 형성된다.

[0093] 실시형태 2에서 설명한 파워 MOSFET(101)과 마찬가지로, 기판(200)과 산화물 반도체층(213) 사이에 열전도율이 높은 절연층이 형성되는 경우, 내열성이 높은 파워 MOSFET(111A)을 제작할 수 있다는 것을 유의한다. 또한, 제1 단자(204A) 및 제2 단자(204B)를 기판(200)과 산화물 반도체층(213) 사이에 설치할 수도 있다. 또한, 도 5의 (a)와 마찬가지로, 영역(208)을 설치하지 않을 수 있고, 게이트(211)가 제1 단자(204A)의 일부 및 제2 단자(204B)의 일부와 중첩하도록 설치될 수도 있다.

[0094] 도 9의 (a)에 도시된 파워 MOSFET(111B)에 있어서, 기판(200) 위에 도전층으로 형성된 제1 단자(204A)가 설치되고, n형 산화물 반도체층(213)이 도전층으로 형성된 제1 단자(204A)를 덮도록 설치되고, 도전층으로 형성된 제2 단자(204B)가 산화물 반도체층(213)의 일부를 덮도록 설치되고, 게이트 절연층(212)이 산화물 반도체층(213) 및 제2 단자(204B)를 덮도록 설치되고, 게이트 절연층(212) 위에, 도전층으로 형성된 게이트(211)와, 제1 단자(204A)에 접속되는 배선(214)과, 제2 단자(204B)에 접속되는 배선(215)이 설치된다.

[0095] 도 9의 (b)는 도 9의 (a)에 도시된 파워 MOSFET(111B)의 상면도이다. 도 9의 (b)의 라인 A-B를 따라 절취한 단면도가 도 9의 (a)에 해당한다. 도 9의 (b)에 도시된 바와 같이, 제2 단자(204B), 및 제2 단자(204B)에 접속되는 배선(215) 주위에 게이트(211)가 설치된다. 또한, 게이트(211)의 주위에 제1 단자(204A), 및 제1 단자(204A)에 접속되는 배선(214)이 설치된다.

[0096] 즉, 제1 단자(204A)와 제2 단자(204B)는 서로 중첩하지 않는다. 게이트(211)는 제1 단자(204A) 및 제2 단자(204B)와 중첩하지 않는 영역을 포함하는 영역에 걸쳐 설치된다. 또한, 게이트(211)의 일부(단부)는 제1 단자(204A) 및 제2 단자(204B) 중 하나 또는 둘 다와 중첩할 수 있다.

[0097] 실시형태 2에서 설명한 파워 MOSFET(101)과 마찬가지로, 기판(200)과, 제1 단자(204A) 및 산화물 반도체층(213) 사이에 열전도율이 높은 절연층이 형성되는 경우, 내열성이 높은 파워 MOSFET(111B)을 제작할 수 있다는 것을 유의한다.

[0098] 도 8 및 도 9의 (a) 및 도 9의 (b)에 도시된 산화물 반도체층(213)은, 실시형태 2에서 설명한 산화물 반도체층(203)과 마찬가지의 재료를 이용하여 형성될 수 있다. 도 8에 도시된 파워 MOSFET(111A) 및 도 9의 (a) 및 도 9의 (b)에 도시된 파워 MOSFET(111B)에 있어서, 게이트(211)는 산화물 반도체층(213)의 한쪽 표면측에만 형성된다는 것을 유의한다. 이로 인해, 산화물 반도체층(213)의 두께는, 게이트(211)에 네거티브 전압이 인가될 때,

공핍층이 채널 영역에 펼쳐지고, 파워 MOSFET(111B)이 턴 오프될 수 있도록 설정된다. 본 실시형태에서는 게이트의 개수가 실시형태 2에서 설명한 파워 MOSFET(101)의 게이트의 개수의 반이기 때문에, 캐리어 밀도가 $1 \times 10^{16} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하인 경우, 공핍층의 최대 폭은 7nm 이상 677nm 이하이다. 따라서, n형 산화물 반도체층(213)의 두께를 7nm 이상 677nm 이하로 설정할 수 있다. 또한, 캐리어 밀도가 $1 \times 10^{17} \text{ cm}^{-3}$ 이상 $1 \times 10^{20} \text{ cm}^{-3}$ 이하인 경우, 공핍층의 최대 폭은 7nm 이상 218nm 이하이다. 이 경우, n형 산화물 반도체층(213)의 두께를 7nm 이상 218nm 이하로 설정할 수 있다.

[0099] 또한, 도 8 및 도 9의 (a) 및 도 9의 (b)에 도시된 파워 MOSFET들의 제작 방법으로서, 도 8 및 도 9의 (a) 및 도 9의 (b)에 도시된 구성에 따라 실시형태 2에서 설명한 파워 MOSFET들의 제작 방법이 적절히 이용될 수 있다는 것을 유의한다.

[0100] 도 8 및 도 9의 (a) 및 도 9의 (b)에 도시된 파워 MOSFET들은 각각, 채널 영역에 n형 산화물 반도체층을 포함하기 때문에, 온 저항을 감소시킬 수 있고, 많은 양의 전류가 흐를 수 있다. 그러나, 채널 영역에 n형 산화물 반도체층을 포함하는 파워 MOSFET은 공핍형 트랜지스터이기 때문에, 이 트랜지스터는 게이트에 전압이 인가되지 않은 상태에서도 전류가 흐르는 노멀리-온 트랜지스터이다. 본 실시형태에서 설명하는 파워 MOSFET은 게이트(211)에 네거티브 전압이 인가되면 턴 오프될 수 있고, 게이트(211)에 포지티브 전압이 인가되면 턴 온될 수 있다. 그러므로, 온 저항이 낮고, 많은 양의 전류가 흐를 수 있는 파워 MOSFET을 턴 오프시킬 수 있다.

[0101] (실시형태 4)

[0102] 본 실시형태에서는, 실시형태 1에서 설명한 전계 효과 트랜지스터(102) 내지 전계 효과 트랜지스터(104)의 제작 방법에 대하여 도 10 및 도 11의 (a) 내지 도 11의 (d)를 참조하여 설명한다. 전계 효과 트랜지스터(102) 내지 전계 효과 트랜지스터(104)는 모두 동일한 구성을 가질 수 있기 때문에, 여기에서는, 예로서 전계 효과 트랜지스터(102)에 대하여 설명한다.

[0103] 도 10에 도시된 전계 효과 트랜지스터(102)에 있어서, 기판(250) 위에 도전층으로 형성된 게이트(251)가 설치되고, 게이트(251) 위에 게이트 절연층(252)이 설치되고, 게이트 절연층(252) 위에 i형화 또는 실질적으로 i형화된 산화물 반도체층(253)이 설치되고, 도전층으로 형성된 제1 단자(254A) 및 제2 단자(254B)가 산화물 반도체층(253)의 일부를 덮도록 설치되고, 절연층(255)이 산화물 반도체층(253), 제1 단자(254A), 및 제2 단자(254B)를 덮도록 설치된다.

[0104] 기판(250)으로서, 실시형태 2에서 설명한 기판(200)이 적절히 이용될 수 있다.

[0105] 게이트(251)는 실시형태 2에서 설명한 제1 게이트(201)의 재료들 중 임의의 것을 적절히 이용하여 형성될 수 있다.

[0106] 게이트 절연층(252)은 실시형태 2에서 설명한 게이트 절연층(202)의 재료들 중 임의의 것을 적절히 이용하여 형성될 수 있다. 게이트 절연층(252)의 두께는 50nm 이상 500nm 이하로 설정할 수 있다. 게이트 절연층(252)의 두께가 두꺼운 경우, 게이트 리크 전류를 감소시킬 수 있다.

[0107] 산화물 반도체층(253)은 실시형태 2의 산화물 반도체층(203)의 재료로서 설명한 금속 산화물을 이용하여 형성될 수 있다. 또한, 비정질 구조, 다결정 구조, 또는 단결정 구조의 산화물 반도체를 적절히 채택할 수 있다. 또한, 표면에 수직인 방향과 c축이 거의 평행한 결정을 갖는 결정 구조의 산화물 반도체를 이용할 수 있다. 산화물 반도체층(253)은 i형화 또는 실질적으로 i형화되어 있기 때문에, 캐리어 밀도가 $5 \times 10^{14} \text{ cm}^{-3}$ 미만, 바람직하게는 $1 \times 10^{12} \text{ cm}^{-3}$ 미만, 보다 바람직하게는 $1 \times 10^{11} \text{ cm}^{-3}$ 이하라는 것을 유의한다. 또한, 도너로서 기능하는 수소 및 산소 결손은 적은 것이 바람직하고, 수소 농도는 $1 \times 10^{16} \text{ cm}^{-3}$ 이하인 것이 바람직하다.

[0108] 수소를 철저하게 제거함으로써 고순도화되어, 산소 결손을 감소시켜 화학양론적 조성비를 충족시키는 i형화 또는 실질적으로 i형화된 산화물 반도체층을 채널 영역에 포함하는 전계 효과 트랜지스터(102)는, 오프 상태의 전류가 $1 \times 10^{-16} \text{ A}$ 이하로 될 수 있다. 즉, 전계 효과 트랜지스터가 비도통 상태일 때, 절연체로서 간주될 수 있는 산화물 반도체층을 이용하여 회로를 설계할 수 있다. 한편, 전계 효과 트랜지스터가 도통 상태일 때, 산화물 반도체층(253)의 전류 공급 능력은 비정질 실리콘으로 형성되는 반도체층의 전류 공급 능력보다 높을 것으로 기대된다. 그러므로, 전계 효과 트랜지스터(102)는 오프 상태에서 리크 전류가 극히 작은 노멀리-오프인 증강형 트랜지스터이고, 따라서, 전계 효과 트랜지스터(102)는 우수한 스위칭 특성을 갖는다.

- [0109] 제1 단자(254A) 및 제2 단자(254B)는, 실시형태 2의 제1 단자(204A) 및 제2 단자(204B)의 재료를 적절히 이용하여 형성될 수 있다.
- [0110] 절연층(255)은 산화 절연층을 이용하여 형성되는 것이 바람직하다. 산화 절연층의 대표적인 예로서, 산화 실리콘층, 산화 질화 실리콘층, 또는 산화 알루미늄층이 있을 수 있다. 절연층(205)은 산화 절연층과 질화 절연층의 적층 구조를 가질 수 있다는 것을 유의한다. 질화 절연층의 대표적인 예로서, 질화 실리콘층, 질화 산화 실리콘층, 또는 질화 알루미늄층이 있을 수 있다. 절연층(255)에 있어서, 산화물 반도체층(253)과 접촉하는 영역은 산화 절연층을 이용하여 형성됨으로써, 산화물 반도체층의 산소 결손을 감소시킬 수 있고, 화학양론적 조성비를 충족시킬 수 있다.
- [0111] 전계 효과 트랜지스터(102)의 구성은 다양한 형태들을 채택할 수 있고, 특정한 구성에 한정되지 않는다는 것을 유의한다. 예를 들어, 게이트가 2개 이상인 멀티 게이트 구조를 채택할 수 있다. 또한, 채널 영역의 위와 아래에 게이트 전극들이 설치되는 구조를 이용할 수 있다. 채널 영역의 위와 아래에 게이트 전극들이 설치되는 경우, 2개의 전계 효과 트랜지스터가 병렬로 접속되는 구성을 채택할 수 있다는 것을 유의한다.
- [0112] 여기서, 도 10에 도시된 전계 효과 트랜지스터(102)의 제작 방법에 대하여 도 11의 (a) 내지 도 11의 (d)를 참조하여 설명한다.
- [0113] 도 11의 (a)에 도시된 바와 같이, 기판(250) 위에 게이트(251)를 형성한다. 그 다음에, 게이트(251) 위에 게이트 절연층(252)을 형성한다.
- [0114] 게이트(251)는 실시형태 2에서 설명한 제1 게이트(201)의 제작 방법을 적절히 이용하여 형성될 수 있다. 게이트 절연층(252)은 실시형태 2에서 설명한 게이트 절연층(202)의 제작 방법을 적절히 이용하여 형성될 수 있다. i형화 또는 실질적으로 i형화된 산화물 반도체층은 계면 상태 및 계면 전하에 대하여 매우 민감하기 때문에, 게이트 절연층(252)을 마이크로파를 이용한 고밀도 플라스마 CVD에 의해 형성함으로써, 계면 상태 밀도를 감소시킬 수 있고 양호한 계면 특성을 얻을 수 있다.
- [0115] 게이트 절연층(252)을 형성할 때, 기판(200)을 가열함으로써, 게이트 절연층(252)에 함유된 수소, 물, 수산기, 또는 수소화물 등을 감소시킬 수 있다는 것을 유의한다.
- [0116] 스팍터링법에 의해 게이트 절연층(252)을 형성하는 경우, 게이트 절연층(252)에 함유된 수소, 물, 수산기, 또는 수소화물 등을 감소시키기 위해서, 처리실 내에 잔류하는 수소, 물, 수산기, 또는 수소화물 등을 제거하면서 게이트 절연층(252)을 형성하는 것이 바람직하다. 처리실 내에 잔류하는 수소, 물, 수산기, 또는 수소화물 등을 제거하기 위해서, 흡착형 진공 펌프를 이용하는 것이 바람직하다. 흡착형 진공 펌프의 예로서, 크라이오펌프(cryopump), 이온 펌프(ion pump), 또는 티타늄 승화 펌프(titanium sublimation pump)가 있을 수 있다. 또한, 배기 유닛으로서는 콜드 트랩이 구비된 터보 펌프를 이용할 수 있다.
- [0117] 게이트 절연층(252)을 형성하기 위해 이용하는 스팍터링 가스의 순도가 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도를 1ppm 이하, 바람직하게는 0.1ppm 이하)일 경우, 게이트 절연층(252)에 함유된 수소, 물, 수산기, 또는 수소화물 등을 감소시킬 수 있다.
- [0118] 그 다음에, 도 11의 (b)에 도시된 바와 같이, 게이트 절연층(202) 위에 산화물 반도체층(253A)을 형성한다. 산화물 반도체층(253A)은 인쇄법 또는 잉크젯트법 등을 이용하여 형성될 수 있다. 대안적으로, 게이트 절연층(252) 위에 스팍터링법, CVD법, 도포법, 또는 펄스 레이저 증착법 등에 의해 산화물 반도체층을 형성하고, 포토리소그래피 단계에 의해 형성된 레지스트를 마스크로서 이용하여 상기 산화물 반도체층을 에칭함으로써, 섭 형상의 산화물 반도체층(253A)을 형성할 수 있다.
- [0119] 산화물 반도체층의 캐리어 밀도는 원료 가스 및 타겟의 수소 농도 및 산소 농도, 성막 재료, 재료의 조성 등의 성막 조건 또는 가열 처리 조건에 의존한다. 산화물 반도체층의 수소 농도를 낮추거나, 또는 산화물 반도체층의 산소 농도를 증가시켜 산소 결손을 감소시키는 경우, 산화물 반도체층은 i형화 또는 실질적으로 i형화 된다. 본 실시형태에서는, 산화물 반도체층을 i형화 또는 실질적으로 i형화하는 처리를 나중의 단계에서 행하기 때문에, 산화물 반도체층(253A)은 i형 또는 n형일 수 있다.
- [0120] 산화물 반도체층을 스팍터링법에 의해 형성하는 경우, 기판을 가열함으로써, 산화물 반도체층에 함유된 수소, 물, 수산기, 또는 수소화물 등의 불순물을 감소시킬 수 있다. 또한, 제1 가열 처리에서 결정 성장이 촉진될 수 있다.
- [0121] 산화물 반도체층을 스팍터링법에 의해 형성하는 경우, 금속 산화물 타겟 내의 금속 산화물의 상대 밀도를 80%

이상, 바람직하게는 95% 이상, 더욱 바람직하게는 99.9% 이상으로 함으로써, 산화물 반도체층 내의 불순물 농도를 감소시킬 수 있고, 따라서 우수한 전기 특성 및 높은 신뢰성을 갖는 트랜지스터를 얻을 수 있다.

[0122] 또한, 산화물 반도체층을 형성하기 전에 사전가열 처리를 행하는 경우, 스퍼터링 장치의 내벽에, 타겟 표면에, 또는 타겟 재료 내에 잔존하는 수소, 물, 수산기, 또는 수소화물 등을 제거할 수 있기 때문에, 산화물 반도체층에 함유된 수소, 물, 수산기, 또는 수소화물 등의 불순물을 감소시킬 수 있다.

[0123] 게이트 절연층(252)과 마찬가지로, 산화물 반도체층을 형성하기 전에, 또는 형성하는 동안, 또는 형성한 후에, 스퍼터링 장치 내에 잔존하는 수소, 물, 수산기, 또는 수소화물 등을 제거하기 위해서, 흡착형 진공 펌프를 이용하는 것이 바람직하다. 그 결과, 수소, 물, 수산기, 또는 수소화물 등이 배기되어, 산화물 반도체층에 함유된 수소, 물, 수산기, 또는 수소화물 등의 농도를 감소시킬 수 있다.

[0124] 그 다음에, 제1 가열 처리를 행하여, 산화물 반도체층(253A)에 함유된 수소, 물, 수산기, 또는 수소화물 등의 불순물을 제거한다. 즉, 적어도 탈수화 또는 탈수소화를 행할 수 있다. 제1 가열 처리에서 산화물 반도체층(253A)의 산소 결손도 형성된다는 것을 유의한다. 제1 가열 처리에 의해 수소, 물, 수산기, 또는 수소화물 등의 불순물이 제거된 산화물 반도체층을, 도 11의 (c)에 있어서 산화물 반도체층(253B)으로서 나타낸다.

[0125] 제1 가열 처리의 온도는 400°C 이상 750°C 이하, 바람직하게는 400°C 이상 기판의 왜곡점 미만이다. 제1 가열 처리에 이용하는 가열 처리 장치는 특정 장치에 한정되지 않고, 그 장치는 저항 발열 소자 등의 발열 소자로부터의 열복사 또는 열전도에 의해, 피처리물을 가열하는 장치를 구비할 수 있다. 예를 들어, 전기로(electric furnace), 또는 GRTA(gas rapid thermal annealing: 가스 급속 열처리) 장치 또는 LRTA(lamp rapid thermal annealing: 램프 급속 열처리) 장치 등의 RTA(rapid thermal annealing: 급속 열처리) 장치를 이용할 수 있다. LRTA 장치는 할로겐 램프, 금속 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프 등의 램프로부터 방출되는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는 고온 가스를 이용하여 가열 처리를 행하는 장치이다.

[0126] 제1 가열 처리에 있어서, 질소, 또는 헬륨, 네온, 또는 아르곤 등의 희가스(rare gas)에, 수소, 물, 수산기, 또는 수소화물 등이 함유되지 않는 것이 바람직하다. 대안적으로, 가열 처리 장치에 도입되는 질소, 또는 헬륨, 네온, 또는 아르곤 등의 희가스의 순도는 바람직하게 6N(99.9999%) 이상, 더 바람직하게는 7N(99.99999%) 이상이다(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하임).

[0127] 또한, 제1 가열 처리에서, 승온시에는 로의 내부 분위기가 질소 분위기일 수 있고, 그 분위기는 냉각 실행시에 산소 분위기로 전환될 수 있다. 질소 분위기에서 탈수 또는 탈수소화가 행해진 후 분위기를 산소 분위기로 전환하는 경우, 산화물 반도체층 내로 산소를 공급할 수 있고, 수소 농도를 감소시킬 수 있고, 산화물 반도체층 내의 산소 결손에 산소를 공급할 수 있음으로써, i형화 또는 실질적으로 i형화된 산화물 반도체층을 형성할 수 있다.

[0128] 또한, 제1 가열 처리의 조건, 또는 산화물 반도체층의 재료에 따라서는, 산화물 반도체층(253A)이 결정화될 수 있어서, 결정을 포함하는 산화물 반도체층이 되는 경우도 있다. 예를 들어, 결정화율이 90% 이상, 또는 80% 이상의 결정을 포함하는 산화물 반도체층이 형성되는 경우도 있다.

[0129] 제1 가열 처리의 조건 또는 산화물 반도체층의 재료에 따라서는, 산화물 반도체층은 비정질 산화물 반도체층의 표층부에, 표면에 수직인 방향과 c축이 거의 평행한 결정이 형성된 결정 구조를 갖는다.

[0130] 제1 가열 처리는 산화물 반도체층 위에 제1 단자 및 제2 단자를 형성한 후에 행해질 수 있다는 것을 유의한다.

[0131] 여기서, 전기로에 기판을 도입하고, 질소 또는 희가스 등의 불활성 가스 분위기에서 450°C에서 1시간 동안 가열 처리를 행한다.

[0132] 그 다음에, 도 11의 (c)에 도시된 바와 같이, 소스 전극과 드레인 전극으로서 기능하는 제1 단자(254A)와 제2 단자(254B)를 형성한다.

[0133] 제1 단자(254A) 및 제2 단자(254B)는 실시형태 2에서 설명한 제1 단자(204A) 및 제2 단자(204B)와 마찬가지의 방식으로 형성될 수 있다.

[0134] 그 다음에, 도 11의 (d)에 도시된 바와 같이, 게이트 절연층(252), 산화물 반도체층(253B), 제1 단자(254A), 및 제2 단자(254B) 위에 절연층(255)을 형성한다. 절연층(255)은 스퍼터링법, CVD법, 인쇄법, 또는 도포법 등에 의해 형성될 수 있다. 절연층(255)으로서 스퍼터링법에 의해 산화 실리콘층을 형성하는 경우, 산화 실리콘층으

로부터 제1 가열 처리에서 발생되어 산화물 반도체층(253A)에 포함된 산소 결손에 산소를 공급할 수 있기 때문에, 도너로서 기능하는 산소 결손을 감소시킬 수 있고, 화학양론적 조성비를 충족시키는 구성을 얻을 수 있다는 것을 유의한다. 그 결과, i형화 또는 실질적으로 i형화된 산화물 반도체층(253)을 형성할 수 있다.

[0135] 그 다음에, 불활성 가스 분위기 또는 산소 가스 분위기에서 제2 가열 처리(바람직하게는, 200°C 이상 400°C 이하, 예를 들어, 250°C 이상 350°C 이하)를 행한다. 제2 가열 처리는 절연층(255) 위에 보호 절연층 또는 평탄화 절연층을 형성한 후에 행할 수 있다. 이 가열 처리에 의해, 산화 절연층을 이용하여 형성된 절연층(255)으로부터 제1 가열 처리에서 발생되어 산화물 반도체층에 포함된 산소 결손에 산소를 공급할 수 있고, 따라서 도너로서 기능하는 산소 결손을 감소시킬 수 있고, 화학양론적 조성비를 충족시키는 구성을 얻을 수 있다. 그 결과, 보다 i형화 또는 실질적으로 i형화된 산화물 반도체층(253)을 형성할 수 있다.

[0136] 본 실시형태에서는, 질소 분위기에서 250°C에서 1시간 동안 제2 가열 처리를 행한다.

[0137] 또한, 대기 중에서 100°C 이상 200°C 이하의 가열 처리를 1시간 이상 30시간 이하 동안 행할 수 있다. 가열 처리에 의해 전계 효과 트랜지스터의 신뢰성을 높일 수 있다.

[0138] 이상의 단계들에 의해, 채널 영역에 i형화 또는 실질적으로 i형화된 산화물 반도체층을 포함하고, 오프 상태의 전류가 극히 작은 증강형 전계 효과 트랜지스터(102)를 제작할 수 있다.

[0139] (실시형태 5)

[0140] 도 12는 실시형태 1 내지 실시형태 3에서 설명한 파워 소자를 보호 소자에 이용한 반도체 장치의 일 실시형태이다. 보호 소자는, 전원 단자에 과전압이 입력될 때, 보호 소자인 파워 소자를 통해 전류가 흐르고, 보호 대상 회로를 통해 과전류가 흐르지 않도록 기능한다. 보호 대상 회로는 과전압의 인가에 의해 파괴되는 내압이 낮은 임의의 회로를 포함한다. 본 실시형태에서는, 파워 소자의 예로서, 실시형태 1 및 실시형태 2에서 설명한 4 단자를 구비한 파워 MOSFET을 이용하여 설명한다.

[0141] 도 12는 파워 MOSFET(501), 제어 회로(502), 보호 대상 회로(503), 입력 단자(504) 및 출력 단자(505)를 포함하는 반도체 장치이다. 제어 회로(502)는 입력 단자(504) 또는 출력 단자(505)에 인가되는 과전압을 검출하여 보호 소자로서 기능하는 파워 MOSFET(501)의 동작을 제어한다.

[0142] 도 13은 제어 회로(502)의 상세도이다. 제어 회로(502)는 과전압 검출 회로(511), 인버터(512), 포지티브 전원(513), 스위치 트랜지스터들(514, 515, 516), 용량 소자(517), 네거티브 전압 발생 회로(518), 발진 회로(519), 분주 회로(520), 지연 회로(521), 및 AND 회로(522)를 포함한다. 포지티브 전원(513)은 실시형태 1의 고전압 발생원(108)에 해당한다. 스위치 트랜지스터들(514, 515, 516)은 각각 실시형태 1의 전계 효과 트랜지스터들(102, 103, 104)에 해당한다. 용량 소자(517)는 실시형태 1의 용량 소자(105)에 해당한다. 네거티브 전압 발생 회로(518)는 실시형태 1의 저전압 발생원(109)에 해당한다. 발진 회로(519), 분주 회로(520), 지연 회로(521), 및 AND 회로(522)는 실시형태 1의 리프레시 제어 회로(107)에 해당한다. 제어 회로(502)의 구성은 이 구성에 한정되지 않는다는 것을 유의한다.

[0143] 그 다음에, 도 13의 제어 회로(502) 및 파워 MOSFET(501)의 동작에 대하여 설명한다. 과전압 검출 회로(511)는 정상적인 전원 전압을 초과하는 과전압이 입력 단자(504)에 입력되는 경우에 동작하는 회로이다. 본 실시형태에서, 과전압 검출 회로(511)는 과전압이 입력되는 경우에 하이 전위의 펄스를 출력하는 기능을 갖는다.

[0144] 과전압 검출 회로(511)의 출력 단자는 스위치 트랜지스터(514)의 게이트 단자 및 인버터(512)의 입력 단자에 접속된다. 인버터(512)의 출력 단자는 스위치 트랜지스터(515)의 게이트 단자에 접속된다. 이에 의해, 과전압이 입력될 때, 스위치 트랜지스터(514)가 턴 온되고, 파워 MOSFET(501)의 게이트 단자는 포지티브 전원(513)에 접속되고, 파워 MOSFET(501)은 턴 온된다. 이에 따라, 입력 단자(504)로부터 출력 단자(505)에 전류가 흐르고, 과전압이 도 12의 보호 대상 회로(503)에 흐르는 것을 방지한다.

[0145] 과전압이 인가되지 않을 때, 과전압 검출 회로(511)로부터의 출력은 로우이며, 이에 의해 스위치 트랜지스터(514)는 오프 상태이고 스위치 트랜지스터(515)는 온 상태이다. 네거티브 전압 발생 회로(518)는 도 17의 차지 펌프 회로(charge pump circuit) 등을 포함하여, 네거티브 전압을 발생시킨다.

[0146] 보호 회로는 빈번하게 동작하지 않기 때문에, 끊임없이 많은 양의 전류를 공급하는 것은 전력 소비의 면에서 적절하지 않다. 이에 따라, 작은 전기 능력을 이용하여 용량 소자(517)가 충전되는 것이 전력 소비 감소의 면에서 효과적이다. 따라서, 네거티브 전압 발생 회로(518)에 의해 스위치 트랜지스터(516)를 통하여 용량 소자

(517)를 간헐적으로 충전함으로써, 전력 소비를 감소시킬 수 있다.

[0147] 발진 회로(519)에 의해 발생되는 발진 신호를 분주 회로(520)에 의해 분주하고, 분주된 신호는 스위치 트랜지스터(516)의 게이트 단자에 공급된다. 즉, 분주 회로(520)의 출력 단자들 중 하나는 AND 회로(522)의 제1 입력 단자에 접속된다. 분주 회로(520)의 출력 단자들 중 다른 하나는 지연 회로(521)를 통하여 AND 회로(522)의 제2 입력 단자에 접속된다. 따라서, 지연 회로(521)의 지연 시간과 등가의 펄스 폭을 갖고, 주기가 분주 회로(520)의 출력과 마찬가지인 펄스를 얻을 수 있다. 이 펄스를 이용함으로써, 스위치 트랜지스터(516)의 게이트 단자를 제어할 수 있다.

[0148] 발진 회로(519)로서, 링 발진기(ring oscillator) 등의 일반적인 발진 회로가 이용될 수 있지만, 이것에 한정되지 않는다. 또한, 분주 회로(520)에 플립플롭(flip-flop)이 이용될 수 있다. 지연 회로(521)로서, 인버터를 이용한 회로 또는 CR 지연 회로를 이용한 회로 등이 이용될 수 있지만, 특별히 이들에 한정되지 않는다. 또한, 펄스는 다른 방법들에 의해 생성될 수 있다.

[0149] 이에 의해, 용량 소자(517)에는 네거티브 전압이 유지되고, 과전압이 인가 되지 않을 때, 스위치 트랜지스터(515)를 통하여 파워 MOSFET(501)에 네거티브 전압이 인가된다. 파워 MOSFET(501)의 게이트 단자에 네거티브 전압이 인가되는 동안 파워 MOSFET(501)은 오프 상태로 되고, 이에 따라 전류가 흐르지 않는다.

[0150] 도 14는 파워 MOSFET과 보호 대상 회로를 직렬로 접속한 반도체 장치이다. 도 12와는 달리, 입력 단자에 과전압이 인가될 때, 파워 MOSFET(601)이 턴 오프되어, 보호 대상 회로(603)에 과전압이 인가되는 것을 방지한다.

[0151] 도 14에 도시된 반도체 장치는 파워 MOSFET(601), 제어 회로(602), 보호 대상 회로(603), 입력 단자(604), 및 출력 단자(605)를 포함한다. 제어 회로(602)는 입력 단자(604) 또는 출력 단자(605)에 인가된 과전압을 검출하여, 보호 소자로서 기능하는 파워 MOSFET(601)을 제어한다.

[0152] 도 15는 제어 회로(602)의 상세도이다. 제어 회로(602)는 과전압 검출 회로(611), 인버터(612), 포지티브 전원(613), 스위치 트랜지스터들(614, 615, 616), 용량 소자(617), 네거티브 전압 발생 회로(618), 발진 회로(619), 분주 회로(620), 지연 회로(621), 및 AND 회로(622)를 포함한다. 포지티브 전원(613)은 실시형태 1의 고전압 발생원(108)에 해당한다. 스위치 트랜지스터들(614, 615, 616)은 각각 실시형태 1의 전계 효과 트랜지스터들(103, 102, 104)에 해당한다. 용량 소자(617)는 실시형태 1의 용량 소자(105)에 해당한다. 네거티브 전압 발생 회로(618)는 실시형태 1의 저전압 발생원(109)에 해당한다. 발진 회로(619), 분주 회로(620), 지연 회로(621), 및 AND 회로(622)는 실시형태 1의 리프레시 제어 회로(107)에 해당한다. 제어 회로(602)의 구성은 이 구성에 한정되지 않는다는 것을 유의한다.

[0153] 그 다음에, 도 15의 제어 회로(602) 및 파워 MOSFET(601)의 동작에 대하여 설명한다. 과전압 검출 회로(611)는 정상적인 전원 전압을 초과하는 과전압이 입력 단자(604)에 입력되는 경우에 동작하는 회로이다. 본 실시형태에서, 과전압 검출 회로(611)는 과전압이 입력되는 경우에 하이 전위의 펄스를 출력하는 기능을 갖는다.

[0154] 과전압 검출 회로(611)의 출력 단자는 스위치 트랜지스터(615)의 게이트 단자와 인버터(612)에 접속된다. 인버터(612)의 출력 단자는 스위치 트랜지스터(614)의 게이트 단자에 접속된다. 이에 의해, 입력 단자(604)에 과전압이 입력될 때, 스위치 트랜지스터(615)가 턴 온되고, 파워 MOSFET(601)의 게이트 단자가 네거티브 전압 발생 회로(618)에 접속되고, 파워 MOSFET(601)이 턴 오프된다. 이에 따라, 입력 단자(604)와 보호 대상 회로(603)는 단절되어, 과전압이 보호 대상 회로(603)에 흐르는 것을 방지한다. 네거티브 전압 발생 회로(618)는 도 17의 차지 펌프 회로 등을 포함하여, 네거티브 전압을 발생시킨다.

[0155] 과전압이 인가되지 않을 때, 과전압 검출 회로(611)의 출력은 로우이며, 따라서, 스위치 트랜지스터(615)는 오프로 되고, 스위치 트랜지스터(614)는 온으로 되고, 파워 MOSFET(601)의 게이트 단자는 용량 소자(617)에 접속된다. 용량 소자(617)에는 후술하는 바와 같이 포지티브 전원으로부터의 포지티브 전압이 유지되기 때문에, 파워 MOSFET(601)은 온 상태이다.

[0156] 보호 회로는 빈번하게 동작하지 않기 때문에, 끊임없이 많은 양의 전류를 공급하는 것은 전력 소비의 면에서 적절하지 않다. 이에 따라, 작은 전기 능력을 이용하여 용량 소자(617)가 충전되는 것이 전력 소비 감소의 면에서 효과적이다. 따라서, 포지티브 전원(613)에 의해 스위치 트랜지스터(616)를 통하여 용량 소자(617)를 간헐적으로 충전함으로써, 전력 소비를 감소시킬 수 있다.

[0157] 발진 회로(619)에 의해 발생되는 발진 신호를 분주 회로(620)에 의해 분주하고, 분주된 신호는 스위치 트랜지스터(616)의 게이트 단자에 공급된다. 즉, 분주 회로(620)의 출력 단자들 중 하나는 AND 회로(622)의 제1 입력

단자에 접속된다. 분주 회로(620)의 출력 단자들 중 다른 하나는 지연 회로(621)를 통하여 AND 회로(622)의 제2 입력 단자에 접속된다. 따라서, 지연 회로(621)의 지연 시간과 등가의 펄스 폭을 갖고, 주기가 분주 회로(620)의 출력과 마찬가지인 펄스를 얻을 수 있다. 이 펄스를 이용함으로써, 스위치 트랜지스터(616)의 게이트 단자를 제어할 수 있다.

[0158] 발진 회로(619)로서, 텅 발진기 등의 일반적인 발진 회로가 이용될 수 있지만, 이것에 한정되지 않는다. 또한, 분주 회로(620)에 플립플롭이 이용될 수 있다. 지연 회로(621)로서, 인버터를 이용한 회로 또는 CR 지연 회로를 이용한 회로 등이 이용될 수 있지만, 특별히 이들에 한정되지 않는다. 또한, 펄스는 다른 방법들에 의해 생성될 수 있다.

[0159] 이에 의해, 용량 소자(617)에 포지티브 전압이 유지되고, 과전압이 인가되지 않을 때, 스위치 트랜지스터(614)를 통하여 포지티브 전압이 파워 MOSFET(601)에 인가된다. 파워 MOSFET(601)의 게이트 단자에 포지티브 전압이 인가되는 동안, 파워 MOSFET(601)은 온 상태로 되고, 이에 따라 입력 단자(604)와 도 14의 보호 대상 회로(603)가 서로 접속된다.

[0160] 도 16은 과전압 검출 회로들(511, 611)의 구성들의 예이다. 도 16에 있어서, 트랜지스터(701 내지 705)를 다이오드 접속한 다이오드 체인, 트랜지스터(707), 저항(706), 및 인버터(708)가 포함된다. 다이오드 체인이 직렬 접속된 n개의 트랜지스터를 포함하고 트랜지스터의 임계값 전압이 V_{th} 인 경우, 정상적인 동작 전압 $< nV_{th}$ 가 층 층되도록 n을 설정한다. 과전압이 인가될 때 트랜지스터들(701 내지 705)이 턴 온됨으로써, 다이오드 체인을 통해 전류가 흐른다. 트랜지스터(705)가 턴 온되면, 트랜지스터(707)도 턴 온되어, 인버터(708)의 출력으로부터 하이 전위가 출력된다.

[0161] 본 실시형태에서는, 밴드 갭이 넓은 산화물 반도체층을 채널 영역에 포함하는 노멀리-온 파워 MOSFET을 보호 소자로서 이용함으로써, 과전압의 인가에 기인한 반도체 장치의 파괴를 방지할 수 있다.

[0162] (실시형태 6)

[0163] 본 실시형태에서는, 상기의 실시형태들에서 설명한 파워 디바이스의 응용에 대하여 설명한다. 상기의 실시형태들에서 설명한 파워 디바이스인 반도체 장치는, 예를 들어, 화상을 표시할 수 있는 컴퓨터 디스플레이 등의 전자 기기의 배터리의 보호 회로, 및 전자기 조리기 또는 고정 전원의 전력으로 구동되는 운송 수단(예를 들면, 자전거)에 설치되는 배터리의 보호 회로용으로 이용될 수 있다.

[0164] 도 18의 (a) 내지 도 18의 (c)를 참조하여 보호 회로로서 기능하는 파워 디바이스인 반도체 장치의 응용 예들에 대하여 설명한다.

[0165] 도 18의 (a)는 보호 회로로서 기능하는 반도체 장치의 응용 예로서 전자기 조리기(1000)를 도시한다. 전자기 조리기(1000)는 코일 유닛(1001)을 통해 흐르는 전류에 의해 발생되는 전자 유도를 이용하여 조리기 등을 가열한다. 전자기 조리기(1000)는 코일 유닛(1001)을 통해 흐를 전류를 공급하기 위한 배터리(1002), 보호 회로로서 기능하는 반도체 장치(1003), 및 배터리(1002)를 충전하기 위한 태양 전지(1004)를 포함한다. 도 18의 (a)에는 배터리(1002)를 충전하기 위한 수단으로서 태양 전지(1004)가 도시되었지만, 배터리(1002)는 다른 수단에 의해 충전될 수도 있다. 보호 회로로서 기능하는 반도체 장치(1003)는 배터리(1002)에의 과전압의 인가를 감소시킬 수 있고, 보호 회로가 작동되지 않을 때의 전력 소비를 감소시킬 수 있다.

[0166] 도 18의 (b)는 보호 회로로서 기능하는 반도체 장치의 응용 예로서 전동 자전거(1010)를 도시한다. 전동 자전거(1010)는 모터 유닛(1011)을 통해 전류가 흐를 때 동력을 얻는다. 전동 자전거(1010)는 모터 유닛(1011)을 통해 흐를 전류를 공급하기 위한 배터리(1012), 및 보호 회로로서 기능하는 반도체 장치(1013)를 포함한다. 도 18의 (b)에는 배터리(1012)를 충전하기 위한 수단이 특별히 도시되지 않았지만, 추가적으로 설치되는 발전기 등에 의해 배터리(1012)가 충전될 수 있다. 보호 회로로서 기능하는 반도체 장치(1013)는, 충전시에 있어서의 배터리(1012)에의 과전압의 인가를 감소시킬 수 있고, 보호 회로가 작동되지 않을 때의 전력 소비를 감소시킬 수 있다. 도 18의 (b)에는 폐달이 도시되었지만, 폐달이 반드시 설치될 필요는 없다는 것을 유의한다.

[0167] 도 18의 (c)는 보호 회로로서 기능하는 반도체 장치의 응용 예로서, 전기 자동차(1020)를 도시한다. 전기 자동차(1020)는 모터 유닛(1021)을 통해 전류가 흐를 때 동력을 얻는다. 또한, 전기 자동차(1020)는 모터 유닛(1021)을 통해 흐를 전류를 공급하기 위한 배터리(1022), 및 보호 회로로서 기능하는 반도체 장치(1023)를 포함한다. 도 18의 (c)에는 배터리(1022)를 충전하기 위한 수단이 특별히 도시되지 않았지만, 추가적으로 설치되는 발전기 등에 의해 배터리(1022)가 충전될 수 있다. 보호 회로로서 기능하는 반도체 장치(1023)는 충전시에 있어서의 배터리(1022)에의 과전압의 인가를 감소시킬 수 있고, 보호 회로가 작동하지 않을 때의 전력 소비를 감

소시킬 수 있다.

[0168] 본 실시형태에 있어서, 도면을 참조하여 설명한 본 실시형태의 내용은 다른 실시형태들에서 설명한 내용과 적절하게 자유자재로 조합 또는 치환될 수 있다는 것을 유의한다.

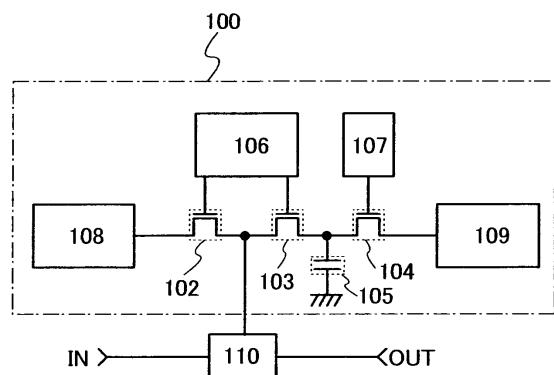
[0169] 본 출원은 2010년 1월 22일자로 일본 특허청에 출원된 일본 특허 출원 제2010-012627호에 기초하며, 그 전체 내용이 본 명세서에 참조되어 포괄된다.

부호의 설명

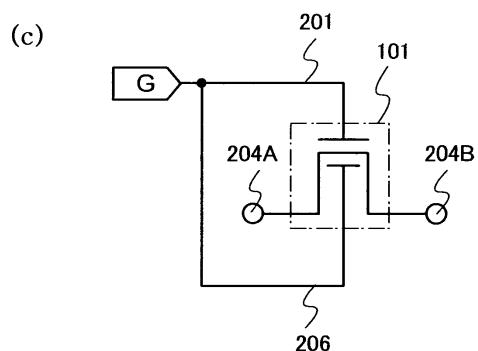
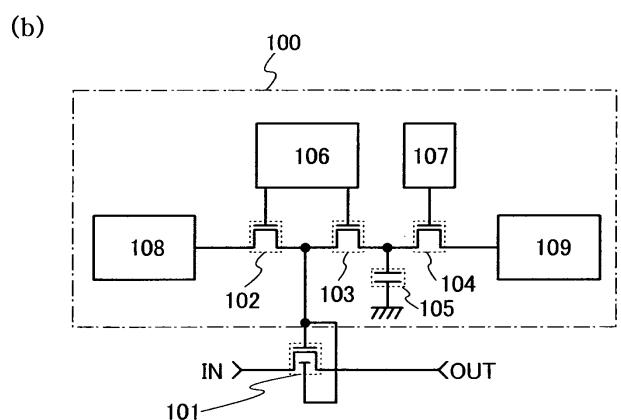
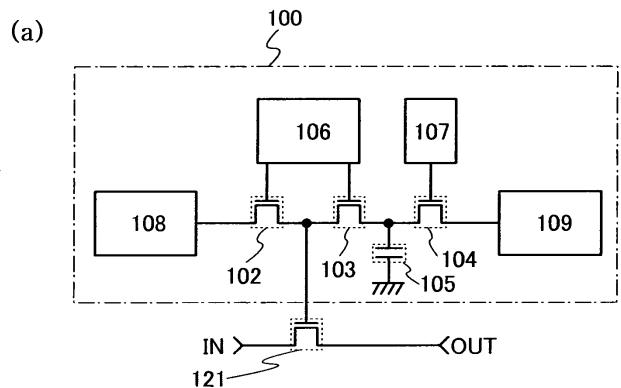
[0170] 100: 제어 회로, 101: 파워 MOSFET, 101A: 파워 MOSFET, 101B: 파워 MOSFET, 102: 전계 효과 트랜지스터, 103: 전계 효과 트랜지스터, 104: 전계 효과 트랜지스터, 105: 용량 소자, 106: 과전압 검출 회로, 107: 리프레시 제어 회로, 108: 고전압 발생원, 109: 저전압 발생원, 110: 파워 소자, 111A: 파워 MOSFET, 111B: 파워 MOSFET, 121: 파워 소자, 200: 기판, 201: 게이트, 201A: 게이트, 202: 게이트 절연층, 203: 산화물 반도체층, 204A: 단자, 204B: 단자, 205: 절연층, 206: 게이트, 206A: 게이트, 208: 영역, 209: 오프셋 영역, 211: 게이트, 212: 게이트 절연층, 213: 산화물 반도체층, 214: 배선, 215: 배선, 250: 기판, 251: 게이트, 252: 게이트 절연층, 253: 산화물 반도체층, 253A: 산화물 반도체층, 253B: 산화물 반도체층, 254A: 단자, 254B: 단자, 255: 절연층, 401: 용량 소자, 501: 파워 MOSFET, 502: 제어 회로, 503: 회로, 504: 입력 단자, 505: 출력 단자, 511: 과전압 검출 회로, 512: 인버터, 513: 포지티브 전원, 514: 스위치 트랜지스터, 515: 스위치 트랜지스터, 516: 스위치 트랜지스터, 517: 용량 소자, 518: 네거티브 전압 발생 회로, 519: 발진 회로, 520: 분주 회로, 521: 지연 회로, 522: AND 회로, 601: 파워 MOSFET, 602: 제어 회로, 603: 회로, 604: 입력 단자, 605: 출력 단자, 611: 과전압 검출 회로, 612: 인버터, 613: 포지티브 전원, 614: 스위치 트랜지스터, 615: 스위치 트랜지스터, 616: 스위치 트랜지스터, 617: 용량 소자, 618: 네거티브 전압 발생 회로, 619: 발진 회로, 620: 분주 회로, 621: 지연 회로, 622: AND 회로, 701: 트랜지스터, 702: 트랜지스터, 703: 트랜지스터, 704: 트랜지스터, 705: 트랜지스터, 706: 저항, 707: 트랜지스터, 708: 인버터, 1000: 전자기 조리기, 1001: 코일 유닛, 1002: 배터리, 1003: 반도체 장치, 1004: 태양 전지, 1010: 전동 자전거, 1011: 모터 유닛, 1012: 배터리, 1013: 반도체 장치, 1020: 전기 자동차, 1021: 모터 유닛, 1022: 배터리, 1023: 반도체 장치.

도면

도면1

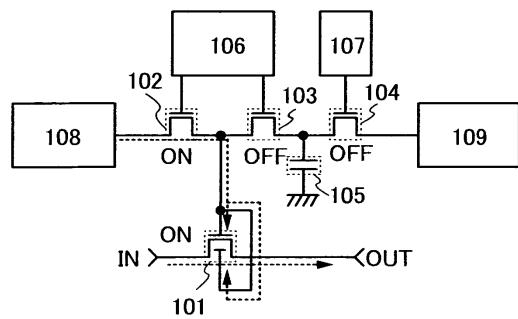


도면2

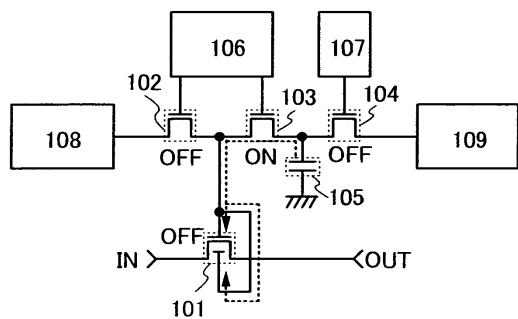


도면3

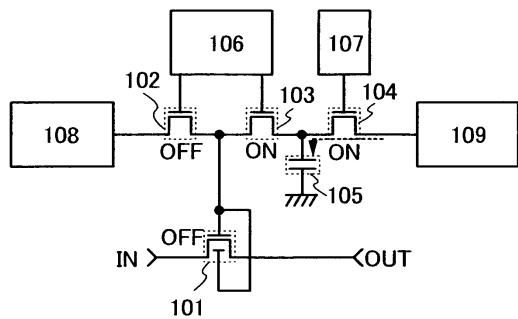
(a)



(b)

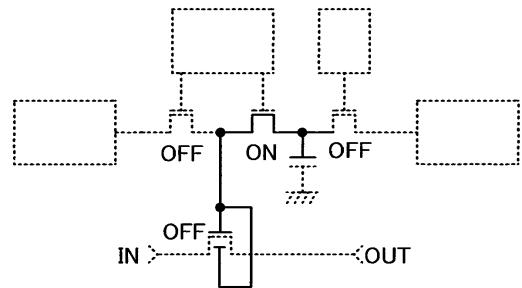


(c)

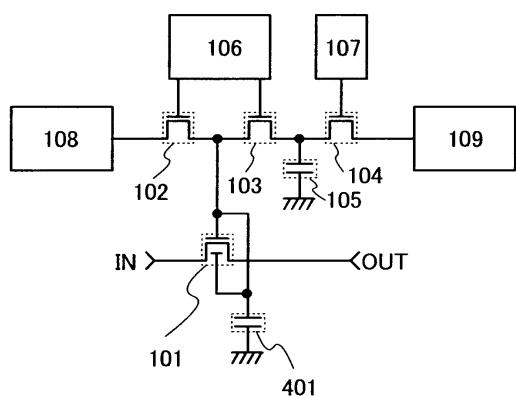


도면4

(a)

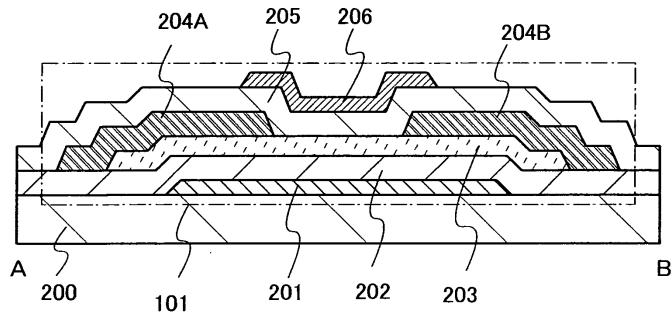


(b)

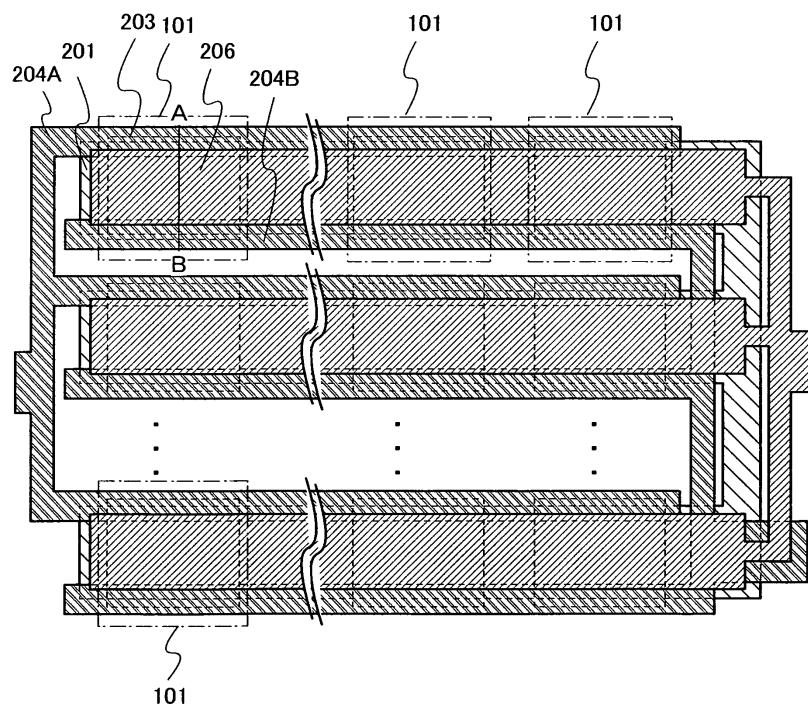


도면5

(a)

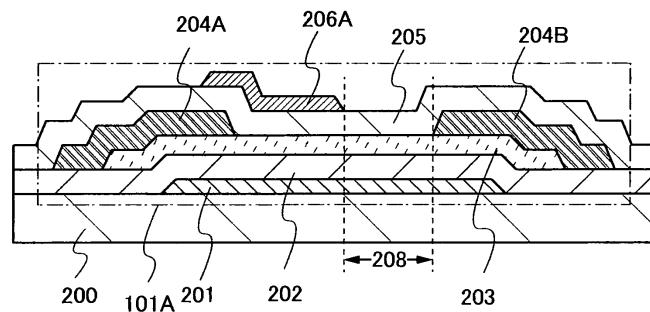


(b)

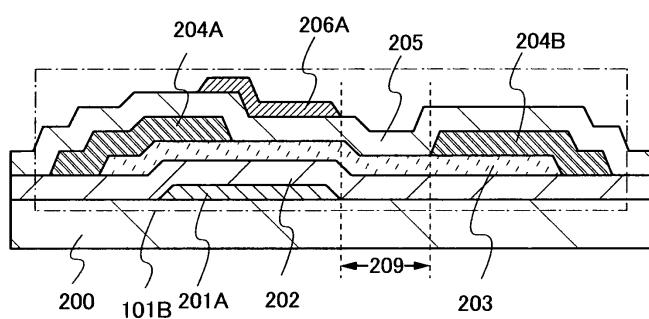


도면6

(a)

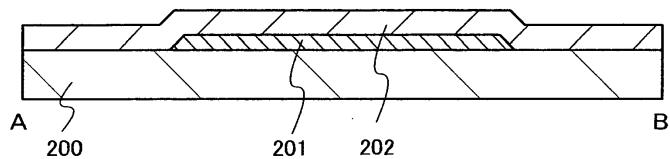


(b)

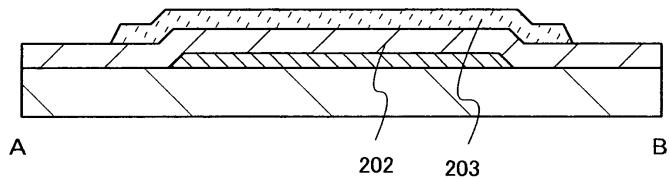


도면7

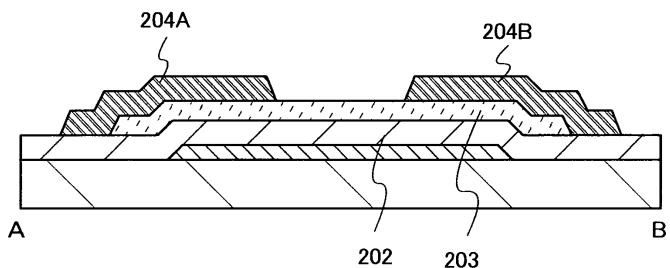
(a)



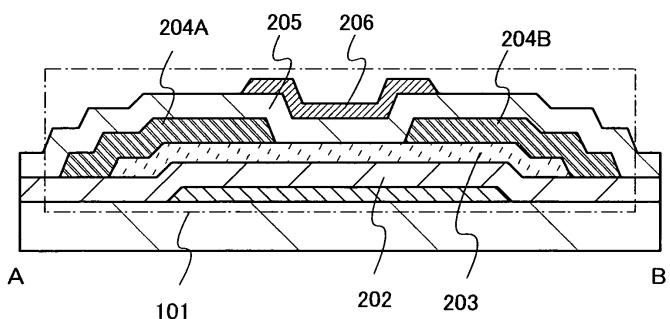
(b)



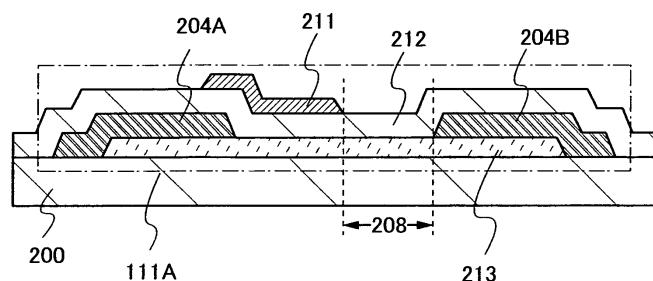
(c)



(d)

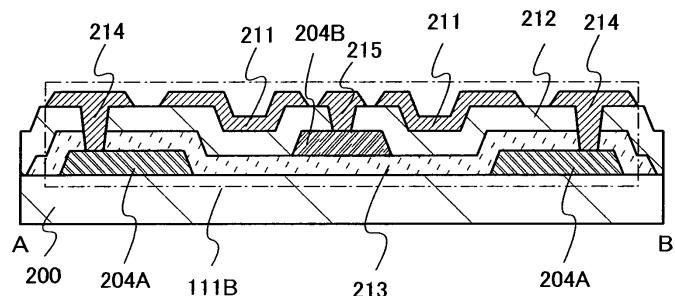


도면8

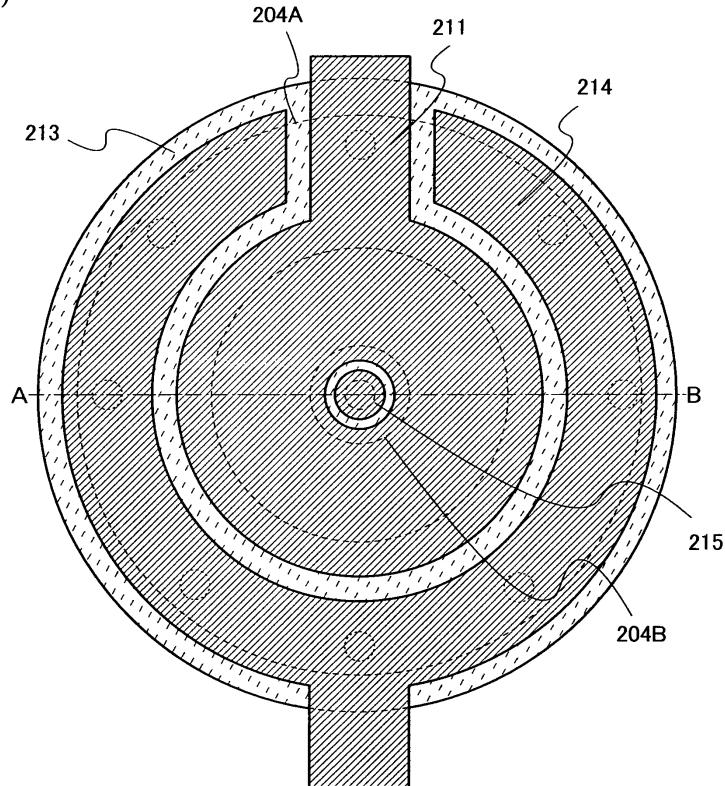


도면9

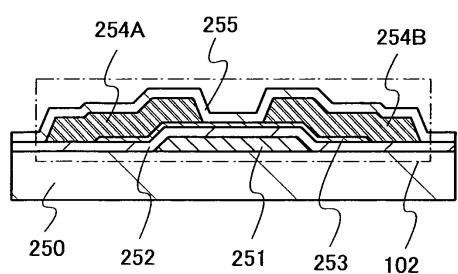
(a)



(b)

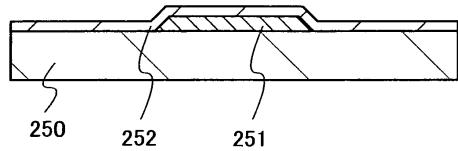


도면10

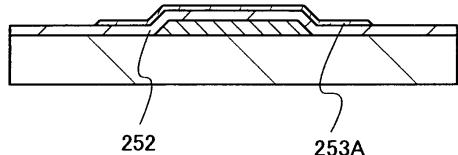


도면11

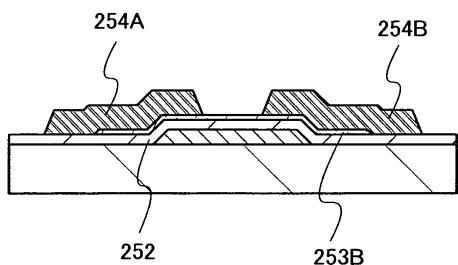
(a)



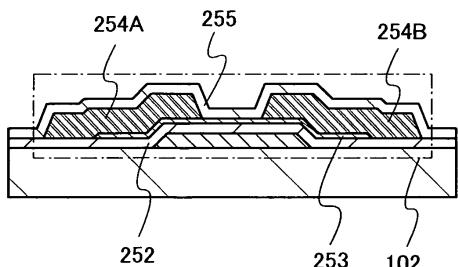
(b)



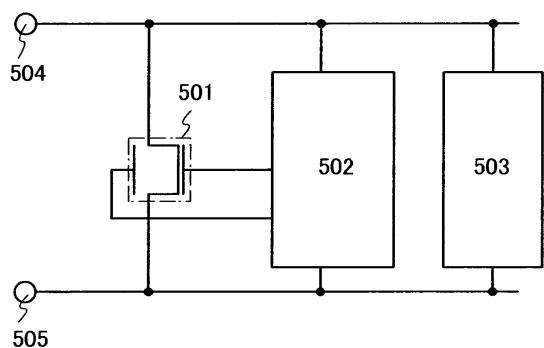
(c)



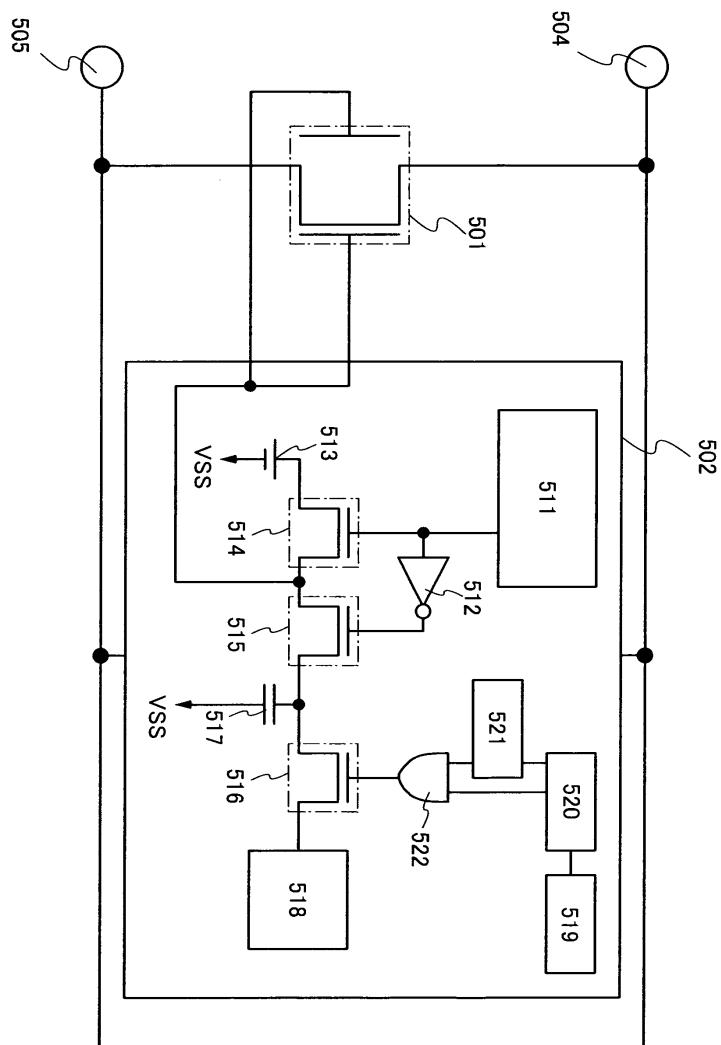
(d)



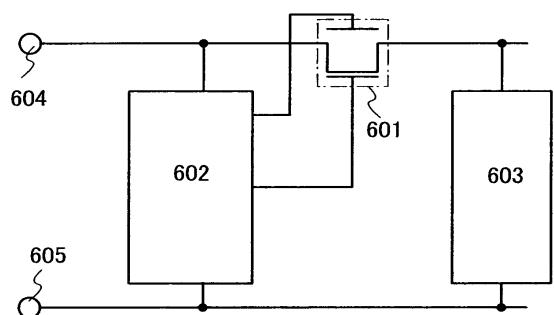
도면12



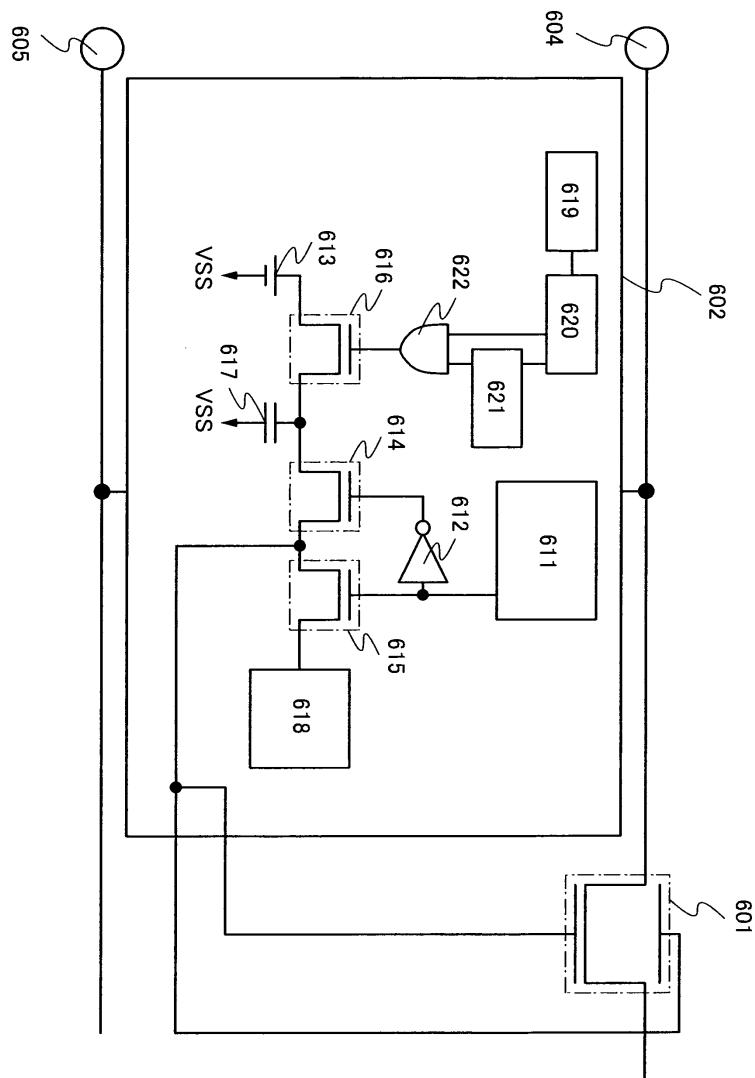
도면13



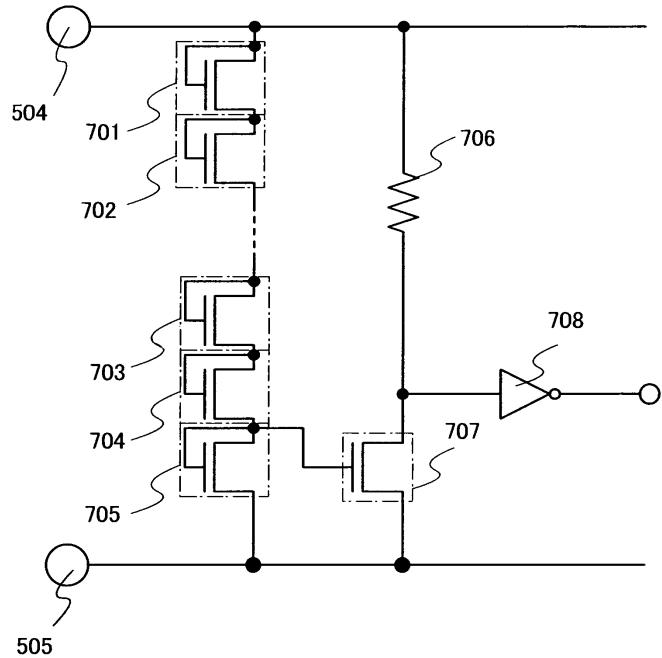
도면14



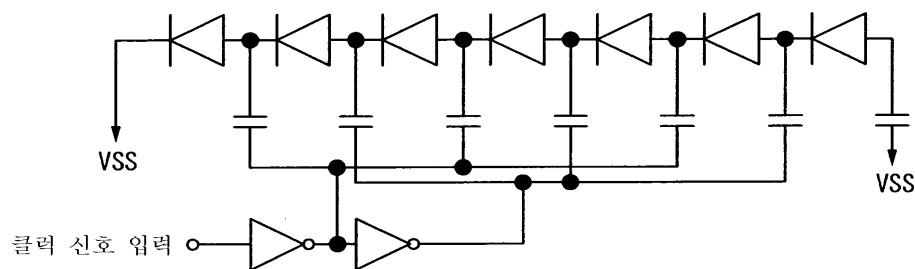
도면15



도면16

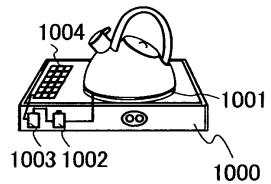


도면17

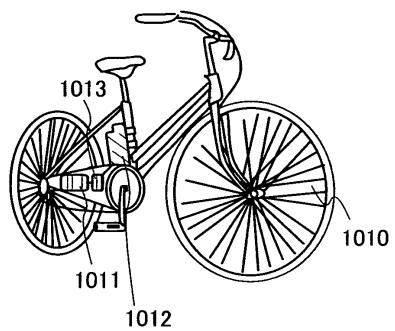


도면18

(a)



(b)



(c)

