

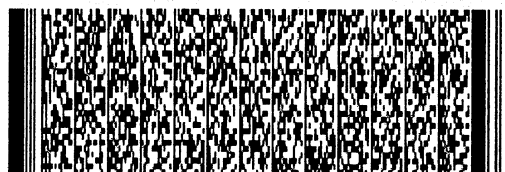
# 公告本

申請日期：02-09-03	IPC分類	H03M1/34	595111
申請案號：92124391			

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中文	可快速調整參考位準電位的數位資料切割電路
	英文	FAST DATA RECOVERY DIGITAL DATA SLICER
二、 發明人 (共2人)	姓名 (中文)	1. 張垂弘 2. 陳世宗
	姓名 (英文)	1. Chang, Andrew 2. Chen, Shyh-Jong
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 新竹市東區北大路二十九號十二樓之二 2. 台北市內湖區內湖路一段三二三巷二十一弄二十七號二樓
	住居所 (英文)	1. 12-2F, No. 29, Pai-Ta Rd., Tung District, Hsin-Chu City, Taiwan, R.O.C. 2. 2F, No. 27, Alley 21, Lane 323, Sec. 1, Nei-Hu Rd., Nei-Hu
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 聯發科技股份有限公司
	名稱或姓名 (英文)	1. MediaTek Inc.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區創新一路1-2號5樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. 5F, No. 1-2, Innovation Road 1, Science-Based Industrial Park, Hsin-Chu City, Taiwan, R.O.C.
	代表人 (中文)	1. 蔡明介
代表人 (英文)	1. Tsai, Ming-Kai	



## 一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

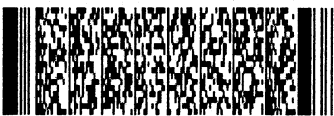
有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

熟習該項技術者易於獲得,不須寄存。

## 五、發明說明 (1)

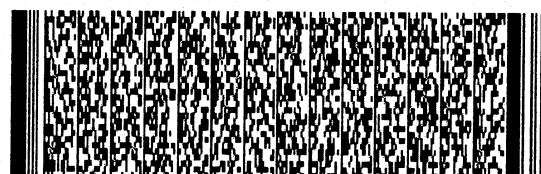
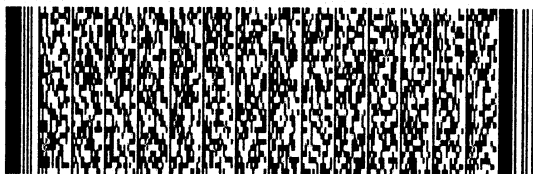
## 發明所屬之技術領域

本發明提供一種數位資料切割電路，尤指一種使用一相位檢測位準決定裝置來檢測相位，並依據檢測的結果決定出一參考位準訊號之數位資料切割電路。

## 先前技術

在用來傳輸資料的傳輸系統 (transmission system) 之中，數位資料切割電路 (digital data slicer) 是一個常常被使用到的關鍵的元件。數位資料切割電路的主要功用，就是將一類比形式的輸入訊號與一參考位準訊號進行比對，以決定該輸入訊號所代表的值是雙元值 (binary value) 的 "0" 或 "1"，亦即將原本是類比形式的輸入訊號轉變成數位形式的輸出訊號。

請參閱圖一，圖一為習知技術一數位資料切割電路 100 之功能方塊圖。數位資料切割電路 100 包含有一比較器 (comparator) 120 及一低通濾波器 (low pass filter) 140。輸入訊號  $X_{i1}$  就是輸入數位資料切割電路 100 的訊號，比較器 120 會比較輸入訊號  $X_{i1}$  與參考位準訊號  $V_{c1}$ ，當輸入訊號  $X_{i1}$  的電位小於參考位準訊號  $V_{c1}$  的電位時，比較器 120 會輸出一個代表第一雙元值的切割訊號  $X_{o1}$ ；當輸入訊號  $X_{i1}$  的電位大於參考位準訊號  $V_{c1}$  的電位

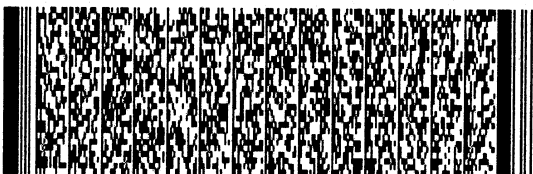


## 五、發明說明 (2)

時，比較器 120 會輸出代表第二雙元值的切割訊號  $X_{01}$ ，一個簡單的例子就是第一雙元值是 "0"，第二雙元值是 "1"，而切割訊號  $X_{01}$  在代表 "1" 時會比代表 "0" 時具有更高的電位。此處的切割訊號  $X_{01}$  就是輸入訊號  $X_{i1}$  經過數位資料切割電路 100 處理後產生的已切割訊號 (sliced signal)。

由於輸入訊號  $X_{i1}$  中會具有一個直流成分 (direct current component, DC component) 存在，且這個直流的成分可能會隨著時間而產生變動，因此參考位準訊號  $V_{c1}$  必須要具有跟著輸入訊號  $X_{i1}$  的直流成分變動的能力，比較器 120 才能夠正確的將輸入訊號  $X_{i1}$  切割成切割訊號  $X_{01}$ ，簡單的來講，就是參考位準訊號  $V_{c1}$  必須保持在等於輸入訊號  $X_{i1}$  的直流成分的狀態。

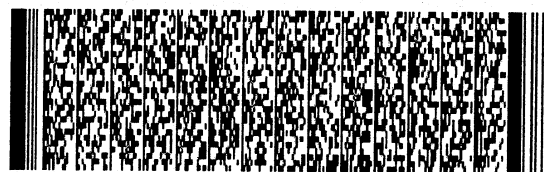
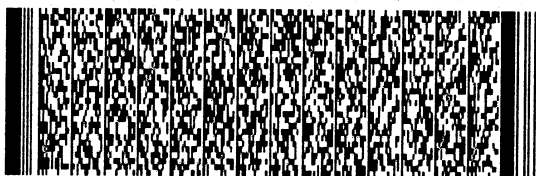
因此在這個習知技術當中，切割訊號  $X_{01}$  會經過低通濾波器 140，以產生用來當作回授訊號 (feedback signal) 使用的參考位準訊號  $V_{c1}$ 。經過低通濾波器 140 的處理，參考位準訊號  $V_{c1}$  會漸漸趨近於輸入訊號  $X_{i1}$  的直流成分，而且當輸入訊號  $X_{i1}$  的直流成分產生變動時，參考位準訊號  $V_{c1}$  也會慢慢跟著輸入訊號  $X_{i1}$  的直流成分產生變動，而隨著參考位準訊號  $V_{c1}$  越接近輸入訊號  $X_{i1}$ ，比較器 120 所產生的切割訊號  $X_{01}$  就越能正確的代表輸入訊號  $X_{i1}$  所代表的值是 "0" 或是 "1"。



## 五、發明說明 (3)

請參閱圖二，圖二為習知技術一數位資料切割電路 200 之功能方塊圖。數位資料切割電路 200 包含有一比較器 220、一雙向計數器 (up/down counter, UDC) 240 及一數位至類比轉換器 (digital to analog converter, DAC) 260。輸入訊號  $X_{i2}$  是輸入數位資料切割電路 200 的訊號，比較器 220 會比較輸入訊號  $X_{i2}$  與參考位準訊號  $V_{c2}$ ，當輸入訊號  $X_{i2}$  小於參考位準訊號  $V_{c2}$  時，比較器 220 會輸出一個代表第一雙元值的切割訊號  $X_{o2}$ ；當輸入訊號  $X_{i2}$  大於參考位準訊號  $V_{c2}$  時，比較器 220 會輸出一個代表第二雙元值的切割訊號  $X_{o2}$ 。此處的切割訊號  $X_{o2}$  就是輸入訊號  $X_{i2}$  經過數位資料切割電路 200 處理後產生的已切割訊號。

為了說明上的方便，此處依舊假設該第一雙元值為 "0"，該第二雙元值為 "1"。當切割訊號  $X_{o2}$  的值為 "0" 時，每當一時鐘脈波  $K_2$  產生一次上轉態時 (從 "0" 轉態成 "1")，雙向計數器 240 輸出的數位位準訊號  $DL_2$  就遞減一次；當切割訊號  $X_{o2}$  的值為 "1" 時，每當一時鐘脈波  $K_2$  產生一次上轉態時，雙向計數器 240 輸出的數位位準訊號  $DL_2$  就遞增一次。因此數位至類比轉換器 260 所輸出的參考位準訊號  $V_{c2}$  會漸漸趨近於輸入訊號  $X_{i2}$  的直流成分，而且當輸入訊號  $X_{i2}$  的直流成分產生變動時，參考位準訊號  $V_{c2}$  也會慢慢跟著輸入訊號  $X_{i2}$  的直流成分產生變動，且隨著參考



## 五、發明說明 (4)

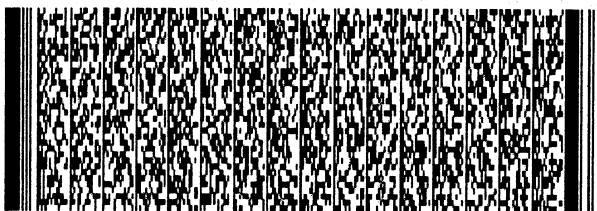
位準訊號  $V_{c2}$  越接近輸入訊號  $X_{i2}$ ，比較器 220 所產生的切割訊號  $X_{o2}$  就越能正確的代表輸入訊號  $X_{i2}$  所代表的雙元值。

如圖一及圖二的先前技術有所面臨的問題，其中一個主要的問題就是圖一或圖二的參考位準訊號都需要一定的時間才有辦法趨近到輸入訊號的直流成分，而在參考位準訊號尚未趨近到輸入訊號的直流成分前，比較器所輸出的切割訊號不見得能夠準確的代表輸入訊號所代表的雙元值。

簡單的來說，就是習知技術的數位資料切割電路需要經過一定的趨近時間，才有辦法使其所產生出來的參考位準訊號的電位趨近成輸入訊號的直流成分，以使得其所產生出的切割訊號能夠正確的代表輸入訊號所代表的雙元值。

## 發明內容

因此本發明之主要目的，在於提供一種可以快速調整參考位準訊號之電位的數位資料切割電路，使得參考位準訊號可以快速趨近於輸入訊號，以解決上述習知技術所面臨的問題。



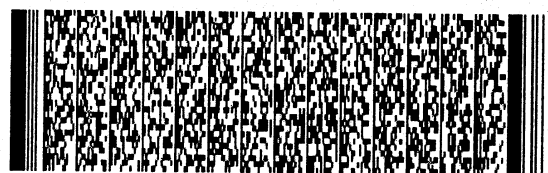
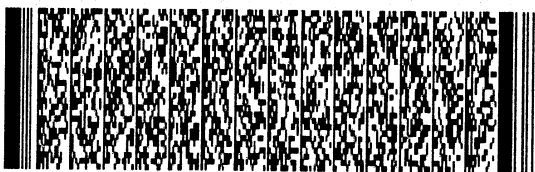
## 五、發明說明 (5)

依據本發明之申請專利範圍，係揭露一種數位資料切割電路，用來將一輸入訊號轉變成一切割訊號，該數位資料切割電路包含有：一比較裝置，耦合於該輸入訊號及一參考位準訊號，用來比較該輸入訊號與該參考位準訊號，並依據比較的結果產生該切割訊號；一相位檢測位準決定裝置，耦合於該比較裝置，用來以一參考時鐘脈波為基準，檢測出該切割訊號產生轉態時的相位，並依據檢測之結果產生一相對應之數位位準訊號；以及一數位至類比轉換器，耦合於該相位檢測位準決定裝置，用來依據該數位位準訊號產生該參考位準訊號，以供該比較裝置使用。

由於本發明之數位資料切割電路可以與用檢測切割訊號相位的方式，得知參考位準訊號電位需要被調整的方向，可快速的調整參考位準訊號的電位趨近於輸入訊號的直流成分，故可解決習知技術所面臨的問題。

## 實施方式

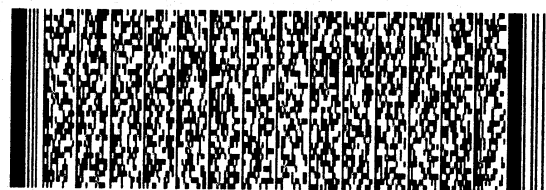
請參閱圖三，圖三為本發明數位訊號切割器 300 一實施例功能方塊圖。數位訊號切割器 300 的主要功能是要將一類比形式的輸入訊號  $X_{i3}$  轉變成一數位形式的切割訊號  $X_{o3}$ ，其包含有：一比較裝置 320，耦合於輸入訊號  $X_{i3}$  及一參考位準訊號  $V_{c3}$ ，用來比較輸入訊號  $X_{i3}$  及參考位準



## 五、發明說明 (6)

訊號  $V_{c3}$  以產生切割訊號  $X_{o3}$ ；一相位檢測位準決定裝置 340，耦合於比較裝置 320，用來以一參考時鐘脈波 CLK 為基準（未顯示於圖三，其頻率與輸入訊號  $X_{i3}$  之位元率相同，亦即，輸入訊號  $X_{i3}$  代表任一個位元的時間皆等於參考時鐘脈波 CLK 的一個週期的時間），檢測出切割訊號  $X_{o3}$  產生轉態（transition）時之相位，並依據檢測之結果產生一相對應之數位位準訊號 DL3；以及一數位至類比轉換器 360，耦合於相位檢測位準決定裝置 340 及比較裝置 320，用來依據數位位準訊號 DL3 產生參考位準訊號  $V_{c3}$ ，以供比較裝置 320 使用。請注意，比較裝置 320 產生的數位切割訊號  $X_{o3}$  除了可以是單一位元的形式，亦可以包含有多個位元，為了說明上的方便，以下將針對單一位元形式的切割訊號  $X_{o3}$  作說明。

當輸入訊號  $X_{i3}$  之電位小於參考位準訊號  $V_{c3}$  之電位時，比較裝置輸出的切割訊號  $X_{o3}$  會具有一第一雙元值；當輸入訊號  $X_{i3}$  之電位大於參考位準訊號  $V_{c3}$  之電位時，比較裝置 320 輸出的切割訊號  $X_{o3}$  會具有一第二雙元值，此處為了說明上的方便，我們假設該第一雙元值為 "0"，該第二雙元值為 "1"，切割訊號  $X_{o3}$  等於 "0" 時之電位為一第一電位  $V_1$ ，等於 "1" 時之電位為一第二電位  $V_2$ ，且第二電位  $V_2$  大於第一電位  $V_1$ 。請注意使用一個比較器（comparator）、一個一位元類比至數位轉換器（one-bit analog-to-digital converter）、一個多位元的類



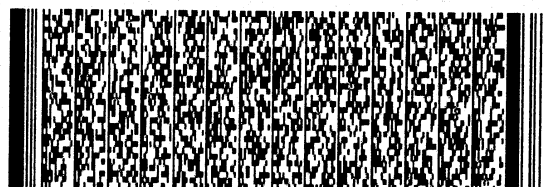
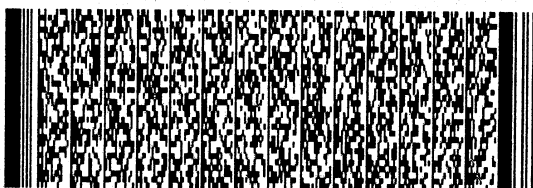
## 五、發明說明 (7)

比至數位轉換器、或是一個部分響應最大相似電路 (partial-response maximum likelihood circuit) 來實施上述的比較裝置 320 皆是可行的作法。

比較裝置 320 輸出的切割訊號  $X_{o3}$  會是一個在第一電位  $V_1$  與第二電位  $V_2$  間切換的方波，而當參考位準訊號  $V_{c3}$  的電位越趨近於輸入訊號  $X_{i3}$  的直流成分時，方波形式的切割訊號  $X_{o3}$  就越能夠代表輸入訊號  $X_{i3}$  的訊號成分 (signal component)，所以，相位檢測位準決定裝置 340 以及類比至數位轉換器 360 必須能夠共同作用，以產生一個準確的參考位準訊號  $V_{c3}$ ，供比較裝置 320 比較使用。

請參閱圖四，圖四為圖三系統中各訊號相對於時間的時脈圖之一例。在這個例子中，參考位準訊號  $V_{c3}$  的電位小於輸入訊號  $X_{i3}$  的直流成分，所以比較裝置 320 輸出的切割訊號  $X_{o3}$  所具有的工作週期 (duty cycle) 會大於 50%，亦即，切割訊號  $X_{o3}$  維持在第一電位  $V_1$  的時間會小於參考時鐘脈波 CLK 的一個週期的時間，也可以說成是切割訊號  $X_{o3}$  維持在第二電位  $V_2$  的時間會大於參考時鐘脈波 CLK 的一個週期的時間 (因為正常而言，切割訊號  $X_{o3}$  維持在單一位元的時間會是參考時鐘脈波 CLK 一個週期的時間)。

關於切割訊號  $X_{o3}$  工作週期大於或小於 50% 的情形，實際

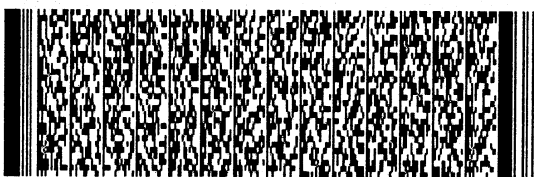


## 五、發明說明 (8)

上也可以從切割訊號  $X_{o3}$  產生轉態的狀況看出。例如圖四中，以參考時鐘脈波 CLK 為基準，切割訊號  $X_{o3}$  於 PHASE1 從第二電位 V2 轉態到第一電位 V1，於 PHASE2 從第一電位 V1 轉態到第二電位 V2，於 PHASE3 又從第二電位 V2 轉態到第一電位 V1，由於切割訊號  $X_{o3}$  維持在第一電位 V1 的時間會略小於參考時鐘脈波 CLK 的一個週期（或略小於參考時鐘脈波 CLK 整數倍的週期），因此 PHASE2- PHASE1 的值會是負的（圖四的例子  $\text{PHASE2} - \text{PHASE1} = -110^\circ$ ）；由於切割訊號  $X_{o3}$  維持在第二電位 V2 的時間會略大於參考時鐘脈波 CLK 的一個週期（或略大於參考時鐘脈波 CLK 整數倍的週期），故 PHASE3- PHASE2 的值則會是正的（圖四的例子  $\text{PHASE3} - \text{PHASE2} = 110^\circ$ ）。請注意相位每經過  $360^\circ$  就會循環一次，因此超過  $360^\circ$  的相位都必須被轉換成介於  $0^\circ$  與  $360^\circ$  之間的相位。

由上述可以瞭解，使用一個頻率與輸入訊號  $X_{i3}$  之位元率相同的參考時鐘脈波 CLK 為基準，檢測切割訊號  $X_{o3}$  產生轉態時的相位，即可得知切割訊號  $X_{o3}$  工作週期的大致狀況，若得出的結果顯示出其工作週期大於 50%，即表示整個系統需要將參考位準訊號  $V_{c3}$  的電位提升，若工作週期小於 50%，則表示整個系統需要將參考位準訊號  $V_{c3}$  的電位降低。

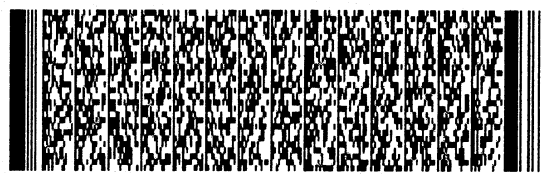
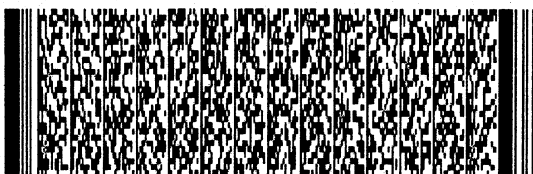
因此在圖三的實施例中，相位檢測位準決定裝置 340 包含



## 五、發明說明 (9)

有：一相位檢測器 370，耦合於比較裝置 320，用來以參考時鐘脈波 CLK 為基準，檢測出切割訊號 X<sub>03</sub> 自第一雙元值轉態成第二雙元值時（即電位從第一電位 V<sub>1</sub> 轉態成第二電位 V<sub>2</sub>）之相位，以及切割訊號 X<sub>03</sub> 自該第二雙元值轉態成該第一雙元值時（即電位從第二電位 V<sub>2</sub> 轉態成第一電位 V<sub>1</sub>）之相位；以及一位準決定器 390，耦合於相位檢測器 370，用來依據相位檢測器 370 檢測之結果產生相對應之數位位準訊號 DL<sub>3</sub>。

請參閱圖五，圖五為相位檢測器 370 之一實施例電路圖。相位檢測器 370 包含有：N 個延遲正反器串列（D flip-flop series）510 以及 N 個轉態相位判別器 530。每個延遲正反器串列 510 皆具有一輸入端、一時鐘輸入端及一輸出端，每一個延遲正反器串列 510 之輸入端皆耦合於切割訊號 X<sub>03</sub>，一第 K 延遲正反器串列 510 之時鐘輸入端耦合於參考時鐘脈波 CLK 延遲 K/N 個週期之訊號 CLK<sub>K</sub>。每個轉態相位判別器 530 皆具有一第一輸入端、一第二輸入端、一第一輸出端與一第二輸出端，一第 L 轉態相位判別器 530 之第一輸入端耦合於一第 L 延遲正反器串列 510 之輸出端，其第二輸入端耦合於一第 L+1 延遲正反器串列 530 之輸出端，一第 N 轉態相位判別器 530 之第一輸入端耦合於一第 N 延遲正反器串列 510 之輸出端，其第二輸入端耦合於一第 1 延遲正反器串列 510 之輸出端；其中 N 為一正整數，K 為一介於 1 與 N 之正整數，L 為一介於 1 與 N-1 之正整

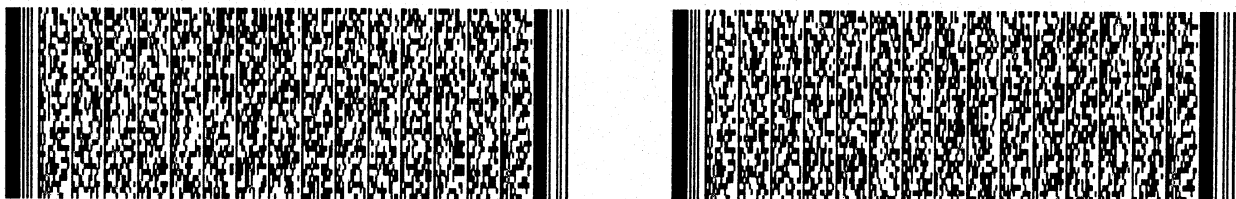


## 五、發明說明 (10)

數。

請注意在這個實施例中每個延遲正反器串列 510 皆包含有兩個延遲正反器 (D flip-flop) 511, 但真正實施時每個延遲正反器串列 510 只包含有一個或者是包含有多個延遲正反器 511 皆是可行的作法。本實施例中使用多於一個延遲正反器 511 的主要目的只是要確保延遲正反器串列 510 所輸出的訊號是正確無誤的 (使用兩個正反器可以防止次穩態, 即 META STABLE 的產生, 因為有可能  $X_{o3}$  的 transition edge 跟 clock edge 是貼在一起的, 這時正反器的 Q 值可能就會不穩定, 而多加一級的正反器就可避免掉 meta stable 的疑慮。)。若以參考時鐘脈波 CLK 做為基準, 則  $CLK_K$  的相位為  $K/N$  (此處相位的單位以週期數表示, 若以度數表示則為  $360^\circ \times K/N$ ), 故  $CLK_N$  即為參考時鐘脈波 CLK (因此不需經過延遲)。

為了更清楚的解釋圖五中相位檢測器 370 的運作方式, 以下將以  $N$  等於 6 做為例子來說明。請參閱圖六, 圖六為  $N=6$  時圖五中各時鐘脈波  $CLK_K$  與切割訊號  $X_{o3}$  之時脈圖。在這個例子中, 由於參考位準訊號  $V_{c3}$  的電位大於輸入訊號  $X_{i3}$  的直流成分, 所以切割訊號  $X_{o3}$  保持在第二電位 (即等於 "1") 的時間會略小 (即略小於參考時鐘脈波 CLK 週期的整數倍)。以參考時鐘脈波 CLK 做為基準時, 切割訊號  $X_{o3}$  產生上轉態 (從 "0" 轉態為 "1") 的相位介於  $1/6$  與

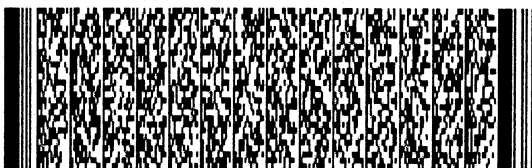


## 五、發明說明 (11)

2/6之間，產生下降轉態（從"1"轉態為"0"）的相位則介於0（即6/6）與1/6之間，由於延遲正反器511只有在其時鐘脈波輸入端的訊號由"0"變成"1"時，其輸入端的訊號才會送至其輸出端，故切割訊號X<sub>03</sub>在介於1/6與2/6的相位之間產生上轉態。而造成由第2延遲正反器串列510的輸出端開始變成"1"、然後第3、第4、第5第6延遲正反器串列510的輸出也依序轉變成"1"；切割訊號X<sub>03</sub>在介於0與1/6的相位之間產生下轉態，而造成第1延遲正反器串列510的輸出端開始變成"0"，後續的（即序號較大的）延遲正反器串列510的輸出端依序轉變成"0"。

事實上，由於切割訊號X<sub>03</sub>產生上轉態的相位介於1/6與2/6之間，所以造成了由第2延遲正反器序列510開始，數個後續的（即第3、第4、第5、第6）延遲正反器序列510的輸出端會依序改變成"1"；由於切割訊號X<sub>03</sub>產生下轉態的相位介於0與1/6之間，所以造成了由第1延遲正反器序列510開始，數個後續的（即第2、第3……）延遲正反器序列510的輸出端會依序改變成"0"。因此只需觀察各個延遲正反器序列510的輸出端訊號的狀況，即可以瞭解切割訊號X<sub>03</sub>產生轉態的狀況，以進一步決定如何改變數位位準訊號DL<sub>3</sub>的值。

為了可以從N個延遲正反器序列的輸出端訊號得知切割訊號X<sub>03</sub>產生轉態時的相位，一第R轉態相位判別器530包含



## 五、發明說明 (12)

有：一上轉態判定單元 531，其具有一第一輸入端，一第二輸入端及一輸出端，其第一輸入端耦合於該第 R 轉態相位判別器 530 之第一輸入端，其第二輸入端耦合於第 R 轉態相位判別器 530 之第二輸入端，其輸出端係用來作為第 R 轉態相位判別器 530 之第一輸出端；以及一下轉態判定單元 532，其具有一第一輸入端，一第二輸入端及一輸出端，其第一輸入端耦合於第 R 轉態相位判別器 530 之第一輸入端，其第二輸入端耦合於第 R 轉態相位判別器 530 之第二輸入端，其輸出端係用來作為第 R 轉態相位判別器 530 之第二輸出端。其中 R 為一介於 1 與 N 之正整數。

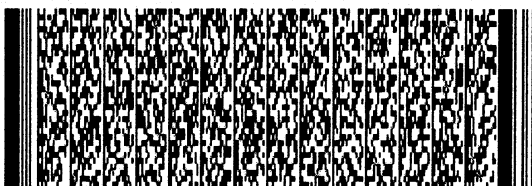
任一個轉態相位判別器 530 只有在第一輸入端與第二輸入端的值不同時，第一輸出端或第二輸出端的值才有可能為 "1"。更精確的說法，就是當轉態相位判別器 530 的第一與第二輸入端都是 "0" 或都是 "1" 時，其第一與第二輸出端都會是 "0"；當其第一輸入端為 "0"、第二輸入端為 "1" 時，其第一輸出端為 "1"、第二輸出端為 "0"；當其第一輸入端為 "1"、第二輸入端為 "0" 時，其第一輸出端為 "0"、第二輸出端為 "1"。因此，上轉態判定單元 531 可以判斷出切割訊號 X<sub>03</sub> 發生上轉態的相位；下轉態判定單元 532 可以判斷出切割訊號 X<sub>03</sub> 發生下轉態的相位。以圖六的例子來說明，因為是由第 2 延遲正反器序列 510 的輸出端首先變成 "1" 的，所以第 1 轉態判別器的第一輸出端會輸出 "1"，且維持超過參考時鐘脈波 CLK<sub>1</sub> 的 1/6 個週期



## 五、發明說明 (13)

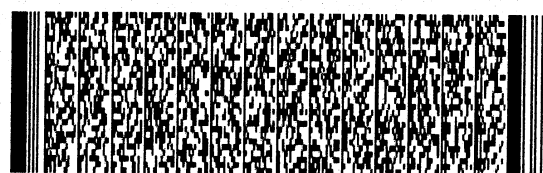
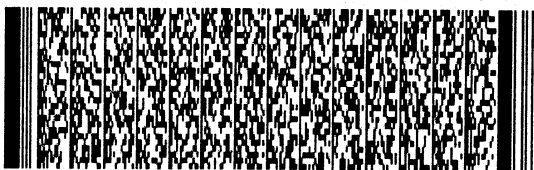
的時間。因為是由第 1 延遲正反器序列 510 的輸出端首先變成 "0" 的，所以第 6 轉態判別器的第二輸出端會輸出 "1"，且維持至少參考時鐘脈波 CLK 的  $1/6$  個週期的時間。所以當一第 A 轉態相位判別器 530 中之上轉態判定單元 531 輸出 "1" 且維持至少參考時鐘脈波 CLK 的  $1/N$  個週期的時間，就表示切割訊號  $X_{o3}$  在相位介於  $A/N$  與  $(A+1)/N$  間產生了一個由 "0" 變成 "1" 的轉態；當一第 B 轉態相位判別器 530 中之下轉態判定單元 532 輸出 "1" 且維持至少參考時鐘脈波 CLK 的  $1/N$  個週期的時間，就表示切割訊號  $X_{o3}$  在相位介於  $B/N$  與  $(B+1)/N$  間產生了一個由 "1" 變成 "0" 的轉態。其中 A 與 B 皆為介於 1 與 N 間之正整數，且當 A 或 B 等於 N 時，A+1 或 B+1 即視為 1。

在圖五的實施例中上轉態判定單元 531 與下轉態判定單元 532 皆是以反相器 (inverter) 與及閘 (and gate) 所組成，不同的組成方式也是可行的，以下是一個例子，請參閱圖七，圖七為轉態相位判別器 530 一實施例電路圖。圖七是使用反相器與或閘 (or gate) 來實施上轉態判定單元 531 與下轉態判定單元 532。詳細操作原理由於已為習知技術者所知悉，故不多做贅述。此處需注意的是，任何一個轉態相位判別器 530 皆可使用圖五中的上轉態判定單元 531 與圖七中的下轉態判定單元 532 組成；或是使用圖五中的下轉態判定單元 532 與圖七中的上轉態判定單元 531 組成。



## 五、發明說明 (14)

在前述例子之中，若參考位準訊號  $V_{c3}$  的值準確時，切割訊號  $X_{o3}$  產生下轉態與上轉態的相位應該相差整數個週期，即相減的結果為 0，但是在這個例子中，經過相位檢測器 370 卻檢測出切割訊號  $X_{o3}$  產生上轉態的相位介於  $1/6$  與  $2/6$  之間，產生下降轉態的相位則介於 0 與  $1/6$  之間，亦即切割訊號  $X_{o3}$  產生下轉態與上轉態的相位相減的值為負的 ( $0 - 1/6$  或  $1/6 - 2/6$ )，相位檢測器檢測的結果就顯示出切割訊號  $X_{o3}$  保持在第二電位  $V_2$  的時間稍短，亦即參考位準訊號  $V_{c3}$  的電位高於輸入訊號  $X_{i3}$  的直流成分，此時需要調低參考位準訊號  $V_{c3}$  的電位；若切割訊號  $X_{o3}$  產生下轉態的相位減去上轉態的相位值是正的，則相位檢測器 370 檢測的結果就顯示出切割訊號  $X_{o3}$  保持在第一電位  $V_1$  的時間稍短，亦即參考位準訊號  $V_{c3}$  的電位低於輸入訊號  $X_{i3}$  的直流成分，此時需要調高參考位準訊號  $V_{c3}$ 。當然亦可以使用上轉態的相位減去下轉態的相位來決定需將參考位準訊號  $V_{c3}$  調高或調低，若切割訊號  $X_{o3}$  產生上轉態的相位減去下轉態的相位值是正的，則表示需要將參考位準訊號  $V_{c3}$  的電位調低，若切割訊號  $X_{o3}$  產生上轉態的相位減去下轉態的相位值是負的，則表示需要將參考位準訊號  $V_{c3}$  的電位調高。當然，圖五中若延遲正反器串列 510 的數目以及轉態相位判別器 530 的數量  $N$  越大，則相位檢測器 370 所檢測出來的轉態相位就會越準確。

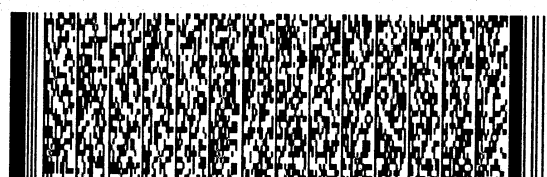
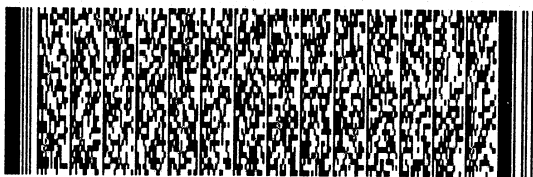


## 五、發明說明 (15)

圖三中的相位檢測器 370 檢測出切割訊號產生轉態的相位，位準決定器 390 即可以依照相位檢測器 370 檢測的結果決定數位位準訊號的值，基本的原則是：當相位檢測器 370 檢測的結果顯示參考位準訊號  $V_{c3}$  的電位稍低時，位準決定器 390 及輸出一個較大的數位位準訊號  $DL3$ ；當檢測的結果顯示參考位準訊號  $V_{c3}$  的電位稍高時，位準決定器 390 即輸出一個較小的數位位準訊號  $DL3$ 。位準決定器 390 可以被設計成依照相位檢測器 370 檢測的結果，直接就將數位位準訊號  $DL3$  改變成可能的最佳位置。例如當下轉態相位減上轉態相位為  $-3/N$  時，直接將數位位準訊號  $DL3$  的值減 5，當下轉態相位減上轉態相位為  $+1/N$  時，直接將數位位準訊號  $DL3$  的值加 2，當然在設計時給定的參數越正確，設計出來的系統正確性以及參考位準訊號  $V_{c3}$  趨近輸入訊號  $X_{i3}$  的直流成分的速度也會更快。

在此亦可以使用慢慢趨近的方式來調整數位位準訊號  $DL3$ ，例如當下轉態相位減上轉態相位為負的時，不論相差值是多少，位準決定器 390 皆單純的將數位位準訊號  $DL3$  的值遞減 1，當下轉態相位減上轉態相位為正的時，位準決定器 390 皆單純的將數位位準訊號  $DL3$  的值遞增 1。但是這樣的系統則無法快速的使參考位準訊號  $V_c$  的電位趨近輸入訊號  $X_{i3}$  的直流成分。

最後，經過相位檢測器 370 與位準決定器 390 的共同作用，決定出適當的數位位準訊號  $DL3$ ，數位至類比轉換器



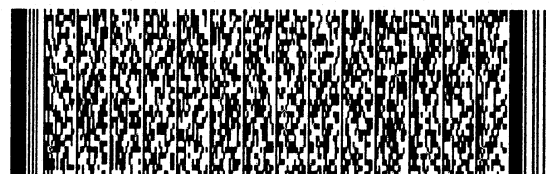
## 五、發明說明 (16)

360再將數位位準訊號 DL3轉成參考位準訊號  $V_{c3}$ ，此時比較裝置 320就可以正確的切割出輸入訊號  $X_{i3}$  之中的訊號成分了。

請注意除了如圖五的方式使用邏輯閘構成相位檢測器 370 以外，亦可已使用一個延遲鎖相迴路 (delay lock loop, DLL) 中的相位檢測器來實現圖三中所需的相位檢測器 370。另外，圖三所示的數位至類比轉換器 360可以是一個電壓源，用來產生參考位準訊號  $V_{c3}$ ，或是一個電流源，所產生的電流訊號可經由一外部電路轉換成參考位準訊號  $V_{c3}$ ，亦可以是一個控制電路，用來直接控制比較裝置 320輸出之切割訊號  $X_{o3}$  的位元值，以上在實際設計系統時都是可行的作法。

相較於習知技術，本發明之數位資料切割電路使用相位檢測的方式來決定如何調整參考位準訊號的電位，可以快速的使參考位準訊號的電位趨近於輸入訊號的直流成分，因此可以解決習知技術所面臨的問題。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明專利之涵蓋範圍。



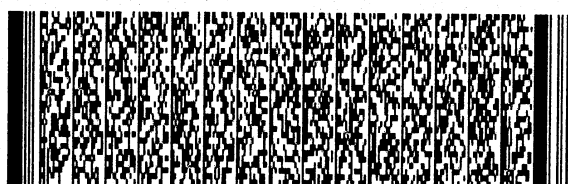
## 圖式簡單說明

## 圖式之簡單說明

- 圖一為習知技術一數位資料切割電路 100之功能方塊圖。  
 圖二為習知技術一數位資料切割電路 200之功能方塊圖。  
 圖三為本發明數位資料切割電路 300之功能方塊圖。  
 圖四為圖三系統中各訊號相對於時間的時脈圖之一例。  
 圖五為本發明相位檢測器 370之一實施例電路圖。  
 圖六為圖五系統中各訊號相對於時間的時脈圖之一例。  
 圖七為本發明轉態相位判別器 530之一實施例電路圖。

## 圖式之符號說明

- 100、200、300 數位資料切割電路  
 120、220 比較器  
 140 低通濾波器  
 240 計數器  
 260、360 數位至類比轉換器  
 320 比較裝置  
 340 相位檢測位準決定裝置  
 370 相位檢測器  
 390 位準決定器  
 510 延遲反相器序列  
 511 延遲反相器  
 530 轉態相位判別器



圖式簡單說明

531 上轉態相位判別器

532 下轉態相位判別器



四、中文發明摘要 (發明名稱：可快速調整參考位準電位的數位資料切割電路)

一種數位資料切割電路，用來將一輸入訊號轉變成一切割訊號，該數位資料切割電路包含有：一比較裝置，耦合於該輸入訊號及一參考位準訊號，用來比較該輸入訊號與該參考位準訊號，並依據比較的結果產生該切割訊號；一相位檢測位準決定裝置，耦合於該比較裝置，用來以一參考時鐘脈波為基準，檢測出該切割訊號產生轉態時的相位，並依據檢測之結果產生一相對應之數位位準訊號；以及一數位至類比轉換器，耦合於該相位檢測位準決定裝置，用來依據該數位位準訊號產生該參考位準訊號，以供該比較裝置使用。

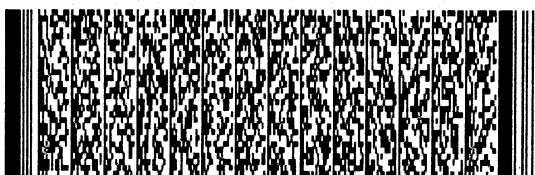
五、(一)、本案代表圖為：第 三 圖

(二)、本案代表圖之元件代表符號簡單說明：

300 數位資料切割電路

六、英文發明摘要 (發明名稱：FAST DATA RECOVERY DIGITAL DATA SLICER)

A digital data slicer, for transforming an input signal into a sliced signal. The digital data slicer contains a comparing device, coupled to the input signal and a reference level signal, for comparing the input signal with the reference level signal to thereby generate the sliced signal; a phase detecting level deciding device, coupled to the comparing device, for detecting



四、中文發明摘要 (發明名稱：可快速調整參考位準電位的數位資料切割電路)

- 320 比較裝置
- 340 相位檢測位準決定裝置
- 360 數位至類比轉換器
- 370 相位檢測器
- 390 位準決定器

代表化學式

六、英文發明摘要 (發明名稱：FAST DATA RECOVERY DIGITAL DATA SLICER)

the phase when transitions happened in the sliced signal by using an reference clock signal as standard, to thereby generate a digital level signal; and a digital to analog converter, coupled to the phase detecting level deciding device, for generating the reference level signal according to the digital level signal.



## 六、申請專利範圍

1. 一種數位資料切割電路，用來將一輸入訊號轉變成一切割訊號，該數位資料切割電路包含有：

一比較裝置，耦合於該輸入訊號及一參考位準訊號，用來比較該輸入訊號與該參考位準訊號，並依據比較的結果產生該切割訊號；

一相位檢測位準決定裝置，耦合於該比較裝置，用來以一參考時鐘脈波為基準，檢測出該切割訊號產生轉態時的相位，並依據檢測之結果產生一相對應之數位位準訊號；以及

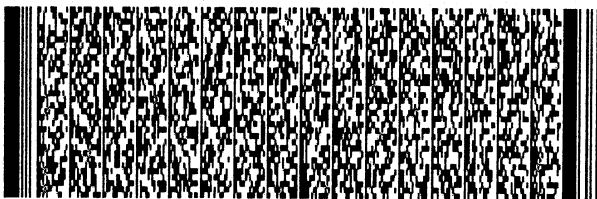
一數位至類比轉換器，耦合於該相位檢測位準決定裝置，用來依據該數位位準訊號產生該參考位準訊號，以供該比較裝置使用。

2. 如申請專利範圍第1項所述之數位資料切割電路，其中該相位檢測位準決定裝置包含有：

一相位檢測器，耦合於該比較裝置，用來以該參考時鐘脈波為基準，檢測出該切割訊號自一第一雙元值轉態成一第二雙元值時之相位，以及該切割訊號自該第二雙元值轉態成該第一雙元值時之相位；以及

一位準決定器，耦合於該相位檢測器，用來依據該相位檢測器檢測之結果產生相對應之數位位準訊號。

3. 如申請專利範圍第2項所述之數位資料切割電路，其中該相位檢測器包含有：



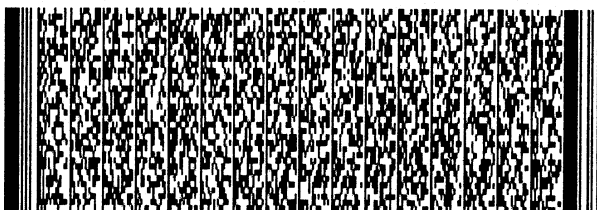
## 六、申請專利範圍

N個延遲正反器串列 (D flip-flop series)，每一個延遲正反器串列皆具有一輸入端、一時鐘輸入端及一輸出端，每一個延遲正反器串列之輸入端皆耦合於該切割訊號，一第 K 延遲正反器串列之時鐘輸入端耦合於該參考時鐘脈波延遲  $K/N$  個週期之訊號；以及

N個轉態相位判別器，每個轉態相位判別器皆具有一第一輸入端、一第二輸入端、一第一輸出端與一第二輸出端，一第 L 轉態相位判別器之第一輸入端耦合於一第 L 延遲正反器串列之輸出端、其第二輸入端耦合於一第  $L+1$  延遲正反器串列之輸出端，一第 N 轉態相位判別器之第一輸入端耦合於一第 N 延遲正反器串列之輸出端、其第二輸入端耦合於一第 1 延遲正反器串列之輸出端；

其中 N 為一正整數，K 為一介於 1 與 N 之正整數，L 為一介於 1 與  $N-1$  之正整數。

4. 如申請專利範圍第 3 項所述之數位資料切割電路，其中該第 K 延遲正反器串列包含有 M 個延遲正反器，每一個延遲正反器之時鐘輸入端皆耦合於該第 K 延遲正反器串列之時鐘輸入端，一第 1 延遲正反器之輸入端係用來作為該第 K 延遲正反器串列之輸入端，一第 M 延遲正反器之輸出端係用來作為該第 K 延遲正反器串列之輸出端，當 M 大於 1 時，一第 P 延遲正反器之輸出端耦合於一第  $P+1$  延遲正反器之輸入端，M 為一正整數，P 為一介於 1 與  $M-1$  之正整數。



## 六、申請專利範圍

5. 如申請專利範圍第3項所述之數位資料切割電路，其中一第R轉態相位判別器包含有：

一上轉態判定單元，其具有一第一輸入端，一第二輸入端及一輸出端，其第一輸入端耦合於該第R轉態相位判別器之第一輸入端，其第二輸入端耦合於該第R轉態相位判別器之第二輸入端，其輸出端係用來作為該第R轉態相位判別器之第一輸出端；以及

一下轉態判定單元，其具有一第一輸入端，一第二輸入端及一輸出端，其第一輸入端耦合於該第R轉態相位判別器之第一輸入端，其第二輸入端耦合於該第R轉態相位判別器之第二輸入端，其輸出端係用來作為該第R轉態相位判別器之第二輸出端；

其中R為一介於1與N之正整數。

6. 如申請專利範圍第5項所述之數位資料切割電路，其中該第R轉態相位判別器中之上轉態判定單元包含有：

一第一反相器，其輸入端係用來作為該上轉態判定單元之第一輸入端；以及

一第一及閘，其一輸入端耦合於該第一反相器之輸出端，另一輸入端係用來作為該上轉態判定單元之第二輸入端，其輸出端係用來作為該上轉態判定單元之輸出端。



## 六、申請專利範圍

7. 如申請專利範圍第5項所述之數位資料切割電路，其中該第R轉態相位判別器中之下轉態判定單元包含有：

- 一 第二反相器，其輸入端係用來作為該下轉態判定單元之第二輸入端；以及
- 一 第二及閘，其一輸入端耦合於該第二反相器之輸出端，另一輸入端係用來作為該下轉態判定單元之第一輸入端，其輸出端係用來作為該下轉態判定單元之輸出端。

8. 如申請專利範圍第5項所述之數位資料切割電路，其中該第R轉態相位判別器中之上轉態判定單元包含有：

- 一 第一反相器，其輸入端係用來作為該上轉態判定單元之第二輸入端；
- 一 第一或閘，其一輸入端耦合於該第一反相器之輸出端，另一輸入端係用來作為該上轉態判定單元之第一輸入端；以及
- 一 第二反相器，其輸入端耦合於該第一或閘之輸出端，其輸出端係用來作為該上轉態判定單元之輸出端。

9. 如申請專利範圍第5項所述之數位資料切割電路，其中該第R轉態相位判別器中之下轉態判定單元包含有：

- 一 第三反相器，其輸入端係用來作為該下轉態判定單元之第一輸入端；
- 一 第二或閘，其一輸入端耦合於該第三反相器之輸出



## 六、申請專利範圍

端，另一輸入端係用來作為該下轉態判定單元之第二輸入端；以及

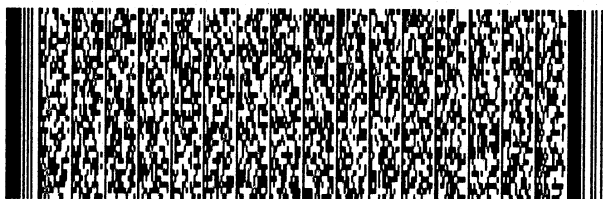
一第四反相器，其輸入端耦合於該第二或閘之輸出端，其輸出端係用來作為該下轉態判定單元之輸出端。

10.如申請專利範圍第2項所述之數位資料切割電路，其中該相位檢測器係為一延遲鎖相迴路中的相位檢測器。

11.如申請專利第1項所述之數位資料切割電路，其中該比較裝置係為一比較器 (comparator)，當該輸入訊號之電位小於該參考位準訊號之電位時，該比較器產生之切割訊號具有一第一雙元值；當該輸入訊號之電位大於該參考位準訊號之電位時，該比較器產生之切割訊號具有一第二雙元值。

12.如申請專利第1項所述之數位資料切割電路，其中該比較裝置係為一一位元類比至數位轉換器 (one-bit analog-to-digital converter)，當該輸入訊號之電位小於該參考位準訊號之電位時，該一位元類比至數位轉換器產生之切割訊號具有一第一雙元值；當該輸入訊號之電位大於該參考位準訊號之電位時，該一位元類比至數位轉換器產生之切割訊號具有一第二雙元值。

13.如申請專利第1項所述之數位資料切割電路，其中該



## 六、申請專利範圍

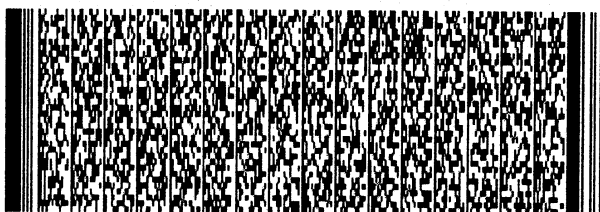
比較裝置係為一類比至數位轉換器 (analog-to-digital converter)，用來依照該輸入訊號與該參考位準訊號間的相互狀況，產生 1 到 N 位元值，以作為該切割訊號。

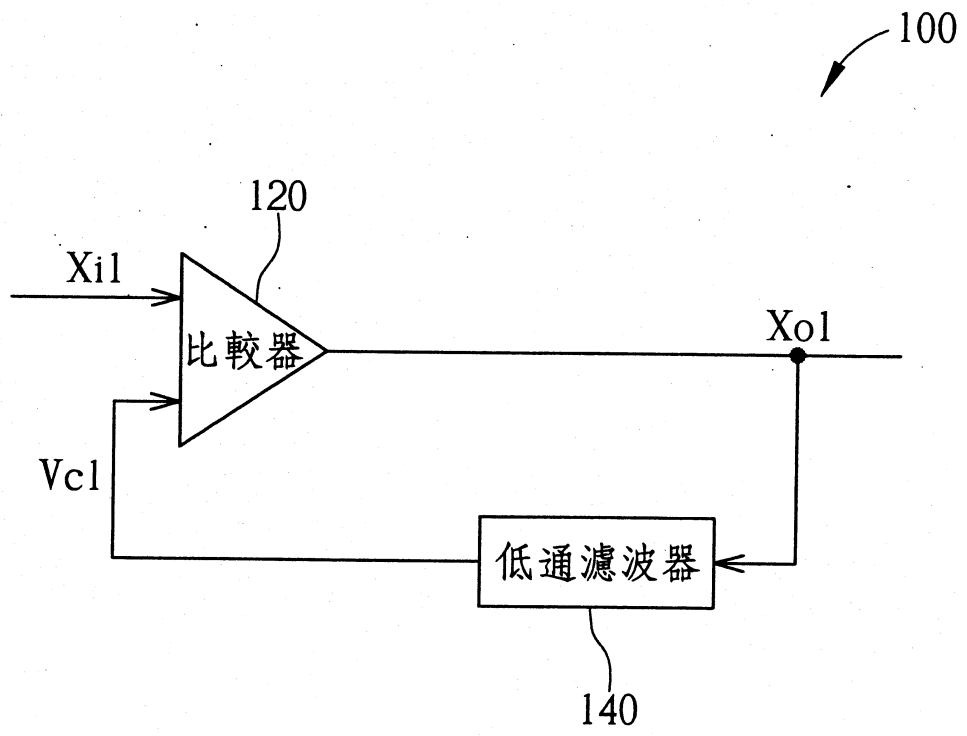
14. 如申請專利第 1 項所述之數位資料切割電路，其中該比較裝置係為一部分響應最大相似電路 (partial-response maximum likelihood circuit)，當該輸入訊號之電位小於該參考位準訊號之電位時，該部分響應最大相似電路產生之切割訊號具有一第一雙元值；當該輸入訊號之電位大於該參考位準訊號之電位時，該部分響應最大相似電路產生之切割訊號具有一第二雙元值。

15. 如申請專利第 1 項所述之數位資料切割電路，其中該數位至類比轉換器係為一電壓源，用來提供該比較裝置所需之參考電位。

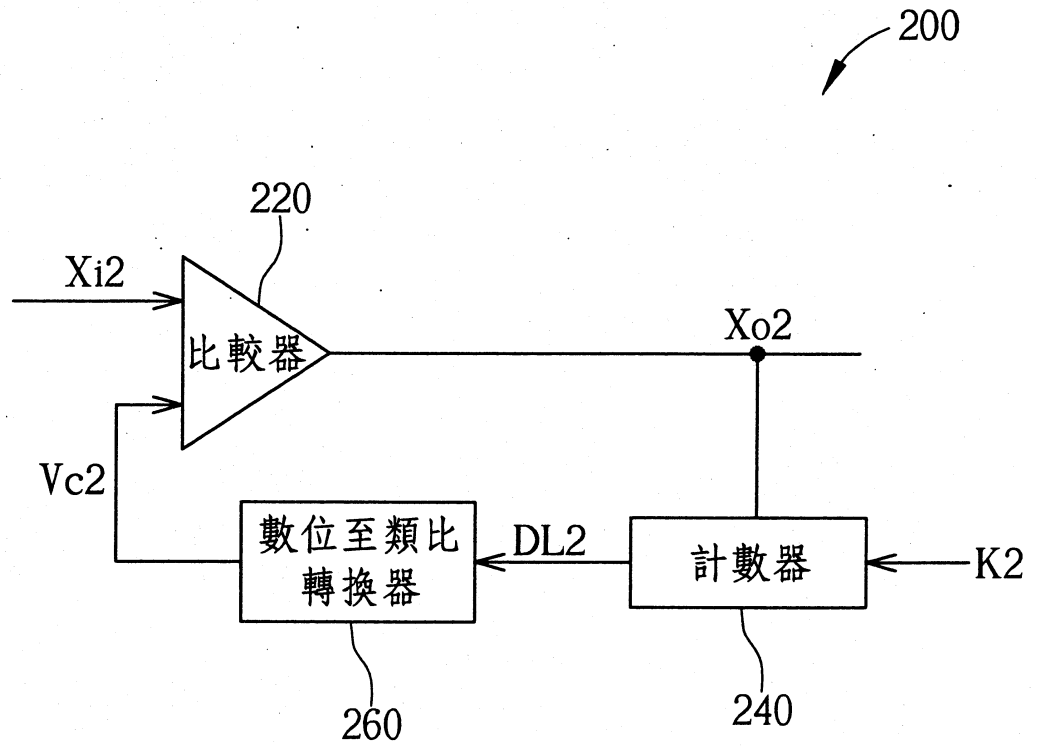
16. 如申請專利第 1 項所述之數位資料切割電路，其中該數位至類比轉換器係為一電流源，所產生的電流經過一外部電路後可轉換為該比較裝置所需之參考電位。

17. 如申請專利第 1 項所述之數位資料切割電路，其中該數位至類比轉換器係為一控制電路，用來直接控制該比較裝置輸出之切割訊號的位元值。

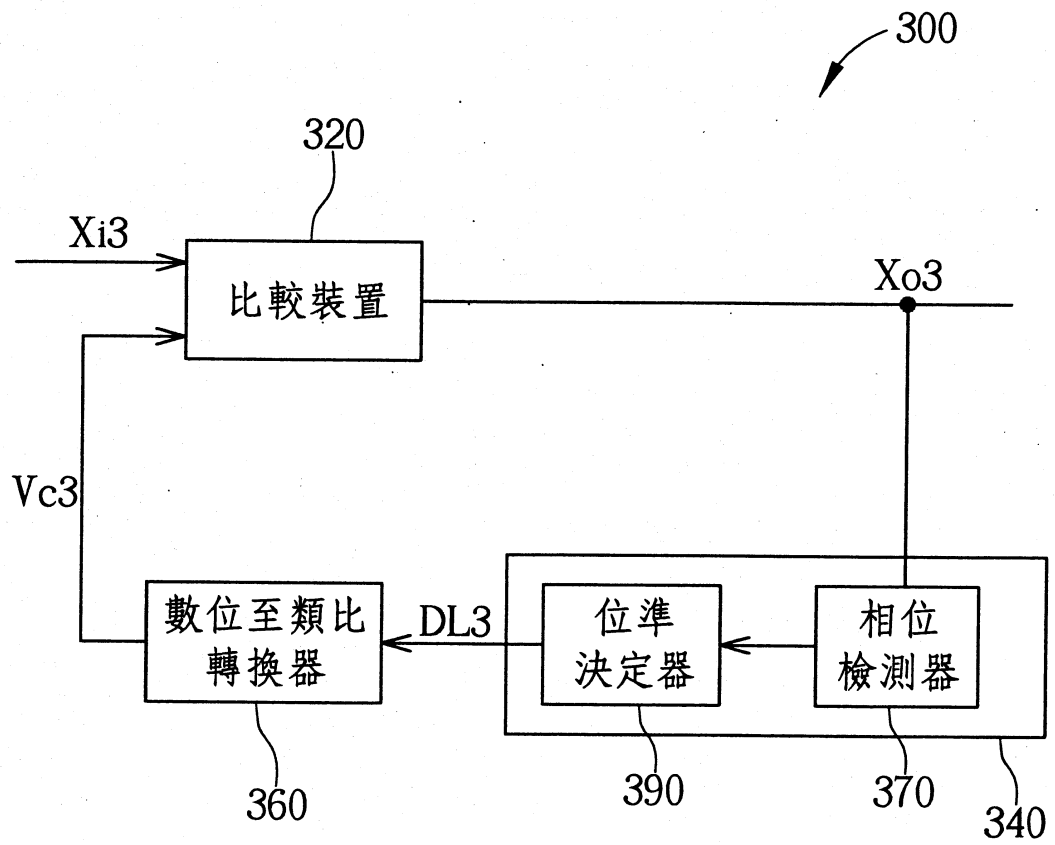




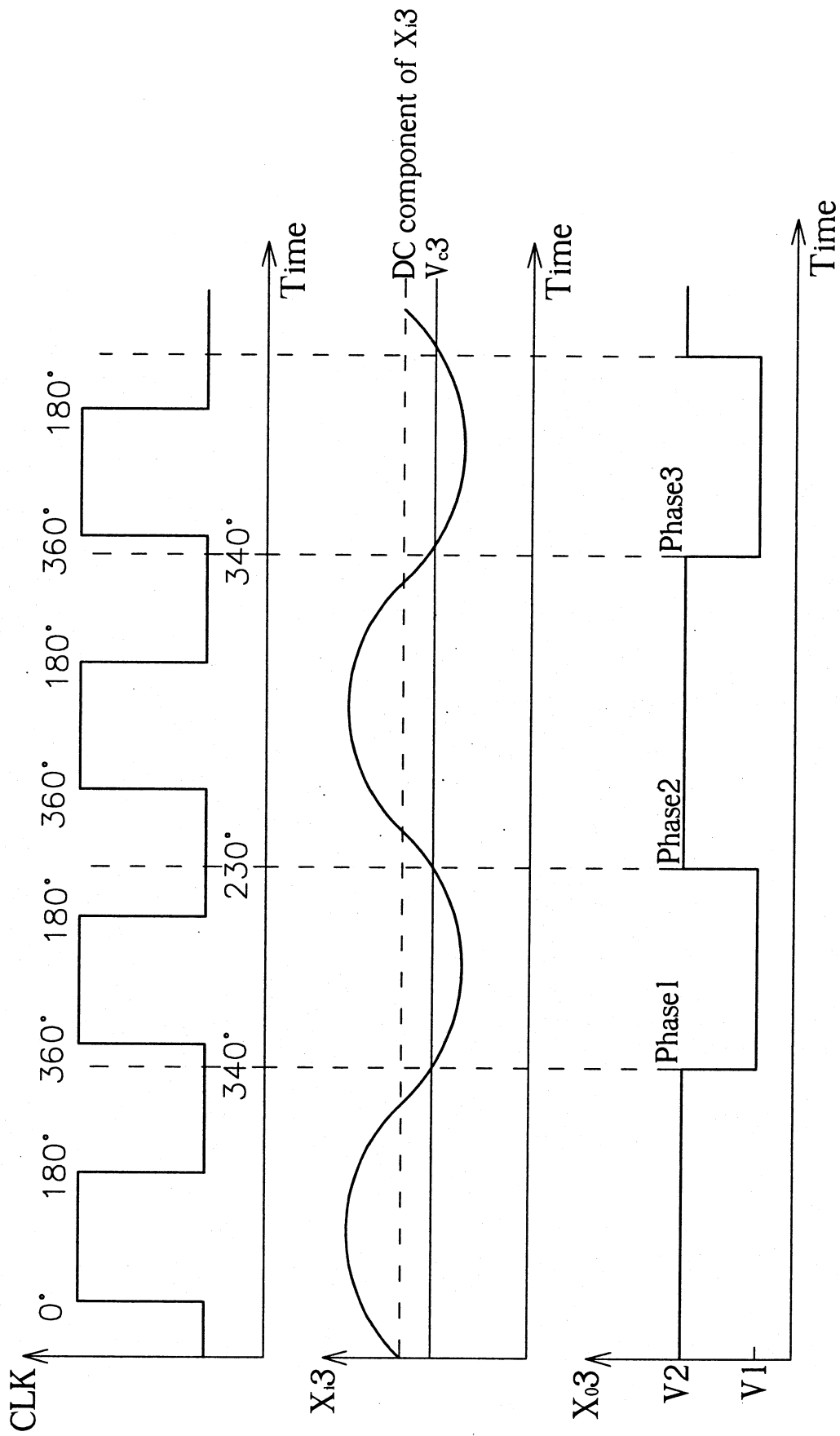
圖一



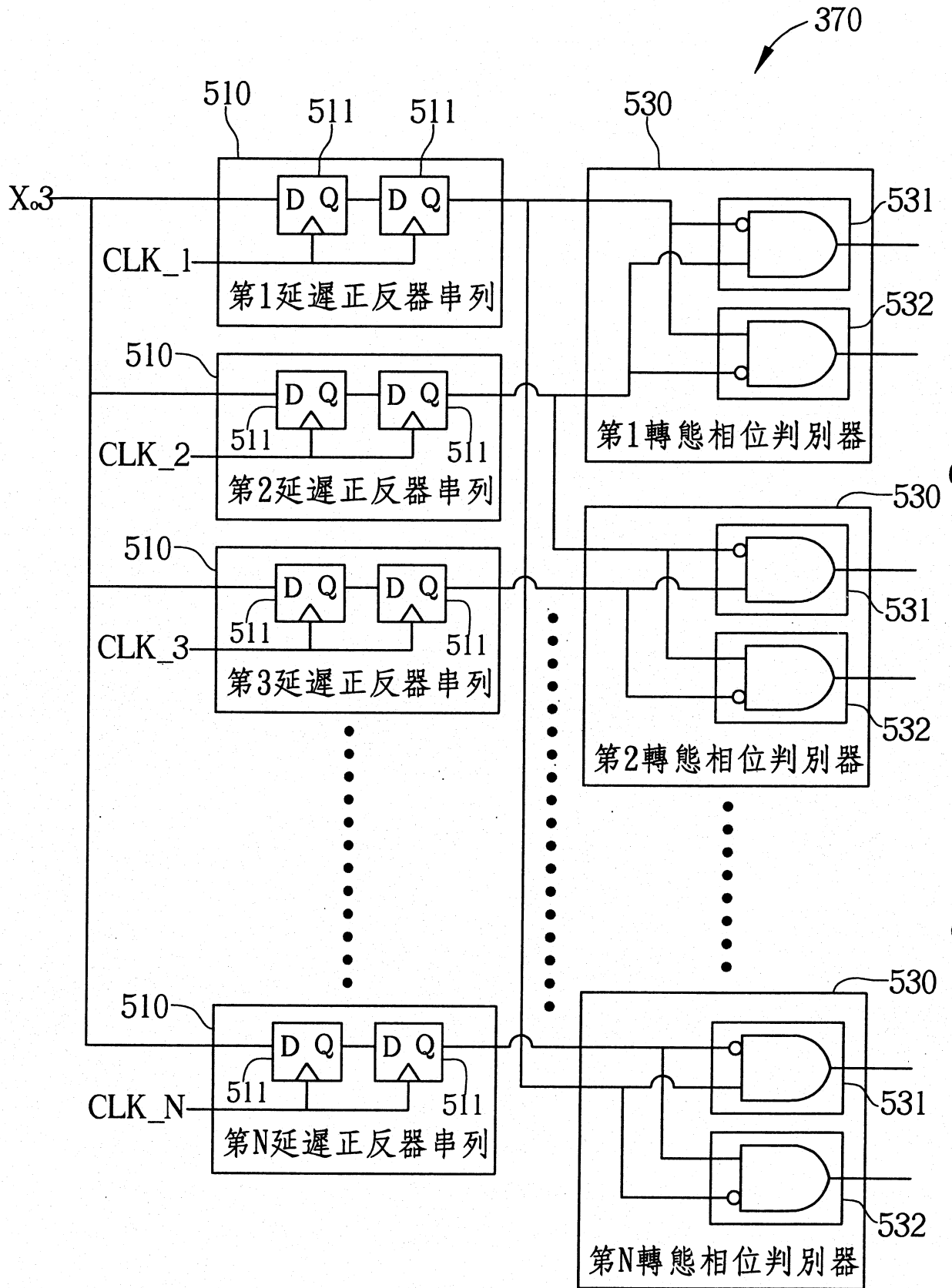
圖二



圖三

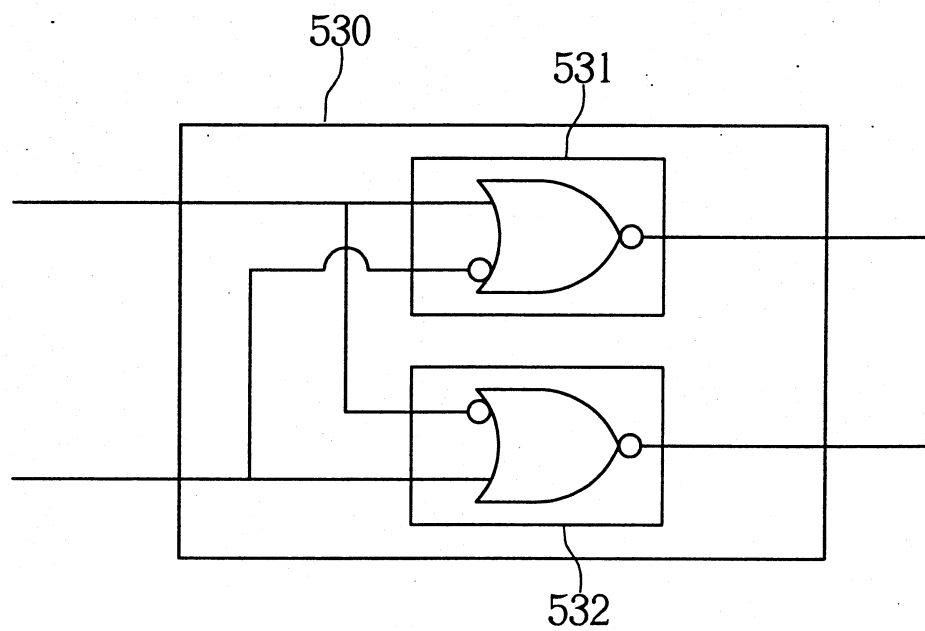


圖四



圖五





圖七