(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年12月26日(26.12.2019)

WIPO | PCT

(10) 国際公開番号
WO 2019/243957 A1

(51) 国際特許分類:
H01L 21/8242 (2006.01) *H01L 27/108* (2006.01)
H01L 21/8239 (2006.01) *H01L 27/1156* (2017.01)
H01L 27/105 (2006.01) *H01L 29/786* (2006.01)

(21) 国際出願番号： PCT/IB2019/054931

(22) 国際出願日： 2019年6月13日(13.06.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2018-118869 2018年6月22日(22.06.2018) JP
特願 2018-124319 2018年6月29日(29.06.2018) JP

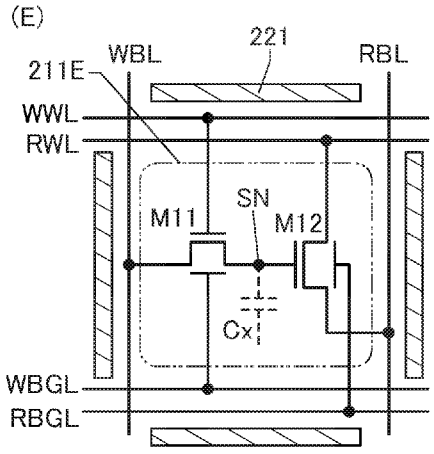
(71) 出願人: 株式会社半導体エネルギー研究所 **(SEMICONDUCTOR ENERGY LABORATORY CO., LTD.)** [JP/JP]; 〒2430036 神奈川県厚木市長谷３９８ Kanagawa (JP).

(72) 発明者: 石津貴彦 **(ISHIZU, Takahiko)**; 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 齋藤利彦**(SAITO, Toshihiko)**; 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 魚地秀貴**(UOCHI, Hideki)**; 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 山崎舜平**(YAMAZAKI, Shunpei)**; 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) **Title:** STORAGE DEVICE AND ELECTRONIC DEVICE

(54) 発明の名称： 記憶装置および電子機器



[図5]

(57) **Abstract:** The present invention provides a novel storage device. This storage device comprises a plurality of memory cells; and each memory cell comprises a first transistor and a second transistor. Either the source or the drain of the first transistor is electrically connected to the gate of the second transistor via a node SN. Information written through the first transistor is held in the node SN. By using an OS transistor as the first transistor, formation of a storage capacitor becomes unnecessary. By providing the outside of each memory cell with a region where the relative dielectric constant is low, noise from the outside is reduced, thereby enabling stable operation.

WO 2019/243957 A1

[続葉有]

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:要約書 新規な記憶装置を提供する。 複数のメモリセルを有する記憶装置であって、 １つのメモリセルは、 第１トランジスタと、 第２ トランジスタと、 を有する。 第１トランジスタのソースまたはドレインの一方は、 ノードＳＮを 介して第２トランジスタのゲートと電気的に接続する。第１トランジスタを介して書き込まれ た情報はノードＳＮに保持される。 第１トランジスタにＯＳトランジスタを用いることで、 保持 容量の形成を不要とすることができる。メモリセルの外側に比誘電率が低い領域を設けること で、外部からのノイズを低減し、安定した動作を実現する。

明細書

発明の名称

記憶装置および電子機器

技術分野

［０００１］

本発明の一形態は記憶装置に関する。

［０００２］

また、本発明の一形態は、物、方法、または、製造方法に関する。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。本発明の一態様は、その駆動方法、または、その作製方法に関する。

［０００３］

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。記憶装置、表示装置、電気光学装置、蓄電装置、半導体回路および電子機器は、半導体装置を有する場合がある。また、記憶装置、表示装置、電気光学装置、蓄電装置、半導体回路および電子機器を、半導体装置ということもできる。

背景技術

［０００４］

トランジスタに適用可能な半導体薄膜として、シリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体（ＯＳ：Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）が注目されている。酸化物半導体としては、例えば、酸化インジウム、酸化亜鉛などの一元系金属の酸化物のみでなく、多元系金属の酸化物も知られている。多元系金属の酸化物の中でも、特に、Ｉｎ－Ｇａ－Ｚｎ酸化物（以下、ＩＧＺＯとも呼ぶ。）に関する研究が盛んに行われている。

［０００５］

ＩＧＺＯに関する研究により、酸化物半導体において、単結晶でも非晶質でもない、ＣＡＡＣ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ）構造およびｎｃ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ）構造が見出された（非特許文献１乃至非特許文献３参照。）。非特許文献１および非特許文献２では、ＣＡＡＣ構造を有する酸化物半導体を用いてトランジスタを作製する技術も開示されている。さらに、ＣＡＡＣ構造およびｎｃ構造よりも結晶性の低い酸化物半導体でさえも、微小な結晶を有することが、非特許文献４および非特許文献５に示されている。

［０００６］

さらに、ＩＧＺＯを活性層として用いたトランジスタは極めて低いオフ電流を持ち（非特許文献６参照。）、その特性を利用したＬＳＩおよびディスプレイが報告されている（非特許文献７および非特許文献８参照。）。

［０００７］

また、チャネル形成領域に酸化物半導体を有するトランジスタ（以下、「ＯＳトランジスタ」または「ＯＳ－ＦＥＴ」とも呼ぶ。）を利用した様々な半導体装置が提案されている。

［０００８］

特許文献１には、ＯＳトランジスタを記憶装置のメモリセル（記憶素子）に用いる例が開示されている。ＯＳトランジスタは、オフ状態でソースとドレインの間に流れる電流（「オフ電流」ともいう。）が非常に少ないので、記憶素子に用いられる保持容量を小さくする、または無くすこ

とができる。保持容量を小さくする、または無くすことで、集積度の高い記憶装置を実現できる。

［先行技術文献］

［特許文献］

［０００９］

［特許文献１］特開２０１２－２５６４００号公報

［非特許文献］

［００１０］

［非特許文献１］Ｓ．Ｙａｍａｚａｋｉ ｅｔ ａｌ．，“ＳＩＤ Ｓｙｍｐｏｓｉｕｍ Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ”，２０１２，ｖｏｌｕｍｅ ４３，ｉｓｓｕｅ １，ｐ．１８３－１８６

［非特許文献２］Ｓ．Ｙａｍａｚａｋｉ ｅｔ ａｌ．，“Ｊａｐａｎｅｓｅ Ｊｏｕｒｎａｌ ｏｆ Ａｐｐｌｉｅｄ Ｐｈｙｓｉｃｓ”，２０１４，ｖｏｌｕｍｅ ５３，Ｎｕｍｂｅｒ ４Ｓ，ｐ．０４ＥＤ１８－１－０４ＥＤ１８－１０

［非特許文献３］Ｓ．Ｉｔｏ ｅｔ ａｌ．，“Ｔｈｅ Ｐｒｏｃｅｅｄｉｎｇｓ ｏｆ ＡＭ－ＦＰＤ’１３ Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ”，２０１３，ｐ．１５１－１５４

［非特許文献４］Ｓ．Ｙａｍａｚａｋｉ ｅｔ ａｌ．，“ＥＣＳ Ｊｏｕｒｎａｌ ｏｆ Ｓｏｌｉｄ Ｓｔａｔｅ Ｓｃｉｅｎｃｅ ａｎｄ Ｔｅｃｈｎｏｌｏｇｙ”，２０１４，ｖｏｌｕｍｅ ３，ｉｓｓｕｅ ９，ｐ．Ｑ３０１２－Ｑ３０２２

［非特許文献５］Ｓ．Ｙａｍａｚａｋｉ，“ＥＣＳ Ｔｒａｎｓａｃｔｉｏｎｓ”，２０１４，ｖｏｌｕｍｅ ６４，ｉｓｓｕｅ １０，ｐ．１５５－１６４

［非特許文献６］Ｋ．Ｋａｔｏ ｅｔ ａｌ．，“Ｊａｐａｎｅｓｅ Ｊｏｕｒｎａｌ ｏｆ Ａｐｐｌｉｅｄ Ｐｈｙｓｉｃｓ”，２０１２，ｖｏｌｕｍｅ ５１，ｐ．０２１２０１－１－０２１２０１－７

［非特許文献７］Ｓ．Ｍａｔｓｕｄａ ｅｔ ａｌ．，“２０１５ Ｓｙｍｐｏｓｉｕｍ ｏｎ ＶＬＳＩ Ｔｅｃｈｎｏｌｏｇｙ Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ”，２０１５，ｐ．Ｔ２１６－Ｔ２１７

［非特許文献８］Ｓ．Ａｍａｎｏ ｅｔ ａｌ．，“ＳＩＤ Ｓｙｍｐｏｓｉｕｍ Ｄｉｇｅｓｔ ｏｆ Ｔｅｃｈｎｉｃａｌ Ｐａｐｅｒｓ”，２０１０，ｖｏｌｕｍｅ ４１，ｉｓｓｕｅ １，ｐ．６２６－６２９

発明の概要

発明が解決しようとする課題

［００１１］

しかしながら、保持容量を小さくする、または無くすと、データ保持時間の低下や、隣接する記憶素子の動作ノイズなどの影響を受け易いといった問題が生じる。

［００１２］

本発明の一形態は、集積密度が高い半導体装置を提供することを課題の一とする。また、本発明の一形態は、動作速度が速い半導体装置を提供することを課題の一とする。また、本発明の一形態は、長期間においてデータの保持が可能な半導体装置を提供することを課題の一とする。また、本発明の一形態は、消費電力が低減された半導体装置を提供することを課題の一とする。本発明

の一形態は、新規な半導体装置を提供することを課題の一とする。

［００１３］

なお、複数の課題の記載は、互いの課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全て解決する必要はない。また、列記した以外の課題が、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、これらの課題も、本発明の一形態の課題となり得る。

課題を解決するための手段

［００１４］

本発明の一態様は、複数のメモリセルを有する記憶装置であって、１つのメモリセルは、第１トランジスタと、第２トランジスタと、を有する。第１トランジスタのソースまたはドレインの一方は、ノードＳＮを介して第２トランジスタのゲートと電気的に接続する記憶装置である。第１トランジスタを介して書き込まれた情報はノードＳＮに保持される。第１トランジスタにＯＳトランジスタを用いることで、保持容量の形成を不要とすることができる。メモリセルの外側に比誘電率が低い領域を設ける。

［００１５］

または、本発明の一態様は、メモリセルと、第１領域と、第１ワード線と、第２ワード線と、第１ビット線と、第２ビット線と、を有する記憶装置であって、メモリセルは、第１トランジスタと、第２トランジスタと、を有し、第１トランジスタの半導体層は金属酸化物を有し、第１領域は複数の空隙を有し、第１ビット線および第２ビット線は第１方向に延在し、第１ワード線および第２ワード線は第２方向に延在し、第１トランジスタのゲートは第１ワード線と電気的に接続され、第１トランジスタのソースまたはドレインの一方は第２トランジスタのゲートと電気的に接続され、第１トランジスタのソースまたはドレインの他方は第１ビット線と電気的に接続され、第２トランジスタのソースまたはドレインの一方は第２ワード線と電気的に接続され、第２トランジスタのソースまたはドレインの他方は第２ビット線と電気的に接続され、第１領域は、第１方向に延在する領域を有し、第１方向に延在する領域において、複数の空隙のそれぞれは、第１方向と交差する方向に延在する領域を有する記憶装置である。

［００１６］

または、本発明の一態様は、メモリセルと、第１領域と、第１ワード線と、第２ワード線と、第１ビット線と、第２ビット線と、第１導電層と、を有する記憶装置であって、メモリセルは、第１トランジスタと、第２トランジスタと、を有し、第１トランジスタの半導体層は金属酸化物を有し、第１領域は複数の空隙を有し、第１ビット線および第２ビット線は第１方向に延在し、第１ワード線および第２ワード線は第２方向に延在し、第１トランジスタのゲートは第１ワード線と電気的に接続され、第１トランジスタのソースまたはドレインの一方は第２トランジスタのゲートと電気的に接続され、第１トランジスタのソースまたはドレインの他方は第１ビット線と電気的に接続され、第２トランジスタのソースまたはドレインの一方は第２ワード線と電気的に接続され、第２トランジスタのソースまたはドレインの他方は第２ビット線と電気的に接続され、第１導電層は、第１トランジスタの半導体層と互いに重なる領域と、第１トランジスタのソースまたはドレインの一方と互いに重なる領域と、を有し、第１領域は、第１方向に延在する領域を有し、第１方向に延在する領域において、複数の空隙のそれぞれは、第１方向と交差する方向に延在する領域を有する記憶装置である。

［００１７］
第１導電層は、第１トランジスタのバックゲートとして機能する領域を有する。
［００１８］
半導体層は、少なくともＩｎまたはＺｎの一方または双方を含むことが好ましい。
［００１９］
第１領域は第２方向に延在する領域を有してもよい。第２方向に延在する領域において、複数の空隙を有する。複数の空隙のそれぞれは、第２方向と交差する方向に延在する領域を有することが好ましい。
［００２０］
第２トランジスタのゲート電極と半導体層が重なる面積は、第１トランジスタのゲート電極と半導体層が重なる面積よりも大きいことが好ましい。例えば、第２トランジスタのゲート電極と半導体層が重なる面積は、第１トランジスタのゲート電極と半導体層が重なる面積の１倍以上１０倍以下であることが好ましい。

発明の効果

［００２１］
本発明の一形態により、集積密度が高い半導体装置を提供することができる。また、本発明の一形態により、動作速度が速い半導体装置を提供することができる。また、本発明の一形態により、長期間においてデータの保持が可能な半導体装置を提供することができる。また、本発明の一形態により、消費電力が低減された半導体装置を提供することができる。また、本発明の一形態により、新規な半導体装置を提供することができる。
［００２２］
なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

［００２３］
［図１］図１は、半導体装置の構成例を説明する図である。
［図２］図２（Ａ）乃至図２（Ｃ）は、セルアレイおよびメモリセルの構成例を説明する図である。
［図３］図３は、メモリセルの動作を説明するタイミングチャートである。
［図４］図４（Ａ）および図４（Ｂ）は、トランジスタの電気特性を説明する図である。
［図５］図５（Ａ）乃至図５（Ｆ）は、メモリセルの構成例を説明する図である。
［図６］図６は、セルアレイの構成例を説明する図である。
［図７］図７は、セルアレイの構成例を説明する図である。
［図８］図８は、セルアレイの構成例を説明する図である。
［図９］図９は、セルアレイの構成例を説明する図である。
［図１０］図１０（Ａ）および図１０（Ｂ）は、メモリセルの構成例を説明する図である。
［図１１］図１１は、メモリセルの構成例を説明する断面図である。
［図１２］図１２は、メモリセルの構成例を説明する図である。

［図１３］図１３は、メモリセルの構成例を説明する断面図である。
［図１４］図１４は、メモリセルの構成例を説明する図である。
［図１５］図１５は、メモリセルの構成例を説明する図である。
［図１６］図１６は、メモリセルの構成例を説明する図である。
［図１７］図１７（Ａ）および図１７（Ｂ）は、低比誘電率領域の構成例を説明する図である。
［図１８］図１８（Ａ）および図１８（Ｂ）は、低比誘電率領域の構成例を説明する図である。
［図１９］図１９（Ａ）および図１９（Ｂ）は、低比誘電率領域の構成例を説明する図である。
［図２０］図２０（Ａ）および図２０（Ｂ）は、低比誘電率領域の構成例を説明する図である。
［図２１］図２１（Ａ）および図２１（Ｂ）は、低比誘電率領域の構成例を説明する図である。
［図２２］図２２（Ａ）および図２２（Ｂ）は、低比誘電率領域の作製工程例を説明する図である。
［図２３］図２３（Ａ）乃至図２３（Ｃ）は、低比誘電率領域の作製工程例を説明する図である。
［図２４］図２４（Ａ）および図２４（Ｂ）は、低比誘電率領域の作製工程例を説明する図である。
［図２５］図２５は、メモリセルの構成例を説明する図である。
［図２６］図２６は、メモリセルの構成例を説明する断面図である。
［図２７］図２７は、メモリセルの構成例を説明する図である。
［図２８］図２８は、メモリセルの構成例を説明する断面図である。
［図２９］図２９（Ａ）乃至図２９（Ｃ）は、トランジスタの構成例を説明する図である。
［図３０］図３０（Ａ）乃至図３０（Ｃ）は、トランジスタの構成例を説明する図である。
［図３１］図３１（Ａ）および図３１（Ｂ）は、電子部品を説明する図である。
［図３２］図３２は、電子機器を説明する図である。
［図３３］図３３（Ａ）乃至図３３（Ｅ）は、電子機器を説明する図である。
［図３４］図３４（Ａ）乃至図３４（Ｃ）は、電子機器を説明する図である。
［図３５］図３５（Ａ）乃至図３５（Ｃ）は、電子機器を説明する図である。
［図３６］図３６は、各種記憶装置を階層ごとに示す図である。
［図３７］図３７は、各種記憶装置のデータ書き込み時間と書き込み耐性を示す図である。
［図３８］図３８は、各種記憶装置のデータ保持時間と動作周波数を示す図である。

発明を実施するための形態

［００２４］
本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態および実施例の記載内容に限定して解釈されるものではない。
［００２５］
なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。また、同様の機能を指す場合には、ハッチパターンを同じくし、特に符号を付さない場合がある。
［００２６］
なお、本明細書で説明する各図において、各構成の大きさ、層の厚さ、または領域は、明瞭化の

ために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。

［００２７］

なお、本明細書中において、高電源電位をＨレベル（「ＶＤＤ」または「Ｈ電位」ともいう。）、低電源電位をＬレベル（「ＶＳＳ」または「Ｌ電位」ともいう。）と呼ぶ場合がある。

［００２８］

なお、電圧とは２点間における電位差のことをいい、電位とはある一点における静電場の中にある単位電荷が持つ静電エネルギー（電気的な位置エネルギー）のことをいう。ただし、一般的に、ある一点における電位と基準となる電位（例えば接地電位）との電位差のことを、単に電位もしくは電圧と呼び、電位と電圧が同義語として用いられることが多い。このため、本明細書などでは、明示する場合を除き、電位を電圧と読み替えてもよいし、電圧を電位と読み替えてもよいこととする。

［００２９］

また、本明細書は、以下の実施の形態および実施例を適宜組み合わせることが可能である。また、１つの実施の形態の中に、複数の構成例が示される場合は、構成例を適宜組み合わせることが可能である。

［００３０］

本明細書等において、金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体を含む）、酸化物半導体などに分類される。例えば、トランジスタの半導体層に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。また、ＯＳトランジスタと記載する場合においては、金属酸化物または酸化物半導体を有するトランジスタと換言することができる。また、本明細書等において、窒素を有する金属酸化物も金属酸化物と総称する場合がある。

［００３１］

また、本明細書等に示すトランジスタは、明示されている場合を除き、エンハンスメント型（ノーマリーオフ型）のｎチャネル型電界効果トランジスタとする。よって、そのしきい値電圧（「Ｖｔｈ」ともいう。）は、０Ｖより大きいものとする。

［００３２］

（実施の形態１）

実施の形態では、本発明の一態様の記憶装置について説明する。

［００３３］

＜記憶装置＞

図１は、記憶装置の構成例を示すブロック図である。記憶装置１００は、周辺回路１１１、およびセルアレイ２０１を有する。周辺回路１１１は、ローデコーダ１２１、ワード線ドライバ回路１２２、カラムデコーダ１３１、ビット線ドライバ回路１３０、出力回路１４０、コントロールロジック回路１６０を有する。セルアレイ２０１は、メモリセル２１１、ワード線ＷＷＬ、ワード線ＲＷＬ、ビット線ＷＢＬ、およびビット線ＲＢＬを有する。

［００３４］

ワード線ドライバ回路１２２は、ワード線ＷＷＬおよびワード線ＲＷＬに電位を供給する機能を有する。ビット線ドライバ回路１３０は、プリチャージ回路１３２、増幅回路１３３、および入出力回路１３４を有する。プリチャージ回路１３２は、ビット線ＲＢＬなどをプリチャージす

る機能を有する。増幅回路１３３は、配線ＲＢＬから読み出されたデータ信号を増幅する機能を有する。

［００３５］

ワード線ＷＷＬ、ワード線ＲＷＬ、ビット線ＷＢＬおよびビット線ＲＢＬは、メモリセル２１１に接続されている配線であり、詳しくは後述する。増幅されたデータ信号は、出力回路１４０を介して、デジタルのデータ信号ＲＤＡＴＡとして記憶装置１００の外部に出力される。

［００３６］

記憶装置１００には、電源電位としてＶＤＤおよびＶＳＳが外部から供給される。

［００３７］

また、記憶装置１００には、外部から、クロック信号ＣＬＫ、チップイネーブル信号ＣＥ、書き込みイネーブル信号ＷＥ、読み出しイネーブル信号ＲＥ、アドレス信号ＡＤＤＲ、およびデータ信号ＷＤＡＴＡなどが入力される。アドレス信号ＡＤＤＲは、ローデコーダ１２１およびカラムデコーダ１３１に入力され、データ信号ＷＤＡＴＡは入出力回路１３４に入力される。

［００３８］

コントロールロジック回路１６０は、チップイネーブル信号ＣＥ、書き込みイネーブル信号ＷＥ、読み出しイネーブル信号ＲＥを処理して、ローデコーダ１２１、カラムデコーダ１３１の制御信号を生成する。例えば、チップイネーブル信号ＣＥがハイレベル、書き込みイネーブル信号ＷＥがローレベルの場合、ローデコーダ１２１およびカラムデコーダ１３１は読み出し動作を行い、チップイネーブル信号ＣＥがハイレベル、書き込みイネーブル信号ＷＥがハイレベルの場合、ローデコーダ１２１およびカラムデコーダ１３１は書き込み動作を行い、チップイネーブル信号ＣＥがローレベルの場合、書き込みイネーブル信号ＷＥのハイレベル、ローレベルにかかわらず、ローデコーダ１２１およびカラムデコーダ１３１はスタンバイ動作とすることができる。

［００３９］

なお、コントロールロジック回路１６０が処理する信号は、これらに限定されるものではない。必要に応じて、他の信号をコントロールロジック回路１６０に入力してもよい。

［００４０］

なお、上述の各回路あるいは各信号は、必要に応じて、適宜、取捨することができる。

［００４１］

セルアレイ２０１を構成するトランジスタにＯＳトランジスタを適用することができる。また、周辺回路１１１を構成するトランジスタにＯＳトランジスタを適用することができる。セルアレイ２０１と周辺回路１１１を、ＯＳトランジスタを用いて形成することで、セルアレイ２０１と周辺回路１１１を、同一の製造工程で作製することが可能になり、製造コストを低く抑えることができる。

［００４２］

なお、ＯＳトランジスタは記憶装置だけでなく、ＣＰＵ（Ｃｅｎｔｒａｌ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）またはＧＰＵ（Ｇｒａｐｈｉｃｓ　Ｐｒｏｃｅｓｓｉｎｇ　Ｕｎｉｔ）などに代表されるロジック回路に適用することも可能である。ＯＳトランジスタを用いた集積回路の総称を「ＯＳ－ＬＳＩ」ともいう。

［００４３］

〔セルアレイの構成例〕

図２（Ａ）にセルアレイ２０１の詳細を記載する。セルアレイ２０１は、一列にｍ（ｍは１以上の整数である。）個、一行にｎ（ｎは１以上の整数である。）個、計ｍ×ｎ個のメモリセル２１１を有し、メモリセル２１１は行列状に配置されている。

［００４４］

図２（Ａ）では、メモリセル２１１のアドレスも併せて表記している。例えば、［１，１］は１行１列目のアドレスに位置しているメモリセル２１１を示し、［ｉ，ｊ］（ｉは、１以上ｍ以下の整数であり、ｊは、１以上ｎ以下の整数である。）はｉ行ｊ列目のアドレスに位置しているメモリセル２１１を示している。なお、セルアレイ２０１とワード線ドライバ回路１２２を接続している配線の数は、メモリセル２１１の構成、一列中に含まれるメモリセル２１１の数などによって決まる。また、セルアレイ２０１とビット線ドライバ回路１３０とを接続している配線の数は、メモリセル２１１の構成、一行中に含まれるメモリセル２１１の数などによって決まる。

［００４５］

本実施の形態では、セルアレイ２０１は、ｎ本のビット線ＷＢＬ（ＷＢＬ［１］乃至ＷＢＬ［ｎ］）、ｎ本のビット線ＲＢＬ（ＲＢＬ［１］乃至ＲＢＬ［ｎ］）、ｍ本のワード線ＷＷＬ（ＷＷＬ［１］乃至ＷＷＬ［ｍ］）、および、ｍ本のワード線ＲＷＬ（ＲＷＬ［１］乃至ＲＷＬ［ｍ］）を有する。

［００４６］

メモリセル２１１は、ビット線ＷＢＬ、ビット線ＲＢＬ、ワード線ＷＷＬ、およびワード線ＲＷＬと接続されている。図２（Ａ）に示すように、アドレスが［ｉ，ｊ］のメモリセル２１１は、ワード線ＷＷＬ［ｉ］およびワード線ＲＷＬ［ｉ］を介してワード線ドライバ回路１２２と電気的に接続され、ビット線ＷＢＬ［ｊ］およびビット線ＲＢＬ［ｊ］を介してビット線ドライバ回路１３０と電気的に接続されている。

［００４７］

〔メモリセルの構成例〕

図２（Ｂ）、（Ｃ）および図５（Ａ）乃至（Ｄ）に、メモリセル２１１に適用できる回路構成例を示す。図２（Ｂ）に、２つのトランジスタと１つの容量素子を有するゲインセル型（「２Ｔｒ１Ｃ型」ともいう。）のメモリセル２１１Ａの回路構成例を示す。メモリセル２１１Ａは、トランジスタＭ１１と、トランジスタＭ１２と、容量素子Ｃｓと、を有する。

［００４８］

メモリセル２１１Ａにおいて、トランジスタＭ１１のソースまたはドレインの一方は容量素子Ｃｓの第１端子およびトランジスタＭ１２のゲートと電気的に接続され、トランジスタＭ１１のソースまたはドレインの他方はビット線ＷＢＬと電気的に接続され、トランジスタＭ１１のゲートは、ワード線ＷＷＬと電気的に接続されている。トランジスタＭ１２のソースまたはドレインの一方はワード線ＲＷＬと電気的に接続され、トランジスタＭ１２のソースまたはドレインの他方は、ビット線ＲＢＬと電気的に接続されている。また、容量素子Ｃｓの第２端子は、配線ＣＡＬと電気的に接続される。配線ＣＡＬは、容量素子Ｃｓの第２端子に所定の電位を印加するための配線として機能する。トランジスタＭ１１のソースまたはドレインの一方、容量素子Ｃｓの第１端子、およびトランジスタＭ１２のゲートが電気的に接続する節点をノードＳＮという。

［００４９］

ビット線ＷＢＬは、書き込みビット線として機能し、ビット線ＲＢＬは、読み出しビット線として機能し、ワード線WWLは、書き込みワード線として機能し、ワード線ＲＷＬは、読み出しワード線として機能する。トランジスタＭ１１は、ノードＳＮとビット線ＷＢＬとを、導通または非導通とするスイッチとしての機能を有する。

［００５０］

メモリセル２１１Ａの、データ書き込み動作およびデータ読み出し動作について図３を用いて説明する。図３は、メモリセル２１１Ａの動作を説明するためのタイミングチャートである。データの書き込みは、データ書き込み期間（Ｔｗｒｉｔｅ）において、ワード線WWLにＶＤＤを印加してトランジスタＭ１１を導通状態（「オン状態」ともいう。）とし、ノードＳＮとビット線ＷＢＬとを電気的に接続することによって行われる。この時、ワード線ＲＷＬの電位をＶＤＤとする。また、ビット線ＲＢＬの電位もＶＤＤとすることが好ましい。

［００５１］

具体的には、トランジスタＭ１１がオン状態のとき、書き込むデータ（Ｖｄａｔａ）に対応する電位（例えば、ＶＤＤ）をビット線ＷＢＬに印加し、トランジスタＭ１１を介してノードＳＮに該電位を書き込む。その後、ワード線WWLにＶＳＳを印加し、トランジスタＭ１１を非導通状態（「オフ状態」ともいう。）とすることによって、ノードＳＮの電位を保持する。

［００５２］

トランジスタＭ１１のゲートと、トランジスタＭ１１のソースまたはドレインの一方の間には、寄生容量Ｃｚが生じる。ワード線WWLとノードＳＮは、寄生容量Ｃｚを介して容量結合している。よって、書き込み動作終了時にワード線WWLの電位をＶＤＤからＶＳＳに低下させると、ノードＳＮの電位が電圧ΔＶ１だけ低下する。

［００５３］

ノードＳＮの容量を容量Ｃｓｎとすると、電圧ΔＶ１は、寄生容量Ｃｚと容量Ｃｓｎの比で決まる。寄生容量Ｃｚよりも容量Ｃｓｎが大きいほど電圧ΔＶ１を小さくすることができる。

［００５４］

また、容量Ｃｓｎには、ノードＳＮに生じる寄生容量Ｃｘと、トランジスタＭ１２のゲート容量が含まれる。トランジスタＭ１２のゲート容量を大きくすることで、容量Ｃｓｎを大きくすることができる。

［００５５］

また、寄生容量Ｃｚの容量値はトランジスタＭ１１のゲート容量に比例する。特にトランジスタＭ１１のチャネル幅に比例する。また、寄生容量Ｃｘがトランジスタ Ｍ１２のゲート容量よりも十分小さい場合、容量Ｃｓｎの容量値はトランジスタＭ１２のゲート容量が支配的になる。この場合、トランジスタＭ１２のゲート容量をトランジスタＭ１１のゲート容量よりも大きくすることで、電圧ΔＶ１を小さくすることができる。

［００５６］

データの読み出しは、データ読み出し期間（Ｔｒｅａｄ）において、ビット線ＲＢＬに所定の電位を印加し、その後、ビット線ＲＢＬを電気的に浮遊（フローティング）状態とし、その後ワード線ＲＷＬにローレベルの電位を印加することによって行われる。以後、ビット線ＲＢＬに所定の電位を印加し、その後、ビット線ＲＢＬをフローティング状態とすることを、ビット線ＲＢＬをプリチャージする、と表現する。

［００５７］
例えば、ビット線ＲＢＬにＶＤＤをプリチャージし、その後ワード線ＲＷＬにＶＳＳを印加する。この時、ノードＳＮとワード線ＲＷＬの電位差がトランジスタＭ１２のしきい値電圧以上であると、当該電位差に応じた速度でビット線ＲＢＬの電位が低下する。すなわち、ビット線ＲＢＬの電位変化を知ることで、ノードＳＮに保持されている電位を読み出すことができる。
［００５８］
また、データを書き込むメモリセル２１１Ａが配置されている行は、ＶＤＤを印加するワード線ＷＷＬによって選択され、データを読み出すメモリセル２１１が配置されている行は、ＶＳＳを印加するワード線ＲＷＬによって選択される。逆に、データを書き込まないメモリセル２１１が配置されている行は、ワード線ＷＷＬにＶＳＳを印加し、データを読み出さないメモリセル２１１Ａが配置されている行は、ワード線ＲＷＬにビット線ＲＢＬにプリチャージする電位以上の電位を印加することで、非選択とすることができる。
［００５９］
ここで、トランジスタＭ１１およびトランジスタＭ１２には、チャネル形成領域に金属酸化物を有するトランジスタ（ＯＳトランジスタ）を用いることができる。例えば、トランジスタＭ１１およびトランジスタＭ１２のチャネル形成領域に、インジウム、元素Ｍ（元素Ｍは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）、亜鉛のいずれか一つを有する金属酸化物を用いることができる。特に、インジウム、ガリウム、亜鉛からなる金属酸化物であることが好ましい。
［００６０］
ＯＳトランジスタはオフ電流が非常に小さいため、トランジスタＭ１１にＯＳトランジスタを用いることで、ノードＳＮに書き込んだ電位を長時間保持することができる。つまり、メモリセル２１１Ａに書き込んだデータを長時間保持することができる。
［００６１］
トランジスタＭ１２に用いるトランジスタに特段の限定は無い。トランジスタＭ１２として、ＯＳトランジスタ、Ｓｉトランジスタ、またはその他のトランジスタを用いてもよい。
［００６２］
なお、トランジスタＭ１２にＳｉトランジスタを用いる場合、チャネルが形成される半導体層に用いるシリコンは、非晶質シリコン、多結晶シリコン、低温ポリシリコン（ＬＴＰＳ：Ｌｏｗ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｐｏｌｙ－Ｓｉｌｉｃｏｎ）、または単結晶シリコンとすればよい。Ｓｉトランジスタは、ＯＳトランジスタよりも電界効果移動度が高くなる場合があるため、読み出しトランジスタとして、Ｓｉトランジスタを用いると、読み出し時の動作速度を高めることができる。
［００６３］
トランジスタＭ１１にＯＳトランジスタを用い、トランジスタＭ１２にＳｉトランジスタを用いる場合、両者を異なる層に積層して設けてもよい。ＯＳトランジスタは、Ｓｉトランジスタと同様の製造装置および同様のプロセスで作製することが可能である。よって、ＯＳトランジスタとＳｉトランジスタの混載（ハイブリッド化）が容易であり、高集積化も容易である。

［００６４］
また、トランジスタＭ１２にＯＳトランジスタを用いると、非選択時のリーク電流を極めて少なくすることができるため、読み出し精度を高めることができる。トランジスタＭ１１およびトランジスタＭ１２の両方にＯＳトランジスタを用いることで、半導体装置の作製工程が低減され、生産性を高めることができる。例えば、４００℃以下のプロセス温度で半導体装置を作製することもできる。
［００６５］
本明細書などにおいて、トランジスタＭ１１にＯＳトランジスタを用いて、２Ｔｒ１Ｃ型のメモリセルを構成した記憶装置をＮＯＳＲＡＭ（Ｎｏｎ－ｖｏｌａｔｉｌｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）という。
［００６６］
前述した通り、メモリセル２１１Ａは、２Ｔｒ１Ｃ型のメモリセルである。メモリセル２１１Ａは、電荷を蓄積する容量素子Ｃｓが小さい場合でも、蓄積した電荷をトランジスタＭ１２で増幅することで、メモリとしての動作を行うことができる。加えて、ＯＳトランジスタはオフ電流が非常に小さいため、トランジスタＭ１１にＯＳトランジスタを用いることで、容量素子Ｃｓを小さくする、または無くすことができる。
［００６７］
図２（Ｃ）は、１つのトランジスタと１つの容量素子を有するＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）型のメモリセル２１１Ｒの回路構成例を示している。メモリセル２１１Ｒは、トランジスタＭ１１と、容量素子Ｃｓと、を有する。
［００６８］
メモリセル２１１Ｒにおいて、トランジスタＭ１１のソースまたはドレインの一方は容量素子Ｃｓの第１端子と電気的に接続され、トランジスタＭ１１のソースまたはドレインの他方はビット線ＢＬと電気的に接続され、トランジスタＭ１１のゲートは、ワード線ＷＬと電気的に接続されている。また、容量素子Ｃｓの第２端子は、配線ＣＡＬと電気的に接続される。配線ＣＡＬは、容量素子ＣＳの第２端子に所定の電位を印加するための配線として機能する。トランジスタＭ１１のソースまたはドレインの一方、および容量素子Ｃｓの第１端子が電気的に接続する節点をノードＳＮという。
［００６９］
メモリセル２１１Ｒにおいても、トランジスタＭ１１にＯＳトランジスタを用いることで、容量素子Ｃｓを小さくする、または無くすことができる。また、書き込んだデータをトランジスタＭ１１によって長時間保持することができるため、ＤＲＡＭ型メモリセルのリフレッシュ頻度を少なくすることができる。また、ＤＲＡＭ型メモリセルのリフレッシュ動作を不要にすることができる。
［００７０］
本明細書などにおいて、トランジスタＭ１１にＯＳトランジスタを用いて、ＤＲＡＭ型のメモリセルを構成した記憶装置をＤＯＳＲＡＭ（Ｄｙｎａｍｉｃ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）という。
［００７１］
ＯＳトランジスタを用いることによって、メモリセルの占有面積を低減することができる。よっ

て、記憶装置の微細化または高集積化が容易である。

［００７２］

ここで、トランジスタの電気特性の１つであるＩｄ－Ｖｇ特性の温度依存性について説明しておく。図４（Ａ）および図４（Ｂ）に、トランジスタの電気特性の１つであるＩｄ－Ｖｇ特性の一例を示す。Ｉｄ－Ｖｇ特性は、ゲート電圧（Ｖｇ）の変化に対するドレイン電流（Ｉｄ）の変化を示す。図４（Ａ）および図４（Ｂ）の横軸は、Ｖｇをリニアスケールで示している。また、図４（Ａ）および図４（Ｂ）の縦軸は、Ｉｄをログスケールで示している。

［００７３］

図４（Ａ）は、ＯＳトランジスタのＩｄ－Ｖｇ特性を示している。図４（Ｂ）は、チャネルが形成される半導体層にシリコンを用いたトランジスタ（「Ｓｉトランジスタ」または「Ｓｉ－ＦＥＴ」ともいう。）のＩｄ－Ｖｇ特性を示している。なお、図４（Ａ）および図４（Ｂ）は、どちらもｎチャネル型トランジスタのＩｄ－Ｖｇ特性である。

［００７４］

図４（Ａ）に示すように、ＯＳトランジスタは高温環境下の動作においてもオフ電流が増加しにくい。ＯＳトランジスタは動作温度が１２５℃以上１５０℃以下であっても１０桁以上のオン／オフ比が実現できる。また、ＯＳトランジスタは、温度の上昇と共にＶｔｈがマイナス方向にシフトし、オン電流が増加する。よって、動作温度が上昇するほど周波数特性が上昇しやすい。一方で、図４（Ｂ）に示すように、Ｓｉトランジスタは、温度の上昇と共に、オフ電流が増加する。また、Ｓｉトランジスタは、温度の上昇と共にＶｔｈがプラス方向にシフトし、オン電流が低下する。

［００７５］

トランジスタＭ１１およびトランジスタＭ１２としてＯＳトランジスタを用いることで、高温下の動作においても長期間の情報保持が実現できる。また、高温下の動作においても記憶装置の消費電力を下げることができる。

［００７６］

トランジスタＭ１１およびトランジスタＭ１２としてＯＳトランジスタを用いることで、例えば、駆動電圧が２．５Ｖ、動作温度が－４０℃乃至８５℃の範囲において、２００ＭＨｚ以上の動作周波数を実現することができる。

［００７７］

容量素子Ｃｓを設けないメモリセル２１１の回路構成例を図５（Ａ）に示す。図５（Ａ）に示すメモリセル２１１Ｂは、メモリセル２１１Ａから容量素子Ｃｓを除いた回路構成を有する。メモリセル２１１Ｂでは、ノードＳＮに書き込まれた電荷（電位）は、主にトランジスタＭ１２のゲート容量と、寄生容量Ｃｘによって保持される。なお、ゲート容量も寄生容量Ｃｘの一部と考えることもできる。

［００７８］

また、トランジスタＭ１１およびトランジスタＭ１２の一方または双方に、バックゲートを有するトランジスタを用いてもよい。

［００７９］

実際のトランジスタにおいて、ゲートとバックゲートは、半導体層のチャネル形成領域を介して互いに重なるように設けられる。ゲートとバックゲートは、どちらもゲートとして機能できる。

よって、一方を「バックゲート」という場合、他方を「ゲート」または「フロントゲート」という場合がある。また、一方を「第１ゲート」、他方を「第２ゲート」という場合がある。

［００８０］

バックゲートは、ゲートと同電位としてもよいし、接地電位や、任意の電位としてもよい。また、バックゲートの電位をゲートと連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

［００８１］

バックゲートを設けることで、更には、ゲートとバックゲートを同電位とすることで、半導体層においてキャリアの流れる領域が膜厚方向においてより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタのオン電流が大きくなると共に、電界効果移動度が高くなる。

［００８２］

したがって、トランジスタを占有面積に対して大きいオン電流を有するトランジスタにすることができる。すなわち、求められるオン電流に対して、トランジスタの占有面積を小さくすることができる。よって、集積度の高い半導体装置を実現することができる。

［００８３］

トランジスタＭ１１およびトランジスタＭ１２にバックゲートを有するトランジスタ（４端子型のトランジスタ。「４端子素子」ともいう。）を用いる場合の回路構成例を図５（Ｂ）乃至（Ｄ）に示す。図５（Ｂ）に示すメモリセル２１１Ｃ、図５（Ｃ）に示すメモリセル２１１Ｄ、および図５（Ｄ）に示すメモリセル２１１Ｅは、メモリセル２１１Ｂの変形例である。

［００８４］

図５（Ｂ）に示すメモリセル２１１Ｃでは、トランジスタＭ１１のゲートとバックゲートが電気的に接続されている。また、トランジスタＭ１２のゲートとバックゲートが電気的に接続されている。

［００８５］

図５（Ｃ）に示すメモリセル２１１Ｄでは、トランジスタＭ１１のバックゲート、およびトランジスタＭ１２のバックゲートを配線ＢＧＬと電気的に接続している。配線ＢＧＬを介して、トランジスタＭ１１およびトランジスタＭ１２のバックゲートに所定の電位を印加することができる。

［００８６］

配線ＢＧＬの電位によって、トランジスタＭ１１およびトランジスタＭ１２のしきい値電圧を変化させることができる。具体的には、トランジスタＭ１１およびトランジスタＭ１２のバックゲートに印加する電位を高くすることで、それぞれのしきい値電圧がマイナスにシフトする。しきい値電圧がマイナスにシフトすることで、トランジスタのオン電流を増加することができ、メモリセル２１１Ｄの動作速度を速くすることができる。

［００８７］

また、トランジスタＭ１１およびトランジスタＭ１２のバックゲートに印加する電位を低くすることで、それぞれのしきい値電圧がプラスにシフトする。しきい値電圧がプラスにシフトすることで、トランジスタのオフ電流が低減され、メモリセル２１１Ｄに書きこまれたデータを長時間保持することができる。

［００８８］

図５（Ｄ）に示すメモリセル２１１Ｅでは、トランジスタＭ１１のバックゲートが配線ＷＢＧＬと電気的に接続され、トランジスタＭ１２のバックゲートが配線ＲＢＧＬと電気的に接続されている。トランジスタＭ１１のバックゲートとトランジスタＭ１２のバックゲートをそれぞれ異なる配線に接続することで、それぞれ独立してしきい値電圧を変化させることができる。

［００８９］

なお、メモリセル２１１Ｂ乃至メモリセル２１１Ｅを用いた記憶装置もＮＯＳＲＡＭといえる。

［００９０］

また、図５（Ｂ）乃至図５（Ｄ）に示したトランジスタは、４端子素子であるため、ＭＴＪ（Ｍａｇｎｅｔｉｃ Ｔｕｎｎｅｌ Ｊｕｎｃｔｉｏｎ）特性を利用したＭＲＡＭ（Ｍａｇｎｅｔｏｒｅｓｉｓｔｉｖｅ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）、ＲｅＲＡＭ（Ｒｅｓｉｓｔｉｖｅ Ｒａｎｄｏｍ Ａｃｃｅｓｓ Ｍｅｍｏｒｙ）、相変化メモリ（Ｐｈａｓｅ－ｃｈａｎｇｅ ｍｅｍｏｒｙ）などに代表される２端子素子と比較して、入出力の独立制御が簡便に行うことができるといった特徴を有する。

［００９１］

また、ＭＲＡＭ、ＲｅＲＡＭ、相変化メモリは、情報の書き換えの際に、原子レベルで構造変化が生じる場合がある。一方で、本発明の一態様の記憶装置は、情報の書き換えの際にトランジスタを介した電荷のチャージ、またはディスチャージにより動作するため、繰り返し書き換え耐性に優れ、構造変化も少ないといった特徴を有する。

［００９２］

メモリセル２１１に容量素子Ｃｓを設けない場合、ノードＳＮはノイズの影響を受け易くなる。具体的には、ノードＳＮと隣接メモリセルとの容量結合などにより、隣接メモリセルの電位変動の影響を受け易くなる。その結果、データ保持時間の短縮、読み出し精度の低下などが生じ、記憶装置の信頼性が低下する。

［００９３］

上記ノイズの低減は、隣接メモリセル間に生じる寄生容量を低減することで実現できる。本発明の一態様では、隣接メモリセル間の寄生容量を低減するため、メモリセルの外側に比誘電率の小さい領域（ＬＤＲ：Ｌｏｗ Ｄｉｅｌｅｃｔｒｉｃ ｃｏｎｓｔａｎｔ Ｒｅｇｉｏｎ）を設ける。ＬＤＲの比誘電率は、隣接する絶縁層の比誘電率よりも小さければよい。

［００９４］

例えば、図５（Ｅ）に示すように、メモリセル２１１Ｅの外側にＬＤＲ２２１を設ける。図６は、マトリクス状に配置されたメモリセル２１１［ｉ，ｊ］乃至メモリセル２１１［ｉ＋１，ｊ＋２］と図５（Ｅ）に示したＬＤＲ２２１の配置例を示している。なお、図６では、メモリセル２１１として図５（Ｄ）に示したメモリセル２１１Ｅを用いている。

［００９５］

また、図７は図６の変形例を示している。図７に示すように、幾つかのＬＤＲ２２１を接続して設けてもよい。図７に示すＬＤＲ２２１は、ワード線に沿って延在する領域と、ビット線に沿って延在する領域を有する。

［００９６］

また、図５（Ｆ）に示すように、１つのメモリセル２１１ＥをＬＤＲ２２１で完全に囲ってもよい。図８は、マトリクス状に配置されたメモリセル２１１［ｉ，ｊ］乃至メモリセル２１１［ｉ

＋１，ｊ＋２］と、図５（Ｆ）に示したＬＤＲ２２１の配置例を示している。なお、図８ではメモリセル２１１としてメモリセル２１１Ｅを用いている。図８に示すＬＤＲ２２１も、ワード線に沿って延在する領域と、ビット線に沿って延在する領域を有する。

［００９７］

ＬＤＲを設けることで、ノイズの影響を低減し、記憶装置の信頼性を高めることができる。

［００９８］

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

［００９９］

（実施の形態２）

本実施の形態では、メモリセル２１１およびＬＤＲ２２１の、平面構成例および断面構成例について図面を用いて説明する。

［０１００］

図９に、マトリクス状に配置されたメモリセル２１１［ｉ，ｊ］乃至メモリセル２１１［ｉ＋１，ｊ＋２］の平面構成例を示す。なお、図９は、図７に示した回路図に相当する平面構成例である。

［０１０１］

図９では、隣接する２つのメモリセル２１１が鏡面対称になるように配置されている。例えば、メモリセル２１１［ｉ，ｊ］とメモリセル２１１［ｉ，ｊ＋１］は鏡面対称である。また、メモリセル２１１［ｉ，ｊ］とメモリセル２１１［ｉ＋１，ｊ］も鏡面対称である。メモリセル２１１をこのように配置することで、隣接メモリセル間でコンタクトプラグなどを共有化することができ、メモリセル２１１を効率よく配置することができる。よって、メモリセル２１１の集積度を高めることができる。

［０１０２］

＜平面構成例＞

図１０（Ａ）に、図７中のメモリセル２１１［ｉ＋１，ｊ］の平面構成例を示す。

［０１０３］

トランジスタＭ１１のソースまたはドレインの一方は、電極３４１を介して導電層３６０と電気的に接続される。導電層３６０はトランジスタＭ１２のゲート電極として機能する。電極３４１および導電層３６０を含む領域が、ノードＳＮとして機能する。トランジスタＭ１１のソースまたはドレインの他方は、導電層３３９と電気的に接続される。導電層３３９はビット線ＷＢＬとして機能する。

［０１０４］

トランジスタＭ１２のソースまたはドレインの一方は、導電層３１２を介して導電層３３３と電気的に接続され、トランジスタＭ１２のソースまたはドレインの他方は、導電層３３８と電気的に接続される。導電層３３３はワード線ＲＷＬとして機能し、導電層３３８はビット線ＲＢＬとして機能する。

［０１０５］

また、図１０（Ａ）に示す導電層３０５は配線ＲＢＧＬとして機能し、導電層３０６は配線ＷＢＧＬとして機能する。また、導電層２６１はワード線ＷＷＬとして機能し、導電層３３３はワード線ＲＷＬとして機能する。導電層３０５の一部は、トランジスタＭ１２のバックゲート電極と

して機能する。導電層３０６の一部は、トランジスタＭ１１のバックゲート電極として機能する。

［０１０６］

図９および図１０において、ＬＤＲ２２１は、ビット線ＲＢＬ（導電層３３８）に沿って延在する領域と、ワード線ＲＷＬに沿って延在する領域と、を有する。

［０１０７］

本発明の一態様のメモリセル２１１では、容量素子Ｃｓを設けていないため、メモリセル２１１の占有面積を小さくすることができる。しかしながら、占有面積が小さくなると、隣接メモリセルなどから生じるノイズの影響を強く受けやすい。ＬＤＲ２２１を設けることにより、ノードＳＮに伝わるノイズを低減することができる。

［０１０８］

しかしながら、ノードＳＮに伝わるノイズが低減されるということは、ノードＳＮに生じる寄生容量が低減されるということも意味する。このため、ノードＳＮの保持容量は、トランジスタＭ１２のゲート容量が支配的になる。そこで、図１０（Ｂ）に示すように、トランジスタＭ１２の半導体層２６０と導電層３６０の重畳面積を増やして、トランジスタＭ１２のゲート容量を増加させてもよい。また、トランジスタＭ１２のゲート容量の増加は、書き込み動作終了時に生じるノードＳＮの電位低下の改善に有効である。

［０１０９］

具体的には、トランジスタＭ１２の半導体層とゲート電極が重なる面積は、トランジスタＭ１１の半導体層とゲート電極が重なる面積の１倍以上５倍以下が好ましく、１倍以上１０倍以下がより好ましく、１倍以上５０倍以下がさらに好ましい。

［０１１０］

＜断面構成例＞

図１１は、図１０（Ａ）に一点鎖線で示すＡ１－Ａ２部位、Ｂ１－Ｂ２部位、およびＣ１－Ｃ２部位の断面構成例を示す図である。

［０１１１］

図１１において、基板３０１上にトランジスタＭ１２が設けられている。なお、トランジスタＭ１１も、トランジスタＭ１２と同様の積層構成にすることができる。基板３０１上に絶縁層３０９および絶縁層３２６が設けられ、導電層３０５および導電層３０６が絶縁層３２６に埋め込まれている。また、絶縁層３２６上に絶縁層３２２および絶縁層３２４が設けられ、絶縁層３２４上に半導体層２６０が設けられている。

［０１１２］

また、絶縁層３２４および半導体層２６０上に、絶縁層３５４および絶縁層３８０が設けられている。また、導電層３６０および導電層２６１が絶縁層３８０に埋め込まれている。絶縁層３８０、導電層３６０、および導電層２６１上に絶縁層３７４が設けられ、絶縁層３７４上に絶縁層３８１が設けられている。

［０１１３］

また、絶縁層３８１上に導電層３１２、導電層３１３、および導電層３１４が設けられている。導電層３１２は、トランジスタＭ１２のソースまたはドレインの一方と電気的に接続され、導電層３１３は、トランジスタＭ１２のソースまたはドレインの他方と電気的に接続されている。

［０１１４］

また、絶縁層３８１、導電層３１２、導電層３１３、および導電層３１４上に絶縁層３１１および絶縁層３１５が設けられている。絶縁層３１５上に導電層３３２、および導電層３３３が設けられている。導電層３３２は、コンタクトプラグ３１７を介して導電層３１３と電気的に接続され、導電層３３３は、コンタクトプラグ３１８を介して導電層３１４と電気的に接続されている。

［０１１５］

絶縁層３１５、導電層３３２、および導電層３３３上に、絶縁層３３１、絶縁層３１９および絶縁層３３４が設けられている。ＬＤＲ２２１は、絶縁層３１９の一部に設けられている。ＬＤＲ２２１は複数のＬＤＳ２３５（低誘電率空間：Ｌｏｗ　Ｄｉｅｌｅｃｔｒｉｃ　ｃｏｎｓｔａｎｔ　Ｓｐａｃｅ）を含む。ＬＤＲ２２１およびＬＤＳ２３５については、追って説明する。

［０１１６］

絶縁層３１９およびＬＤＳ２３５上に絶縁層３３４が設けられている。絶縁層３３４の上に絶縁層３３５よび絶縁層３３６が設けられている。絶縁層３３６の上に導電層３３８が設けられ、導電層３３８はコンタクトプラグ３３７を介して導電層３３２と電気的に接続される。また、絶縁層３３６および導電層３３８の上に絶縁層３４３が設けられている。

［０１１７］

＜＜変形例１＞＞

また、図１２および図１３に示すように、導電層３０６の一部を変形して、導電層３０６とノードＳＮを重ねることで、ノードＳＮに生じる寄生容量Ｃｘを大きくしてもよい。図１２はメモリセル２１１［ｉ＋１，ｊ］の平面構成例を示す図である。図１３は、図１２中に一点鎖線で示すＧ１－Ｇ２部位の断面構成例を示す図である。

［０１１８］

図１２および図１３では、トランジスタＭ１１のソースまたはドレインの一方、導電層３４１、および導電層３０６が、少しでも多く重なるように設けられている。このように構成することで、容量素子Ｃｓを設けることなく、ノードＳＮに係る寄生容量Ｃｘを大きくすることができる。

［０１１９］

なお、図１２では、導電層３０６を明確に示すため、導電層３０６にハッチングを付している。導電層３０６は、ハッチングを付していない導電層３０５と同じ材料および同じ方法を用いて、同時に形成することができる。

［０１２０］

＜＜変形例２＞＞

また、図１４に示すように、導電層３０６の面積を広げて、導電層３０６とメモリセル２１１［ｉ＋１，ｊ］が重なる面積を大きくしてもよい。

［０１２１］

＜＜変形例３＞＞

また、図１５に示すように、ノードＳＮと重なる導電層３０５の面積を大きくして、ノードＳＮに係る寄生容量Ｃｘを大きくしてもよい。

［０１２２］

図１５では、導電層３０５の一部を変形して、トランジスタＭ１１のソースまたはドレインの一方、導電層３４１、および導電層３０５が少しでも多く重なるように設けられている。このように構成することで、容量素子Ｃｓを設けることなく、ノードＳＮに係る寄生容量Ｃｘを大きくす

ることができる。

［０１２３］

なお、図１５では、導電層３０５を明確に示すため、導電層３０５にハッチングを付している。導電層３０５は、ハッチングを付していない導電層３０６と同じ材料および同じ方法を用いて、同時に形成することができる。

［０１２４］

＜＜変形例４＞＞

また、図１６に示すように、導電層３０５の面積を広げて、導電層３０５とメモリセル２１１［ｉ＋１，ｊ］が重なる面積を大きくしてもよい。

［０１２５］

＜構成材料について＞

〔基板〕

基板として用いる材料に大きな制限はない。例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。

［０１２６］

絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。

［０１２７］

また、半導体基板としては、例えば、シリコン、ゲルマニウムなどを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板などを用いてもよい。

［０１２８］

導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。半導体基板上に歪トランジスタやＦＩＮ型トランジスタなどの半導体素子が設けられたものなどを用いることもできる。すなわち、基板は、単なる支持基板に限らず、他のトランジスタなどのデバイスが形成された基板であってもよい。

［０１２９］

〔絶縁層〕

絶縁層に用いる材料としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

［０１３０］

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁層の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁層として機能する絶縁層に、ｈｉｇｈ－ｋ材料を用いることで、物理膜厚を保ちながらトランジスタ動作時の低電圧化が可能となる。一方、

層間絶縁層として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量を低減することができる。したがって、絶縁層の機能に応じて、材料を選択するとよい。

［０１３１］

また、比誘電率の高い絶縁物としては、酸化ガリウム、酸化ハフニウム、酸化ジルコニウム、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、またはシリコンおよびハフニウムを有する窒化物などがある。

［０１３２］

また、比誘電率が低い絶縁物としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などがある。

［０１３３］

また、トランジスタとしてＯＳトランジスタを用いる場合は、当該トランジスタを水素などの不純物および酸素の透過を抑制する機能を有する絶縁層（絶縁層３０９、絶縁層３２２、絶縁層３５４、および絶縁層３７４など）で囲うことによって、トランジスタの電気特性を安定にすることができる。水素などの不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いればよい。具体的には、水素などの不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

［０１３４］

また、ゲート絶縁層として機能する絶縁層は、加熱により脱離する酸素を含む領域を有する絶縁体であることが好ましい。例えば、加熱により脱離する酸素を含む領域を有する酸化シリコンまたは酸化窒化シリコンを半導体層２６０と接する構造とすることで、半導体層２６０が有する酸素欠損を補償することができる。

［０１３５］

なお、本明細書等において、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。また、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいう。なお、各元素の含有量は、例えば、ラザフォード後方散乱法（ＲＢＳ：Ｒｕｔｈｅｒｆｏｒｄ　Ｂａｃｋｓｃａｔｔｅｒｉｎｇ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）等を用いて測定することができる。

［０１３６］

また、半導体層として金属酸化物の一種である酸化物半導体を用いる場合は、半導体層中の水素濃度の増加を防ぐために、絶縁層中の水素濃度を低減することが好ましい。具体的には、絶縁層中の水素濃度を、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）において2×10^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好まし

くは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下とする。特に、半導体層と接する絶縁層の水素濃度を低減することが好ましい。

［０１３７］

また、半導体層として金属酸化物の一種である酸化物半導体を用いる場合は、半導体層中の窒素濃度の増加を防ぐために、絶縁層中の窒素濃度を低減することが好ましい。具体的には、絶縁層中の窒素濃度を、ＳＩＭＳにおいて５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは５×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０１３８］

また、絶縁層の少なくとも半導体層と接する領域と、絶縁層の少なくとも半導体層と接する領域は、欠陥が少ないことが好ましく、代表的には、電子スピン共鳴法（ＥＳＲ：Ｅｌｅｃｔｒｏｎ Ｓｐｉｎ Ｒｅｓｏｎａｎｃｅ）で観察されるシグナルが少ない方が好ましい。例えば、上述のシグナルとしては、ｇ値が２．００１に観察されるＥ’センターが挙げられる。なお、Ｅ’センターは、シリコンのダングリングボンドに起因する。例えば、絶縁層として、酸化シリコン層または酸化窒化シリコン層を用いる場合、Ｅ’センター起因のスピン密度が、３×１０^{17}ｓｐｉｎｓ／ｃｍ^{3}以下、好ましくは５×１０^{16}ｓｐｉｎｓ／ｃｍ^{3}以下である酸化シリコン層または酸化窒化シリコン層を用いればよい。

［０１３９］

また、上述のシグナル以外に二酸化窒素（NO_2）に起因するシグナルが観察される場合がある。当該シグナルは、Ｎの核スピンにより３つのシグナルに分裂しており、それぞれのｇ値が２．０３７以上２．０３９以下（第１のシグナルとする）、２．００１以上２．００３以下（第２のシグナルとする）、および１．９６４以上１．９６６以下（第３のシグナルとする）に観察される。

［０１４０］

例えば、絶縁層として、二酸化窒素（NO_2）に起因するシグナルのスピン密度が、１×１０^{17}ｓｐｉｎｓ／ｃｍ^{3}以上１×１０^{18}ｓｐｉｎｓ／ｃｍ^{3}未満である絶縁層を用いると好適である。

［０１４１］

なお、二酸化窒素（NO_2）を含む窒素酸化物（NO_x）は、絶縁層中に準位を形成する。当該準位は、酸化物半導体層のエネルギーギャップ内に位置する。そのため、窒素酸化物（NO_x）が、絶縁層と酸化物半導体層の界面に拡散すると、当該準位が絶縁層側において電子をトラップする場合がある。この結果、トラップされた電子が、絶縁層と酸化物半導体層の界面近傍に留まるため、トランジスタのしきい値電圧をプラス方向にシフトさせてしまう。したがって、絶縁層および絶縁層として窒素酸化物の含有量が少ない膜を用いると、トランジスタのしきい値電圧のシフトを低減することができる。

［０１４２］

窒素酸化物（NO_x）の放出量が少ない絶縁層としては、例えば、酸化窒化シリコン層を用いることができる。当該酸化窒化シリコン層は、昇温脱離ガス分析法（ＴＤＳ：Ｔｈｅｒｍａｌ Ｄｅｓｏｒｐｔｉｏｎ Ｓｐｅｃｔｒｏｓｃｏｐｙ）において、窒素酸化物（NO_x）の放出量よりアンモニアの放出量が多い膜であり、代表的にはアンモニアの放出量が１×１０^{18}個／ｃｍ^{3}以上５×１０^{19}個／ｃｍ^{3}以下である。なお、上記のアンモニアの放出量は、ＴＤＳにおける加熱処理の温度が５０℃以上６５０℃以下、または５０℃以上５５０℃以下の範囲での総量であ

る。

［０１４３］

窒素酸化物（NO_x）は、加熱処理においてアンモニアおよび酸素と反応するため、アンモニアの放出量が多い絶縁層を用いることで窒素酸化物（NO_x）が低減される。

［０１４４］

また、酸化物半導体層に接する絶縁層のうち少なくとも１つは、加熱により酸素が放出される絶縁層を用いて形成することが好ましい。具体的には、絶縁層の表面温度が１００℃以上７００℃以下、好ましくは１００℃以上５００℃以下の加熱処理で行われるＴＤＳにて、酸素原子に換算した酸素の脱離量が１．０×10^{18}ａｔｏｍｓ／ｃｍ^{3}以上、１．０×10^{19}ａｔｏｍｓ／ｃｍ^{3}以上、または１．０×10^{20}ａｔｏｍｓ／ｃｍ^{3}以上である絶縁層を用いることが好ましい。なお、本明細書などにおいて、加熱により放出される酸素を「過剰酸素」ともいう。

［０１４５］

また、過剰酸素を含む絶縁層は、絶縁層に酸素を添加する処理を行って形成することもできる。酸素を添加する処理は、酸化性雰囲気下における熱処理やプラズマ処理などで行うことができる。または、イオン注入法、イオンドーピング法、プラズマイマージョンイオン注入法などを用いて酸素を添加してもよい。酸素を添加する処理に用いるガスとしては、$^{16}O_2$もしくは$^{18}O_2$などの酸素ガス、亜酸化窒素ガス、またはオゾンガスなどの、酸素を含むガスが挙げられる。なお、本明細書では酸素を添加する処理を「酸素ドープ処理」ともいう。酸素ドープ処理は、基板を加熱して行ってもよい。

［０１４６］

また、絶縁層として、ポリイミド、アクリル系樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ系樹脂等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（ｌｏｗ－ｋ材料）、シロキサン系樹脂、ＰＳＧ（リンガラス）、ＢＰＳＧ（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁層を複数積層させることで、絶縁層を形成してもよい。

［０１４７］

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたＳｉ－Ｏ－Ｓｉ結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いてもよい。また、有機基はフルオロ基を有していてもよい。

［０１４８］

絶縁層の形成方法は、特に限定されない。なお、絶縁層に用いる材料によっては焼成工程が必要な場合がある。この場合、絶縁層の焼成工程と他の熱処理工程を兼ねることで、効率よくトランジスタを作製することが可能となる。

［０１４９］

絶縁層の形成方法は、特に限定されない。なお、絶縁層に用いる材料によっては焼成工程が必要な場合がある。この場合、絶縁層の焼成工程と他の熱処理工程を兼ねることで、効率よくトランジスタを作製することが可能となる。

［０１５０］

〔導電層〕

導電層としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モ

リブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

［０１５１］

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

［０１５２］

なお、半導体層として金属酸化物の一種である酸化物半導体を用いる場合は、ゲート電極として機能する導電層には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

［０１５３］

特に、ゲート電極として機能する導電層として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物（ＩＴＯ：Ｉｎｄｉｕｍ　Ｔｉｎ　Ｏｘｉｄｅ）、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、シリコンを添加したインジウム錫酸化物を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

［０１５４］

なお、コンタクトプラグなどに用いる導電性材料としては、例えば、タングステン、ポリシリコン等の埋め込み性の高い導電性材料を用いればよい。また、埋め込み性の高い導電性材料と、チタン層、窒化チタン層、窒化タンタル層などのバリア層（拡散防止層）を組み合わせて用いてもよい。

［０１５５］
〔半導体層〕
半導体層として、単結晶半導体、多結晶半導体、微結晶半導体、または非晶質半導体などを、単体でまたは組み合わせて用いることができる。半導体材料としては、例えば、シリコンや、ゲルマニウムなどを用いることができる。また、シリコンゲルマニウム、炭化シリコン、ガリウムヒ素、酸化物半導体、窒化物半導体などの化合物半導体や、有機半導体などを用いることができる。
［０１５６］
また、半導体層として有機物半導体を用いる場合は、芳香環をもつ低分子有機材料やπ電子共役系導電性高分子などを用いることができる。例えば、ルブレン、テトラセン、ペンタセン、ペリレンジイミド、テトラシアノキノジメタン、ポリチオフェン、ポリアセチレン、ポリパラフェニレンビニレンなどを用いることができる。
［０１５７］
なお、半導体層を積層してもよい。半導体層を積層する場合は、それぞれ異なる結晶状態を有する半導体を用いてもよいし、それぞれ異なる半導体材料を用いてもよい。
［０１５８］
また、金属酸化物の一種である酸化物半導体のバンドギャップは２ｅＶ以上あるため、半導体層に酸化物半導体を用いると、オフ電流が極めて少ないトランジスタを実現することができる。具体的には、ソースとドレイン間の電圧が３．５Ｖ、室温（代表的には２５℃）下において、チャネル幅１μｍ当たりのオフ電流を1×10^{-20}Ａ未満、1×10^{-22}Ａ未満、あるいは1×10^{-24}Ａ未満とすることができる。すなわち、オンオフ比を２０桁以上とすることもできる。また、半導体層に酸化物半導体を用いたトランジスタ（ＯＳトランジスタ）は、ソースとドレイン間の絶縁耐圧が高い。よって、信頼性の良好なトランジスタを提供できる。また、出力電圧が大きく高耐圧なトランジスタを提供できる。また、信頼性の良好な記憶装置などを提供できる。また、出力電圧が大きく高耐圧な記憶装置を提供することができる。
［０１５９］
結晶性Ｓｉトランジスタは、ＯＳトランジスタよりも比較的高い移動度を得やすい。一方で、結晶性Ｓｉトランジスタは、ＯＳトランジスタのように極めて少ないオフ電流の実現が困難である。よって、半導体層に用いる半導体材料は、目的や用途に応じて適宜使い分けることが肝要である。例えば、目的や用途に応じて、ＯＳトランジスタと結晶性Ｓｉトランジスタなどを組み合わせて用いてもよい。
［０１６０］
半導体層として酸化物半導体層を用いる場合は、酸化物半導体層をスパッタリング法で形成することが好ましい。酸化物半導体層は、スパッタリング法で形成すると酸化物半導体層の密度を高められるため、好適である。スパッタリング法で酸化物半導体層を形成する場合、スパッタリングガスには、希ガス（代表的にはアルゴン）、酸素、または、希ガスおよび酸素の混合ガスを用いればよい。また、スパッタリングガスの高純度化も必要である。例えば、スパッタリングガスとして用いる酸素ガスや希ガスは、露点が－６０℃以下、好ましくは－１００℃以下にまで高純度化したガスを用いる。高純度化されたスパッタリングガスを用いて成膜することで、酸化物半導体層に水分等が取り込まれることを可能な限り防ぐことができる。
［０１６１］

また、スパッタリング法で酸化物半導体層を形成する場合、スパッタリング装置が有する成膜室内の水分を可能な限り除去することが好ましい。例えば、クライオポンプのような吸着式の真空排気ポンプを用いて、成膜室内を高真空（５×１０$^{-7}$Ｐａから１×１０$^{-4}$Ｐａ程度まで）に排気することが好ましい。特に、スパッタリング装置の待機時における、成膜室内のH_2Oに相当するガス分子（ｍ／ｚ＝１８に相当するガス分子）の分圧を１×１０$^{-4}$Ｐａ以下とすることが好ましく、５×１０$^{-5}$Ｐａ以下とすることがより好ましい。

［０１６２］

〔金属酸化物〕

金属酸化物に含まれる元素の組成を変化させることにより、導電体、半導体、絶縁体を作り分けることができる。導電体物性を有する金属酸化物を「導電性酸化物」という場合がある。半導体物性を有する金属酸化物を「酸化物半導体」という場合がある。絶縁体物性を有する金属酸化物を「絶縁性酸化物」という場合がある。

［０１６３］

金属酸化物の一種である酸化物半導体は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウムまたはスズなどが含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

［０１６４］

ここで、酸化物半導体が、インジウム、元素Mおよび亜鉛を有する場合を考える。なお、元素Mは、アルミニウム、ガリウム、イットリウムまたはスズなどとする。そのほかの元素Mに適用可能な元素として、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどがある。ただし、元素Mとして、前述の元素を複数組み合わせても構わない場合がある。

［０１６５］

なお、本明細書等において、窒素を有する金属酸化物も金属酸化物（ｍｅｔａｌ　ｏｘｉｄｅ）と総称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（ｍｅｔａｌ　ｏｘｙｎｉｔｒｉｄｅ）と呼称してもよい。

［０１６６］

［金属酸化物の構造］

酸化物半導体（金属酸化物）は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、ＣＡＡＣ－ＯＳ、多結晶酸化物半導体、ｎｃ－ＯＳ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、擬似非晶質酸化物半導体（ａ－ｌｉｋｅ　ＯＳ：ａｍｏｒｐｈｏｕｓ－ｌｉｋｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、および非晶質酸化物半導体などがある。

［０１６７］

ＣＡＡＣ－ＯＳは、ｃ軸配向性を有し、かつａ－ｂ面方向において複数のナノ結晶が連結し、歪みを有した結晶構造となっている。なお、歪みとは、複数のナノ結晶が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している

箇所を指す。

［０１６８］

ナノ結晶は、六角形を基本とするが、正六角形状とは限らず、非正六角形状である場合がある。また、歪みにおいて、五角形、および七角形などの格子配列を有する場合がある。なお、ＣＡＡＣ－ＯＳにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリーともいう。）を確認することは難しい。すなわち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、ＣＡＡＣ－ＯＳが、ａ－ｂ面方向において酸素原子の配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためである。

［０１６９］

また、ＣＡＡＣ－ＯＳは、インジウム、および酸素を有する層（以下、Ｉｎ層）と、元素M、亜鉛、および酸素を有する層（以下、（M，Ｚｎ）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能であり、（M，Ｚｎ）層の元素Mがインジウムと置換した場合、（Ｉｎ，M，Ｚｎ）層と表すこともできる。また、Ｉｎ層のインジウムが元素Mと置換した場合、（Ｉｎ，M）層と表すこともできる。

［０１７０］

ＣＡＡＣ－ＯＳは結晶性の高い金属酸化物である。一方、ＣＡＡＣ－ＯＳは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、金属酸化物の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、ＣＡＡＣ－ＯＳは不純物や欠陥（酸素欠損など）の少ない金属酸化物ともいえる。したがって、ＣＡＡＣ－ＯＳを有する金属酸化物は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する金属酸化物は熱に強く、信頼性が高い。

［０１７１］

ｎｃ－ＯＳは、微小な領域（例えば、１ｎｍ以上１０ｎｍ以下の領域、特に１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有する。また、ｎｃ－ＯＳは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、ｎｃ－ＯＳは、分析方法によっては、ａ－ｌｉｋｅ　ＯＳや非晶質酸化物半導体と区別が付かない場合がある。

［０１７２］

なお、インジウムと、ガリウムと、亜鉛と、を有する金属酸化物の一種である、Ｉｎ－Ｇａ－Ｚｎ酸化物（以下、ＩＧＺＯ）は、上述のナノ結晶とすることで安定な構造をとる場合がある。特に、ＩＧＺＯは、大気中では結晶成長がし難い傾向があるため、大きな結晶（ここでは、数ｍｍの結晶、または数ｃｍの結晶）よりも小さな結晶（例えば、上述のナノ結晶）とする方が、構造的に安定となる場合がある。

［０１７３］

ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳと非晶質酸化物半導体との間の構造を有する金属酸化物である。ａ－ｌｉｋｅ　ＯＳは、鬆または低密度領域を有する。すなわち、ａ－ｌｉｋｅ　ＯＳは、ｎｃ－ＯＳおよびＣＡＡＣ－ＯＳと比べて、結晶性が低い。

［０１７４］

酸化物半導体（金属酸化物）は、多様な構造をとり、それぞれが異なる特性を有する。本発明の

一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、ａ－ｌｉｋｅ　ＯＳ、ｎｃ－ＯＳ、ＣＡＡＣ－ＯＳのうち、二種以上を有していてもよい。

［０１７５］

［金属酸化物を有するトランジスタ］

続いて、上記金属酸化物をトランジスタのチャネル形成領域に用いる場合について説明する。

［０１７６］

なお、上記金属酸化物をトランジスタのチャネル形成領域に用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

［０１７７］

また、トランジスタには、キャリア密度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア密度を低くする場合においては、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。例えば、金属酸化物は、キャリア密度が$8\times10^{11}cm^{-3}$未満、好ましくは$1\times10^{11}cm^{-3}$未満、さらに好ましくは$1\times10^{10}cm^{-3}$未満であり、$1\times10^{-9}cm^{-3}$以上とすればよい。

［０１７８］

また、高純度真性または実質的に高純度真性である金属酸化物は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

［０１７９］

また、金属酸化物のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い金属酸化物をチャネル形成領域に有するトランジスタは、電気特性が不安定となる場合がある。

［０１８０］

したがって、トランジスタの電気特性を安定にするためには、金属酸化物中の不純物濃度を低減することが有効である。また、金属酸化物中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

［０１８１］

［不純物］

ここで、金属酸化物中における各不純物の影響について説明する。

［０１８２］

また、金属酸化物にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている金属酸化物をチャネル形成領域に用いたトランジスタはノーマリーオン特性となりやすい。このため、金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。具体的には、ＳＩＭＳにより得られる金属酸化物中のアルカリ金属またはアルカリ土類金属の濃度を、$1\times10^{18}atoms/cm^{3}$以下、好ましくは$2\times10^{16}atoms/cm^{3}$以下にする。

［０１８３］

また、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。さらに、当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

［０１８４］

このため、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、ＳＩＭＳにより得られる水素濃度を、１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満とする。不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０１８５］

トランジスタの半導体に用いる金属酸化物として、結晶性の高い薄膜を用いることが好ましい。該薄膜を用いることで、トランジスタの安定性または信頼性を向上させることができる。該薄膜として、例えば、単結晶金属酸化物の薄膜または多結晶金属酸化物の薄膜が挙げられる。しかしながら、単結晶金属酸化物の薄膜または多結晶金属酸化物の薄膜を基板上に形成するには、高温またはレーザー加熱の工程が必要とされる。よって、製造工程のコストが増加し、さらに、スループットも低下してしまう。

［０１８６］

２００９年に、ＣＡＡＣ構造を有するＩｎ－Ｇａ－Ｚｎ酸化物（ＣＡＡＣ－ＩＧＺＯと呼ぶ。）が発見されたことが、非特許文献１および非特許文献２で報告されている。ここでは、ＣＡＡＣ－ＩＧＺＯは、ｃ軸配向性を有する、結晶粒界が明確に確認されない、低温で基板上に形成可能である、ことが報告されている。さらに、ＣＡＡＣ－ＩＧＺＯを用いたトランジスタは、優れた電気特性および信頼性を有することが報告されている。

［０１８７］

また、２０１３年には、ｎｃ構造を有するＩｎ－Ｇａ－Ｚｎ酸化物（ｎｃ－ＩＧＺＯと呼ぶ。）が発見された（非特許文献３参照。）。ここでは、ｎｃ－ＩＧＺＯは、微小な領域（例えば、１ｎｍ以上３ｎｍ以下の領域）において原子配列に周期性を有し、異なる該領域間で結晶方位に規則性が見られないことが報告されている。

［０１８８］

非特許文献４および非特許文献５では、上記のＣＡＡＣ－ＩＧＺＯ、ｎｃ－ＩＧＺＯ、および結晶性の低いＩＧＺＯのそれぞれの薄膜に対する電子線の照射による平均結晶サイズの推移が示されている。結晶性の低いＩＧＺＯの薄膜において、電子線が照射される前でさえ、１ｎｍ程度の結晶性ＩＧＺＯが観察されている。よって、ここでは、ＩＧＺＯにおいて、完全な非晶質構造（ｃｏｍｐｌｅｔｅｌｙ　ａｍｏｒｐｈｏｕｓ　ｓｔｒｕｃｔｕｒｅ）の存在を確認できなかった、と報告されている。さらに、結晶性の低いＩＧＺＯの薄膜と比べて、ＣＡＡＣ－ＩＧＺＯの薄膜およびｎｃ－ＩＧＺＯの薄膜は電子線照射に対する安定性が高いことが示されている。よって、トランジスタの半導体として、ＣＡＡＣ－ＩＧＺＯの薄膜またはｎｃ－ＩＧＺＯの薄膜

を用いることが好ましい。

［０１８９］

金属酸化物を用いたトランジスタは、非導通状態において極めてリーク電流が小さい、具体的には、トランジスタのチャネル幅１μｍあたりのオフ電流がｙＡ／μｍ（１０$^{-24}$Ａ／μｍ）オーダである、ことが非特許文献６に示されている。例えば、金属酸化物を用いたトランジスタのリーク電流が低いという特性を応用した低消費電力のＣＰＵなどが開示されている（非特許文献７参照。）。

［０１９０］

また、金属酸化物を用いたトランジスタのリーク電流が低いという特性を利用した、該トランジスタの表示装置への応用が報告されている（非特許文献８参照。）。表示装置では、表示される画像が１秒間に数十回切り換っている。１秒間あたりの画像の切り換え回数はリフレッシュレートと呼ばれている。また、リフレッシュレートを駆動周波数と呼ぶこともある。このような人の目で知覚が困難である高速の画面の切り換えが、目の疲労の原因として考えられている。そこで、表示装置のリフレッシュレートを低下させて、画像の書き換え回数を減らすことが提案されている。また、リフレッシュレートを低下させた駆動により、表示装置の消費電力を低減することが可能である。このような駆動方法を、アイドリング・ストップ（ＩＤＳ）駆動と呼ぶ。

［０１９１］

ＣＡＡＣ構造およびｎｃ構造の発見は、ＣＡＡＣ構造またはｎｃ構造を有する金属酸化物を用いたトランジスタの電気特性および信頼性の向上、ならびに、製造工程のコスト低下およびスループットの向上に貢献している。また、該トランジスタのリーク電流が低いという特性を利用した、該トランジスタの表示装置およびＬＳＩへの応用研究が進められている。

［０１９２］

〔成膜方法について〕

絶縁層を形成するための絶縁性材料、導電層を形成するための導電性材料、または半導体層を形成するための半導体材料は、スパッタリング法、スピンコート法、ＣＶＤ（Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法（熱ＣＶＤ法、ＭＯＣＶＤ（Ｍｅｔａｌ Ｏｒｇａｎｉｃ Ｃｈｅｍｉｃａｌ Ｖａｐｏｒ Ｄｅｐｏｓｉｔｉｏｎ）法、ＰＥＣＶＤ（Ｐｌａｓｍａ Ｅｎｈａｎｃｅｄ ＣＶＤ）法、高密度プラズマＣＶＤ（Ｈｉｇｈ ｄｅｎｓｉｔｙ ｐｌａｓｍａ ＣＶＤ）法、ＬＰＣＶＤ（ｌｏｗ ｐｒｅｓｓｕｒｅ ＣＶＤ）法、ＡＰＣＶＤ（ａｔｍｏｓｐｈｅｒｉｃ ｐｒｅｓｓｕｒｅ ＣＶＤ）法等を含む）、ＡＬＤ（Ａｔｏｍｉｃ Ｌａｙｅｒ Ｄｅｐｏｓｉｔｉｏｎ）法、または、ＭＢＥ（Ｍｏｌｅｃｕｌａｒ Ｂｅａｍ Ｅｐｉｔａｘｙ）法、または、ＰＬＤ（Ｐｕｌｓｅｄ Ｌａｓｅｒ Ｄｅｐｏｓｉｔｉｏｎ）法、ディップ法、スプレー塗布法、液滴吐出法（インクジェット法など）、印刷法（スクリーン印刷、オフセット印刷など）を用いて形成することができる。

［０１９３］

プラズマＣＶＤ法は、比較的低温で高品質の膜が得られる。ＭＯＣＶＤ法、ＡＬＤ法、または熱ＣＶＤ法などの、成膜時にプラズマを用いない成膜方法を用いると、被形成面にダメージが生じにくい。例えば、記憶装置に含まれる配線、電極、素子（トランジスタ、容量素子など）などは、プラズマから電荷を受け取ることでチャージアップする場合がある。このとき、蓄積した電荷によって、記憶装置に含まれる配線、電極、素子などが破壊される場合がある。一方、プラズマを

用いない成膜方法の場合、こういったプラズマダメージが生じないため、記憶装置の歩留まりを高くすることができる。また、成膜中のプラズマダメージが生じないため、欠陥の少ない膜が得られる。

［０１９４］

また、ＡＬＤ法は、原子の性質である自己制御性を利用し、一層ずつ原子を堆積することができるので、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、低温での成膜が可能、などの効果がある。また、ＡＬＤ法には、プラズマを利用するＰＥＡＬＤ（Ｐｌａｓｍａ　Ｅｎｈａｎｃｅｄ　ＡＬＤ）法も含まれる。プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ＡＬＤ法で用いるプリカーサには炭素などの不純物を含むものがある。このため、ＡＬＤ法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素などの不純物を多く含む場合がある。なお、不純物の定量は、Ｘ線光電子分光法（ＸＰＳ：Ｘ－ｒａｙ　Ｐｈｏｔｏｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて行うことができる。

［０１９５］

ＣＶＤ法およびＡＬＤ法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ＡＬＤ法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ＡＬＤ法は、比較的成膜速度が遅いため、成膜速度の速いＣＶＤ法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。

［０１９６］

ＣＶＤ法およびＡＬＤ法は、原料ガスの流量比によって、得られる膜の組成を制御することができる。例えば、ＣＶＤ法およびＡＬＤ法では、原料ガスの流量比によって、任意の組成の膜を成膜することができる。また、例えば、ＣＶＤ法およびＡＬＤ法では、成膜しながら原料ガスの流量比を変化させることによって、組成が連続的に変化した膜を成膜することができる。原料ガスの流量比を変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送や圧力調整に掛かる時間の分、成膜に掛かる時間を短くすることができる。したがって、記憶装置の生産性を高めることができる場合がある。

［０１９７］

＜低誘電率領域（ＬＤＲ）＞

〔構成例〕

続いて、ＬＤＲ２２１の構成例について図１７乃至図１９を用いて説明する。なお、図中に、Ｘ方向、Ｙ方向、およびＺ方向を示す矢印を併記している。Ｘ方向、Ｙ方向、およびＺ方向は、それぞれが互いに直交する方向である。

［０１９８］

図１７（Ａ）は、図１０（Ａ）と同じメモリセル２１１［ｉ＋１，ｊ］の平面図である。図１７（Ｂ）は、図１７（Ａ）に示す部位３５０の斜視概略図である。図１７（Ｂ）では、絶縁層３１５、絶縁層３３１、絶縁層３１９、およびＬＤＲ２２１のみを示している。

［０１９９］

前述した通り、ＬＤＲ２２１は、複数のＬＤＳ２３５を含む。ＬＤＳ２３５は、絶縁層３１９の

一部を選択的に除去して設けることができる。本明細書などでは、ＬＤＳ２３５の開口部の長さを「長さＧＬ」、ＬＤＳ２３５の開口部の幅を「幅ＧＷ」、ＬＤＳ２３５の高さ（深さ）を「高さＧＨ」とする。

［０２００］

ＬＤＲ２２１は、Ｙ方向に延在する領域と、Ｘ方向に延在する領域と、を有する。図１７（Ｂ）では、ＬＤＲ２２１のＹ方向に延在する領域において、ＬＤＳ２３５は、長さＧＬの方向がＸ方向と一致するように配置されている。ただし、長さＧＬの方向をＸ方向と完全に一致させる必要はない。ＬＤＲ２２１のＹ方向に延在する領域において、ＬＤＳ２３５を、長さＧＬの方向がＹ方向と交差するように配置すればよい。

［０２０１］

また、図１７（Ｂ）では、ＬＤＲ２２１のＸ方向に延在する領域において、ＬＤＳ２３５は、長さＧＬの方向がＹ方向と一致するように配置されている。ただし、長さＧＬの方向をＹ方向と完全に一致させる必要はない。ＬＤＲ２２１のＸ方向に延在する領域において、ＬＤＳ２３５を、長さＧＬの方向がＸ方向と交差するように配置すればよい。

［０２０２］

図１８（Ａ）および図１８（Ｂ）に示すように、ＬＤＲ２２１のＹ方向に延在する領域において、ＬＤＳ２３５を、長さＧＬの方向がＹ方向と一致または略一致するように配置してもよい。ＬＤＲ２２１のＸ方向に延在する領域において、ＬＤＳ２３５を、長さＧＬの方向がＸ方向と一致または略一致するように配置してもよい。図１８（Ａ）は部位３５０の斜視図である。図１８（Ｂ）は図１８（Ａ）に示す部位３５１の上面図である。

［０２０３］

ＬＤＳ２３５の高さＧＨおよび幅ＧＷに対して、長さＧＬが長すぎると、ＬＤＲ２２１の機械的強度が低下し、メモリセル２１１の信頼性が低下する恐れがある。すなわち、記憶装置１００の信頼性が低下する恐れがある。具体的には、隣接するＬＤＳ２３５の間にある絶縁層３１９が破損しやすくなる。絶縁層のうち、隣接するＬＤＳ２３５に挟まれた部位を「リブ」ともいう。

［０２０４］

よって、図１９（Ａ）および図１９（Ｂ）に示すように、ＬＤＳ２３５を、一定の長さＧＬ毎に区切って配置することが好ましい。具体的には、長さＧＬは、幅ＧＷの５０倍以下が好ましく、３０倍以下がより好ましい。また、長さＧＬは、高さＧＨの２０倍以下が好ましく、１０倍以下がより好ましい。なお、図１９（Ａ）は部位３５０の斜視図である。また、図１９（Ｂ）は図１９（Ａ）に示す部位３５２の上面図である。

［０２０５］

絶縁層のうち、隣接するＬＤＳ２３５に挟まれた部位を「リブ」ともいう。高さＧＨは、リブの幅ＲＷ（図２２（Ｂ）参照）の２０倍以下が好ましく、１０倍以下がより好ましい。

［０２０６］

図２０（Ａ）および図２０（Ｂ）に示すように、一定区間毎に長さＧＬの方向を変えてもよい。図２０（Ａ）は部位３５０の斜視図である。また、図２０（Ｂ）は図２０（Ａ）に示す部位３５３の上面図である。図２０（Ａ）および図２０（Ｂ）では一定区間毎に長さＧＬの方向を９０度回転させているが、一定区間毎に回転させる角度は９０度に限らない。

［０２０７］

また、ＬＤＳ２３５をＺ方向から見た場合に、ＬＤＳ２３５の形状は直線のみで構成されている必要はない。例えば、図２１（Ａ）に示すように、ＬＤＳ２３５は屈折部分を有してもよいし、図２１（Ｂ）に示すように、ＬＤＳ２３５は曲線部分を有してもよい。ＬＤＲ２２１のＹ方向に延在する領域において、ＬＤＳ２３５は、Ｙ方向と交差する方向に延在する領域を有する。

［０２０８］

〔作製工程例〕

続いて、ＬＤＲ２２１の作製工程例について図２２乃至図２４を用いて説明する。本実施の形態では、絶縁層３３１形成後から絶縁層３４３形成までの作製工程について説明する。図２２乃至図２４は、図１０（Ａ）に一点鎖線で示すＡ１－Ａ２部位およびＢ１－Ｂ２部位の断面図に相当する。ただし、図２２乃至図２４に示すＡ１－Ａ２断面は、導電層３３８を横切る部位のみを示している。

［０２０９］

導電層３３２を覆って絶縁層３３１を形成した後、絶縁層３１９を形成する（図２２（Ａ）参照。）。本実施の形態では、絶縁層３３１としてＡＬＤ法で酸化アルミニウム層を形成する。絶縁層３３１は、多層構造としてもよい。例えば、ＡＬＤ法によって酸化アルミニウム層を成膜し、当該酸化アルミニウム層上に、スパッタリング法によって酸化アルミニウム層を成膜する構造としてもよい。または、スパッタリング法によって酸化アルミニウム層を成膜し、当該酸化アルミニウム層上に、ＡＬＤ法によって酸化アルミニウム層を成膜する構造としてもよい。

［０２１０］

次に、絶縁層３３１上に、絶縁層３１９となる絶縁層を形成する。本実施の形態では、絶縁層３１９となる絶縁層として、ＣＶＤ法によって酸化窒化シリコン層を形成する。なお、絶縁層３１９となる絶縁層の形成前に、加熱処理を行ってもよい。加熱処理は、減圧下で行い、大気に暴露することなく、連続して絶縁層３１９を形成してもよい。このような処理を行うことによって、絶縁層３３１の表面などに吸着している水分および水素を除去し、絶縁層３３１および絶縁層３１９中の水分濃度および水素濃度を低減させることができる。

［０２１１］

加熱処理は、２５０℃以上６５０℃以下、好ましくは３００℃以上５００℃以下、さらに好ましくは３２０℃以上４５０℃以下で行えばよい。なお、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気、または酸化性ガスを１０ｐｐｍ以上、１％以上、もしくは１０％以上含む雰囲気で行う。また、加熱処理は減圧状態で行ってもよい。または、加熱処理は、窒素ガスもしくは不活性ガスの雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを１０ｐｐｍ以上、１％以上、または１０％以上含む雰囲気で行ってもよい。

［０２１２］

次に、絶縁層３１９にＣＭＰ（Ｃｈｅｍｉｃａｌ　Ｍｅｃｈａｎｉｃａｌ　Ｐｏｌｉｓｈｉｎｇ）処理を行う。これにより、上面が平坦な、絶縁層３１９を形成することができる。

［０２１３］

次に、リソグラフィー法を用いて、絶縁層３１９の一部を選択的に除去し、ＬＤＳ２３５を形成する（図２２（Ｂ）参照。）。

［０２１４］

なお、リソグラフィー法では、まず、マスクを介してレジストを露光する。次に、露光された領

域を、現像液を用いて除去または残存させてレジストマスクを形成する。次に、当該レジストマスクを介してエッチング処理することで導電体、半導体、絶縁体などを所望の形状に加工することができる。例えば、ＫｒＦエキシマレーザ光、ＡｒＦエキシマレーザ光、ＥＵＶ（Ｅｘｔｒｅｍｅ　Ｕｌｔｒａｖｉｏｌｅｔ）光などを用いて、レジストを露光することでレジストマスクを形成すればよい。また、基板と投影レンズとの間に液体（例えば水）を満たして露光する、液浸技術を用いてもよい。また、前述した光に代えて、電子ビームやイオンビームを用いてもよい。なお、電子ビームやイオンビームを用いる場合には、マスクは不要となる。なお、レジストマスクの除去は、アッシングなどのドライエッチング処理、ウェットエッチング処理、ドライエッチング処理後にウェットエッチング処理を行う、またはウェットエッチング処理後にドライエッチング処理を行うことで行うことができる。

［０２１５］

また、レジストマスクの代わりに絶縁体や導電体からなるハードマスクを用いてもよい。ハードマスクを用いる場合、絶縁層３１９上にハードマスク材料となる絶縁膜や導電膜を形成し、その上にレジストマスクを形成し、ハードマスク材料をエッチングすることで所望の形状のハードマスクを形成することができる。絶縁層３１９のエッチングは、レジストマスクを除去してから行ってもよいし、レジストマスクを残したまま行ってもよい。後者の場合、エッチング中にレジストマスクが消失することがある。絶縁層３１９のエッチング後に、ハードマスクをエッチングにより除去してもよい。一方、ハードマスクの材料が後工程に影響が無い、あるいは後工程で利用できる場合、必ずしもハードマスクを除去する必要はない。

［０２１６］

レジストマスクおよび／またはハードマスクの形成後、ドライエッチング法により絶縁層３１９に絶縁層３３１に達する開口を形成する。当該開口がＬＤＳ２３５として機能する。開口の形成はウェットエッチングを用いてもよいが、ドライエッチングを用いるほうが微細加工には好ましい。また、絶縁層３３１は、絶縁層３１９をエッチングしてＬＤＳ２３５を形成する際のエッチングストッパとして機能する材料を用いることが好ましい。例えば、ＬＤＳ２３５を形成する絶縁層３１９に酸化窒化シリコンを用いた場合は、絶縁層３３１は窒化シリコン、酸化アルミニウム、酸化ハフニウムなどを用いるとよい。

［０２１７］

エッチングを行うためのドライエッチング装置としては、平行平板型電極を有する容量結合型プラズマ（ＣＣＰ：Ｃａｐａｃｉｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ）エッチング装置を用いることができる。平行平板型電極を有する容量結合型プラズマエッチング装置は、平行平板型電極の一方の電極に高周波電圧を印加する構成でもよい。または平行平板型電極の一方の電極に複数の異なった高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに同じ周波数の高周波電圧を印加する構成でもよい。または平行平板型電極それぞれに周波数の異なる高周波電圧を印加する構成でもよい。または高密度プラズマ源を有するドライエッチング装置を用いることができる。高密度プラズマ源を有するドライエッチング装置は、例えば、誘導結合型プラズマ（ＩＣＰ：Ｉｎｄｕｃｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ）エッチング装置などを用いることができる。

［０２１８］

ＬＤＳ２３５の幅ＧＷは、３ｎｍ以上２０ｎｍ以下が好ましく、３ｎｍ以上１０ｎｍ以下がより

好ましい。幅ＧＷが大きすぎると、次に形成する絶縁層３３４がＬＤＳ２３５に入り込みやすくなる。よって、幅ＧＷが大きすぎると、ＬＤＳ２３５が小さくなる恐れがある。

［０２１９］

また、前述した「リブ」に相当する隣接するＬＤＳ２３５に挟まれた絶縁層３１９の幅ＲＷは、幅ＧＷの０．５倍以上５倍以下が好ましく、幅ＧＷの０．５倍以上３倍以下がより好ましい。幅ＲＷが大きいと、ＬＤＲ２２１の機械的強度を高めることができるが、幅ＲＷが大きすぎるとＬＤＲ２２１の寄生容量低減効果が弱まってしまう。幅ＲＷを小さくすればＬＤＲ２２１の寄生容量低減効果が高まるが、幅ＲＷが小さすぎるとＬＤＲ２２１の機械的強度が必要以上に弱くなってしまう。

［０２２０］

続いて、絶縁層３１９およびＬＤＳ２３５の上に絶縁層３３４を形成する。絶縁層３３４の形成は、スパッタリング法またはＣＶＤ法などを用いて、被覆性の悪い条件で行う。特に、スパッタリング法は被覆性の悪い条件で成膜することが容易であるため好ましい。本実施の形態では、絶縁層３３４として、スパッタリング法で窒化シリコン層を形成する（図２３（Ａ）参照。）。

［０２２１］

ＬＤＳ２３５は絶縁層３３１、絶縁層３１９、絶縁層３３４に囲まれた空隙である。よって、ＬＤＳ２３５の比誘電率を１程度にすることができる。また、ＬＤＳ２３５には何らかの気体が含まれる場合がある。また、絶縁層３３４を減圧下で形成する場合、ＬＤＳ２３５は減圧状態になっている可能性がある。例えば、絶縁層３３４をスパッタリング法により形成する場合に、スパッタリングガスとして酸素を含むガスを用いると、ＬＤＳ２３５に酸素が含まれる可能性がある。この場合、ＬＤＳ２３５を酸素の貯蔵庫として機能させることができる。

［０２２２］

ＬＤＳ２３５は空隙のままであってもよいし、ＬＤＳ２３５に絶縁層３１９よりも比誘電率の小さい構造体を設けてもよい。例えば、絶縁層３１９が比誘電率３．８の酸化シリコンである場合、ＬＤＳ２３５に、比誘電率２．４のポリエチレン、比誘電率２．１のポリプロピレンなどを充填してもよい。ＬＤＳ２３５に構造体を設けることで、ＬＤＲ２２１の機械的強度を高めることができる。

［０２２３］

続いて、絶縁層３３４上に、絶縁層３３５および絶縁層３３６を形成する（図２３（Ｂ）参照。）。本実施の形態では、絶縁層３３５としてＣＶＤ法によって酸化窒化シリコン層を形成する。また、絶縁層３３６としてＣＶＤ法によって窒化シリコン層を形成する。絶縁層３３５の形成後、または絶縁層３３６の形成後にＣＭＰ処理を行ってもよい。

［０２２４］

次に、絶縁層３３６、絶縁層３３５、絶縁層３３４、絶縁層３１９、および絶縁層３３１の一部を除去して導電層３３２に達する開口３４２を形成する（図２３（Ｃ）参照。）。

［０２２５］

次に、開口３４２および絶縁層３３６上にコンタクトプラグ３３７を形成するための導電層を形成する。該導電膜の形成は、メッキ法、スパッタリング法、ＣＶＤ法、ＭＢＥ法、ＰＬＤ法、ＡＬＤ法などを用いて行うことができる。本実施の形態では、該導電層として、スパッタリング法でタングステン層を形成する。続いて、ＣＭＰ処理を行うことで該導電層の一部を除去し、絶

縁層３３６を露出する。その結果、開口３４２内のみに該導電層が残り、コンタクトプラグ３３７が形成される（図２４（Ａ）参照。）。

［０２２６］

次に、絶縁層３３６上に導電層３３８を形成し、導電層３３８上に絶縁層３４３を形成する。このようにしてＬＤＲ２２１を形成することができる。

［０２２７］

＜＜変形例１＞＞

ＬＤＲ２２１は、絶縁層３１９以外の絶縁層に設けてもよい。ＬＤＲ２２１の他の配置例について、図２５乃至図２８を用いて説明する。図２５は、メモリセル２１１［ｉ＋１，ｊ］の上面図である。図２６は、図２５中に一点鎖線で示したＣ１－Ｃ２部位と、Ｄ１－Ｄ２部位の断面図である。

［０２２８］

図２５および図２６では、絶縁層３１９のみでなく、絶縁層３１５にもＬＤＲ２２１を設ける例を示している。図２５および図２６では、絶縁層３１５に設けるＬＤＲ２２１をＬＤＲ２２１ａと示している。また、ＬＤＲ２２１ａに含まれるＬＤＳ２３５をＬＤＳ２３５ａと示している。また、絶縁層３１５と導電層３３３の間に絶縁層３４４と絶縁層３４５を設けている。

［０２２９］

絶縁層３１１は、絶縁層３３１と同様の材料および方法で形成することができる。絶縁層３１５は、絶縁層３１９と同様の材料および方法で形成することができる。絶縁層３４４は、絶縁層３３４と同様の材料および方法で形成することができる。絶縁層３４５は、絶縁層３３５と同様の材料および方法で形成することができる。

［０２３０］

よって、ＬＤＳ２３５ａもＬＤＳ２３５と同様に形成することができる。ＬＤＲ２２１に加えて、ＬＤＲ２２１ａを設けることで、隣接メモリセル間に生じる寄生容量をさらに低減することができる。

［０２３１］

また、導電層２６１（ワード線ＷＷＬ［ｉ＋１］）と導電層３３３（ワード線ＲＷＬ［ｉ＋１］）の間にＬＤＲ２２１ａを設けることで、両者の間に生じる寄生容量を低減することができる。配線交差部にＬＤＲ２２１ａを設けることで、信号のなまりが低減され、記憶装置の信頼性を高めることができる。また、記憶装置の消費電力を低減することができる。

［０２３２］

＜＜変形例２＞＞

図２７は、メモリセル２１１［ｉ＋１，ｊ］の上面図である。図２８は、図２７中に一点鎖線で示したＥ１－Ｅ２部位の断面図である。

［０２３３］

図２７および図２８に示すように、コンタクトプラグを形成する領域を避けて、ＬＤＲ２２１を、メモリセルを覆うように設けてもよい。図２８では、コンタクトプラグ３４７周辺以外の絶縁層３１９にＬＤＲ２２１を設ける例を示している。また、図２８では、コンタクトプラグ３４７が電気的に接続する導電層３４６上にＬＤＲ２２１を設けていないが、コンタクトプラグ３４７に干渉しない範囲であれば、導電層３４６上にＬＤＲ２２１を設けても構わない。

［０２３４］
また、図示していないが、図２７および図２８に示すＬＤＲ２２１と同様に、ＬＤＲ２２１ａをメモリセルと重なるように設けてもよい。ＬＤＲ２２１およびＬＤＲ２２１ａの設置範囲を広げることで、隣接メモリセル間に生じる寄生容量をさらに低減することができる。また、導電層間に生じる寄生容量もさらに低減することができるため、信号のなまりが低減され、記憶装置の信頼性を高めることができる。また、記憶装置の消費電力を低減することができる。
［０２３５］
本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。
［０２３６］
（実施の形態３）
本実施の形態では、トランジスタＭ１１およびトランジスタＭ１２に用いることができるトランジスタの構成例について、図面を用いて説明する。
［０２３７］
＜トランジスタの構造例１＞
図２９（Ａ）、（Ｂ）および（Ｃ）を用いてトランジスタ２００Ａの構造例を説明する。図２９（Ａ）はトランジスタ２００Ａの上面図である。図２９（Ｂ）は、図２９（Ａ）に一点鎖線で示すＬ１－Ｌ２部位の断面図である。図２９（Ｃ）は、図２９（Ａ）に一点鎖線で示すＷ１－Ｗ２部位の断面図である。なお、図２９（Ａ）の上面図では、図の明瞭化のために一部の要素を省いて図示している。
［０２３８］
図２９（Ａ）、（Ｂ）および（Ｃ）では、トランジスタ２００Ａと、層間絶縁層として機能する絶縁層３０９、絶縁層３１６、絶縁層３２２、絶縁層３２４、絶縁層３５４、絶縁層３８０、絶縁層３７４、および絶縁層３８１を示している。また、トランジスタ２００Ａと電気的に接続し、コンタクトプラグとして機能する導電層３４０（導電層３４０ａ、および導電層３４０ｂ）を示している。なお、コンタクトプラグとして機能する導電層３４０の側面に接して絶縁層３４１（絶縁層３４１ａ、および絶縁層３４１ｂ）が設けられる。
［０２３９］
層間絶縁層としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（ＰＺＴ）、チタン酸ストロンチウム（$SrTiO_3$）またはチタン酸バリウムストロンチウム（$(Ba, Sr)TiO_3$）などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。
［０２４０］
トランジスタ２００Ａは、第１のゲート電極として機能する導電層３６０（導電層３６０ａ、および導電層３６０ｂ）と、第２のゲート電極として機能する導電層３０５と、第１のゲート絶縁膜として機能する絶縁層３４９と、第２のゲート絶縁層として機能する絶縁層３２２および絶

縁層３２４と、チャネルが形成される領域を有する半導体層２６０（半導体層２６０ａ、半導体層２６０ｂ、および半導体層２６０ｃ）と、ソースまたはドレインの一方として機能する導電層３４２ａと、ソースまたはドレインの他方として機能する導電層３４２ｂと、絶縁層３５４とを有する。

［０２４１］

導電層３０５は、絶縁層３１６に埋め込まれるように配置され、絶縁層３２２は、絶縁層３１６および導電層３０５の上に配置されている。絶縁層３２４は絶縁層３２２の上に配置されている。また、半導体層２６０（半導体層２６０ａ、半導体層２６０ｂ、および半導体層２６０ｃ）は絶縁層３２４の上に配置されている。絶縁層３４９は半導体層２６０の上に配置され、導電層３６０（導電層３６０ａ、および導電層３６０ｂ）は絶縁層３４９上に配置されている。

［０２４２］

導電層３４２ａおよび導電層３４２ｂは、半導体層２６０ｂの上面の一部と接して配置され、絶縁層３５４は、絶縁層３２４の上面の一部、半導体層２６０ａの側面、半導体層２６０ｂの側面、導電層３４２ａの側面、導電層３４２ａの上面、導電層３４２ｂの側面、および導電層３４２ｂの上面に接して配置されている。

［０２４３］

絶縁層３４１は、絶縁層３８０、絶縁層３７４、絶縁層３８１に形成された開口の側壁に接して設けられ、その側面に接して導電層３４０の第１の導電体が設けられ、さらに内側に導電層３４０の第２の導電体が設けられている。ここで、導電層３４０の上面の高さと、絶縁層３８１の上面の高さは同程度にできる。なお、トランジスタ２００Ａでは、導電層３４０の第１の導電体および導電層３４０の第２の導電体を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電層３４０を単層、または３層以上の積層構造として設ける構成にしてもよい。構造体が積層構造を有する場合、形成順に序数を付与し、区別する場合がある。

［０２４４］

半導体層２６０は、絶縁層３２４の上に配置された半導体層２６０ａと、半導体層２６０ａの上に配置された半導体層２６０ｂと、半導体層２６０ｂの上に配置され、少なくとも一部が半導体層２６０ｂの上面に接する半導体層２６０ｃと、を有することが好ましい。半導体層２６０ｂの下に半導体層２６０ａを有することで、半導体層２６０ａよりも下方に形成された構造物から、半導体層２６０ｂへの不純物の拡散を抑制することができる。また、半導体層２６０ｂ上に半導体層２６０ｃを有することで、半導体層２６０ｃよりも上方に形成された構造物から、半導体層２６０ｂへの不純物の拡散を抑制することができる。

［０２４５］

トランジスタ２００Ａは、半導体層２６０に、金属酸化物の一種である酸化物半導体を用いることが好ましい。

［０２４６］

チャネルが形成される半導体層に酸化物半導体を用いたトランジスタは、非導通状態において極めてリーク電流（オフ電流）が少ない。よって、消費電力が低減された半導体装置を実現できる。また、酸化物半導体は、スパッタリング法などを用いて形成できるため、高集積型の半導体装置の実現が容易となる。

［０２４７］

例えば、半導体層２６０として、Ｉｎ－Ｍ－Ｚｎ酸化物（元素Mは、ガリウム、イットリウム、錫、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、マグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。特に、元素Mは、ガリウム、イットリウム、または錫を用いるとよい。また、半導体層２６０として、Ｉｎ－Ｍ酸化物、Ｉｎ－Ｚｎ酸化物、またはＭ－Ｚｎ酸化物を用いてもよい。

［０２４８］

トランジスタ２００Ａでは、第１のゲート（トップゲートともいう。）電極として機能する導電層３６０が、絶縁層３８０などに形成されている開口を埋めるように自己整合的に形成される。導電層３６０をこのように形成することにより、導電層３４２ａと導電層３４２ｂとの間の領域に、導電層３６０を位置合わせすることなく確実に配置することができる。

［０２４９］

導電層３６０は、導電層３６０ａと、導電層３６０ａの上に配置された導電層３６０ｂと、を有することが好ましい。例えば、導電層３６０ａは、導電層３６０ｂの底面および側面を包むように配置されることが好ましい。また、図２９（Ｂ）に示すように、導電層３６０の上面は、絶縁層３４９の上面および酸化物３３０ｃの上面と略一致している。

［０２５０］

導電層３０５は、第２のゲート（ボトムゲートともいう。）電極として機能する場合がある。その場合、導電層３０５に印加する電位を、導電層３６０に印加する電位と、連動させず、独立して変化させることで、トランジスタ２００Ａのしきい値電圧（Ｖｔｈ）を制御することができる。特に、導電層３０５に負の電位を印加することにより、トランジスタ２００ＡのＶｔｈを０Ｖより大きくし、オフ電流を低減することが可能となる。したがって、導電層３０５に負の電位を印加したほうが、印加しない場合よりも、導電層３６０に印加する電位が０Ｖのときのドレイン電流を小さくすることができる。

［０２５１］

また、例えば、導電層３０５と導電層３６０を半導体層２６０のチャネル形成領域を介して重畳して設けることで、導電層３０５、および導電層３６０に電圧を印加した場合、導電層３６０から生じる電界と、導電層３０５から生じる電界と、がつながり、半導体層２６０のチャネル形成領域を覆うことができる。

［０２５２］

つまり、第１のゲート電極としての機能を有する導電層３６０の電界と、第２のゲート電極としての機能を有する導電層３０５の電界によって、チャネル形成領域を電気的に取り囲むことができる。本明細書などにおいて、第１のゲート電極、および第２のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、ｓｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（Ｓ－ｃｈａｎｎｅｌ）構造とよぶ。

［０２５３］

絶縁層３２２、および絶縁層３５４は、水素（例えば、水素原子、水素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。また、絶縁層３２２、および絶縁層３５４は、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有することが好ましい。例えば、絶縁層３２２、および絶縁層３５４は、それぞれ絶縁層３２４よりも水素お

よび酸素の一方または双方の拡散を抑制する機能を有することが好ましい。絶縁層３２２、および絶縁層３５４は、それぞれ絶縁層３４９よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。絶縁層３２２、および絶縁層３５４は、それぞれ絶縁層３８０よりも水素および酸素の一方または双方の拡散を抑制する機能を有することが好ましい。

［０２５４］

なお、本明細書などにおいて、水素または酸素の拡散を抑制する機能を有する膜を、水素または酸素が透過しにくい膜、水素または酸素の透過性が低い膜、水素または酸素に対してバリア性を有する膜、水素または酸素に対するバリア膜などと呼ぶ場合がある。また、バリア膜に導電性を有する場合、当該バリア膜を導電性バリア膜と呼ぶことがある。

［０２５５］

また、図２９（Ｂ）に示すように、絶縁層３５４は、導電層３４２ａおよび導電層３４２ｂの上面と、導電層３４２ａと導電層３４２ｂとが互いに向かい合う側面以外の、導電層３４２ａおよび導電層３４２ｂの側面と、半導体層２６０ａおよび半導体層２６０ｂの側面と、絶縁層３２４の上面の一部と、に接することが好ましい。これにより、絶縁層３８０は、絶縁層３５４によって、絶縁層３２４、半導体層２６０ａ、および半導体層２６０ｂと離隔される。したがって、絶縁層３８０などに含まれる水素などの不純物が、絶縁層３２４、半導体層２６０ａ、および半導体層２６０ｂへ混入するのを抑制することができる。

［０２５６］

また、図２９（Ｂ）に示すように、トランジスタ２００Ａは、絶縁層３７４が、導電層３６０、絶縁層３４９、および半導体層２６０ｃのそれぞれの上面と接する構造となっている。このような構造とすることで、絶縁層３８１などに含まれる水素などの不純物が、絶縁層３４９へ混入することを抑えることができる。したがって、トランジスタの電気特性およびトランジスタの信頼性への悪影響を抑制することができる。

［０２５７］

上記構造を有することで、オン電流が大きいトランジスタを提供することができる。または、オフ電流が小さいトランジスタを提供することができる。または、電気特性の変動を抑制し、安定した電気特性を有すると共に、信頼性を向上させた半導体装置を提供することができる。

［０２５８］

＜トランジスタの構造例２＞

図３０（Ａ）、（Ｂ）および（Ｃ）を用いてトランジスタ２００Ｂの構造例を説明する。図３０（Ａ）はトランジスタ２００Ｂの上面図である。図３０（Ｂ）は、図３０（Ａ）に一点鎖線で示すＬ１－Ｌ２部位の断面図である。図３０（Ｃ）は、図３０（Ａ）に一点鎖線で示すＷ１－Ｗ２部位の断面図である。なお、図３０（Ａ）の上面図では、図の明瞭化のために一部の要素を省いて図示している。

［０２５９］

トランジスタ２００Ｂはトランジスタ２００Ａの変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ２００Ａと異なる点について説明する。

［０２６０］

第１のゲート電極として機能する導電層３６０は、導電層３６０ａ、および導電層３６０ａ上の導電層３６０ｂを有する。導電層３６０ａは、水素原子、水素分子、水分子、銅原子などの不純

物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

［０２６１］

導電層３６０ａが酸素の拡散を抑制する機能を持つことにより、導電層３６０ｂの材料選択性を向上することができる。つまり、導電層３６０ａを有することで、導電層３６０ｂの酸化が抑制され、導電率が低下することを防止することができる。

［０２６２］

また、導電層３６０の上面および側面、絶縁層３４９の側面、および半導体層２６０ｃの側面を覆うように、絶縁層３５４を設けることが好ましい。なお、絶縁層３５４は、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

［０２６３］

絶縁層３５４を設けることで、導電層３６０の酸化を抑制することができる。また、絶縁層３５４を有することで、絶縁層５８０が有する水、および水素などの不純物がトランジスタ２００Ｂへ拡散することを抑制することができる。

［０２６４］

トランジスタ２００Ｂは、導電層３４２ａの一部と導電層３４２ｂの一部に導電層３６０が重なるため、トランジスタ２００Ａよりも寄生容量が大きくなりやすい。よって、トランジスタ２００Ａに比べて動作周波数が低くなる傾向がある。しかしながら、絶縁層３８０などに開口を設けて導電層３６０や絶縁層３４９などを埋めこむ工程が不要であるため、トランジスタ２００Ａと比較して生産性が高い。

［０２６５］

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

［０２６６］

（実施の形態４）

本実施の形態では、本発明の一態様に係る記憶装置または半導体装置を適用できる電子部品および電子機器について説明する。

［０２６７］

本発明の一態様に係る記憶装置または半導体装置は、様々な電子機器に搭載することができる。特に、本発明の一態様に係る半導体装置は、電子機器に内蔵されるメモリとして用いることができる。電子機器の例としては、例えば、テレビジョン装置、デスクトップ型もしくはノート型のパーソナルコンピュータ、コンピュータ用などのモニタ、デジタルサイネージ（Ｄｉｇｉｔａｌ Ｓｉｇｎａｇｅ：電子看板）、パチンコ機などの大型ゲーム機などの比較的大きな画面を備える電子機器の他、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機、携帯型ゲーム機、携帯情報端末、音響再生装置、などが挙げられる。

［０２６８］
本発明の一態様の電子機器は、アンテナを有していてもよい。アンテナで信号を受信することで、表示部で映像や情報等の表示を行うことができる。また、電子機器がアンテナおよび二次電池を有する場合、アンテナを、非接触電力伝送に用いてもよい。
［０２６９］
本発明の一態様の電子機器は、センサ（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、においまたは赤外線を測定する機能を含むもの）を有していてもよい。
［０２７０］
本発明の一態様の電子機器は、様々な機能を有することができる。例えば、様々な情報（静止画、動画、テキスト画像など）を表示部に表示する機能、タッチパネル機能、カレンダー、日付または時刻などを表示する機能、様々なソフトウェア（プログラム）を実行する機能、無線通信機能、記録媒体に記録されているプログラムまたはデータを読み出す機能等を有することができる。
［０２７１］
＜電子部品＞
記憶装置１００が組み込まれた電子部品の例を、図３１（Ａ）、（Ｂ）に示す。
［０２７２］
図３１（Ａ）に電子部品７００および電子部品７００が実装された基板（実装基板７０４）の斜視図を示す。図３１（Ａ）に示す電子部品７００はＩＣ半導体装置であり、リードおよび回路部を有する。電子部品７００は、例えばプリント基板７０２に実装される。このようなＩＣ半導体装置が複数組み合わされて、それぞれがプリント基板７０２上で電気的に接続されることで実装基板７０４が完成する。
［０２７３］
電子部品７００の回路部として、上記実施の形態に示した記憶装置１００が設けられている。図３１（Ａ）では、電子部品７００のパッケージにＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）を適用しているが、パッケージの態様はこれに限定されない。
［０２７４］
図３１（Ｂ）に電子部品７３０の斜視図を示す。電子部品７３０は、ＳｉＰ（Ｓｙｓｔｅｍ　ｉｎ　ｐａｃｋａｇｅ）またはMCM（Ｍｕｌｔｉ　Ｃｈｉｐ　Ｍｏｄｕｌｅ）の一例である。電子部品７３０は、パッケージ基板７３２（プリント基板）上にインターポーザ７３１が設けられ、インターポーザ７３１上に半導体装置７３５、および複数の記憶装置１００が設けられている。
［０２７５］
電子部品７３０では、記憶装置１００を広帯域メモリ（ＨＢＭ：Ｈｉｇｈ　Ｂａｎｄｗｉｄｔｈ　Ｍｅｍｏｒｙ）として用いる例を示している。また、半導体装置７３５は、ＣＰＵ、ＧＰＵ、ＦＰＧＡなどの集積回路を用いることができる。
［０２７６］
パッケージ基板７３２は、セラミック基板、プラスチック基板、またはガラスエポキシ基板などを用いることができる。インターポーザ７３１は、シリコンインターポーザ、樹脂インターポーザなどを用いることができる。
［０２７７］

インターポーザ７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ７３１は、インターポーザ７３１上に設けられた集積回路をパッケージ基板７３２に設けられた電極と電気的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板７３２を電気的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）を用いることも出来る。

［０２７８］

インターポーザ７３１としてシリコンインターポーザを用いることが好ましい。シリコンインターポーザでは能動素子を設ける必要が無いため、集積回路よりも低コストで作製することができる。一方で、シリコンインターポーザの配線形成は半導体プロセスで行うことができるため、樹脂インターポーザでは難しい微細配線の形成が容易である。

［０２７９］

ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を用いる必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

［０２８０］

また、シリコンインターポーザを用いたＳｉＰやＭＣＭなどでは、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

［０２８１］

また、電子部品７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品７３０では、記憶装置１００と半導体装置７３５の高さを揃えることが好ましい。

［０２８２］

電子部品７３０を他の基板に実装するため、パッケージ基板７３２の底部に電極７３３を設けてもよい。図３１（Ｂ）では、電極７３３を半田ボールで形成する例を示している。パッケージ基板７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。また、電極７３３を導電性のピンで形成してもよい。パッケージ基板７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。

［０２８３］

電子部品７３０は、ＢＧＡおよびＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ　Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ　Ｇｒｉｄ　Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ　Ｆｌａｔ　Ｊ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）、またはＱＦＮ（Ｑｕａｄ　Ｆ

ｌａｔ　Ｎｏｎ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）などの実装方法を用いることができる。

［０２８４］

＜電子機器＞

次に、上記電子部品を備えた電子機器の例について図３２および図３５を用いて説明を行う。

［０２８５］

図３２に示すロボット７１００は、照度センサ、マイクロフォン、カメラ、スピーカ、ディスプレイ、各種センサ（赤外線センサ、超音波センサ、加速度センサ、ピエゾセンサ、光センサ、ジャイロセンサなど）、および移動機構などを備える。電子部品７３０はプロセッサなどを有し、これら周辺機器を制御する機能を有する。例えば、電子部品７００はセンサで取得されたデータを記憶する機能を有する。

［０２８６］

マイクロフォンは、使用者の音声および環境音などの音響信号を検知する機能を有する。また、スピーカは、音声および警告音などのオーディオ信号を発する機能を有する。ロボット７１００は、マイクロフォンを介して入力されたオーディオ信号を解析し、必要なオーディオ信号をスピーカから発することができる。ロボット７１００は、マイクロフォン、およびスピーカを用いて、使用者とコミュニケーションをとることが可能である。

［０２８７］

カメラは、ロボット７１００の周囲を撮像する機能を有する。また、ロボット７１００は、移動機構を用いて移動する機能を有する。ロボット７１００は、カメラを用いて周囲の画像を撮像し、画像を解析して移動する際の障害物の有無などを察知することができる。

［０２８８］

飛行体７１２０は、プロペラ、カメラ、およびバッテリなどを有し、自律して飛行する機能を有する。電子部品７３０はこれら周辺機器を制御する機能を有する。

［０２８９］

例えば、カメラで撮影した画像データは、電子部品７００に記憶される。電子部品７３０は、画像データを解析し、移動する際の障害物の有無などを察知することができる。また、電子部品７３０によってバッテリの蓄電容量の変化から、バッテリ残量を推定することができる。

［０２９０］

掃除ロボット７１４０は、上面に配置されたディスプレイ、側面に配置された複数のカメラ、ブラシ、操作ボタン、各種センサなどを有する。図示されていないが、掃除ロボット７１４０には、タイヤ、吸い込み口などが備えられている。掃除ロボット７１４０は自走し、ゴミを検知し、下面に設けられた吸い込み口からゴミを吸引することができる。

［０２９１］

例えば、電子部品７３０は、カメラが撮影した画像を解析し、壁、家具または段差などの障害物の有無を判断することができる。また、画像解析により、配線などブラシに絡まりそうな物体を検知した場合は、ブラシの回転を止めることができる。

［０２９２］

移動体の一例として自動車７１６０を示す。自動車７１６０は、エンジン、タイヤ、ブレーキ、操舵装置、カメラなどを有する。例えば、電子部品７３０は、ナビゲーション情報、速度、エンジンの状態、ギアの選択状態、ブレーキの使用頻度などのデータに基づいて、自動車７１６０の

走行状態を最適化するための制御を行う。例えば、カメラで撮影した画像データは電子部品７００に記憶される。

［０２９３］

なお、上述では、移動体の一例として自動車について説明しているが、移動体は自動車に限定されない。例えば、移動体としては、電車、モノレール、船、飛行体（ヘリコプター、無人航空機（ドローン）、飛行機、ロケット）なども挙げることができ、これらの移動体に本発明の一態様のコンピュータを適用して、人工知能を利用したシステムを付与することができる。

［０２９４］

電子部品７００および／または電子部品７３０は、ＴＶ装置７２００（テレビジョン受像装置）、スマートフォン７２１０、ＰＣ７２２０（パーソナルコンピュータ）、７２３０、ゲーム機７２４０、ゲーム機７２６０等に組み込むことができる。

［０２９５］

例えば、ＴＶ装置７２００に内蔵された電子部品７３０は画像エンジンとして機能させることができる。例えば、電子部品７３０は、ノイズ除去、解像度アップコンバージョンなどの画像処理を行う。

［０２９６］

スマートフォン７２１０は、携帯情報端末の一例である。スマートフォン７２１０は、マイクロフォン、カメラ、スピーカ、各種センサ、および表示部を有する。電子部品７３０によってこれら周辺機器が制御される。

［０２９７］

ＰＣ７２２０、ＰＣ７２３０はそれぞれノート型ＰＣ、据え置き型ＰＣの例である。ＰＣ７２３０には、キーボード７２３２、およびモニタ装置７２３３が無線または有線により接続可能である。

［０２９８］

ゲーム機７２４０は携帯型ゲーム機の例である。ゲーム機７２６０は家庭用の据え置き型ゲーム機の例である。ゲーム機７２６０には、無線または有線でコントローラ７２６２が接続されている。コントローラ７２６２に、電子部品７００および／または電子部品７３０を組み込むこともできる。

［０２９９］

本発明の一態様の半導体装置を適用するゲーム機はこれらに限定されない。本発明の一態様の半導体装置を用いるゲーム機としては、例えば、娯楽施設（ゲームセンター、遊園地など）に設置されるアーケードゲーム機、スポーツ施設に設置されるバッティング練習用の投球マシンなどが挙げられる。

［０３００］

本発明の一態様の記憶装置または半導体装置は、メモリカード（例えば、ＳＤカード）、ＵＳＢメモリ、ＳＳＤ（ソリッド・ステート・ドライブ）等の各種のリムーバブル記憶装置に用いることができる。図３３にリムーバブル記憶装置の幾つかの構成例を模式的に示す。本発明の一態様の記憶装置または半導体装置は、様々なストレージ装置、リムーバブルメモリに用いることができる。

［０３０１］

図３３（Ａ）はＵＳＢメモリの模式図である。ＵＳＢメモリ１１００は、筐体１１０１、キャップ１１０２、ＵＳＢコネクタ１１０３および基板１１０４を有する。基板１１０４は、筐体１１０１に収納されている。例えば、基板１１０４には、メモリチップ１１０５、コントローラチップ１１０６が取り付けられている。基板１１０４のメモリチップ１１０５などに本発明の一態様の記憶装置または半導体装置を組み込むことができる。

［０３０２］

図３３（Ｂ）はＳＤカードの外観の模式図であり、図３３（Ｃ）は、ＳＤカードの内部構造の模式図である。ＳＤカード１１１０は、筐体１１１１、コネクタ１１１２および基板１１１３を有する。基板１１１３は筐体１１１１に収納されている。例えば、基板１１１３には、メモリチップ１１１４、コントローラチップ１１１５が取り付けられている。基板１１１３の裏面側にもメモリチップ１１１４を設けることで、ＳＤカード１１１０の容量を増やすことができる。また、無線通信機能を備えた無線チップを基板１１１３に設けてもよい。これによって、ホスト装置とＳＤカード１１１０間の無線通信によって、メモリチップ１１１４のデータの読み出し、書き込みが可能となる。基板１１１３のメモリチップ１１１４などに先の実施の形態に示す半導体装置を組み込むことができる。

［０３０３］

図３３（Ｄ）はＳＳＤの外観の模式図であり、図３３（Ｅ）は、ＳＳＤの内部構造の模式図である。ＳＳＤ１１５０は、筐体１１５１、コネクタ１１５２および基板１１５３を有する。基板１１５３は筐体１１５１に収納されている。例えば、基板１１５３には、メモリチップ１１５４、メモリチップ１１５５、コントローラチップ１１５６が取り付けられている。メモリチップ１１５５はコントローラチップ１１５６のワークメモリであり、例えばＤＯＳＲＡＭチップを用いればよい。基板１１５３の裏面側にもメモリチップ１１５４を設けることで、ＳＳＤ１１５０の容量を増やすことができる。基板１１５３のメモリチップ１１５４などに先の実施の形態に示す半導体装置を組み込むことができる。

［０３０４］

図３４（Ａ）に示す警報装置８１００は、住宅用火災警報器であり、検出部と、半導体装置８１０１を有している。半導体装置８１０１に上述した電子部品７００および／または電子部品７３０を用いることで、警報装置８１００を省電力化できる。また、高温環境下においても安定した動作を実現できる。よって、警報装置８１００の信頼性を高めることができる。

［０３０５］

図３４（Ａ）に示すエアコンディショナーは、室内機８２００および室外機８２０４を有する。室内機８２００は、筐体８２０１、送風口８２０２、半導体装置８２０３などを有する。図３４（Ａ）では、半導体装置８２０３が、室内機８２００に設けられている場合を例示しているが、半導体装置８２０３は室外機８２０４に設けられていてもよい。または、室内機８２００と室外機８２０４の両方に、半導体装置８２０３が設けられていてもよい。半導体装置８２０３に上述した電子部品７００および／または電子部品７３０を用いることで、エアコンディショナーを省電力化できる。また、高温環境下においても安定した動作を実現できる。よって、エアコンディショナーの信頼性を高めることができる。

［０３０６］

図３４（Ａ）に示す電気冷凍冷蔵庫８３００は、筐体８３０１、冷蔵室用扉８３０２、冷凍室用

扉８３０３、半導体装置８３０４などを有する。図３４（Ａ）では、半導体装置８３０４が、筐体８３０１の内部に設けられている。半導体装置８３０４に電子部品７００および／または電子部品７３０を用いることで、電気冷凍冷蔵庫８３００を省電力化できる。また、高温環境下においても安定した動作を実現できる。よって、電気冷凍冷蔵庫８３００の信頼性を高めることができる。

［０３０７］

なお、本実施の形態では、電化製品の一例として電気冷凍冷蔵庫およびエアコンディショナーについて説明した。本発明の一態様の半導体装置は、その他の電化製品に用いることもできる。その他の電化製品としては、例えば、掃除機、電子レンジ、電子オーブン、炊飯器、湯沸かし器、ＩＨ調理器、ウォーターサーバ、冷暖房器具（エアーコンディショナーを含む）、洗濯機、乾燥機、オーディオビジュアル機器などが挙げられる。

［０３０８］

図３４（Ｂ）に電気自動車の一例を示す。電気自動車９７００には、二次電池９７０１が搭載されている。二次電池９７０１の電力は、制御回路９７０２により出力が調整されて、駆動装置９７０３に供給される。制御回路９７０２は、図示しない半導体装置などを有する処理装置９７０４によって制御される。制御回路９７０２や処理装置９７０４に、上述した電子部品７００および／または電子部品７３０を用いることで、電気自動車９７００を省電力化できる。また、高温環境下においても安定した動作を実現できる。よって、電気自動車９７００の信頼性を高めることができる。

［０３０９］

駆動装置９７０３は、直流電動機もしくは交流電動機単体、または電動機と内燃機関と、を組み合わせて構成される。処理装置９７０４は、電気自動車９７００の運転者の操作情報（加速、減速、停止など）や走行時の情報（上り坂や下り坂等の情報、駆動輪にかかる負荷情報など）の入力情報に基づき、制御回路９７０２に制御信号を出力する。制御回路９７０２は、処理装置９７０４の制御信号により、二次電池９７０１から供給される電気エネルギーを調整して駆動装置９７０３の出力を制御する。交流電動機を搭載している場合は、図示していないが、直流を交流に変換するインバータも内蔵される。

［０３１０］

図３５（Ａ）に示す計算機５４００は、大型の計算機の例である。計算機５４００には、ラック５４１０にラックマウント型の計算機５４２０が複数格納されている。

［０３１１］

計算機５４２０は、例えば、図３５（Ｂ）に示す斜視図の構成とすることができる。図３５（Ｂ）において、計算機５４２０は、マザーボード５４３０を有し、マザーボードは、複数のスロット５４３１を有する。スロット５４３１には、ＰＣカード５４２１が挿されている。

［０３１２］

ＰＣカード５４２１は、例えば、図３５（Ｃ）に示す斜視図の構成とすることができる。図３５（Ｃ）に示すＰＣカード５４２１は、ＣＰＵ、ＧＰＵ、記憶装置などを備えた処理ボードの一例である。ＰＣカード５４２１は、ボード５４２２を有する。また、ボード５４２２は、接続端子５４２３、接続端子５４２４、接続端子５４２５と、半導体装置５４２６と、半導体装置５４２７と、半導体装置５４２８と、接続端子５４２９と、を有する。なお、図３５（Ｃ）には、半導

体装置５４２６、半導体装置５４２７、および半導体装置５４２８以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置５４２６、半導体装置５４２７、および半導体装置５４２８の説明を参酌すればよい。

［０３１３］

接続端子５４２９は、マザーボード５４３０のスロット５４３１に挿すことができる形状を有しており、接続端子５４２９は、ＰＣカード５４２１とマザーボード５４３０とを接続するためのインターフェースとして機能する。接続端子５４２９の規格としては、例えば、ＰＣＩｅなどが挙げられる。

［０３１４］

接続端子５４２３、接続端子５４２４、接続端子５４２５は、例えば、ＰＣカード５４２１に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、ＰＣカード５４２１によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子５４２３、接続端子５４２４、接続端子５４２５のそれぞれの規格としては、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ Ｓｅｒｉａｌ Ｂｕｓ）、ＳＡＴＡ（Ｓｅｒｉａｌ ＡＴＡ）、ＳＣＳＩ（Ｓｍａｌｌ Ｃｏｍｐｕｔｅｒ Ｓｙｓｔｅｍ Ｉｎｔｅｒｆａｃｅ）などが挙げられる。また、接続端子５４２３、接続端子５４２４、接続端子５４２５から映像信号を出力する場合、それぞれの規格としては、ＨＤＭＩ（登録商標）などが挙げられる。

［０３１５］

半導体装置５４２６は、信号の入出力を行う端子（図示しない。）を有しており、当該端子をボード５４２２が備えるソケット（図示しない。）に対して差し込むことで、半導体装置５４２６とボード５４２２を電気的に接続することができる。

［０３１６］

半導体装置５４２７は、複数の端子を有しており、当該端子をボード５４２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５４２７とボード５４２２を電気的に接続することができる。半導体装置５４２７としては、例えば、ＦＰＧＡ（Ｆｉｅｌｄ Ｐｒｏｇｒａｍｍａｂｌｅ Ｇａｔｅ Ａｒｒａｙ）、ＧＰＵ、ＣＰＵなどが挙げられる。半導体装置５４２７として、電子部品７３０を用いることができる。

［０３１７］

半導体装置５４２８は、複数の端子を有しており、当該端子をボード５４２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５４２８とボード５４２２を電気的に接続することができる。半導体装置５４２８としては、例えば、記憶装置などが挙げられる。半導体装置５４２８として、電子部品７００を用いることができる。

［０３１８］

計算機５４００は並列計算機としても機能できる。計算機５４００を並列計算機として用いることで、例えば、人工知能の学習、および推論に必要な大規模の計算を行うことができる。

［０３１９］

上記の各種電子機器に、本発明の一態様の半導体装置を用いることにより、電子機器の小型化、高速化、または低消費電力化を図ることができる。また、低消費電力により、回路からの発熱を低減することができるため、発熱によるその回路自体、周辺回路、およびモジュールへの影響を少なくすることができる。また、高温環境下においても安定した動作を実現できる。よって、電

子機器の信頼性を高めることができる。

［０３２０］

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

［０３２１］

（実施の形態５）

上記実施の形態に示したＯＳ－ＬＳＩは様々な記憶装置に適用できる。本実施の形態では、ＯＳ－ＬＳＩで置き換え可能な記憶装置について図３６乃至図３８を用いて説明する。

［０３２２］

一般に、記憶装置は作業記憶装置（ワーキングメモリ）と長期記憶装置（ストレージ）に大別される。

［０３２３］

ワーキングメモリは、ＣＰＵなどの演算装置が演算処理実行時に直接読み書きする記憶装置である。よって、ワーキングメモリには速い動作速度と高い書き換え耐性が求められる。ワーキングメモリは、用途によって、レジスタ、キャッシュ、主記憶装置などに分類される。なお、キャッシュとしてＳＲＡＭ、主記憶装置としてＤＲＡＭが使われることが多い。

［０３２４］

ストレージは、「外部記憶装置」または「補助記憶装置」とも呼ばれる。ストレージは、ＣＰＵなどの演算装置と外部バスなどを介して接続される。ストレージは、データの転送速度ではワーキングメモリに劣るが、記憶容量が大きく、データの長期保存に用いられる。ストレージには、ＮＯＲ型フラッシュメモリ、ＮＡＮＤ型フラッシュメモリ（ＮＡＮＤ　ｆｌａｓｈ）、ＨＤＤ、磁気テープなどが使用される。

［０３２５］

図３６では、レジスタ、キャッシュ、主記憶装置、ストレージを動作速度および書き換え耐性の階層ごとに示している。

［０３２６］

また、近年、次世代メモリとして、ＲｅＲＡＭ（Ｒｅｓｉｓｔｉｖｅ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）、ＭＲＡＭ（Ｍａｇｎｅｔｏｒｅｓｉｓｔｉｖｅ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）、ＰＣＭ（Ｐｈａｓｅ－Ｃｈａｎｇｅ　Ｍｅｍｏｒｙ）などが検討されている。

［０３２７］

例えば、ＲｅＲＡＭは書き換え耐性の低さから、ワーキングメモリへの適用が難しい。ＭＲＡＭはＳＲＡＭへの応用も研究されているが、外部磁気に影響されやすく、高温耐性も低い。また、ＰＣＭはデータの書き込みに高電圧が必要であり、消費電力が大きくなりやすい。

［０３２８］

図３７に、各種記憶装置の、データ書き込み時間（データ書き込みに必要な時間）と書き込み耐性を示す。ＯＳ－ＬＳＩを用いた記憶装置は、データ書き込み時間が短く、書き込み耐性も高い。

［０３２９］

図３８に、各種記憶装置の、電源供給停止後のデータ保持時間と動作周波数を示す。ＯＳ－ＬＳＩを用いた記憶装置は、電源供給が停止しても一年以上データを保持することができる。また、

ＯＳ－ＬＳＩを用いた記憶装置は動作周波数が高く、高速動作が実現できる。

［０３３０］

上記実施の形態に示したＯＳ－ＬＳＩを用いた記憶装置は、動作速度が速く、長期間のデータ保持が可能であり、消費電力も少ない。また、高温下においても長期間のデータ保持が可能である。よって、ＯＳ－ＬＳＩを用いた記憶装置は、ワーキングメモリおよびストレージの双方に適用可能である。ＯＳ－ＬＳＩを用いることで、ユニバーサルメモリを実現できる。

［０３３１］

本実施の形態は、他の実施の形態などに記載した構成と適宜組み合わせて実施することが可能である。

［符号の説明］

［０３３２］

１００：記憶装置、１１１：周辺回路、１２１：ローデコーダ、１２２：ワード線ドライバ回路、１３０：ビット線ドライバ回路、１３１：カラムデコーダ、１３２：プリチャージ回路、１３３：増幅回路、１３４：入出力回路、１４０：出力回路、１６０：コントロールロジック回路、２０１：セルアレイ、２１１：メモリセル

請求の範囲

［請求項１］

メモリセルと、第１領域と、

第１ワード線と、第２ワード線と、

第１ビット線と、第２ビット線と、を有する記憶装置であって、

前記メモリセルは、第１トランジスタと、第２トランジスタと、を有し、

前記第１トランジスタの半導体層は金属酸化物を有し、

前記第１領域は複数の空隙を有し、

前記第１ビット線および前記第２ビット線は第１方向に延在し、

前記第１ワード線および前記第２ワード線は第２方向に延在し、

前記第１トランジスタのゲートは第１ワード線と電気的に接続され、

前記第１トランジスタのソースまたはドレインの一方は前記第２トランジスタのゲートと電気的に接続され、

前記第１トランジスタのソースまたはドレインの他方は第１ビット線と電気的に接続され、

前記第２トランジスタのソースまたはドレインの一方は第２ワード線と電気的に接続され、

前記第２トランジスタのソースまたはドレインの他方は第２ビット線と電気的に接続され、

前記第１領域は、前記第１方向に延在する領域を有し、

前記第１方向に延在する領域において、

前記複数の空隙のそれぞれは、前記第１方向と交差する方向に延在する記憶装置。

［請求項２］

メモリセルと、第１領域と、

第１ワード線と、第２ワード線と、

第１ビット線と、第２ビット線と、

第１導電層と、を有する記憶装置であって、

前記メモリセルは、第１トランジスタと、第２トランジスタと、を有し、

前記第１トランジスタの半導体層は金属酸化物を有し、

前記第１領域は複数の空隙を有し、

前記第１ビット線および前記第２ビット線は第１方向に延在し、

前記第１ワード線および前記第２ワード線は第２方向に延在し、

前記第１トランジスタのゲートは第１ワード線と電気的に接続され、

前記第１トランジスタのソースまたはドレインの一方は前記第２トランジスタのゲートと電気的に接続され、

前記第１トランジスタのソースまたはドレインの他方は第１ビット線と電気的に接続され、

前記第２トランジスタのソースまたはドレインの一方は第２ワード線と電気的に接続され、

前記第２トランジスタのソースまたはドレインの他方は第２ビット線と電気的に接続され、

前記第１導電層は、

前記第１トランジスタの前記半導体層と互いに重なる領域と、

前記第１トランジスタのソースまたはドレインの一方と互いに重なる領域と、

を有し、

前記第１領域は、前記第１方向に延在する領域を有し、

前記第１方向に延在する領域において、

前記複数の空隙のそれぞれは、前記第１方向と交差する方向に延在する記憶装置。

［請求項３］

請求項２において、

前記第１導電層は、前記第１トランジスタのバックゲートとして機能する領域を有する記憶装置。

［請求項４］

請求項１乃至請求項３のいずれか一項において、

前記半導体層は、少なくともＩｎおよびＺｎの一方または双方を含む記憶装置。

［請求項５］

請求項１乃至請求項４のいずれか一項において、

前記第１領域は、前記第２方向に延在する領域を有し、

前記第２方向に延在する領域において、

前記複数の空隙のそれぞれは、

前記第２方向と交差する方向に延在する領域を有する記憶装置。

［請求項６］

請求項１乃至請求項５のいずれか一項において、

前記第２トランジスタのゲート電極と半導体層が重なる面積は、

前記第１トランジスタのゲート電極と半導体層が重なる面積よりも大きい記憶装置。

［請求項７］

請求項１乃至請求項６のいずれか一項において、

前記第２トランジスタのゲート電極と半導体層が重なる面積は、

前記第１トランジスタのゲート電極と半導体層が重なる面積の１倍以上１０倍以下である記憶装置。

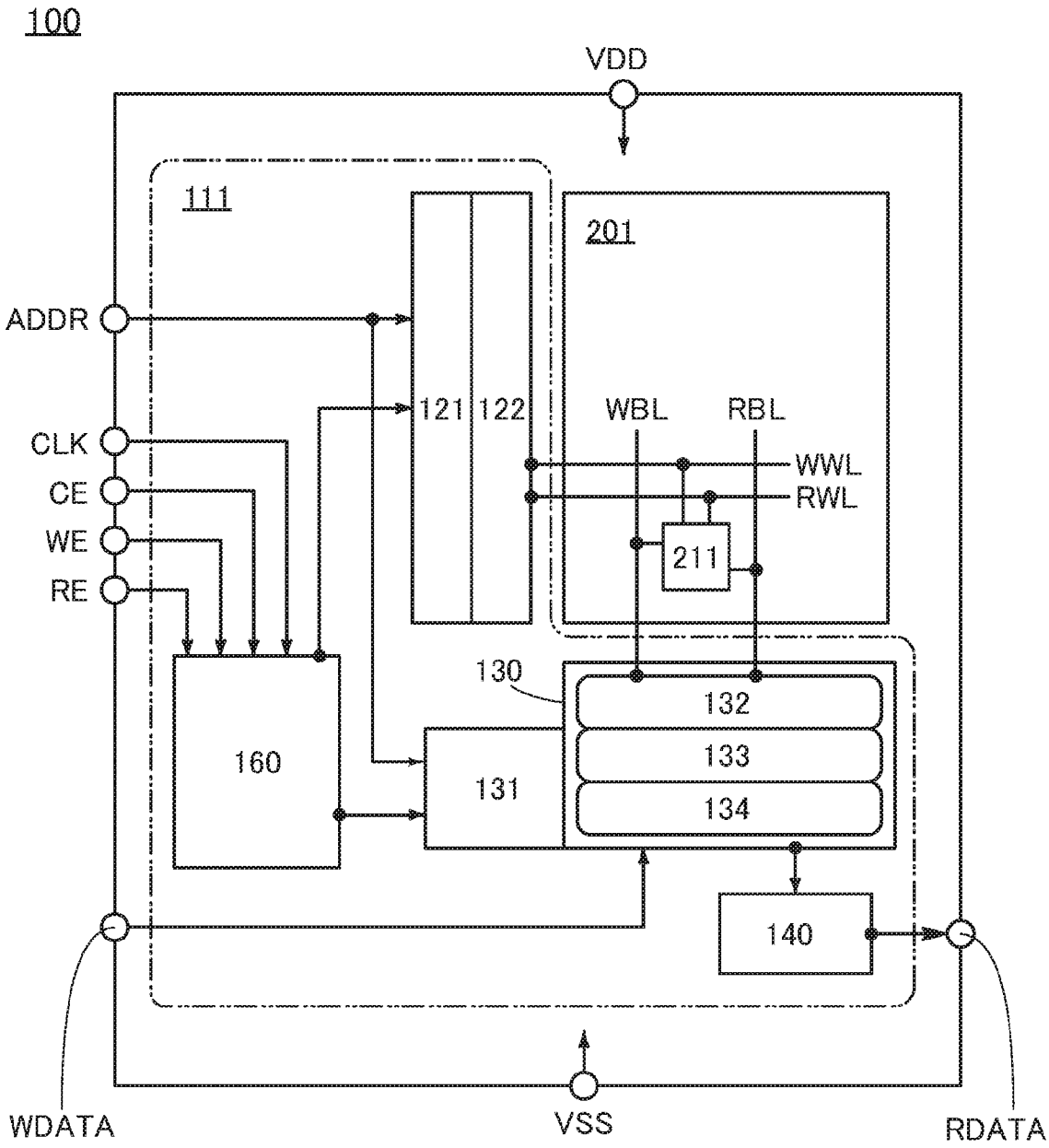
［請求項８］

請求項１乃至請求項７のいずれか一項に記載の記憶装置と、

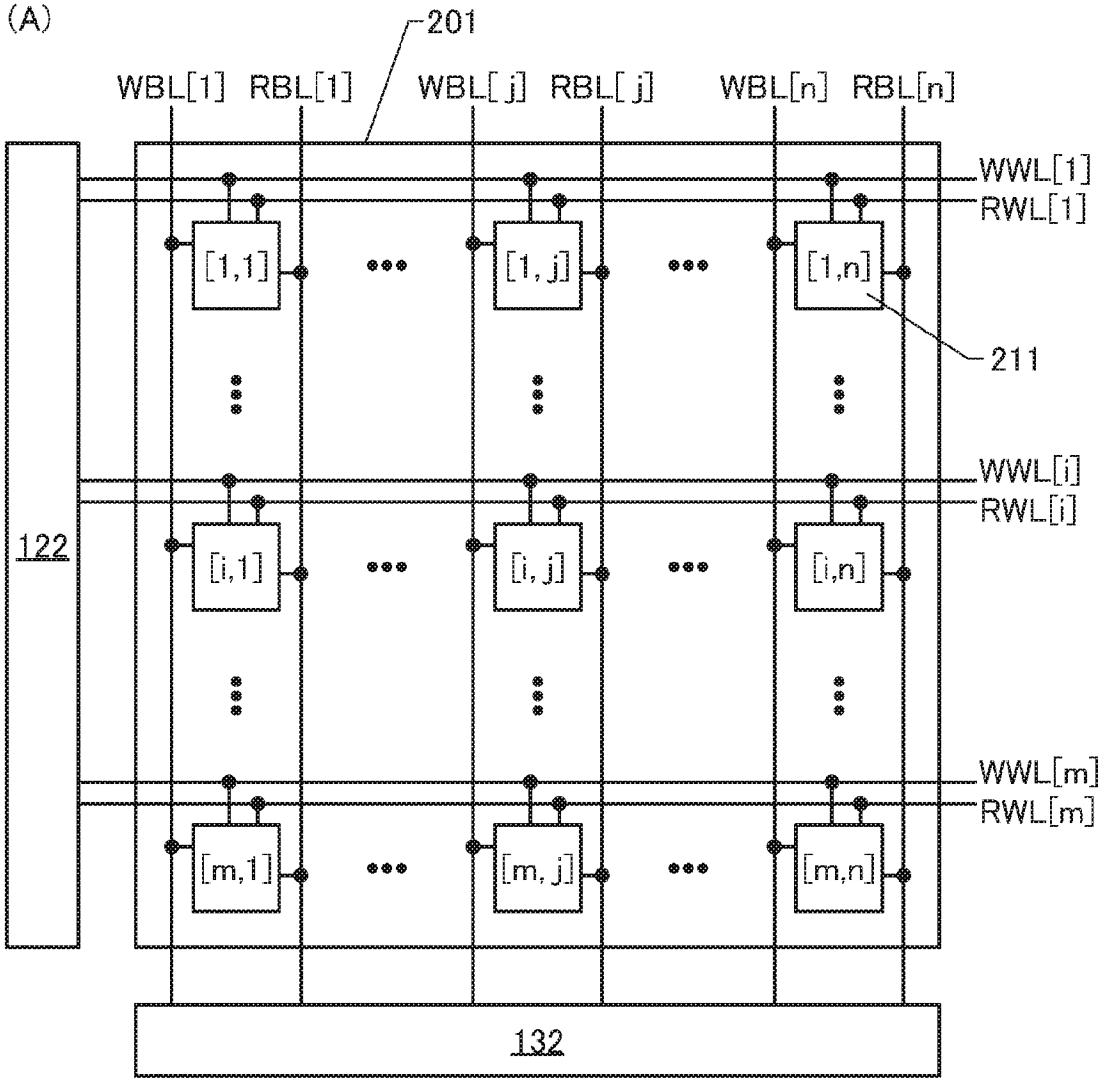
マイクロフォン、カメラ、スピーカ、アンテナ、またはバッテリと、

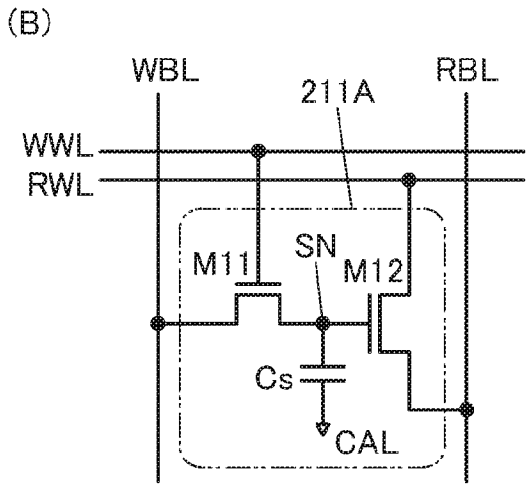
を有する電子機器。

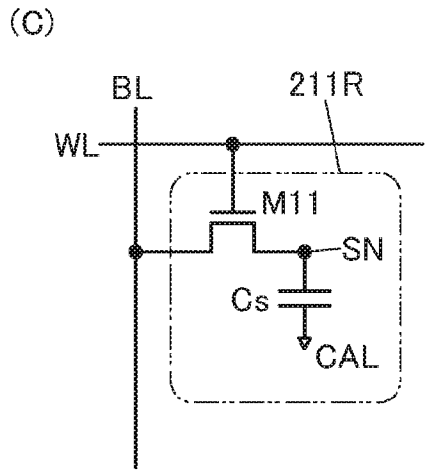
[図1]


100
VDD
111
201
ADDR
121
122
WBL
RBL
CLK
CE
WE
RE
WWL
RWL
211
130
132
133
134
160
131
140
WDATA
VSS
RDATA

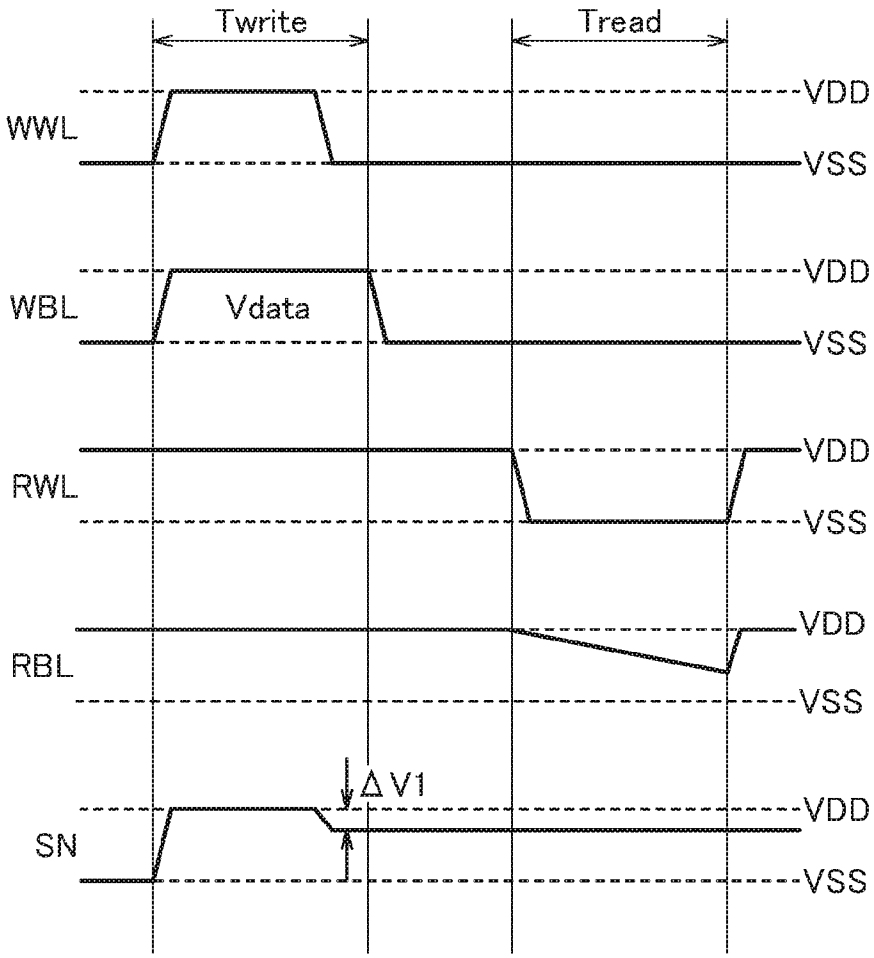
[図2]


(A)
201
WBL[1]
RBL[1]
WBL[j]
RBL[j]
WBL[n]
RBL[n]
WWL[1]
RWL[1]
[1,1]
[1, j]
[1,n]
211
WWL[i]
RWL[i]
122
[i,1]
[i, j]
[i,n]
WWL[m]
RWL[m]
[m,1]
[m, j]
[m,n]
132


(B)
WBL
211A
RBL
WWL
RWL
M11
SN
M12
Cs
CAL

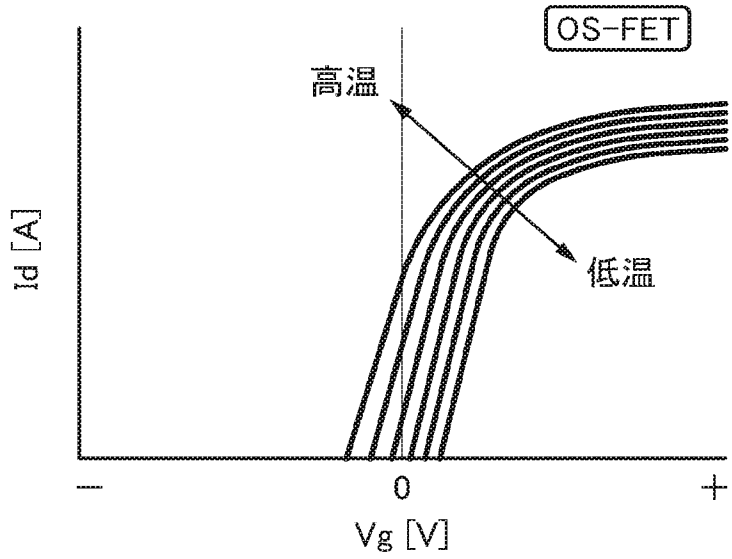

(C)
BL
211R
WL
M11
SN
Cs
CAL

[図3]

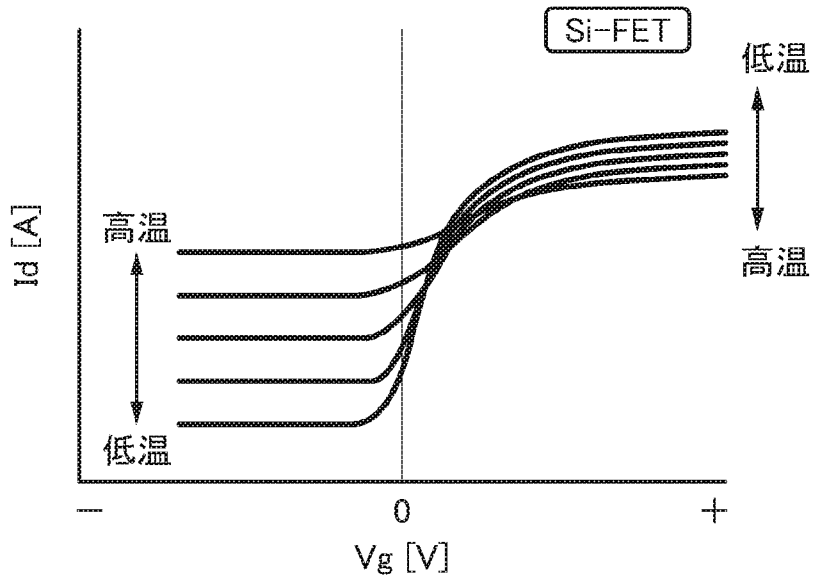

Twrite
Tread
WWL
VDD
VSS
WBL
Vdata
VDD
VSS
RWL
VDD
VSS
RBL
VDD
VSS
ΔV1
SN
VDD
VSS

[図4]

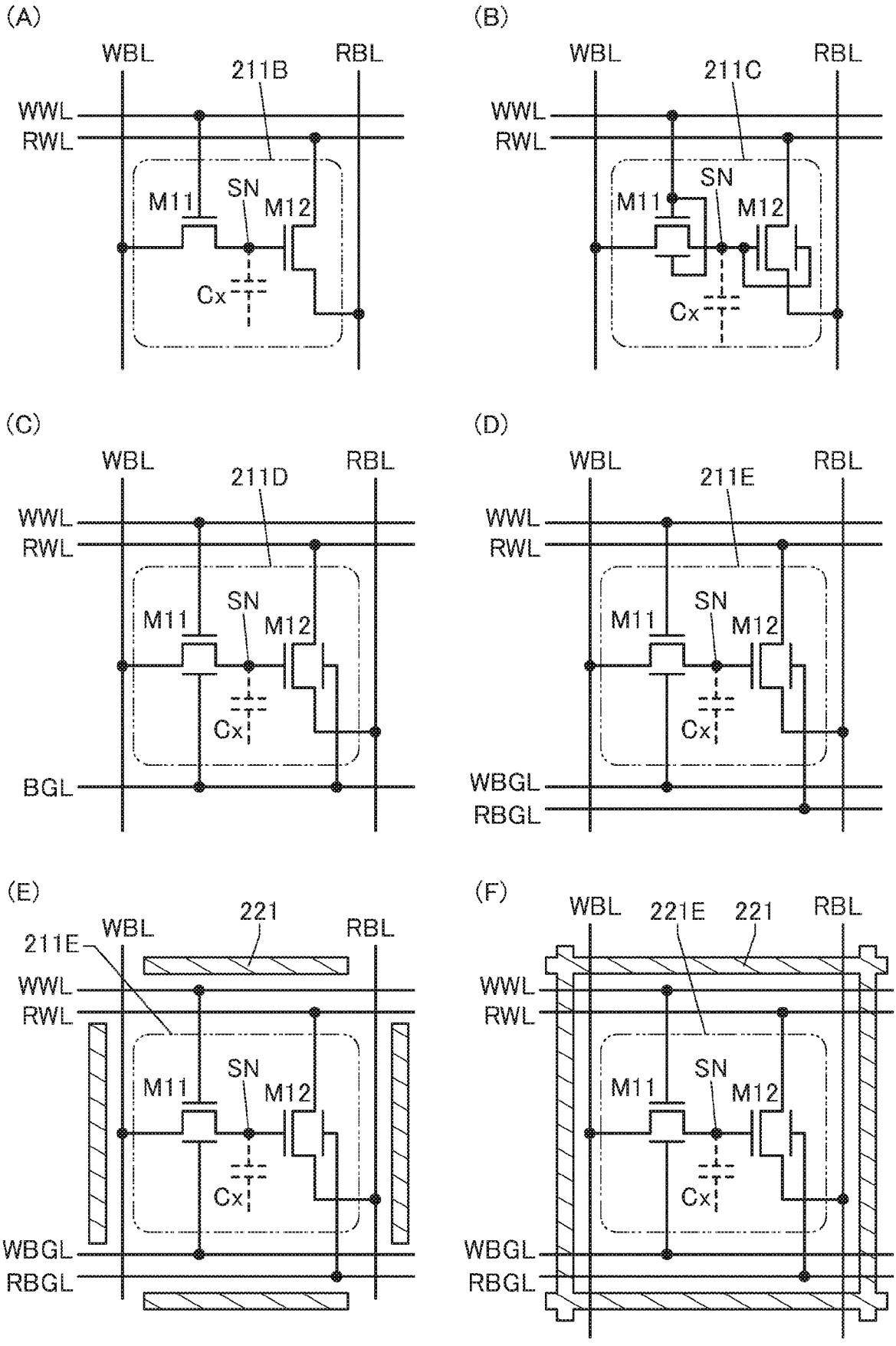
(A)



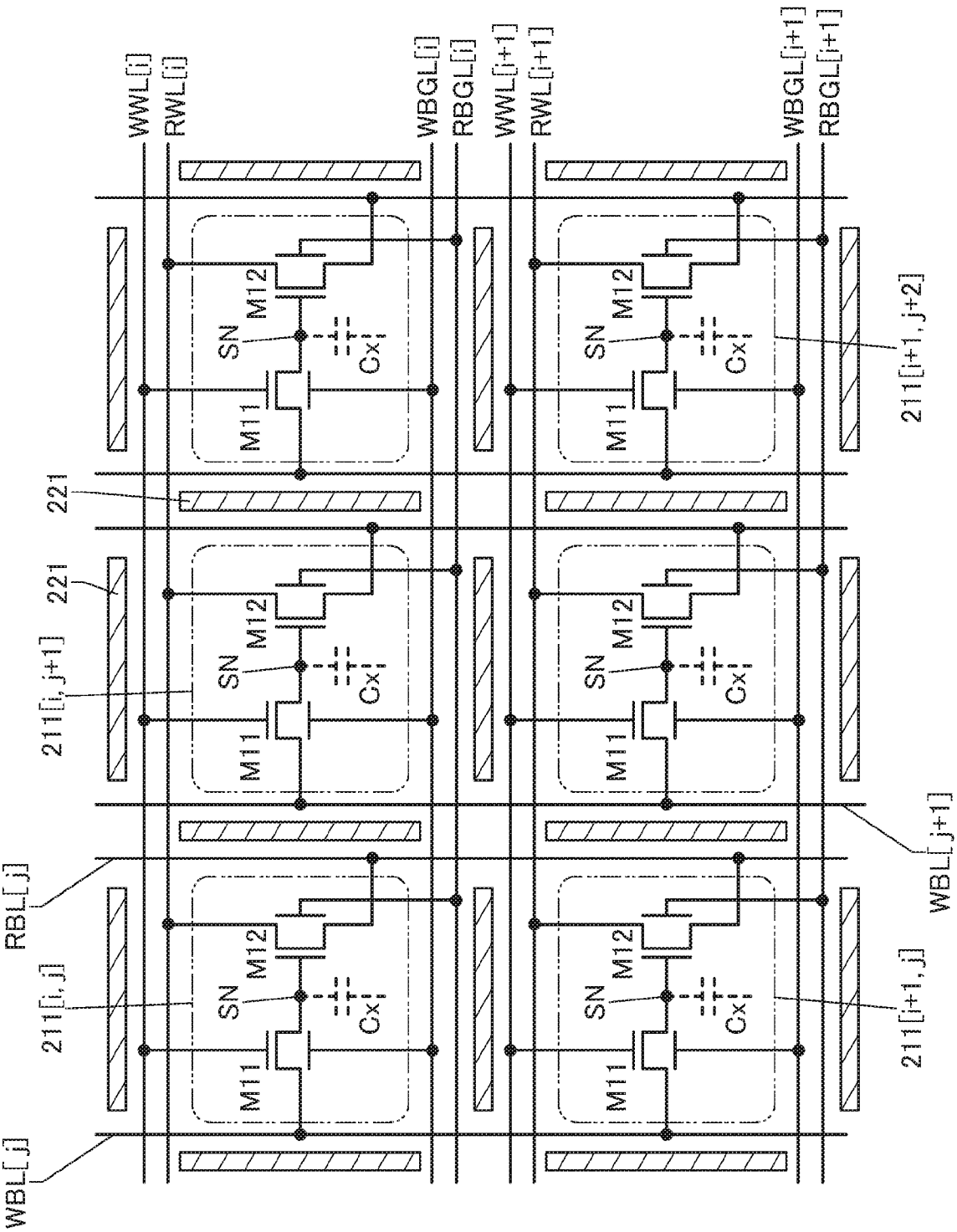
(B)



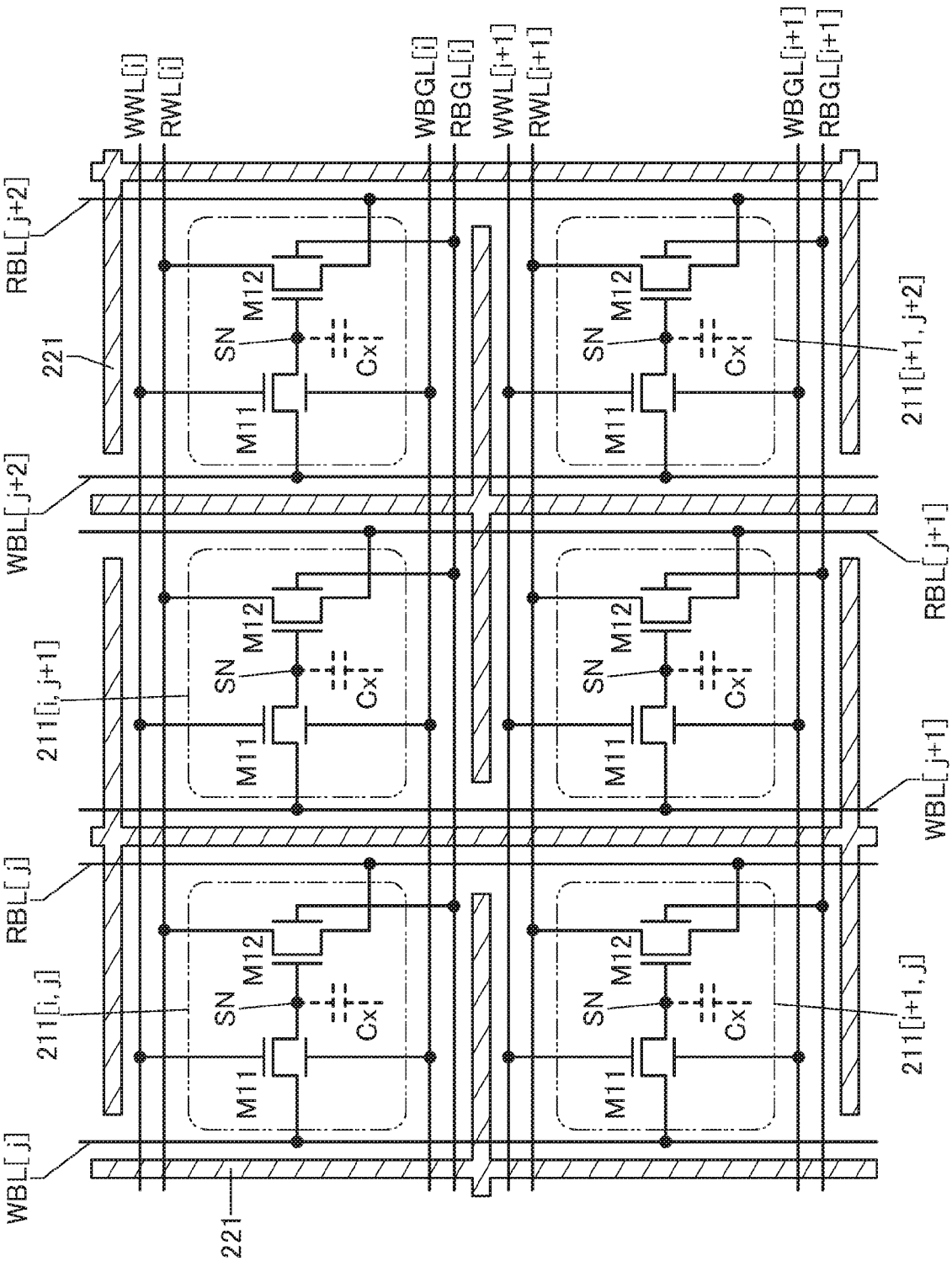
[図5]


(A)
WBL
211B
RBL
WWL
RWL
M11
SN
M12
Cx
(B)
WBL
211C
RBL
WWL
RWL
M11
SN
M12
Cx
(C)
WBL
211D
RBL
WWL
RWL
M11
SN
M12
Cx
BGL
(D)
WBL
211E
RBL
WWL
RWL
M11
SN
M12
Cx
WBGL
RBGL
(E)
221
211E
WBL
RBL
WWL
RWL
M11
SN
M12
Cx
WBGL
RBGL
(F)
WBL
221E
221
RBL
WWL
RWL
M11
SN
M12
Cx
WBGL
RBGL

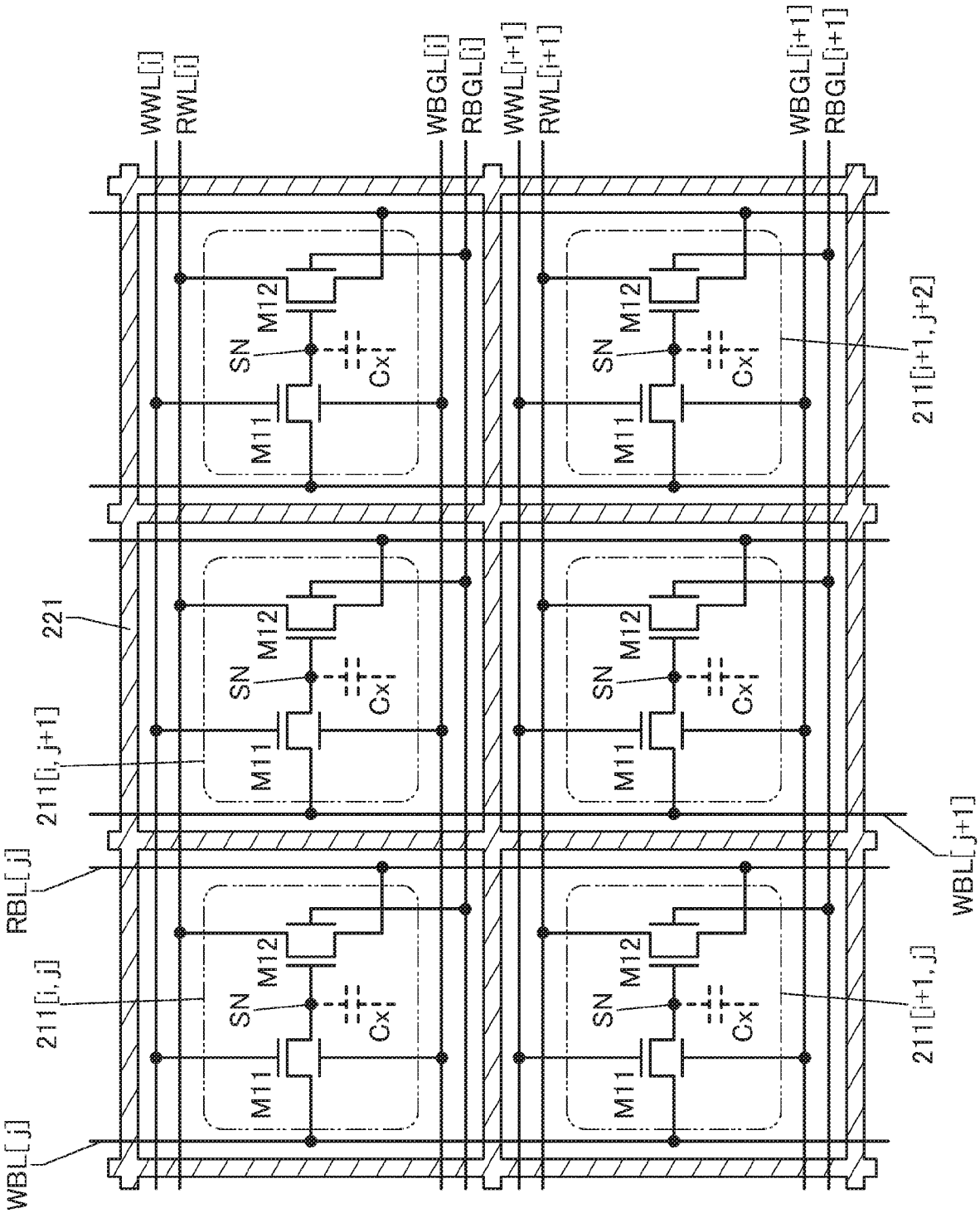
[図6]


WWL[i]
RWL[i]
WBGL[i]
RBGL[i]
WWL[i+1]
RWL[i+1]
WBGL[i+1]
RBGL[i+1]
221
221
211[i, j+1]
211[i, j]
211[i+1, j+2]
211[i+1, j]
RBL[j]
WBL[j]
WBL[j+1]
SN
M11
M12
Cx

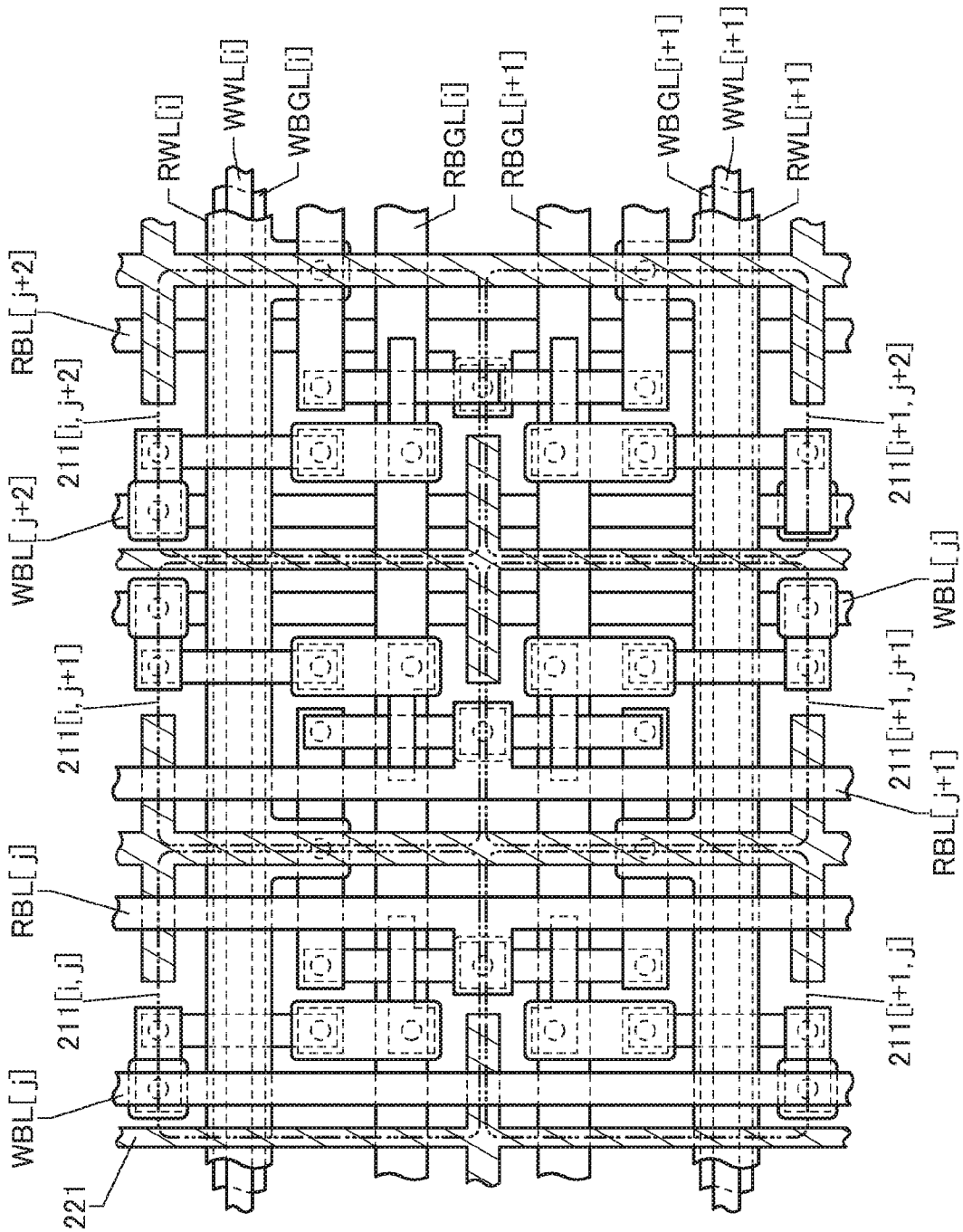
[図7]


WWL[i]
RWL[i]
WBGL[i]
RBGL[i]
WWL[i+1]
RWL[i+1]
WBGL[i+1]
RBGL[i+1]
RBL[j+2]
WBL[j+2]
RBL[j+1]
WBL[j+1]
RBL[j]
WBL[j]
221
211[i, j+1]
211[i, j]
211[i+1, j+2]
211[i+1, j]
SN
M11
M12
Cx

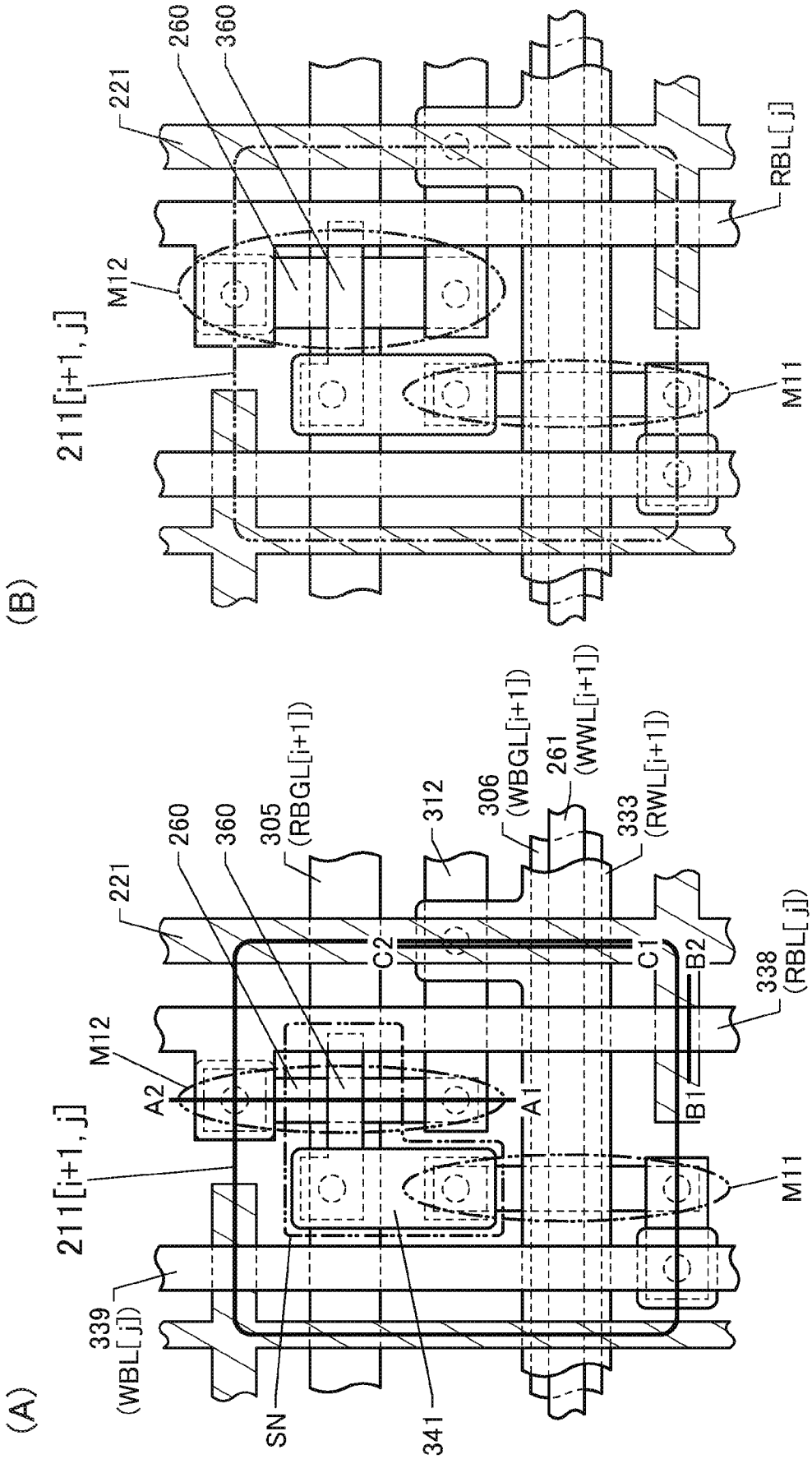
[図8]


WWL[i]
RWL[i]
WBGL[i]
RBGL[i]
WWL[i+1]
RWL[i+1]
WBGL[i+1]
RBGL[i+1]
221
211[i, j+1]
211[i+1, j+2]
RBL[j]
WBL[j+1]
211[i, j]
211[i+1, j]
WBL[j]
SN
M11
M12
Cx

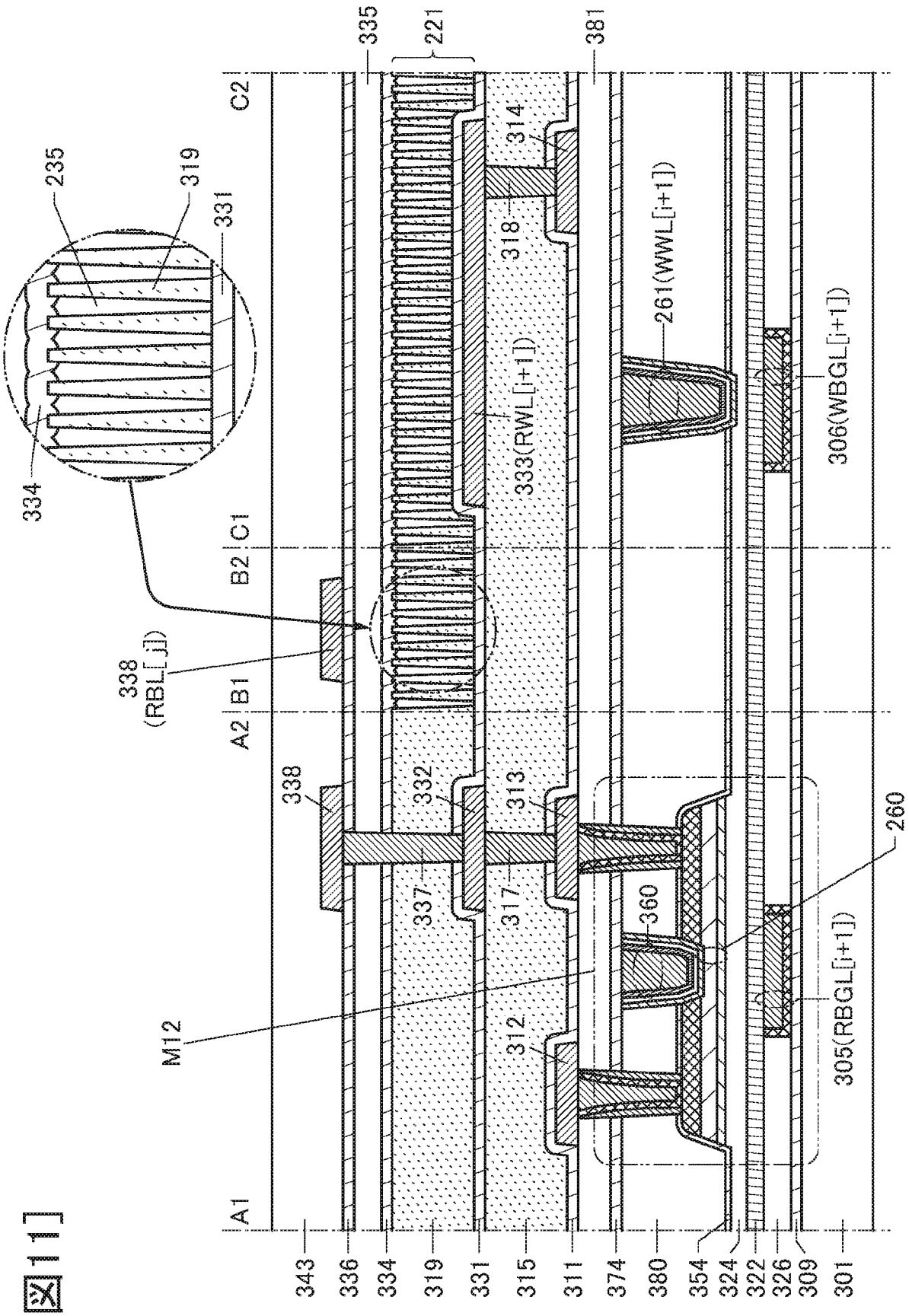
[図9]


RWL[i]
WWL[i]
WBGL[i]
RBGL[i]
RBGL[i+1]
WBGL[i+1]
WWL[i+1]
RWL[i+1]
RBL[j+2]
211[i, j+2]
WBL[j+2]
211[i+1, j+2]
WBL[j]
211[i, j+1]
211[i+1, j+1]
RBL[j+1]
RBL[j]
211[i, j]
211[i+1, j]
WBL[j]
221

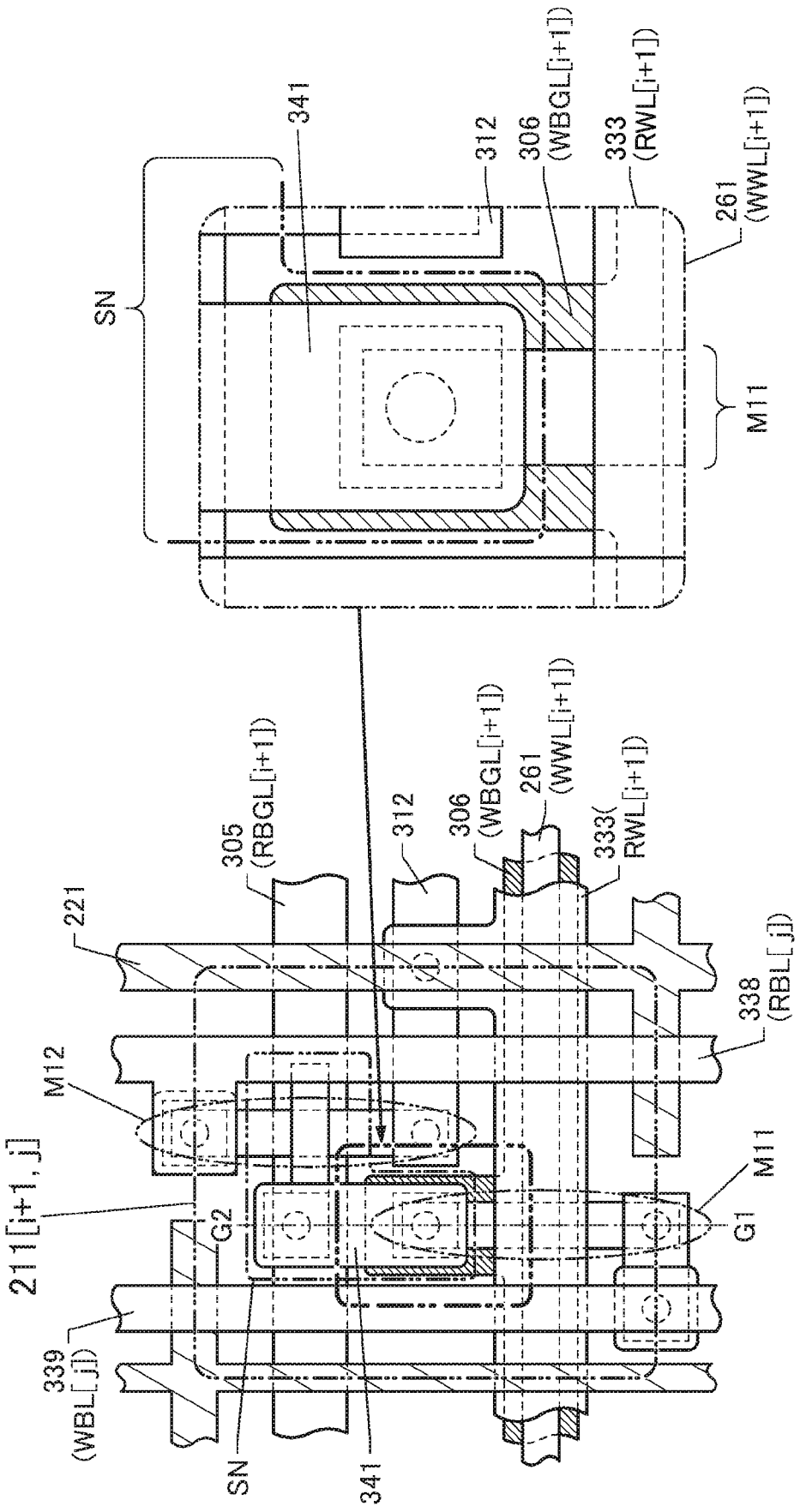
[図10]


(A)
339
(WBL[j])
211[i+1, j]
M12
A2
SN
341
260
360
221
305
(RBGL[i+1])
C2
312
306
(WBGL[i+1])
261
(WWL[i+1])
333
(RWL[i+1])
C1
A1
B1
B2
338
(RBL[j])
M11
(B)
211[i+1, j]
M12
221
260
360
RBL[j]
M11

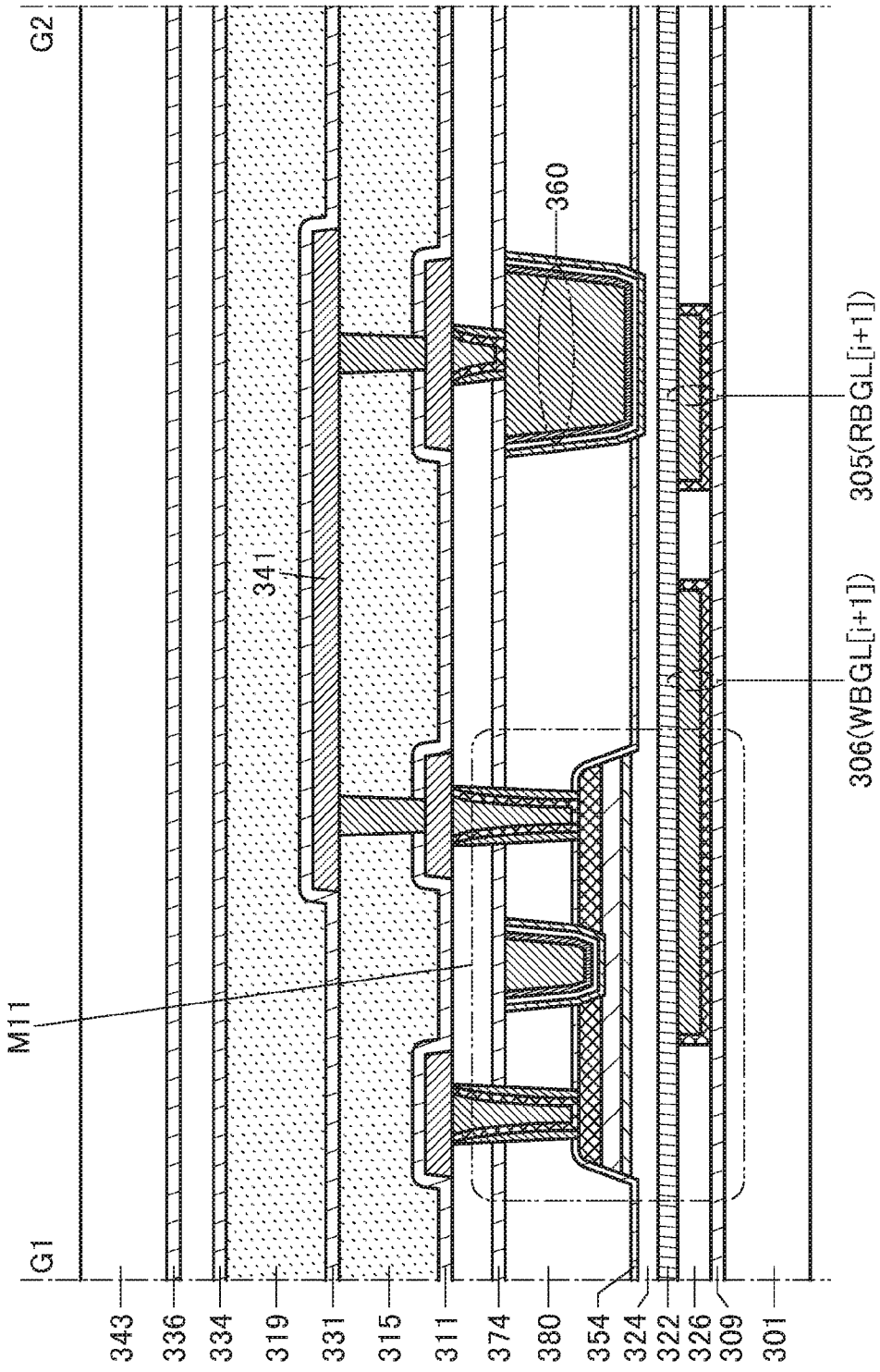
[図11]


335
221
381
C2
235
319
331
314
318
261(WWL[i+1])
306(WBGL[i+1])
334
B2
C1
333(RWL[i+1])
338
(RBL[j])
B1
A2
338
332
313
260
337
317
360
M12
312
305(RBGL[i+1])
A1
343
336
334
319
331
315
311
374
380
354
324
322
326
309
301

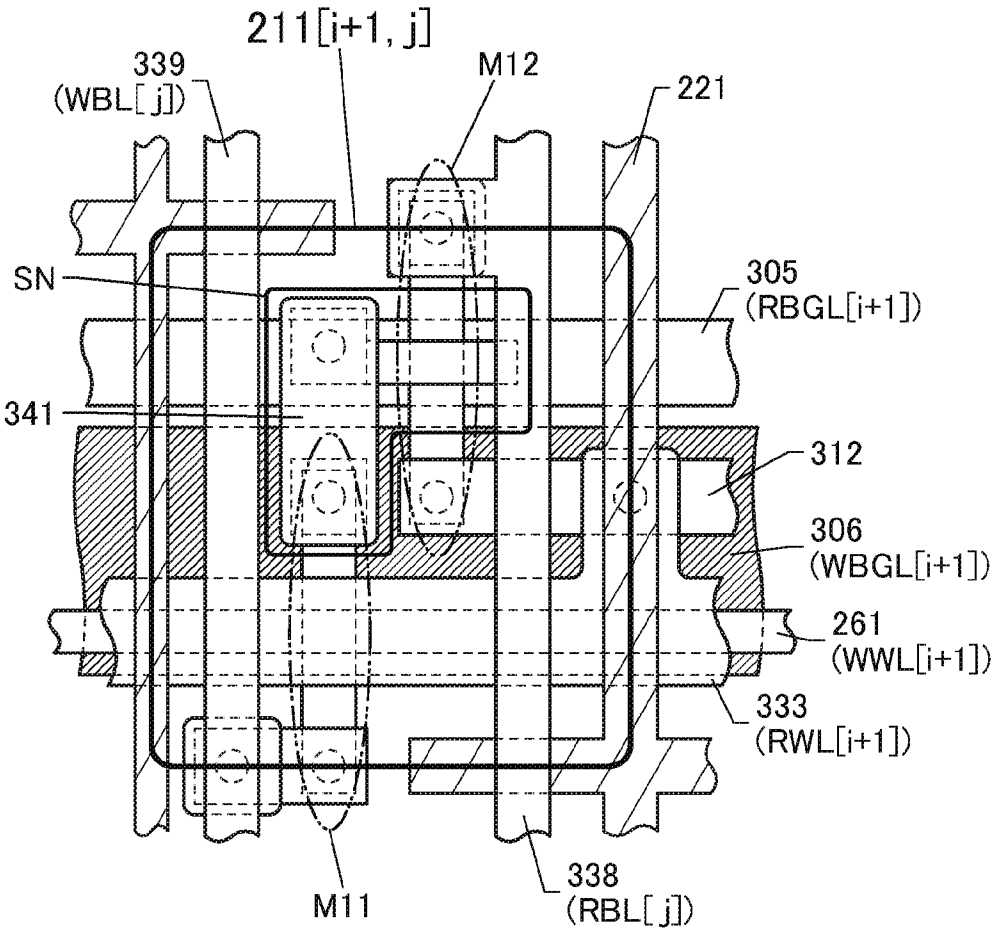
[図12]


SN
341
312
306
(WBGL[i+1])
333
(RWL[i+1])
261
(WWL[i+1])
M11
305
(RBGL[i+1])
221
M12
211[i+1, j]
G2
339
(WBL[j])
SN
341
G1
M11
338
(RBL[j])

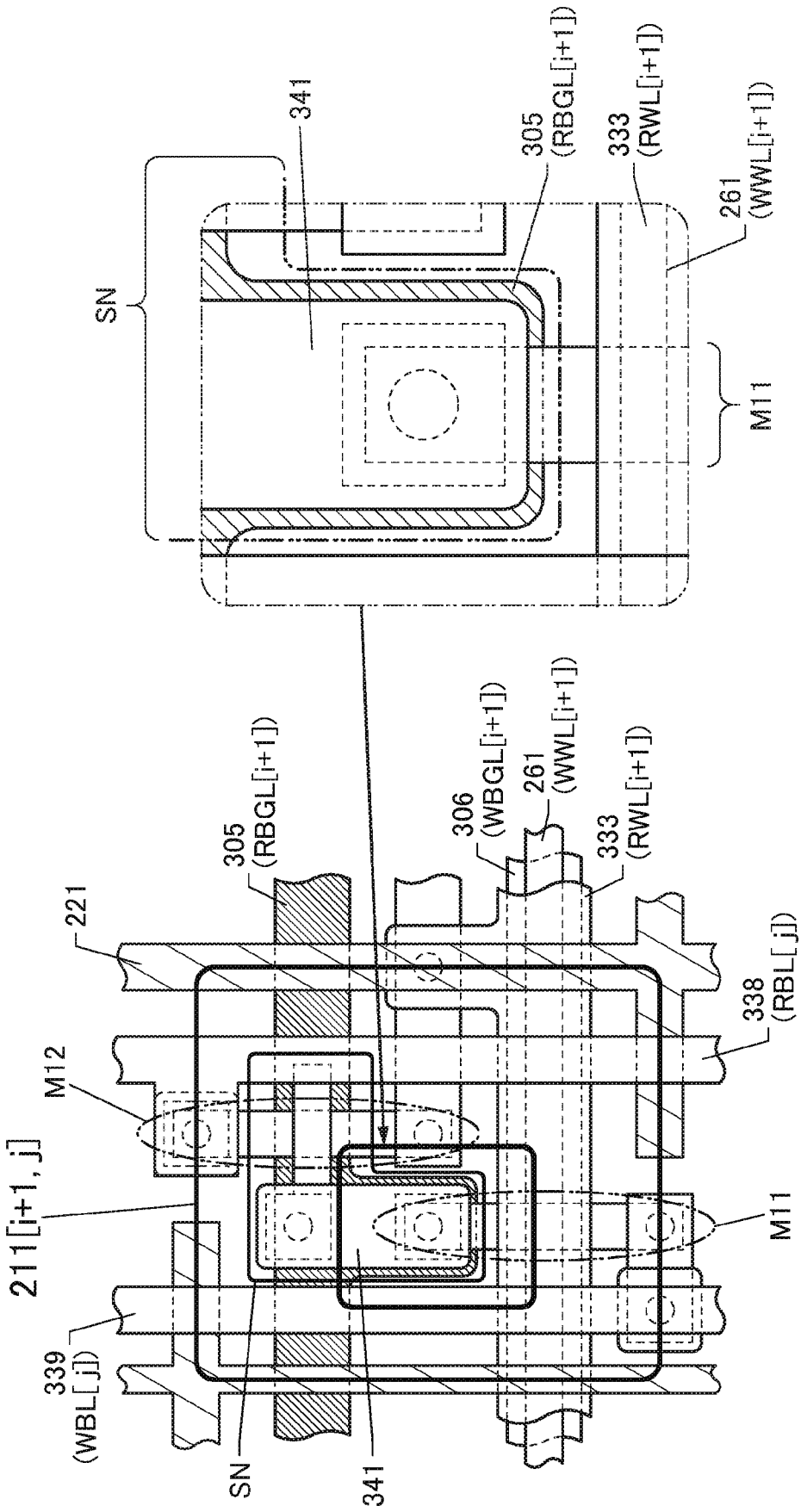
[図13]


G2
G1
M11
341
360
305(RBGL[i+1])
306(WBGL[i+1])
343
336
334
319
331
315
311
374
380
354
324
322
326
309
301

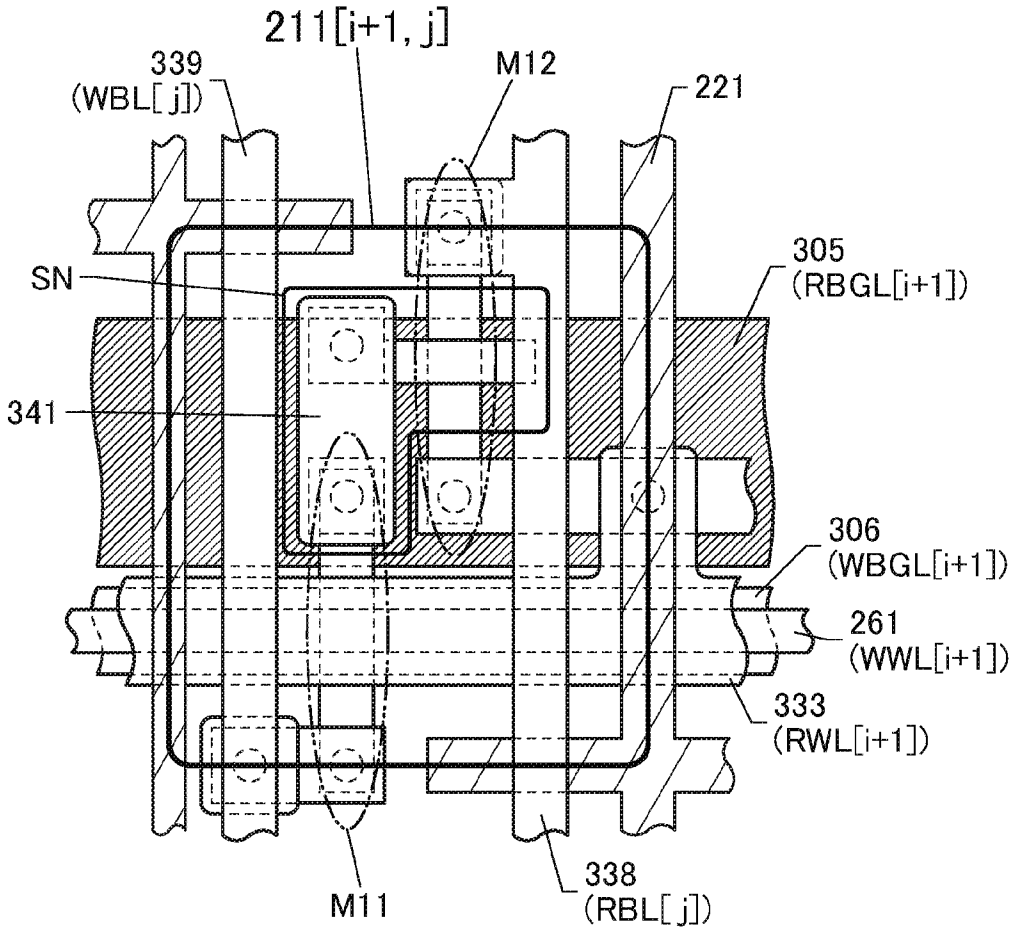
[図14]


211[i+1, j]
339
(WBL[j])
M12
221
SN
305
(RBGL[i+1])
341
312
306
(WBGL[i+1])
261
(WWL[i+1])
333
(RWL[i+1])
M11
338
(RBL[j])

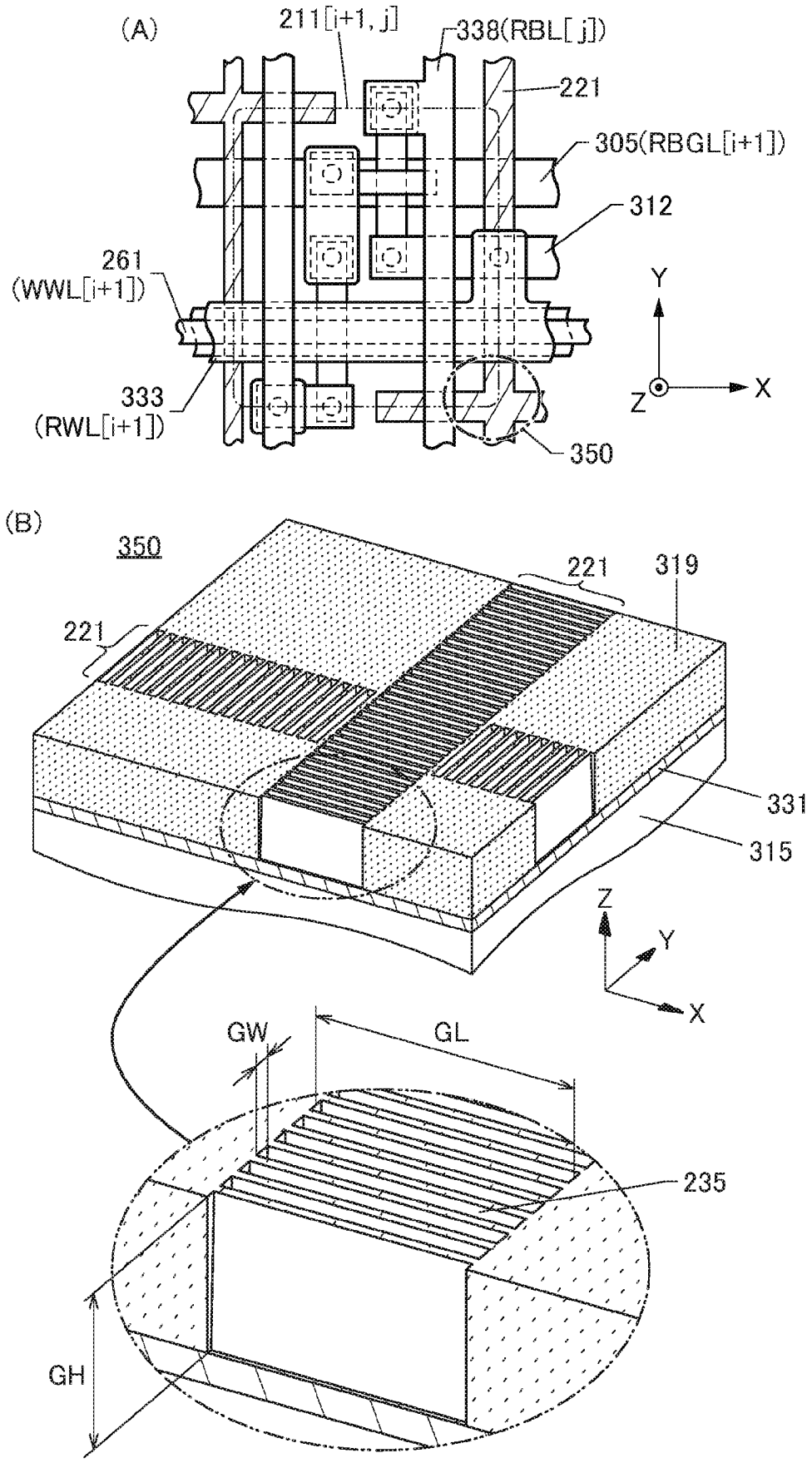
[図15]


SN
341
305 (RBGL[i+1])
333 (RWL[i+1])
261 (WWL[i+1])
M11
306 (WBGL[i+1])
221
M12
211[i+1, j]
338 (RBL[j])
339 (WBL[j])

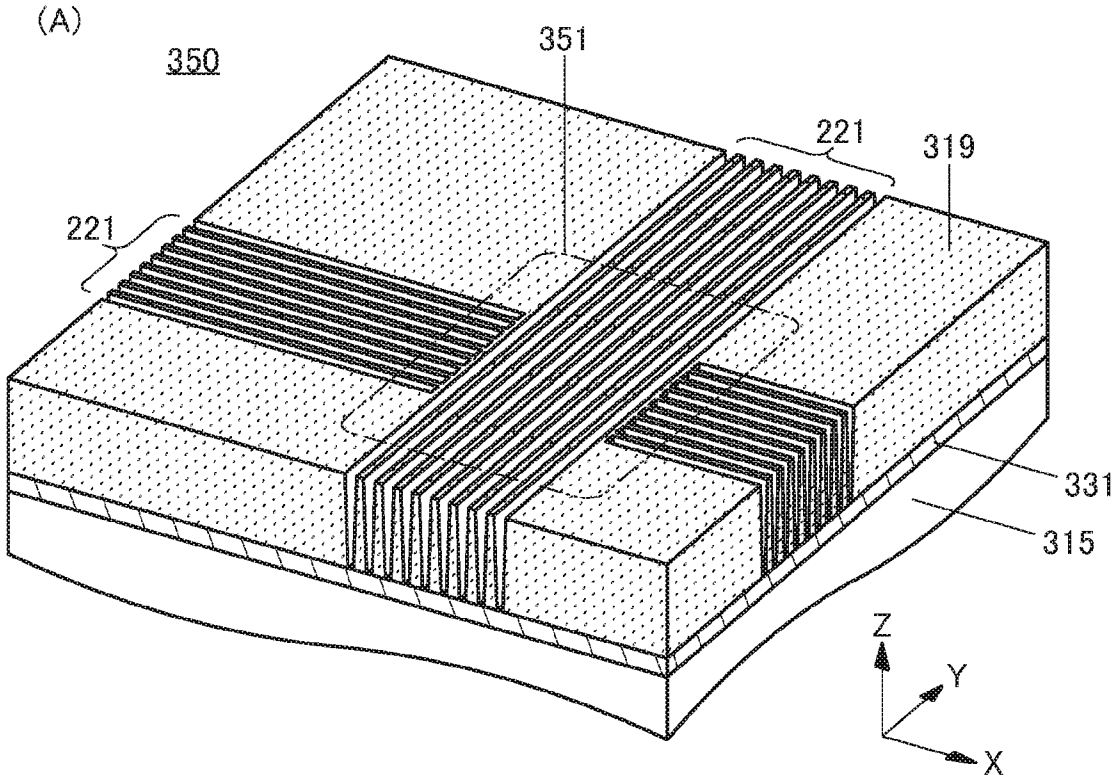
[図16]

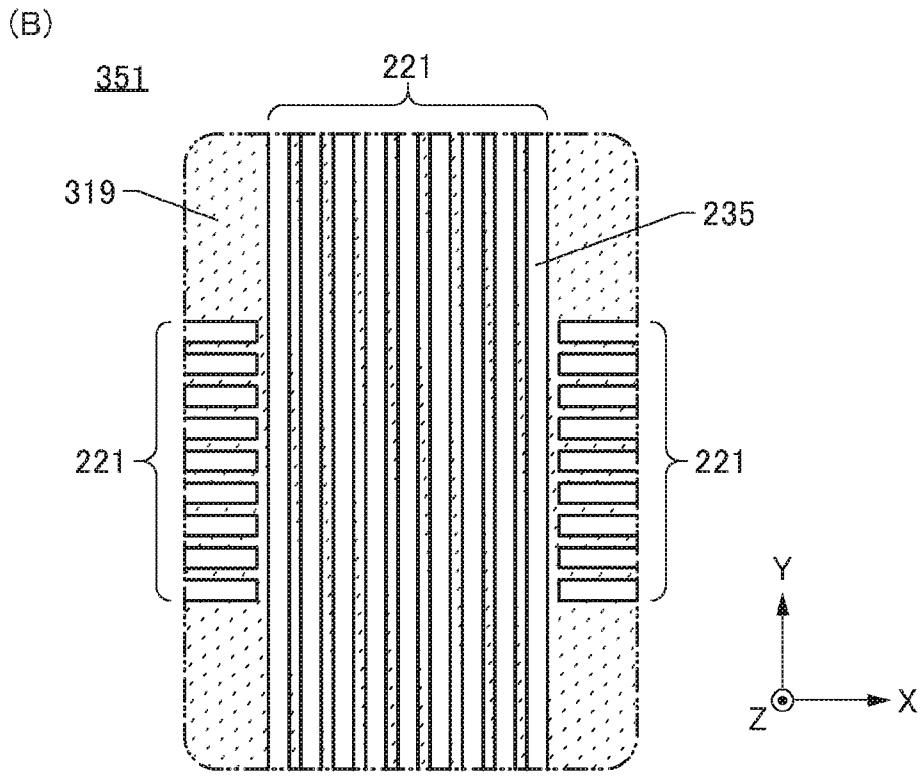

211[i+1, j]
339
(WBL[j])
M12
221
SN
305
(RBGL[i+1])
341
306
(WBGL[i+1])
261
(WWL[i+1])
333
(RWL[i+1])
M11
338
(RBL[j])

[図17]

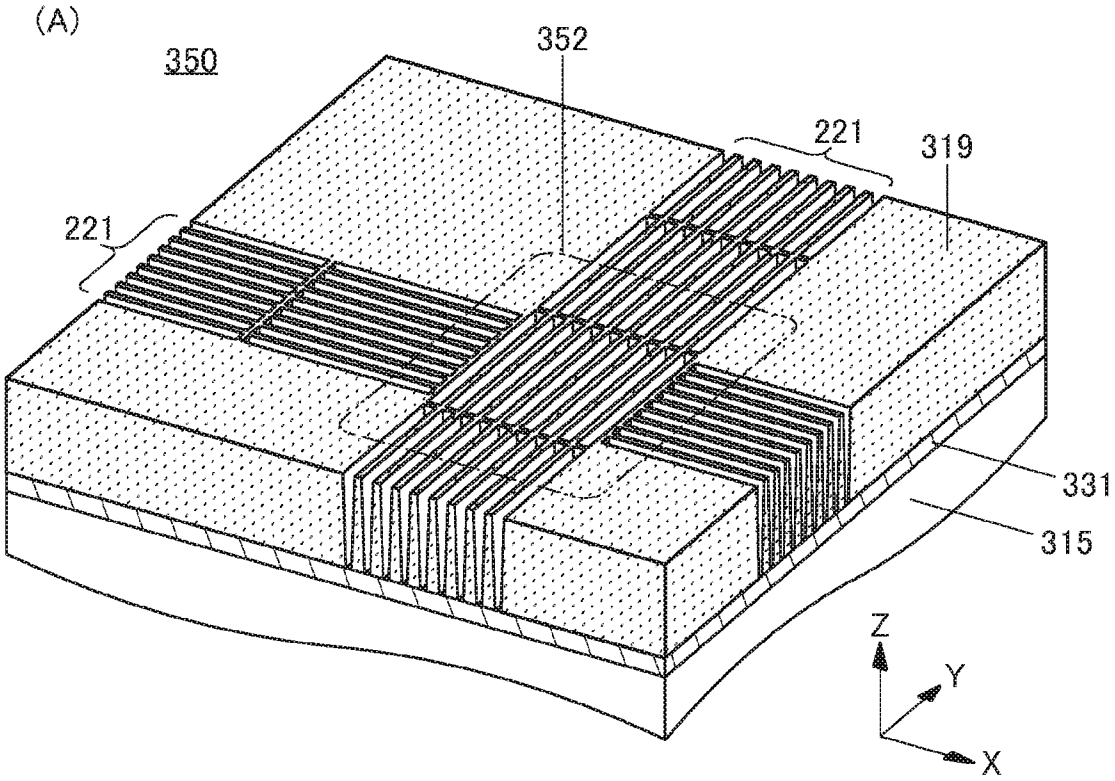

(A)
211[i+1, j]
338(RBL[j])
221
305(RBGL[i+1])
312
261
(WWL[i+1])
333
(RWL[i+1])
350
Y
X
Z
(B)
350
221
221
319
331
315
Z
Y
X
GW
GL
235
GH

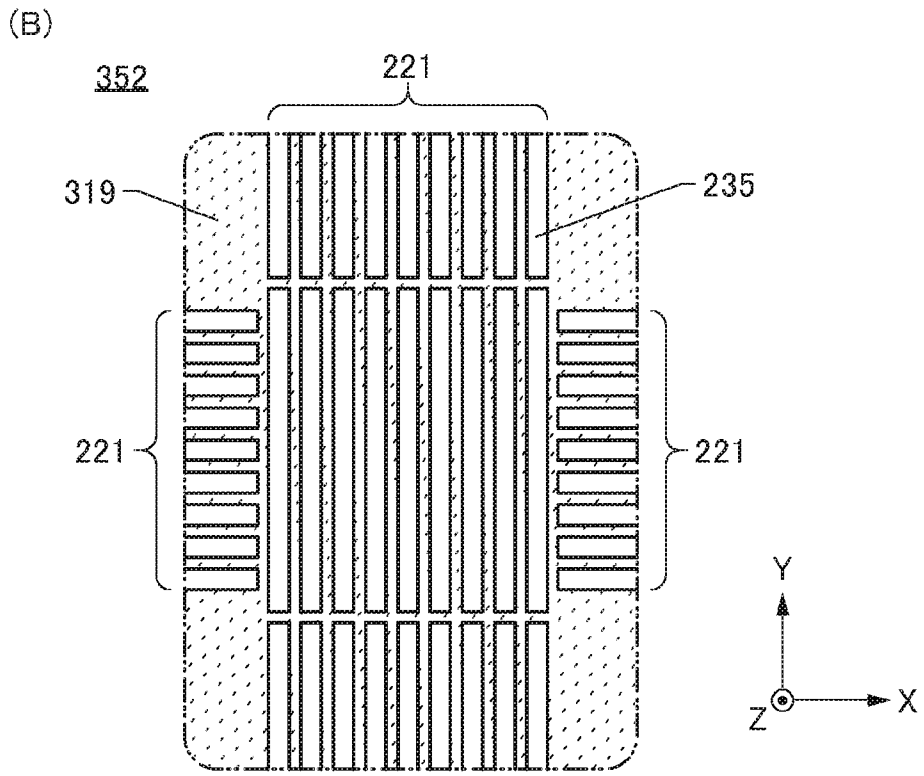
[図18]



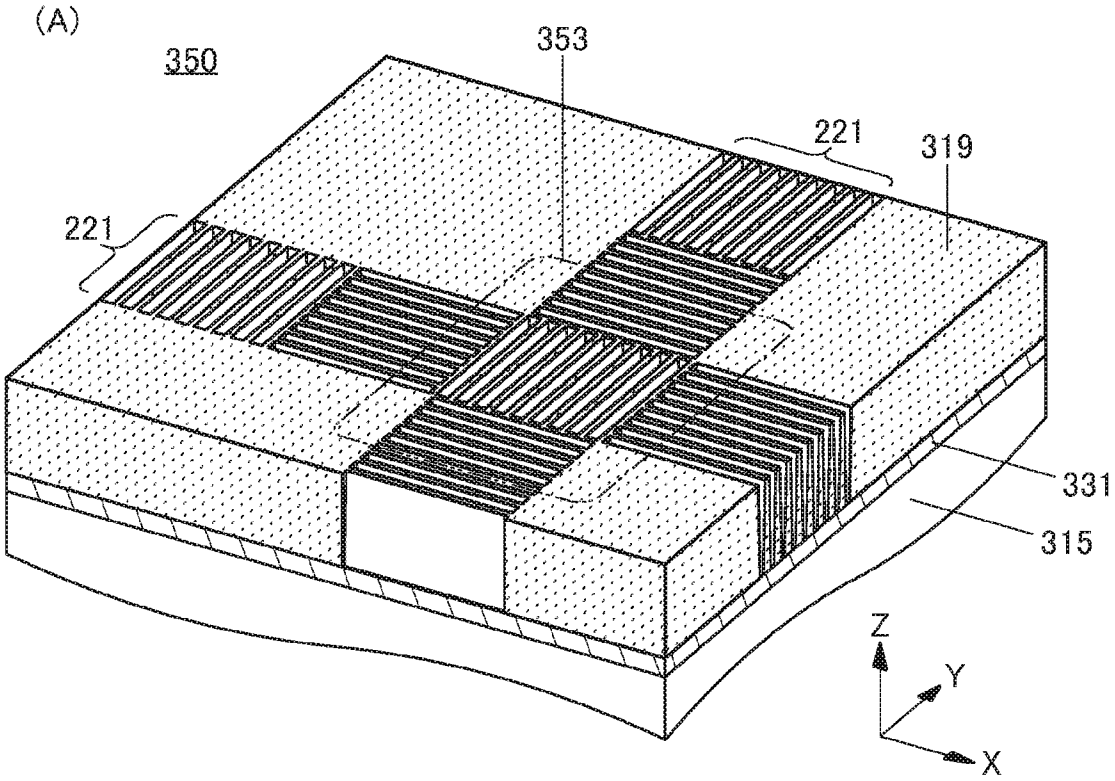


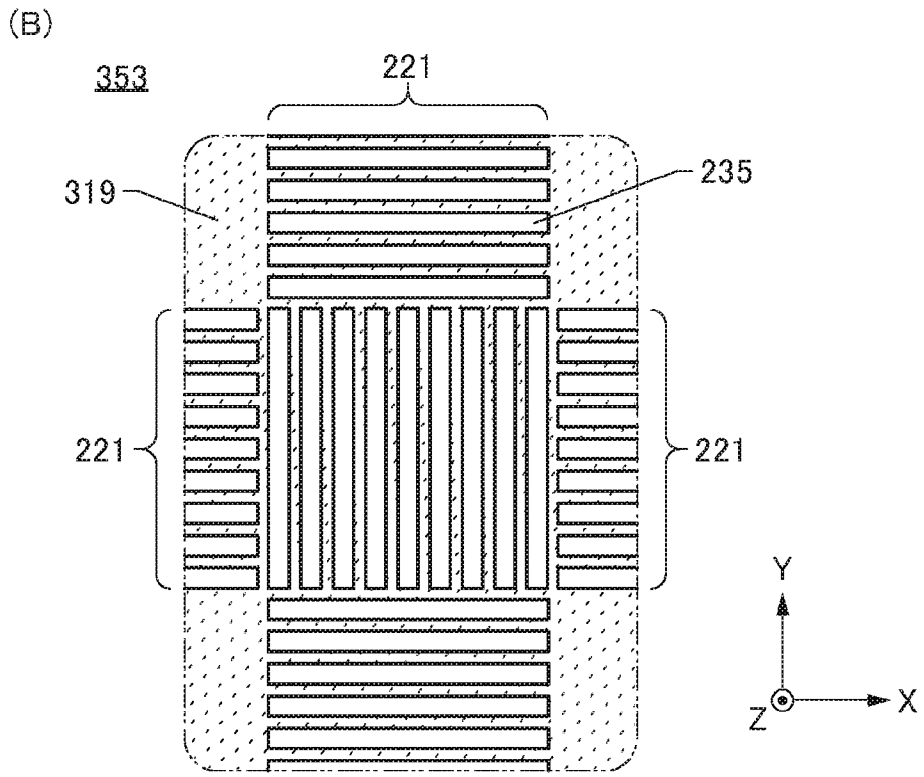
[図19]



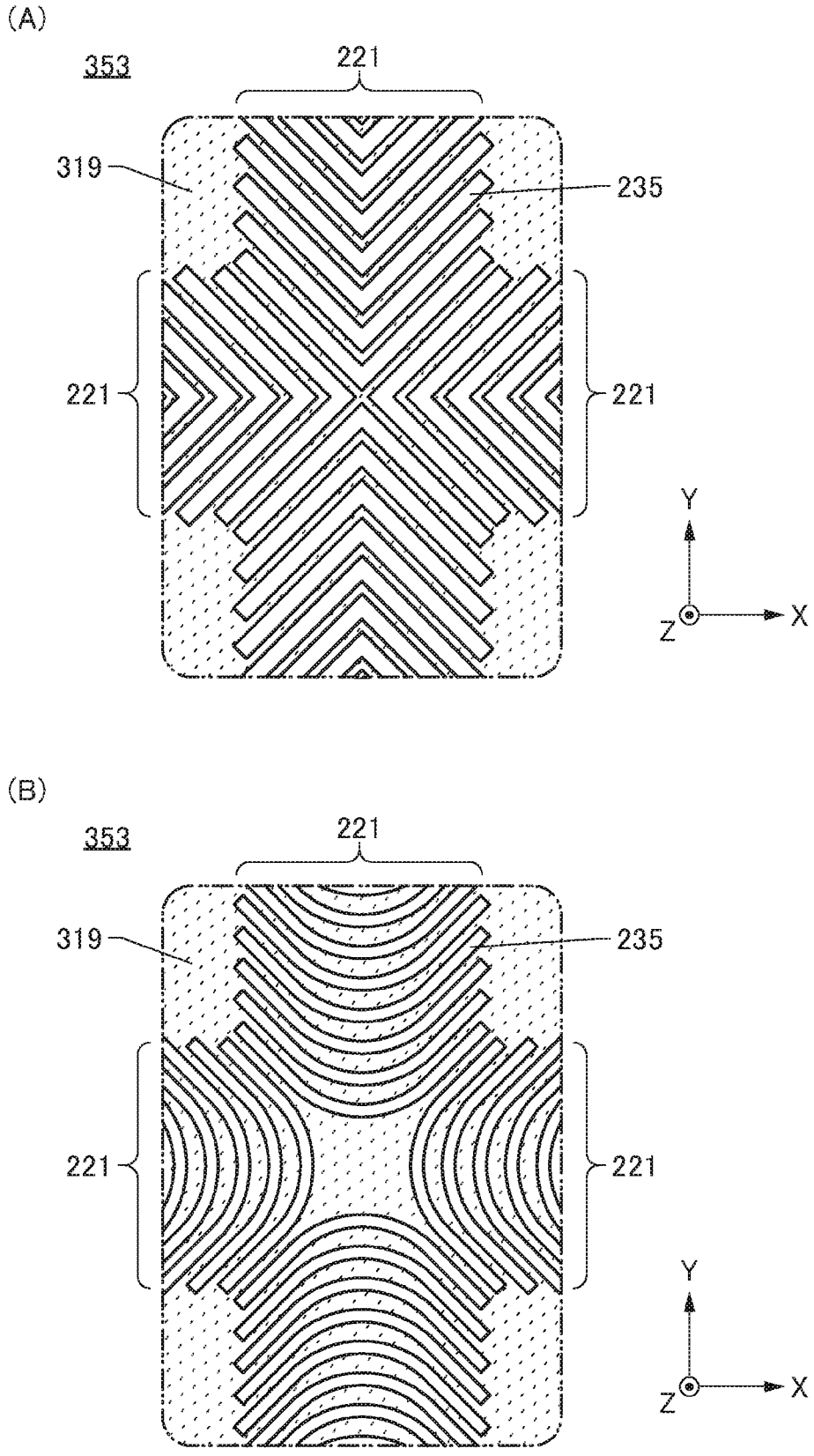


[図20]

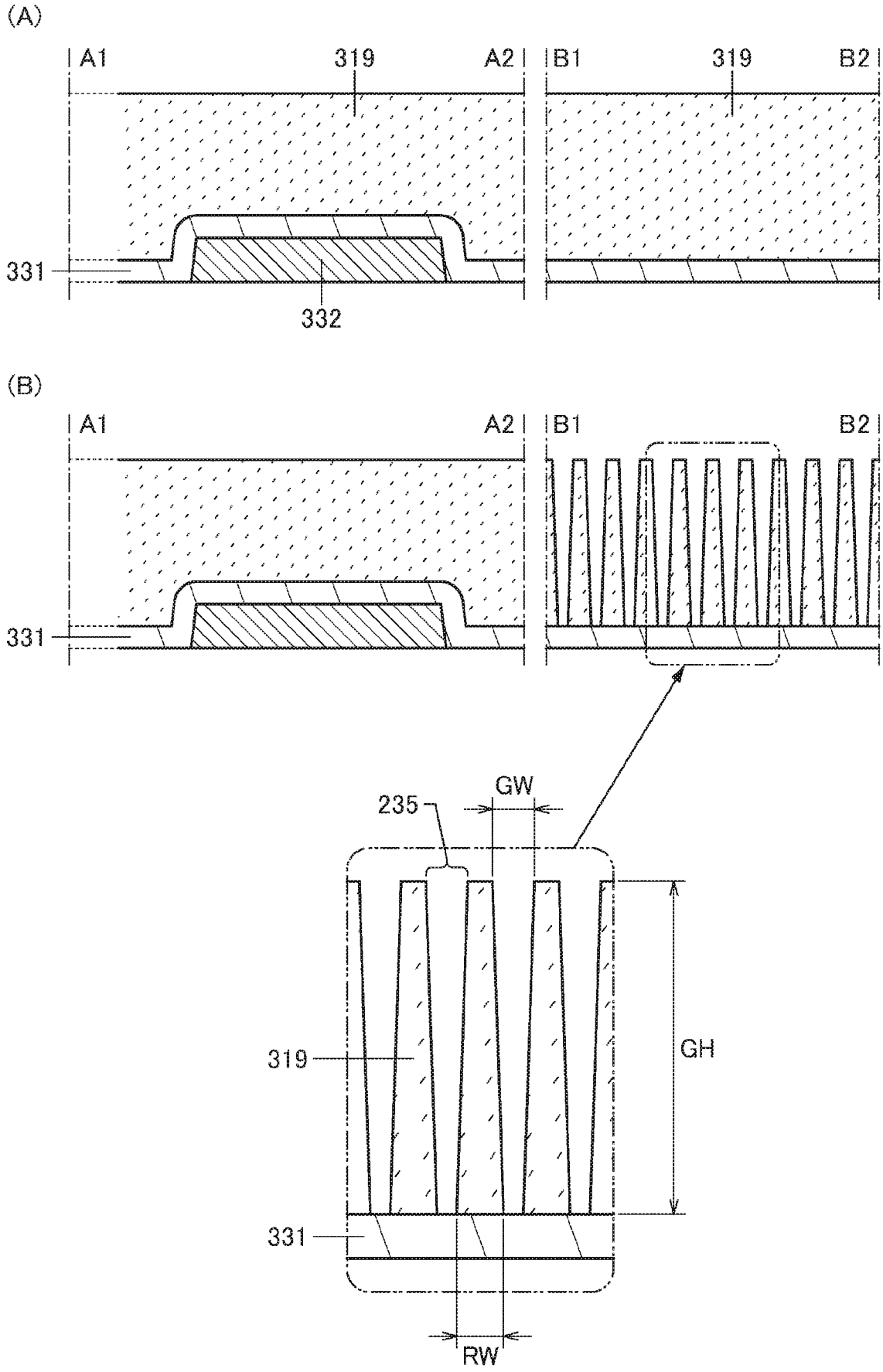




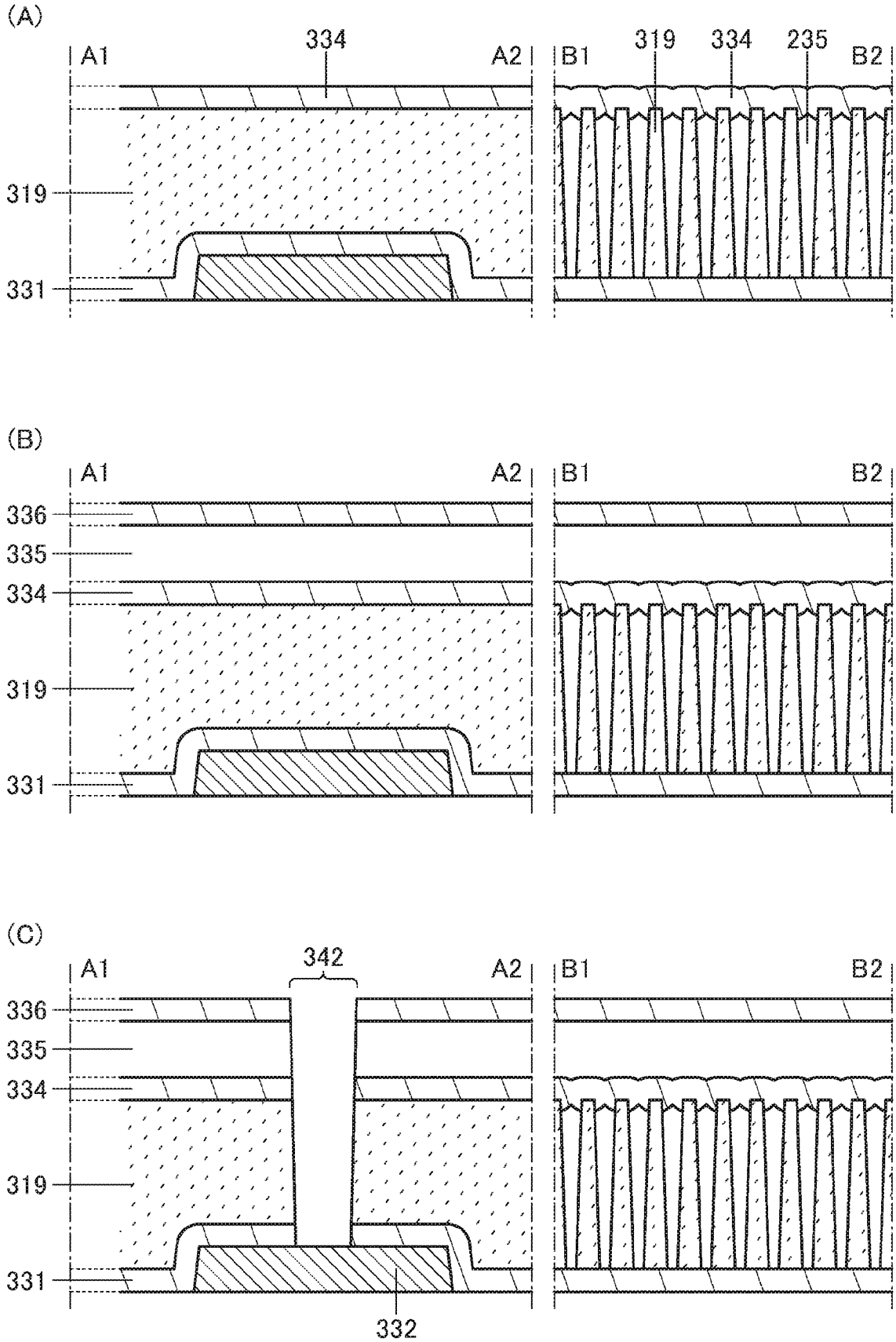
[図21]



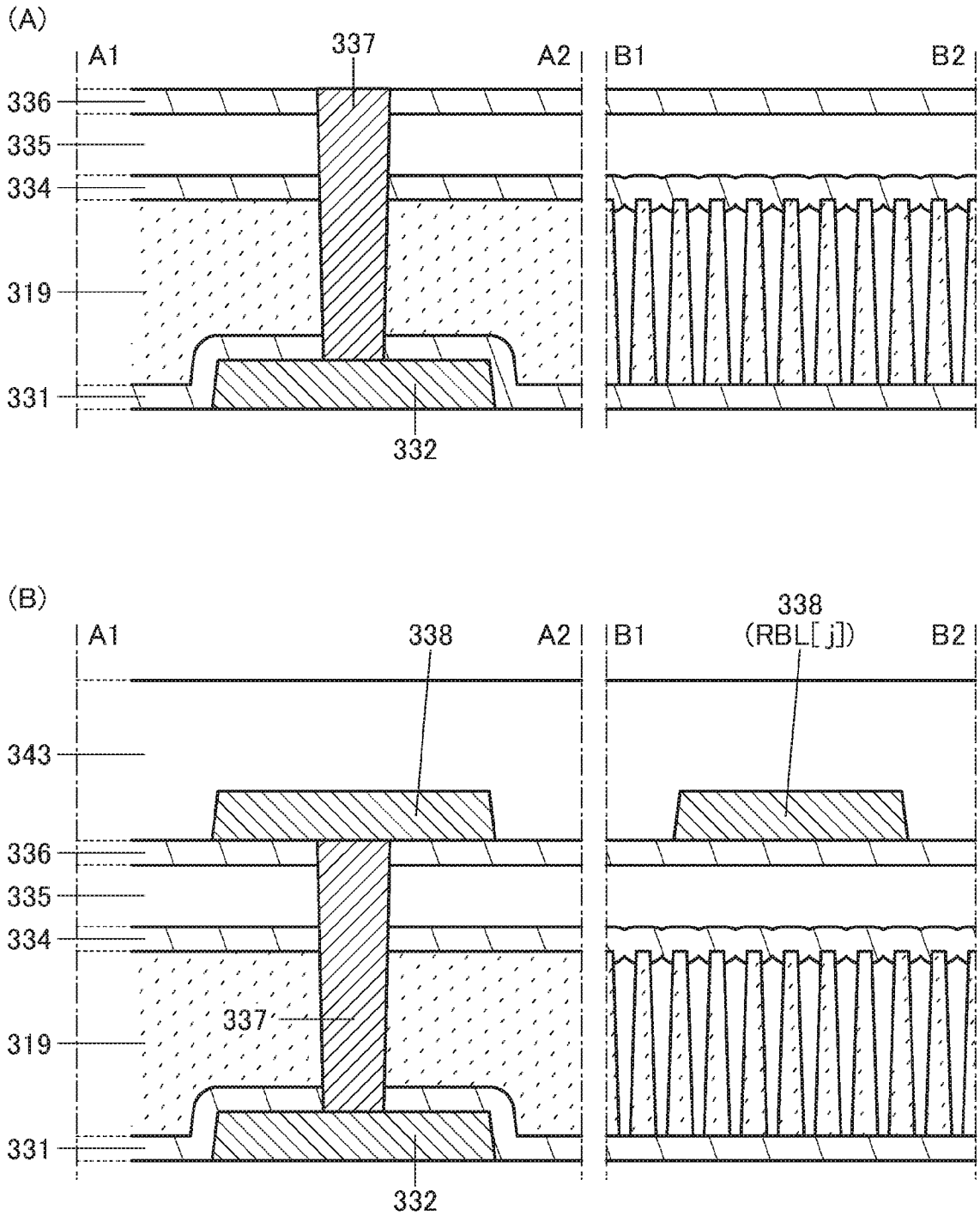
[図22]



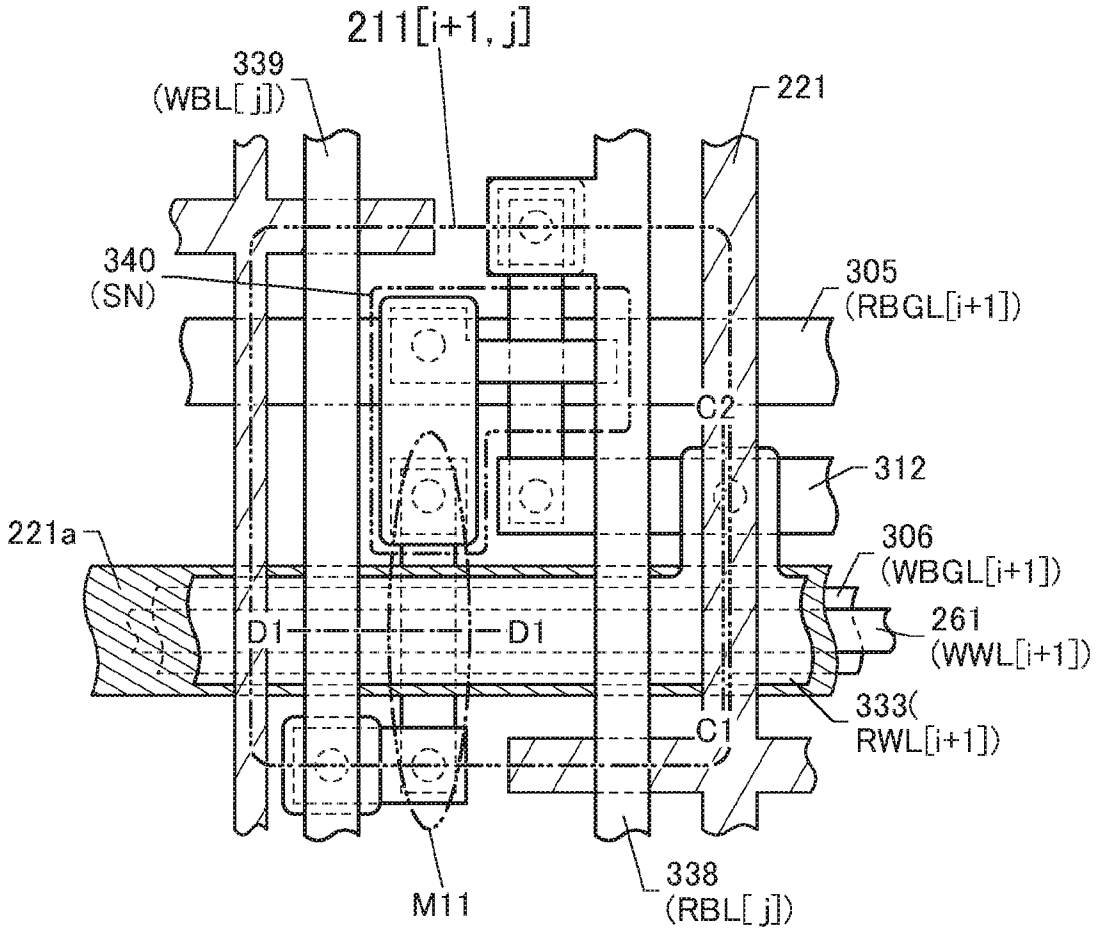
[図23]


(A)
A1
334
A2
B1
319
334
235
B2
319
331
(B)
A1
A2
B1
B2
336
335
334
319
331
(C)
A1
342
A2
B1
B2
336
335
334
319
331
332

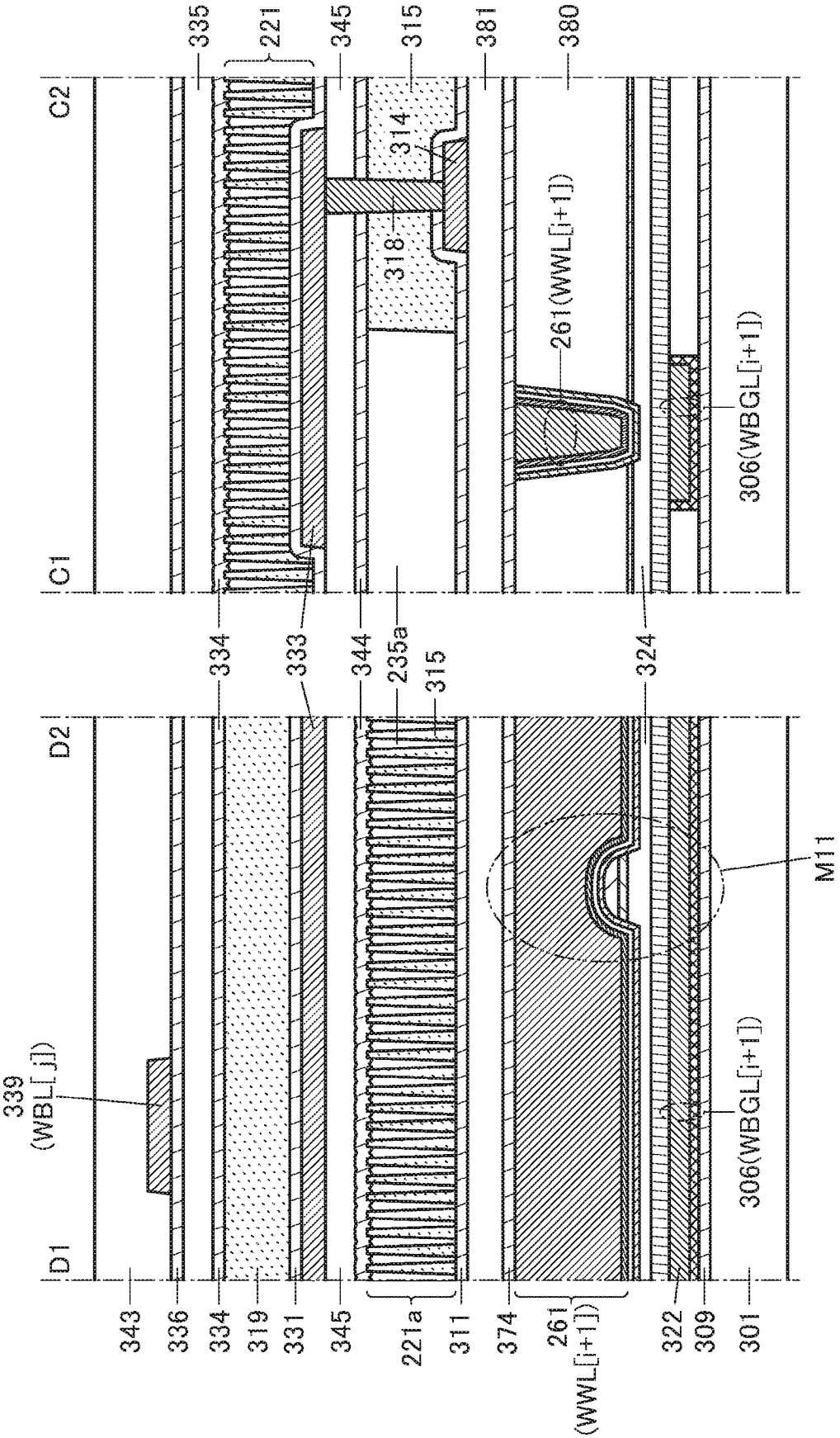
[図24]


(A)
A1
337
A2
B1
B2
336
335
334
319
331
332
(B)
A1
338
A2
B1
338
(RBL[j])
B2
343
336
335
334
337
319
331
332

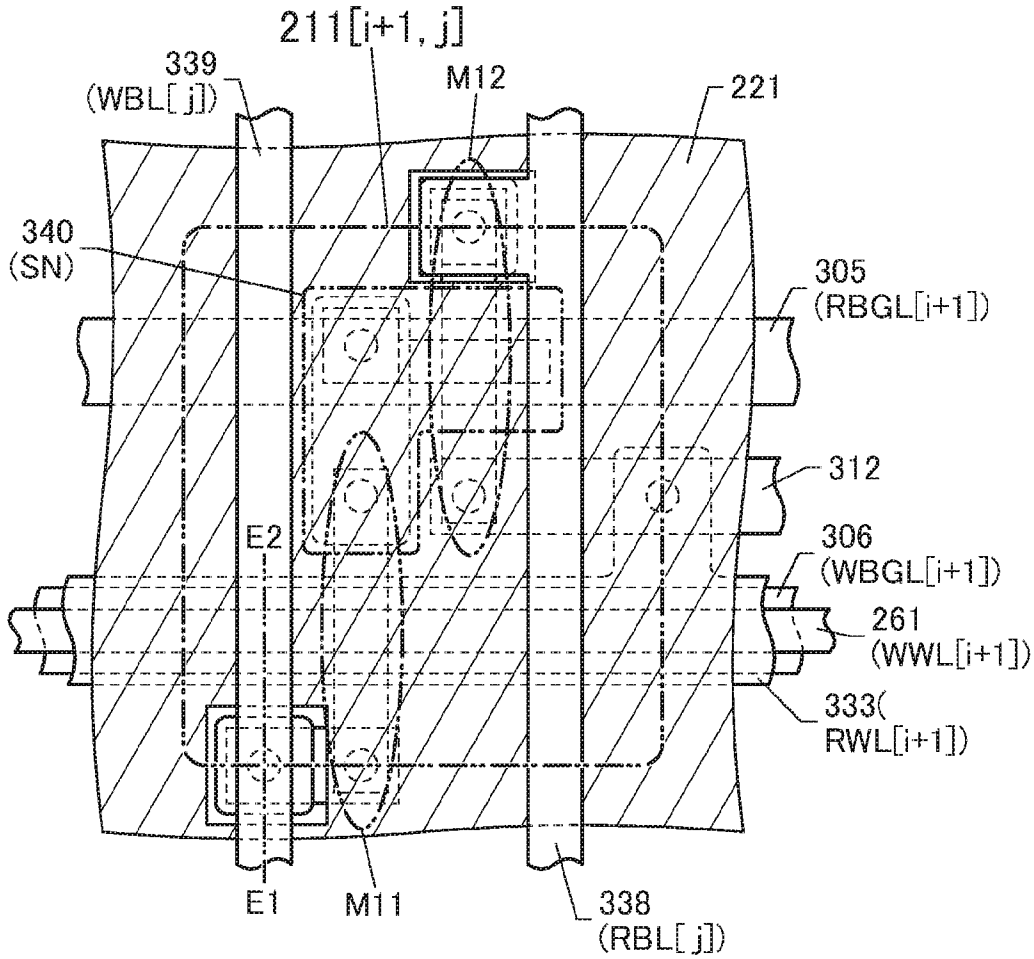
[図25]


211[i+1, j]
339
(WBL[j])
221
340
(SN)
305
(RBGL[i+1])
C2
312
221a
306
(WBGL[i+1])
261
(WWL[i+1])
D1
D1
333(
RWL[i+1])
C1
M11
338
(RBL[j])

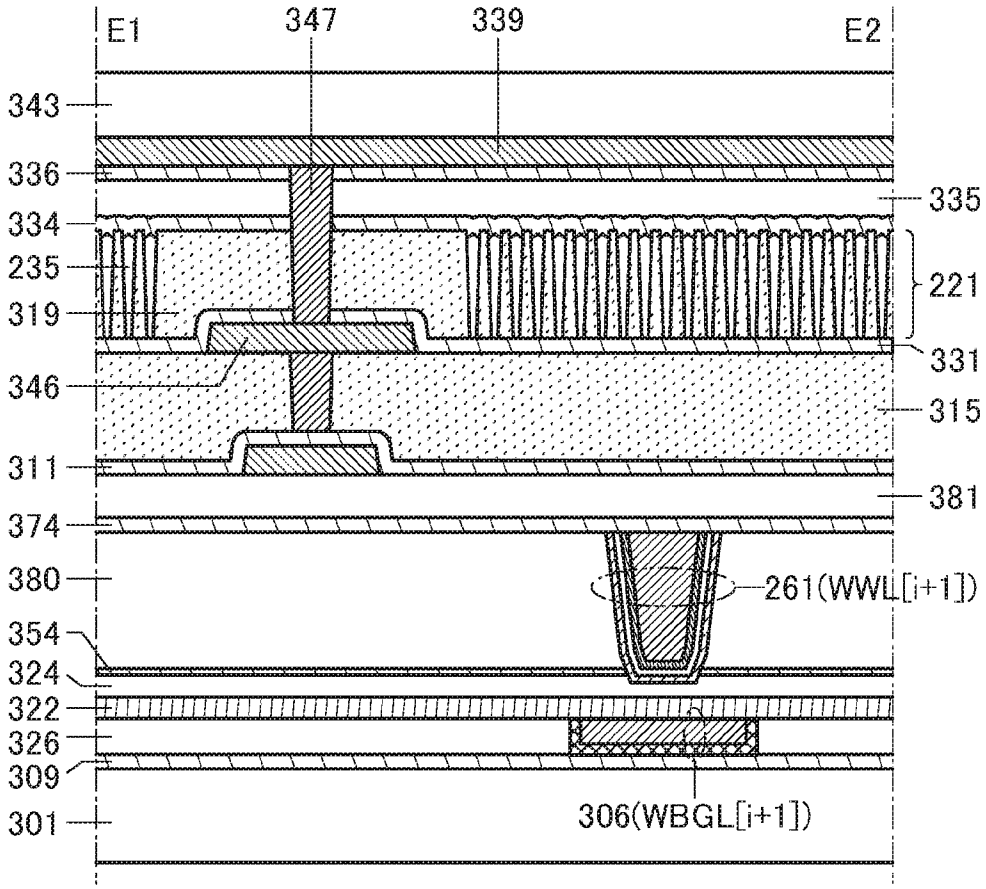
[図26]


C2
C1
D2
D1
335
221
345
315
381
380
314
318
261(WWL[i+1])
306(WBGL[i+1])
334
333
344
235a
315
324
339
(WBL[j])
M11
343
336
334
319
331
345
221a
311
374
261
(WWL[i+1])
322
309
301

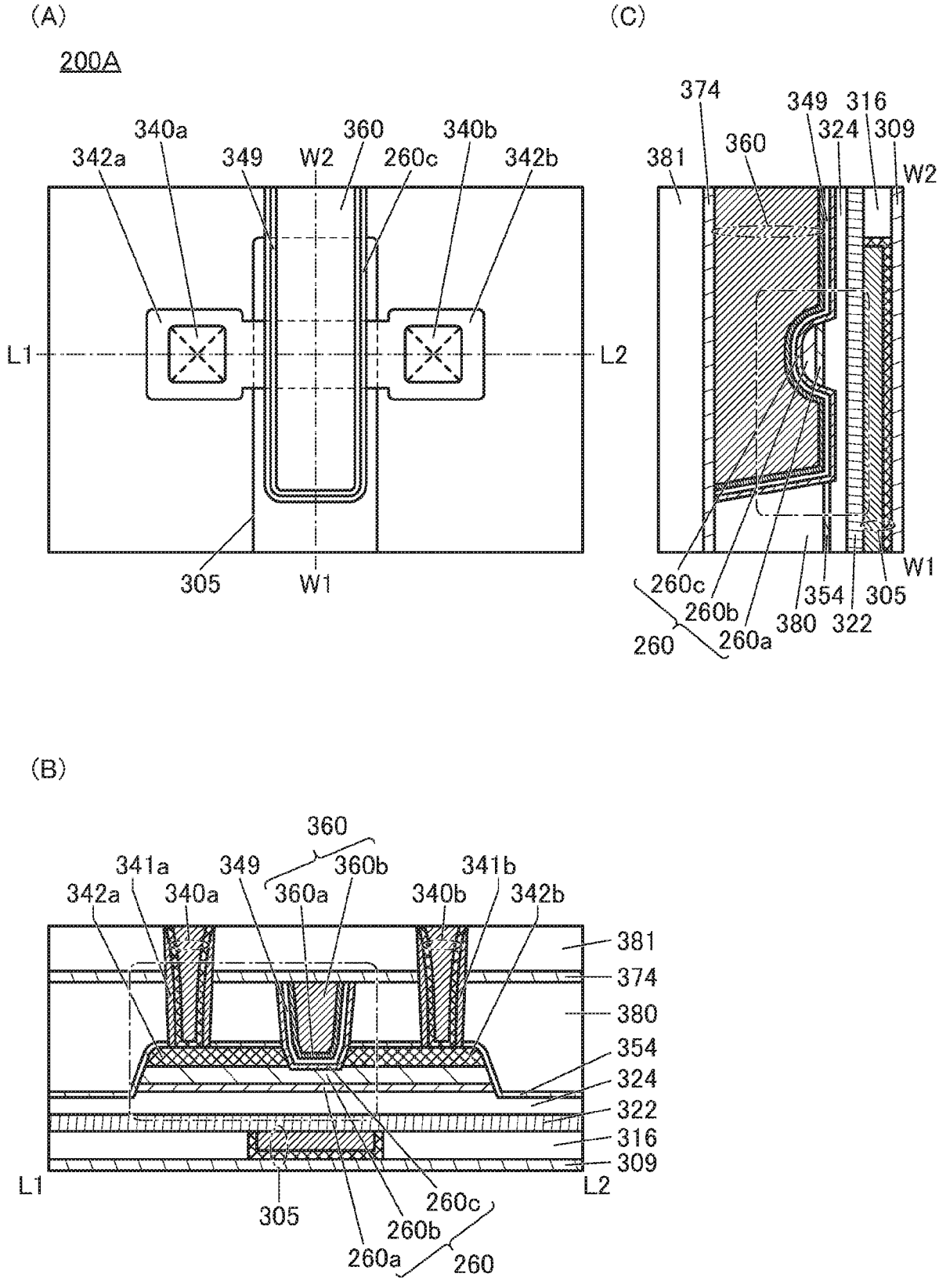
[図27]


211[i+1, j]
339
(WBL[j])
M12
221
340
(SN)
305
(RBGL[i+1])
312
306
(WBGL[i+1])
E2
261
(WWL[i+1])
333(
RWL[i+1])
E1
M11
338
(RBL[j])

[図28]


E1
347
339
E2
343
336
334
235
319
346
311
374
380
354
324
322
326
309
301
335
221
331
315
381
261(WWL[i+1])
306(WBGL[i+1])

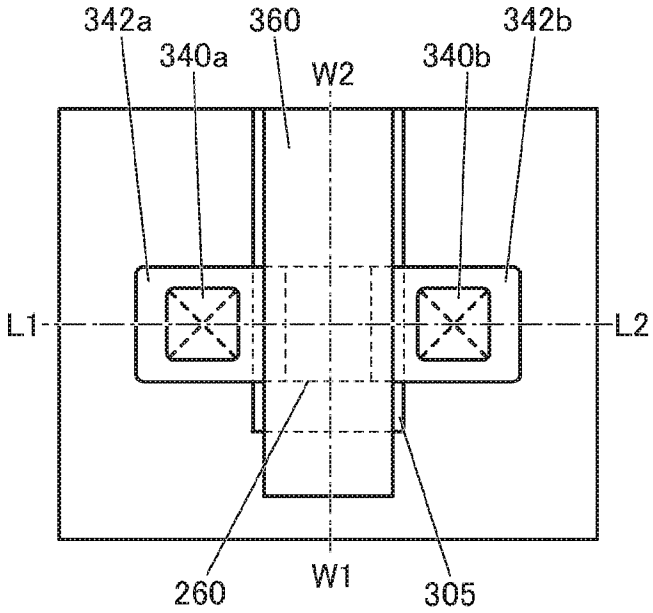
[図29]


(A)
200A
340a
342a
349
W2
360
260c
340b
342b
L1
L2
305
W1
(C)
374
349
316
324
309
381
360
W2
W1
260c
260b
260a
260
354
305
380
322
(B)
360
341a
349
360b
341b
342a
340a
360a
340b
342b
381
374
380
354
324
322
316
309
L1
L2
305
260c
260b
260a
260

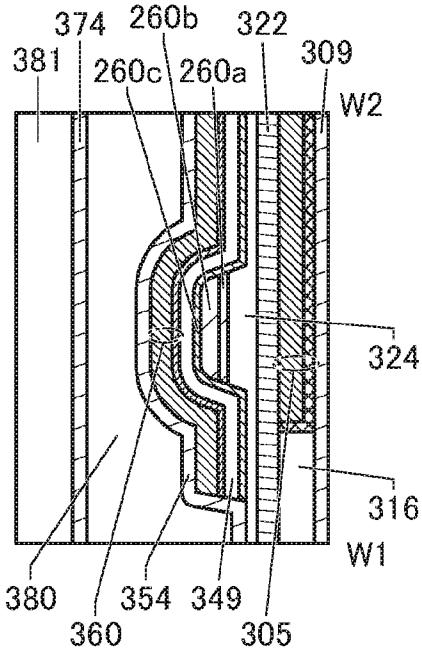
[図30]

(A)

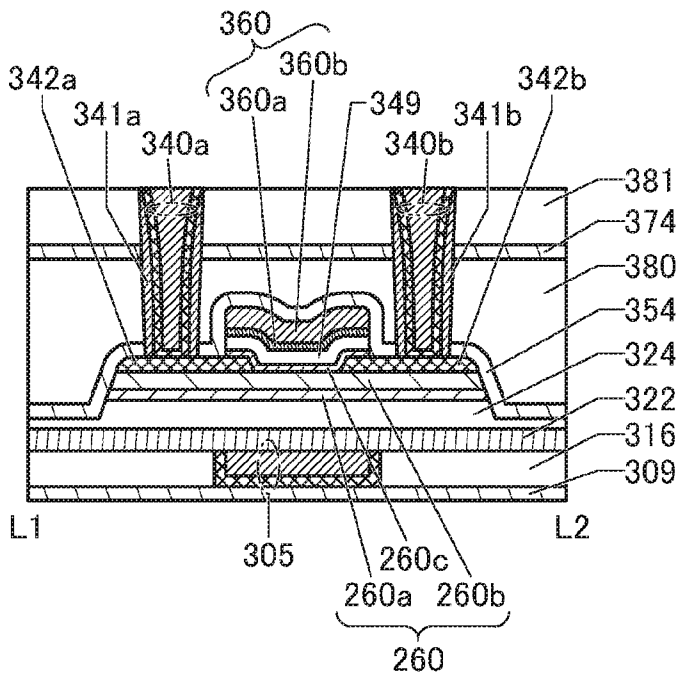
200B


342a
360
342b
340a
W2
340b
L1
L2
260
W1
305

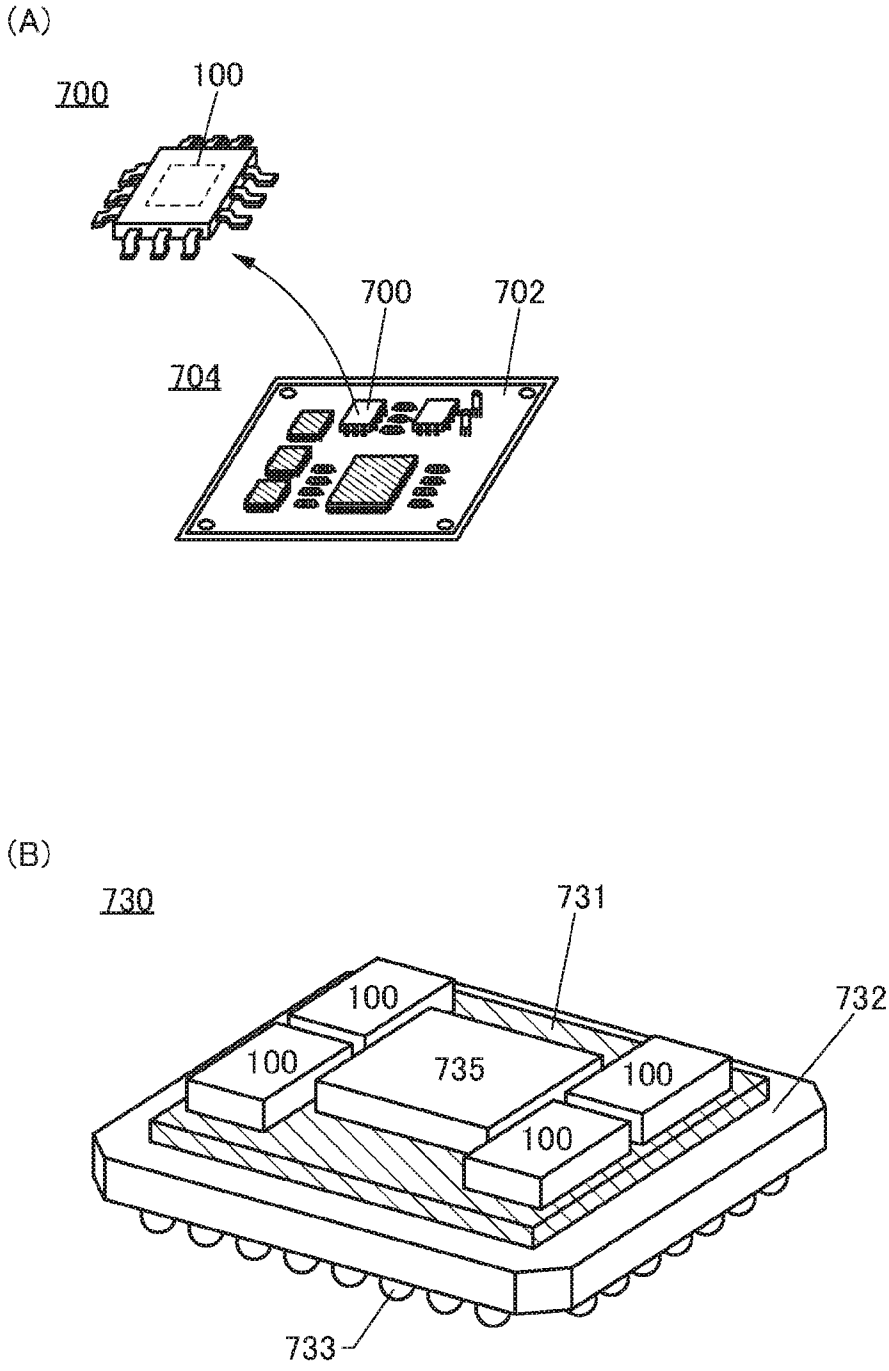
(C)


374
260b
322
381
309
260c
260a
W2
324
316
W1
380
354
349
360
305

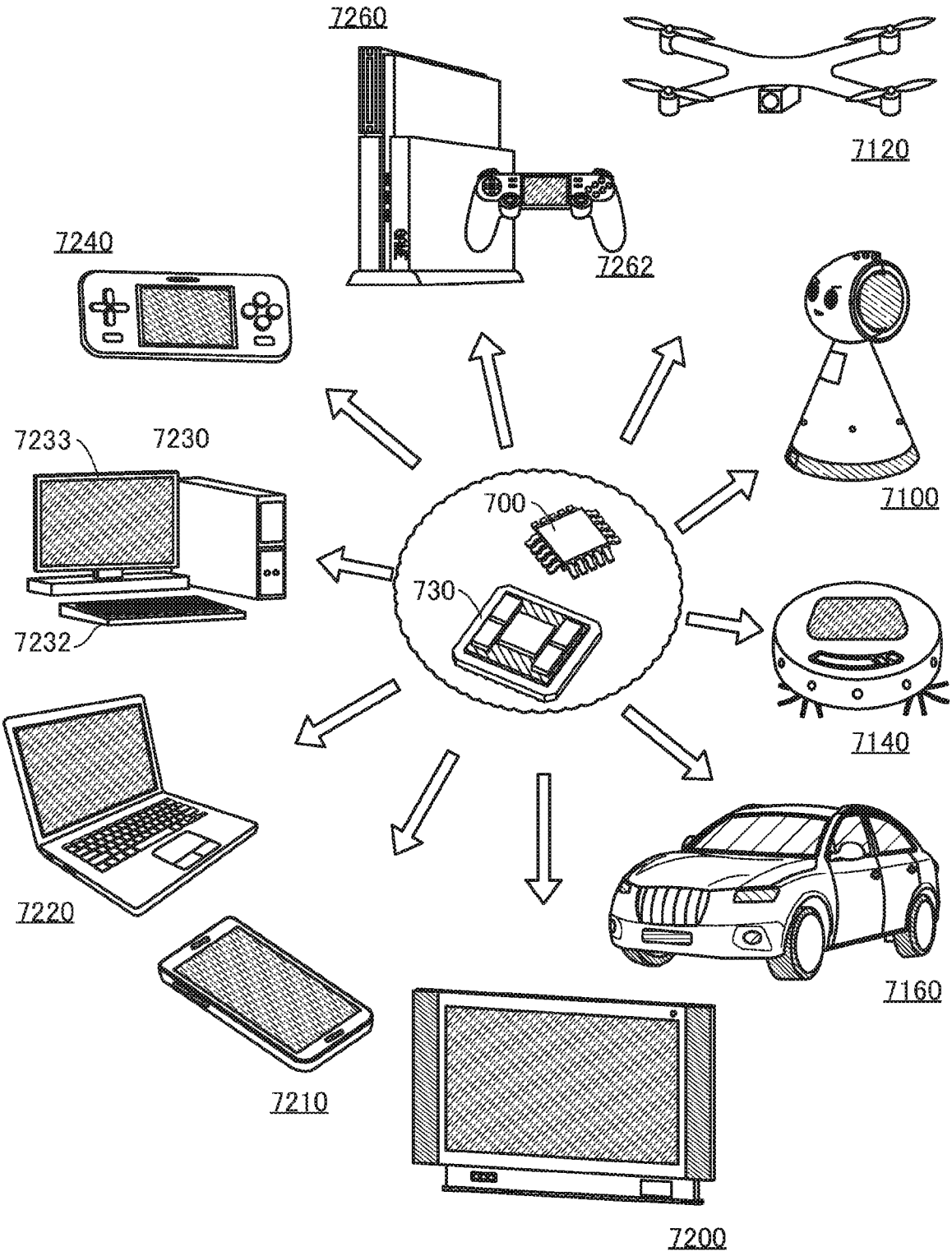
(B)


360
360b
342a
360a
349
342b
341a
341b
340a
340b
381
374
380
354
324
322
316
309
L1
L2
305
260c
260a
260b
260

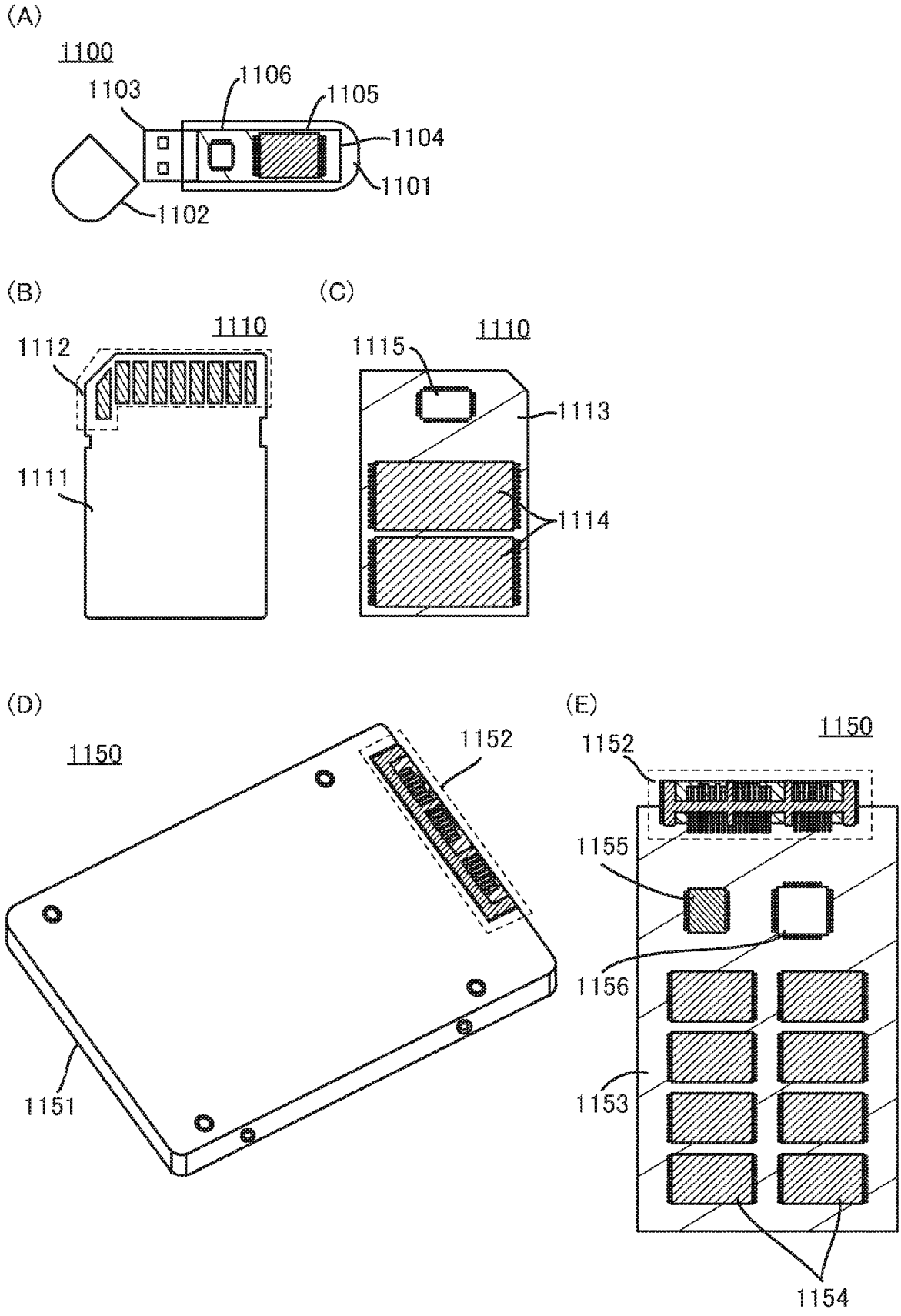
[図31]



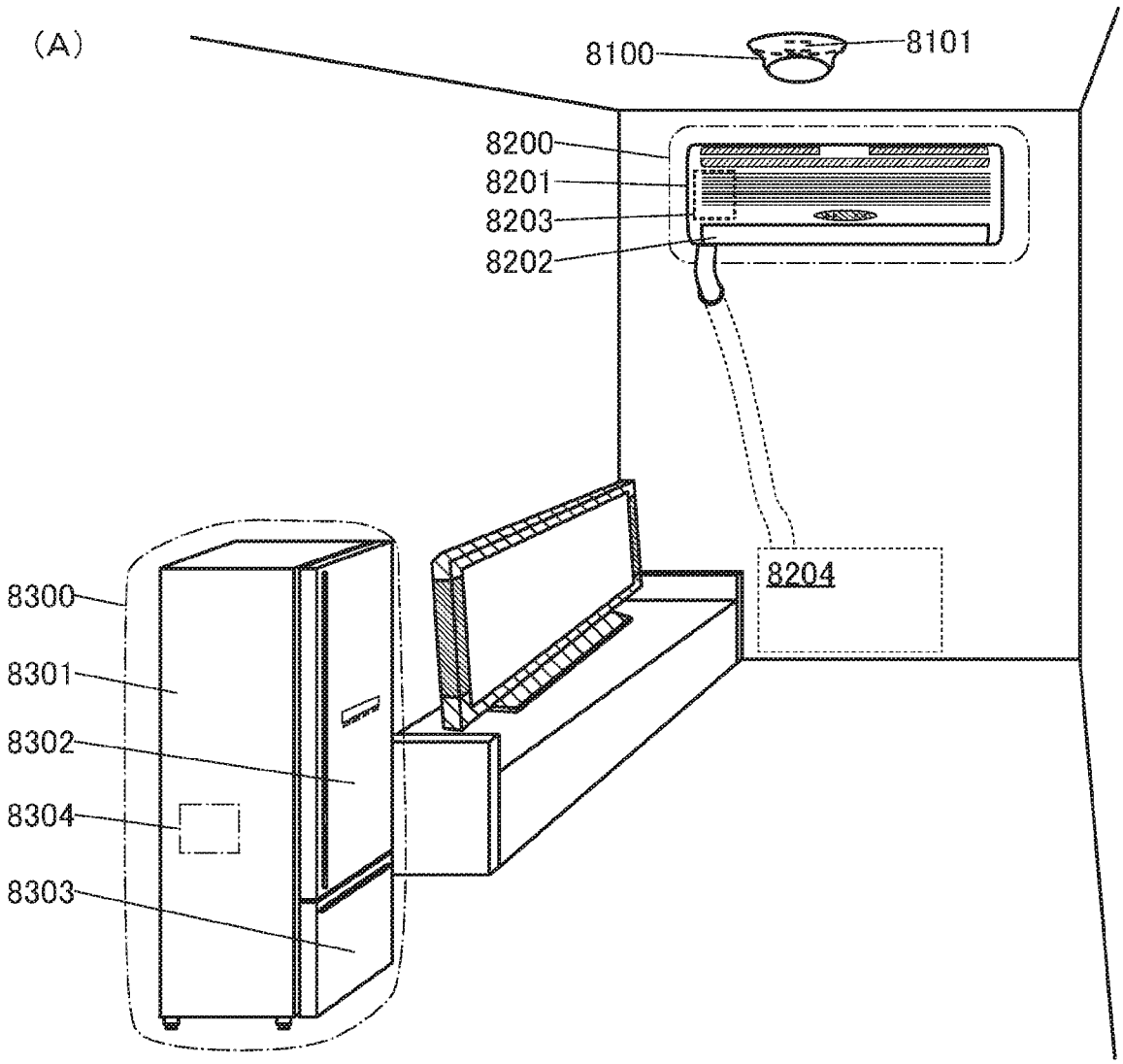
[図32]

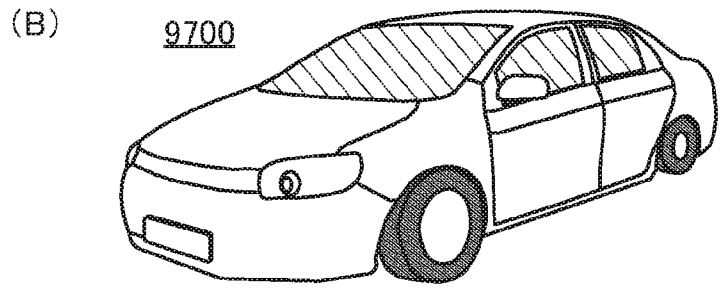

7260
7262
7120
7240
7233
7230
7232
700
730
7100
7140
7220
7160
7210
7200

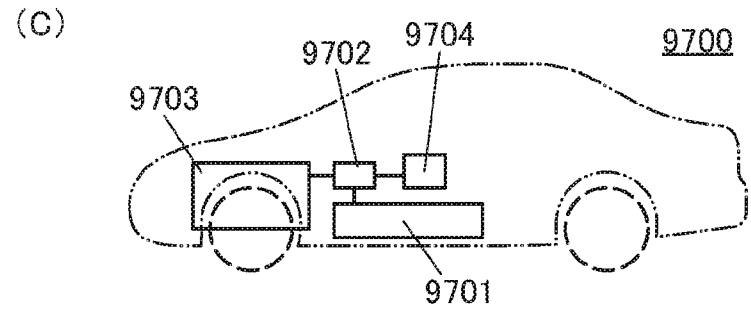
[図33]


(A)
1100
1103
1106
1105
1104
1101
1102
(B)
1110
1112
1111
(C)
1110
1115
1113
1114
(D)
1150
1152
1151
(E)
1150
1152
1155
1156
1153
1154

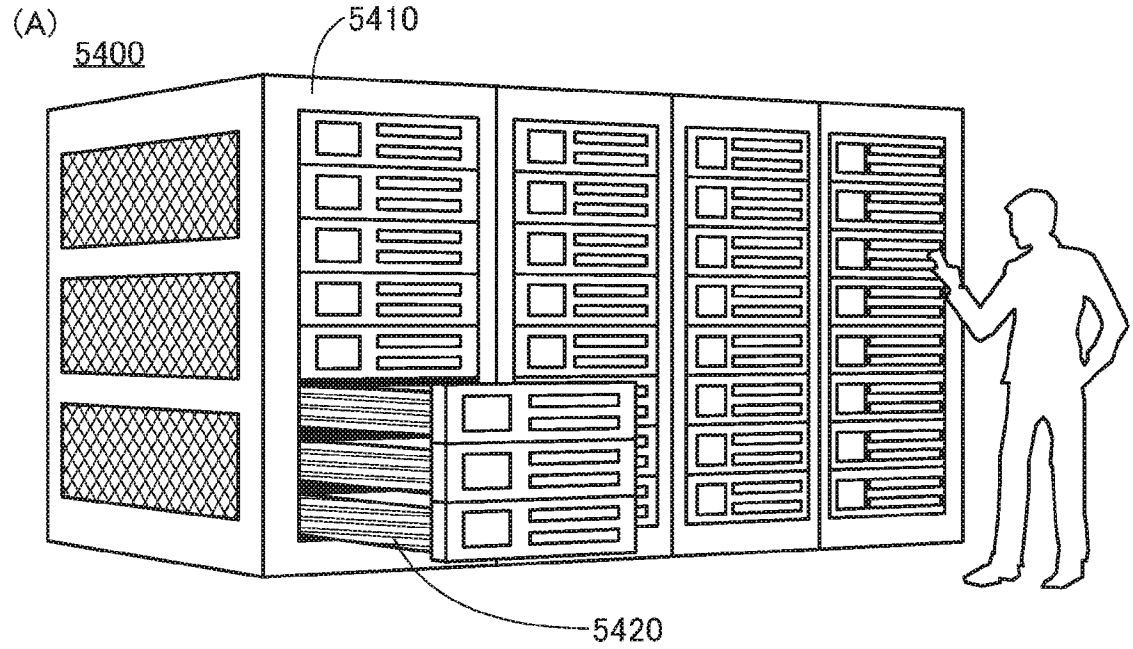
[図34]

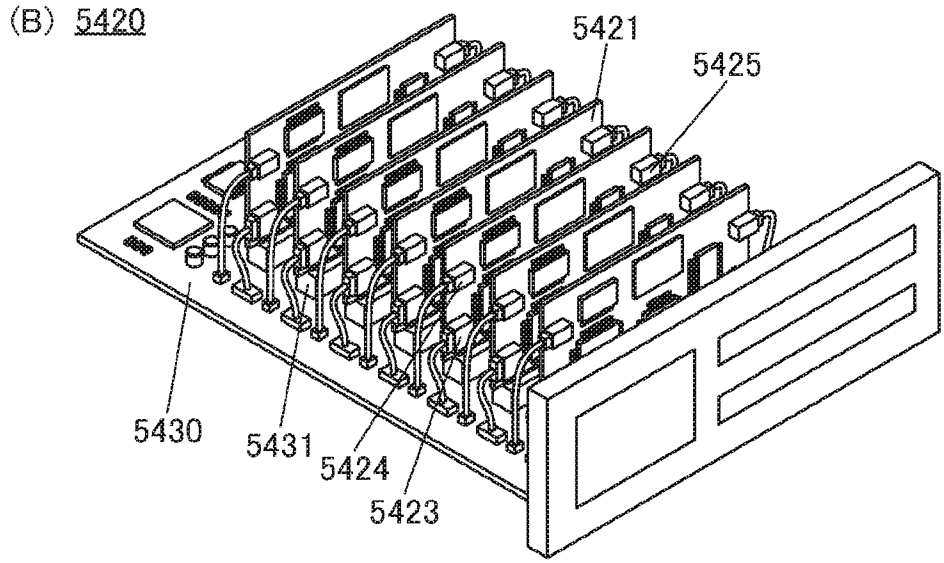

(A)
8100
8101
8200
8201
8203
8202
8204
8300
8301
8302
8304
8303

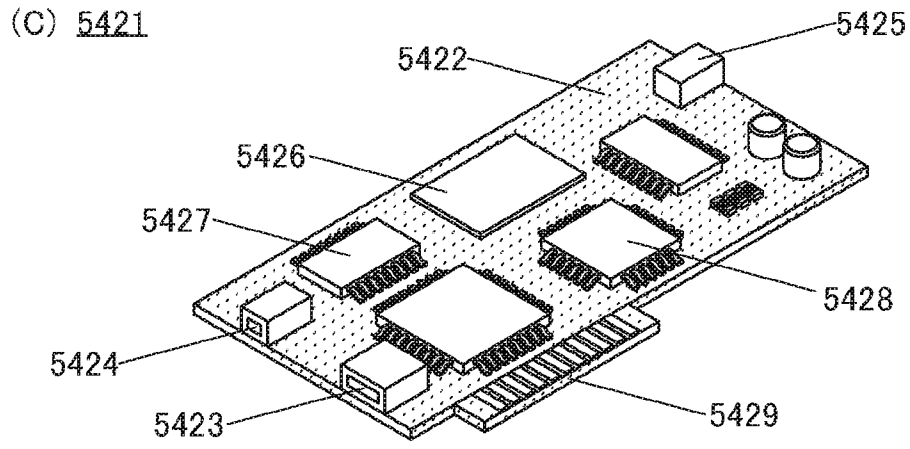

(B)
9700


(C)
9702
9704
9700
9703
9701

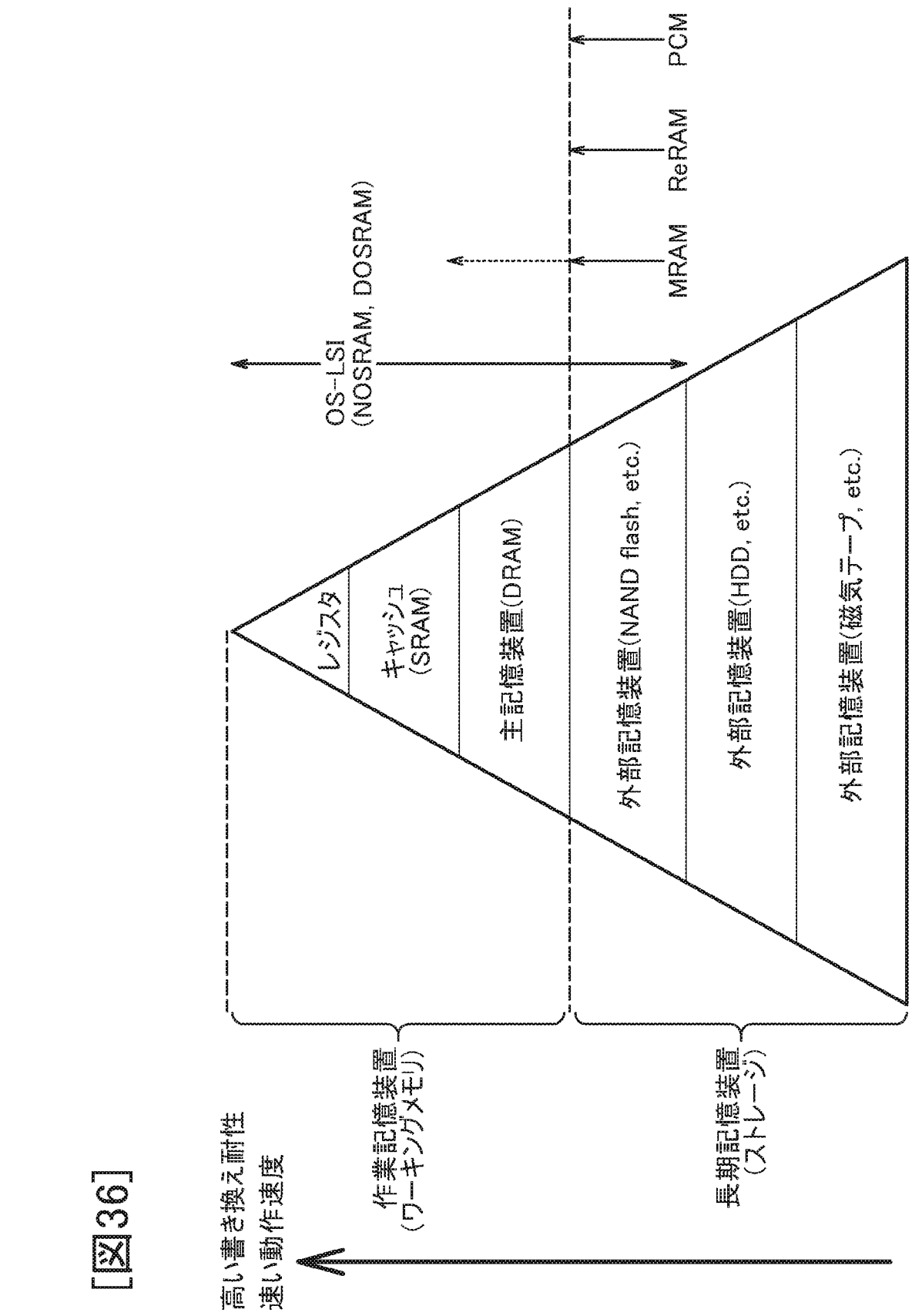
[図35]


(A)
5400
5410
5420

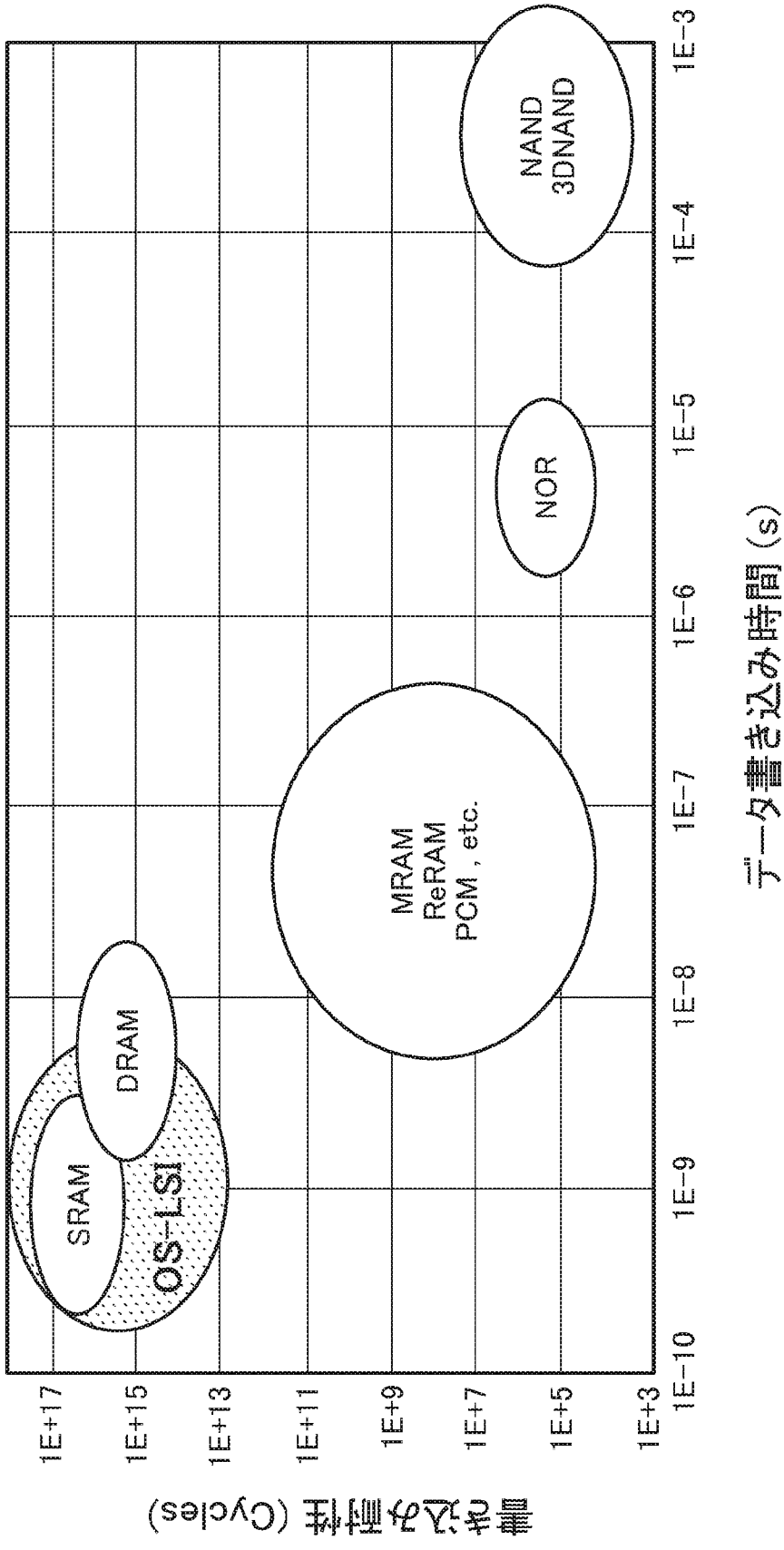

(B) 5420
5421
5425
5430
5431
5424
5423


(C) 5421
5425
5422
5426
5427
5428
5424
5423
5429

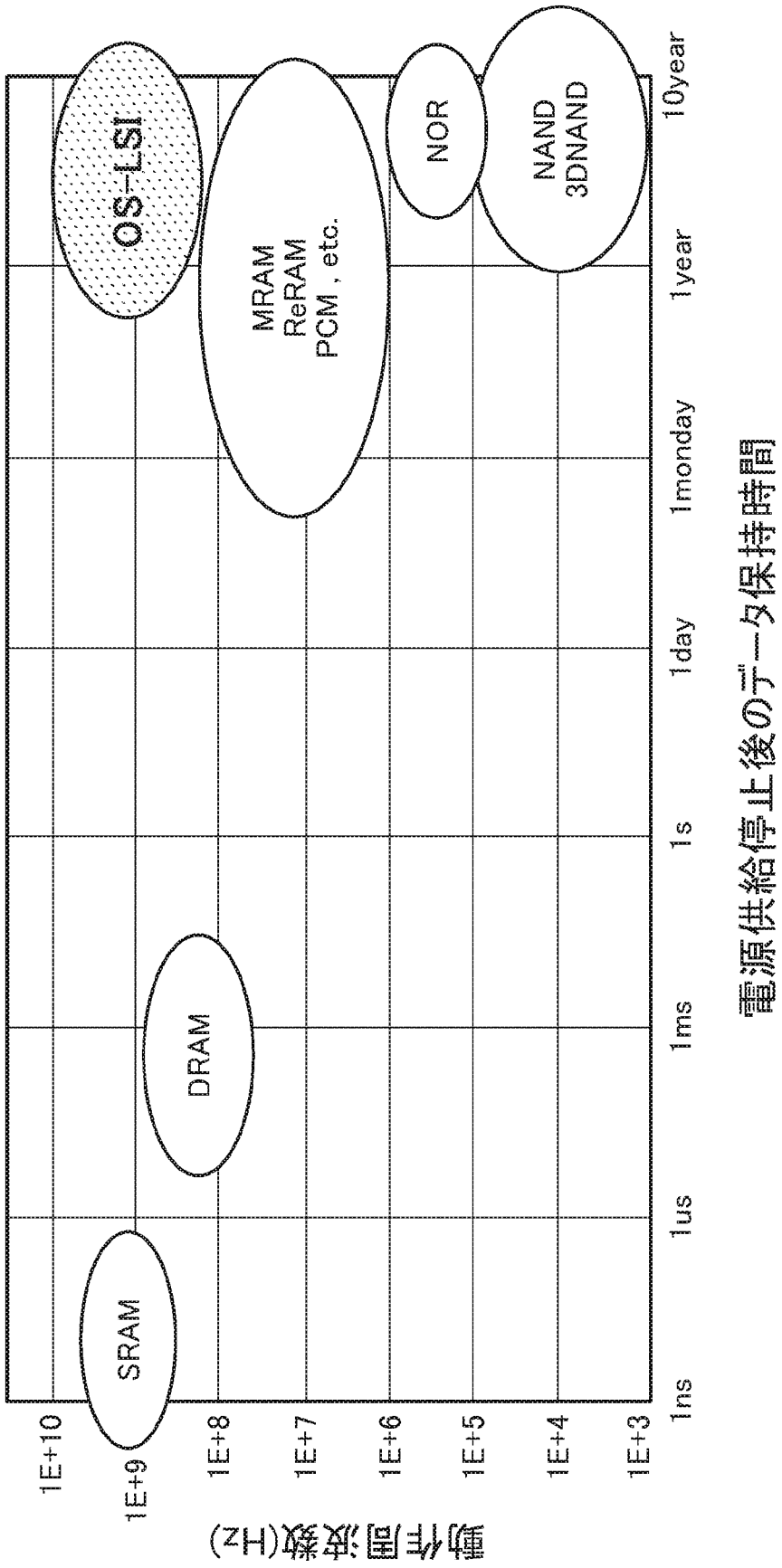
[図36]


高い書き換え耐性
速い動作速度
作業記憶装置
(ワーキングメモリ)
長期記憶装置
(ストレージ)
レジスタ
キャッシュ
(SRAM)
主記憶装置(DRAM)
外部記憶装置(NAND flash, etc.)
外部記憶装置(HDD, etc.)
外部記憶装置(磁気テープ, etc.)
OS-LSI
(NOSRAM, DOSRAM)
MRAM
ReRAM
PCM

[図37]


書き込み耐性 (Cycles)
1E+17
1E+15
1E+13
1E+11
1E+9
1E+7
1E+5
1E+3
SRAM
DRAM
OS-LSI
MRAM
ReRAM
PCM , etc.
NOR
NAND
3DNAND
1E−10
1E−9
1E−8
1E−7
1E−6
1E−5
1E−4
1E−3
データ書き込み時間 (s)

[図38]


OS-LSI
MRAM
ReRAM
PCM , etc.
NOR
NAND
3DNAND
SRAM
DRAM
1E+10
1E+9
1E+8
1E+7
1E+6
1E+5
1E+4
1E+3
1ns
1us
1ms
1s
1day
1monday
1year
10year
動作周波数(Hz)
電源供給停止後のデータ保持時間

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2019/054931

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H01L21/8242(2006.01)i, H01L21/8239(2006.01)i, H01L27/105(2006.01)i, H01L27/108(2006.01)i, H01L27/1156(2017.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H01L21/8242, H01L21/8239, H01L27/105, H01L27/108, H01L27/1156, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2017-16730 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 19 January 2017, paragraphs [0042]-[0045], [0133], [0218], [0222], fig. 1(A), 8(D) & JP 2012-4556 A & JP 2015-130512 A & JP 2016-76717 A & US 2011/0286256 A1 & US 2014/0071768 A1 & US 2017/0358363 A1, paragraphs [0050]-[0053], [0139], [0224], [0228], fig. 1A, 8D & WO 2011/145738 A1	1-5, 8 6, 7
Y	JP 2008-311641 A (ELPIDA MEMORY INC.) 25 December 2008, paragraphs [0019]-[0022], [0035], fig. 3-6 & US 2008/0283816 A1, paragraphs [0062]-[0065], [0078], fig. 3-6	1-5, 8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search 03.09.2019	Date of mailing of the international search report 10.09.2019
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2019/054931

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2018-85357 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 31 May 2018, paragraphs [0152], [0161]-[0166], [0190], [0235]-[0239], fig. 19(A), 22(E) (Family: none)	2, 3
A	JP 2006-294116 A (RENESAS TECHNOLOGY CORP.) 26 October 2006, entire text, all drawings & US 2006/0227648 A1, entire text, all drawings & US 2008/0285325 A1 & KR 10-2006-0107412 A & CN 1845330 A	1-8

国際調査報告

国際出願番号　ＰＣＴ／ＩＢ２０１９／０５４９３１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8242(2006.01)i, H01L21/8239(2006.01)i, H01L27/105(2006.01)i, H01L27/108(2006.01)i, H01L27/1156(2017.01)i, H01L29/786(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8242, H01L21/8239, H01L27/105, H01L27/108, H01L27/1156, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１９年
日本国実用新案登録公報	１９９６－２０１９年
日本国登録実用新案公報	１９９４－２０１９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2017-16730 A (株式会社半導体エネルギー研究所) 2017.01.19, 段落[0042] - [0045], [0133], [0218], [0222], 図 1(A), 8(D) & JP	1-5, 8
A	2012-4556 A & JP 2015-130512 A & JP 2016-76717 A & US 2011/0286256 A1 & US 2014/0071768 A1 & US 2017/0358363 A1, 段落[0050] - [0053], [0139], [0224], [0228], 図 1A, 8D & WO 2011/145738 A1	6, 7
Y	JP 2008-311641 A (エルピーダメモリ株式会社) 2008.12.25, 段落[0019] - [0022], [0035], 図３ - ６ & US 2008/0283816 A1, 段落[0062] - [0065], [0078], 図３ - ６	1-5, 8

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０３．０９．２０１９	１０．０９．２０１９

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　６３１３
宮本　博司
電話番号　０３－３５８１－１１０１　内線　３５１６

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2018-85357 A (株式会社半導体エネルギー研究所) 2018.05.31, 段落[0152], [0161] - [0166], [0190], [0235] - [0239], 図 19(A), 22(E) (ファミリーなし)	2, 3
A	JP 2006-294116 A (株式会社ルネサステクノロジ) 2006.10.26, 全文, 全図 & US 2006/0227648 A1, 全文, 全図 & US 2008/0285325 A1 & KR 10-2006-0107412 A & CN 1845330 A	1-8