

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-16749

(P2010-16749A)

(43) 公開日 平成22年1月21日(2010.1.21)

(51) Int.Cl.			F I			テーマコード (参考)		
HO4B	7/005	(2006.01)	HO4B	7/005				5K004
HO4B	3/06	(2006.01)	HO4B	3/06		C		5K046
HO4W	28/18	(2009.01)	HO4Q	7/00	282			5K061
HO4B	1/16	(2006.01)	HO4B	1/16		R		5K067
HO4L	27/01	(2006.01)	HO4L	27/00		K		

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号 特願2008-176796 (P2008-176796)  
 (22) 出願日 平成20年7月7日(2008.7.7)

(71) 出願人 308033711  
 OKIセミコンダクタ株式会社  
 東京都八王子市東浅川町550番地1  
 (74) 代理人 100079049  
 弁理士 中島 淳  
 (74) 代理人 100084995  
 弁理士 加藤 和詳  
 (74) 代理人 100085279  
 弁理士 西元 勝一  
 (74) 代理人 100099025  
 弁理士 福田 浩志  
 (72) 発明者 赤堀 博次  
 東京都港区虎ノ門1丁目7番12号 沖電  
 気工業株式会社内  
 Fターム(参考) 5K004 AA01 BD01

最終頁に続く

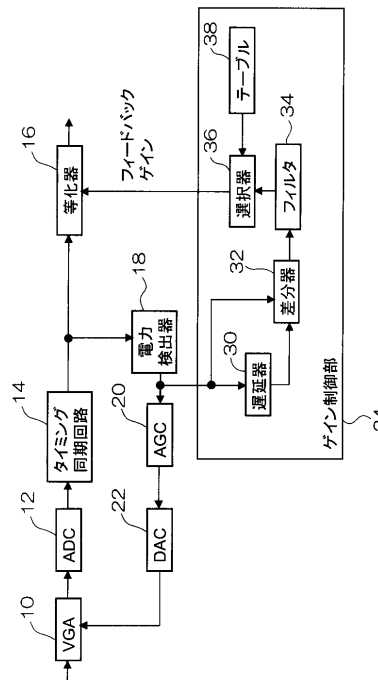
(54) 【発明の名称】 信号処理装置

(57) 【要約】

【課題】 伝搬路の状態が変動しても精度高く等化処理する。

【解決手段】 VGA 10 で受信信号を増幅し、ADC 12 でデジタル変換した後、タイミング同期回路 14 で周波数変換を行い、等化器 16 及び電力検出器 18 に出力する。電力検出器 18 は入力された受信信号を電力信号に変換し、AGC 20 に出力する。AGC 20 は電力信号に基づきVGA 10 のゲインを求め、DAC 22 を介してVGA 10 に出力する。VGA 10 は、与えられたゲインで増幅する。一方、電力検出器 18 で変換された電力信号はゲイン制御部 24 の遅延器 30 及び差分演算器 32 にも出力される。差分演算器 32 は遅延器 30 で遅延された電力信号と遅延なしの電力信号との差分をとりフィルタ 34 に出力する。フィルタ 34 は差分信号を平滑化し、選択器 36 は平滑化された差分信号に応じたゲインをテーブル 38 から読み出し等化器 16 に出力する。等化器 16 は該ゲインを用いて等化処理する。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

受信信号を増幅する増幅器と、  
 前記増幅器で増幅された受信信号を電力信号に変換する第 1 電力変換器と、  
 前記第 1 電力変換器で変換された電力信号のレベルが所定範囲内の値になるように前記増幅器のゲインを調整する第 1 ゲイン調整部と、  
 前記増幅器で増幅された受信信号を一定時間遅延させる遅延器を複数個直列に接続した遅延器群と、  
 入力された受信信号にタップ係数を乗算する複数の乗算器を有する乗算器群であって、該複数の乗算器の 1 つを前記遅延器群の先頭の遅延器の入力端に接続し、残りの乗算器の各々を前記遅延器の出力端の各々に接続した乗算器群と、  
 前記乗算器群の乗算器の各々の乗算結果を加算し、加算結果を出力する加算器と、  
 前記加算器から出力された加算結果を電力信号に変換する第 2 電力変換器と、  
 前記第 2 電力変換器で変換された電力信号と予め定められた基準信号との差分を第 1 差分信号として出力する第 1 差分器と、  
 前記第 1 電力変換器で変換された電力信号の変動を検出し、前記タップ係数を求めるためのゲインを、該検出した変動に対応したゲインとなるように調整する第 2 ゲイン調整部と、  
 前記第 1 差分器から出力された第 1 差分信号と、前記第 2 ゲイン調整部で調整されたゲインと、前記加算器から出力された加算結果と、前記乗算器群の乗算器の各々に入力される受信信号の各々とを乗算し、該乗算結果の各々を前回演算されたタップ係数の各々に加算することにより、前記複数の乗算器の各々で用いるタップ係数の各々を演算するタップ係数演算部と、  
 を備えた信号処理装置。

10

20

## 【請求項 2】

前記第 2 ゲイン調整部を、  
 前記第 1 電力変換器で変換された電力信号を所定時間遅延させる電力信号遅延器と、  
 前記第 1 電力変換器で変換された電力信号と前記電力信号遅延器で遅延された電力信号との差分の絶対値を示す信号を前記電力信号の変動を示す信号として出力する第 2 差分器と、  
 前記タップ係数を求めるためのゲインを、前記第 2 差分器から出力された信号に対応したゲインとなるように調整する調整部と、  
 を含んで構成した請求項 1 に記載の信号処理装置。

30

## 【請求項 3】

前記第 2 ゲイン調整部に、前記第 2 差分器から出力された前記信号を平滑化して前記調整部へ出力する平滑化フィルタを更に設けた  
 請求項 2 に記載の信号処理装置。

## 【請求項 4】

受信信号を増幅する増幅器と、  
 前記増幅器で増幅された受信信号を電力信号に変換する第 1 電力変換器と、  
 前記第 1 電力変換器で変換された電力信号のレベルが所定範囲内の値になるように前記増幅器のゲインを調整する第 1 ゲイン調整部と、  
 前記増幅器で増幅された受信信号を一定時間遅延させる遅延器を複数個直列に接続した遅延器群と、  
 入力された受信信号にタップ係数を乗算する複数の乗算器を有する乗算器群であって、該複数の乗算器の 1 つを前記遅延器群の先頭の遅延器の入力端に接続し、残りの乗算器の各々を前記遅延器の出力端の各々に接続した乗算器群と、  
 前記乗算器群の乗算器の各々の乗算結果を加算し、加算結果を出力する加算器と、  
 前記加算器から出力された加算結果を電力信号に変換する第 2 電力変換器と、  
 前記第 2 電力変換器で変換された電力信号と予め定められた基準信号との差分を差分信

40

50

号として出力する差分器と、

前記差分器から出力された差分信号に基づいて前記受信信号の電力変動を示す信号を求め、前記タップ係数を求めるためのゲインを、該電力変動を示す信号に対応したゲインとなるように調整する第2ゲイン調整部と、

前記差分器から出力された差分信号と、前記第2ゲイン調整部で調整されたゲインと、前記加算器から出力された加算結果と、前記乗算器群の乗算器の各々に入力される受信信号の各々とを乗算し、該乗算結果の各々を前回演算されたタップ係数の各々に加算することにより、前記複数の乗算器の各々で用いるタップ係数の各々を演算するタップ係数演算部と、

を備えた信号処理装置。

10

【請求項5】

前記第2ゲイン調整部を、

前記差分器から出力された差分信号を前記差分の絶対値を示す絶対値信号に変換する絶対値変換器と、

前記絶対値変換器で変換された絶対値信号の前記基準信号に対する割合を前記受信信号の電力変動を示す信号として求める割合演算器と、

前記タップ係数を求めるためのゲインを、前記割合演算器で求められた割合に対応したゲインとなるように調整する第2ゲイン調整部と、

を含んで構成した請求項4に記載の信号処理装置。

20

【請求項6】

前記基準信号を2のべき乗として予め設定しておく、

前記第1ゲイン調整部は、前記受信信号の平均電力が前記基準信号の電力相当となるように、前記増幅器のゲイン調整を行ない、

前記割合演算器は、前記絶対値信号を前記基準信号の2のべき乗数分だけビットシフトすることで前記割合を求める

請求項5に記載の信号処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、受信信号の等化処理を行なう信号処理装置に関するものである。

30

【背景技術】

【0002】

PHS(Personal Handyphone System)等のシングルキャリア変調を用いたシステムで用いられる受信機の信号処理装置では、伝搬路推定、等化処理を行なって受信特性を改善している。

【0003】

等化処理には、LMS(Least Mean Square)等の等化器が広く用いられている。LMS等の等化器は、受信信号と基準信号との差分(等化誤差)を求め、この等化誤差が小さくなるように等化器内のタップ演算に用いるタップ係数を更新(フィードバック)しながら、受信信号に含まれる伝搬路による劣化等を軽減する。

40

【0004】

しかしながら、伝搬路の状態が変動する場合には、伝搬路推定結果に誤差が生じて、受信特性を劣化させることもある。

【0005】

例えば、フェージング環境下などの伝搬路状態が変動する状況下では、伝搬路推定を行っている間に伝搬路状態が変化し、等化器で補正したい伝搬路状態より古い伝搬路状態を反映した伝搬路推定にて等化処理することとなり、結果、等化器を動作させたほうがかえって受信特性を劣化させる場合が生じることがある。

【0006】

また、伝搬路推定により得られる等化器内の各タップ係数は、受信信号のレベル変異が

50

大きいほど等化誤差が大きくなり、その変動に強く影響される。例えば、突発的に大きく変動した受信信号には不要な雑音等が重畳している場合があり、この雑音が伝搬路推定結果の誤差を大きくすることとなる。

【0007】

なお、タップ係数の更新によって等化器の動作が不安定にならないよう、タップ係数の演算には、フィードバックゲイン（収束係数ともいう）が用いられるが、このフィードバックゲインを調整して伝搬路状態の変動に対応する技術もある。

【0008】

例えば、特許文献1には、受信信号をまずAGC（オートゲインコントローラ）で調整し、該AGCで調整されることのない急激な受信信号のレベル変動に対して収束係数を0にするという従来技術に対して発明された適応型自動等化器であって、ガウス雑音とガウス雑音を多く含む変調信号とを識別して収束係数を調整する適応型自動等化器が開示されている。

10

【特許文献1】特開平08-316883号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

しかしながら、上記従来技術では、前段のAGCによる調整は、受信信号のレベルに応じて行なわれるものではなく、AGCの後段でのみ受信信号のレベル変動による調整が行なわれる。従って、レベル変動による影響を除去しきれないこともある。

20

【0010】

また、特許文献1に記載の技術は、まず、エネルギー抽出器において複素等化誤差信号の絶対値の2乗を計算し、その計算結果を平均化した後に、予め設定されている比較値と比較して、収束計数を選択するか、 $=0$ とするかの選択を行うものであるが、この技術では、比較の前に平均化処理を行なっているため、ゲイン制御の精度が落ちる。また、特許文献1に記載の技術では、等化誤差を演算するときに比較される基準信号を、タップ演算結果に基づいて判定して決定しているが、この判定時に判定誤差が生じる場合があり、この点でもゲイン制御の精度が落ちることがある。

【0011】

本発明は、上述した課題を解決するために提案されたものであり、伝搬路の状態が変動しても、精度高く等化処理することができる信号処理装置を提供することを目的とする。

30

【課題を解決するための手段】

【0012】

上記目的を達成するために、本発明の請求項1に係る信号処理装置は、受信信号を増幅する増幅器と、前記増幅器で増幅された受信信号を電力信号に変換する第1電力変換器と、前記第1電力変換器で変換された電力信号のレベルが所定範囲内の値になるように前記増幅器のゲインを調整する第1ゲイン調整部と、前記増幅器で増幅された受信信号を一定時間遅延させる遅延器を複数個直列に接続した遅延器群と、入力された受信信号にタップ係数を乗算する複数の乗算器を有する乗算器群であって、該複数の乗算器の1つを前記遅延器群の先頭の遅延器の入力端に接続し、残りの乗算器の各々を前記遅延器の出力端の各々に接続した乗算器群と、前記乗算器群の乗算器の各々の乗算結果を加算し、加算結果を出力する加算器と、前記加算器から出力された加算結果を電力信号に変換する第2電力変換器と、前記第2電力変換器で変換された電力信号と予め定められた基準信号との差分を第1差分信号として出力する第1差分器と、前記第1電力変換器で変換された電力信号の変動を検出し、前記タップ係数を求めるためのゲインを、該検出した変動に対応したゲインとなるように調整する第2ゲイン調整部と、前記第1差分器から出力された第1差分信号と、前記第2ゲイン調整部で調整されたゲインと、前記加算器から出力された加算結果と、前記乗算器群の乗算器の各々に入力される受信信号の各々とを乗算し、該乗算結果の各々を前回演算されたタップ係数の各々に加算することにより、前記複数の乗算器の各々で用いるタップ係数の各々を演算するタップ係数演算部と、を備えて構成されている。

40

50

## 【0013】

このような構成によれば、受信信号を変換して得られた電力信号に応じて受信信号の増幅を行う増幅器のゲインを調整すると共に、第2ゲイン調整部で該電力信号の変動を求め、これを用いてタップ係数を演算するときのゲインを調整することができるため、伝搬路変動によらず、精度高く等化処理できる。

## 【0014】

また、本発明では、第2ゲイン調整部では、従来技術のような平均化処理を行わずに、タップ係数を求めるためのゲインを電力変動の検出結果自体に基づいて調整するため、精度良くゲイン調整できる。さらにまた、基準信号は、タップ演算結果に基づいて判定して決定するのではなく、予め定められた信号であるため、従来技術における判定器の判定誤差の影響を受けることはない。従って、精度高く等化処理できる。

10

## 【0015】

請求項2の発明は、請求項1に記載の信号処理装置の前記第2ゲイン調整部を、前記第1電力変換器で変換された電力信号を所定時間遅延させる電力信号遅延器と、前記第1電力変換器で変換された電力信号と前記電力信号遅延器で遅延された電力信号との差分の絶対値を示す信号を前記電力信号の変動を示す信号として出力する第2差分器と、前記タップ係数を求めるためのゲインを、前記第2差分器から出力された信号に対応したゲインとなるように調整する調整部と、を含めて構成したものである。。

## 【0016】

このように第2差分信号を求めることで、電力信号の変動を求めることができる。

20

## 【0017】

請求項3の発明は、請求項2に記載の信号処理装置の前記第2ゲイン調整部に、前記第2差分器から出力された前記信号を平滑化して前記調整部に出力する平滑化フィルタを更に設けたものである。

## 【0018】

このような構成によれば、差分信号のノイズが除去され、第2ゲイン調整部でのゲイン調整を精度高く行なうことができる

## 【0019】

請求項4の発明の信号処理装置は、受信信号を増幅する増幅器と、前記増幅器で増幅された受信信号を電力信号に変換する第1電力変換器と、前記第1電力変換器で変換された電力信号のレベルが所定範囲内の値になるように前記増幅器のゲインを調整する第1ゲイン調整部と、前記増幅器で増幅された受信信号を一定時間遅延させる遅延器を複数個直列に接続した遅延器群と、入力された受信信号にタップ係数を乗算する複数の乗算器を有する乗算器群であって、該複数の乗算器の1つを前記遅延器群の先頭の遅延器の入力端に接続し、残りの乗算器の各々を前記遅延器の出力端の各々に接続した乗算器群と、前記乗算器群の乗算器の各々の乗算結果を加算し、加算結果を出力する加算器と、前記加算器から出力された加算結果を電力信号に変換する第2電力変換器と、前記第2電力変換器で変換された電力信号と予め定められた基準信号との差分を差分信号として出力する差分器と、前記差分器から出力された差分信号に基づいて前記受信信号の電力変動を示す信号を求め、前記タップ係数を求めるためのゲインを、該電力変動を示す信号に対応したゲインとなるように調整する第2ゲイン調整部と、前記差分器から出力された差分信号と、前記第2ゲイン調整部で調整されたゲインと、前記加算器から出力された加算結果と、前記乗算器群の乗算器の各々に入力される受信信号の各々とを乗算し、該乗算結果の各々を前回演算されたタップ係数の各々に加算することにより、前記複数の乗算器の各々で用いるタップ係数の各々を演算するタップ係数演算部と、を備えて構成されている。

30

40

## 【0020】

このような構成によれば、受信信号を変換して得られた電力信号に応じて受信信号の増幅を行う増幅器のゲインを調整すると共に、差分器から出力された差分信号に基づいて受信信号の電力変動を示す信号を求め、これに基づいてタップ係数を演算するときのゲインを調整することができるため、伝搬路変動によらず、精度高く等化処理できる。

50

## 【0021】

また、本発明では、第2ゲイン調整部では、従来技術のような平均化処理を行わずに、タップ係数を求めるためのゲインを受信信号の電力変動を示す信号自体に基づいて調整するため、精度良くゲイン調整できる。さらにまた、基準信号は、タップ演算結果に基づいて判定して決定するのではなく、予め定められた信号であるため、従来技術における判定器の判定誤差の影響を受けることはない。従って、精度高く等化処理できる。

## 【0022】

請求項5の発明は、請求項4に記載の信号処理装置の前記第2ゲイン調整部を、前記差分器から出力された差分信号を前記差分の絶対値を示す絶対値信号に変換する絶対値変換器と、前記絶対値変換器で変換された絶対値信号の前記基準信号に対する割合を前記受信信号の電力変動を示す信号として求める割合演算器と、前記タップ係数を求めるためのゲインを、前記割合演算器で求められた割合に対応したゲインとなるように調整する第2ゲイン調整部と、を含んで構成したものである。

10

## 【0023】

例えば、差分信号から変換された絶対値信号の基準信号に対する割合が大きければ受信信号の電力変動が大きく、該割合が小さければ、受信信号の電力変動は小さいと推定できる。

## 【0024】

請求項6の発明は、前記基準信号を2のべき乗として予め設定しておき、前記第1ゲイン調整部は、前記受信信号の平均電力が前記基準信号の電力相当となるように、前記増幅器のゲイン調整を行ない、前記割合演算器は、前記絶対値信号を前記基準信号の2のべき乗数分だけビットシフトすることで前記割合を求めるようにしたものである。

20

## 【0025】

このような構成によれば、回路規模の大きな除算回路を設けることなく割合を求めることができる。

## 【発明の効果】

## 【0026】

以上説明したように本発明によれば、伝搬路の状態が変動しても、精度高く等化処理することができる、という効果を奏する。

## 【発明を実施するための最良の形態】

30

## 【0027】

以下、本発明の好ましい実施の形態について図面を参照しながら詳細に説明する。

## 【0028】

[第1の実施の形態]

## 【0029】

本実施の形態では、PHS(Personal Handyphone System)のシングルキャリア変調を用いたシステムの受信機に設けられる信号処理装置を例に挙げて説明する。なお、PHSシステムでは、送信受信それぞれ4スロットで1フレームが構成されているが、ここでは、回線が接続されている間は、同一時間位置のスロットが割り当てられる、という前提で説明する。

40

## 【0030】

図1は、第1の実施の形態の信号処理装置の構成例を示す図である。本実施の形態の信号処理装置は、ゲイン可変アンプ(VGA)10、A/Dコンバータ(ADC)12、タイミング同期回路14、等化器16、電力検出器18、オートゲインコントローラ(AGC)20、D/Aコンバータ(DAC)22、及びゲイン制御部24を備えている。

## 【0031】

VGA10には、外部から受信されたアナログの受信信号が入力される。VGA10は、入力された受信信号をAGC20により設定されたゲインで増幅する。VGA10は、例えば、RF(高周波)増幅器、ミキサ、IF(中間周波)増幅器などにより構成されている。

50

## 【 0 0 3 2 】

A D C 1 2 には、V G A 1 0 で増幅された受信信号が入力される。A D C 1 2 は、入力された受信信号をアナログからデジタルに変換する。

## 【 0 0 3 3 】

タイミング同期回路 1 4 には、A D C 1 2 でデジタルに変換された受信信号が入力される。タイミング同期回路 1 4 は、入力された受信信号を復調したい信号周期に変換する。ここで所望の信号周期に変換された受信信号は、等化器 1 6 及び電力検出器 1 8 に入力される。

## 【 0 0 3 4 】

電力検出器 1 8 は、入力された受信信号を電力信号に変換することにより電力検出し、該電力信号を A G C 2 0 及びゲイン制御部 2 4 に入力する。

10

## 【 0 0 3 5 】

なお、本実施の形態では、タイミング同期回路 1 4 による処理後に電力検出器 1 8 で電力検出を行なうように構成したが、タイミング同期回路 1 4 の手前で電力検出を行なうようにしてもよい。この電力検出のタイミングは電力検出器 1 8 の構造に依存し、本発明の効果に依存するものではないため、ここでのこれ以上の説明を省略する。

## 【 0 0 3 6 】

A G C 2 0 は、電力検出器 1 8 から入力された電力信号に基づいて、受信信号を受信したときの受信レベルの状態に係わらず、所定範囲内のレベルの受信信号が等化器 1 6 に入力されるようゲインを求め、該ゲインを示すゲイン信号を D A C 2 2 に入力する。D A C 2 2 は、入力されたゲイン信号をデジタルからアナログに変換し、V G A 1 0 に与える。V G A 1 0 は、該与えられたゲイン信号が示すゲインで受信信号を増幅する。これにより、受信信号に急激なレベル変動が生じて、受信信号の各スロット間のレベルが所望のレベルに近づくように制御される。

20

## 【 0 0 3 7 】

等化器 1 6 は、仮判定した信号の誤差を抽出しフィードバックすることで、受信信号に含まれる伝搬路による劣化等を軽減する L M S (Least Mean Square) 等の適応フィルタである。図 2 に等化器 1 6 の構成を示す。

## 【 0 0 3 8 】

等化器 1 6 は、 $n - 1$  個の直列接続された遅延器  $4 0_1 \sim 4 0_{n-1}$ 、 $n$  個のタップ演算器  $4 2_1 \sim 4 2_n$ 、加算器 4 4 (例えば、複素加算器)、電力変換器 4 6、比較器 4 8、乗算器 5 0、及び複素乗算器 5 2 を備えている。なお、遅延器  $4 0_1 \sim 4 0_{n-1}$  の各々は同一構成のため、以下、これらを区別せずに説明する場合には、末尾の符号を省略して単に遅延器 4 0 と呼称する。また、タップ演算器  $4 2_1 \sim 4 2_n$  の各々も同一構成のため、以下、これらを区別せずに説明する場合には、末尾の符号を省略してタップ演算器 4 2 と呼称する。

30

## 【 0 0 3 9 】

遅延器 4 0 の各々は、直列に接続され、タイミング同期回路 1 4 から入力された受信信号を 1 フレーム分遅延させて、後段の遅延器 4 0 及びタップ演算器 4 2 へ出力する。

## 【 0 0 4 0 】

先頭のタップ演算器  $4 2_1$  は、先頭の遅延器  $4 0_1$  の入力端に接続されている。その他のタップ演算器  $4 2_2 \sim 4 2_n$  は、遅延器  $4 0_1 \sim 4 0_{n-1}$  の出力端に接続されている。タップ演算器 4 2 の各々は、複素乗算器 5 2 の乗算結果を用いてタップ係数を求め、遅延器 4 0 から入力された対応する時刻の受信信号 (先頭のタップ演算器  $4 2_1$  については、タイミング同期回路 1 4 から入力された遅延無しの受信信号) と、該求めたタップ係数とを複素乗算する。

40

## 【 0 0 4 1 】

ここでタップ演算器 4 2 の構成について説明する。タップ演算器 4 2 は、複素乗算器 5 4、積分器 5 6、及び複素乗算器 5 8 を備えている。

## 【 0 0 4 2 】

50

複素乗算器 5 4 には、遅延器 4 0 から入力された対応する時刻の受信信号（先頭のタップ演算器 4 2<sub>1</sub> については、タイミング同期回路 1 4 から入力された遅延無しの受信信号）と、複素乗算器 5 2 の乗算結果とを複素乗算して、積分器 5 6 に出力する。

【 0 0 4 3 】

積分器 5 6 は複素乗算器 5 4 の演算結果を前回演算したタップ係数に加算し、該加算結果を新たなタップ係数として複素乗算器 5 8 に出力する。すなわち、積分器 5 6 は、複素乗算器 5 4 の演算結果を累積的に加算することで、タップ係数を更新する。

【 0 0 4 4 】

複素乗算器 5 8 は、遅延器 4 0 から入力された対応する時刻の受信信号（先頭のタップ演算器 4 2<sub>1</sub> については、タイミング同期回路 1 4 から入力された遅延無しの受信信号）と、積分器 5 6 から入力されたタップ係数とを複素乗算し加算器 4 4 に出力する。

10

【 0 0 4 5 】

加算器 4 4 は、各タップ演算器 4 2 から入力された演算結果の各々を加算した信号を出力する。

【 0 0 4 6 】

電力変換器 4 6 には、加算器 4 4 から入力された信号を電力信号に変換し、比較器 4 8 に出力する。

【 0 0 4 7 】

比較器 4 8 は、予め設定された基準信号と、電力変換器 4 6 から入力された電力信号との差分を求め、該差分を示す信号を乗算器 5 0 に出力する。なお、ここで求めた差分を等化誤差と呼称し、該等化誤差を示す信号を等化誤差信号と呼称する。

20

【 0 0 4 8 】

乗算器 5 0 は、比較器 4 8 から入力された等化誤差信号に、ゲイン制御部 2 4 から与えられたフィードバックゲインを乗算し、複素乗算器 5 2 に出力する。

【 0 0 4 9 】

複素乗算器 5 2 は、乗算器 5 0 から入力された乗算結果と、加算器 4 4 から入力された加算結果とを複素乗算して各タップ演算器 4 2 に出力する。

【 0 0 5 0 】

次に、等化器 1 6 に対してフィードバックゲインを与えるゲイン制御部 2 4 について説明する。ゲイン制御部 2 4 は、遅延器 3 0、差分器 3 2、フィルタ 3 4、選択器 3 6、及びテーブル 3 8 を備えている。

30

【 0 0 5 1 】

遅延器 3 0 は、電力検出器 1 8 から入力された電力信号を 1 フレーム分遅延させる。

【 0 0 5 2 】

差分器 3 2 は、電力検出器 1 8 から入力された電力信号と、1 フレーム前の電力信号との差分を演算し、該差分の絶対値を示す差分信号を出力する。ここで、A G C 2 0 で調整しきれなかった電力変動が検出される。具体的には、上記 A G C 2 0 の制御では、各スロット間のレベル調整がなされるが（図 3（A）、（B）参照。）、各々のスロット内に依然としてレベル変動が残存することがある（図 3（C）参照）。従って、差分演算器 3 2 では、このような A G C 2 0 で調整されなかった電力変動が検出される。

40

【 0 0 5 3 】

フィルタ 3 4 は、差分器 3 2 から出力された差分信号を平滑化する。これにより、差分信号のノイズが除去され、選択器 3 6 でのゲイン制御を精度高く行なうことができる。

【 0 0 5 4 】

選択器 3 6 は、フィルタ 3 4 で平滑化された差分信号が入力されると、テーブル 3 8 から該差分信号に対応するゲイン値を選択し、該選択したゲイン値をフィードバックゲインとして、等化器 1 6 の乗算器 5 0 に与える。

【 0 0 5 5 】

テーブル 3 8 は、不揮発性メモリで構成されている。テーブル 3 8 は、差分信号の値とフィードバックゲインの値とを対応付けて記憶したルックアップテーブルであり、選択器

50

36によって参照される。

【0056】

より詳述すると、テーブル38には、所定値以下の差分信号に対しては、伝搬路推定結果の精度を高める有効な値として予め定められたフィードバックゲインの値が記憶されている。また、所定値より大きい差分信号に対しては、上記予め定められたフィードバックゲインよりも小さな値、或いは「0」がフィードバックゲインの値として記憶されている。

【0057】

なお、所定値より大きい差分信号については、フィードバックゲインの値として、一定の値ではなく、差分信号が大きくなるに従って小さくなるようなゲイン値を上記テーブル38に記憶しておくようにしてもよい。

10

【0058】

差分信号が所定値以下である場合には、到来受信信号は電力変動が小さく、強いフェージングは生じていないと推定される。このような場合には、選択器36により、伝搬路推定結果の精度を高める有効な値として予め定められたフィードバックゲインの値がテーブル38から選択され、乗算器50に与えられる。これにより、通常通りタップ係数が更新され、タップ演算器42の各々で該更新されたタップ係数による演算が行なわれる。

【0059】

また、差分信号が所定値を越えていた場合には、到来受信信号は電力変動が大きく、強いフェージングが生じていると推定される。このような場合には、選択器36により、通常よりも小さなフィードバックゲイン、或いは「0」がテーブル38から選択され、乗算器50に与えられる。フィードバックゲインを小さくすることで、タップ係数が大きく変更されることを抑制することができる。フィードバックゲインを0にすることで、乗算器50での乗算結果も0となることから、前回演算されたタップ係数と同じタップ係数で（タップ係数を変更せず）複素乗算器58の複素乗算が行なわれる。従って、突発的な雑音等が含まれる信号の影響を低減させることができる。

20

【0060】

以上説明したように、ゲイン制御部24を設け、フェージングによる受信電力変動に対してフィードバックゲインを適応的に変更するようにしたため、等化器による受信特性を改善する効果が得られる。

30

【0061】

なお、上記実施の形態では、テーブル38からゲインを選択する例について説明したが、これに限定されず、例えば、入力された差分信号を所定値と比較する比較回路を選択器36に設け、差分信号が所定値以下の場合には、伝搬路推定結果の精度を高める有効な値として予め定められたフィードバックゲインの値を等化器16の乗算器50に出力し、差分信号が所定値を超えている場合には、上記予め定められたフィードバックゲインの値よりも小さい一定のゲイン値（例えば、「0」）を出力するように構成してもよい。すなわち、テーブルを用いない構成としてもよい。

【0062】

また、遅延器30で、電力検出器18から入力された電力検出の結果を1フレーム分遅延させる場合について説明したが、複数フレーム分遅延させるようにしてもよい。

40

【0063】

[第2の実施の形態]

【0064】

第1の実施の形態では、等化器16に入力される前の受信信号に基づいてフィードバックゲインを求める例について説明したが、第2の実施の形態では、等化器16内の比較器48の比較結果に基づいてフィードバックゲインを求める例について説明する。

【0065】

本実施の形態では、第1の実施の形態の信号処理装置のゲイン制御部24に代えて図4に示すゲイン制御部60を設けて信号処理装置を構成する。また、電力検出器18で変換

50

された電力信号はAGC20には入力されるが、ゲイン制御部60には入力されないように構成する。これ以外の構成は、第1の実施の形態と同じである。

【0066】

図4は、第2の実施の形態の等化器16及びゲイン制御部60の構成を示す図である。なお、前述したように等化器16の構成は第1の実施の形態と変わらない。

【0067】

本実施の形態のゲイン制御部60は、絶対値変換器62、スケーリング器64、選択器66、及びテーブル68を備えている。

【0068】

絶対値変換器62は、等化器16内の比較器48から出力された等化誤差信号を、等化誤差の絶対値を示す絶対値信号に変換する。

【0069】

スケーリング器64は、絶対値変換器62で変換された絶対値信号の基準信号に対する割合(以下、相対値)を求める。具体的には、絶対値信号を基準信号で除算して相対値を求める。該相対値を示す相対値信号は選択器66に出力される。

【0070】

選択器66は、相対値信号が入力されると、テーブル68から該相対値信号に対応するゲイン値を選択し、該選択したゲイン値をフィードバックゲインとして、等化器16の乗算器50に与える。

【0071】

テーブル68は、不揮発性メモリで構成されている。テーブル68は、相対値とフィードバックゲインの値とを対応付けて記憶したルックアップテーブルであり、選択器66によって参照される。

【0072】

より詳述すると、テーブル68には、所定値以下の相対値に対しては、伝搬路推定結果の精度を高める有効な値として予め定められたフィードバックゲインの値が記憶されている。また、所定値より大きい相対値に対しては、上記予め定められたフィードバックゲインよりも小さな値、或いは「0」がフィードバックゲインの値として記憶されている。

【0073】

なお、所定値より大きい相対値については、フィードバックゲインの値として、一定の値ではなく、相対値が大きくなるに従って小さくなるような値を上記テーブル68に記憶しておくようにしてもよい。

【0074】

相対値が所定値以下である場合には、到来受信信号は突発的な雑音等の不要な電力が少ない信号であると推定される。このような場合には、選択器66により、伝搬路推定結果の精度を高める有効な値として予め定められたフィードバックゲインの値をテーブル68から選択され、乗算器50に与えられる。これにより、通常通りタップ係数が更新され、タップ演算器42の各々で該更新されたタップ係数による演算が行なわれる。

【0075】

また、相対値が所定値を越えていた場合には、到来受信信号は突発的な雑音等の不要な電力が大きく伝搬路推定結果の誤差を大きくする信号であると推定される。このような場合には、選択器66により、通常よりも小さなフィードバックゲイン、または「0」がテーブル68から選択され、乗算器50に与えられる。タップ係数が大きく変更されることを抑制することができる。フィードバックゲインを0にすることで、乗算器50での乗算結果も0となることから、前回演算されたタップ係数と同じタップ係数で(タップ係数を変更せず)複素乗算器58の複素乗算が行なわれる。従って、突発的な雑音等が含まれる信号の影響を低減させることができる。

【0076】

以上説明したように、ゲイン制御部60を設け、突発的に生じる信号の変動やフェージング等による大きな電力変動に対してフィードバックゲインを適応的に変更するようにし

10

20

30

40

50

たため、等化器による受信特性を改善する効果が得られる。

【 0 0 7 7 】

なお、上記実施の形態では、テーブル 6 8 からゲインを選択する例について説明したが、これに限定されず、例えば、相対値を所定値と比較する比較回路を選択器 6 6 に設け、相対値が所定値以下の場合には、伝搬路推定結果の精度を高める有効な値として予め定められたフィードバックゲインの値を等化器 1 6 の乗算器 5 0 に出力し、相対値が所定値を超えている場合には、上記予め定められたフィードバックゲインの値よりも小さい一定のゲイン値（例えば、「0」）を出力するように構成してもよい。すなわち、テーブルを用いない構成としてもよい。

【 0 0 7 8 】

また、上記スケーリング器 6 4 については、絶対値信号を基準信号で除算する除算回路で構成することができるが、除算回路が大きくなることを懸念する場合には、信号処理回路を以下のように構成するようにしてもよい。

【 0 0 7 9 】

まず、基準信号を 2 のべき乗として予め設定しておく。そして、等化器 1 6 に入力される受信信号の平均電力が基準信号相当になるように、前段の A G C 2 0 で V G A 1 0 のゲイン制御を行なうことにより受信信号のレベルを調整する。更に、絶対値変換器 6 2 から入力された絶対値信号を基準信号の 2 のべき乗数分だけビットシフトするシフト回路でスケーリング器 6 4 を構成する。

【 0 0 8 0 】

このような構成とすれば、回路規模が大きな除算回路を設けなくとも、絶対値信号と基準信号との相対値を求めることができ、上記と同様に適応的にフィードバックゲインを変更することができる。

【 図面の簡単な説明 】

【 0 0 8 1 】

【 図 1 】 第 1 の実施の形態の信号処理装置の構成例を示す図である。

【 図 2 】 第 1 の実施の形態の等化器の構成を示す図である。

【 図 3 】 A G C によるレベル変動調整を説明する説明図である。

【 図 4 】 第 2 の実施の形態の等化器及びゲイン制御部の構成を示す図である。

【 符号の説明 】

【 0 0 8 2 】

1 0 V G A

1 2 A D C

1 4 タイミング同期回路

1 6 等化器

1 8 電力検出器

2 0 A G C

2 2 D A C

2 4 ゲイン制御部

3 0 遅延器

3 2 差分器

3 4 フィルタ

3 6 選択器

3 8 テーブル

4 0 遅延器

4 2 タップ演算器

4 4 加算器

4 6 電力変換器

4 8 比較器

5 0 乗算器

10

20

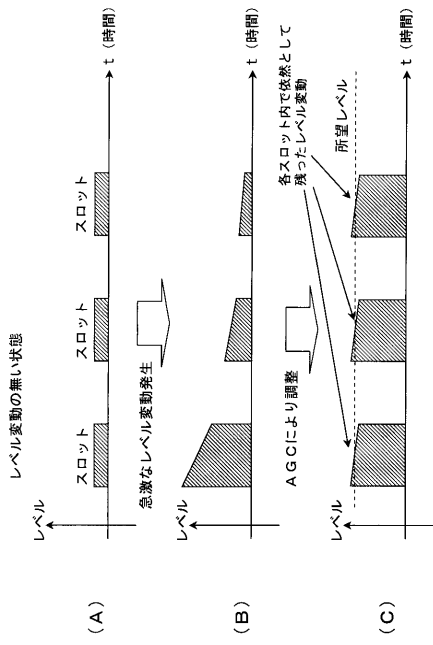
30

40

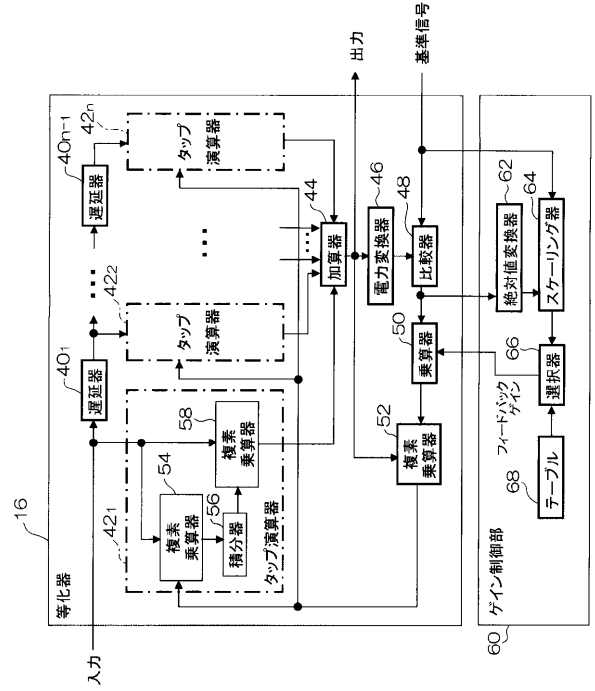
50



【 図 3 】



【 図 4 】



---

フロントページの続き

Fターム(参考) 5K046 AA05 DD02 DD15 EE02 EE06 EE32 EE56 EF43 EF56  
5K061 BB00 CC52 JJ07  
5K067 AA02 BB04 CC04 EE02 EE10 FF02 FF16 HH21