



(12) 发明专利

(10) 授权公告号 CN 101677100 B

(45) 授权公告日 2011.09.07

(21) 申请号 200810148935.9

审查员 李介胜

(22) 申请日 2008.09.17

(73) 专利权人 财团法人工业技术研究院  
地址 中国台湾新竹县

(72) 发明人 张恕铭 江家雯

(74) 专利代理机构 北京三友知识产权代理有限公司 11127

代理人 任默闻

(51) Int. Cl.

H01L 27/06 (2006.01)

H01L 27/108 (2006.01)

H01L 29/92 (2006.01)

H01L 21/822 (2006.01)

H01L 21/8242 (2006.01)

H01L 21/02 (2006.01)

(56) 对比文件

CN 1705119 A, 2005.12.07,

US 4409608 A, 1983.10.11,

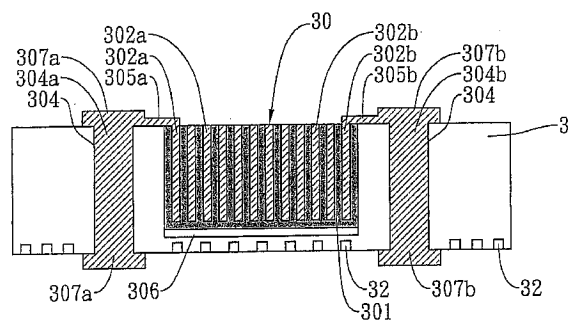
权利要求书 2 页 说明书 6 页 附图 10 页

(54) 发明名称

电容元件及其制造方法

(57) 摘要

本发明提供一种电容元件及其制造方法,该电容元件具有高介电材料及多层垂直式平板电极的电容元件,可采用低温工艺直接制作在一晶片上而与该晶片上的主动元件整合在一起,以减少该电容元件组装及制作的成本。本发明还利用硅导孔(Through-Silicon-Via)技术在该电容元件形成垂直导线,而利于制作堆叠式电容元件,进一步提高电容。



1. 一种电容元件,其特征在于,该元件包括:
  - 一半导体衬底,具有至少一主动元件;
  - 至少一电容元件,形成于所述半导体衬底中一预定区域,所述电容元件包括:
    - 一介电材料基体,位于所述半导体衬底中所述预定区域;
    - 多个第一平板电极,从所述半导体衬底的一表面垂直延伸于所述介电材料基体中而彼此平行配置;
    - 一第一共同导线,形成于所述半导体衬底的所述表面上,并电连接所述多个第一平板电极;
    - 多个第二平板电极,从所述半导体衬底的所述表面垂直延伸于所述介电材料基体中,并与所述多个第一平板电极交错平行配置;
    - 一第二共同导线,相对于所述第一共同导线而形成于所述半导体衬底的所述表面上,并电连接所述多个第二平板电极;及
    - 一第一垂直导线、一第一平行导线、一第二垂直导线及一第二平行导线,所述第一垂直导线贯穿所述半导体衬底及所述第一平行导线形成于所述半导体衬底的所述表面上,并电连接所述第一垂直导线与最外侧的所述第一平板电极,所述第二垂直导线相对于所述第一垂直导线贯穿所述半导体衬底及所述第二平行导线形成于所述半导体衬底的所述表面上,并电连接所述第二垂直导线与最外侧的所述第二平板电极。
2. 如权利要求 1 所述的电容元件,其特征在于,所述介电材料基体的介电常数大于 1000。
3. 如权利要求 1 所述的电容元件,其特征在于,该电容元件包括一粘着层接合于所述介电材料基体与所述半导体衬底之间。
4. 如权利要求 1 所述的电容元件,其特征在于,所述电容元件与所述至少一主动元件位于所述半导体衬底的同侧或对侧。
5. 如权利要求 1 所述的电容元件,其特征在于,该电容元件还包括至少一权利要求 1 所述的电容元件堆叠于所述电容元件的所述表面上,并且所述多个电容元件的所述多个第一垂直导线及所述多个第二垂直导线分别对齐接合。
6. 如权利要求 5 所述的电容元件,其特征在于,该电容元件还包括多个导电凸块形成于最下方的所述电容元件的另一表面下方,并分别与所述多个第一垂直导线、所述多个第二垂直导线电性接触。
7. 如权利要求 5 所述的电容元件,其特征在于,所述电容元件的所述介电材料基体的介电常数大于 1000。
8. 一种电容元件制造方法,其特征在于,该方法包括:
  - 提供一半导体衬底,所述半导体衬底具有至少一主动元件;
  - 形成至少一空腔于所述半导体衬底中一预定区域;
  - 填入一介电材料基体于所述空腔中;
  - 形成多个彼此平行的平板状引线孔垂直贯穿所述介电材料基体;
  - 形成多个平板电极于所述平板状引线孔内并同时形成一导线图案于所述半导体衬底的一表面上,其中所述多个平板电极包括彼此交错配置的第一组平板电极及第二组平板电极,所述导线图案包括一第一共同导线连接所述第一组平板电极、一第二共同导线连接所

述第二组平板电极、一第一平行导线连接所述第一组平板电极的最外侧平板电极及一第二平行导线连接所述第二组平板电极的最外侧平板电极；

形成一对垂直贯穿孔分别于所述介电材料基体对侧并且通过所述半导体衬底；及

形成一第一垂直导线及一第二垂直导线分别于所述垂直贯穿孔内，并且所述第一垂直导线连接所述第一平行导线，及所述第二垂直导线连接所述第二平行导线。

9. 如权利要求 8 所述的电容元件制造方法，其特征在于，该方法还包括以一粘着层接合所述介电材料基体与所述半导体衬底。

10. 如权利要求 8 所述的电容元件制造方法，其特征在于，所述形成多个彼此平行的平板状引线孔垂直贯穿所述介电材料基体的步骤包括同时形成第一组彼此平行的平板状引线孔及第二组彼此平行的平板状引线孔，并且所述多个第一组平板状引线孔与所述多个第二组平板状引线孔交错配置。

11. 如权利要求 8 所述的电容元件制造方法，其特征在于，所述介电材料基体的介电常数大于 1000。

12. 一种电容元件制造方法，其特征在于，该方法包括：

提供一半导体衬底，所述半导体衬底具有至少一主动元件；

形成至少一空腔于所述半导体衬底中一预定区域；

填入一介电材料基体于所述空腔中；

形成多个彼此平行的第一平板状引线孔垂直贯穿所述介电材料基体；

形成多个第一平板电极于所述第一平板状引线孔内；

形成多个彼此平行的第二平板状引线孔垂直贯穿所述介电材料基体，并与所述多个第一平板电极交错配置；

形成多个第二平板电极于所述第二平板状引线孔内并同时形成一导线图案于所述半导体衬底的一表面上，其中所述导线图案包括一第一共同导线连接所述多个第一平板电极、一第二共同导线连接所述多个第二平板电极、一第一平行导线连接最外侧的所述第一平板电极及一第二平行导线连接最外侧的所述第二平板电极；

形成一对垂直贯穿孔分别于所述介电材料基体对侧并且通过所述半导体衬底；及

形成一第一垂直导线及一第二垂直导线分别于所述垂直贯穿孔内，并且所述第一垂直导线连接所述第一平行导线及所述第二垂直导线连接所述第二平行导线。

13. 如权利要求 12 所述的电容元件制造方法，其特征在于，该方法还包括以一粘着层接合所述介电材料基体与所述半导体衬底。

14. 如权利要求 12 所述的电容元件制造方法，其特征在于，所述介电材料基体的介电常数大于 1000。

## 电容元件及其制造方法

### 技术领域

[0001] 本发明是关于一种电容元件 ;特别是有关于一种采用晶片级工艺的电容元件及其制造方法。

### 背景技术

[0002] 运算集成电路元件通常需要耦合电容来降低杂讯,离集成电路元件越近的电容,所产生的寄生电感越小,可以有较佳的电性表现。已知的电容元件有表面安装式电容元件 (Surface Mounting Device type capacitor)、薄膜电容元件及沟槽式电容元件。传统的表面安装式电容元件 1 是以多层方式达到高电容,如图 1 所示,主要是以厚膜印刷方式印刷电极 12 在介电层 10 上,再作堆叠与烧结。烧结温度通常需要千度以上。虽然可以使用多层制作,电容值可以高,但因为制作出来的表面安装式电容元件 1 需要再组装于基板 20 上,如图 2 所示,会增加组装的成本。再者,去耦合电容元件 1 与集成电路元件 22 的距离隔着基板 20,利用该电容元件 1 降低集成电路元件 22 杂讯的效果不佳。再者,随着可携式电子元件缩装的需求,电子封装整体的尺寸不断的缩小,表面安装式电容元件 1 的尺寸也逐渐缩小,但尺寸的缩小却也增加组装时的成本。

[0003] 薄膜电容元件已知有使用薄膜工艺制作,而利用介电材料层厚度的降低来提高电容。这一制作方法可与集成电路工艺相结合,但单位面积的电容密度还是有一定的限制,如果使用多层结构来达到高电容密度,则会增加掩模数目与制作成本。沟槽式电容元件是在硅晶片上挖出间隔很密且洞很小的沟槽,并在沟槽内填入薄的介电材料,以得到相当高的电容密度,但此方式工艺困难,制造费用比较昂贵,如美国专利第 5,150,276 号及美国专利第 5,393,373 号。

### 发明内容

[0004] 本发明提供一种电容元件及其制造方法,可在低温下将具高介电材料及多层垂直式平板电极的电容元件制作在一晶片上,而与该晶片上的主动元件整合在一起,可缩短电容元件与主动元件的距离,使电容元件与主动元件有效结合,以提高主动元件的电性表现。

[0005] 本发明提供一种电容元件及其制造方法,可采用低温工艺将该电容元件直接制作在一晶片上,以减少该电容元件组装及制作的费用。

[0006] 本发明提供一种电容元件及其制造方法,采用晶片级低温工艺将具高介电材料及多层垂直式平板电极的电容元件直接制作在晶片上。

[0007] 本发明提供一种电容元件垂直堆叠结构及其制造方法,利用硅导孔 (Through Silicon Via, TSV) 技术于每一电容元件内形成垂直导线,再通过对接这些电容元件的垂直导线,以于晶片上制作垂直堆叠电容元件。

[0008] 据上述,本发明提供的一种电容元件,是包括一具有至少一主动元件的半导体衬底及至少一电容元件是具有一介电材料基体、多个第一平板电极、一第一共同导线、多个第二平板电极及一第二共同导线。该电容元件形成于该半导体衬底中一预定区域,该介电材

料基体位于该半导体衬底中该预定区域。这些第一平板电极从该半导体衬底的一表面垂直延伸于该介电材料基体中而彼此平行配置。该第一共同导线形成于该半导体衬底的该表面上并电连接这些第一平板电极。这些第二平板电极从该半导体衬底的该表面垂直延伸于该介电材料基体中，并与这些第一平板电极交错平行配置。该第二共同导线相对于该第一共同导线而形成于该半导体衬底的该表面上并电连接这些第二平板电极。

[0009] 本发明还提供一种电容元件的制造方法，其包括：提供一半导体衬底，该半导体衬底是具有至少一主动元件；形成至少一空腔于该半导体衬底中一预定区域；填入一介电材料基体于该空腔中；形成多个彼此平行的平板状引线孔垂直贯穿该介电材料基体；及形成多个平板电极于这些平板状引线孔内并同时形成一导线图案于该半导体衬底的一表面上，其中这些平板电极包括彼此交错配置的第一组平板电极及第二组平板电极，该导线图案包括一第一共同导线连接这些第一组平板电极、一第二共同导线连接这些第二组平板电极、一第一平行导线连接该第一组平板电极的最外侧平板电极，及一第二平行导线连接该第二组平板电极的最外侧平板电极。

[0010] 本发明还提供另一种电容元件的制造方法，其包括：提供一半导体衬底，该半导体衬底是具有至少一主动元件；形成至少一空腔于该半导体衬底中一预定区域；填入一介电材料基体于该空腔中；形成多个彼此平行的第一平板状引线孔垂直贯穿该介电材料基体；形成多个第一平板电极于这些第一平板状引线孔内；形成多个彼此平行的第二平板状引线孔垂直贯穿该介电材料基体并与这些第一平板电极交错配置；及形成多个第二平板电极于这些第二平板状引线孔内并同时形成一导线图案于该半导体衬底的一表面上，其中该导线图案包括一第一共同导线连接这些第一平板电极、一第二共同导线连接这些第二平板电极、一第一平行导线连接最外侧的该第一平板电极及一第二平行导线连接最外侧的该第二平板电极。

## 附图说明

[0011] 图 1 是一传统表面安装式电容元件的立体结构示意图；

[0012] 图 2 是组装有图 1 所示的表面安装式电容元件的晶片侧视结构示意图；

[0013] 图 3 是本发明具有多个电容元件的晶片正视示意图，说明本发明电容元件可以晶片级工艺制作于该晶片上；

[0014] 图 4A 是本发明电容元件的正视示意图；

[0015] 图 4B 是图 4A 所示电容元件沿 B-B 线的截面示意图；

[0016] 图 5A 至图 5F 是本发明电容元件制造方法的第一具体实施例各工艺步骤对应的截面结构示意图；

[0017] 图 6 是本发明具有垂直堆叠结构的电容元件截面示意图；

[0018] 图 7A 至图 7F 是本发明电容元件制造方法的第二具体实施例各工艺步骤对应的截面结构示意图。

[0019] 附图标号

[0020] 表面安装式电容元件 1

[0021] 半导体衬底 3、4

[0022] 介电层 10

[0023]	电极	12
[0024]	基板	20
[0025]	集成电路元件	22
[0026]	电容元件	30、30a、30b、30c
[0027]	主动元件	32、42
[0028]	空腔	300、400
[0029]	介电材料基体	301、401
[0030]	第一平板电极	302a、402a
[0031]	第二平板电极	302b、403a
[0032]	垂直贯穿孔	304、407
[0033]	第一共同导线	303a
[0034]	第二共同导线	303b
[0035]	第一垂直导线	304a、407a
[0036]	第二垂直导线	304b、407b
[0037]	第一平行导线	305a、404
[0038]	第二平行导线	305b、405
[0039]	粘着层	306、406
[0040]	第一电性接触	307a、408a
[0041]	第二电性接触	307b、408b
[0042]	焊垫	308
[0043]	锡球	309

### 具体实施方式

[0044] 本发明提供一种电容元件,可以采用晶片级的低温工艺将电容元件直接制作在晶片上。本发明的低温工艺泛指工艺温度是晶片上集成电路元件可以承受的温度以下,例如 400℃ 以下。图 3 所示为本发明采用晶片级 (wafer-level) 工艺制作在一晶片 3 上的多个电容元件 30 正视示意图。图 4A 是图 3 所示晶片上其中一个电容元件 30 的正视示意图,而图 4B 是该电容元件 30 沿 B-B 线的截面示意图。参考图 4A,该电容元件 30 可以制作在该晶片 3 上的一预定区域 A,以与该晶片 3 上的主动元件 (图中未示出) 整合在一起。该电容元件 30 是具有—具有高介电常数例如大于 1000 的介电材料基体 (bulk capacitormaterial) 301、多个第一平板电极 302a、—第一共同导线 303a、多个第二平板电极 302b 及—第二共同导线 303b。该介电材料基体 301 位于该晶片 3 中该预定区域 A。在本发明中是以粘着层 306 将该介电材料基体 301 贴合于该预定区域 A 的该晶片 3 内部 (参考图 4B)。这些第一平板电极 302a 是从该晶片 3 的一表面垂直延伸于该介电材料基体 301 中而彼此平行配置。该第一共同导线 303a 是形成于该晶片 3 的该表面上,并电连接这些第一平板电极 302a,以将这些第一平板电极 302a 电连接至—共同电压端 (未示出)。这些第二平板电极 302b 从该晶片 3 的该表面垂直延伸于该介电材料基体 301 中并与这些第一平板电极 302a 交错平行配置。该第二共同导线 303b 相对于该第一共同导线 303a 而形成于该晶片 3 的该表面上并电连接这些第二平板电极 302b,以将这些第二平板电极 302b 电连接至另一共同电压端 (未示

出),其电性相反于第一平板电极 302a 连接的该共同电压端。参考图 4A 及图 4B,该电容元件 30 又包括一第一垂直导线 304a、一第一平行导线 305a、一第二垂直导线 304b 及一第二平行导线 305b。该第一垂直导线 304a 贯穿该晶片 3,该第一平行导线 305a 形成于该晶片 3 的该表面上,并电连接该第一垂直导线 304a 与最外侧的该第一平行电极 302a。该第二垂直导线 304b 相对于该第一垂直导线 304a 贯穿该晶片 3 及该第二平行导线 305b 形成于该晶片 3 的该表面上,并电连接该第二垂直导线 304b 与最外侧的该第二平行电极 302b。

[0045] 本发明该电容元件 30 是可以制作在该晶片 3 的主动面 (active side) 或背面 (back side) 上的。换句话说,该电容元件 30 可与主动元件制作在该晶片 3 的同一侧或相对侧。参考图 4A,本发明该电容元件 30 具有多个垂直式平板电极 302a, 302b 及具有介电常数大于 1000 的该介电材料基体 301,因而可提供高电容。再者,本发明可通过缩短前述平板电极 302a, 302b 之间的距离,进一步提高该电容元件 30 的电容。再者,该电容元件 30 通过前述第一垂直导线 304a 与第二垂直导线 304b 的设计,可利于多个该电容元件 30 彼此垂直堆叠,并且通过第一垂直导线 304a 与第二垂直导线 304b 建立垂直导通连线。因此,本发明也可以在该晶片 3 上制作具有垂直堆叠结构的电容元件。

[0046] 本发明提供的前述电容元件 30 的制造方法,将通过以下具体实施例配合附图予以详细说明如下。图 5A 至图 5E 是本发明前述电容元件 30 的制造方法的一第一具体实施例的各步骤对应截面结构示意图。在第一具体实施例中,参考图 5A,首先提供一半导体衬底 (晶片) 3,至少一主动元件 32 形成于该半导体衬底 3 的一第一表面上 (在此定义为该半导体衬底 3 的主动面)。接着,形成至少一空腔 300 于该半导体衬底 3 的一预定区域内相对于这些主动元件 32。也就是说,该空腔 300 是从相对于该第一表面的一第二表面延伸进入该半导体衬底 3 内。在第一具体实施例中,本发明可以干刻蚀或感应耦合等离子体 (ICP) 刻蚀方式形成该空腔 300 于该半导体衬底 3 中。图 5A 虽例示说明该空腔 300 形成于这些主动元件 32 的相对侧,但该空腔 300 也可形成于与这些主动元件 32 同侧的该半导体衬底 3 中。参考图 5B,将一高介电常数例如大于 1000 的介电材料基体 301 填入该空腔 300 内并通过一粘着层 306 而贴合于该半导体衬底 3 内,该介电材料基体 301 可以是经过高温烧结后的钛酸钡 (BaTiO<sub>3</sub>) 材料,再填入该空腔 300 内,而其介电常数是达数千至数万。参考图 5C,形成多个彼此平行的平板状引线孔 302 垂直贯穿该介电材料基体 301,并且这些平板状引线孔 302 分成一组第一平板状引线孔 302 及一组第二平板状引线孔 302 (请配合参考图 4A)。这些第一平板状引线孔 302 及这些第二平板状引线孔 302 彼此平行交错配置于该介电材料基体 301,这些第一平板状引线孔 302 朝该介电材料基体 301 的一侧边延伸,而这些第二平板状引线孔 302 朝该介电材料基体 301 相对的另一侧边延伸。在本发明中可以感应耦合等离子体刻蚀方式或雷射钻孔方式在该介电材料基体 301 形成这些平板状引线孔 302。参考图 5D,接着,使用电镀或物理气相沉积 (PVD) 或化学气相沉积方式将导电材料例如铝、铜、钨或多晶硅沉积于这些第一及第二平板状引线孔 302 内,以分别形成多个第一平板电极 302a 及多个第二平板电极 302b,并且这些第一平板电极 302a 与这些第二平板电极 302b 彼此平行交错配置于该介电材料基体 301。在这一工艺步骤,本发明同时形成一导线图案于该半导体衬底 3 的第二表面上。请参考图 4A 及图 5D,该导线图案包括一第一共同导线 303a、一第二共同导线 303b、一第一平行导线 305a 及一第二平行导线 305b。该第一共同导线 303a 及该第二共同导线 303b 分别连接这些第一平板电极 302a 及这些第二平板电极 302b,并且

该第一平行导线 305a 连接最外侧的一该第一平板电极 302a 及该第二平行导线 305b 连接最外侧的一该第二平板电极 302b。直至此工艺步骤,本发明即完成该电容元件 30 的主要结构,是一种多层式金属-介电层-金属电容元件 (MIM capacitor) 结构。参考图 5E,接着利用硅导孔 (TSV) 技术形成一对垂直贯穿孔 304 分别于该介电材料基体 301 两对侧,并分别垂直通过该第一平行导线 305a 及该第二平行导线 305b 以及该半导体衬底 3。接着,以电镀或物理气相沉积 (PVD) 或化学气相沉积方式将相同于该第一平板电极 302a 及该第二平板电极 302b 的导电材料填入该对垂直贯穿孔 304,以分别形成一第一垂直导线 304a 及一第二垂直导线 304b。如此一来,该第一平行导线 305a 连接于最外侧的该第一平板电极 302a 与该第一垂直导线 304a 之间,而该第二平行导线 305b 连接于最外侧的该第二平板电极 302b 与该第二垂直导线 304b 之间。此外,在这一工艺步骤,本发明同时形成一对第一电性接触 307a 分别于该第一垂直导线 304a 的两端及一对第二电性接触 307b 分别于该第二垂直导线 304b 的两端。参见图 5F,形成多个导电性焊垫 308 于该半导体衬底 3 的第一表面下方,并形成多个导电凸块例如锡球 309 分别接合于该半导体衬底 3 的第二表面下方的该第一电性接触 307a、该第二电性接触 307b 及这些导电性焊垫 308。

[0047] 本发明通过该电容元件 30 的第一垂直导线 304a 及第二垂直导线 304b 的设计,可做多个前述电容元件 30 的垂直堆叠。参考图 6,本发明是可将图 5E 所示制作完成的多个该电容元件 30a、30b、30c 垂直堆叠,使这些电容元件的第一垂直导线 304a 及这些电容元件的第二垂直导线 304b 分别彼此对齐接合,以建立这些电容元件 30a、30b、30c 的垂直导通连线,并且通过该电容元件 30c 下方的锡球 309 与外界建立电连接。如此一来,本发明即可完成具有垂直堆叠结构的电容元件。

[0048] 本发明是可将具有高介电常数例如大于 1000 的介电材料经过高温烧结后制作成该介电材料基体 301。之后,再将成型的该介电材料基体 301 以粘着层 306 贴合于该半导体衬底 3 的预留空腔 300 内部,后续再以低温工艺于该半导体衬底 3 制作该电容元件 30。本发明该电容元件 30 具有多个垂直式平板电极及高介电常数的介电材料,可提供高电容,并且可进一步通过调整垂直式平板电极的数目及彼此的间距,进一步提高该电容元件 30 的电容。再者,本发明的该电容元件 30 的制造方法是可将该电容元件 30 直接制作在具有主动元件 32 的该半导体衬底 3 上,而与这些主动元件 32 共同整合在该半导体衬底 3 上,可减少电容元件组装的成本并且可缩短与这些主动元件 32 之间的距离,降低寄生电感,减少主动元件 32 的杂讯。

[0049] 图 7A 至图 7F 是本发明电容元件的制造方法的一第二具体实施例的各工艺步骤对应的截面结构示意图。参见图 7A,首先提供一半导体衬底 4,该半导体衬底 4 的一第一表面上形成至少一个主动元件 42。接着,形成至少一空腔 400 于该半导体衬底 4 的一预定区域内相对于这些主动元件 42。也就是说,该空腔 400 是从相对于该第一表面的一第二表面延伸进入该半导体衬底 4 内。在第二具体实施例中,本发明可以干刻蚀或感应耦合等离子体 (ICP) 刻蚀方式形成该空腔 400 于该半导体衬底 4 中。图 7A 虽例示说明该空腔 400 形成于这些主动元件 42 的相对侧,但该空腔 400 亦可形成于与这些主动元件 42 同侧的该半导体衬底 4 中。参见图 7B,将一高介电常数例如大于 1000 的介电材料基体 401 填入该空腔 400 内并通过一粘着层 406 而贴合于该半导体衬底 4 内。该介电材料基体 401 可以是经过高温烧结后的钛酸钡 (BaTiO<sub>3</sub>) 材料,再填入该空腔 400 内,而其介电常数达数千至数万。参考图



7C,形成多个彼此平行的第一平板状引线孔 402 垂直贯穿该介电材料基体 401,例如可以感应耦合等离子体刻蚀方式或雷射钻孔方式在该介电材料基体 401 形成这些第一平板状引线孔 402。这些第一平板状引线孔 402 是朝该介电材料基体 401 的一侧边延伸(图 7C 未示出)。接着,参考图 7D,使用电镀或物理气相沉积(PVD)或化学气相沉积方式将导电材料例如铝、铜、钨或多晶硅沉积于这些第一平板状引线孔 402 内,以分别形成多个第一平板电极 402a。参见图 7E,接着例如以感应耦合等离子体刻蚀方式或雷射钻孔方式形成多个第二平板状引线孔 403 垂直贯穿该介电材料基体 401 并且与这些第一平板电极 402a 呈彼此平行交错配置关系。这些第二平板状引线孔 403 是朝该介电材料基体 401 相对的另一侧边延伸(图 7E 未示出)。在此工艺步骤,本发明可通过已填入这些第一平板状引线孔 402 内的导电材料增加该介电材料基体 401 的支撑力,以利于这些第二平板状引线孔 403 的形成。接下来,使用电镀或物理气相沉积(PVD)或化学气相沉积方式将相同于第一平板电极 402a 的导电材料沉积于这些第二平板状引线孔 403 内,以形成多个第二平板电极 403a,并且这些第一平板电极 402a 与这些第二平板电极 403a 是彼此平行交错配置于该介电材料基体 401。在这一工艺步骤,本发明同时形成一导线图案于该半导体衬底 4 的第二表面上。请同时配合参考图 4A,该导线图案包括一第一共同导线(相同于图 4A 的第一共同导线 303a)、一第二共同导线(相同于图 4A 的第二共同导线 303b)、一第一平行导线 404 及一第二平行导线 405。该第一共同导线及该第二共同导线分别连接这些第一平板电极 402a 及这些第二平板电极 403a,并且该第一平行导线 404 连接最外侧的一该第一平板电极 402a 及该第二平行导线 405 连接最外侧的一该第二平板电极 403a。参考图 7F,接着利用硅导孔(TSV)技术形成一对垂直贯穿孔 407 分别于该介电材料基体 401 两对侧,并分别垂直通过该第一平行导线 404 及该第二平行导线 405 以及该半导体衬底 4。接着,以电镀或物理气相沉积(PVD)或化学气相沉积方式将相同于该第一平板电极 402a 及该第二平板电极 403a 的导电材料填入该对垂直贯穿孔 407,以分别形成一第一垂直导线 407a 及一第二垂直导线 407b。如此一来,该第一平行导线 404 是连接于最外侧的该第一平板电极 402a 与该第一垂直导线 407a 之间,而该第二平行导线 405 连接于最外侧的该第二平板电极 403b 与该第二垂直导线 407b 之间。此外,在此一工艺步骤,本发明同时形成一对第一电性接触 408a 分别于该第一垂直导线 407a 的两端及一对第二电性接触 408b 分别于该第二垂直导线 407b 的两端。如此一来,即完成本发明具垂直电连接的电容元件的主要结构。

[0050] 本发明电容元件的制造方法的第二具体实施例是采用两阶段式挖孔填孔方式,是于该介电材料基体 401 形成多个第一平板状引线孔后,先填入导电材料于这些第一平板状引线孔,以提高该介电材料基体 401 的支撑力。接着,形成多个第二平板状引线孔于该介电材料基体 401 中并与这些第一平板状引线孔交错配置,再填入导电材料于这些第二平板状引线孔内。根据本发明的第二具体实施例即可制作电极板数目更多及电极板间距更小的高电容电容元件。

[0051] 以上所述仅为本发明之具体实施例而已,并非用以限定本发明之申请专利范围;凡其它未脱离本发明所揭示之精神下所完成的等效改变或修饰,均应包括在本发明的范围内。

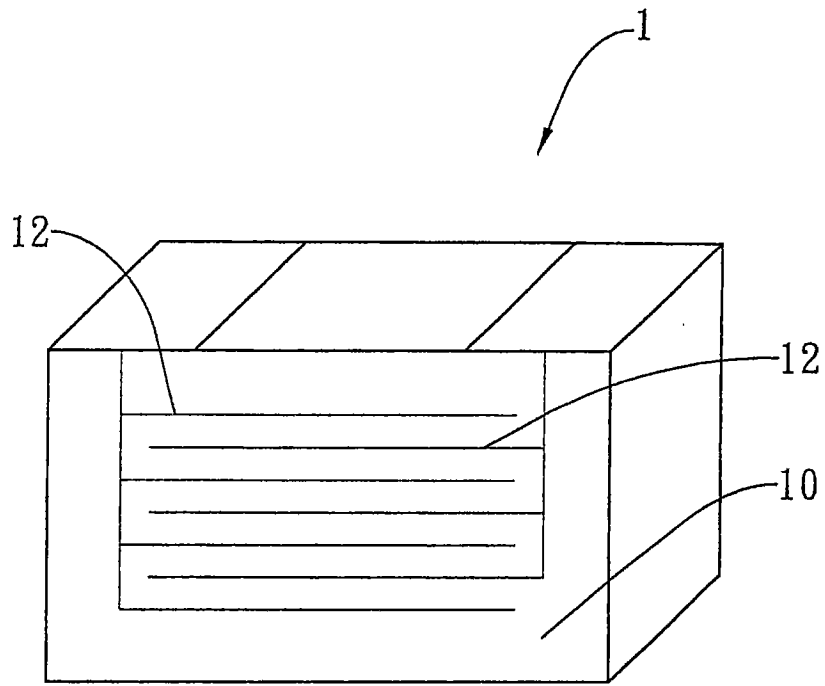


图 1

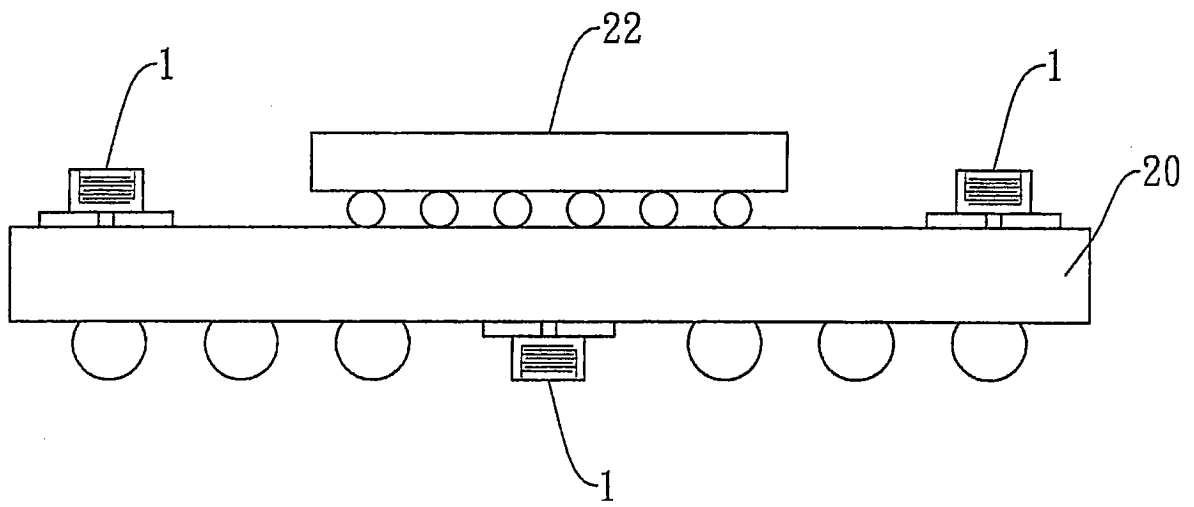


图 2

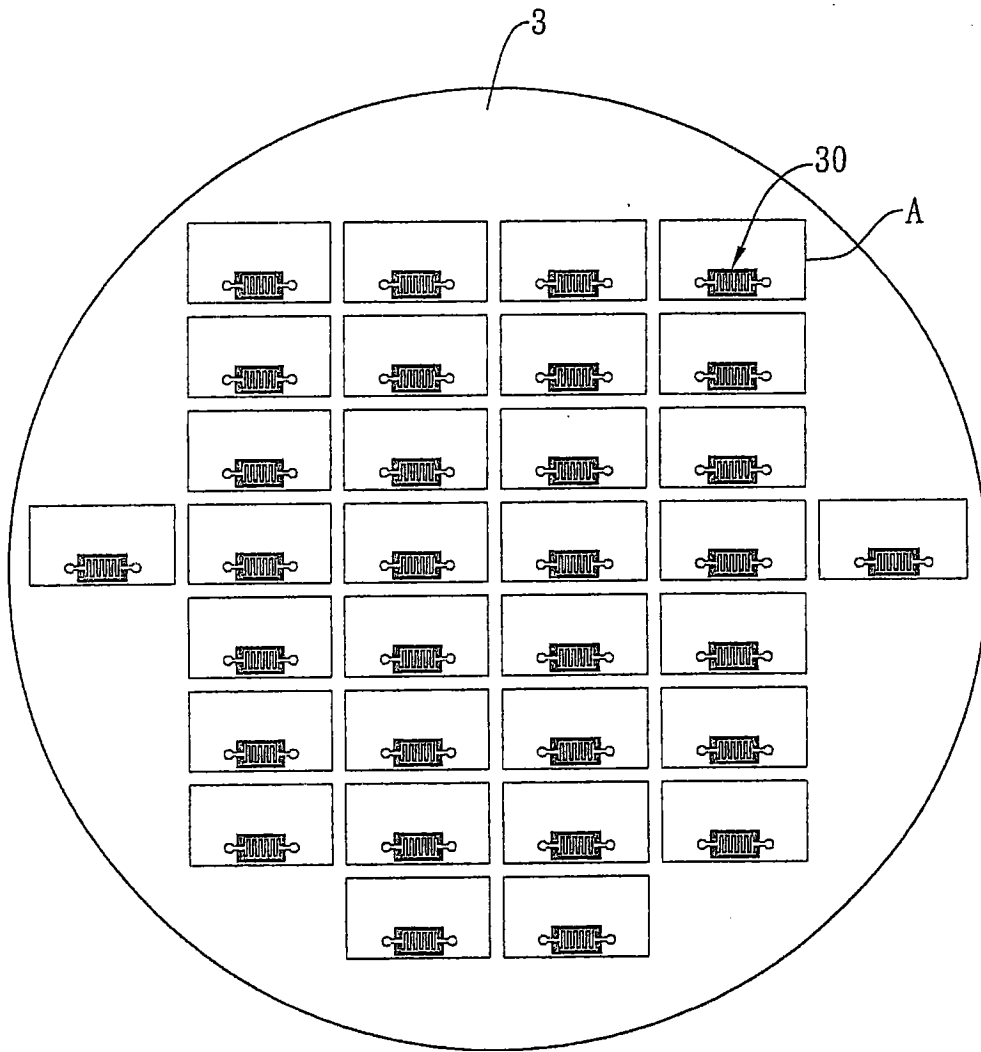


图 3

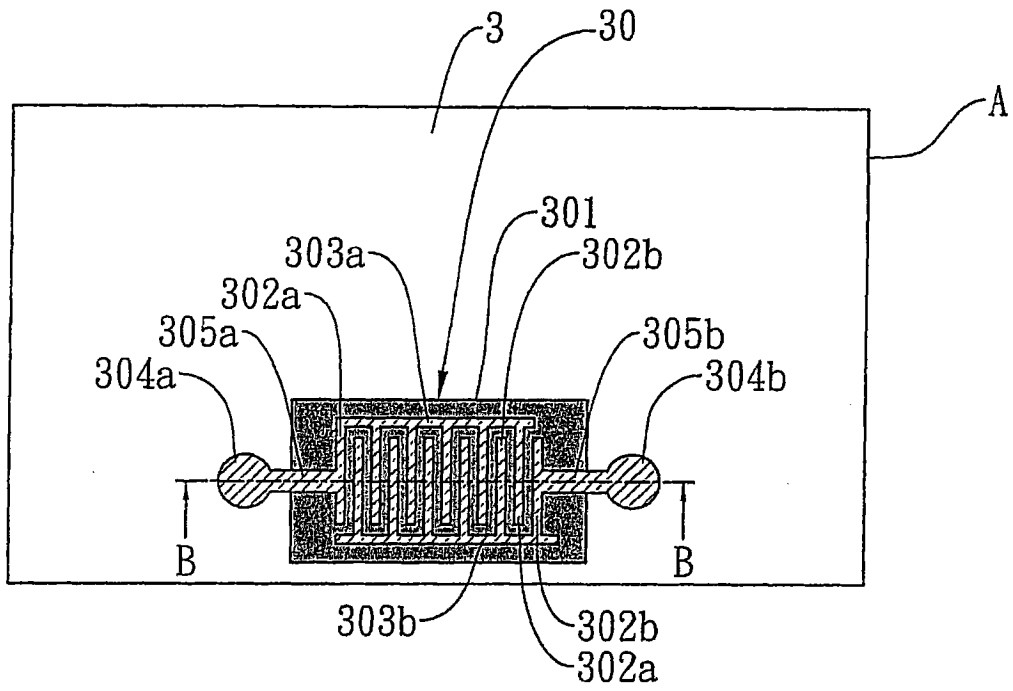


图 4A

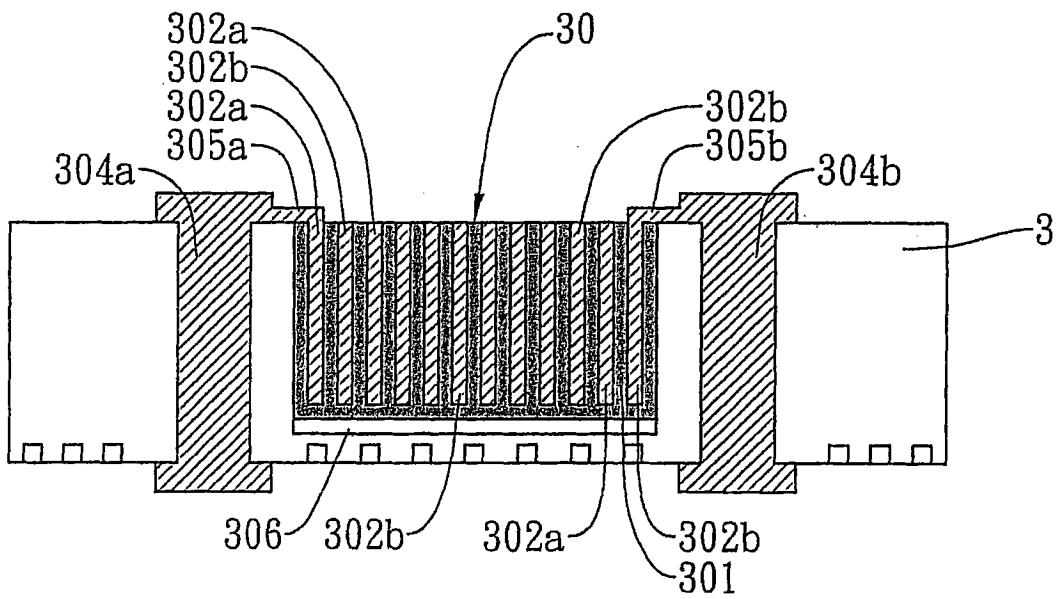


图 4B

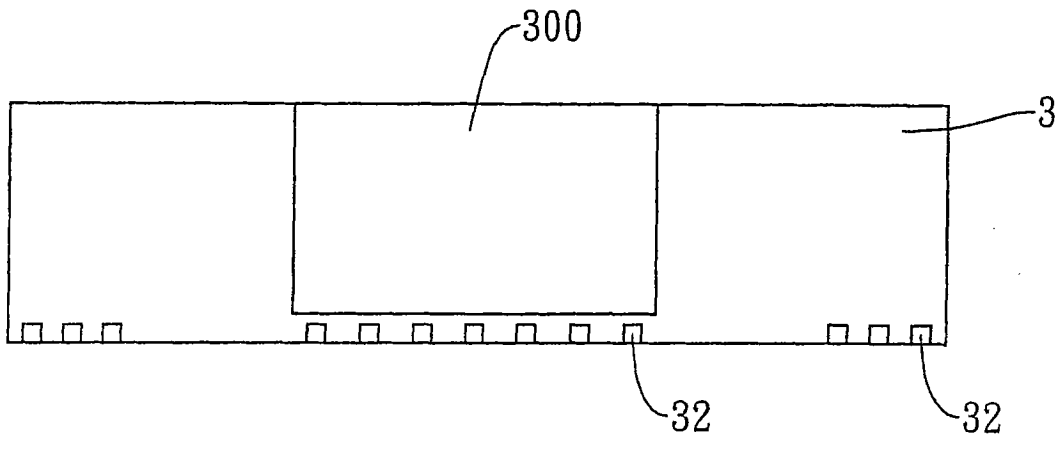


图 5A

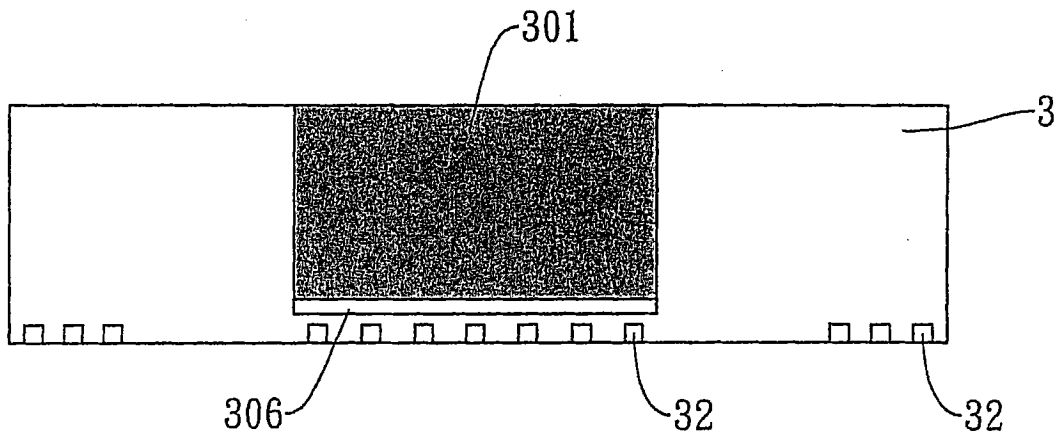


图 5B

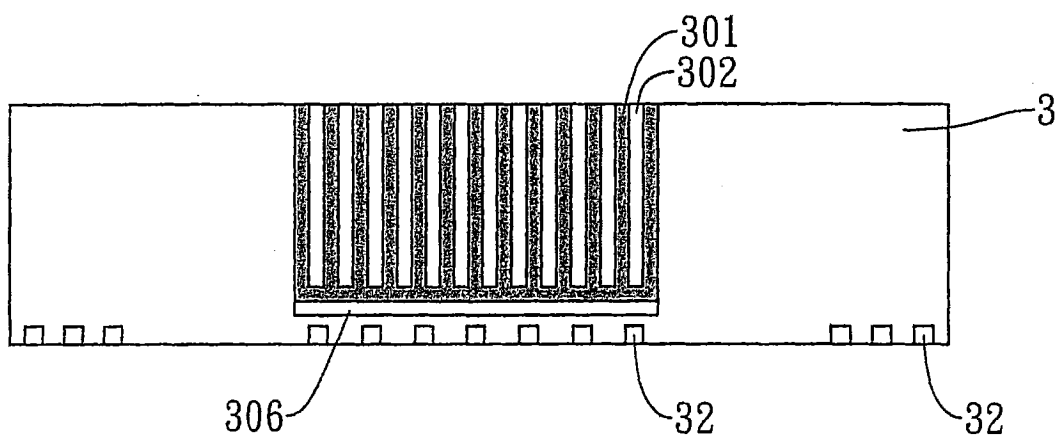


图 5C

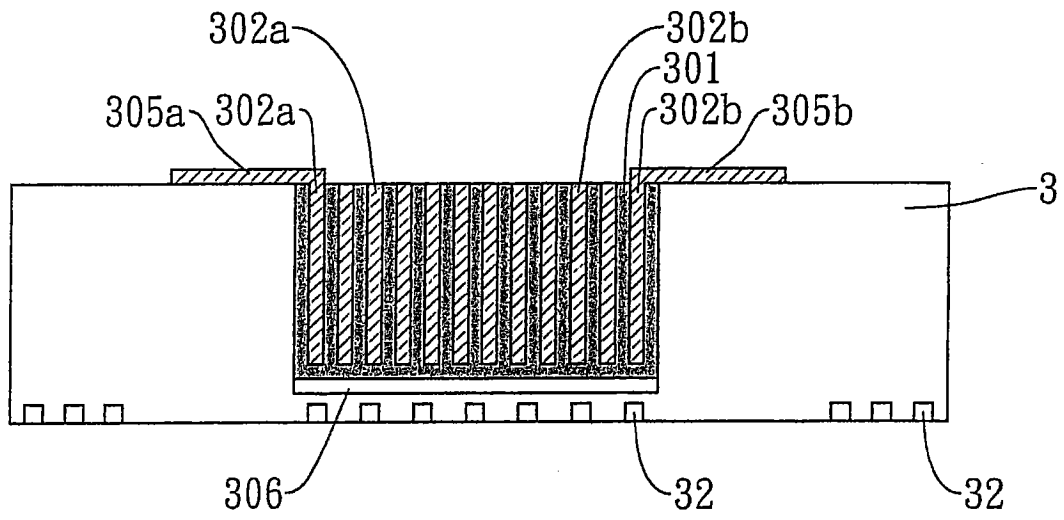


图 5D

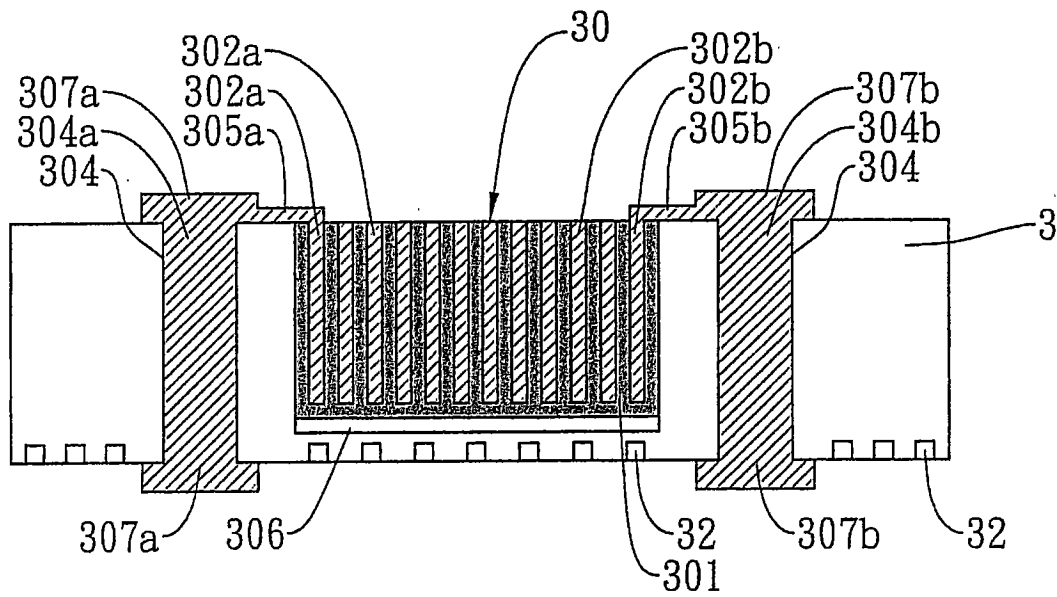


图 5E

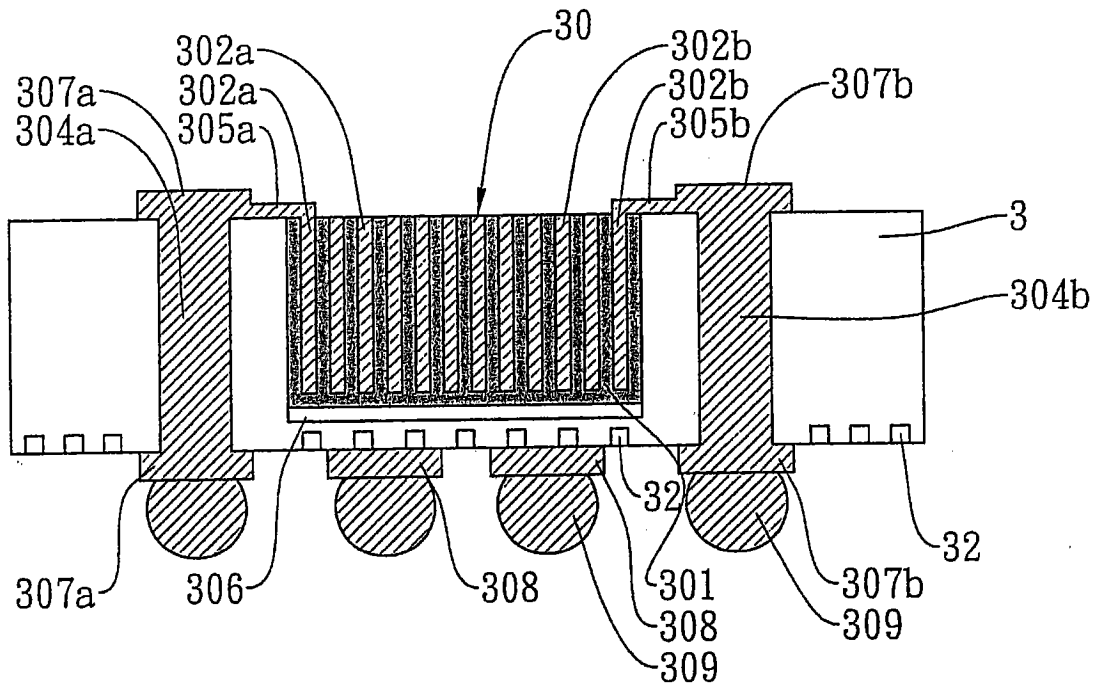


图 5F

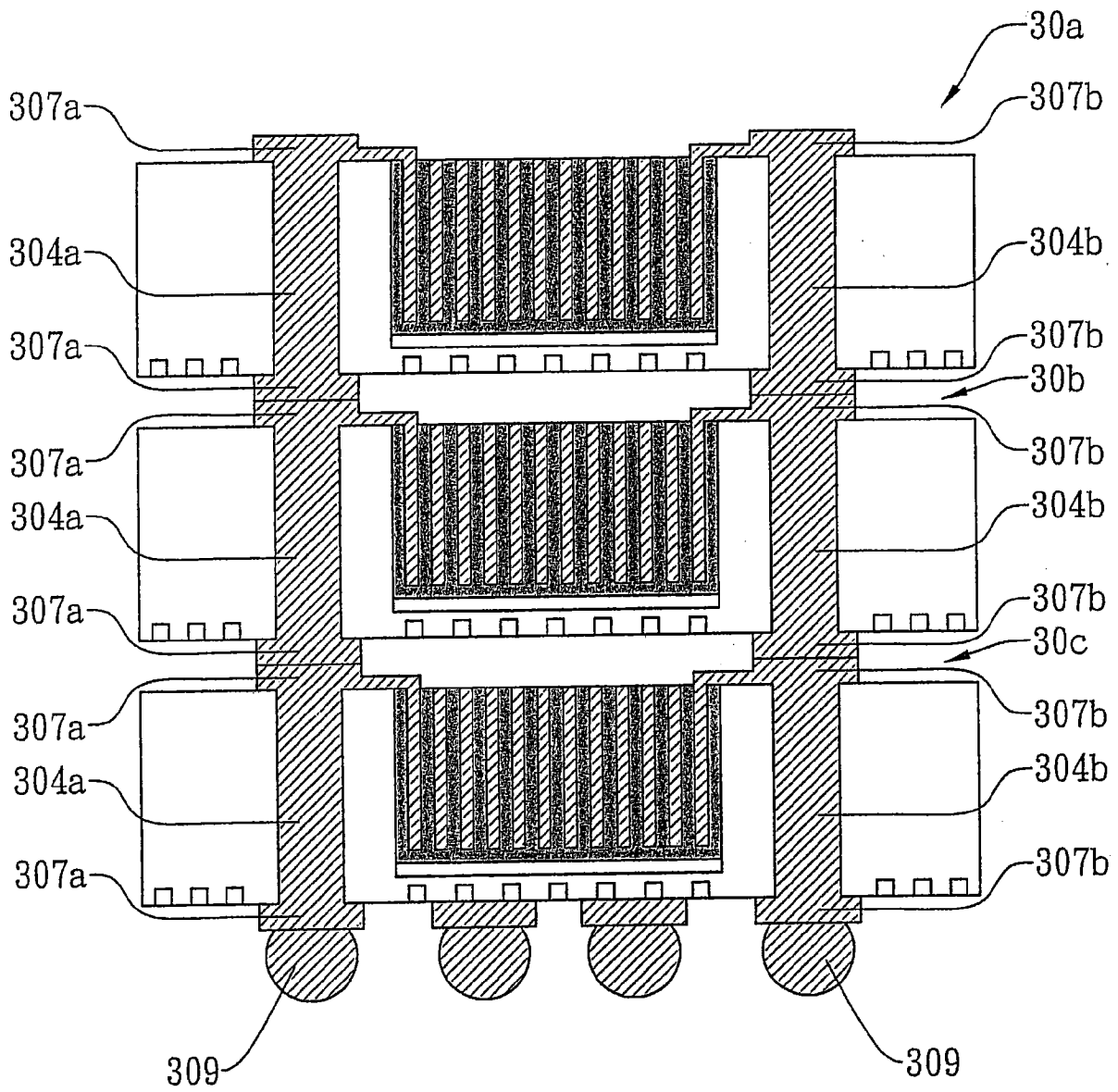


图 6



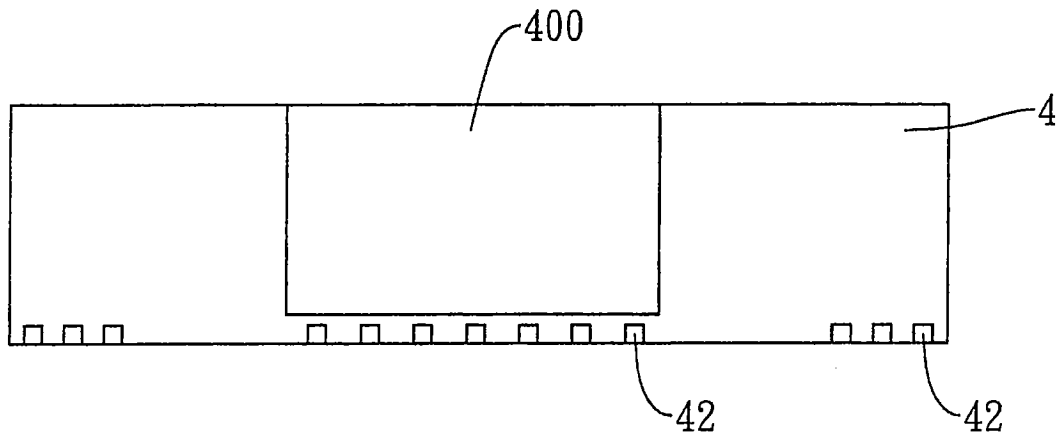


图 7A

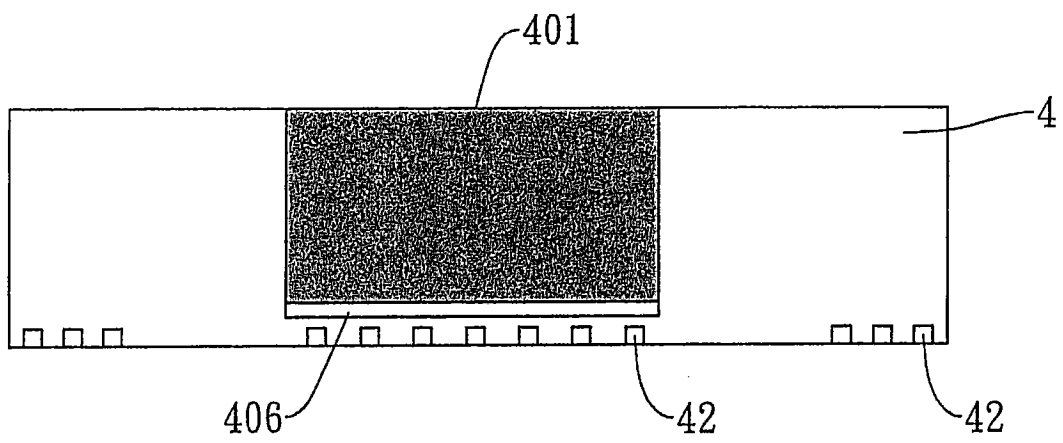


图 7B

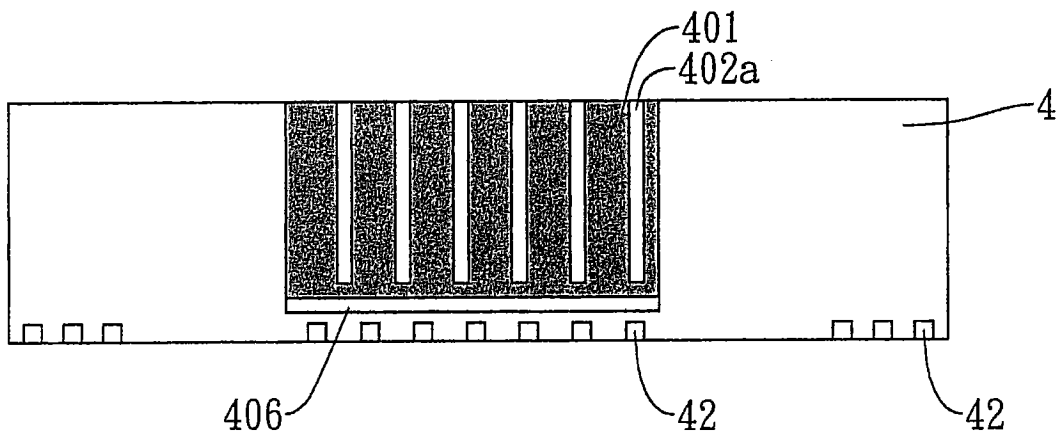


图 7C

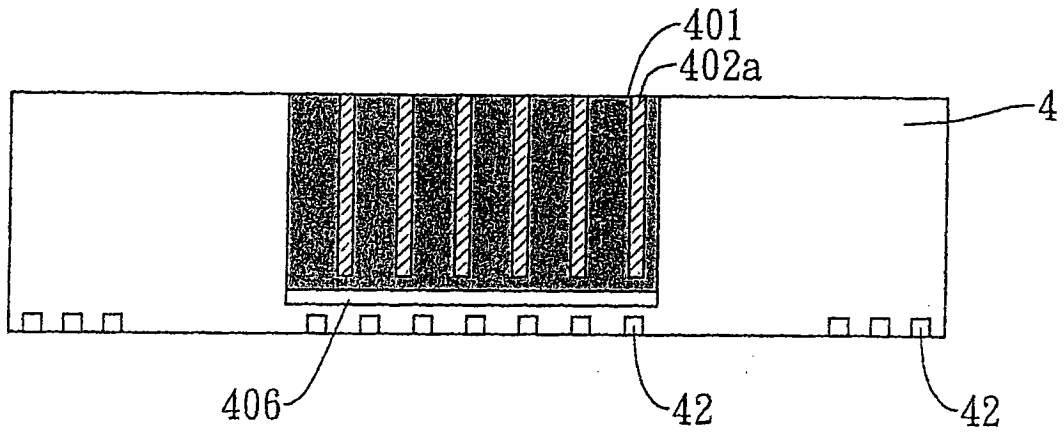


图 7D

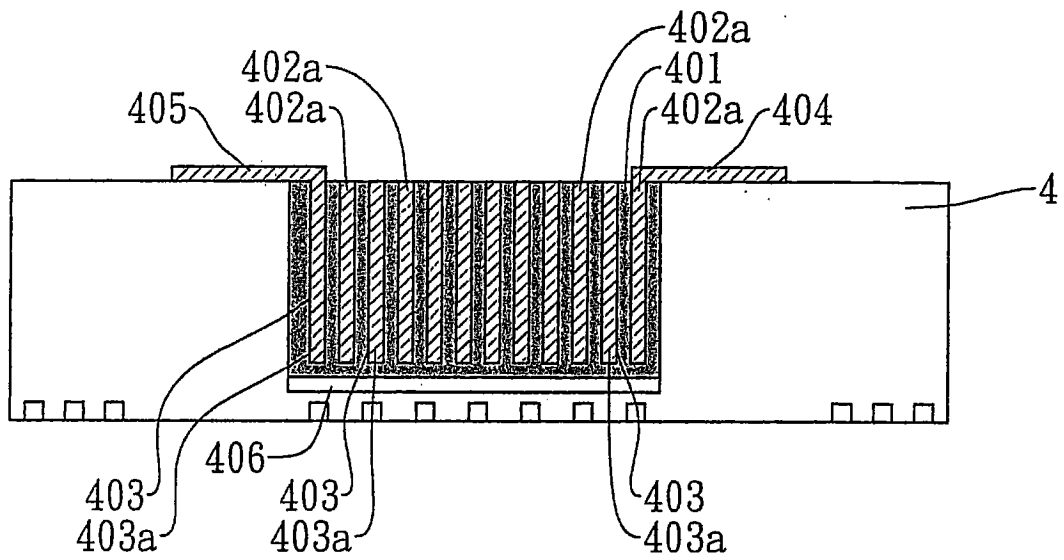


图 7E

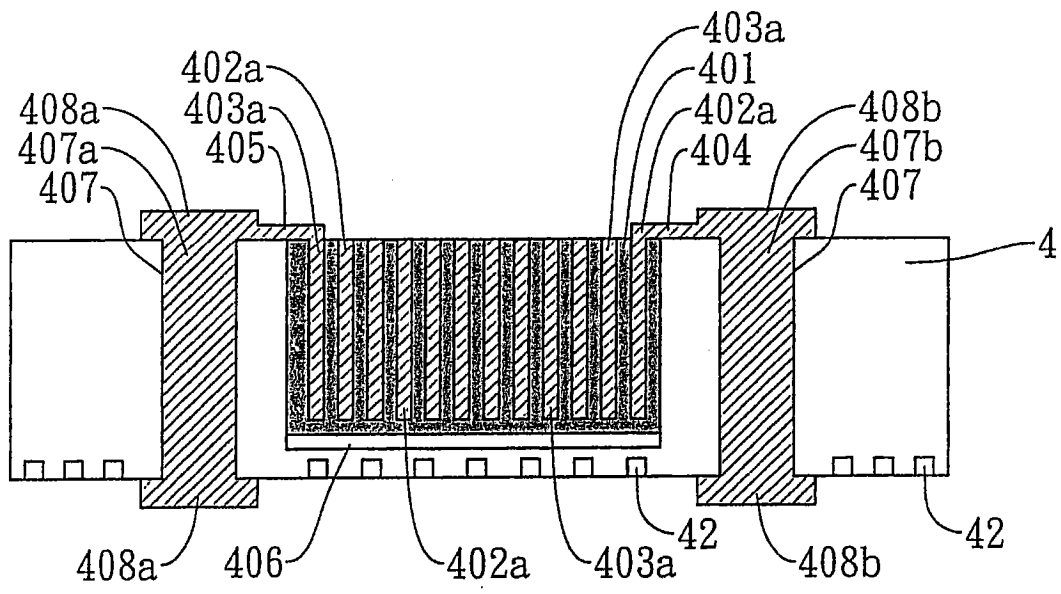


图 7F