

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7536610号
(P7536610)

(45)発行日 令和6年8月20日(2024.8.20)

(24)登録日 令和6年8月9日(2024.8.9)

(51)国際特許分類	F I
G 0 3 G 15/06 (2006.01)	G 0 3 G 15/06 1 0 1
G 0 3 G 15/08 (2006.01)	G 0 3 G 15/08 2 2 0
G 0 3 G 15/00 (2006.01)	G 0 3 G 15/00 6 8 0
	G 0 3 G 15/00 3 0 3

請求項の数 11 (全16頁)

(21)出願番号	特願2020-190168(P2020-190168)	(73)特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	令和2年11月16日(2020.11.16)	(74)代理人	100123559 弁理士 梶 俊和
(65)公開番号	特開2022-79160(P2022-79160A)	(74)代理人	100177437 弁理士 中村 英子
(43)公開日	令和4年5月26日(2022.5.26)	(72)発明者	平林 純 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
審査請求日	令和5年11月13日(2023.11.13)	審査官	金田 理香

最終頁に続く

(54)【発明の名称】 画像形成装置

(57)【特許請求の範囲】

【請求項1】

感光ドラムと、
前記感光ドラムにトナーを付着し、前記感光ドラムに形成された静電潜像を現像する現像手段と、
商用電源から供給される交流電圧を直流電圧に変換し、前記直流電圧を変換して基幹電圧を出力する第1の電源部と、
前記基幹電圧を変換して現像電圧を出力し、前記現像手段に前記現像電圧を供給する第2の電源部と、
前記現像手段を制御して、記録材にトナー像を形成するための現像制御手段と、
を備える画像形成装置において、
前記第1の電源部は、
一次巻線と補助巻線と二次巻線とを有するトランスと、
前記トランスの一次巻線に対する前記直流電圧の導通状態を切り替えるスイッチング手段と、
可変抵抗を含む複数の抵抗を有し、前記トランスの二次巻線から出力される前記基幹電圧を分圧する分圧回路と、
前記分圧回路によって分圧された電圧と基準電圧との差に応じた電圧を出力する誤差検出手段と、
前記トランスの二次側の前記誤差検出手段からの出力電圧に応じた帰還電流を前記トラ

10

20

ンスの一次側に伝達する伝達手段と、

前記帰還電流と前記トランスの補助巻線に生じる電圧に応じて、前記スイッチング手段をオン又はオフに制御するスイッチング制御手段と、
を有し、

前記現像制御手段は、前記第 2 の電源部が出力する前記現像電圧のピーク間電圧が目標とする電圧値となるように、前記分圧回路に含まれる前記可変抵抗の抵抗値を変更し、前記第 1 の電源部から出力される前記基幹電圧を変化させることを特徴とする画像形成装置。

【請求項 2】

前記第 1 の電源部は、前記現像制御手段がアクセス可能な記憶部を有し、

前記可変抵抗に設定する抵抗値は、予め前記記憶部に格納されていることを特徴とする請求項 1 に記載の画像形成装置。

10

【請求項 3】

前記現像制御手段は、前記画像形成装置の電源がオンされると、前記記憶部から前記可変抵抗の抵抗値を取得し、前記可変抵抗に設定することを特徴とする請求項 2 に記載の画像形成装置。

【請求項 4】

前記第 2 の電源部から出力される前記現像電圧を分圧する分圧部を備え、

前記分圧部は、複数の高耐圧の分圧抵抗を有することを特徴とする請求項 2 又は請求項 3 に記載の画像形成装置。

【請求項 5】

20

前記現像制御手段は、前記分圧部から出力される電圧に基づいて、前記現像電圧のピーク間電圧を検知することを特徴とする請求項 4 に記載の画像形成装置。

【請求項 6】

前記現像制御手段は、検知した前記現像電圧のピーク間電圧が記録材への画像形成条件に応じたピーク間電圧となるように、前記分圧回路の前記可変抵抗の抵抗値を変更することを特徴とする請求項 5 に記載の画像形成装置。

【請求項 7】

前記画像形成条件は、記録材の紙種、前記画像形成装置の動作環境、前記トナーの劣化度合いに基づいて決定されることを特徴とする請求項 6 に記載の画像形成装置。

【請求項 8】

30

前記現像制御手段は、前記第 1 の電源部から出力される前記基幹電圧の電圧値が電圧規格の範囲内となるように、前記分圧回路の前記可変抵抗の抵抗値を変更することを特徴とする請求項 7 に記載の画像形成装置。

【請求項 9】

前記第 2 の電源部は、

一次巻線と二次巻線とを有するトランスと、

前記トランスを駆動する駆動回路と、

前記トランスの二次巻線に接続され、直流電圧を生成する生成回路と、

前記駆動回路を制御する制御回路と、

を有し、

40

前記トランスの二次側に誘起された交流電圧に、前記生成回路により生成された直流電圧を重ねた前記現像電圧を出力することを特徴とする請求項 1 から請求項 8 のいずれか 1 項に記載の画像形成装置。

【請求項 10】

前記感光ドラムを一様な電位に帯電する帯電手段と、

前記現像手段により現像され、形成された前記感光ドラム上のトナー像を記録材に転写する転写手段と、

前記基幹電圧から生成した高電圧を前記帯電手段及び前記転写手段に供給する第 3 の電源部と、

を備えることを特徴とする請求項 1 から請求項 9 のいずれか 1 項に記載の画像形成装置。

50

【請求項 1 1】

前記感光ドラムを駆動する駆動手段を備え、

前記駆動手段は、前記基幹電圧により駆動されることを特徴とする請求項 1 から請求項 10 のいずれか 1 項に記載の画像形成装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子写真方式の画像形成装置に関する。

【背景技術】

【0002】

従来から、記録紙に画像を複写する電子写真方式の画像形成装置が普及している。この画像形成装置は、正又は負の高電位に一樣に帯電した感光体に対し、レーザ等の光を複写したい画像に応じて投射し、感光体上に静電荷による潜像を形成する。そして、トナー等の現像剤を潜像が形成されている部分に静電気力によって飛ばし、感光体上に現像する。次に現像された感光体上の現像剤に記録紙を重ねて、記録紙の裏面から現像剤の保持する電荷と逆極性の電荷を与え、静電気力によって現像剤を記録紙表面に吸着させて転写する。その後、記録紙に熱と圧力を与え、転写された現像剤を定着させる。このように、電子写真方式の画像形成装置では、各プロセスにおいて静電気力を利用した現像剤の移動が行われるため、様々な極性を有する、様々な高電圧が必要となる。このような高電圧を生成する高電圧電源にはいろいろな方式があるが、例えば特許文献 1 では、部品点数が少なく、低コストで高電圧を生成する回路で構成された高電圧電源が提案されている。

【先行技術文献】

【特許文献】

【0003】

【文献】特許第 5 5 9 0 9 5 6 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

図 8 は、画像形成装置において、感光ドラム上に形成された静電潜像にトナーを付着させる現像ローラに印加する現像電圧を生成する現像電源部 800 の回路構成を示した回路図である。図 8 の回路図は、上述した特許文献 1 に記載された回路図である。図 8 において、増幅部 802 はトランジスタ 810、812 からなるプッシュプル回路を有し、CPU 801 から出力されたパルス信号 CLK に基づいて、電源電圧 V1 の電位と接地電位を基準として増幅された矩形波を出力する。増幅部 802 から出力された矩形波は、昇圧トランス 804 の一次巻線に入力され、二次巻線には昇圧された矩形波状の交流電圧が出力される。昇圧トランス 804 から出力された交流電圧は整流・平滑され、抵抗 807 に生じた直流電圧を重畳して現像電圧として出力され、現像ローラに印加される。なお、図 8 の回路についての詳細な説明は後述する。

【0005】

しかしながら、図 8 に示す回路では、CPU 801 から出力されるパルス信号 CLK のデューティを変更することにより、現像電源部 800 の出力端から出力される現像電圧のデューティを制御することはできる。ところが、図 8 に示す回路では、出力する現像電圧の上限側（正電圧側）のピーク電圧と下限側（負電圧側）のピーク電圧との差、すなわちピーク・ツー・ピーク電圧（以下、ピーク間電圧とする）を変更することはできない。ピーク間電圧は、画像形成装置において画質に影響を与える要素であり、製品開発過程において試行錯誤しながら最適な値が決定される。そして、更なる画質改善のためには、ピーク間電圧を印刷時や、紙種や動作環境、トナーの劣化度合いに応じて変更可能なように制御できることが好ましい。一方、上述した図 8 の回路は、現像電圧を生成するための回路としては非常にコストパフォーマンスが高いため、ピーク間電圧を変更可能なように制御するために回路を大幅に変更することはコストアップとなり、好ましくない。そのため、

10

20

30

40

50

できるだけ図 8 に示した現像電源部 8 0 0 の回路を変更することなく、現像電圧のピーク間電圧を変更可能なように制御することが望まれている。

【 0 0 0 6 】

本発明は、このような状況のもとでなされたもので、現像電圧のピーク間電圧を変更可能にすることを目的とする。

【課題を解決するための手段】

【 0 0 0 7 】

上述した課題を解決するために、本発明では、以下の構成を備える。

【 0 0 0 8 】

(1) 感光ドラムと、前記感光ドラムにトナーを付着し、前記感光ドラムに形成された静電潜像を現像する現像手段と、商用電源から供給される交流電圧を直流電圧に変換し、前記直流電圧を変換して基幹電圧を出力する第 1 の電源部と、前記基幹電圧を変換して現像電圧を出力し、前記現像手段に前記現像電圧を供給する第 2 の電源部と、前記現像手段を制御して、記録材にトナー像を形成するための現像制御手段と、を備える画像形成装置において、前記第 1 の電源部は、一次巻線と補助巻線と二次巻線とを有するトランスと、前記トランスの一次巻線に対する前記直流電圧の導通状態を切り替えるスイッチング手段と、可変抵抗を含む複数の抵抗を有し、前記トランスの二次巻線から出力される前記基幹電圧を分圧する分圧回路と、前記分圧回路によって分圧された電圧と基準電圧との差に応じた電圧を出力する誤差検出手段と、前記トランスの二次側の前記誤差検出手段からの出力電圧に応じた帰還電流を前記トランスの一次側に伝達する伝達手段と、前記帰還電流と前記トランスの補助巻線に生じる電圧に応じて、前記スイッチング手段をオン又はオフに制御するスイッチング制御手段と、を有し、前記現像制御手段は、前記第 2 の電源部が出力する前記現像電圧のピーク間電圧が目標とする電圧値となるように、前記分圧回路に含まれる前記可変抵抗の抵抗値を変更し、前記第 1 の電源部から出力される前記基幹電圧を変化させることを特徴とする画像形成装置。

【発明の効果】

【 0 0 0 9 】

本発明によれば、現像電圧のピーク間電圧を変更可能にすることができる。

【図面の簡単な説明】

【 0 0 1 0 】

【図 1】実施例 1、2、及び従来例の画像形成装置の構成を示す断面図

【図 2】従来例の画像形成装置内の電力供給を説明する図

【図 3】実施例 1、2、及び従来例の現像電源部から出力される現像電圧の波形を説明する図

【図 4】従来例の低電圧電源部の回路構成を説明する回路図

【図 5】実施例 1 の低電圧電源部の回路構成を説明する回路図

【図 6】実施例 1 の現像電源部の回路構成を説明する回路図

【図 7】実施例 1 の画像形成装置内の電力供給を説明するブロック図

【図 8】従来例の現像電源部の回路構成を示す回路図

【発明を実施するための形態】

【 0 0 1 1 】

[従来 の 現 像 電 圧 電 源 の 構 成]

図 8 は、画像形成装置が有する高電圧電源装置のうち、上述した特許文献 1 に記載された、後述する現像ローラ 1 0 4 (図 1 参照) に印加する高電圧を生成する現像電源部 8 0 0 の回路構成を示す回路図である。図 8 に示す回路は、昇圧トランス 8 0 4 から交流電圧を生成するとともに、直流電圧も生成する回路である。図 8 の回路において、増幅部 8 0 2 は、CPU 8 0 1 より出力されたパルス信号 CLK を一定の増幅率で増幅を行う。増幅部 8 0 2 は、抵抗 8 1 3、8 1 4、8 1 5、8 1 6、NPN 型のトランジスタ 8 1 0、8 1 1、PNP 型のトランジスタ 8 1 2 から構成されている。また、抵抗 8 1 4、8 1 5、8 1 6、NPN 型のトランジスタ 8 1 0、PNP 型のトランジスタ 8 1 2 は、プッシュプ

ル型の駆動回路を構成している。増幅部 802 は、基準電源である電源電圧 V1 の電位と接地電位（グランド）を基準として増幅された矩形波を出力する。

【0012】

CPU801 は、後述する画像形成装置 100（図 1 参照）の動作を制御する CPU である。図 8 において、CPU801 は交流電圧を生成するためのパルス信号 CLK を出力しており、パルス信号 CLK の 1 周期における時間幅（以下、デューティとする）を変化させることで、昇圧トランス 804 の二次側に生じる直流電圧を調整している。パルス信号 CLK は、抵抗 813 を介して、トランジスタ 811 のベース端子に入力されている。パルス信号 CLK がハイレベルのとき、トランジスタ 811 がオンするため、電源電圧 V2 から供給される電流は、抵抗 814 とトランジスタ 811 のコレクタ - エミッタ間を介して、グランド（以下、GND とする）に流れ込む。このとき、トランジスタ 810 には、ベース端子に電流が供給されないため、トランジスタ 810 はオフしている。トランジスタ 810 がオフとなっているとき、昇圧トランス 804 の一次側に電流は流れないため、昇圧トランス 804 の二次側の出力端に高電圧は発生しない。

10

【0013】

次に、CPU801 から出力されるパルス信号 CLK がハイレベルからローレベルに遷移すると、トランジスタ 811 がオンからオフに遷移する。トランジスタ 811 がオフになると、電源電圧 V2 から供給される電流は、抵抗 814 を介してトランジスタ 810 のベース端子に流れ込み、トランジスタ 810 がオンし、トランジスタ 812 はオフする。その結果、電源電圧 V1 から供給される電流は、抵抗 815、トランジスタ 810 のコレクタ - エミッタ間、カップリングコンデンサ 803 を介して、昇圧トランス 804 の一次巻線に流れ込み、昇圧トランス 804 の一次巻線が励磁される。なお、カップリングコンデンサ 803 は、増幅部 802 からの出力の直流成分をカットするためのコンデンサである。

20

【0014】

昇圧トランス 804 の一次巻線が励磁されると、昇圧トランス 804 の二次巻線には巻数比に応じた電圧が誘起され、二次側の出力端には、二次巻線に誘起した電圧に応じた電圧が発生する。昇圧トランス 804 の二次巻線に誘起された電圧から生じる昇圧トランス 804 の二次側に流れる電流は、ダイオード 805 を介して、コンデンサ 806 に流れ込む。一方で、昇圧トランス 804 の二次側に流れる電流は、ダイオード 805 のカソード端子に接続されたツェナーダイオード 817、抵抗 818、GND を介して、抵抗 807 とコンデンサ 809 にも流れる。そして、直流電圧の生成回路である抵抗 807 に生じた直流電圧は交流電圧に重畳され、昇圧トランス 804 の二次側の出力端に、直流電圧が重畳された交流高電圧の現像電圧として出力される。

30

【0015】

次に、CPU801 から出力されるパルス信号 CLK がローレベルから再度、ハイレベルに遷移すると、トランジスタ 812 がオンする。すると、昇圧トランス 804 の一次側に流れる電流は、カップリングコンデンサ 803、トランジスタ 812、抵抗 816 を介して GND に流れ込む。このとき、昇圧トランス 804 の二次巻線には、トランジスタ 810 がオンしているときとは逆向きに電圧が生じるが、トランス 115 の二次巻線にはダイオード 805 が接続されているため、昇圧トランス 804 の二次側には電流は流れない。以上の動作をパルス信号 CLK のデューティで繰り返すことで、現像電源部 800 の出力端には、昇圧トランス 804 から出力された交流電圧に、抵抗 807 に生じた直流電圧が重畳された電圧である現像電圧が出力され、現像ローラに印加される。

40

【0016】

[課題]

しかしながら、図 8 に示す回路では、CPU801 から出力されるパルス信号 CLK のデューティを変更することにより、現像電源部 800 の出力端から出力される現像電圧のデューティを制御することはできる。ところが、図 8 に示す回路では、出力する現像電圧の上限側（正電圧側）のピーク電圧と下限側（負電圧側）のピーク電圧との差、すなわち

50

ピーク間電圧 V_{pp} （以下、電圧 V_{pp} とする）を変更可能なように制御することはできない。電圧 V_{pp} は、画像形成装置において画質に影響を与える要素であり、製品開発過程において試行錯誤しながら最適な電圧 V_{pp} が決定される。しかしながら、更なる画質改善のためには、電圧 V_{pp} を、印刷時や紙種や動作環境、トナーの劣化度合いに基づいて決定される画像形成条件に応じて変更可能なように制御できることが好ましい。一方、上述した図8の回路は、現像電圧を生成するための回路としては非常にコストパフォーマンスが高く、電圧 V_{pp} を変更可能なように制御するために、図8に示す現像電源部800の回路を大幅に変更することはコストアップとなり、好ましくない。そのため、できるだけ図8に示した現像電源部800の回路を変更することなく、現像電源部800から出力される現像電圧の電圧 V_{pp} を可変制御できることが望まれている。

10

【実施例1】

【0017】

本発明が適用される電源装置は、例えば画像形成装置に装着される。そのため、まず画像形成装置の例としてレーザプリンタについて説明する。

【0018】

〔画像形成装置の構成〕

実施例1のモノクロレーザプリンタ（以下、プリンタという）100の断面図を図1に示す。プリンタ100は、給紙部101、露光手段であるレーザスキャナ102、トナータンク103、現像手段である現像ローラ104、感光体である感光ドラム105、転写手段である転写ローラ106、帯電ローラ107、及び廃トナータンク108を備える。感光ドラム105、帯電ローラ107、現像ローラ104、トナータンク103は、画像形成部を構成する。また、プリンタ100は、定着ローラ109、加圧ローラ110、排出部111、搬送経路112、及び現像ブレード114を備える。給紙部101では、内部に印刷対象の記録材である用紙Pが格納されている。レーザスキャナ102は、レーザ光113（図中、光路を破線で表示）を感光ドラム105に照射する。トナータンク103は、内部に磁性体トナーを収納している。搬送経路112は用紙Pが搬送される経路である。現像ブレード114は、現像ローラ104上のトナー量を規制するブレードである。

20

【0019】

プリンタ100は、後述する画像形成動作全般を制御する制御手段である制御部150を備えている。制御部150は、CPU151、ROM、RAMを有している。CPU151は、ROMに格納された各種プログラム、各種テーブル、定数等を読み出し、RAMを作業領域として使用しながら読み出したプログラムを実行する。また、プリンタ100は、上述した現像電源部800や、商用交流電源から入力された交流電圧を所定の直流電圧に変換する低電圧電源部200、帯電ローラ107や転写ローラ106に高電圧を印加する転写・帯電電源部220を備えている。なお、上述したように、CPU151は、現像電源部800に所定のデューティのパルス信号CLKを出力して、現像電圧の出力を制御する。

30

【0020】

〔プリンタの画像形成動作〕

続いて、プリンタ100の画像形成動作について説明する。プリンタ100がパーソナルコンピュータ等の外部装置から印刷ジョブを受信すると、後述するメインモータ160、スキャナモータ170が駆動され、プリンタ100が備える各ローラとレーザスキャナ102が動作を開始する。帯電手段である帯電ローラ107は、転写・帯電電源部220（第3の電源部）から負極性の高電圧を印加されて、感光ドラム105の表面を帯電する。外部装置から入力された印刷ジョブの画像データは画像信号に変換され、レーザスキャナ102はレーザ光113を画像信号に応じて点滅させながら、感光ドラム105表面を長手方向（感光ドラム105の回転軸方向）に走査する。これにより、感光ドラム105の表面では、レーザ光113が照射された部分は電荷が消滅し、静電潜像が形成される。現像ローラ104には、現像電源部800から負の高電圧が印加される。現像ローラ104は内部には磁石を有しており、トナータンク103内の磁性体トナーを磁力によって引

40

50

き寄せ、静電気力によってトナーを感光ドラム 105 上（感光ドラム上）の静電潜像に付着させる。これにより、感光ドラム 105 の表面上にトナー像が形成される。また、現像ブレード 114 は、現像ローラ 104 に対して、例えば数 100 V 程度の電位差をつけられている。このため、現像ローラ 104 上のトナーは、現像ブレード 114 本体による物理的な規制と共に、静電気力によって一様にコーティングされる。

【0021】

一方、給紙部 101 から給送された用紙 P は搬送経路 112 を搬送され、転写ローラ 106 と感光ドラム 105 とで形成されたニップ部により挟持される。このとき、転写ローラ 106 には転写・帯電電源部 220 から正の高電圧が印加されており、感光ドラム 105 上のトナーが、転写ローラ 106 に引っ張られる形で用紙 P に転写される。そして、トナーが転写された用紙 P は、排出部 111 に向かって搬送され、定着ローラ 109 と加圧ローラ 110 とで形成されたニップ部により挟持される。ニップ部では用紙 P は定着ローラ 109 によって、例えば数 100 度に加熱されると共に、加圧ローラ 110 によって加圧され、静電気力によってのみ用紙 P に載っていたトナー（すなわち、未定着のトナー）が用紙 P に定着される。そして、トナーが定着された後の用紙 P は、排出部 111 に排出され、排出部 111 上に積載されていく。

10

【0022】

一方、感光ドラム 105 上のトナーは用紙 P への転写が行われた後も、若干残ることがある。理想的には、感光ドラム 105 上の全てのトナーが用紙 P へ転写されるべきであるが、実際にはトナーの有する電荷量が一樣ではないことから、用紙 P に転写された後も、感光ドラム 105 上に残るトナーがある。廃トナータンク 108 は、感光ドラム 105 上に残ったトナーを感光ドラム 105 に接触させたブレードによって剥ぎ取り回収するための容器である。ブレードによって感光ドラム 105 上に残留していたトナーが除去され、再度、感光ドラム 105 は帯電ローラ 107 によって帯電され、レーザスキャナ 102 によって次の静電潜像が形成されることになる。以上の画像形成動作を繰り返しながら、プリンタ 100 は用紙 P への画像形成を行う。

20

【0023】

〔画像形成装置における電源電圧の供給〕

プリンタ 100 は、商用交流電源から入力された交流電圧を所定の直流電圧に変換する低電圧電源部 200 や、現像ローラ 104、帯電ローラ 107、転写ローラ 106 に印加する高電圧を生成する現像電源部 800、転写・帯電電源部 220 を有している。更に、プリンタ 100 は、低電圧電源部 200（第 1 の電源部）で生成された直流電圧により駆動されるメインモータ 160、スキャナモータ 170 等の各種装置や、制御系装置に供給する電源電圧に変換する DC / DC コンバータ 210 等を備えている。

30

【0024】

図 2 は、プリンタ 100 における電源電圧の供給関係を説明するブロック図である。図 2 において、低電圧電源部 200 は、商用交流電源（図中、AC と表示）から供給される交流電圧（AC 120 V / 230 V）を 24 V の直流電圧（DC 24 V）に変換する。基幹電圧である DC 24 V は、DC / DC コンバータ 210、現像電源部 800、転写・帯電電源部 220、駆動手段であるメインモータ 160、スキャナモータ 170 に供給される。

40

【0025】

DC / DC コンバータ 210 は、入力された DC 24 V を制御系用の電圧である DC 3.3 V に変換し、CPU 151 を有する制御部 150 等に供給する。DC / DC コンバータ 210 は、入力電圧である DC 24 V が変化しても出力電圧が 3.3 V となるように、内蔵するスイッチング素子のオン・オフ制御を行う制御回路を備えている。

【0026】

現像電源部 800（第 2 の電源部）は、図 8 で説明したように、入力された DC 24 V（図 8 の電圧 V1 に対応）から現像ローラ 104 に印加する現像電圧を生成する。転写・帯電電源部 220 は、入力された DC 24 V から帯電ローラ 107、転写ローラ 106 に

50

印加する高電圧を生成する。転写・帯電電源部 220 は、DC/DC コンバータ 210 と同様に、入力される DC 24 V が変化しても帯電ローラ 107、転写ローラ 106 に印加する出力電圧が変化しないように、内蔵するスイッチング素子のオン・オフ制御を行う制御回路を備えている。

【0027】

メインモータ 160 は、プリンタ 100 内の各ローラ（例えば感光ドラム 105、現像ローラ 104、転写ローラ 106 等）を駆動するモータである。また、スキャナモータ 170 は、レーザスキャナ 102 に設けられ、レーザ光 113 が感光ドラム 105 の表面を走査可能なように、レーザ光 113 の光路を偏向する回転多面鏡（不図示）を回転駆動するモータである。メインモータ 160 の回転状態は、エンコーダを用いて CPU 151 に出力される。CPU 151 は、エンコーダからの出力に基づいて、メインモータ 160 の回転数を一定に保つ回転制御を行うため、DC 24 V が変化しても回転速度を維持することが可能である。また、スキャナモータ 170 についても、メインモータ 160 と同様である。

10

【0028】

以上説明したように、現像電源部 800 を除いた電源部やモータでは、基幹電圧である DC 24 V が変化しても、生成される出力電圧や回転速度が変化することがないように、フィードバック制御を行う回路や構成を有している。ところが、図 8 で説明した現像電源部 800 の従来例の回路では、最も低コストで作ることができる回路構成であるため、出力電圧を所定の電圧に維持するためのフィードバック回路を有していない。そのため、図 8 の回路の場合には、基幹電圧である電源電圧 V_1 が変化すると、出力端から出力される現像電圧の電圧 V_{pp} が変化してしまうことになる。

20

【0029】

[基幹電圧の可変制御]

しかしながら、上述したように、図 2 に示す低電圧電源部 200 から出力される基幹電圧である DC 24 V が供給される、現像電源部 800 を除いた DC/DC コンバータ 210 や転写・帯電電源部 220 は、それぞれフィードバック回路を有している。また、メインモータ 160 及びスキャナモータ 170 は、CPU 151 により回転制御が行われる。そのため、基幹電圧である DC 24 V が変化しても、出力電圧や回転速度に支障が生じない。そこで、本実施例では、現像電源部 800 が出力する現像電圧の電圧 V_{pp} を変化させるため、低電圧電源部 200 が出力する基幹電圧の DC 24 V を一定の範囲内で変化させることとする。

30

【0030】

図 8 に示す回路図において、トランジスタ 810 のコレクタ端子に入力される電源電圧 V_1 が基幹電圧の DC 24 V である。基幹電圧の電圧が上昇すると、これに伴い、現像電源部 800 から出力される現像電圧の電圧 V_{pp} も大きくなり、基幹電圧の電圧が下降すると、現像電圧の電圧 V_{pp} も小さくなる。図 3 は基幹電圧の変化に応じて、出力される現像電圧の電圧 V_{pp} の変化を説明する図である。図 3 (a) は、図 8 に示す回路構成を有する現像電源部 800 から出力される現像電圧の電圧波形 301 を示した図である。図 3 (a) において、横軸は時間を示し、縦軸は電圧（単位：V）を示し、0 V より上位の電圧は正電圧（+）、0 V より下位の電圧は負電圧（-）を示す。なお、以下に説明する図 3 (b)、(c) についても、縦軸、横軸は同様である。図 3 (a) に示すように、現像電圧は、矩形波状の交流電圧であり、正電圧（+）側の最大電圧と負電圧（-）側の最低電圧との電圧差が電圧 V_{pp} である。

40

【0031】

図 3 (b) は、基幹電圧を増加させた場合に出力される現像電圧の電圧波形 302 を、基幹電圧を変化させない場合の電圧波形 301 と比較した図である。図 3 (b) に示すように、基幹電圧を増加させた場合の現像電圧の電圧も、矩形波状の交流電圧であり、電圧波形 302 の電圧 V_{pp} （図中、New V_{pp} と表示）は、電圧波形 301 の電圧 V_{pp} と比べて大きいことがわかる。

50

【 0 0 3 2 】

図 3 (c) は、基幹電圧を減少させた場合に出力される現像電圧の電圧波形 3 0 3 を、基幹電圧を変化させない場合の電圧波形 3 0 1 と比較した図である。図 3 (c) に示すように、基幹電圧を減少させた場合の現像電圧の電圧も、矩形波状の交流電圧であり、電圧波形 3 0 3 の電圧 V_{pp} (図中、 New_V_{pp} と表示) は、電圧波形 3 0 1 の電圧 V_{pp} と比べて小さいことがわかる。図 3 (b)、(c) に示すように、現像電源部 8 0 0 において、入力される基幹電圧の増減を行うことにより、出力される現像電圧の電圧 V_{pp} も基幹電圧に応じて増減する。

【 0 0 3 3 】

なお、本実施例で基幹電圧である $DC\ 24\ V$ の電圧を変化可能な範囲は、図 2 に示す現像電源部 8 0 0 を除いた他の装置が許容可能な範囲内に限定するものとする。すなわち、図 2 に示す現像電源部 8 0 0 以外の装置におけるフィードバック制御により出力電圧が維持され、部品の耐圧や損失等に支障が生じない範囲で、 $DC\ 24\ V$ の電圧を変化させることとする。そのため、実際に増減できる $DC\ 24\ V$ の範囲は小さい範囲にとどめておくことが望ましい。本実施例では、低電圧電源部 2 0 0 の出力電圧である基幹電圧の範囲が $DC\ 24\ V \pm 5\ \% (= DC\ 22.8\ V \sim DC\ 25.2\ V)$ であれば、基幹電圧が供給される全ての装置は、この電圧規格の範囲内での正常動作が保証されている。そのため、現像電圧の電圧 V_{pp} を変化させるために、低電圧電源部 2 0 0 の基幹電圧を $DC\ 24\ V \pm 5\ \%$ の範囲で変化させることによる支障は生じない。

【 0 0 3 4 】

[従来の低電圧電源部の構成]

図 4 は、従来の低電圧電源部 2 0 0 の一例として、リンギング・チョーク・コンバータ (以下、 $RC C$ とする) と呼ばれるタイプの DC / DC 降圧コンバータの回路構成を示す回路図である。図 4 に示す $RC C$ は、コンデンサ $C\ 5\ 1 \sim C\ 5\ 5$ 、抵抗 $R\ 5\ 0\ 1 \sim 5\ 0\ 9$ 、 $5\ 1\ 1$ 、 $5\ 1\ 2$ 、電界効果トランジスタ $Q\ 5\ 1$ (以下、主スイッチング素子 $Q\ 5\ 1$ とする)、トランジスタ $Q\ 5\ 2$ 、ダイオード $D\ 5\ 1 \sim D\ 5\ 3$ を備える。更に図 4 に示す $RC C$ は、フライバックトランス (以下、単にトランスとする) $T\ 5\ 1$ 、ツェナーダイオード $V\ Z\ 5\ 1$ 、フォトカプラ $P\ C\ 5\ 1$ 、 $5\ 2$ 、オペアンプ $O\ P\ 5\ 1$ 、スイッチング制御手段である $C\ P\ U\ 5\ 0\ 0$ を備える。トランス $T\ 5\ 1$ は、一次巻線、二次巻線及び補助巻線を有する。また、図 4 に示すコンデンサ $C\ 5\ 1$ の両端には、商用電源 (不図示) からの交流電圧がブリッジダイオード回路 (不図示) を介して、全波整流された直流電圧が入力され、コンデンサ $C\ 5\ 1$ により平滑化される。

【 0 0 3 5 】

ダイオード $D\ 5\ 1$ とコンデンサ $C\ 5\ 4$ は、トランス $T\ 5\ 1$ の二次巻線に発生する電圧を整流、平滑する整流平滑回路を構成する。また、分圧抵抗 $R\ 5\ 0\ 7$ 、 $R\ 5\ 0\ 8$ 、オペアンプ $O\ P\ 5\ 1$ 、抵抗 $R\ 5\ 0\ 6$ 、ツェナーダイオード $V\ Z\ 5\ 1$ は、整流平滑回路の出力電圧を分圧した電圧を基準電圧と比較し、電圧差に応じた電圧を出力する誤差検出回路を構成する。抵抗 $R\ 5\ 0\ 5$ 、フォトカプラ $P\ C\ 5\ 1$ は、誤差検出回路の出力であるトランス $T\ 5\ 1$ の二次側の情報を一次側に伝達する伝達回路を構成する。フォトカプラ $P\ C\ 5\ 2$ 、抵抗 $R\ 5\ 0\ 4$ 、コンデンサ $C\ 5\ 3$ 、 $C\ 5\ 5$ は、スイッチング手段である主スイッチング素子 $Q\ 5\ 1$ のオン時間を決定する決定回路を構成する。また、コンデンサ $C\ 5\ 2$ には、トランス $T\ 5\ 1$ の補助巻線に生じた電圧が充電される。

【 0 0 3 6 】

$C\ P\ U\ 5\ 0\ 0$ が出力端子からローレベルの信号を出力している場合は、フォトカプラ $P\ C\ 5\ 2$ の LED は消灯し、フォトカプラ $P\ C\ 5\ 2$ のフォトリンジスタはオフする。フォトカプラ $P\ C\ 5\ 2$ のフォトリンジスタがオフしているとき、抵抗 $R\ 5\ 0\ 4$ を流れる電流は全てコンデンサ $C\ 5\ 3$ を充電する。即ち、主スイッチング素子 $Q\ 5\ 1$ のオン時間は、抵抗 $R\ 5\ 0\ 4$ 及びコンデンサ $C\ 5\ 3$ の時定数によって決定される。

【 0 0 3 7 】

一方、 $C\ P\ U\ 5\ 0\ 0$ が出力端子からハイレベルの信号を出力している場合は、フォトカ

10

20

30

40

50

ブラPC52のLEDは点灯し、フォトカブラPC52のフォトトランジスタはオンする。フォトカブラPC52のフォトトランジスタがオンしているとき、抵抗R504を流れる電流はコンデンサC53とコンデンサC55の両方を充電する。即ち、フォトカブラPC52のLEDを点灯すると、主スイッチング素子Q51のオン時間が、抵抗R504及びコンデンサC53、C55の時定数によって決定されるように切り替わる。このように、CPU500は、出力端子から出力する信号レベルを切替え、時定数を決定しているコンデンサの容量を切り替えることにより、主スイッチング素子Q51のオン時間を決定している時定数を切り替えている。

【0038】

図4に示す低電圧電源部200において、フィードバック制御の中核となっているのは、ツェナーダイオードVZ51、複数の分圧抵抗R507、R508、オペアンプOP51で構成される誤差検出回路である。ここで、ツェナーダイオードVZ51のツェナー電圧を5.1Vとし、低電圧電源部200が出力する出力電圧である基幹電圧の電圧をDC24Vとする。このとき、出力電圧を分圧抵抗R507、R508で分圧し、オペアンプOP51の反転入力端子(-)に入力される電圧が5.1Vになるように、分圧抵抗R507と分圧抵抗R508による分圧比が決定される。オペアンプOP51は、基準電圧が入力される非反転入力端子(+)の入力電圧と、反転入力端子(-)に入力される電圧とを比較する。オペアンプOP51は、反転入力端子(-)に入力される電圧が基準電圧である5.1Vよりも高い場合には、フォトカブラPC51のLEDに流す電流を大きくする。これにより、フォトカブラPC51のLEDの発光状態を強くして、フォトトランジスタに流れる電流(帰還電流)を大きくし、主スイッチング素子Q51をオフし、トランスT51の一次巻線の導通を遮断する。その結果、RCCの出力電圧である基幹電圧の電圧値を低下させる。一方、オペアンプOP51は、反転入力端子(-)に入力される電圧が基準電圧である5.1Vよりも低い場合には、フォトカブラPC51のLEDに流す電流を小さくする。これにより、フォトカブラPC51のLEDの発光状態を弱くして、フォトトランジスタに流れる電流を小さくし、主スイッチング素子Q51をオンし、トランスT51の一次巻線を導通させる。その結果、RCCの出力電圧である基幹電圧の電圧値を増加させる。このように、誤差検出回路、及び伝達回路は、出力電圧がDC24Vとなるように、主スイッチング素子Q51のオン・オフ制御(導通状態・非導通状態の制御)を行う。

【0039】

[本実施例の低電圧電源部の構成]

図5は、本実施例の低電圧電源部200の回路構成を示す回路図である。図5において、図4に示す回路図と異なる点は、図4の分圧抵抗R507(第1の抵抗)が、図5ではCPU151からのデジタル信号で抵抗値を変更できる可変抵抗器であるデジタルポテンションメータVR601に置き換えられていることである。なお、ここでは、図4の分圧抵抗R507がデジタルポテンションメータVR601に置き換えられているが、図4の分圧抵抗R508(第2の抵抗)をデジタルポテンションメータVR601に置き換えてもよい。また、図4の分圧抵抗R507、R508をデジタルポテンションメータに置き換えてもよい。図4に示す誤差検出回路では、基幹電圧がDC24Vとなるように分圧抵抗R507、R508の抵抗値が決定されていた。図5の回路では、分圧抵抗R507を可変抵抗器であるデジタルポテンションメータVR601に置き換え、抵抗値を変更して低電圧電源部200が出力する基幹電圧の分圧比を制御することにより、基幹電圧の電圧値を可変することができる。

【0040】

[本実施例の現像電圧の分圧回路の構成]

本実施例は、現像電源部800の出力電圧である現像電圧を現像制御手段であるCPU151で検知し、低電圧電源部200が出力する基幹電圧の電圧を変更することにより、現像電源部800が出力する現像電圧の電圧Vppを変更する。現像電圧は高電圧であるため、CPU151が現像電圧を検知するためには、現像電源部800が出力する現像電

圧を分圧してCPU151に出力する回路を設ける必要がある。図6は、現像電源部800から出力される現像電圧を分圧してCPU151に出力する分圧回路（分圧部）を示した回路図である。図6において、分圧回路900は、現像電圧を分圧する分圧抵抗901、902で構成されており、分圧抵抗902に生じた電圧がCPU151に出力される。なお、分圧抵抗901、902は、高電圧の現像電圧をCPU151が検知可能な電圧にまで減少させる分圧比に設定されている。これにより、CPU151は、検知した現像電圧の電圧 V_{pp} に基づいて、電圧 V_{pp} が所望の電圧になるように、低電圧電源部200のデジタルポテンションメータVR601の抵抗値を変更する。

【0041】

〔本実施例の画像形成装置における電源電圧の供給〕

図7は、本実施例のプリンタ100における電源電圧の供給関係を説明するブロック図であり、上述した図2に、本実施例の基幹電圧の電圧制御を追記したブロック図である。図7に示すように、分圧回路900が現像電源部800から出力される現像電圧を分圧し、分圧された現像電圧をCPU151に出力する。CPU151は、分圧された現像電圧を取得することで、現像電源部800から現像ローラに印加される現像電圧の電圧 V_{pp} を検知することができる。そして、CPU151は、検知した現像電圧の電圧 V_{pp} に基づいて、低電圧電源部200のデジタルポテンションメータVR601の抵抗値を変更することにより、低電圧電源部200から出力される基幹電圧を変更する。そして、CPU151は、変更された基幹電圧に応じて、現像電源部800から出力される現像電圧の電圧 V_{pp} を分圧回路900から取得し、電圧 V_{pp} が目標とする電圧値に到達しているかどうか判断する。CPU151は、電圧 V_{pp} が目標とする電圧値に到達していないと判断した場合には、低電圧電源部200のデジタルポテンションメータVR601の抵抗値を変更することにより、低電圧電源部200から出力される基幹電圧を変更する。このようにして、CPU151は、現像電圧の電圧 V_{pp} が目標電圧値になるように、低電圧電源部200から出力される基幹電圧を制御することができる。

【0042】

なお、現像電源部800は、プリンタ100を制御するCPU151により制御される電源部として説明した。例えば、現像電源部800は、制御部として独立したCPUを備え、CPU151からの制御指示に応じて現像電源部800の制御を行う構成でもよい。

【0043】

以上説明したように、本実施例では、商用交流電源の交流電圧から基幹電圧を生成する低電圧電源部200のフィードバック回路である誤差検出回路の分圧抵抗を可変抵抗に変更することにより、基幹電圧を変更可能な構成としている。更に、現像電源部800から出力される現像電圧を分圧し、CPU151に出力する分圧回路900を設けている。これにより、現像電源部800の構成を変更することなく、現像電圧の電圧 V_{pp} を変更可能な画像形成装置を実現している。

【0044】

以上説明したように、本実施例によれば、現像電圧のピーク間電圧を変更可能にすることができる。

【実施例2】

【0045】

実施例1では、低電圧電源部が出力する基幹電圧を変更することにより、現像電源部から出力される現像電圧のピーク間電圧を変更する実施例について説明した。実施例1では、CPUが現像電圧を検知するため、高電圧の現像電圧をCPUが検知可能な電圧まで下げる分圧回路が設けられ、現像電源部から出力される現像電圧は分圧回路に出力され、分圧回路で分圧された現像電圧がCPUに入力される構成となっている。そのため、分圧回路には高耐圧抵抗を用いる必要があり、コストアップとなってしまう。また、CPUが印刷時等にピーク間電圧を変更しない場合でも、部品の特性ばらつき等により、低電圧電源部から出力される基幹電圧が所定の電圧にならず、CPUが低電圧電源部の出力する基幹電圧を変更する場合もある。実施例2では、コストアップを抑制するために実施例1で追

10

20

30

40

50

加した分圧回路を設けず、低電圧電源部が部品の特性ばらつき等による基幹電圧のばらつきが生じることなく、所定の基幹電圧を出力できる構成について説明する。なお、実施例 2 でのプリンタ 100 の構成は、実施例 1 と同様であり、同じ装置、同じ部材には実施例 1 と同一の符号を用いることにより、ここでの説明を省略する。

【0046】

[本実施例の低電圧電源部の構成]

本実施例の低電圧電源部 200 は、実施例 1 で説明した図 5 に示す回路図の構成に、CPU 151 からアクセス可能で、デジタルポテンションメータ VR 601 の抵抗値を記憶する記憶部である不揮発性メモリを追加した構成となっている。また、現像電源部 800 の構成は、実施例 1 の図 6 に示す回路図の構成と同様である。なお、本実施例では図 6 に示す分圧回路 900 は設けられておらず、そのため、CPU 151 は現像電源部 800 から出力される現像電圧を検知することはできない構成となっている。

10

【0047】

[基幹電圧の変更]

現像電源部 800 では、図 6 に示す回路部品が有する公差により装置毎、あるいは図 6 に示す回路が実装される基板毎に、出力される現像電圧の電圧 V_{pp} が異なることがある。特に使用する部品の特性違いにより、例えば出荷検査時において、現像電圧の電圧 V_{pp} の平均値の許容範囲から外れた電圧 V_{pp} を出力する現像電源部 800 や基板が検知されることがある。そこで、本実施例では、低電圧電源部 200、現像電源部 800 等が実装された状態で行われるプリンタ 100 の出荷検査時において、現像電源部 800 が出力する現像電圧の電圧 V_{pp} を測定する。詳細には、図 5 に示す低電圧電源部 200 のデジタルポテンションメータ VR 601 の抵抗値を所定の値に設定し、そのときの現像電源部 800 が出力する現像電圧の電圧 V_{pp} を測定する。そして、測定した電圧 V_{pp} が目標とする電圧 V_{pp} の許容範囲から外れていた場合には、現像電圧の電圧 V_{pp} が所定の電圧値になるように、デジタルポテンションメータ VR 601 の値を変化させ、低電圧電源部 200 が出力する基幹電圧を調整する。そして、最終的に現像電圧の電圧 V_{pp} が所定の電圧値になったときのデジタルポテンションメータ VR 601 の抵抗値を、低電圧電源部 200 に設けた不揮発性メモリに格納する。プリンタ 100 の電源がオンされると、CPU 151 は、低電圧電源部 200 の不揮発性メモリからデジタルポテンションメータ VR 601 に設定すべき抵抗値を読み出す。そして、CPU 151 は、読み出した抵抗値をデジタルポテンションメータ VR 601 に設定することで、低電圧電源部 200 から出力される基幹電圧は補正された電圧値となり、現像電源部から出力される現像電圧の電圧 V_{pp} も所定の電圧値となる。なお、デジタルポテンションメータ VR 601 の抵抗値を所定の値に設定したときの現像電源部 800 が出力する現像電圧の電圧 V_{pp} が許容範囲内の場合には、所定の抵抗値を低電圧電源部 200 に設けた不揮発性メモリに格納するものとする。

20

30

【0048】

本実施例では、実施例 1 のように現像電源部 800 が出力する現像電圧を画像形成動作中に変更可能にするのではなく、出荷検査時に基幹電圧を修正することによりばらつきが生じている現像電圧の電圧 V_{pp} の補正を行う。これにより、現像電源部 800 の装置毎の電圧 V_{pp} のばらつきを低減させることができる。なお、本実施例は、実施例 1 においても、低電圧電源部 200 に上述した不揮発性メモリを設けることにより、適用することができる。また、本実施例では、CPU 151 が低電圧電源部 200 に設けられた不揮発性メモリに直接、アクセス可能な構成としているが、低電圧電源部 200 の CPU 500 のみがアクセス可能な構成としてもよい。この構成の場合には、プリンタ 100 の電源がオンされると、CPU 151 は、低電圧電源部 200 の CPU 500 にデジタルポテンションメータ VR 601 の抵抗値の設定指示を行う。低電圧電源部 200 の CPU 500 は設定指示を受信すると、不揮発性メモリよりデジタルポテンションメータ VR 601 に設定すべき抵抗値を読み出し、デジタルポテンションメータ VR 601 に設定する。これにより、デジタルポテンションメータ VR 601 を所望の抵抗値に設定することができる。

40

50

また、画像形成条件に応じてデジタルポテンションメータ V R 6 0 1 の抵抗値を変更する場合についても同様に対応することができる。

【 0 0 4 9 】

以上説明したように、本実施例によれば、現像電圧のピーク間電圧を変更可能にすることができる。

【 符号の説明 】

【 0 0 5 0 】

- 1 0 4 現像ローラ
- 1 5 1 C P U
- 2 0 0 低電圧電源部
- 8 0 0 現像電源部
- R 5 0 8 抵抗
- V R 6 0 1 デジタルポテンションメータ

10

20

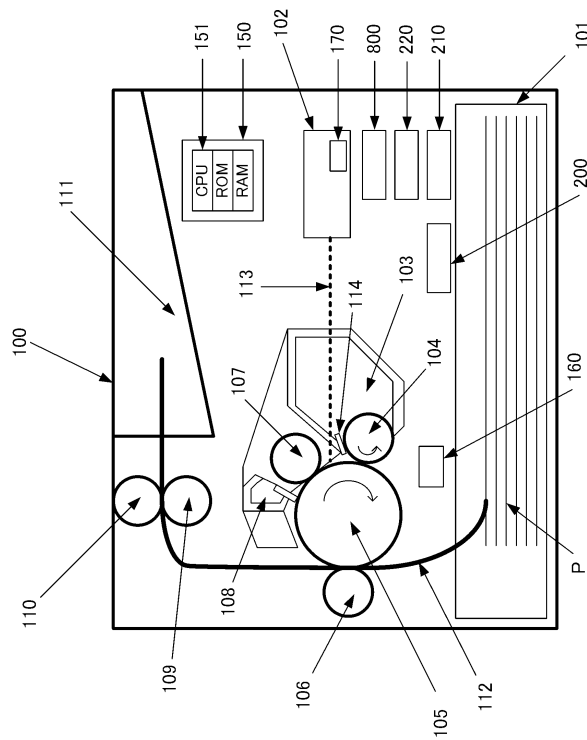
30

40

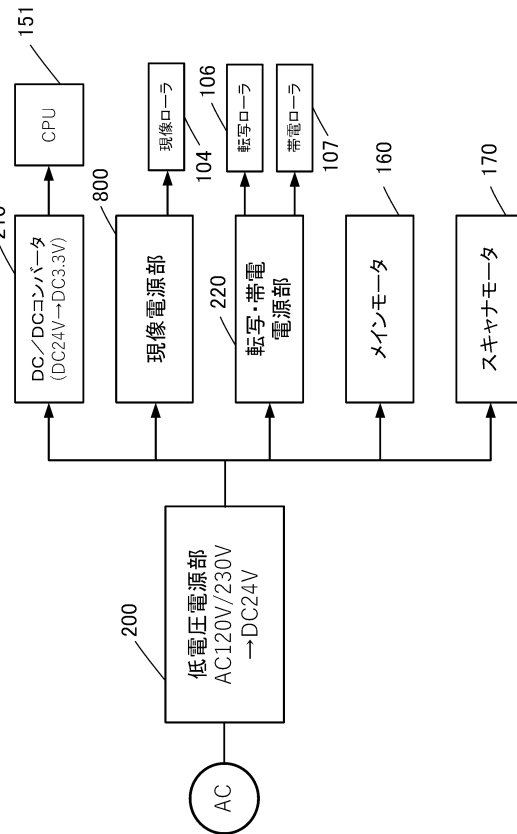
50

【図面】

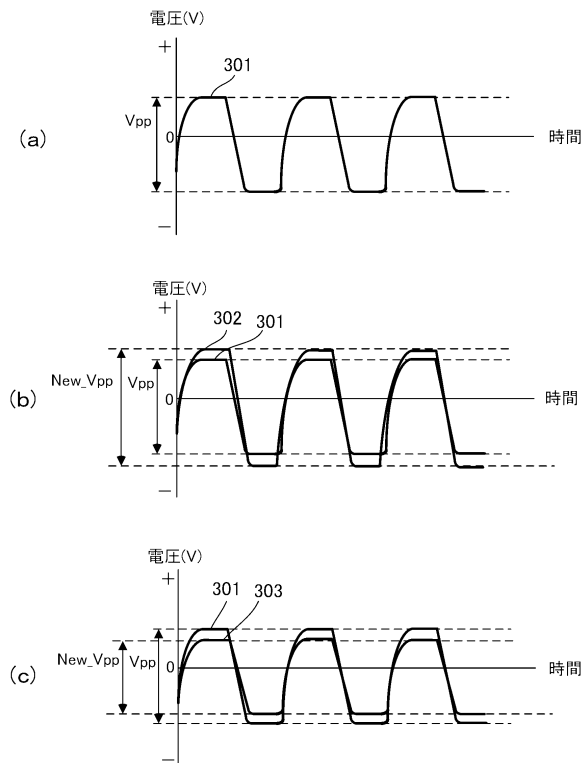
【圖 1】



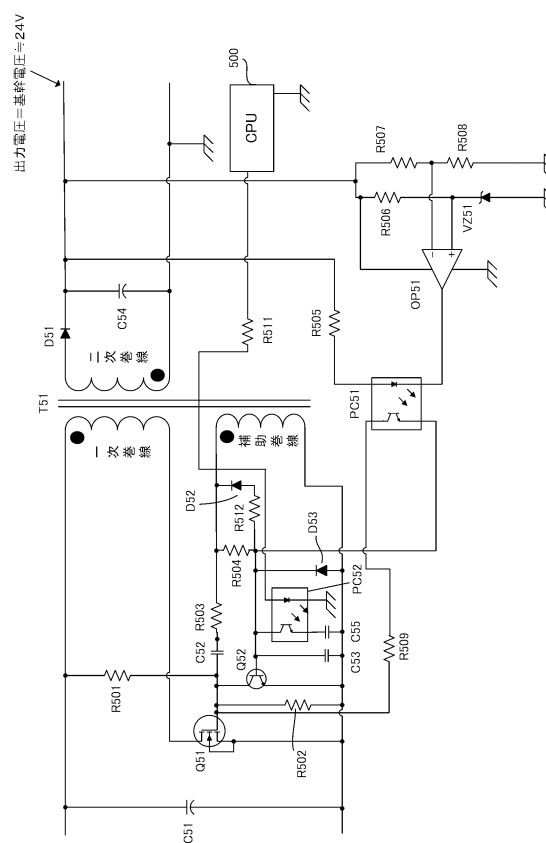
【図 2】



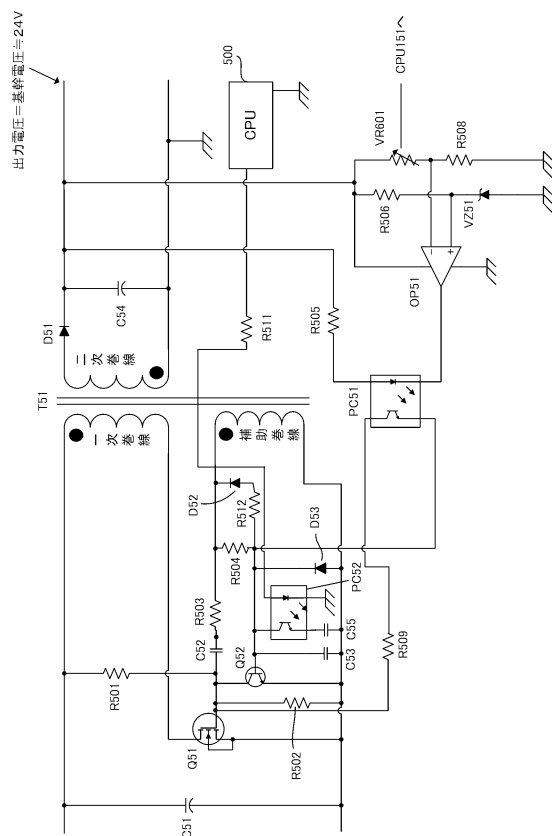
【 図 3 】



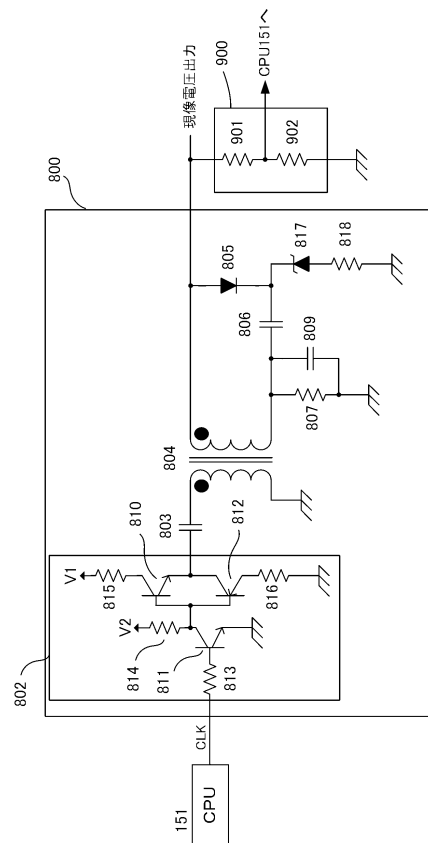
【 図 4 】



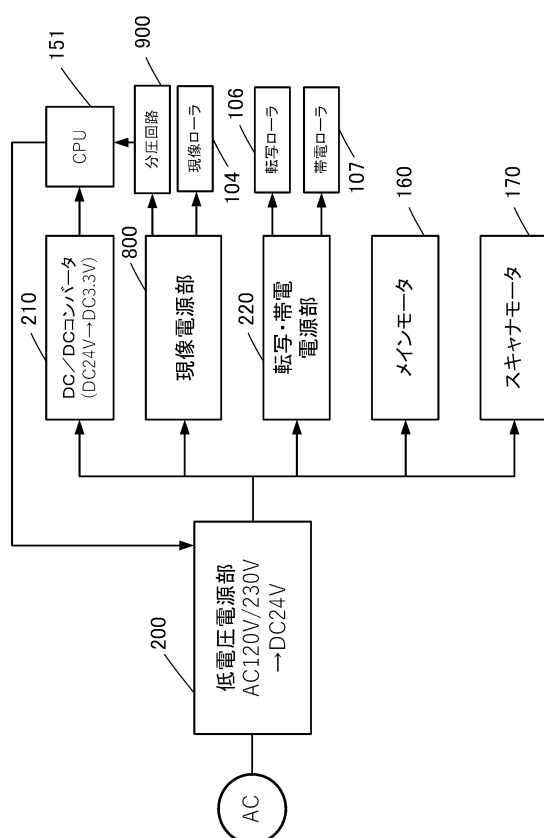
【 図 5 】



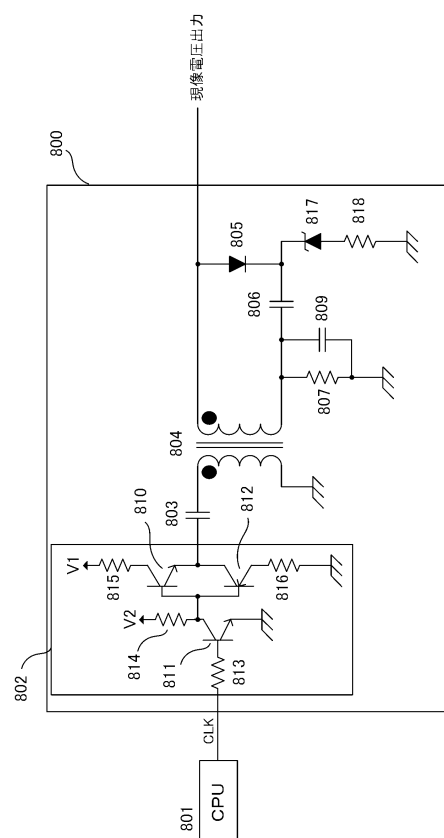
【 図 6 】



【圖 7】



【圖 8】



フロントページの続き

(56)参考文献 特開 2 0 0 7 - 0 1 4 1 2 8 (J P , A)
特開 2 0 1 1 - 2 3 2 4 5 0 (J P , A)
特開 2 0 1 6 - 0 8 5 2 9 5 (J P , A)
特開 2 0 1 5 - 0 1 2 6 9 1 (J P , A)
特開 2 0 1 4 - 0 4 8 4 2 4 (J P , A)
特開昭 5 5 - 1 4 2 3 6 3 (J P , A)
米国特許第 0 5 0 3 0 9 7 7 (U S , A)

(58)調査した分野 (Int.Cl. , D B 名)
G 0 3 G 1 3 / 0 0
1 3 / 0 6 - 1 3 / 0 8
1 3 / 0 9 5
1 3 / 3 4 - 1 5 / 0 0
1 5 / 0 6 - 1 5 / 0 8
1 5 / 0 9 5
1 5 / 3 6
2 1 / 0 0 - 2 1 / 0 2
2 1 / 1 4 - 2 1 / 2 0