(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3938801号
(P3938801)
(45)発行日　平成19年6月27日(2007.6.27)　(24)登録日　平成19年4月6日(2007.4.6)

(51)Int.Cl.　　F I
G11C 11/413 (2006.01)　　G11C 11/34　J
G11C 29/14 (2006.01)　　G11C 29/00　671T

請求項の数 3　(全 20 頁)

(21)出願番号　特願平9-83293
(22)出願日　平成9年3月17日(1997.3.17)
(65)公開番号　特開平10-261289
(43)公開日　平成10年9月29日(1998.9.29)
審査請求日　平成14年10月21日(2002.10.21)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区大手町二丁目６番２号
(74)代理人　100081938
弁理士　徳若　光政
(72)発明者　安藤　一昌
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内
(72)発明者　川口　恵津子
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内
(72)発明者　日下田　恵一
東京都青梅市今井２３２６番地　株式会社日立製作所　デバイス開発センタ内

最終頁に続く

(54)【発明の名称】半導体記憶装置

(57)【特許請求の範囲】
【請求項１】
センスアンプ駆動信号に従って選択的に動作状態とされるセンスアンプと、
通常の動作モードにおいて、ダミーセルから出力されるダミーデータに従って上記センスアンプ駆動信号の位相を制御し、所定のテストモードにおいて、第１の入力端子から供給される位相制御信号に従って上記センスアンプ駆動信号の位相を制御するセンスアンプ駆動タイミング制御部とを具備し、
上記センスアンプ駆動タイミング制御部は、
上記センスアンプ駆動信号及びダミーデータの位相を比較して第１のアップ信号又はダウン信号を選択的に有効レベルとする位相比較回路と、
通常の動作モードにおいて、上記第１のアップ信号又はダウン信号をもとに第２のアップ信号又はダウン信号を選択的に有効レベルとし、上記テストモードにおいて、上記位相制御信号に従って上記第２のアップ信号又はダウン信号を選択的に有効レベルとするカウンタ制御回路と、
カウンタ制御信号に従って動作し、かつ上記第２のアップ信号の有効レベルを受けて選択的にカウントアップされ、上記第２のダウン信号の有効レベルを受けて選択的にカウントダウンされるアップダウンカウンタと、
上記アップダウンカウンタの出力信号に従って上記センスアンプ駆動信号の位相遅れを選択的に小さく又は大きくする可変遅延回路とを含むものであることを特徴とする半導体記憶装置。

【請求項２】
請求項１において、
上記半導体記憶装置は、クロック信号に従って同期動作し、かつ第２の入力端子から供給されるモード制御信号の有効レベルを受けて選択的に上記テストモードとされるものであり、
上記カウンタ制御回路は、上記クロック信号に従って上記モード制御信号を取り込むフリップフロップを含むものであって、
上記カウンタ制御信号は、通常の動作モードにおいて、上記クロック信号を分周することにより形成され、上記テストモードにおいて、第３の入力端子から供給されるテストクロック信号をもとに形成されるものであることを特徴とする半導体記憶装置。
【請求項３】
通常の動作モードである第１のモードとテストモードである第２のモードを含む複数のモードで動作し、
センスアンプ駆動信号を出力するセンスアンプ駆動タイミング制御部と、
上記センスアンプ駆動タイミング制御部にダミーデータを供給するダミーセルとを有する半導体記憶装置において、
上記第１のモードで、上記センスアンプ駆動タイミング制御部は、上記ダミーデータと第１のクロック信号とにより上記センスアンプ駆動信号を出力し、
上記第２のモードで、上記センスアンプ駆動タイミング制御部は、第２のクロック信号と第３のクロック信号とにより上記センスアンプ駆動信号を出力し、
上記センスアンプ駆動タイミング制御部は、位相比較回路と、カウンタ制御回路と、アップダウンカウンタとを有し、
上記第１のモードで、上記位相比較回路はアップ信号またはダウン信号を出力し、上記カウンタ制御回路は、上記アップ信号または上記ダウン信号の入力を受け、
上記第２のモードで、上記カウンタ制御回路は上記第２のクロック信号と上記第３のクロック信号とが入力されることを特徴とする半導体記憶装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は半導体記憶装置に関し、例えば、センスアンプ駆動タイミング制御部を備えるシンクロナスＳＲＡＭ（スタティック型ランダムアクセスメモリ）ならびにその試験機能の向上に利用して特に有効な技術に関する。
【０００２】
【従来の技術】
所定のクロック信号に従って同期動作するいわゆるシンクロナスＳＲＡＭがある。また、このようなシンクロナスＳＲＡＭにいわゆるセンスアンプ駆動タイミング制御部を設け、ダミーセルから出力されるダミーデータの位相をもとにセンスアンプ駆動信号の位相を自動的に最適値に制御して、シンクロナスＳＲＡＭのアクセスタイムを高速化する方法が知られている。
【０００３】
【発明が解決しようとする課題】
本願発明者等は、この発明に先立ってセンスアンプ駆動タイミング制御部を備えるシンクロナスＳＲＡＭを開発し、その過程で次のような問題点に直面した。すなわち、このシンクロナスＳＲＡＭのセンスアンプ駆動タイミング制御部ＳＡＤＣは、図７に示されるように、位相比較回路ＰＣ，アップダウンカウンタＵ／ＤＣならびに可変遅延回路ＶＤを含む。このうち、位相比較回路ＰＣは、可変遅延回路ＶＤから出力されるセンスアンプ駆動信号ＳＣとダミーアレイＤＭのダミーセルから出力されるダミーデータＤＤの位相を比較し、アップ信号ＵＰ又はダウン信号ＤＮを選択的に有効レベルとする。
【０００４】
一方、アップダウンカウンタＵ／ＤＣは、カウンタ制御回路ＣＣＴＬから出力されるカウ

ンタ制御信号ＣＣに従って同期動作する６ビットの単位カウンタ回路ＵＣＴ０～ＵＣＴ５を含み、位相比較回路ＰＣから出力されるアップ信号ＵＰ又はダウン信号ＤＮの有効レベルを受けて選択的にカウントアップ又はカウントダウンされる。また、可変遅延回路ＶＤは、図示されないクロックドライバから出力される内部制御信号ＳＰの位相を遅延させることによってセンスアンプ駆動信号ＳＣを形成し、その遅延時間は、アップダウンカウンタＵ／ＤＣから出力される６ビットの相補出力信号Ｓ１＊～Ｓ３２＊（ここで、例えば非反転出力信号Ｓ１及び反転出力信号Ｓ１Ｂを、あわせて相補出力信号Ｓ１＊のように＊を付して表す。また、それが有効とされるとき選択的にロウレベルとされるいわゆる反転信号については、その名称の末尾にＢを付して表す。以下同様）に従って選択的に切り換えられる。この結果、センスアンプ駆動信号ＳＣの位相は、ダミーデータＤＤに対して最適な位相関係を持つべく制御され、これによってシンクロナスＳＲＡＭのアクセスタイムが高速化されるものとなる。

【０００５】

ところが、上記シンクロナスＳＲＡＭでは、そのアクセスタイムを決定付けるセンスアンプ駆動信号ＳＣの位相がセンスアンプ駆動タイミング制御部ＳＡＤＣにより自動制御されるにもかかわらず、センスアンプ駆動タイミング制御部自体の機能を確認し、そのマージンを判定する手段が用意されていない。この結果、センスアンプ駆動信号ＳＣのマージンを限界に近づけることが困難となってシンクロナスＳＲＡＭのアクセスタイムを思うように高速化できず、またシンクロナスＳＲＡＭの試験工数が増大してその低コスト化が阻害される。

【０００６】

この発明の目的は、センスアンプ駆動タイミング制御部を備えるシンクロナスＳＲＡＭ等のアクセスタイムを高速化するとともに、シンクロナスＳＲＡＭ等の試験工数を削減し、その低コスト化を図ることにある。

【０００７】

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【０００８】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、クロック信号に従って同期動作しかつセンスアンプ駆動タイミング制御部を備えるシンクロナスＳＲＡＭ等に、第２の入力端子から供給されるモード制御信号が有効レベルとされることにより選択的に指定されるテストモードを設ける。また、アップダウンカウンタを同期動作させるためのカウンタ制御信号を、通常の動作モード時はクロック信号をもとに形成し、テストモード時は第３の入力端子から供給されるテストクロック信号をもとに形成するとともに、アップダウンカウンタをカウントアップ又はカウントダウンさせるためのアップ信号及びダウン信号を、通常の動作モード時は位相比較回路から出力されるアップ信号又はダウン信号に従って形成し、テストモード時には第１の入力端子から供給される位相制御信号に従って形成する。

【０００９】

上記した手段によれば、センスアンプ駆動タイミング制御部の自動制御によって決定された位相制御量を基準に、外部の試験装置からアップダウンカウンタを任意にカウントアップ又はカウントダウンさせ、センスアンプ駆動信号の位相を任意に制御することができる。この結果、センスアンプ駆動信号のマージンを限界に近づけシンクロナスＳＲＡＭのアクセスタイムを高速化することができるとともに、シンクロナスＳＲＡＭの特にセンスアンプ駆動タイミング制御部に関する試験工数を削減して、その低コスト化を図ることができる。

【００１０】

【発明の実施の形態】

図１には、この発明が適用されたシンクロナスＳＲＡＭの一実施例のブロック図が示され

ている。同図をもとに、まずこの実施例のシンクロナスＳＲＡＭの構成及び動作の概要について説明する。なお、図１の各ブロックを構成する回路素子は、特に制限されないが、公知のＭＯＳＦＥＴ（金属酸化物半導体型電界効果トランジスタ。この明細書では、ＭＯＳＦＥＴをして絶縁ゲート型電界効果トランジスタの総称とする）集積回路の製造技術により、単結晶シリコンのような１個の半導体基板上に形成される。また、この実施例のシンクロナスＳＲＡＭは、９個のメモリマットＭＡＴ０～ＭＡＴ８を備えるが、これらのメモリマットの構成及び動作についてはメモリマットＭＡＴ０を例に説明する。

【００１１】

図１において、この実施例のシンクロナスＳＲＡＭは、９個のメモリマットＭＡＴ０～ＭＡＴ８を備え、これらのメモリマットのそれぞれは、メモリマットＭＡＴ０に代表して示されるように、１６個のメモリアレイＭ０～ＭＦ（ここで、１０個を超えるメモリアレイ等の追番については、アルファベットで表す。以下同様）をその基本構成要素とする。メモリアレイＭ０～ＭＦのそれぞれは、図の水平方向に平行して配置される所定数のサブワード線と、垂直方向に平行して配置される所定組の相補ビット線とを含む。これらのサブワード線及び相補ビット線の交点には、スタティック型メモリセルが格子状に配置される。

【００１２】

メモリマットＭＡＴ０～ＭＡＴ８は、さらにメモリアレイＭ０～ＭＦのサブワード線に平行して配置される所定数のメインワード線をそれぞれ含む。メモリアレイＭ０～ＭＦを構成するサブワード線は、図示されないサブワード線駆動回路を介して対応するメインワード線に論理結合され、これらのメインワード線は、その左方においてＸアドレスデコーダＸＤに結合される。ＸアドレスデコーダＸＤには、ＸアドレスバッファＸＢからｉ＋１ビットの内部Ｘアドレス信号が供給される。また、ＸアドレスバッファＸＢには、Ｘアドレス信号入力端子ＡＸ０～ＡＸｉを介してＸアドレス信号ＡＸ０～ＡＸｉが供給されるとともに、クロック発生回路ＣＧから内部クロック信号ＣＫＩが供給される。

【００１３】

ＸアドレスバッファＸＢは、アドレス入力端子ＡＸ０～ＡＸｉから入力されるＸアドレス信号ＡＸ０～ＡＸｉを内部クロック信号ＣＫＩに従って取り込み、保持するとともに、これらのＸアドレス信号をもとに上記内部Ｘアドレス信号を形成し、ＸアドレスデコーダＸＤに供給する。ＸアドレスデコーダＸＤは、ＸアドレスバッファＸＢから供給される内部Ｘアドレス信号をデコードして、メモリマットＭＡＴ０～ＭＡＴ８の対応するメインワード線を択一的に接地電位ＶＳＳのような選択レベルとする。メインワード線の選択レベルは、メモリアレイＭ０～ＭＦのサブワード線駆動回路において後述するユニットアドレスデコーダＵＤから出力されるユニット選択信号Ｕ０～ＵＦと組み合わされ、これによってメモリマットＭＡＴ０～ＭＡＴ８の指定されたメモリアレイＭ０～ＭＦの対応するサブワード線が択一的に電源電圧ＶＣＣのような選択レベルとされる。

【００１４】

次に、メモリマットＭＡＴ０～ＭＡＴ８のメモリアレイＭ０～ＭＦを構成する相補ビット線は、その下方において対応するライトドライバＷ０～ＷＦ，プリチャージ回路Ｐ０～ＰＦならびにＹスイッチＹ０～ＹＦに結合される。また、これらのＹスイッチＹ０～ＹＦにおいて対応する相補共通データ線と択一的に接続され、さらに対応するセンスアンプＳ０～ＳＦに接続される。ライトドライバＷ０～ＷＦには、データ入力バッファＩＢから９ビットのライトデータがそれぞれ共通に供給されるとともに、ライトイネーブル信号バッファＷＢからリードライト信号ＲＷが共通に供給される。また、プリチャージ回路Ｐ０～ＰＦには、図示されないタイミング発生回路からイコライズ制御信号ＥＱＢが共通に供給され、ＹスイッチＹ０～ＹＦには、ＹアドレスデコーダＹＤから所定ビットのビット線選択信号が共通に供給される。さらに、センスアンプＳ０～ＳＦには、ライトイネーブル信号バッファＷＢから上記リードライト信号ＲＷが共通に供給されるとともに、センスアンプ駆動タイミング制御部ＳＡＤＣの可変遅延回路ＶＤからその出力信号つまりセンスアンプ駆動信号ＳＣが共通に供給される。

【００１５】
ライトドライバＷ０～ＷＦは、ライトイネーブル信号バッファＷＢから供給されるリードライト信号ＲＷに従って選択的に動作状態とされ、前段のアクセス装置からデータ入力端子ＤＩ０～ＤＩ８及びデータ入力バッファＩＢを介して供給される９ビットのライトデータをもとに所定の相補書き込み信号を選択的に形成する。これらの相補書き込み信号は、対応する相補ビット線を介して指定されたメモリアレイＭ０～ＭＦの選択メモリセルに書き込まれる。
【００１６】
一方、メモリマットＭＡＴ０～ＭＡＴ８のプリチャージ回路Ｐ０～ＰＦは、メモリアレイＭ０～ＭＦの各相補ビット線に対応して設けられる所定数の単位回路を備え、これらの単位回路のそれぞれは、Ｐチャンネル型の３個のプリチャージＭＯＳＦＥＴを含む。プリチャージ回路Ｐ０～ＰＦの各単位回路を構成するプリチャージＭＯＳＦＥＴは、イコライズ制御信号ＥＱＢのロウレベルを受けて選択的にオン状態となり、メモリアレイＭ０～ＭＦの対応する相補ビット線の非反転及び反転信号線を電源電圧ＶＣＣのようなハイレベルにプリチャージする。
【００１７】
ＹスイッチＹ０～ＹＦは、メモリマットＭ０～ＭＦの各相補ビット線に対応して設けられる所定組のスイッチＭＯＳＦＥＴ対を含む。これらのスイッチＭＯＳＦＥＴ対は、Ｙアドレスデコーダ ＹＤから出力されるビット線選択信号の対応するビットがハイレベルとされることで選択的にオン状態となり、メモリアレイＭ０～ＭＦの対応する相補ビット線と相補共通データ線つまりは対応するセンスアンプＳ０～ＳＦとの間を選択的に接続状態とする。
【００１８】
センスアンプＳ０～ＳＦは、ライトイネーブル信号バッファＷＢから供給されるリードライト信号ＲＷとセンスアンプ駆動タイミング制御部ＳＡＤＣの可変遅延回路ＶＤから出力されるセンスアンプ駆動信号ＳＣとに従って選択的に動作状態とされ、メモリアレイＭ０～ＭＦの選択メモリセルから出力される読み出し信号を増幅する。これらの読み出し信号は、データセレクタＤＳＥＬによりそれぞれ択一的に選択された後、データ出力バッファＯＢからデータ出力端子ＤＯ０～ＤＯ８を介して前段のアクセス装置に出力される。
【００１９】
この実施例のシンクロナスＳＲＡＭは、さらに、ダミーアレイＤＭ及びこれに対応して設けられるライトドライバＤＷ，プリチャージ回路ＤＰならびにＹスイッチＤＹと、クロックドライバＣＤ，可変遅延回路ＶＤ，位相比較回路ＰＣ，カウンタ制御回路ＣＣＴＬならびにアップダウンカウンタＵ／ＤＣからなるセンスアンプ駆動タイミング制御部ＳＡＤＣとを備える。このうち、ダミーアレイＤＭは、論理“０”のデータを定常的に保持する所定数のダミーセルを含み、その読み出し信号は、ダミーデータＤＤとしてセンスアンプ駆動タイミング制御部ＳＡＤＣの位相比較回路ＰＣの一方の入力端子に供給される。
【００２０】
センスアンプ駆動タイミング制御部ＳＡＤＣの位相比較回路ＰＣの他方の入力端子には、可変遅延回路ＶＤの出力信号つまりセンスアンプ駆動信号ＳＣが供給され、その出力信号つまりアップ信号ｕｐ（第１のアップ信号）及びダウン信号ｄｎ（第１のダウン信号）は、カウンタ制御回路ＣＣＴＬに供給される。カウンタ制御回路ＣＣＴＬには、さらに、クロック発生回路ＣＧから内部クロック信号ＣＫＩが供給され、アップダウンカウンタＵ／ＤＣからその６ビットの相補出力信号Ｓ１＊～Ｓ３２＊が供給される。また、所定のテストモード時には、入力端子ＴＰＤ（第２の入力端子）を介してモード制御信号つまり位相比較ディスイネーブル信号ＴＰＤが供給されるとともに、入力端子ＴＰＣ（第１の入力端子）を介して位相制御信号ＴＰＣが供給され、さらに入力端子ＴＣＫ（第３の入力端子）を介してテストクロック信号ＴＣＫが供給される。
【００２１】
カウンタ制御回路ＣＣＴＬは、アップ信号ｕｐ及びダウン信号ｄｎ，内部クロック信号Ｃ

ＫＩ，位相比較ディスイネーブル信号ＴＰＤ，位相制御信号ＴＰＣならびにテストクロック信号ＴＣＫをもとに、カウンタ制御信号ＣＣならびにアップ信号ＵＰ（第２のアップ信号）及びダウン信号ＤＮ（第２のダウン信号）を選択的に形成して、アップダウンカウンタＵ／ＤＣに供給する。アップダウンカウンタＵ／ＤＣは、カウンタ制御信号ＣＣに従って同期動作するが、そのカウンタモードは、アップ信号ＵＰが有効レベルつまりハイレベルとされるとき選択的にカウントアップモードとされ、ダウン信号ＤＮが有効レベルつまりハイレベルとされるとき選択的にカウントダウンモードとされる。

【００２２】

可変遅延回路ＶＤは、クロックドライバＣＤから出力される内部信号ＳＰの位相を、アップダウンカウンタＵ／ＤＣの相補出力信号Ｓ１＊～Ｓ３２＊に対応して選択的に遅延させ、センスアンプ駆動信号ＳＣを生成する。この結果、センスアンプ駆動信号ＳＣは、ダミーデータＤＤつまりはメモリアレイの読み出し速度に対して最適位相関係を持つものとなり、これによってシンクロナスＳＲＡＭのアクセスタイムが高速化される。センスアンプ駆動タイミング制御部ＳＡＤＣの各部の具体的構成及び動作については、後で詳細に説明する。

【００２３】

図２には、図１のセンスアンプ駆動タイミング制御部ＳＡＤＣに含まれる位相比較回路ＰＣの一実施例の回路図が示されている。同図をもとに、この実施例のシンクロナスＳＲＡＭのセンスアンプ駆動タイミング制御部ＳＡＤＣに含まれる位相比較回路ＰＣの具体的構成及び動作について説明する。なお、図２には、ダミーアレイＤＭならびにこれに対応するライトドライバＤＷ及びプリチャージ回路ＰＤの回路図が併記されている。以下の回路図において、そのチャネル（バックゲート）部に矢印が付されるＭＯＳＦＥＴはＰチャンネル型であって、矢印の付されないＮチャンネルＭＯＳＦＥＴと区別して示される。

【００２４】

図２において、ダミーアレイＤＭは、実質並列結合される所定数のダミーセルＤＣを含み、これらのダミーセルＤＣのそれぞれは、同図に例示されるように、ＰチャンネルＭＯＳＦＥＴＰ１及びＰ２ならびにＮチャンネルＭＯＳＦＥＴＮ１及びＮ２を含む。このうち、ＭＯＳＦＥＴＰ１及びＮ１の共通結合されたドレインは、Ｎチャンネル型の選択ＭＯＳＦＥＴＮ３を介して非反転ダミービット線ＢＤＴ（ここで、それが有効とされるとき選択的にハイレベルとされるいわゆる非反転信号等については、その名称の末尾にＴを付しあるいは何も付さない。以下同様）に結合され、ＭＯＳＦＥＴＰ２及びＮ２の共通結合されたドレインは、Ｎチャンネル型の選択ＭＯＳＦＥＴＮ４を介して反転ダミービット線ＢＤＢに結合される。この実施例において、ダミーセルＤＣを構成するＭＯＳＦＥＴＰ１及びＮ１の共通結合されたゲートは、電源電圧ＶＣＣに結合され、ＭＯＳＦＥＴＰ２及びＮ２の共通結合されたゲートは、接地電位ＶＳＳに結合される。

【００２５】

言うまでもなく、ダミーセルＤＣを構成するＭＯＳＦＥＴＰ１及びＰ２ならびにＭＯＳＦＥＴＮ１～Ｎ４は、メモリマットＭＡＴ０～ＭＡＴ８のメモリアレイＭ０～ＭＦの各スタティック型メモリセルを構成するＰチャンネル及びＮチャンネルＭＯＳＦＥＴにそれぞれ対応する。しかし、ＭＯＳＦＥＴＰ１及びＮ１のゲートが電源電圧ＶＣＣに結合され、ＭＯＳＦＥＴＰ２及びＮ２のゲートが接地電位ＶＳＳに結合されることで、ダミーセルＤＣは、非反転ダミービット線ＢＤＴの読み出し時のレベルをロウレベルとし反転ダミービット線ＢＤＢをハイレベルとするいわゆる論理“０”のデータを定常的に保持するものとなる。

【００２６】

ダミーアレイＤＭに設けられる所定数のダミーセルＤＣの選択ＭＯＳＦＥＴＮ３及びＮ４のゲートは、ダミーサブワード線ＳＷＤに共通結合され、このダミーサブワード線ＳＷＤは、サブワード線駆動回路を構成するノア（ＮＯＲ）ゲートＮＯ１の出力端子に結合される。ノアゲートＮＯ１の一方の入力端子は、ダミーメインワード線ＭＷＤＢに結合され、その他方の入力端子は接地電位ＶＳＳに結合される。これにより、ダミーセルサブワード

線ＳＷＤは、ダミーメインワード線ＭＷＤＢがロウレベルとされることで選択的にハイレベルの選択状態とされ、これを受けて非反転ダミービット線ＢＤＴ及び反転ダミービット線ＢＤＢには、上記論理“０”の読み出し信号が出力される。

【００２７】

一方、ライトドライバＤＷは、相補ダミービット線ＢＤ＊の非反転及び反転信号線と接地電位ＶＳＳとの間に設けられるＮチャンネル型の一対の書き込みＭＯＳＦＥＴＮ５及びＮ６を含む。これらの書き込みＭＯＳＦＥＴＮ５及びＮ６のゲートは、ノアゲートＮＯ２及びＮＯ３の出力端子にそれぞれ結合され、ノアゲートＮＯ２及びＮＯ３の両入力端子はともに電源電圧ＶＣＣに結合される。これにより、ノアゲートＮＯ２及びＮＯ３の出力信号は定常的にロウレベルとされ、書き込みＭＯＳＦＥＴＮ５及びＮ６は定常的にオフ状態とされる。このように、ライトドライバＤＷは実質的に機能はしないが、相補ダミービット線ＢＤ＊に対する容量負荷をメモリマットＭＡＴ０～ＭＡＴ８のメモリアレイＭ０～ＭＦの各相補ビット線に結合される容量負荷に対応させることができる。

【００２８】

プリチャージ回路ＤＰは、電源電圧ＶＣＣと相補ダミービット線ＢＤ＊の非反転及び反転信号線との間に設けられるＰチャンネル型の３個のプリチャージＭＯＳＦＥＴＰ３～Ｐ５を含む。これらのプリチャージＭＯＳＦＥＴＰ３～Ｐ５のゲートには、イコライズ制御信号ＥＱＢが共通に供給される。これにより、プリチャージ回路ＤＰを構成するプリチャージＭＯＳＦＥＴＰ３～Ｐ５は、イコライズ制御信号ＥＱＢのロウレベルを受けて選択的にオン状態となり、相補ダミービット線ＢＤ＊の非反転及び反転信号線をハイレベルにプリチャージする。

【００２９】

次に、位相比較回路ＰＣは、特に制限されないが、ナンド（ＮＡＮＤ）ゲートＮＡ１及びＮＡ２ならびにＮＡ５及びＮＡ６がそれぞれ交差結合されてなる２個のラッチ回路を含む。このうち、前段ラッチ回路を構成するナンドゲートＮＡ１の他方の入力端子には、インバータＶ１を介してダミーデータＤＤの反転信号が供給され、ナンドゲートＮＡ２の他方の入力端子には、インバータＶ２及びＶ３を介してセンスアンプ駆動信号ＳＣが供給される。

【００３０】

一方、後段ラッチ回路を構成するナンドゲートＮＡ５の他方の入力端子には、前段ラッチ回路の非反転出力信号のナンドゲートＮＡ３による反転信号が供給され、ナンドゲートＮＡ６の他方の入力端子には、その反転出力信号のナンドゲートＮＡ４による反転信号が供給される。ナンドゲートＮＡ３及びＮＡ４の他方の入力端子には、ノアゲートＮＯ５の出力信号が共通に供給される。また、ナンドゲートＮＡ５の出力信号つまり後段ラッチ回路の非反転出力信号は、インバータＶ５を経た後アップ信号ｕｐとなり、ナンドゲートＮＡ６の出力信号つまりその反転出力信号は、インバータＶ６を経た後ダウン信号ｄｎとなる。

【００３１】

ノアゲートＮＯ５の一方の入力端子には、ノアゲートＮＯ４の出力信号が供給され、その他方の入力端子には、そのインバータＶ４による反転信号が供給される。ノアゲートＮＯ４の一方の入力端子には、インバータＶ１を介してダミーデータＤＤの反転信号が供給され、その他方の入力端子には、インバータＶ２及びＶ３を介してセンスアンプ駆動信号ＳＣが供給される。

【００３２】

上記プリチャージ回路ＤＰの説明から明らかなように、非反転ダミービット線ＢＤＴは、通常電源電圧ＶＣＣのようなハイレベルにプリチャージされ、ダミーサブワード線ＳＷＤが選択レベルとされると、ダミーアレイＤＭを構成する所定数のダミーセルＤＣが同時に選択状態とされることによって急速にロウレベルとされる。また、センスアンプ駆動信号ＳＣは、後述するように、通常ロウレベルとされ、シンクロナスＳＲＡＭが読み出しモードで選択状態とされることによって所定のタイミングで選択的にハイレベルとされる。

【００３３】
シンクロナスＳＲＡＭが非選択状態とされるとき、ダミーデータＤＤはプリチャージによってハイレベルとされ、センスアンプ駆動信号ＳＣはロウレベルとされる。このため、ナンドゲートＮＡ１及びＮＡ２の他方の入力端子はともにロウレベルとなり、これらのナンドゲートＮＡ１及びＮＡ２からなる前段ラッチ回路の非反転及び反転出力信号はともにハイレベルとされる。このとき、ノアゲートＮＯ４の出力信号は、ダミーデータＤＤ及びセンスアンプ駆動信号ＳＣがそれぞれハイレベル又はロウレベルとされることでハイレベルとされ、これによってインバータＶ４及びノアゲートＮＯ５の出力信号がロウレベルとされる。ナンドゲートＮＡ５及びＮＡ６からなる後段ラッチ回路は、ナンドゲートＮＡ３及びＮＡ４の出力信号がノアゲートＮＯ５の出力信号のロウレベルを受けてハイレベルとされることで、直前のセット状態又はリセット状態を保持する。

【００３４】
シンクロナスＳＲＡＭが選択状態とされると、ダミーデータＤＤはメモリアレイＭ０～ＭＦの読み出し動作速度に見合ったタイミングでハイレベルからロウレベルに変化し、センスアンプ駆動信号ＳＣも可変遅延回路ＶＤの遅延時間に応じた所定のタイミングでハイレベルとされる。このとき、センスアンプ駆動信号ＳＣの位相がわずかに遅く、ダミーデータＤＤがセンスアンプ駆動信号ＳＣに先立ってロウレベルに変化した場合、前段ラッチ回路を構成するナンドゲートＮＡ１の出力信号が先にロウレベルとなり、これを受けてナンドゲートＮＡ２の出力信号がセンスアンプ駆動信号ＳＣのハイレベル変化に関係なくハイレベル固定される。また、ダミーデータＤＤのロウレベル変化を受けてノアゲートＮＯ４の出力信号がロウレベルとなり、ノアゲートＮＯ５の出力信号は、インバータＶ４の遅延時間に相当するわずかな時間だけ一時的にハイレベルとされる。

【００３５】
つまり、前段ラッチ回路は、ダミーデータＤＤがセンスアンプ駆動信号ＳＣのハイレベル変化に先立ってロウレベル変化したのを受けてリセット状態となった訳であるが、その非反転及び反転出力信号のロウレベル及びハイレベルは、ノアゲートＮＯ５の出力信号の一時的なハイレベルを受けて後段ラッチ回路に伝達される。この結果、後段ラッチ回路もリセット状態となり、これを受けてアップ信号ｕｐがハイレベル、またダウン信号ｄｎがロウレベルとされる。

【００３６】
一方、シンクロナスＳＲＡＭが選択状態とされるとき、センスアンプ駆動信号ＳＣの位相がわずかに速く、センスアンプ駆動信号ＳＣがダミーデータＤＤに先立ってハイレベルに変化した場合、前段ラッチ回路ではナンドゲートＮＡ２の出力信号が先にロウレベルとなり、これを受けてナンドゲートＮＡ１の出力信号がダミーデータＤＤのロウレベル変化に関係なくハイレベル固定される。また、センスアンプ駆動信号ＳＣのロウレベル変化を受けてノアゲートＮＯ４の出力信号がロウレベルとなり、ノアゲートＮＯ５の出力信号は、インバータＶ４の遅延時間に相当するわずかな時間だけ一時的にハイレベルとされる。

【００３７】
つまり、前段ラッチ回路は、センスアンプ駆動信号ＳＣがダミーデータＤＤのロウレベル変化に先立ってハイレベル変化したのを受けてセット状態となった訳であるが、その非反転及び反転出力信号のハイレベル及びロウレベルは、ノアゲートＮＯ５の出力信号の一時的なハイレベルを受けて後段ラッチ回路に伝達される。この結果、後段ラッチ回路もセット状態となり、これを受けてアップ信号ｕｐがロウレベル、またダウン信号ｄｎがハイレベルとされる。

【００３８】
以上のように、センスアンプ駆動タイミング制御部ＳＡＤＣの位相比較回路ＰＣは、ダミーアレイＤＭから出力されるダミーデータＤＤと可変遅延回路ＶＤから出力されるセンスアンプ駆動信号ＳＣの位相を比較し、アップ信号ｕｐ又はダウン信号ｄｎを選択的にハイレベルとすべく作用する。なお、アップ信号ｕｐ及びダウン信号ｄｎは、カウンタ制御回路ＣＣＴＬに供給される。また、アップ信号ｕｐ及びダウン信号ｄｎのハイレベル及びロ

ウレベルは、次にノアゲートＮＯ５の出力信号が一時的にハイレベルとされるまでの間、すなわち次にシンクロナスＳＲＡＭが読み出しモードで選択状態とされダミーデータＤＤ及びセンスアンプ駆動信号ＳＣの位相比較動作が行われるまでの間、保持される。

【００３９】

図３には、図１のセンスアンプ駆動タイミング制御部ＳＡＤＣに含まれるカウンタ制御回路ＣＣＴＬの一実施例の回路図が示されている。同図をもとに、この実施例のシンクロナスＳＲＡＭのセンスアンプ駆動タイミング制御部ＳＡＤＣに含まれるカウンタ制御回路ＣＣＴＬの具体的構成及び動作を説明する。

【００４０】

図３において、カウンタ制御回路ＣＣＴＬは、実質直列結合されるエッジトリガ型の２個のフリップフロップＦＦ１及びＦＦ２と、もう１個のＤ型フリップフロップＦＦ３とを含む。このうち、フリップフロップＦＦ１及びＦＦ３の非反転クロック入力端子Ｃには、内部クロック信号ＣＫＩが供給され、フリップフロップＦＦ１の反転クロック入力端子ＣＢ（ここで、回路図ではＣの上部に横線を付して反転クロック入力端子を表しているが、明細書の説明ではＣの後にＢを付して反転クロック入力端子を表す。以下同様）そのインバータＶ７による反転信号が供給される。また、フリップフロップＦＦ２の非反転クロック入力端子Ｃ及び反転クロック入力端子ＣＢには、フリップフロップＦＦ１の非反転出力信号ＱつまりＱ１及び反転出力信号ＱＢがそれぞれ供給され、その反転出力信号ＱＢつまりＱ２Ｂは、ナンドゲートＮＡ７の第１の入力端子に供給される。

【００４１】

フリップフロップＦＦ３のデータ入力端子Ｄには、入力端子ＴＰＤからインバータＶ８及びＶ９を介して位相比較ディスイネーブル信号ＴＰＤが供給される。また、フリップフロップＦＦ３の非反転出力信号ＱつまりＱ３は、ナンドゲートＮＡ９の一方の入力端子に供給され、その反転出力信号ＱＢつまりＱ３Ｂは、ナンドゲートＮＡ７の第３の入力端子に供給される。ナンドゲートＮＡ７の第２の入力端子には、フリップフロップＦＦ１の非反転出力信号ＱつまりＱ１が供給され、ナンドゲートＮＡ９の他方の入力端子には、入力端子ＴＣＫからインバータＶＡ及びＶＢを介してテストクロック信号ＴＣＫが供給される。

【００４２】

ナンドゲートＮＡ７の出力信号は、ナンドゲートＮＡ８の一方の入力端子に供給され、ナンドゲートＮＡ９の出力信号は、その他方の入力端子に供給される。ナンドゲートＮＡ８の出力信号は、インバータＶＧを経た後、カウンタ制御回路ＣＣＴＬに対するカウンタ制御信号ＣＣとなる。

【００４３】

以上のことから、フリップフロップＦＦ１及びＦＦ２は、いわゆる分周回路として機能し、内部クロック信号ＣＫＩの周期を４分の１に分周すべく作用する。また、フリップフロップＦＦ３は、取り込み用のラッチ回路として作用し、外部の試験装置から非同期に入力される位相比較ディスイネーブル信号ＴＰＤを内部クロック信号ＣＫＩに同期化し、シンクロナスＳＲＡＭのテストモードが不安定となるのを防止すべく作用する。

【００４４】

外部の試験装置から入力端子ＴＰＤを介して供給される位相比較ディスイネーブル信号ＴＰＤがロウレベルとされ、シンクロナスＳＲＡＭが通常の動作モードとされるとき、カウンタ制御回路ＣＣＴＬでは、フリップフロップＦＦ３の反転出力信号Ｑ３Ｂがハイレベルとされる。このため、カウンタ制御信号ＣＣは、フリップフロップＦＦ１の非反転出力信号Ｑ１及びフリップフロップＦＦ２の反転出力信号Ｑ２Ｂをもとに形成され、内部クロック信号ＣＫＩの４分の１の周期を有するものとされる。一方、位相比較ディスイネーブル信号ＴＰＤがハイレベルとされ、シンクロナスＳＲＡＭが所定のテストモードとされると、カウンタ制御回路ＣＣＴＬでは、フリップフロップＦＦ３の非反転出力信号Ｑ３がハイレベルとされる。このため、カウンタ制御信号ＣＣは、外部の試験装置から入力端子ＴＣＫを介して入力されるテストクロック信号ＴＣＫをもとに形成され、これによってカウンタ制御回路ＣＣＴＬの周期を任意に設定することができる。

【００４５】
カウンタ制御回路ＣＣＴＬは、さらに、アップ信号ｕｐを受けるナンドゲートＮＡＡと、ダウン信号ｄｎを受けるナンドゲートＮＡＤとを含む。これらのナンドゲートＮＡＡ及びＮＡＤの他方の入力端子には、フリップフロップＦＦ３の反転出力信号Ｑ３Ｂが共通に供給され、その出力信号は、それぞれナンドゲートＮＡＣ及びＮＡＦの一方の入力端子に供給される。ナンドゲートＮＡＣの他方の入力端子には、ナンドゲートＮＡＢの出力信号が供給され、ナンドゲートＮＡＦの他方の入力端子には、ナンドゲートＮＡＥの出力信号が供給される。
【００４６】
ナンドゲートＮＡＢの一方の入力端子には、外部の試験装置から入力端子ＴＰＣならびにインバータＶＣ及びＶＤを介して位相制御信号ＴＰＣが供給され、ナンドゲートＮＡＥの一方の入力端子には、そのインバータＶＥによる反転信号が供給される。ナンドゲートＮＡＢ及びＮＡＥの他方の入力端子には、フリップフロップＦＦ３の非反転出力信号Ｑ３が共通に供給される。
【００４７】
ナンドゲートＮＡＣの出力信号は、ナンドゲートＮＡＧの一方の入力端子に供給され、ナンドゲートＮＡＦの出力信号は、ナンドゲートＮＡＨの一方の入力端子に供給される。ナンドゲートＮＡＧの他方の入力端子には、ノアゲートＮＯ６の出力信号のインバータＶＦによる反転信号が供給され、ナンドゲートＮＡＨの他方の入力端子には、ナンドゲートＮＡＫの出力信号が供給される。ノアゲートＮＯ６の一方及び他方の入力端子には、ナンドゲートＮＡＩ及びＮＡＪの出力信号がそれぞれ供給され、ナンドゲートＮＡＫの一方及び他方の入力端子には、ノアゲートＮＯ７及びＮＯ８の出力信号がそれぞれ供給される。
【００４８】
ナンドゲートＮＡＩ及びノアゲートＮＯ７の第１ないし第３の入力端子には、アップダウンカウンタＵ／ＤＣの非反転出力信号Ｓ３２，Ｓ１６ならびにＳ８がそれぞれ供給され、ナンドゲートＮＡＪ及びノアゲートＮＯ８の第１ないし第３の入力端子には、その非反転出力信号Ｓ４，Ｓ２ならびにＳ１がそれぞれ供給される。ナンドゲートＮＡＧの出力信号は、インバータＶＨを経た後アップダウンカウンタＵ／ＤＣに対するアップ信号ＵＰとなり、ナンドゲートＮＡＨの出力信号は、インバータＶＩを経た後ダウン信号ＤＮとなる。
【００４９】
これらのことから、シンクロナスＳＲＡＭが通常の動作モードとされ、フリップフロップＦＦ３の反転出力信号Ｑ３Ｂがハイレベルとされるとき、アップ信号ＵＰは、位相比較回路ＰＣから出力されるアップ信号ｕｐがハイレベルとされ、かつアップダウンカウンタＵ／ＤＣの相補出力信号Ｓ１＊～Ｓ３２＊がすべて論理“１”つまりアップダウンカウンタＵ／ＤＣの計数値が最大値でないことを条件に、選択的にハイレベルとされる。また、ダウン信号ＤＮは、位相比較回路ＰＣから出力されるダウン信号ｄｎがハイレベルとされ、かつアップダウンカウンタＵ／ＤＣの相補出力信号Ｓ１＊～Ｓ３２＊がすべて論理“０”つまりその計数値が最小値でないことを条件に、選択的にハイレベルとされる。
【００５０】
一方、シンクロナスＳＲＡＭが所定のテストモードとされ、フリップフロップＦＦ３の非反転出力信号Ｑ３がハイレベルとされるとき、アップ信号ＵＰは、外部の試験装置から入力される位相制御信号ＴＰＣがハイレベルとされ、かつアップダウンカウンタＵ／ＤＣの相補出力信号Ｓ１＊～Ｓ３２＊がすべて論理“１”つまりアップダウンカウンタＵ／ＤＣの計数値が最大値でないことを条件に、選択的にハイレベルとされる。また、ダウン信号ＤＮは、外部の試験装置から入力される位相制御信号ＴＰＣがロウレベルとされ、かつアップダウンカウンタＵ／ＤＣの相補出力信号Ｓ１＊～Ｓ３２＊がすべて論理“０”つまりその計数値が最小値でないことを条件に、選択的にハイレベルとされる。
【００５１】
以上のように、カウンタ制御回路ＣＣＴＬは、外部の試験装置から供給される位相比較ディスイネーブル信号ＴＰＤに従って、アップダウンカウンタＵ／ＤＣに対するカウンタ制

御信号ＣＣを、内部クロック信号ＣＫＩの分周信号あるいは外部の試験装置から供給されるテストクロック信号ＴＣＫをもとに選択的に形成し、アップ信号ＵＰ及びダウン信号ＤＮを、位相比較回路ＰＣから供給されるアップ信号ｕｐ及びダウン信号ｄｎあるいは外部の試験装置から供給される位相制御信号ＴＰＣをもとに選択的に形成する。この結果、この実施例のシンクロナスＳＲＡＭでは、カウンタ制御信号ＣＣを選択的に停止してアップダウンカウンタＵ／ＤＣの歩進動作を停止させたり、アップ信号ＵＰ及びダウン信号ＤＮを位相制御信号ＴＰＣに従って形成してアップダウンカウンタＵ／ＤＣを任意にカウントアップ又はカウントダウンさせることができるため、シンクロナスＳＲＡＭの読み出し動作のマージンを精度良くかつ効率良く判定できる。また、外部の試験装置から非同期に入力される位相比較ディスイネーブル信号ＴＰＤがフリップフロップＦＦ３によって内部クロック信号ＣＫＩと同期化されることで、シンクロナスＳＲＡＭのテストモードへの切り換えが安定化される。

【００５２】

図４には、図１のセンスアンプ駆動タイミング制御部ＳＡＤＣに含まれるアップダウンカウンタＵ／ＤＣの一実施例の回路図が示されている。同図をもとに、この実施例のシンクロナスＳＲＡＭのセンスアンプ駆動タイミング制御部ＳＡＤＣに含まれるアップダウンカウンタＵ／ＤＣの具体的構成及び動作を説明する。なお、アップダウンカウンタＵ／ＤＣは、６個の単位カウンタ回路ＵＣＴ０～ＵＣＴ５を備えるが、以下の記述では、単位カウンタ回路ＵＣＴ０の例をもって、すべての単位カウンタ回路ＵＣＴ０～ＵＣＴ５を説明する。

【００５３】

図４において、アップダウンカウンタＵ／ＤＣは、特に制限されないが、直列結合される６個の単位カウンタ回路ＵＣＴ０～ＵＣＴ５を備え、これらの単位カウンタ回路のそれぞれは、単位カウンタ回路ＵＣＴ０に代表されるように、その一方及び他方の入力端子にアップ信号ＵＰ及びダウン信号ＤＮをそれぞれ受けるノアゲートＮＯ９と、ナンドゲートＮＡＮ及びＮＡＯならびにナンドゲートＮＡＲ及びＮＡＳがそれぞれ交差結合されてなる２個のラッチ回路を含む。

【００５４】

ノアゲートＮＯ９の出力信号は、ノアゲートＮＯＡ及びＮＯＢの一方の入力端子に共通に供給される。ノアゲートＮＯＡの他方の入力端子には、ナンドゲートＮＡＳの出力信号つまり後段ラッチ回路の反転出力信号が供給され、ノアゲートＮＯＢの他方の入力端子には、ナンドゲートＮＡＲの出力信号つまりその非反転出力信号が供給される。ノアゲートＮＯＡ及びＮＯＢの出力信号は、その他方の入力端子にカウンタ制御信号ＣＣを共通に受けるナンドゲートＮＡＬ及びＮＡＭを介して、ナンドゲートＮＡＮ及びＮＡＯからなる前段ラッチ回路の反転セット入力端子及び反転リセット入力端子にそれぞれ供給される。また、ナンドゲートＮＡＮ及びＮＡＯの出力信号すなわち前段ラッチ回路の非反転及び反転出力信号は、その他方の入力端子にカウンタ制御信号ＣＣのインバータＶＪによる反転信号を共通に受けるナンドゲートＮＡＰ及びＮＡＱを介して、後段ラッチ回路の反転セット入力端子及び反転リセット入力端子にそれぞれ供給される。後段ラッチ回路の非反転出力信号は、単位カウンタ回路ＵＣＴ０の非反転出力信号Ｓ１となり、その反転出力信号は、反転出力信号Ｓ１Ｂとなる。

【００５５】

アップ信号ＵＰは、さらにナンドゲートＮＡＴの一方の入力端子に供給され、ダウン信号ＤＮは、さらにナンドゲートＮＡＵの一方の入力端子に供給される。ナンドゲートＮＡＴの他方の入力端子には、後段ラッチ回路の非反転出力信号が供給され、ナンドゲートＮＡＵの他方の入力端子には、その反転出力信号が供給される。ナンドゲートＮＡＴの出力信号は、インバータＶＫを経た後次段の単位カウンタ回路ＵＣＴ１に対するアップ信号ＵＰとなり、ナンドゲートＮＡＵの出力信号は、インバータＶＬを経た後ダウン信号ＤＮとなる。

【００５６】

これらのことから、単位カウンタ回路ＵＣＴ０の前段ラッチ回路は、カウンタ制御信号ＣＣがハイレベルとされかつアップ信号ＵＰ又はダウン信号ＤＮのいずれかがハイレベルとされるごとにその状態が反転し、その後段ラッチ回路は、カウンタ制御信号ＣＣのロウレベル変化を受けて前段ラッチ回路の状態を受け継ぐべくその状態が従属的に変化する。そして、次段の単位カウンタ回路ＵＣＴ１には、アップ信号ＵＰがハイレベルとされるとき、単位カウンタ回路ＵＣＴ０の非反転出力信号がアップ信号ＵＰとして伝達され、ダウン信号ＤＮがロウレベルとされるときには、単位カウンタ回路ＵＣＴ０の反転出力信号がダウン信号ＤＮとして伝達される。この結果、６個の単位カウンタ回路ＵＣＴ０～ＵＣＴ５が直列結合されてなるアップダウンカウンタＵ／ＤＣのカウンタモードは、アップ信号ＵＰがハイレベルとされるときカウントアップモードとされ、ダウン信号ＤＮがハイレベルとされるときにはカウントダウンモードとされる。

【００５７】

図５には、図１のセンスアンプ駆動タイミング制御部ＳＡＤＣに含まれる可変遅延回路ＶＤの一実施例の回路図が示されている。同図をもとに、この実施例のシンクロナスＳＲＡＭのセンスアンプ駆動タイミング制御部ＳＡＤＣに含まれる可変遅延回路ＶＤの具体的構成及び動作について説明する。

【００５８】

図５において、可変遅延回路ＶＤは、特に制限されないが、８個のクロックドインバータＣＶ１～ＣＶ８を含む。このうち、クロックドインバータＣＶ５の入力端子には、クロックドライバＣＤからセンスアンプ駆動信号ＳＣの原信号となる内部信号ＳＰが供給され、クロックドインバータＣＶ３の入力端子には、そのインバータＶＱによる反転信号が供給される。また、クロックドインバータＣＶ１の入力端子には、インバータＶＱ及びＶＲを介して内部信号ＳＰが供給され、クロックドインバータＣＶ２の入力端子には、さらに２個のインバータＶＳ及びＶＴを介して内部信号ＳＰが供給される。クロックドインバータＣＶ４の入力端子は、クロックドインバータＣＶ１及びＣＶ２の出力端子に結合され、クロックドインバータＣＶ６の入力端子は、クロックドインバータＣＶ３及びＣＶ４の出力端子に結合される。クロックドインバータＣＶ５及びＣＶ６の共通結合された出力端子は、クロックドインバータＣＶ７の入力端子に結合される。

【００５９】

クロックドインバータＣＶ１の外側のＰチャンネルＭＯＳＦＥＴ及びクロックドインバータＣＶ２の外側のＮチャンネルＭＯＳＦＥＴのゲートには、ナンドゲートＮＡＶの出力信号が供給され、クロックドインバータＣＶ１の外側のＮチャンネルＭＯＳＦＥＴ及びクロックドインバータＣＶ２の外側のＰチャンネルＭＯＳＦＥＴのゲートには、そのインバータＶＭによる反転信号が供給される。同様に、クロックドインバータＣＶ３の外側のＰチャンネルＭＯＳＦＥＴ及びクロックドインバータＣＶ４の外側のＮチャンネルＭＯＳＦＥＴのゲートには、ナンドゲートＮＡＷの出力信号が供給され、クロックドインバータＣＶ３の外側のＮチャンネルＭＯＳＦＥＴ及びクロックドインバータＣＶ４の外側のＰチャンネルＭＯＳＦＥＴのゲートには、そのインバータＶＮによる反転信号が供給される。また、クロックドインバータＣＶ５の外側のＰチャンネルＭＯＳＦＥＴ及びクロックドインバータＣＶ６のＮチャンネルＭＯＳＦＥＴのゲートには、ナンドゲートＮＡＸの出力信号が供給され、クロックドインバータＣＶ５の外側のＮチャンネルＭＯＳＦＥＴ及びクロックドインバータＣＶ６のＰチャンネルＭＯＳＦＥＴのゲートには、そのインバータＶＯによる反転信号が供給される。

【００６０】

ナンドゲートＮＡＶの二つの入力端子には、アップダウンカウンタＵ／ＤＣの非反転出力信号Ｓ１６及び反転出力信号Ｓ３２Ｂがそれぞれ供給される。また、ナンドゲートＮＡＷの二つの入力端子には、反転出力信号Ｓ１６Ｂ及び非反転出力信号Ｓ３２がそれぞれ供給され、ナンドゲートＮＡＸの二つの入力端子には、非反転出力信号Ｓ１６及びＳ３２がそれぞれ供給される。

【００６１】

これらのことから、アップダウンカウンタＵ／ＤＣの相補出力信号Ｓ１６＊及びＳ３２がともに論理“１”とされるとき、クロックドライバＣＤから出力される内部信号ＳＰは、最も短い信号経路つまりクロックドインバータＣＶ５のみを介してクロックドインバータＣＶ７に伝達され、その位相遅延量は最小となる。また、相補出力信号Ｓ１６＊が論理“０”とされ相補出力信号Ｓ３２＊が論理“１”とされるときは、次に短い信号経路つまりインバータＶＱからクロックドインバータＣＶ３及びＣＶ６を介してクロックドインバータＣＶ７に伝達され、相補出力信号Ｓ１６が論理“１”とされ相補出力信号Ｓ３２＊が論理“０”とされるときには、次に短い信号経路つまりインバータＶＱ及びＶＲからクロックドインバータＣＶ１，ＣＶ４ならびにＣＶ６を介してクロックドインバータＣＶ７に伝達される。相補出力信号Ｓ１６＊及びＳ３２＊がともに論理“０”とされるとき、内部信号ＳＰは、最も長い信号経路つまりインバータＶＱ，ＶＲ，ＶＳならびにＶＴからクロックドインバータＣＶ２，ＣＶ４ならびにＣＶ６を介してクロックドインバータＣＶ７に伝達され、その位相遅延量は最大となる。

【００６２】

クロックドインバータＣＶ７の出力信号は、インバータＶＵを介してクロックドインバータＣＶ８の入力端子に供給され、このクロックドインバータＣＶ８の出力信号は、インバータＶＶ及びＶＷを経た後、センスアンプＳ０～ＳＦに対するセンスアンプ駆動信号ＳＣとなる。クロックドインバータＣＶ７及びＣＶ８を構成する外側のＰチャンネルＭＯＳＦＥＴのゲートは、ＰチャンネルＭＯＳＦＥＴＰ５及びＰ６のゲートに結合され、その外側のＮチャンネルＭＯＳＦＥＴのゲートは、ＮチャンネルＭＯＳＦＥＴＮＧのゲートに結合される。

【００６３】

ＭＯＳＦＥＴＰ５及びＮ６は、そのゲート及びドレインが共通結合されることで、いわゆるカレントミラー形態とされる。また、ＭＯＳＦＥＴＰ５のドレインは、ＮチャンネルＭＯＳＦＥＴＮ７と、それぞれ並列結合されたＮチャンネルＭＯＳＦＥＴＮ８及びＮＣ，Ｎ９及びＮＤ，ＮＡ及びＮＥならびにＮＢ及びＮＦとを介して接地電位ＶＳＳに結合される。ＭＯＳＦＥＴＮ７のゲートには、内部信号ＺＺのインバータＶＰによる反転信号が供給される。また、ＭＯＳＦＥＴＮ８～ＮＢのゲートには、アップダウンカウンタＵ／ＤＣの非反転出力信号Ｓ１，Ｓ２，Ｓ４ならびにＳ８がそれぞれ供給され、ＭＯＳＦＥＴＮＣ～ＮＦのゲートは電源電圧ＶＣＣに結合される。なお、内部信号ＺＺは、シンクロナスＳＲＡＭがスタンバイモードとされるとき、選択的にハイレベルとされる。

【００６４】

これらのことから、ＭＯＳＦＥＴＮ７は、シンクロナスＳＲＡＭがスタンバイ状態にないことを条件に選択的にオン状態とされる。また、ＭＯＳＦＥＴＮ８～ＮＢは、アップダウンカウンタＵ／ＤＣの対応する相補出力信号Ｓ１＊～Ｓ８＊が論理“１”とされることを条件に選択的にオン状態とされ、ＭＯＳＦＥＴＮＣ～ＮＦは、定常的にオン状態とされる。このため、ＭＯＳＦＥＴＰ５には、アップダウンカウンタＵ／ＤＣの４ビットの相補出力信号Ｓ１＊～Ｓ８＊の論理値に応じた電流が流され、この電流は、カレントミラー結合されたＭＯＳＦＥＴＰ６及びＮＧを介してクロックドインバータＣＶ７及びＣＶ８の外側のＰチャンネル及びＮチャンネルＭＯＳＦＥＴに伝達される。この結果、クロックドインバータＣＶ７及びＣＶ８の動作速度が選択的に切り換えられ、これによってクロックドインバータＣＶ７及びＣＶ８の遅延時間が切り換えられる。

【００６５】

言うまでもなく、クロックドインバータＣＶ７及びＣＶ８の動作速度は、その動作電流が大きくされることにより速くされ、小さくされることにより遅くされる。したがって、クロックドインバータＣＶ７及びＣＶ８の内部信号ＳＰに対する遅延時間は、相補出力信号Ｓ１＊～Ｓ８＊の論理値に従って微調整され、これらの相補出力信号Ｓ１＊～Ｓ８＊がともに論理“０”とされるとき最大となり、ともに論理“１”とされるとき最小となる。

【００６６】

以上のように、可変遅延回路ＶＤの内部信号ＳＰに対する位相遅延量は、内部信号ＳＰの

信号経路がアップダウンカウンタＵ／ＤＣの相補出力信号Ｓ１６＊及びＳ３２＊の論理値に応じて選択的に切り換えられ、クロックドインバータＣＶ７及びＣＶ８の動作速度がアップダウンカウンタＵ／ＤＣの残りの相補出力信号Ｓ１＊～Ｓ８＊に応じて選択的に大きく又は小さくされることで選択的に切り換えられる。また、センスアンプ駆動信号ＳＣの位相は、位相比較回路ＰＣによりダミーアレイＤＭから出力されるダミーデータＤＤの位相と比較され、その出力信号つまりアップ信号ｕｐ及びダウン信号ｄｎに従ってアップダウンカウンタＵ／ＤＣが選択的にカウントアップされ又はカウントダウンされる。この結果、センスアンプ駆動信号ＳＣの位相が、ダミーデータＤＤの位相に極力近づけられ、これによってセンスアンプ駆動信号ＳＣの無駄なマージンをなくし、シンクロナスＳＲＡＭのアクセスタイムを高速化できるものとなる。

【００６７】

図６には、図１のシンクロナスＳＲＡＭのセンスアンプ駆動タイミング制御部ＳＡＤＣの一実施例の信号波形図が示されている。同図をもとに、この実施例のシンクロナスＳＲＡＭに含まれるセンスアンプ駆動タイミング制御部ＳＡＤＣの具体的動作ならびにその特徴について説明する。なお、図６では、アップダウンカウンタＵ／ＤＣの初期値がｎとされ、カウントアップ又はカウントダウンによりｎ－１からｎ＋２に変化する様子が例示されている。

【００６８】

図６において、クロック信号ＣＫつまり内部クロック信号ＣＫＩは、カウンタ制御回路ＣＣＴＬのフリップフロップＦＦ１及びＦＦ２により分周され、２分の１の周期を持つフリップフロップＦＦ１の非反転出力信号Ｑ１と、４分の１の周期を持つフリップフロップＦＦ２の非反転出力信号Ｑ２が形成される。

【００６９】

外部の試験装置から入力端子ＴＰＤを介して入力される位相比較ディスイネーブル信号ＴＰＤがロウレベルとされ、シンクロナスＳＲＡＭが通常の動作モードとされるとき、カウンタ制御回路ＣＣＴＬでは、フリップフロップＦＦ１の非反転出力信号Ｑ１がハイレベルとされかつフリップフロップＦＦ２の非反転出力信号Ｑ２がロウレベルとされることを条件に、図示されないカウンタ制御信号ＣＣが選択的にハイレベルとなる。また、位相比較回路ＰＣから出力されるアップ信号ｕｐ又はダウン信号ｄｎのハイレベルを受けて、アップダウンカウンタＵ／ＤＣに対するアップ信号ＵＰ又はダウン信号ＤＮが選択的にハイレベルとされる。このため、アップダウンカウンタＵ／ＤＣでは、カウンタ制御信号ＣＣの立ち下がりエッジつまりはフリップフロップＦＦ２の非反転出力信号Ｑ２がロウレベルであるときのフリップフロップＦＦ１の非反転出力信号Ｑ１の立ち下がりエッジに同期して、選択的にカウントアップ又はカウントダウン動作が行われ、その計数値は、ｎからｎ＋１にカウントアップされた後、ｎにカウントダウンされ、さらにｎ＋１にカウントアップされる。

【００７０】

次に、外部の試験装置により位相比較ディスイネーブル信号ＴＰＤがハイレベルとされ、シンクロナスＳＲＡＭが所定のテストモードとされる。このとき、入力端子ＴＰＣには、約１０ｎｓ（ナノ秒）程度遅れてハイレベルの位相制御信号ＴＰＣが入力され、この位相制御信号ＴＰＣのハイレベルからさらに約１０ｎｓ遅れてテストクロック信号ＴＣＫが入力される。

【００７１】

シンクロナスＳＲＡＭのカウンタ制御回路ＣＣＴＬでは、位相比較ディスイネーブル信号ＴＰＤのハイレベル変化から最初の内部クロック信号ＣＫＩの立ち上がりエッジを受けてフリップフロップＦＦ３がセット状態とされ、その非反転出力信号Ｑ３がハイレベルとされる。また、フリップフロップＦＦ３の非反転出力信号Ｑ３のハイレベルと位相制御信号ＴＰＣのハイレベルを受けてアップ信号ＵＰがハイレベルとされるとともに、テストクロック信号ＴＣＫに同期したカウンタ制御信号ＣＣが形成される。これにより、アップダウンカウンタＵ／ＤＣは、テストクロック信号ＴＣＫつまりカウンタ制御信号ＣＣの立ち下

がりエッジを受けてカウントアップされ、その計数値はｎ＋２となる。また、位相制御信号ＴＰＣがハイレベルとされた後は、ダウン信号ＤＮがハイレベルとなり、アップダウンカウンタＵ／ＤＣの計数値はｎ＋１にカウントダウンされる。

【００７２】

このように、この実施例のシンクロナスＳＲＡＭでは、外部の試験装置から入力端子ＴＰＤを介して入力される位相比較ディスイネーブル信号ＴＰＤに従って位相比較回路ＰＣによる位相比較動作が選択的に停止され、アップダウンカウンタＵ／ＤＣの計数値が保持される。また、このとき、アップダウンカウンタＵ／ＤＣは、外部の試験装置から入力端子ＴＣＫを介して入力されるテストクロック信号ＴＣＫに従って選択的に同期動作し、そのカウンタモードは、外部の試験装置から入力端子ＴＰＣを介して入力される位相制御信号ＴＰＣに従って選択的にカウントアップモード又はカウントダウンモードとされる。したがって、この実施例のシンクロナスＳＲＡＭでは、センスアンプ駆動タイミング制御部ＳＡＤＣの自動制御によって決定された位相制御量を基準に、外部の試験装置からアップダウンカウンタＵ／ＤＣを任意に制御し、意図的にセンスアンプ駆動信号の位相を制御することができる。この結果、センスアンプ駆動信号のマージンを限界に近づけシンクロナスＳＲＡＭのアクセスタイムを高速化することができるとともに、シンクロナスＳＲＡＭの特にセンスアンプ駆動タイミング制御部に関する試験工数を削減して、その低コスト化を図ることができる。

【００７３】

なお、外部の試験装置から非同期に入力される位相比較ディスイネーブル信号ＴＰＤがフリップフロップＦＦ３によって内部クロック信号ＣＫＩと同期化されることで、シンクロナスＳＲＡＭの動作モードが不都合なタイミングで切り換えられるのを防止し、テストモードへの切り換えを安定化することができる。

【００７４】

以上の実施例から得られる作用効果は、下記の通りである。すなわち、

（１）クロック信号に従って同期動作しかつセンスアンプ駆動タイミング制御部を備えるシンクロナスＳＲＡＭ等に、第２の入力端子から供給されるモード制御信号が有効レベルとされることにより選択的に指定されるテストモードを設け、アップダウンカウンタを同期動作させるためのカウンタ制御信号を、通常の動作モード時はクロック信号をもとに形成し、テストモード時は第３の入力端子から供給されるテストクロック信号をもとに形成するとともに、アップダウンカウンタをカウントアップ又はカウントダウンさせるためのアップ信号及びダウン信号を、通常の動作モード時は位相比較回路から出力される第１のアップ信号又はダウン信号に従って形成し、テストモード時には第１の入力端子から供給される位相制御信号に従って形成することで、センスアンプ駆動タイミング制御部の自動制御によって決定された位相制御量を基準に、外部の試験装置からアップダウンカウンタを任意にカウントアップ又はカウントダウンさせ、意図的にセンスアンプ駆動信号の位相を制御することができるという効果が得られる。

【００７５】

（２）上記（１）項により、センスアンプ駆動信号のマージンを限界に近づけ、シンクロナスＳＲＡＭを高速化できるという効果が得られる。

（３）上記（１）項により、シンクロナスＳＲＡＭの特にセンスアンプ駆動タイミング制御部に関する試験工数を削減して、その低コスト化を図ることができるという効果が得られる。

【００７６】

（４）上記（１）項ないし（３）項において、シンクロナスＳＲＡＭをテストモードとするためのモード制御信号を、クロック信号に従って取り込み、同期化するためのフリップフロップを設けることで、シンクロナスＳＲＡＭの動作モードが不都合なタイミングで切り換えられるのを防止し、テストモードへの切り換えを安定化することができるという効果が得られる。

【００７７】

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図１において、シンクロナスＳＲＡＭは、任意数のメモリマットを備えることができるし、各メモリマットに設けられるメモリアレイ及び周辺部の数も任意に設定できる。センスアンプ駆動タイミング制御部ＳＡＤＣを含むシンクロナスＳＲＡＭのブロック構成は、この実施例による制約を受けないし、起動制御信号及びテスト制御信号の名称及び組み合わせならびに有効レベル等も、種々の実施形態を採りうる。

【００７８】

図２，図３，図４ならびに図５において、位相比較回路ＰＣ，カウンタ制御回路ＣＣＴＬ，アップダウンカウンタＵ／ＤＣならびに可変遅延回路ＶＤの具体的回路構成は、基本的な論理条件が守られる限りにおいて種々の実施形態を採りうる。また、図４において、アップダウンカウンタＵ／ＤＣは任意数の単位カウンタ回路を備えることができるし、そのカウンタモードの制御方法も任意である。図６において、クロック信号ＣＫを含む各信号の具体的な時間関係及び絶対レベル等は、この発明に制約を与えない。

【００７９】

以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるシンクロナスＳＲＡＭに適用した場合について説明したが、それに限定されるものではなく、例えば、同様なセンスアンプ駆動タイミング制御部を含む各種の半導体メモリやこれを含む各種デジタルシステムにも適用できる。この発明は、少なくともセンスアンプ駆動タイミング制御部を備える半導体記憶装置ならびにこれを含む装置又はシステムに広く適用できる。

【００８０】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、クロック信号に従って同期動作しかつセンスアンプ駆動タイミング制御部を備えるシンクロナスＳＲＡＭ等に、第２の入力端子から供給されるモード制御信号が有効レベルとされることによって選択的に指定されるテストモードを設け、アップダウンカウンタを同期動作させるためのカウンタ制御信号を、通常の動作モード時はクロック信号をもとに形成し、テストモード時は第３の入力端子から供給されるテストクロック信号をもとに形成するとともに、アップダウンカウンタをカウントアップ又はカウントダウンさせるためのアップ信号及びダウン信号を、通常の動作モード時は位相比較回路から出力される第１のアップ信号又はダウン信号に従って形成し、テストモード時には第１の入力端子から供給される位相制御信号に従って形成することで、センスアンプ駆動タイミング制御部の自動制御によって決定された位相制御量を基準に、外部の試験装置からアップダウンカウンタを任意にカウントアップ又はカウントダウンさせ、意図的にセンスアンプ駆動信号の位相を制御することができる。この結果、センスアンプ駆動信号のマージンを限界に近づけシンクロナスＳＲＡＭのアクセスタイムを高速化することができるとともに、シンクロナスＳＲＡＭの特にセンスアンプ駆動タイミング制御部に関する試験工数を削減して、その低コスト化を図ることができる。

【図面の簡単な説明】

【図１】この発明が適用されたシンクロナスＳＲＡＭの一実施例を示すブロック図である。

【図２】図１のシンクロナスＳＲＡＭのセンスアンプ駆動タイミング制御回路に含まれる位相比較回路及び関連部の一実施例を示す回路図である。

【図３】図１のシンクロナスＳＲＡＭのセンスアンプ駆動タイミング制御回路に含まれるカウンタ制御回路の一実施例を示す回路図である。

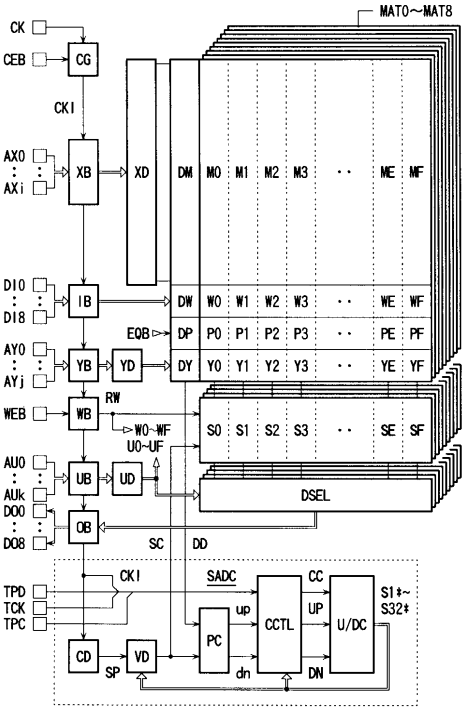
【図４】図１のシンクロナスＳＲＡＭのセンスアンプ駆動タイミング制御回路に含まれるアップダウンカウンタの一実施例を示す回路図である。

【図５】図１のシンクロナスＳＲＡＭのセンスアンプ駆動タイミング制御回路に含まれる

可変遅延回路の一実施例を示す回路図である。
【図６】図１のシンクロナスＳＲＡＭのセンスアンプ駆動タイミング制御回路の一実施例を示す信号波形図である。
【図７】この発明に先立って本願発明者等が開発したシンクロナスＳＲＡＭのセンスアンプ駆動タイミング制御回路の一例を示すブロック図である。
【符号の説明】
ＭＡＴ０～ＭＡＴ８……メモリマット、Ｍ０～ＭＦ……メモリアレイ、ＤＭ……ダミーアレイ、Ｗ０～ＷＦ……ライトドライバ、ＤＷ……ダミーアレイ用ライトドライバ、Ｐ０～ＰＦ……プリチャージ回路、ＤＰ……ダミーアレイ用プリチャージ回路、Ｙ０～ＹＦ……Ｙスイッチ、ＤＹ……ダミーアレイ用Ｙスイッチ、Ｓ０～ＳＦ……センスアンプ、ＤＳＥＬ……データセレクタ、ＸＤ……Ｘアドレスデコーダ、ＸＢ……Ｘアドレスバッファ、ＹＤ……Ｙアドレスデコーダ、ＹＢ……Ｙアドレスバッファ、ＵＤ……ユニットアドレスデコーダ、ＵＢ……ユニットアドレスバッファ、ＩＢ……データ入力バッファ、ＷＢ……ライトイネーブル信号バッファ、ＯＢ……データ出力バッファ、ＣＧ……クロック発生回路、ＳＡＤＣ……センスアンプ駆動タイミング制御部、ＣＤ……クロックドライバ、ＶＤ……可変遅延回路、ＰＣ……位相比較回路、ＣＣＴＬ……カウンタ制御回路、Ｕ／ＤＣ……アップダウンカウンタ。
ＣＫ……クロック信号又はその入力端子、ＣＫＩ……内部クロック信号、ＣＥＢ……チップイネーブル信号又はその入力端子、ＡＸ０～ＡＸｉ……Ｘアドレス信号又はその入力端子、ＤＩ０～ＤＩ８……入力データ又はデータ入力端子、ＡＹ０～ＡＹｊ……Ｙアドレス信号又はその入力端子、ＷＥＢ……ライトイネーブル信号又はその入力端子、ＡＵ０～ＡＵｋ……ユニットアドレス信号又はその入力端子、ＤＯ０～ＤＯ８……出力データ又はデータ出力端子、ＴＰＤ……試験用位相比較ディスイネーブル信号又はその入力端子、ＴＣＫ……テストクロック信号、ＴＰＣ……試験用位相制御信号。
ＭＷＤＢ……ダミーメインワード線、ＳＷＤ……ダミーサブワード線、ＢＤＴ……非反転ダミービット線、ＢＤＢ……反転ダミービット線、ＥＱＢ……イコライズ制御信号、ＤＤ……ダミーデータ、ＳＣ……センスアンプ駆動信号、ｕｐ，ＵＰ……アップ信号、ｄｎ，ＤＮ……ダウン信号。
ＦＦ１～ＦＦ３……フリップフロップ、Ｑ１～Ｑ３……フリップフロップ出力信号、ＣＣ……カウンタ制御信号、Ｓ１，Ｓ２，Ｓ４，Ｓ８，Ｓ１６，Ｓ３２……非反転カウンタ出力信号、Ｓ１Ｂ，Ｓ２Ｂ，Ｓ４Ｂ，Ｓ８Ｂ，Ｓ１６Ｂ，Ｓ３２Ｂ……反転カウンタ出力信号。
ＵＣＴ０～ＵＣＴ５……単位カウンタ回路。
ＣＶ１～ＣＶ８……クロックドインバータ。
Ｐ１～Ｐ６……ＰチャンネルＭＯＳＦＥＴ、Ｎ１～ＮＦ……ＮチャンネルＭＯＳＦＥＴ、Ｖ１～ＶＸ……インバータ、ＮＡ１～ＮＡＸ……ナンド（ＮＡＮＤ）ゲート、ＮＯ１～ＮＯＢ……ノア（ＮＯＲ）ゲート。

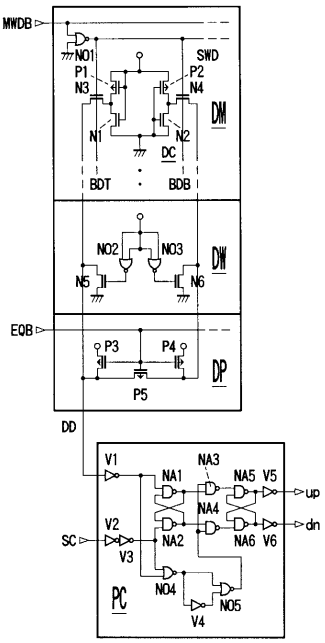
【図１】

図1 シンクロナスＳＲＡＭのブロック構成



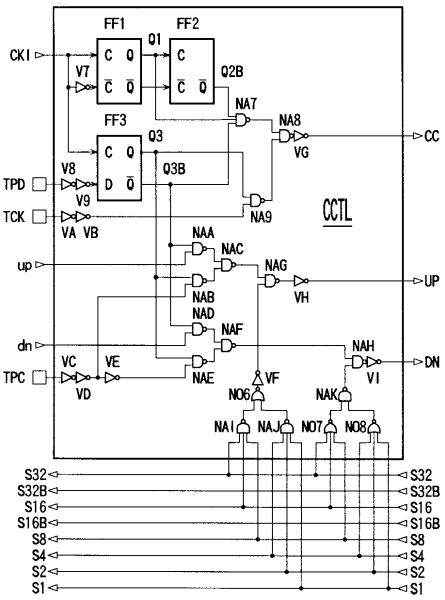
【図２】

図2 位相比較回路及び周辺部の回路構成



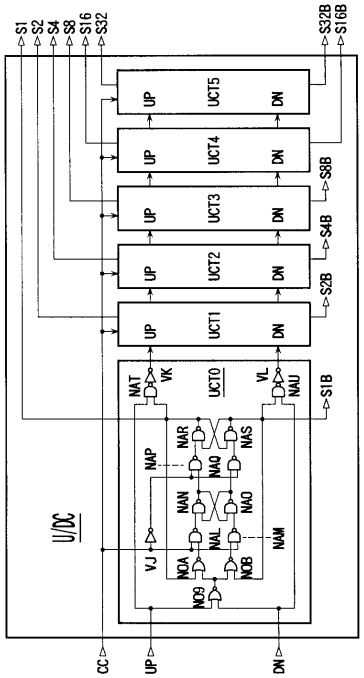
【図３】

図3 カウンタ制御回路の回路構成

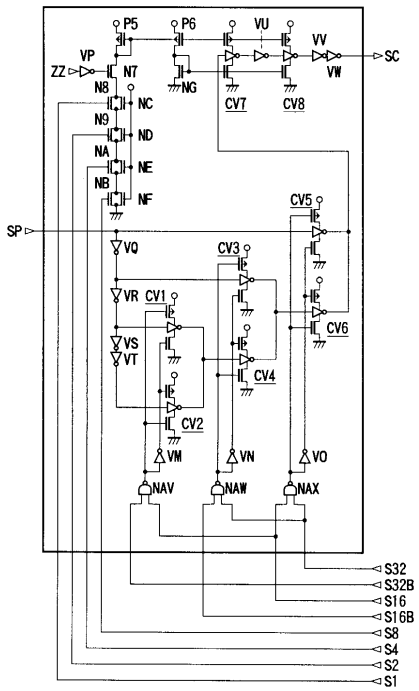


【図４】

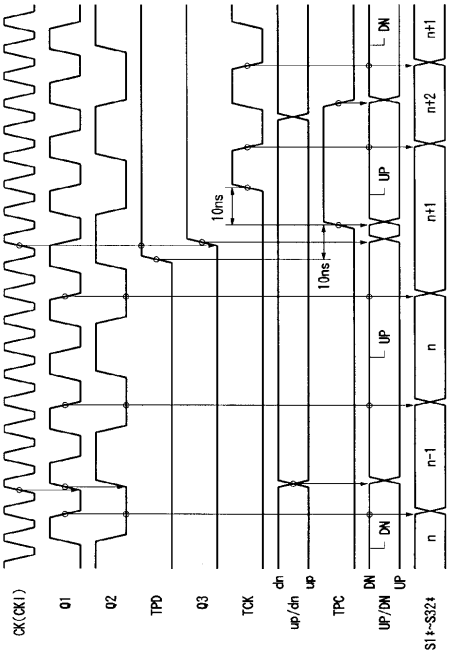
図4 アップダウンカウンタの回路構成



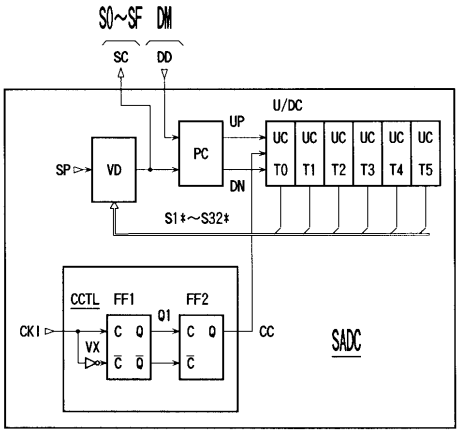
【図５】
図5 可変遅延回路の回路構成



【図６】
図6 センスアンプ駆動タイミング制御部の信号波形



【図７】
図7 センスアンプ駆動タイミング制御部のブロック構成



フロントページの続き

(72)発明者　藤村　康弘
東京都青梅市今井２３２６番地　株式会社　日立製作所　デバイス開発センタ内

審査官　加藤　俊哉

(56)参考文献　特開平０６－２５９９９８（ＪＰ，Ａ）
特開平０７－０５００９４（ＪＰ，Ａ）
特開平０３－０５９８８４（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
G11C 11/413
G11C 29/14