

双面影印

公告本

申請日期	89.9.28
案 號	89120114
類 別	H01K 23/50

A4
C4

471149

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明名稱	中 文	半導體元件、用於製造該半導體元件之方法、載體基材及其製造方法
	英 文	SEMICONDUCTOR DEVICE, PROCESS FOR PRODUCING SAME, CARRIER SUBSTRATE AND PROCESS FOR PRODUCING SAME
二、發明人	姓 名	(1)古畑吉雄 (2)小林剛
	國 籍	日 本
三、申請人	住、居所	(1)~(2)日本國長野縣長野市大字栗田字舍利田711番地
	姓 名 (名稱)	日商・新光電氣工業股份有限公司
	國 籍	日 本
	住、居所 (事務所)	日本國長野縣長野市大字栗田字舍利田711番地
	代 表 人 姓 名	茂木淳一

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

日本 國（地區） 申請專利，申請日期： 1999.10.01 案號： 特願平11-280950，☒有 ☐無主張優先權

有關微生物已寄存於：，寄存日期：，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明背景

1. 發明領域

本發明關於一種半導體元件、用於製造該半導體元件之方法、載體基材及其製造方法。

2. 相關技藝說明

隨著諸如行動電話或其他之小型電子設備已經進入廣泛的用途，已對於將尺寸減至最小並縮減欲被裝設在此類電子設備中之半導體元件的製造成本有需求。其中一被安裝至引線框上之半導體晶片被樹脂遮蔽之傳統半導體元件具有在內部與外部引線之間延伸的區域或安裝區域為相對大之問題。此外，在BGA(球格柵陣列)型半導體元件中，因為該半導體元件需要一用以安裝半導體晶片之基材，而有另一個高製造成本之問題。

為了將半導體元件的尺寸減至最小並縮小其安裝面積以及縮減製造成本，一種半導體元件已經被提出，例如，在日本未審查專利公告案(Kokai)第9-162348號中。被揭露在Kokai第9-162348號中之半導體元件包括一被安裝至晶片黏接樹脂之半導體晶片、其中半導體晶片被以環氧樹脂遮蔽之樹脂封裝體、以及覆蓋被形成在樹脂封裝體之安裝表面上的樹脂突出部之金屬膜，該金屬膜藉由線接合之方式被電氣地連接至半導體晶片的電極部段上。該半導體元件有助於不需要內部與外部引線，與使用引線框的情況相反，如在BGA型封裝體中般，安裝半導體晶片不需要基材，並且金屬膜便於分散熱且因為金屬膜具有與接體端

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（²）

子相同的功能因此易於將晶片安裝至基材上之操作。

在上述形式為安裝高頻半導體晶片之半導體元件中，其上安裝有半導體晶片之安裝部分金屬膜較佳被作為用以避免噪音進入使得電性穩定之接地端子。因此，必須將接地端子電氣地連接至安裝部分金屬膜上。

例如，在第6圖所示之半導體元件51中，一其上被安裝有半導體晶片52之安裝部分金屬膜53與一電氣地連接至半導體晶片52上之接體部分金屬膜54於安裝表面處被部分地延伸。一接地接體部分55從安裝部分金屬膜53之周邊邊緣被向外地延伸。半導體晶片52之一接地電極與接地接體部分55被以一導線56相互地電氣連接，並且一信號電極與接體部分金屬膜54被以一導線58相互地電氣連接。為了儘可能密實地設計安裝部分金屬膜53並使導線56之長度儘可能地短，接地接體部分55較佳儘可能地接近半導體晶片52來被設置。藉此，對於被形成為階式組構狀態之安裝部分金屬膜53已有需求。為了以階式組構狀態形成安裝部分金屬膜53，一用以製造供半導體元件51製造用之載體基材方法將會參考第7(a)至7(h)、8(a)與8(b)圖作說明。在此方面，在避免第7(a)至7(h)圖中之導體部分金屬膜54之例示的同時，一用以形成安裝部分金屬膜53之程序將會被主要地說明。在第7(a)圖中，一蝕刻光阻(感光光阻)61被塗覆在諸如銅板之金屬基材60的個別表面上。接著，如第7(b)圖所示，於蝕刻光阻上疊對光罩的同時進行曝光與顯影程序，以使一圖案62具有所需尺寸的中心空位空間(參見第8(a))圖。其後，如第7(c)圖所示，第一半蝕刻被進行(以移除

五、發明說明 (3)

大約四分之一的金屬板60厚度)使得接體凹入處63被形成。在此方面，當金屬板60為一銅板時，氯化鐵較佳被作為蝕刻液。接著，在第7(d)圖中，蝕刻光阻61被去除，而導致接體凹入處在金屬基材60中形成。

在第7(e)圖中，一蝕刻光阻(感光光阻)61再次被塗覆在其上已被形成有接體凹入處63之金屬基材60上，並且在蝕刻光阻上疊對光罩的同時進行曝光與顯影程序，使得圖案64具有所需尺寸的中心空位空間(參見第8(b)圖)。接著，在第7(f)圖中，一第二半蝕刻被進行(以移除大約四分之一的金屬基材60厚度)，使得一安裝凹入處65被形成。接下來，在第7(g)圖中，蝕刻光阻61被去除以在階式組構狀態中形成彼此具有不同厚度之接體凹入處63與安裝凹入處65。在此方面，半蝕刻的面積與厚度可藉由改變在光罩中之中心空位空間圖案的設計而自由地調整。

接著，在第7(h)圖中，在藉由電解液電鍍、真空沉積或濺鍍之方式，以未顯示之光阻塗覆除了接體凹入處63與安裝凹入處65之外的金屬基材60之剩餘部的同時，一多層金屬膜被形成。因此，一在其上有安裝部分金屬膜53以階式組構狀態被形成之載體基材66被形成。

將蝕刻光阻61塗覆在金屬基材60上並在曝光與顯影之後半蝕刻該金屬基材步驟的重複會使製造程序複雜而增加製造成本。為了在一個相互對準之位置處形成具有不同尺寸的第一中心空位圖案62與第二中心空位圖案64，要求一高度精確的對準，其係會造成許多報廢產品的產生而降低產率。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(4)

發明概要說明

因此，本發明之目的為提供一種能夠以低成本量產之半導體元件，一種用於製造該半導體元件之方法，使用該半導體元件之載體基材，以及藉由解決上述在習知技藝中之問題而簡化製造程序來製造該半導體元件之方法。

根據本發明，有提供一種半導體元件，其係包含：一半導體構件，係具有至少一個信號電極與至少一個接地電極；一安裝部分金屬膜，係具有其上被安裝有該半導體構件之底部區塊與位在該底部區塊周邊並在水平面上較該底部區塊高之階形區塊；一接體部分金屬膜，係與該安裝部分金屬膜隔開並於其周邊區域處被配置；電氣連接構件，其係用以將半導體構件之信號電極與接體部分金屬膜連接，並將半導體構件之接地電極與安裝部分金屬膜之階形區塊連接；以及一用以遮蔽半導體構件、電氣連接構件、及安裝部分金屬膜與接體部分金屬膜之至少一個安裝/連接側邊之樹脂。

安裝部分金屬膜與接體部分金屬膜的至少一者包含由從底部續貫成層之一金層、一鈮層、一鎳層及一鈮層構成之四層成膜。

根據本發明之另一層面，提供有一適於供製造半導體元件用之載體基材，該基材係包含：一金屬基底，其係具有至少一個基準表面、一中心凹入區塊與位在該中心凹入區塊周邊處之階形凹入區塊、一從基準表面中心凹入區塊之深度比該階形凹入區塊更大的深度；亦具有與階形凹入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (5)

區塊分隔並於其周邊區域處被配置之周邊凹入區塊之金屬基底；被形成在中心凹入區塊與階形凹入區塊上之安裝部分金屬膜；以及被形成在該周邊凹入區塊上之接體部分金屬膜。

與上述相同的方法，安裝部分金屬膜與接體部分金屬膜之至少一者包含由從金屬基底貫續成層之一金層、一鈹層、一鎳層、及一鈾層所構成之四成層膜。

根據本發明又一層面，提供有一用以製造載體基材之方法，其係包含下列步驟：以蝕刻光阻塗覆包括基準表面之金屬基材的個別表面；部分地移除在金屬基底之基準表面上的蝕刻光阻，以便形成一中心空位圖案，於該中心空位圖案周邊處形成環狀空位圖案，並形成與該環狀空位圖案隔開之連接空位圖案；藉由使用蝕刻光阻作為一罩幕來半蝕刻金屬基底，並且側蝕刻一部分在中心空位圖案與環狀空位圖案之間的金屬基底，以形成一包括一中心凹入區塊與一位在中心凹入區塊周邊處之階形凹入區塊，一從基準表面之中心凹入區塊的深度比從基準表面之階形凹入區塊更大的深度之安裝凹入區塊，並且亦形成一與該階形凹入區塊隔開並於其周邊區域處被配置之周邊凹入區塊；分別在安裝凹入區塊與周邊凹入區塊上形成一安裝部分金屬膜與一接體部分金屬膜；以及從金屬基底上移除蝕刻光阻。

根據本發明再一層面，提供有一用以製造半導體元件之方法，其係包含下列步驟：

(a) 形成一載體基材；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

(b) 在安裝部分金屬膜之底部區塊上安裝具有至少一個信號電極與至少一個接地電極之半導體構件；

(c) 將半導體構件之信號電極電氣地連接至接體部分上，並將半導體構件之接地電極與安裝部分金屬膜之階形區塊連接；

(d) 以用以遮蔽半導體構件之光阻遮蔽電氣連接構件並至少遮蔽連接安裝部分金屬膜與接體部分金屬膜之安裝/連接側邊，以便形成一經遮蔽部分；以及

(e) 從載體基材上移除遮蔽部分並連同安裝部分金屬膜與接體部分金屬膜一起移除。

一方法進一步包含一用以在半導體構件被安裝在安裝部分金屬膜之底部區塊上之後，在安裝部分金屬膜與接體部分金屬膜之至少一者上形成一柱栓隆起部之步驟。

遮蔽部分藉由蝕刻金屬基底而從載體基材上被移除。另外，遮蔽部分藉由剝除載體基材之遮蔽部分而被從載體基材上移除。

附呈圖式之簡短說明

第1(a)至1(j)圖例示一用以製造半導體元件之方法；

第2圖為金屬膜之一例示之截面圖；

第3圖如在第1(b)圖中之箭頭方向C-C所見之圖；

第4(a)至4(c)圖例示蝕刻光阻圖案之某種變化；

第5圖顯示在本發明之一實施例中之蝕刻條件；

第6圖為習知技藝半導體元件之截面圖；

五、發明說明 (7)

第7(a)至7(h)圖例示傳統用以製造載體基材之方法；
以及

第8(a)至8(b)圖分別例示習知技藝蝕刻光阻。

較佳實施例之詳細說明

本發明將會參考例示在附呈圖式中之較佳實施例而在下文中作詳細地說明。

在此實施例中，將會說明其上帶有一供諸如行動電話用之高頻類比IC的半導體元件以及一用以製造該半導體元件之方法。第1(a)至1(j)圖例示一用以製造該半導體元件之方法；第2圖為金屬膜之一例示之截面圖；以及第3圖為如在第1(b)圖中箭頭方向C-C中所見之圖。

最初，將會說明半導體元件之結構。參考第1(j)圖，標號1表至一具有下列結構之半導體元件。一半導體晶片2經由一黏著層3而被安裝至以階式組構狀態被形成之安裝部分金屬膜4之底部上。一優於散熱能力與導電性之材料，諸如包含銀顆粒之導電環氧樹脂，較佳被使用於形成黏著層3。在半導體晶片2之電極部段2a中之接地電極被以金導線6或相似者電氣地連接至一肩狀部4a上，該肩狀部係以比底部高的水平在安裝部分金屬膜4之底部周圍被形成。此外，在半導體晶片2之電極部段2a中之信號電極被以金導線6或相似者於電氣地連接至一接體部分金屬膜5上，該接體部分金屬膜係於兩者之間的空間處在安裝部分金屬膜4周圍被形成。半導體晶片2、支撐半導體晶片2之安裝部分金屬膜4、及接體部分金屬膜5被埋入由環氧樹脂形成之

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

樹脂遮蔽部分7。安裝部分金屬膜4與接體部分金屬膜5在樹脂遮蔽部分7之一安裝表面上被暴露。根據此實施例，安裝部分金屬膜4亦被作為晶粒墊、一散熱片、及一接地端子，而接體部分金屬膜5會有作為信號線之接體端子之作用。

安裝部分金屬膜4與接體部分金屬膜5由多層金屬膜形成。在此實施例中，如第2圖所示，多層金屬膜被由在界定安裝表面之外部層上貫續地覆蓋之一金層9、一鈹層10、一鎳層11、及一鈹層12的四層膜構成。在考慮外層與基材端子以及內層與導線6的焊料黏著性的同時，各種金屬層之結合可被採用。

接下來，參考第1(a)至1(j)圖與第3圖，一用以製造半導體元件1之方法將會說明於下：

在第1(a)圖中，一蝕刻光阻14被塗覆在諸如銅板之金屬基材13的個別上部與下部表面上。金屬基材的厚度(t)較佳為約0.125mm。例如，一感光光阻較佳被作為一蝕刻光阻14。在將光罩(未顯示)覆蓋在蝕刻光阻14上之後，與一其中金屬薄膜欲藉由曝光並顯影蝕刻光阻而被形成之區塊一致之部分的蝕刻光阻14被移除，而形成第1(b)圖所示的光阻圖案15。更具體地，如第3圖所示，一方形中心空位圖案20與一圍繞中心空位圖案20之方形環狀空位圖案21分別對應於金屬基材13之安裝凹入處16欲在其中被形成之區塊而被形成。此外，一連接空位圖案22(未顯示於第3圖中)對應於一金屬基材13之連接凹入處17欲被形成於其中之區塊而被形成，如第1(b)圖所示。如第3圖所示，環狀

五、發明說明 (9)

空位圖案21的寬度較佳為0.03mm至0.06mm，並且在中心與環狀空位圖案20、21之間的蝕刻光阻14之寬度較佳為0.04至0.06mm。

藉下來，在第1(c)圖中，金屬基材13在使用蝕刻光阻作為一罩幕的同時被半蝕刻，以形成安裝凹入處16與連接凹入處17。更具體地，部分的金屬基材13在環狀空位圖案21與中心空位圖案20之間藉由側蝕刻而被移除，以形成具有比中心部分更高的肩狀部或階形區塊之安裝凹入處16，與其同時地，連接凹入處17在與安裝凹入處16相距一段距離處在安裝凹入處16周圍被形成。

如此，安裝凹入處16以及在相距安裝凹入處16一段距離處圍繞安裝凹入處之連接凹入處17藉由包括半蝕刻與側蝕刻之單一曝光蝕刻程序而被形成。在此方面，半蝕刻之面積與/或深度可藉由改變供環狀空位圖案21與中心空位圖案20用之罩幕設計而作調整，諸如其尺寸或形狀。當銅板被作為金屬基材時，氯化鐵或相似者較佳被作為蝕刻液。安裝凹入處16的深度(其中心部分)以及連接凹入處之深度大致相同，且較佳為約 $1/2t \approx 0.06\text{mm}$ 至 0.08mm 。

接著，在第1(d)圖中，多層金屬膜在安裝凹入處16與連接凹入處17中藉由使用蝕刻光阻14作為一罩幕來進行電鍍而被形成，以分別產生安裝部分金屬膜4與連接部分金屬膜5。如上所述，多層金屬膜為一層由在界定安裝表面之外層上貫續地覆蓋之一金層9、一鈹層10、一鎳層11、及一鈹層12所構成的四層膜。在此方面，安裝凹入處16與連接凹入處17在蝕刻光阻14已被移除後被電解液電鍍，代

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明（¹⁰）

之以，一供電鍍用之分離光阻圖案已被形成，電解液電鍍可以在安裝凹入處16與連接凹入處17中被進行。

金屬膜不僅可以藉由電解液電鍍被形成，還可以藉由蒸氣沉積或濺鍍被形成。為增進金屬膜與金屬基材13之分離，安裝凹入處16與連接凹入處17能夠被以供增進分離用之材料塗覆，諸如導電糊劑。

接下來，在第1(e)圖中，載體基材18藉由移除塗覆金屬基材13的個別表面之蝕刻光阻而被得到。安裝部分金屬膜4在載體基材18之中心部分中被形成為階式組構狀態（如在此實施例中之兩階肩狀部），並且接體部分金屬膜5在安裝部分金屬膜周圍於多個位置處被形成。

接著，在第1(f)圖中，半導體晶片2經由黏著層3而被安裝至在載體基材18中被形成之安裝部分金屬膜4上。

接下來，在第1(g)圖中，諸如金隆起部之柱栓隆起部19在安裝部分金屬膜4與接體部分金屬膜5之肩狀部4a上被形成。柱栓隆起部19可以如揭露般地被形成，例如，在日本未審查專利公告案(Kokai)第10-79448號中，藉由將金球接合至鈮層12上，在使用毛細現象的同時使用超音波焊接，一旦藉由毛細現象的向下移動而破壞金球，藉由毛細現象向上的移動剪裁金導線。藉由以此方式破壞金球，可能將金球堅固地接合至鈮層12上。此外，因為柱栓隆起部19與導線6被由相同的材料形成，因此在柱栓隆起處與導線之間的黏著性被增加。關於此點，柱栓隆起部19可以被省略，若導線6可以被直接地附著至接體部分金屬膜5與肩狀部4a上。

五、發明說明 (11)

接著，在第1(h)圖中，半導體晶片2之電極部段2a藉由導線6被電氣地連接至在安裝部分金屬膜4與接體部分金屬膜5中被形成之柱栓隆起部19上。在此程序中，導線接合以此類導線6之一端最初被接合至電極部段2a上，接著另一端被接合至柱栓隆起部19上之方式被進行。或是，導線16之一端最初可以被接合至柱栓隆起部19上，接著，另一端被接合至電極部段2a上。在後者的情況中，可能減少導線環路的高度。關於此點，金導線6可以是一被以絕緣材料覆蓋之經覆蓋導線。

其後，在第1(i)圖中，載體基材18被插入欲被以環氧樹脂遮蔽之樹脂遮蔽元件(未顯示)中。半導體晶片2與半導體晶片欲被安裝於其上之安裝部分金屬膜4與接體部分金屬膜5之表面被以樹脂遮蔽部分7覆蓋。

接下來，在第1(j)圖中，樹脂遮蔽部分7與安裝部分金屬膜4與接體部分金屬膜5一起被與載體基材18分離。分離程序可以藉由以蝕刻方式來移除除了對應於安裝部分金屬膜4與接體部分金屬膜5之區域外的金屬基材13，或是藉由機械地剝除載體基材18之樹脂遮蔽部分7而被進行。

因為半導體元件1之安裝部分金屬膜4藉由半蝕刻而被形成為階式組構狀態，可能以最少長度的導線6而將在半導體晶片2正向附近處被形成之肩狀部4a與半導體晶片2之接地電極連接。藉此，可能在接地端子部段中形成安裝部分金屬膜4，其係避免噪音進入半導體晶片2中以增進遮蔽的效果。

此外，因為安裝部分金屬膜4可以透過單一的曝光蝕

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(12)

刻程序而被形成為階式組構狀態，因此可能將半導體元件1之製造程序大程度地簡化，藉此半導體元件能夠以低成本量產。

根據使用在半導體元件1中之載體基材18以及用以製造該半導體元件之方法，因為安裝部分金屬膜4可以藉由單一的曝光蝕刻程序而被形成為階式組構狀態，因此不需要進行第二次或進一步的曝光蝕刻程序，其係如習知技藝般對於透過第一次曝光蝕刻程序而被形成之蝕刻光阻需要光罩的高精確對準，使得廢棄產品降低而改善產率。

第4(a)至4(c)圖例示蝕刻光阻圖案14的某些變化，諸如第3圖所示者。在第4(a)圖中，有一與第3圖相似之方形中心空位圖案20，並且有三個方形狀空位圖案21，亦即內部、中間及外部空位圖案21。因此，有三個方形環狀蝕刻光阻圖案14，亦即，內部、中間及外部蝕刻光阻圖案14。該等方形環狀空位圖案21的寬度A較佳為0.044mm。在環狀空位圖案21之間的外部與中間蝕刻光阻圖案14較佳為0.036mm。在內部環狀空位圖案21與方形中心空位圖案20之間的內部蝕刻光阻圖案14的寬度C較佳為0.040mm。

第4(b)圖所示之蝕刻光阻圖案14與第4(a)圖相似，除了外部與中間光阻圖案為規律中斷。空位圖案21的寬度F較佳為0.030mm。中間蝕刻光阻圖案21的寬度G較佳為0.050mm。內部、連續的蝕刻光阻圖案之寬度H較佳為0.040mm。

第4(c)圖所示之蝕刻光阻圖案14亦與第4(a)圖相似，除了內部、中間與外部方形環狀空位圖案21為規律中斷。

五、發明說明 (13)

中間空位圖案21的寬度G較佳為0.030mm。外部與中間蝕刻光阻圖案14之寬度F較佳為0.050mm。內部蝕刻光阻圖案14之寬度H較佳為0.040mm。

第5圖為沿著第4(a)圖之X-X'截取之示意橫截面圖，且亦顯示在使用如第4(a)圖所示之蝕刻光阻圖案的情況下的蝕刻條件。D表示從金屬基材13之上部表面至安裝凹入處16之肩狀區塊頂部之維度，而E表示從肩狀區塊的底部至安裝凹入處16之中心部分的維度。若蝕刻時間太長，以空位圖案21中之蝕刻將會不完全的方式下，維度D($D \geq 0.010\text{mm}$)將會為不可接受者。另一方面，若蝕刻時間太長，以對應於中心空位圖案20之安裝凹入處16的區塊將會被過度地蝕刻的方式下，維度E($E \geq 0.015\text{mm}$)將會為不可接受者。這是由於蝕刻速度差所造成的。所以，將必須調節蝕刻時間，以便滿足維度D與E。

當根據本發明之半導體元件及其製造方法被使用時，可能將在半導體晶片之正向附近處被形成之肩狀部以最小長度的導線連接至半導體晶片之接地電極上，因為安裝部分金屬膜藉由半蝕刻而被形成為階式組構狀態。藉此，安裝部分金屬膜可以在接地端子部段中被形成，以避免噪音進入半導體晶片中並增進遮蔽效果。

因為安裝部分金屬膜可以透過單一曝光蝕刻程序被形成為階式組構狀態，因此可能將用以製造半導體元件之方法大幅度地簡化，藉此能夠以低成本來量產半導體元件。

根據使用在半導體元件中之載體基材及其製造方法，因為安裝部分金屬膜可以藉由單一曝光蝕刻程序而被形成

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (14)

為階式組構狀態，因此不需要進行第二次或進一步的曝光蝕刻程序，其係如習知技藝般對於透過第一次曝光蝕刻程序而被形成之蝕刻光阻需要光罩的高精確對準，使得廢棄產品降低而改善產率。

雖然已對於如上所述之較佳實施例進行說明，但本發明不應被限制在上述之實施例中，當然應包括其各種的變化與修正，而不會背離本發明之精神。例如，多層金屬膜之結構與/或材料可以被適當地變化，或是安裝部分金屬膜4之肩狀部4a的數目可以被任意地選擇。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (15)

元件標號對照表

1	半導體元件	2	半導體晶片
2a	電極部段	3	黏著層
4	安裝部分金屬膜	4a	肩狀部
5	接體部分金屬膜	6	金導線
7	樹脂遮蔽部分	9	金層
10	鈀層	11	鎳層
12	鈀層	13	金屬基材
14	蝕刻光阻	15	光阻圖案
16	安裝凹入處	17	連接凹入處
18	載體基材	19	柱栓隆起部
20	中心空位圖案	21	環狀空位圖案
22	連接空位圖案	51	半導體元件
52	半導體晶片	53	安裝部分金屬膜
54	接體部分金屬膜	55	接地接體部分
56	導線	58	導線
60	金屬基材	61	蝕刻光阻
62	圖案	63	接體凹入處
64	圖案	65	安裝凹入處
66	載體基材		

(請先閱讀背面之注意事項再填寫本頁)

裝 · 訂 · 線

四、中文發明摘要 (發明之名稱：半導體元件、用於製造該半導體元件之方法、載體基材及其製造方法)

一種半導體元件包含一具有信號電極與一接地電極之半導體構件。一安裝部分金屬膜具有一其上安裝有半導體構件之底部區塊，以及位在該底部區塊之周邊並在水平面上比底部區塊更高之階形區塊。一接體金屬膜被與安裝部分金屬膜隔開並於其周邊區域處被配置。半導體構件之信號電極被電氣地連接至接體部分金屬膜上，並且半導體構件之接地電極被電氣地連接至安裝部分金屬膜之階形區塊上。半導體構件連同安裝部分金屬膜與接體部分金屬膜之安裝/連接側邊一起被以光阻遮蔽。

英文發明摘要 (發明之名稱： Semiconductor Device, Process for Producing Same, Carrier Substrate and Process for Producing Same)

A semiconductor device comprises a semiconductor element having a signal electrode and a ground electrode. A mounting part metallic film has a bottom area on which the semiconductor element is mounted and a stepped area located at a periphery of the bottom area and being higher in horizontal level than the bottom area. A connector part metallic film is spaced from the mounting part metallic film and arranged at a peripheral region thereof. The signal electrode of the semiconductor element is electrically connected to the connector part metallic film and the ground electrode of the semiconductor element is electrically connected to the stepped area of the mounting part metallic film. The semiconductor element is shielded with resin together with mounting/connecting sides of the mounting part metallic film and the connector part metallic film.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體元件，其係包含：

一半導體構件，係具有至少一個信號電極與至少一個接地電極；

一安裝部分金屬膜，係具有其上被安裝有該半導體構件之底部區塊與位在該底部區塊周邊處並在水平面上較該底部區塊高之階形區塊；

一接體部分金屬膜，係與該安裝部分金屬膜隔開並於其周邊區域處被配置；

電氣連接構件，其係用以將該半導體構件之該信號電極與該接體部分金屬膜連接，並將該半導體構件之該接地電極與該安裝部分金屬膜之該階形區塊連接；以及

一用以遮蔽該半導體構件、該電氣連接構件、及該安裝部分金屬膜與該接體部分金屬膜之至少一個安裝/連接側邊之樹脂。

2. 如申請專利範圍第1項之半導體元件，其中該安裝部分金屬膜與該接體部分金屬膜之至少一者包含由從底部續貫成層之一金層、一鈹層、一鎳層及一鈹層構成之四層膜。

3. 一種適於供製造半導體元件用之載體基材，該基材係包含：

一金屬基底，其係具有至少一個基準表面、一中心凹入區塊與位在該中心凹入區塊周邊處之階形凹入區塊、一從該基準表面該中心凹入區塊之深度比該階

六、申請專利範圍

形凹入區塊更大的深度；

該金屬基底係亦具有一與該階形凹入區塊分隔並於其周邊區域處被配置之周邊凹入區塊；

一被形成在該中心凹入區塊與該階形凹入區塊上之安裝部分金屬膜；以及

一被形成在該該周邊凹入區塊上之接體部分金屬膜。

4. 如申請專利範圍第3項之載體基材，其中該安裝部分金屬膜與該接體部分金屬膜之至少一者包含由從該金屬基底貫續地成層之一金層、一鈮層、一鎳層、及一鈮層所構成之四成層膜。

5. 一種用以製造載體基材之方法，係包含下列步驟：

以蝕刻光阻塗覆包括基準表面之一金屬基材的個別表面；

部分地移除在該金屬基底之該基準表面上的該蝕刻光阻，以便形成一中心空位圖案，於該中心空位圖案周邊處形成一環狀空位圖案，並形成一與該環狀空位圖案隔開之連接空位圖案；

藉由使用該蝕刻光阻作為一罩幕來半蝕刻該金屬基底，並側蝕刻一部分在該中心空位圖案與該環狀空位圖案之間的該金屬基底，以形成一包括一中心凹入區塊與一位在該中心凹入區塊周邊處之階形凹入區塊、一從該基準表面之該中心凹入區塊的深度比從該基準表面之該階形凹入區塊更大的深度之安裝凹入區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

塊，並且亦形成一與該階形凹入區塊隔開並於其周邊區域處被配置之周邊凹入區塊；

分別在該安裝凹入區塊與該周邊凹入區塊上形成一安裝部分金屬膜與一接體部分金屬膜；以及

從該金屬基底上移除該蝕刻光阻。

6. 如申請專利範圍第5項之方法，其中該中心空位圖案與該環狀空位圖案具有正方形或長方形的形狀。
7. 一種用以製造半導體元件之方法，其係包含下列步驟：

(a) 形成一載體基材包含：

以蝕刻光阻塗覆包括一基準表面之一金屬基材的個別表面；

部分地移除在該金屬基底之該基準表面上的該蝕刻光阻，以便形成一中心空位圖案，於該中心空位圖案周邊處形成一環狀空位圖案，並形成一與該環狀空位圖案隔開之連接空位圖案；

藉由使用該蝕刻光阻作為一罩幕來半蝕刻該金屬基底，並側蝕刻一部分在該中心空位圖案與該環狀空位圖案之間的該金屬基底，以形成一包括一中心凹入區塊與一位在該中心凹入區塊周邊處之階形凹入區塊、一從該基準表面之該中心凹入區塊的深度比從該基準表面之該階形凹入區塊更大的深度之安裝凹入區塊，並且亦形成一與該階形凹入區塊隔開並於其周邊區域處被配置之周邊凹入區塊；

六、申請專利範圍

分別在該安裝凹入區塊與該周邊凹入區塊上形成一包括一底部區塊及一位在該底部區塊周邊處之階形區塊的安裝部分金屬膜與一接體部分金屬膜；以及

從該金屬基底上移除該蝕刻光阻；

(b) 在該安裝部分金屬膜之該底部區塊上安裝一具有至少一個信號電極與至少一個接地電極之半導體構件；

(c) 將該半導體構件之該信號電極電氣地連接至該接體部分上，並將該半導體構件之該接地電極與該安裝部分金屬膜之該階形區塊電氣連接；

(d) 以用以遮蔽該半導體構件之光阻遮蔽該電氣連接構件並至少遮蔽該連接安裝部分金屬膜與該接體部分金屬膜之安裝/連接側邊，以便形成一經遮蔽部分；以及

(e) 從該載體基材上移除該遮蔽部分並連同該安裝部分金屬膜與該接體部分金屬膜一起移除。

8. 如申請專利範圍第7項之方法，其係進一步包含一用以在該半導體構件被安裝在該安裝部分金屬膜之該底部區塊上之後，在該安裝部分金屬膜與該接體部分金屬膜之至少一者上形成一柱栓隆起部之步驟。
9. 如申請專利範圍第7項之方法，其中該遮蔽部分藉由蝕刻該金屬基底而從該載體基材上被移除。
10. 如申請專利範圍第7項之方法，其中該遮蔽部分藉由

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

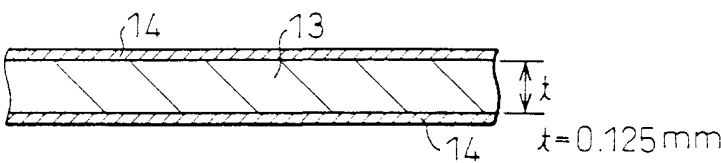
六、申請專利範圍

剝除該載體基材之該遮蔽部分被從該載體基材上移除。

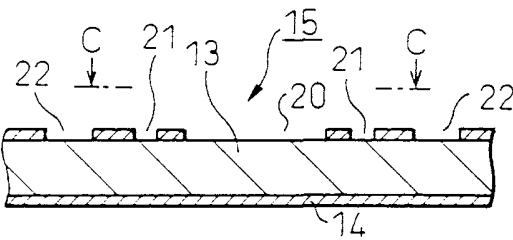
(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

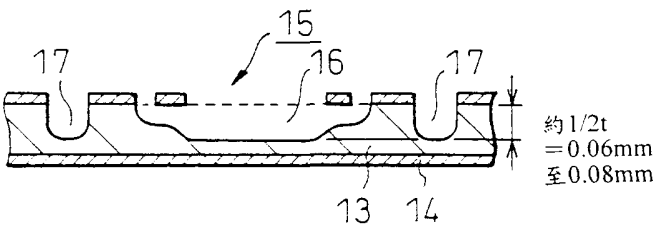
第 1(a)圖



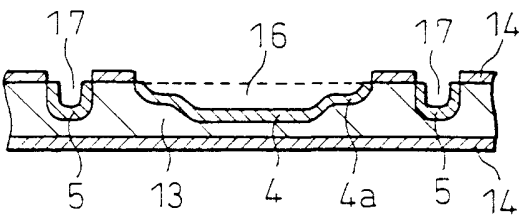
第 1(b)圖



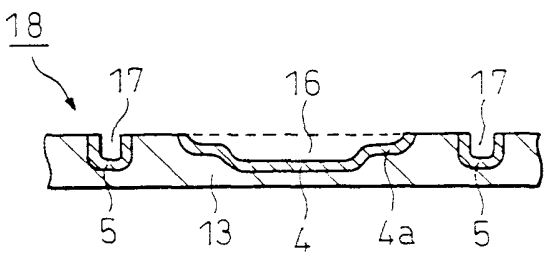
第 1(c)圖



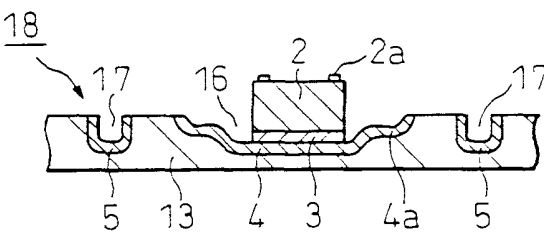
第 1(d)圖



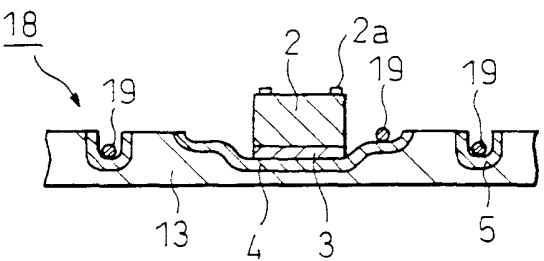
第 1(e)圖



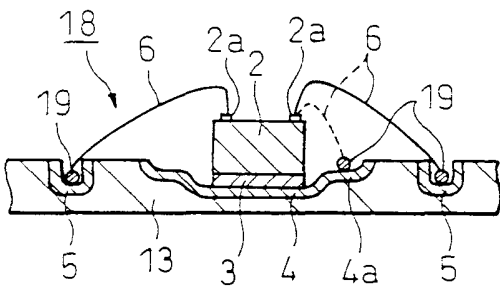
第 1(f)圖



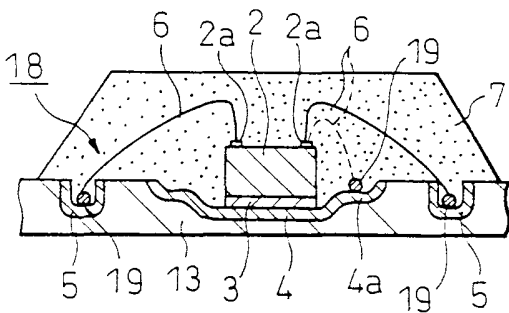
第 1(g)圖



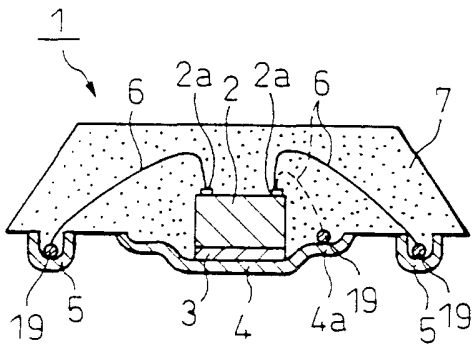
第 1(h)圖



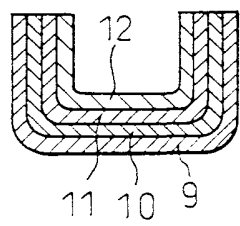
第 1(i)圖



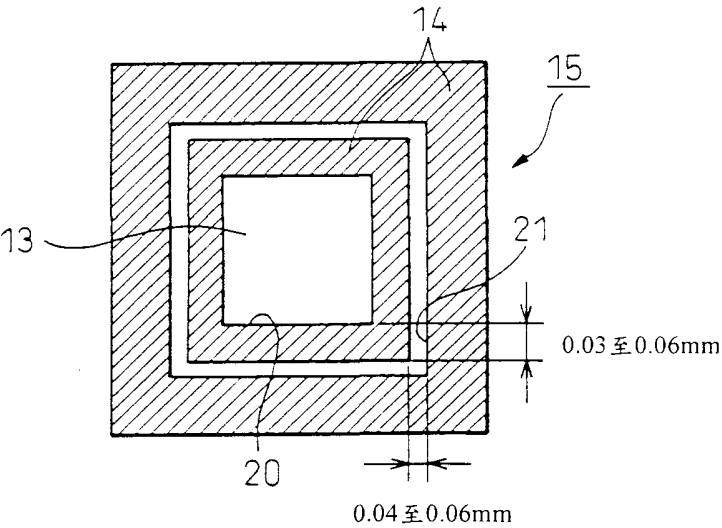
第 1(j)圖



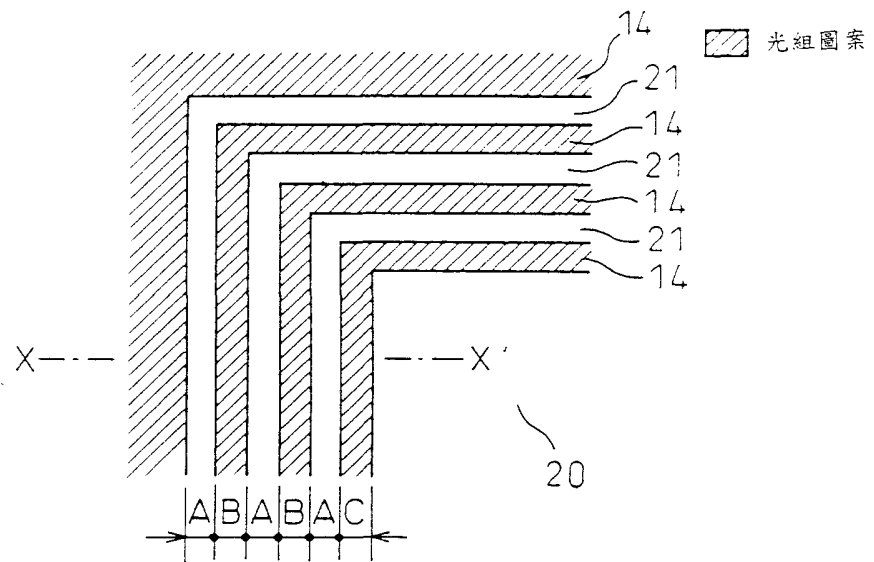
第 2 圖



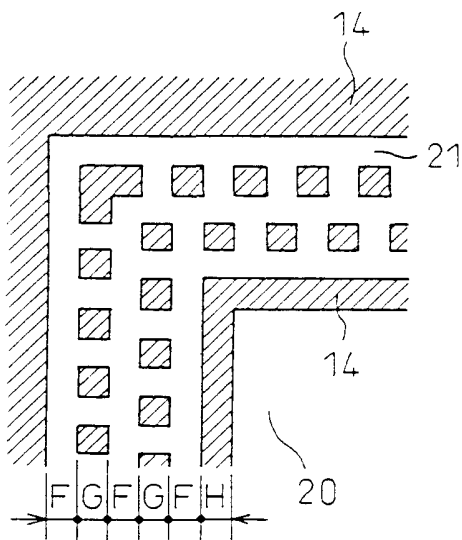
第 3 圖



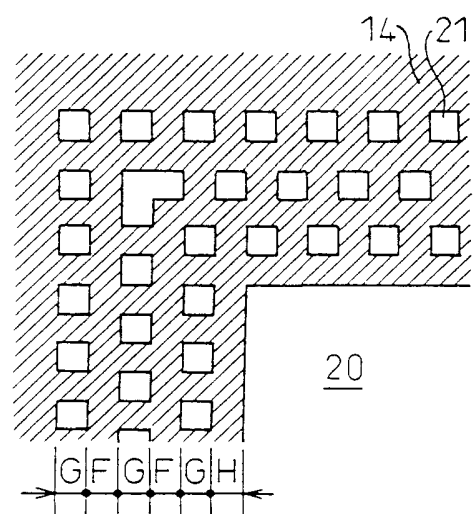
第 4(a)圖



第 4(b)圖

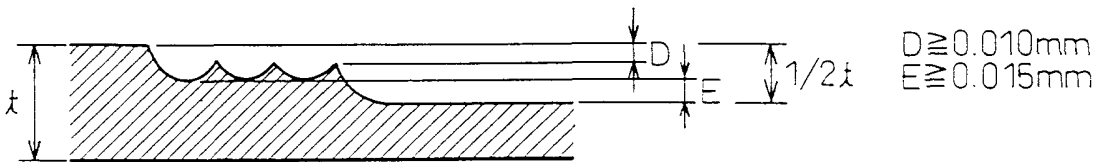


第 4(c)圖



第 5 圖

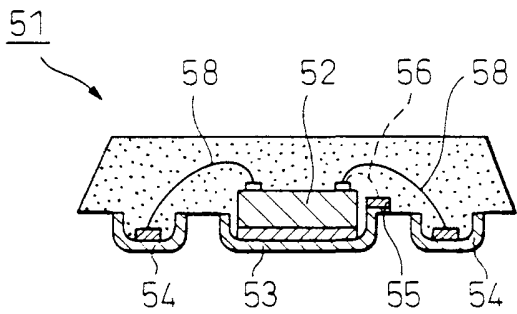
沿x-x'之截面



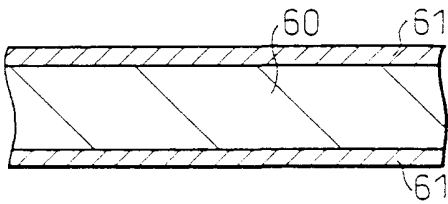
		D	E
①	蝕刻時間，太短	×	○
②	蝕刻時間，太長	○	×

第 6 圖

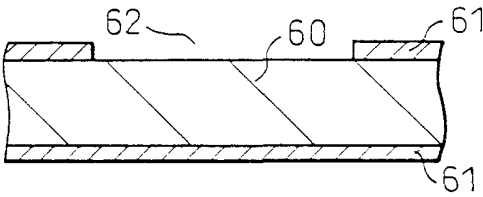
習知技藝



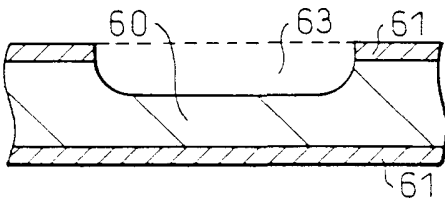
第 7(a)圖
習知技藝



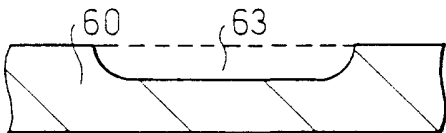
第 7(b)圖
習知技藝



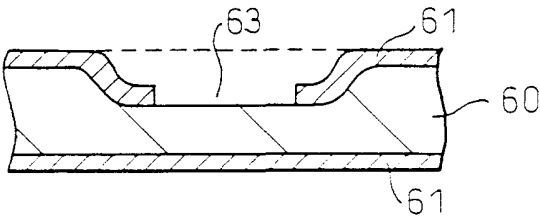
第 7(c)圖
習知技藝



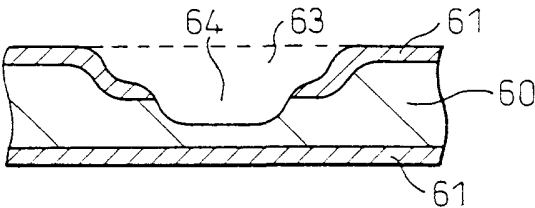
第 7(d)圖
習知技藝



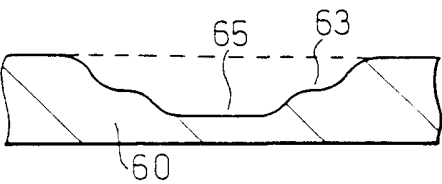
第 7(e)圖
習知技藝



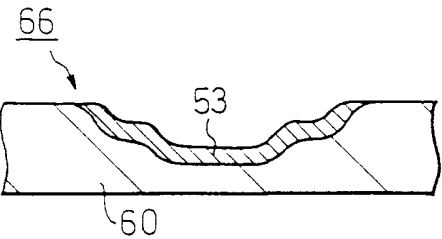
第 7(f)圖
習知技藝



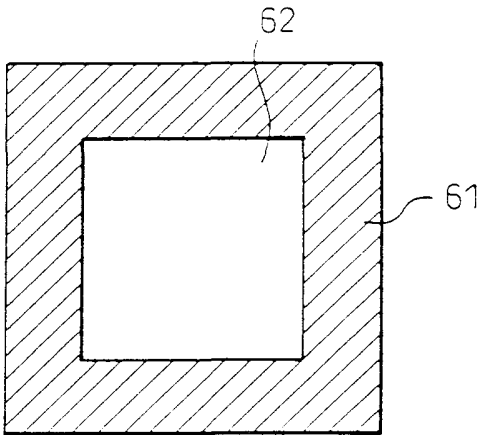
第 7(g)圖
習知技藝



第 7(h)圖
習知技藝



第 8(a)圖
習知技藝



第 8(b)圖
習知技藝

