

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-141002

(P2009-141002A)

(43) 公開日 平成21年6月25日(2009.6.25)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 7 U	2 H O 9 2
GO 2 F 1/1368 (2006.01)	GO 2 F 1/1368	3 K 1 0 7
HO 1 L 51/50 (2006.01)	HO 5 B 33/14 A	5 F 1 1 0
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 B	
	HO 1 L 29/78 6 1 7 T	

審査請求 未請求 請求項の数 10 O L (全 25 頁) 最終頁に続く

(21) 出願番号 特願2007-313579 (P2007-313579)
 (22) 出願日 平成19年12月4日 (2007.12.4)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100090538
 弁理士 西山 恵三
 (74) 代理人 100096965
 弁理士 内尾 裕一
 (72) 発明者 佐藤 歩
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内
 (72) 発明者 林 享
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内

最終頁に続く

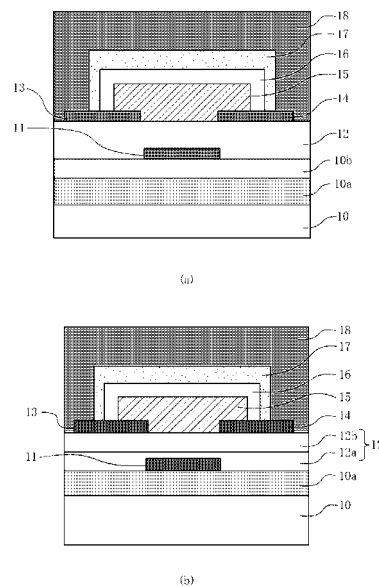
(54) 【発明の名称】 絶縁層を有する酸化物半導体素子およびそれを用いた表示装置

(57) 【要約】

【課題】 酸化物半導体素子には、雰囲気や基板からの特性に与える影響を抑えるためにバリアコート層や保護層が必要である。しかし、プラスチックなどに代表される250以下の低温領域で使用可能な基板では、プラズマ化学気相成長法により形成されたバリアコート層や保護層として機能する絶縁層の膜中水素量が大きく、酸化物半導体を低抵抗化させることなく形成することができない。実用可能な酸化物半導体素子を構成する酸化物半導体と絶縁層の構成を提供することを目的とする。

【解決手段】 酸化物半導体層に接する絶縁層を有する酸化物半導体素子であって、前記絶縁層が、酸化物半導体に接する膜厚50nm以上のSiとOを含む酸化物からなる第1の絶縁層と、該第1の絶縁層に接する膜厚50nm以上のSiとNを含む窒化物からなる第2の絶縁層と、該第2の絶縁層に接する第3の絶縁層と、を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

酸化物半導体層に接する絶縁層を有する酸化物半導体素子であって、
前記絶縁層が、酸化物半導体に接する膜厚 50 nm 以上の Si と O とを含む酸化物からなる第 1 の絶縁層と、

該第 1 の絶縁層に接する膜厚 50 nm 以上の Si と N とを含む窒化物からなる第 2 の絶縁層と、

該第 2 の絶縁層に接する第 3 の絶縁層と、
を有することを特徴とする酸化物半導体素子。

【請求項 2】

前記第 1 の絶縁層及び第 2 の絶縁層の水素含有量が 4×10^{21} 個/cm³ 以下であり、第 3 の絶縁層の水素含有量が 4×10^{21} 個/cm³ より多いことを特徴とする、請求項 1 に記載の酸化物半導体素子。

【請求項 3】

前記第 1 の絶縁層が SiO_x であり、前記第 2 の絶縁層が SiN_y であり、前記第 3 の絶縁層が SiN_z 又は SiO_mN_n であることを特徴とする請求項 1 に記載の酸化物半導体素子。

【請求項 4】

前記第 1 の絶縁層と前記第 2 の絶縁層とが連続的に形成された絶縁層であることを特徴とする請求項 1 に記載の酸化物半導体素子。

【請求項 5】

前記酸化物半導体が Sn、In、Zn の少なくとも 1 種類の元素を含むアモルファス酸化物半導体であることを特徴とする請求項 1 に記載の酸化物半導体素子。

【請求項 6】

請求項 1 から 5 のいずれか 1 項に記載の酸化物半導体素子であって、前記第 1 から第 3 の絶縁層の少なくとも一部がゲート絶縁層として用いられることを特徴とする酸化物半導体素子。

【請求項 7】

基板上で表示素子の電極と電界効果トランジスタのソース電極またはドレイン電極とが接続されてなる表示装置であって、

該電界効果トランジスタは、請求項 1 から 5 のいずれか 1 項に記載の酸化物半導体素子であることを特徴とする表示装置。

【請求項 8】

前記表示素子は、エレクトロルミネッセンス素子であることを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

前記表示素子は、液晶セルであることを特徴とする請求項 7 に記載の表示装置。

【請求項 10】

前記基板上に前記表示素子および前記電界効果トランジスタが二次元状に複数配されていることを特徴とする請求項 7 から 9 のいずれか 1 項に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、酸化物半導体素子に関する。より詳しくは、絶縁層を有する酸化物半導体素子とその応用例となる表示装置に関する。

【0002】

近年、酸化亜鉛 (ZnO) を主成分として用いた透明伝導性酸化物多結晶薄膜をチャネル層に用いた薄膜トランジスタ (TFET) の開発が活発に行われている (特許文献 1)。

【0003】

前記薄膜は、低温での成膜が可能であり、かつ可視光に対して透明であるため、プラス

10

20

30

40

50

チック板やフィルムなどの基板の上にフレキシブルな透明TFTを形成することが可能である。

【0004】

しかし、ZnOを含む酸化物半導体は雰囲気に対して感受性が高く、半導体素子として実用を供するには、保護層により半導体層を雰囲気から隔絶する必要がある(特許文献2)。また、ZnOを半導体層に用いた電界効果型トランジスタの保護層として用いる絶縁層の酸化物半導体との界面に酸化珪素(SiO₂)層を設けることが可能との記載もある(特許文献3)。

【0005】

また、ZnOなどを用いた酸化物半導体膜を有する薄膜トランジスタでは、2層から成る絶縁層を用いることが開示されている(特許文献4)。その際、半導体と界面を構成する絶縁層を酸化物絶縁体、例えばSiO₂とする。また、他方の絶縁体を絶縁性の高い窒化珪素(SiN_x)で形成する。この構造により酸化物半導体層の結晶性の向上と界面欠陥準位の低減が期待できる。

10

【0006】

さらに、ZnOを主成分とする酸化物半導体素子において、ゲート絶縁層にプラズマ化学気相成長法(PECVD法ともいう)により形成された窒化珪素(SiN_x)を用いると以下の問題が生じることが知られている。即ち、絶縁層中の水素濃度が高いため、ZnO成分の還元脱離が起こりZnO表面層の低抵抗化が生じる。そしてその回避策として酸化物半導体との界面側の水素濃度を低減することが開示されている(特許文献5)。

20

(PECVD: Plasma Enhanced Chemical Vapor Deposition)

【特許文献1】特開2002-076356号公報

【特許文献2】特開昭63-101740号公報

【特許文献3】特開2005-33172号公報

【特許文献4】特開2003-86808号公報

【特許文献5】特開2007-73562号公報

【非特許文献1】C. J. Kim et al, IEEE International Electron Devices Meeting proceedings, 2006

30

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明の発明者らがアモルファスIn-Ga-Zn-Oをはじめとする酸化物半導体素子の検討をしたところ、還元雰囲気による酸化物半導体の抵抗変化の程度は非常に大きいことが確認された。その影響を低減するためには、予め酸化物半導体を非常に高抵抗に作製し300以上のアニールを実施することが有効であることも知られている(非特許文献1)。しかし、この方法を耐熱性の低いプラスチック基板などに適用することは困難である。また、これら耐熱性の低い低温プロセス用の基板は、一般にガス透過性もしくはガス放出性が高く半導体素子への影響を抑制するバリアコート層の形成が必須である。そのためプラスチックなどに代表される低温プロセス用の基板では、250以下の低温領域でバリアコート層や保護層などのバリア層を形成する必要がある。バリア層の形成方法として、一般的には成膜速度が早く、生産性に優れたPECVD法が用いられている。しかし、PECVD法により形成されたバリアコート層や保護層などのバリア層として機能する絶縁層は、膜中水素量が大きく、酸化物半導体を低抵抗化させることなく形成することができない。(以下本明細書中では、バリアコート層および保護層を総称してバリア層と記載する)

40

【0008】

特許文献5ではPECVD法により250で形成されたSiN_xは水素含有量が少なく酸化物半導体と接する絶縁層として有効であると開示されている。しかし、本発明者ら

50

が PECVD 法により 250 で形成された SiN_x を酸化物半導体と接する絶縁層として用いたところ、250 より高温のアニールを実施しない場合、酸化物半導体の低抵抗化の抑制が不十分であることが分かった。特許文献 4 において、酸化物半導体の結晶性向上と界面準位密度の低減に有効であるとされた酸化物絶縁層の挿入も、250 以下の低温成膜では SiN_z からの水素拡散を遮断することができず酸化物半導体の低抵抗化の抑制には不十分であった。特許文献 4 では結晶 ZnO の結晶化向上を主としたため、最高温度が 250 以下の低温プロセスでの記載は無く、酸化物半導体の低抵抗化抑制の条件に水素量が大きくかわることが開示されていない。

【0009】

上述の通り、酸化物半導体素子を 250 以下の低温プロセスで安定して製造するための実用可能な酸化物半導体素子の構成が明確ではなかった。そのために低温プロセスで製造された酸化物半導体素子を用いる表示装置は実用化に至っていない。

10

【0010】

本発明は上記課題を解決し、実用可能な酸化物半導体素子を構成する酸化物半導体と絶縁層の構成、および該素子を用いる表示装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

本発明は、絶縁層を有する酸化物半導体素子であって、前記絶縁層が、酸化物半導体に接する膜厚 50 nm 以上の Si と O とを含む酸化物からなる第 1 の絶縁層と、該第 1 の絶縁層に接する膜厚 50 nm 以上の Si と N とを含む窒化物からなる第 2 の絶縁層と、該第 2 の絶縁層に接する第 3 の絶縁層と、を有することを特徴とするものである。

20

【0012】

また本発明は、前記第 1 の絶縁層及び第 2 の絶縁層の水素含有量が 4×10^{21} 個 / cm^3 以下であり、第 3 の絶縁層の水素含有量が 4×10^{21} 個 / cm^3 より多いことを特徴とするものである。

【0013】

また本発明は、前記第 1 の絶縁層が SiO_x であり、前記第 2 の絶縁層が SiN_y であり、前記第 3 の絶縁層が SiN_z 又は SiO_mN_n であることを特徴とするものである。

【0014】

また本発明は、前記第 1 の絶縁層と前記第 2 の絶縁層とが連続的に形成された絶縁層であることを特徴とするものである。

30

【0015】

また本発明は、前記酸化物半導体が Sn 、 In 、 Zn の少なくとも 1 種類の元素を含むアモルファス酸化物半導体であることを特徴とするものである。

【0016】

また本発明は、請求項 1 から 5 のいずれか 1 項に記載の酸化物半導体素子であって、前記第 1 乃至第 3 の絶縁層の少なくとも一部がゲート絶縁層として用いられることを特徴とするものである。

【0017】

また本発明は、基板上で表示素子の電極と電界効果トランジスタのソース電極またはドレイン電極とが接続されてなる表示装置であって、該電界効果トランジスタは、前記いずれかの酸化物半導体素子であることを特徴とするものである。

40

【0018】

また本発明は、前記表示素子は、エレクトロルミネッセンス素子であることを特徴とするものである。

【0019】

また本発明は、前記表示素子は、液晶セルであることを特徴とするものである。

【0020】

また本発明は、前記基板上に前記表示素子および前記電界効果トランジスタが二次元状に複数配されていることを特徴とするものである。

50

【発明の効果】

【0021】

本発明によれば、雰囲気からの水、バリア層（バリアコート層および保護層）から拡散する水素および基板から拡散する水や水素により半導体層が低抵抗化することを効果的に抑制することができる。さらに、250以下で形成された 4×10^{21} 個/cm³より多い水素を含むバリア層を用いた低温プロセスで形成可能かつ生産性の高い酸化物半導体素子の提供が可能となる。また、バリア層の形成法として、PECVD法を用いることが可能である。

【発明を実施するための最良の形態】

【0022】

以下に、本発明の絶縁層を有する酸化物半導体素子およびそれを用いた表示装置について、図を参照しながら詳細に説明する。

【0023】

図1は、本発明の絶縁層構造を有する酸化物半導体素子の代表例としてのボトムゲート・ボトムコンタクト型電界効果トランジスタの構成例を示す。

【0024】

図1(a)において、10は基板、10aはバリアコート層として機能する第3の絶縁層、10bは第2の絶縁層、11はゲート電極、12はゲート絶縁層として機能する第1の絶縁層、13はソース電極、14はドレイン電極である。そして15は酸化物半導体層、16~18は保護層として機能するそれぞれ第1~3の絶縁層である。

【0025】

図1(b)において、10は基板、10aはバリアコート層として機能する第3の絶縁層、11はゲート電極、12aは第1のゲート絶縁層として機能する第2の絶縁層、12bは第2のゲート絶縁層として機能する第1の絶縁層である。そして13はソース電極、14はドレイン電極、15は酸化物半導体層、16~18は保護層として機能するそれぞれ第1~3の絶縁層である。

【0026】

(基板)

図1(a)、(b)における酸化物半導体素子を作成する基板10としては、以下の低温プロセス用で使用可能な基板を用いることができる。具体的には、ポリエチレン・テレフタレート(PET)、ポリエチレン・ナフタレート(PEN)、ポリイミド、ポリカーボネートなど250以下のプロセスで有効とされるプラスチックのフィルム、並びに薄板を用いることが可能である。ただし、これらの低温プロセス用の基板は、一般にガス透過性もしくはガス放出性が高く、バリア層10aを形成し酸化物半導体層15への影響を抑制する必要がある。また、低アルカリガラス基板に対しても、半導体素子形成プロセス中のアルカリ金属元素の図1(a)におけるゲート絶縁層12もしくは図1(b)におけるゲート絶縁層12a、bへの拡散防止のためのバリア層10aを用いる必要がある。さらには酸化物半導体層15への拡散の防止のためのバリア層10aを用いる必要がある。

【0027】

(酸化物半導体層)

図1(a)、(b)における酸化物半導体層15は、Sn、In、Znの少なくとも1種類の元素を含み構成されるアモルファス酸化物を用いることが可能である。

【0028】

更に、アモルファス酸化物の構成元素の少なくとも一部にSnを選択する場合、Snを、 $Sn_{1-p}M_4p$ ($0 < p < 1$ 、M4は、Snより原子番号の小さい4族元素のSi、GeあるいはZrから選ばれる。)に置換することもできる。

【0029】

また、アモルファス酸化物の構成元素の少なくとも一部にInを選択する場合、Inを、 $In_{1-q}M_3q$ ($0 < q < 1$ 、M3は、Lu、またはInより原子番号の小さい3族元素のB、Al、Ga、あるいはYから選ばれる。)に置換することもできる。

【0030】

また、アモルファス酸化物の構成元素の少なくとも一部にZnを選択する場合、Znを、 $Zn_{1-r}M_2r$ ($0 < r < 1$ 、M2は、Znより原子番号の小さい2族元素のMgあるいはCaから選ばれる。)に置換することもできる。

【0031】

具体的に本発明に適用できるアモルファス材料は、Sn-In-Zn酸化物、In-Zn-Ga-Mg酸化物、In酸化物、In-Sn酸化物、In-Ga酸化物、In-Zn酸化物、Zn-Ga酸化物、Sn-In-Zn酸化物などである。構成金属原子の組成比は必ずしも1である必要は無い。なお、ZnやSnは、単独ではアモルファスを形成し難い場合があるが、Inを含ませることによりアモルファス相が形成され易くなる。例えば、In-Zn系の場合は、酸素を除く原子数割合が、Inが約20原子%以上含まれる組成にするのがよい。Sn-In系の場合は、酸素を除く原子数割合が、Inが約80原子%以上含まれる組成にすればよい。Sn-In-Zn系の場合は、酸素を除く原子数割合が、Inが約15原子%以上含まれる組成にすればよい。

【0032】

またアモルファス構造であることは、測定対象薄膜に、入射角度0.5度程度の低入射角によるX線回折を行った場合に明瞭な回折ピークが検出されない(即ちハローパターンが観測される)ことで確認できる。なお、本発明において、上記した材料を酸化物半導体素子に用いる場合に、当該半導体層が微結晶状態の構成材料を含むことを除外するものではない。

【0033】

(絶縁層)

本発明の絶縁層には酸化物半導体の還元を抑制する機能が要求される。この還元抑制機能には、当該絶縁層自身によって酸化物半導体を還元させない機能と、バリア層から拡散する水素原子を酸化物半導体層に拡散することを抑制する機能という2つの異なる機能が必要である。

【0034】

第1の絶縁層は、これに接する酸化物半導体の還元を抑制する機能を有する酸化物からなる。具体的には膜厚50nm以上の SiO_x が望ましい。さらに好ましくは、水素含有量が 4×10^{21} 個/cm³以下の酸化珪素(SiO_x)が望ましい。本明細書中では、 SiO_2 組成がストイキオメトリーからずれていても用いることが可能ということを示すため、 SiO_x と表記する。本発明において第1の絶縁層の水素含有量の下限值としては特に制限は無い。設計値通りの絶縁性が確保できる限り水素含有量は少なくてもよく、理論的には0でも良い。このように水素含有量を減少させるにはスパッタ法により形成することが望ましい。

【0035】

本発明者らの知見によれば当該 SiO_x 層(SiO_x 膜ともいう)の膜厚の上限については前記酸化物半導体の還元を抑制する機能が発揮し、その他の素子の特性に悪影響を与えない限り特に制限はない。求める素子(例えばTFET)の特性及び製造工程でのタクトタイム等を考慮して適宜決定すれば良い。本発明においては前記 SiO_x 層の膜厚は50nm以上10 μ m以下の膜厚範囲を好適に採用することができる。

【0036】

さらに、第1の絶縁層 SiO_x のバリア性を確認するため、第1の絶縁層 SiO_x のみを有する酸化物半導体の雰囲気による電気抵抗変化の測定を行った。

【0037】

図10は、水分を含む雰囲気でアニールを実施したIn-Ga-Zn-O系アモルファス酸化物膜の電気伝導度の変化を測定するために作製した試料の模式的な断面図である。これは、コーニング#1737ガラス基板上に膜厚20nmのInGaZnO₄薄膜を形成およびパターンニングし、次に電極を形成した後、保護層としてスパッタ法により SiO_x 膜を100nm形成したものである。

10

20

30

40

50

【0038】

図11は、図10に示す試料に対して、それぞれ200、250、300のアニール処理を実施した際のInGaZnO₄薄膜の電気伝導度を示す。印は大気中アニールを1時間実施した試料の電気伝導度、印は各温度で大気中アニールを1時間実施した試料に、さらに同じ温度で水蒸気アニールを1時間実施した際の電気伝導度である。水蒸気アニールは、図10に示す試料と純水をガラス管に真空封止することにより実施した。その際の純水量は、実施アニール温度において約2気圧となる様に調整した。図11に示されているように、水蒸気アニールを行うと、膜厚100nmのSiO_x絶縁層を透過した水蒸気が酸化物半導体に達し、大気中アニールと比べて、酸化物半導体の電気伝導度が増大する。この結果は、250以下のプロセスによっても、水蒸気による酸化物半導体のキャリア密度が増大することを示している。このキャリア密度の増大は、水蒸気による酸化物半導体へのH原子の添加によると考えられる。この事実から100nm厚のSiO_x層のみでは、バリア層としての機能を有せず、別途バリア層の形成が必要であることが分かる。

10

【0039】

また、水素化アモルファスシリコンを用いた半導体素子で一般的に用いられるSiN_y:Hを第1の絶縁層として用いた場合、特許文献4が示すとおり、酸化物半導体層の低抵抗化が発生する。そこで、第1の絶縁層としてスパッタ法により形成された水素含有量が 4×10^{21} 個/cm³以下のSiO_xを、第2の絶縁層としてスパッタ法により形成された水素含有量が 4×10^{21} 個/cm³以下の窒化珪素(SiN_y)を用いる。本明細書中では、Si₃N₄の組成がストイキオメトリーからずれていても用いることが可能ということを示すため、SiN_yと表記する。しかし、図2(a)に示すとおり、SiO_xの膜厚が50nm未満の場合、酸化物半導体の還元抑制に対する機能は十分ではない。すなわち、酸化物半導体に接する第1の絶縁層は膜厚50nm以上のSiO_xが望ましい。

20

【0040】

第2の絶縁層は水素を大量(例えば 5×10^{21} 個/cm³以上)に含有する後述の第3の絶縁層(バリア層)から拡散する水素原子を抑制する機能を有する窒化物からなる。(本明細書中では、大量とは、 4×10^{21} 個/cm³より多く含まれることを意味する。)そして250までの最高プロセス温度のプロセス過程の中でも熱による水素拡散を防止機能を有する第2の絶縁層として膜厚50nm以上のSiN_yが望ましい。

30

【0041】

本発明者らの知見によれば、第2の絶縁層の膜厚の上限値は、前記第1の絶縁層の膜厚と同様に特に上限はない。求める素子(例えばTFET)の特性及び製造工程でのタクトタイム等を考慮して適宜決定すれば良い。本発明においては前記SiN_y層の膜厚は50nm以上10μm以下の膜厚範囲を好適に採用することができる。

【0042】

次に保護膜として、第1の絶縁層SiO_xと第2の絶縁層を有するTFETを作製し、絶縁層からの水素拡散の影響を第2絶縁層の水素含有量を変化させることにより、第2の絶縁層からの水素拡散の影響を調査した。SiO_xの膜厚は200nm、SiN_yの膜厚はともに300nmとした。その結果、第2の絶縁層には水素含有量が 4×10^{21} 個/cm³であるSiN_yと水素含有量が 3×10^{22} 個/cm³であるSiN_yを用いた2つのTFETにおいて、大きな特性の差が見られた。絶縁層SiN_yの水素含有量が 4×10^{21} 個/cm³であるTFET()、 3×10^{22} 個/cm³であるTFET()の伝達特性の比較を図2(b)に示す。図2(b)より、SiN_yの水素含有量が多いTFET()は、負のゲート電圧をかけてもドレイン電流を下げることができず、酸化物半導体が低抵抗化してしまっていることがわかる。水素含有量の多いTFETの伝達特性が完全にフラットになっているのは、測定に用いた装置の測定限界以上の電流が流れているためである。

40

【0043】

すなわち、水素拡散防止機能の低い第1の絶縁層および酸化物半導体層に対して水素を

50

供給しないためには、第2の絶縁層の水素含有量は 4×10^{21} 個/cm³ 以下であることが望ましい。本発明において第2の絶縁層の水素含有量の下限值としては特に制限は無い。設計値通りの絶縁性が確保できる限り水素含有量は少なくてもよく、理論的には0でも良い。また、この低水素含有量の層を実現するには、第1および第2の絶縁層をスパッタ法により形成することが望ましい。

【0044】

また、本発明において前記第1の絶縁層と前記第2の絶縁層とを連続的に形成することもできる。例えば、スパッタ法によって前記第1の絶縁層と前記第2の絶縁層を連続的に形成するには、スパッタガスとして初期に酸素ガス（窒素ガス）を用い、徐々に窒素ガス（酸素ガス）に切替えて形成すればよい。また1つのスパッタ装置で、スパッタガスを切替えて形成することの他に、複数のスパッタ装置（堆積膜形成室）を連結させて、各々の堆積膜形成室によってスパッタガスを変えることによっても形成できる。このようにして形成した第1の絶縁層と第2の絶縁層は、一方の面が酸素が多く含まれ、他方の面が窒素が多く含まれるような酸素と窒素が層厚方向に濃度分布を有するものとなる。この際、当該酸素と窒素の濃度分布は連続的でも、階段状でも良い。

10

【0045】

これら第1および第2の絶縁層の水素含有量を 4×10^{21} 個/cm³ 以下で形成するには原料に水素化物を含まないため、スパッタ法で形成することが望ましい。しかし、スパッタ法は成膜速度が一般的に遅く、低コストで300nm以上の膜を形成することが難しい。そのため、第1および第2の絶縁層のみでは、十分にバリア性を確保することが難

20

【0046】

バリア層としては一般的にPECVD法により形成された多量の水素を含むSiN_z、SiO_mN_n、SiCなどが用いられる。本明細書中では、水素含有量の多い第3の絶縁層SiN_yと水素含有量の少ない第2の絶縁層SiN_yと区別するため、水素含有量の多い第3の絶縁層をSiN_zと表記する。また、SiONに関しては、水分に対するバリア性を有する範囲で適宜、組成を調整可能であることを示すため、SiO_mN_nと表記する。これらのバリア層は、結晶シリコンやアモルファスシリコン、有機物半導体など半導体一般に対して悪影響を与える水（水蒸気含む）、並びに酸素に対して高い遮蔽性を有することが知られている。また、スパッタ法などで形成されるSiN_y、SiO_mN_nと比べて、PECVD法で形成された成膜速度が速く、生産性が高い。

30

【0047】

また、第3の絶縁層として樹脂層を用いることもできる。

【0048】

ここで第2の絶縁層による第3の絶縁層からの水素拡散抑制の効果を示す。図3から図6はその効果検証のための実験に用いた絶縁層積層膜の構成を示す。基板には、水素脱離量の無視できる基板として結晶シリコン基板を用いた。図4は、結晶シリコン基板上に第3の絶縁層膜となるPECVD法により基板温度250℃でSiN_zを350nm形成した構成である。図5は図4の第3の絶縁層上に直接第1の絶縁層となるSiO_xを、また、図6は図4の第3の絶縁層上に第2の絶縁層となるSiN_yをそれぞれ50nmから300nmの膜厚でスパッタ法により室温で形成したものである。図3は図4の第3の絶縁層を有する基板上に、本発明の絶縁層となる第2の絶縁層および第1の絶縁層を積層した構成である。酸化半導体に接する第1の絶縁層は膜厚100nmのSiO_xであり、酸化半導体に接しない第2の絶縁層は膜厚50nmのSiN_yである。両層はスパッタ法により室温で形成した。SiO_xのスパッタ成膜には、3インチ径のSiO₂ターゲットを用い、投入RFパワーは400Wとした。SiO_x成膜時の雰囲気は、全圧0.1Paであり、その際のガス流量はAr : O₂ = 50 : 50であった。また、SiN_yのスパッタには、3インチ径のSi₃N₄ターゲットを用い、投入RFパワーは400Wとした。SiN_y成膜時の雰囲気は、全圧0.1Paであり、その際のガス流量はAr : N₂ = 50 : 50であった。

40

50

【0049】

図3から図6に示した第3の絶縁層膜厚350nmと第1の絶縁層膜厚300nm、第2の絶縁層膜厚300nmの2次イオン質量分析(SIMS)を行った。第3の絶縁層の SiN_z には 3×10^{22} 個/cm³、第1の絶縁層の SiO_x には 4×10^{20} 個/cm³、第2の絶縁層の SiN_y には 1×10^{20} 個/cm³の水素が含まれていた。

【0050】

次に昇温脱離分析法によって、図3から図6の各試料からの水素脱離量を測定した。

【0051】

測定温度範囲は、基板表面に接触させた熱電対の温度で50 から350 とし、定量に用いた温度範囲は、50 から250 とした。

10

【0052】

脱離したガスが水素であることは、 H_2^+ に相当する質量数(m/z)2のイオン強度から同定した。

【0053】

図7は、それぞれ図4の構成のPECVD法により形成された第3の絶縁層として用いる SiN_z の水素脱離スペクトル()、図5の構成で第2の絶縁層をスパッタ SiN_y 50nmとし、昇温脱離法により測定した場合のスペクトル()を示す。PECVD法により形成された水素を大量に含有する第3の絶縁層 SiN_z は約200 から水素の脱離が開始している。また、第2の絶縁層スパッタ SiN_y 50nmは基板温度350 までの全領域で第3の絶縁層からの水素の脱離を抑制しており、水素の拡散防止機能を有していることが分かる。

20

【0054】

図8は、基板温度50 における H_2^+ 脱離量をバックグラウンドとして、図4と図5に示す構造における基板温度50 から250 の積分水素脱離量を示す。ここでは、図6の構成における第1の絶縁層であるスパッタ SiO_x ()と図5の構成における第2の絶縁層であるスパッタ SiN_y ()の膜厚をそれぞれ50nmから200nmまで変化させたときの上記積分水素脱離量の依存性を示す。また、印のプロットは図3の構成において、本発明の絶縁層である第1の絶縁層スパッタ SiO_x 100nm/第2の絶縁層スパッタ SiN_y 50nm/第3の絶縁層PECVD SiN_z 350nmを用いたときの積分水素量である。

30

【0055】

図8は第1の絶縁層スパッタ SiO_x 100nm/第2の絶縁層スパッタ SiN_y 50nm/第3の絶縁層PECVD SiN_z 350nmの3層からなる本発明の絶縁層である。そして本発明の当該3層からなる絶縁層が第3の絶縁層から放出される水素原子の拡散抑制による半導体の還元抑制の機能を有することを示している。

【0056】

以上の通り、水素原子の拡散防止と酸化物半導体の還元抑制に対する機能の両立のためには、3層以上で構成され機能を分離した絶縁層が有効である。

【0057】

これら絶縁層が酸化物半導体の下部に形成される場合は、図1(a)におけるバリアコート層10a、bおよびゲート絶縁層12もしくは、図1(b)におけるバリアコート層10aおよびゲート絶縁層12a、bとなる。また、これら絶縁層が酸化物半導体の上部に形成される場合は図1(a)、(b)における保護層16~18となる。

40

【0058】

以下に本発明の酸化物半導体素子を電界効果トランジスタを例にとって説明する。

【0059】

(ボトムゲート・ボトムコンタクト型酸化物半導体電界効果トランジスタ)

上記アモルファス酸化物半導体、並びに絶縁層を用いて、図9に示すボトムゲート・ボトムコンタクト型薄膜トランジスタを作成することができる。

【0060】

50

以下、図9を例に、本発明の絶縁層を保護層に用いた酸化物半導体素子の一つである電界効果トランジスタについて順をおって説明する。

【0061】

まず基板10にゲート電極11を形成するための電極層を形成する。基板10としては、ポリエチレン・テレフタレート(PET)、ポリエチレン・ナフタレート(PEN)、ポリイミド、ポリカーボネートなど250以下の製造プロセスで有効なプラスチックのフィルム、並びに薄板を用いることができる。もちろん、ガラス基板やステンレス基板を用いても良い。ゲート電極層の形成には、スパッタ法、パルスレーザー蒸着法(PLD法)、電子ビーム蒸着法、化学気層蒸着法(CVD法)等を用いることができる。電極材料は、良好な電気伝導性を有するものであればよい。例えば In_2O_3 :Sn、ZnO、 In_xZn_yO などの酸化物導電体、Pt、Au、Ni、Al、Moなどの金属やそれらの合金などの金属電極材料およびそれらの積層膜を用いることができる。次に、フォトリソグラフィ法等を用いてゲート電極11のパターンを形成する。そして、パターンニングされたゲート電極11を有する基板10上にゲート絶縁層12を形成する。ゲート絶縁層の形成には、スパッタ法、パルスレーザー蒸着法(PLD法)、電子ビーム蒸着法、化学気層蒸着法(CVD法)等を用いることができる。ゲート絶縁材料は、良好な絶縁特性と酸化物半導体に対する非還元性を有するものであればよい。例えば、スパッタ法による SiO_x を用いることができる。次にソース電極13およびドレイン電極14を形成するための電極層を形成する。この電極層の形成には、ゲート電極11と同様の方法、材料を用いることができる。そして、フォトリソグラフィ法等を用いてソース電極13およびドレイン電極14を形成する。

10

20

【0062】

パターンニングされたソース電極13およびドレイン電極14を有するゲート絶縁層12上に酸化物膜からなる酸化物半導体層15を形成する。作製には、スパッタ法、PLD法、電子ビーム蒸着法、CVD法等を用いることができる。酸化物半導体層15はフォトリソグラフィ法とエッチング法を用いてパターンニングされる。

【0063】

そして、酸化物半導体上に還元抑制機能を持つ第1の絶縁層16としてスパッタ法により膜厚50nm以上の SiO_x を形成する。その上に水素原子の透過抑制機能を持つ第2の絶縁層17としてスパッタ法により膜厚50nm以上の SiN_y を形成する。さらにその上にPECVD法により SiN_z の第3の絶縁層18を形成する。耐熱性の低いプラスチック基板などを用いる際は、 SiN_z 層の形成温度は250以下となり、その膜中に大量の水素が含まれる。そして、フォトリソグラフィ法とエッチング法により、保護層16~18にコンタクトホールを形成し、酸化物半導体電界効果トランジスタが完成する。

30

【0064】

本発明においては、このように上記トランジスタを基板上に二次元状に複数配(平面状に縦横に配置)することができる。

【0065】

(ボトムゲート・トップコンタクト型酸化物半導体電界効果トランジスタ)

40

図12(a)に本発明の絶縁層を保護層に用いたボトムゲート・トップコンタクト型薄膜トランジスタを示す。ゲート電極11、ゲート絶縁層12、酸化物半導体層15、ソース電極13およびドレイン電極14、保護層として機能する第1~第3の絶縁層16~18を上述の図9の説明と同様に形成し、図12(a)の構造を得る。この際、第1の絶縁層16、あるいは、第1と第2の絶縁層16、17をソース電極13およびドレイン電極14を形成する前に堆積し、フォトリソグラフィ法等を使用してそれら絶縁層をパターンニングして、図12(b)または(c)の構成をとっても良い。図12(a)~(c)の何れ構成においても酸化物半導体層上に3層の絶縁層が形成される。

【0066】

次に、図12(d)を例に、本発明の絶縁層を下地層(バリアコート層およびゲート絶

50

縁層などを含む)に用いたボトムゲート・トップコンタクト型薄膜トランジスタについて順をおって説明する。

【0067】

図12(d)に示す基板10に、PECVD法により SiN_z のバリアコート層(第3の絶縁層)10aを形成する。その上に金属からなるゲート電極11を形成する。バリアコート層からの水素原子の拡散防止機能を持つ第2のゲート絶縁層(第2の絶縁層)12aとしてスパッタ法により膜厚50nm以上の SiN_y を形成する。さらに、その上に酸化物半導体の還元抑制機能を持つ第1のゲート絶縁層(第1の絶縁層)12bとしてスパッタ法により膜厚50nm以上の SiO_x を形成する。

【0068】

その後酸化物半導体層15、保護層16として機能する第1の絶縁層を形成する。第1の絶縁層16にコンタクトホールを形成し、ソース電極13およびドレイン電極14を形成しボトムゲート・トップコンタクト型薄膜トランジスタを完成する。本発明の3層から成る絶縁層を下地層(ゲート絶縁層およびバリアコート層)として用いることでバリアコート層に大量に含まれる水素の影響を受けず、250以下(°C)の低温プロセスで形成可能なリーク電流の低い酸化物半導体素子の提供が可能となる。

【0069】

本発明においては、このように上記トランジスタを基板上に二次元状に複数配(平面状に縦横に配置)することができる。

【0070】

(トップゲート型酸化物半導体電界効果トランジスタ)

図13(a)に本発明の絶縁層を保護層に用いたトップゲート・ボトムコンタクト型薄膜トランジスタを示す。ソース電極13およびドレイン電極14、酸化物半導体層15、ゲート電極11、ゲート絶縁層や保護層として機能する絶縁層16~18を前述の図9の説明と同様に形成する。この場合、酸化物半導体の還元抑制に対する機能を持つ第1の絶縁層16がゲート絶縁層12としての機能を兼ねている。また、第2の絶縁層17が第3の絶縁層18からの水素拡散を防止する機能を有している。さらに、図13(b)のように酸化物半導体の還元抑制に対する機能を持つ第1の絶縁層16と水素拡散抑制の機能を持つ第2の絶縁層17をそれぞれ第1のゲート絶縁層12a、第2のゲート絶縁層12bとし、この積層膜をゲート絶縁層12として用いても良い。図13(a)と(b)のいずれの構成においても、酸化物半導体上に3層の絶縁層が形成される。

【0071】

また、図13(c)に本発明の絶縁層を下地層に用いたトップゲート・ボトムコンタクト型薄膜トランジスタを示す。

【0072】

まず、基板10に、PECVD法により SiN_z のバリアコート層(第3の絶縁層)10aを形成する。耐熱性の低いプラスチック基板などを用いる際は、バリアコート層の形成温度は250以下(°C)となり、その膜中に大量の水素が含まれる。その上に水素原子の拡散防止機能を持つ第2の絶縁層10bとしてスパッタ法により膜厚50nm以上の SiN_y を形成する。さらに、その上に酸化物半導体界面の還元抑制機能を持つ第1の絶縁層10cとしてスパッタ法により膜厚50nm以上の SiO_x を形成する。その後ソース電極13およびドレイン電極14を形成する。それら電極の形成には、スパッタ法、PLD法、電子ビーム蒸着法、CVD法等を用いることができる。また、電極材料は、良好な電気伝導性を有するものであれば特にこだわらない。例えば In_2O_3 、 Sn 、 ZnO 、 In_xZn_yO などの酸化物導電体や、 Pt 、 Au 、 Ni 、 Al 、 Mo などの金属電極材料を用いることができる。

【0073】

ソース電極13およびドレイン電極14のパターンはフォトリソグラフィ法等を用いて形成する。

【0074】

10

20

30

40

50

次に、パターンニングされたソース電極 13 およびドレイン電極 14 を有する第 1 の下地層 10c 上に酸化物膜からなる酸化物半導体層 15 を形成する。酸化物半導体層 15 の作製には、スパッタ法、PLD 法、電子ビーム蒸着法等を用いることができる。

【0075】

次に、前記酸化物半導体層 15 上にゲート絶縁層 12 を形成する。ゲート絶縁層 12 の作製には、スパッタ法、PLD 法、電子ビーム蒸着法等を用いることができる。ゲート絶縁材料としては、良好な絶縁特性を有するものであれば、特にこだわらない。例えば、スパッタ法による SiO_x を用いることができる。次にゲート電極 11 を形成する。ゲート電極 11 の形成には、ソース電極 13 およびドレイン電極 14 と同様の方法、材料を用いることができる。こうして酸化物半導体電界効果トランジスタが完成する。本発明の 3 層からなる絶縁層を下地層に用いることで、バリアコート層に多量に含まれる水素による影響を受けず、250 以下の低温プロセスで形成可能なリーク電流の低い酸化物半導体素子の提供が可能となる。

10

【0076】

本発明においては、このように上記トランジスタを基板上に二次元状に複数配（平面状に縦横に配置）することができる。

【0077】

（下地層および保護層を有する酸化物半導体電界効果トランジスタ）

次に本発明の絶縁層を下地層と保護層の両方に用いた酸化物半導体電界効果トランジスタについて説明する。

20

【0078】

図 1 (a) に示すように基板 10 に第 1 のバリアコート層 10a（第 3 の絶縁層）と水素拡散防止の機能を有する第 2 のバリアコート層 10b（第 2 の絶縁層）を堆積する。次いで前述の図 9、12 (a) ~ (c)、13 (a) ~ (b) で説明したボトムゲート型もしくはトップゲート型電界効果トランジスタを形成する。また、図 1 (b) に示すように 1 層のバリアコート層 10a（第 3 の絶縁層）上に上述のボトムゲート型電界効果トランジスタを形成する場合には、ゲート絶縁層を第 2 の絶縁層 12a と第 1 の絶縁層 12b の積層膜にする。そして、バリアコート層 10a に接する第 2 の絶縁層 12a に水素拡散防止の機能を持たせても良い。

【0079】

本発明においては、このように上記トランジスタを基板上に二次元状に複数配（平面状に縦横に配置）することができる。

30

【0080】

（表示装置）

これより、本発明の酸化物電界効果トランジスタを用いた表示装置について説明する。

【0081】

本発明による電界効果トランジスタの出力端子であるドレインに、有機エレクトロルミネッセンス（EL）素子、液晶素子等の表示素子の電極に接続することで表示装置を構成することができる。以下に、表示装置の断面図 14 を用いて具体的な表示装置構成の例を説明する。

40

【0082】

図 14 に示すように、基板 110 上に上述の図 1 (b) の説明と同様に電界効果トランジスタ 120 を形成する。本発明においては、上記電界効果トランジスタを基板上に二次元状に複数配（平面状に縦横に配置）することができる。そして、電界効果トランジスタ 120 のドレイン電極 124 に、電極 130 が接続し、電極 130 上に正孔輸送層 131a、発光層 131b を形成する。さらに発光層 131b 上に電極 132 を形成する。かかる構成により、発光層 131b に注入する電流を、ソース電極 123 からドレイン電極 124 にアモルファス酸化物半導体層 122 に形成されるチャネルを介して流れる電流値によって制御することが可能となる。したがってこれを電界効果トランジスタ 120 のゲート電極 121 の電圧によって制御することができる。ここで、電極 130、正孔輸送層 1

50

3 1 a、発光層 1 3 1 b、電極 1 3 2 は有機エレクトロルミネッセンス素子を構成する。

【0083】

あるいは、図 1 5 に示すように、ドレイン電極 1 2 4 が延長されて電極 1 3 0 に接続されており、これを高抵抗層 1 3 3、1 3 5 に挟まれた液晶セルや電気泳動型粒子セル 1 3 4 へ電圧を印加する電極 1 3 0 とする構成を取ることができる。液晶セルや電気泳動型粒子セル 1 3 4、高抵抗層 1 3 3 および 1 3 5、電極 1 3 0、電極 1 3 2 は表示素子を構成する。これら表示素子に印加する電圧を、本図には示していない、蓄積容量を介して、ソース電極 1 2 3 からドレイン電極 1 2 4 にアモルファス酸化物半導体層 1 2 2 に形成されるチャンネルを介して流れる電流値によって制御することが可能となる。したがってこれを TFT のゲート電極 1 2 1 の電圧によって制御することができる。ここで表示素子の表示媒体が流体と粒子を絶縁性被膜中に封止したカプセルであるなら、高抵抗膜 1 3 3、1 3 5 は不要である。

10

【0084】

(ボトムゲート・コプレーナ型酸化物半導体電界効果トランジスタ)

図 1 6 に本発明の絶縁層を保護層に用いたボトムゲート・コプレーナ型薄膜トランジスタを示す。

【0085】

ゲート電極 1 1、ゲート絶縁層 1 2、酸化物半導体層 1 5 を上述の図 9 の説明と同様に形成する。そして、酸化物半導体上に還元抑制機能を持つ保護層 1 6 (第 1 の絶縁層)としてスパッタ法により膜厚 50 nm 以上の SiO_x を形成する。その上に水素原子の透過抑制機能を持つ保護層 1 7 (第 2 の絶縁層)としてスパッタ法により膜厚 50 nm 以上の SiN_y を形成する。また、フォトリソグラフィ法とエッチング法により、保護層 1 6 および 1 7 をパターニングする。フォトリソグラフィには、ゲート電極 1 1 をマスクとして裏面露光を用い、自己整合的に保護層 1 6 および 1 7 をパターニングしても良い。さらにその上に PECVD 法により SiN_z の第 3 の絶縁層 1 8 を形成する。原料ガスには、 SiH_4 ガス、 NH_3 ガス、 N_2 ガスなどを用いる。また、 SiN_z 、 SiO_mN_n 、 SiC など膜を用いても良い。この PECVD 成膜時に発生する水素や水素を構成元素として含むガスによるプラズマや成膜された絶縁膜 1 8 からの水素拡散により、保護層 1 6 および 1 7 に被覆されていない領域の酸化物半導体層に水素が添加される。その際、水素添加量の調整として、PECVD による成膜前に H_2 プラズマのみによる水素添加処理を行っても良い。この水素添加で保護層 1 6 および 1 7 の被覆されていない領域の酸化物半導体が低抵抗化し、ソース電極 1 3 およびドレイン電極 1 4 が保護層 1 6 および 1 7 に対して自己整合的に形成される。また、保護層 1 6 および 1 7 に被覆されていない領域の酸化物半導体の抵抗は、PECVD 成膜時の RF パワー密度、成膜温度、電極間距離、原料ガス流量比、処理時間などで制御可能である。

20

30

【0086】

その後、保護層 1 8 にコンタクトホールを形成し、ソース配線 1 9 およびドレイン配線 2 0 を形成しボトムゲート・コプレーナ型薄膜トランジスタを完成する。

【0087】

本発明においては、このように上記トランジスタを基板上に二次元状に複数配(平面状に縦横に配置)することができる。

40

【実施例】

【0088】

これより、本発明の実施例についてさらに詳細に説明するが、本発明はこれらによって何ら限定されるものではない。

【0089】

(実施例 1) ボトムゲート・ボトムコンタクト型電界効果トランジスタ

図 9 のボトムゲート・ボトムコンタクト型の電界効果トランジスタの作製例を示す。まず、ガラス基板 1 0 (コーニング社製 1 7 3 7) 上に、ゲート電極を形成するための電極層をスパッタ法により形成する。電極材料には Mo を用い、膜厚は 50 nm である。

50

【0090】

その後、フォトリソグラフィ法とエッチング法とを用いて電極をパターンニングし、ゲート電極11とする。

【0091】

次に、スパッタ法を用いてゲート絶縁層12として200nmの SiO_x 膜を成膜する。該 SiO_x 膜はRFスパッタ装置を用いて基板温度は室温で形成する。ターゲットは3インチ径の SiO_2 を用い、投入RFパワーは400Wである。成膜時の雰囲気は、全圧0.5Paであり、その際のガス流量は $\text{Ar} = 100\%$ である。ソース電極11およびドレイン電極12の電極材料にはITO (Indium Tin Oxide)を用い、膜厚は150nmである。また、フォトリソグラフィ法とエッチング法により、ソース電極13およびドレイン電極14をパターンニング形成する。さらに、酸化物半導体膜15には、膜厚30nmのIn-Zn-Ga-O系アモルファス酸化物半導体材料を用いる。該酸化物半導体層は、RFスパッタ装置を用いて基板温度は室温(25)で形成する。ターゲットは3インチ径の $\text{In}_2\text{O}_3 \cdot \text{ZnO}$ 組成を有する多結晶焼結体を用い、投入RFパワーは200Wである。成膜時の雰囲気は、全圧0.5Paであり、その際のガス流量は $\text{Ar} : \text{O}_2 = 95 : 5$ である。その後、フォトリソグラフィ法とエッチング法とを用いて酸化物半導体層15をパターンニング形成する。その上に保護層16(第1の絶縁層)および17(第2の絶縁層)として、スパッタ法により、 SiO_x 50nmと SiN_y 50nmを順次堆積する。 SiO_x のスパッタ堆積には、3インチ径の SiO_2 ターゲットを用い、投入RFパワーは400Wとした。 SiO_x 成膜時の雰囲気は、全圧0.1Paであり、その際のガス流量は $\text{Ar} : \text{O}_2 = 50 : 50$ であった。また、 SiN_y のスパッタには、3インチ径の Si_3N_4 ターゲットを用い、投入RFパワーは400Wとした。 SiN_y 成膜時のガス流量は $\text{Ar} : \text{N}_2 = 50 : 50$ であった。さらに保護層18(第3の絶縁層)として、PECVD法により、膜厚300nmの SiN_z を成膜する。このPECVD法による SiN_z の形成時の基板温度は250とする。また、プロセスガスには、 SiH_4 、 NH_3 、 N_2 を用いる。ガス流量比は $\text{SiH}_4 : \text{NH}_3 : \text{N}_2 = 1 : 2.5 : 2.5$ とする。また、投入RFパワー密度と圧力はそれぞれ $0.9\text{W}/\text{cm}^2$ 、150Paとする。そして、フォトリソグラフィ法とエッチング法により、これら保護層にコンタクトホールを形成する。こうして、本発明の電界効果トランジスタが完成する。

【0092】

本実施例により作製した電界効果トランジスタは、ヒステリシス特性、均一性、高速動作性等に関して良好な特性を示し、かつ、雰囲気に対して安定である。

【0093】

(実施例2)

図12(d)のボトムゲート・トップコンタクト型の電界効果型トランジスタの作製例を示す。

【0094】

まず、アルカリ金属元素を含むガラス基板10上に、PECVD法により SiN_z のバリアコート層10aを250で形成する。その上に、フォトリソグラフィ法とリフトオフ法、電子ビーム蒸着法によりを用いてゲート電極15をパターンニング形成する。ゲート電極15はバリアコート層10a上に電子ビーム蒸着法で堆積したTi5nm/Au40nm/Ti5nmの積層膜である。

【0095】

次に、ゲート絶縁層12aと12bにはそれぞれ SiN_y と SiO_x の積層構造を用い、実施例1と同じスパッタ法によりそれぞれ SiN_y 150nmと SiO_x 50nmを順次室温(25)で形成する。ゲート絶縁層12bは、酸化物半導体15の下地層として機能する。さらに、酸化物半導体膜15には、実施例1と同じ30nmのIn-Zn-Ga-O系アモルファス酸化物半導体材料を用いる。

【0096】

次に、エッチングストッパ層を兼ねる保護層16(第1の絶縁層)とソース電極13お

10

20

30

40

50

よびドレイン電極 14 を形成する。

【0097】

エッチングストッパ層を兼ねる保護層 16 (第1の絶縁層)には膜厚 100 nm の SiO_x を室温 (25) で実施例 1 と同じスパッタ法で形成する。また、フォトリソグラフィ法とエッチング法により、保護層 16 (第1の絶縁層)にコンタクトホールを形成する。

【0098】

ソース電極 13 およびドレイン電極 14 の電極材料にはITOを用い、膜厚は 150 nm とする。また、フォトリソグラフィ法とエッチング法により、ソース電極 13 およびドレイン電極 14 をパターンニング形成する。

10

【0099】

次に、加熱炉で大気中 250 、 0.5 時間のアニール処理をし、ソース電極 13 およびドレイン電極 14 の電氣的伝導率を増大させる。こうして、本発明の電界効果トランジスタが完成する。

【0100】

本実施例により作製した電界効果型トランジスタは、ヒステリシス特性、均一性、高速動作性等に関して良好な特性を示す。

【0101】

(実施例 3)

本実施例は、実施例 2 のバリアコート層 10a を PECVD 法により基板温度 250 で SiO_mN_n で形成する例である。 SiO_mN_n 形成時の基板温度は 250 とし、プロセスガスには、 SiH_4 、 N_2O 、 N_2 を用いる。ガス流量比は $\text{SiH}_4 : \text{N}_2\text{O} : \text{N}_2 = 1 : 2.5 : 10$ に設定する。また、投入 RF パワー密度と圧力はそれぞれ 0.25 W/cm^2 、 150 Pa とする。 N_2 ガスの代わりに NH_3 ガスを用いても良い。バリアコート層 10a 以降は実施例 2 と同様に形成する。こうして、本発明の電界効果トランジスタを完成させる。

20

【0102】

本実施例により作製した電界効果トランジスタは、ヒステリシス特性、均一性、高速動作性等に関して良好な特性を示す。

【0103】

(実施例 4) ボトムゲート・トップコンタクト型電界効果トランジスタ

図 12 (c) のボトムゲート・トップコンタクト型の電界効果型トランジスタの作製例を示す。

30

【0104】

まず、ガラス基板 10 (コーニング社製 1737) 上に、フォトリソグラフィ法とエッチング法を用いてゲート電極 11 をパターンニングして形成する。ゲート電極 11 はガラス基板 10 上にスパッタ法を用いて膜厚 50 nm の Mo とする。

【0105】

次に、ゲート絶縁層 12 として実施例 1 と同じスパッタ法を用いて膜厚 200 nm の SiO_2 膜を成膜する。さらに、酸化物半導体膜 15 にも、実施例 1 と同じ 30 nm の In - Zn - Ga - O 系アモルファス酸化物半導体材料を用いる。

40

【0106】

その後、フォトリソグラフィ法とエッチング法とを用いて酸化物半導体層 15 をパターンニング形成する。

【0107】

次に、酸化物半導体保護層を兼ねる保護層 16 (第1の絶縁層) および 17 (第2の絶縁層) とソース電極 13 およびドレイン電極 14 を形成する。

【0108】

酸化物半導体保護層を兼ねる保護層 16 および 17 には SiO_x と SiN_y の積層構造を用い、実施例 1 と同じくスパッタ法によりそれぞれ SiO_x 50 nm と SiN_y 100

50

nmを順次堆積する。また、フォトリソグラフィ法とエッチング法により、保護層16および17をパターニングする。

【0109】

ソース電極13およびドレイン電極14の電極材料にはITOを用い、膜厚は150nmである。また、フォトリソグラフィ法とエッチング法により、ソース電極13およびドレイン電極14をパターニングする。

【0110】

さらに保護層18(第3の絶縁層)として、PECVD法により、膜厚300nmのSiN_zを成膜する。また、フォトリソグラフィ法とエッチング法により、保護層18にコンタクトホールを形成する。こうして、本発明の電界効果トランジスタが完成する。

10

【0111】

本実施例により作製した電界効果トランジスタは、ヒステリシス特性、均一性、高速動作性等に関して良好な特性を示し、かつ、雰囲気に対して安定である。

【0112】

(実施例5) トップゲート・ボトムコンタクト型電界効果トランジスタ

図13(b)のトップゲート・コンタクト型の電界効果トランジスタの作製例を示す。

【0113】

まず、ガラス基板10(コーニング社製1737)上に、実施例1と同じくITOからなるソース電極13およびドレイン電極14をスパッタ法により形成する。ただし、膜厚は50nmである。

20

【0114】

その後、フォトリソグラフィ法とエッチング法とを用いて電極をパターニングし、ソース電極13およびドレイン電極14とする。

【0115】

次に、ソース電極13およびドレイン電極14を有するガラス基板10上に実施例1と同じIn-Zn-Ga-O系アモルファス酸化物半導体層15を30nm形成する。その後、フォトリソグラフィ技術とエッチング技術とを用いて酸化物半導体層15をパターニング形成する。

【0116】

次に、ゲート絶縁層16(12a)、17(12b)を実施例1と同じスパッタ法により堆積する。ゲート絶縁層16(12a)としてSiO_xの膜厚を50nm、ゲート絶縁層17(12b)としてSiN_yの膜厚を150nmとする。さらにゲート電極材料にはITOを用い、スパッタ法により50nm堆積する。これを、フォトリソグラフィ法とエッチング法により、パターニングしゲート電極15を形成する。さらに保護層18(第3の絶縁層)として、PECVD法により、SiN_zを300nm成膜する。また、フォトリソグラフィ法とエッチング法により、保護層18にコンタクトホールを形成する。こうして、本発明の電界効果型トランジスタが完成する。

30

【0117】

本実施例により作製した電界効果トランジスタは、ヒステリシス特性、均一性、高速動作性等に関して良好な特性を示し、かつ、雰囲気に対して安定である。

40

【0118】

(実施例6)

図13(c)のトップゲート・ボトムコンタクト型の電界効果トランジスタの作製例を示す。

【0119】

まず、耐熱性ポリイミド基板10上に、PECVD法により膜厚300nmのSiN_zのバリアコート層10a(第3の絶縁層)を250で形成する。その上に第2の絶縁層10bとしてスパッタ法により実施例1と同条件で膜厚50nmのSiN_yを室温(25)で形成する。さらに、その上に第1の絶縁層10cとしてスパッタ法により膜厚100nmのSiO_xを室温(25)で形成する。ソース電極13およびドレイン電極14

50

を形成するための電極層をスパッタ法により室温（25℃）で形成する。電極材料にはITO（Indium Tin Oxide）を用い、膜厚は50nmとする。

【0120】

その後、フォトリソグラフィ技術とエッチング技術とを用いて電極をパターンニングし、ソース電極13およびドレイン電極14とする。

【0121】

次に、実施例1と同じIn-Zn-Ga-O系アモルファス酸化物半導体層を30nm形成する。その後、フォトリソグラフィ技術とエッチング技術とを用いて酸化物半導体層15をパターンニング形成する。

【0122】

次に、ゲート絶縁層12とゲート電極11を形成する。

【0123】

ゲート絶縁層材料にはSiO_xを用い、スパッタ法により100nm堆積させる。また、フォトリソグラフィ法とリフトオフ法により、ゲート絶縁層12をパターンニング形成する。

【0124】

ゲート電極材料にはMoを用い、スパッタ法により100nm堆積させる。また、フォトリソグラフィ法とエッチング法により、ゲート電極11をパターンニング形成する。

【0125】

次に、加熱炉で大気中250℃、0.5時間アニール処理をし、ソース電極13およびドレイン電極14の電氣的伝導率を増大させる。こうして、本発明の電界効果型トランジスタが完成する。

【0126】

本実施例により作製した電界効果型トランジスタは、ヒステリシス特性、均一性、高速動作性等に関して良好な特性を実現できる。

【0127】

（実施例7）下地膜および保護層を有するボトムゲート・ボトムコンタクト型電界効果トランジスタ

図1（b）のバリアコート層上ボトムゲート・ボトムコンタクト型の電界効果トランジスタの作製例を示す。

【0128】

まず、耐熱性ポリイミド基板10上にバリアコート層10a（第3の絶縁層）として、PECVD法により、250℃でSiN_zを100nmの膜厚で成膜する。次にバリアコート層10a上にゲート電極を形成するための電極層をスパッタ法により形成する。電極材料にはMoを用い、膜厚は50nmとする。その後、フォトリソグラフィ法とエッチング法とを用いて電極をパターンニングし、ゲート電極11とする。

【0129】

次に、ゲート絶縁層12a（第2の絶縁層）、12b（第1の絶縁層）を実施例1と同じスパッタ法により堆積する。ゲート絶縁層12aには膜厚150nmのSiN_yを、ゲート絶縁層12bには膜厚50nmのSiO_xをそれぞれ用いる。酸化物半導体層15以降は実施例1と同様に形成する。

【0130】

本実施例により作製した電界効果トランジスタは、ヒステリシス特性、均一性、高速動作性等に関して良好な特性を示し、かつ、雰囲気に対して安定である。

【0131】

（実施例8）

本実施例ではボトムゲート・ボトムコンタクト型の電界効果トランジスタを用いた図14の表示装置について説明する。電界効果トランジスタの製造工程は、前記実施例1と同様である。ただし、図1（a）、（b）、図9、図12（a）～（d）、図13（a）～（c）に記載されるどの電界効果トランジスタを用いても良い。そして、電界効果トラン

10

20

30

40

50

ジスタ 120 のドレイン電極 124 に保護層 127 を介して電極 130 を形成する。電極 130 にはスパッタ法により形成した ITO を用いる。次に電極 130 上に正孔輸送層 131a、発光層 131b を蒸着法により形成する。正孔輸送層 131a、発光層 131b にはそれぞれ NPD、Alq₃ を用いる。さらに発光層 131b 上に電極 132 を蒸着法により形成する。電極材料には MgAg を用いる。このようにして、図 14 に示す、有機エレクトロルミネッセンス素子を表示素子とする表示装置を作成する。

【0132】

(実施例 9)

本実施例ではボトムゲート・ボトムコンタクト型の電界効果トランジスタを用いた図 15 の表示装置について説明する。電界効果トランジスタの製造工程は、前記実施例 1 と同様である。ただし、図 1(a)、(b)、図 9、図 12(a)~(d)、図 13(a)~(c) に記載されるどの電界効果トランジスタを用いても良い。前記電界効果トランジスタ 120 において、ドレイン電極 124 をなす ITO 膜の島の短辺を 100 μm まで延長する。そして、延長された 90 μm の部分を残し、ソース電極 123 およびゲート電極 121 への配線を確認した上で、電界効果トランジスタ 120 を絶縁層 125~7 で被覆する。この上にポリイミド膜 133 を塗布し、ラビング工程を施す。

10

【0133】

一方で、同じくプラスチック基板 140 上に ITO 膜 132 とポリイミド膜 135 を形成し、ラビング工程を施したものを用意し、前記電界効果トランジスタ 120 を形成した基板 110 と 5 μm の空隙を空けて対向させ、ここにネマチック液晶 134 を注入する。さらにこの構造体の両側に一对の偏光板 100、150 を設ける。ここで、電界効果トランジスタのソース電極 123 に電圧を印加し、ゲート電極 121 の印加電圧を変化させると、ドレイン電極 124 から延長された ITO 膜の島の一部である 30 μm × 90 μm の領域のみ、光透過率が変化する。またその透過率は、電界効果トランジスタ 120 がオン状態となるゲート電圧の下ではソース・ドレイン間電圧によっても連続的に変化させることができる。このようにして、図 15 に示す、液晶セルを表示素子とする表示装置を作成する。

20

【0134】

(実施例 10)

実施例 9 において、電界効果トランジスタを形成する基板として白色のプラスチック基板 110 を使い、電界効果トランジスタ 120 の各電極を金に置き換え、ポリイミド膜 133、135 と偏光板 100、140 を廃する構成とする。そして、白色のプラスチック基板 110 と透明のプラスチック基板 150 の空隙に粒子と流体を絶縁性皮膜にて被覆したカプセル 134 を充填させる構成とする。この構成の表示装置の場合、本電界効果トランジスタによって延長されたドレイン電極と上部の ITO 膜間の電圧が制御され、よってカプセル内の粒子が上下に移動する。それによって、透明基板側から見た延長されたドレイン電極領域の反射率を制御することで表示を行うことができる。

30

【0135】

(実施例 11)

図 16 のボトムゲート・コプレーナ型の電界効果型トランジスタの作製例を示す。

40

【0136】

まず、ガラス基板 10 (コーニング社製 1737) 上に、フォトリソグラフィ法とエッチング法を用いてゲート電極 11 をパターニングして形成する。ゲート電極 11 はガラス基板 10 上にスパッタ法を用いて膜厚 50 nm の Mo とする。

【0137】

次に、ゲート絶縁層 12 として実施例 1 と同じスパッタ法を用いて膜厚 200 nm の SiO₂ 膜を成膜する。さらに、酸化物半導体膜 15 にも、実施例 1 と同じ 30 nm の In-Zn-Ga-O 系アモルファス酸化物半導体材料を用いる。

【0138】

その後、フォトリソグラフィ法とエッチング法とを用いて酸化物半導体層 15 をパタ

50

ーニング形成する。

【0139】

次に、保護層16（第1の絶縁層）および17（第2の絶縁層）を形成する。

【0140】

保護層16および17には SiO_x と SiN_y の積層構造を用い、実施例1と同じくスパッタ法によりそれぞれ SiO_x 50nmと SiN_y 100nmを順次堆積する。また、フォトリソグラフィ法とエッチング法により、保護層16および17をパターニングする。フォトリソグラフィには、ゲート電極11をマスクとして裏面露光を用いる。

【0141】

さらに保護層18（第3の絶縁層）として、実施例1と同じPECVD法により、膜厚300nmの SiN_z を成膜する。この際に保護層16および17に被覆されていない領域の酸化半導体が低抵抗化し、ソース電極13およびドレイン電極14が形成される。

【0142】

そして、フォトリソグラフィ法とエッチング法により、保護層18にコンタクトホールを形成する。

【0143】

ソース配線19およびドレイン配線20の電極材料にはMoを用い、膜厚は150nmである。また、フォトリソグラフィ法とエッチング法により、ソース配線19およびドレイン配線20をパターニングする。

【0144】

こうして、本発明の電界効果トランジスタが完成する。

【0145】

本実施例により作製した電界効果トランジスタは、ヒステリシス特性、均一性、高速動作性等に関して良好な特性を示し、かつ、雰囲気に対して安定である。

【図面の簡単な説明】

【0146】

【図1】本発明の絶縁層を下地層および保護層の両方に用いたボトムゲート・ボトムコンタクト型酸化半導体電界効果トランジスタを模式的に示す図である。

【図2】第1の絶縁層として用いる SiO_x の膜厚を25nm、50nm、100nmと変化した場合のゲート電圧(V_g)に対するドレイン電流(I_d)をドレイン電圧(V_d) = 12Vの条件で測定した結果を示す図である。

【図3】第3の絶縁層として用いる絶縁層上に酸化半導体に接しない第2の絶縁層が膜厚50nm以上の SiN_y 、第1の絶縁層が膜厚50nm以上の SiO_x を形成した絶縁層積層膜を模式的に示す図である。

【図4】第3の絶縁層として用いる絶縁層を有する基板を模式的に示す図である。

【図5】第3の絶縁層として用いる絶縁層を有する基板に第1の絶縁層として用いる膜厚50nm以上の SiO_x のみを形成した絶縁層積層膜を模式的に示す図である。

【図6】第3の絶縁層として用いる絶縁層を有する基板に第2の絶縁層として用いる膜厚50nm以上の SiN_y のみを形成した絶縁層積層膜を模式的に示す図である。

【図7】図4および図6に示す構造の絶縁層積層膜を昇温脱離法により測定した結果を示す図。

【図8】基板温度50℃における H_2^+ 脱離量をバックグラウンドとして、図3、図5、図6に示す構造で、昇温脱離分析における基板温度50℃から250℃の積分水素脱離量を示す。

【図9】本発明の絶縁層を用いたボトムゲート・ボトムコンタクト型酸化半導体電界効果トランジスタを模式的に示す図である。

【図10】本発明の水分を含む雰囲気中でアニールを実施した際のIn-Ga-Zn-O系アモルファス酸化物膜の試料形状を示す模式図である。

【図11】本発明の水分を含む雰囲気中でアニールを実施した際のIn-Ga-Zn-O系アモルファス酸化物膜の抵抗率変化を示す図である。

10

20

30

40

50

【図 1 2】本発明の絶縁層を用いたボトムゲート・ボトムコンタクト型酸化物半導体電界効果トランジスタを模式的に示す図である。

【図 1 3】本発明の絶縁層を用いたトップゲート型酸化物半導体電界効果トランジスタを模式的に示す図である。

【図 1 4】本発明に係る表示装置の一例の断面図である。

【図 1 5】本発明に係る表示装置の他の例の断面図である。

【図 1 6】本発明の絶縁層を用いたボトムゲート・コプレーナ型酸化物半導体電界効果トランジスタを模式的に示す図である。

【符号の説明】

【0147】

10

10 基板

10a バリアコート層として機能する第3の絶縁層

10b 第2の絶縁層

11 ゲート電極

12 ゲート絶縁層、もしくは、ゲート絶縁層として機能する第1の絶縁層

12a ゲート絶縁層として機能する第2の絶縁層

12b ゲート絶縁層として機能する第1の絶縁層

13 ソース電極

14 ドレイン電極

15 酸化物半導体層

20

16 保護層として機能する第1の絶縁層

17 保護層として機能する第2の絶縁層

18 保護層として機能する第3の絶縁層

19 ソース配線

20 ドレイン配線

100 偏光板

110 基板

120 電界効果トランジスタ

121 ゲート電極

122 アモルファス酸化物半導体層

30

123 ソース電極

124 ドレイン電極

125 保護層として機能する第1の絶縁層

126 保護層として機能する第2の絶縁層

127 保護層として機能する第3の絶縁層

130 電極

131a ホール輸送層

131b 発光層

132 電極

133 高抵抗層、あるいは、ポリイミド膜

40

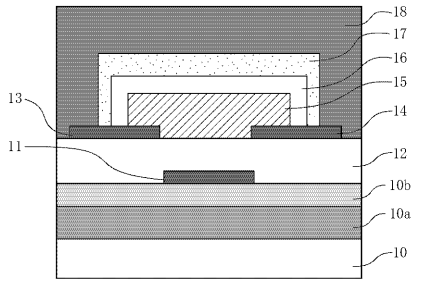
134 ネマチック液晶、あるいは、電気泳動型粒子セル

135 高抵抗層、あるいは、ポリイミド膜

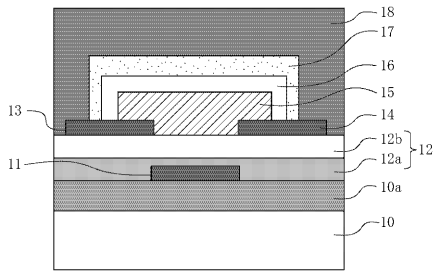
140 基板

150 偏光板

【 図 1 】

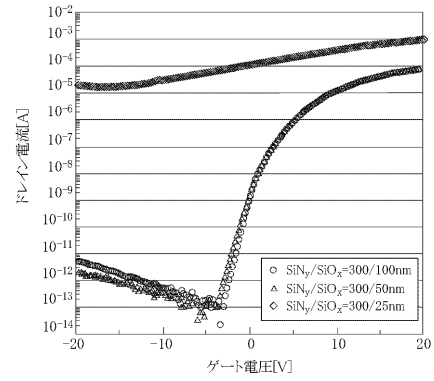


(a)

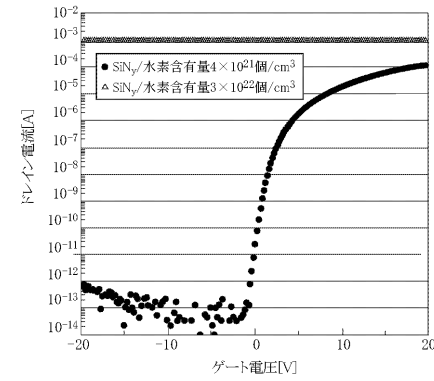


(b)

【 図 2 】

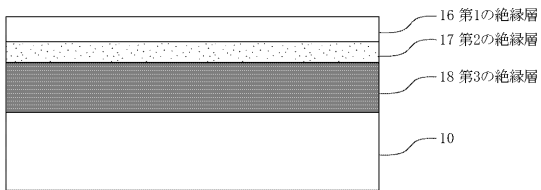


(a)



(b)

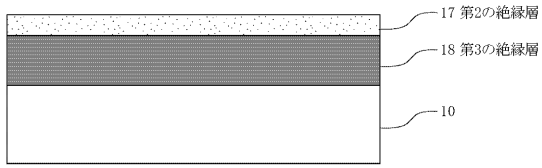
【 図 3 】



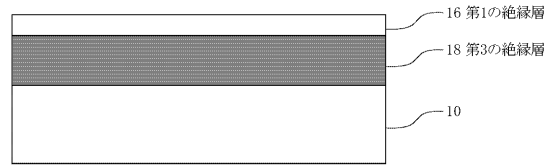
【 図 4 】



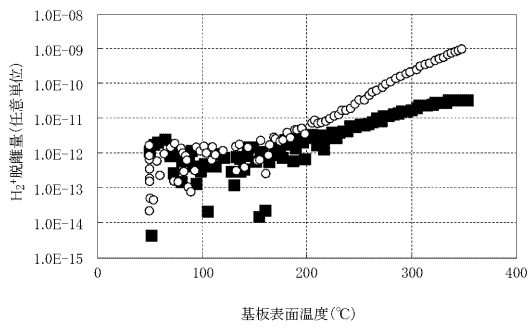
【 図 5 】



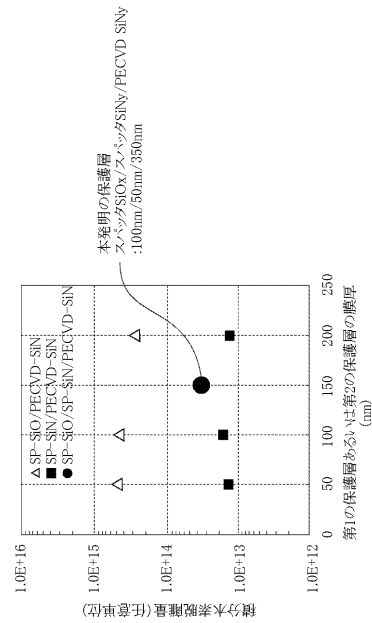
【 図 6 】



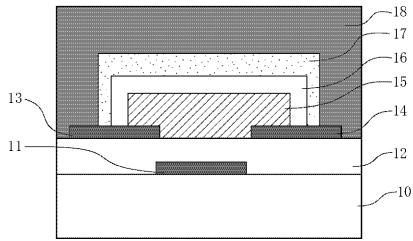
【 図 7 】



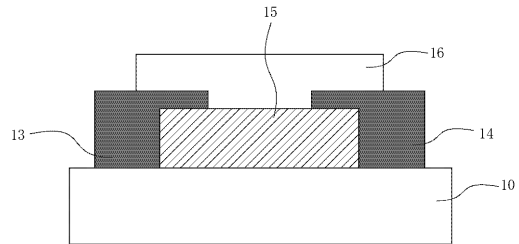
【 図 8 】



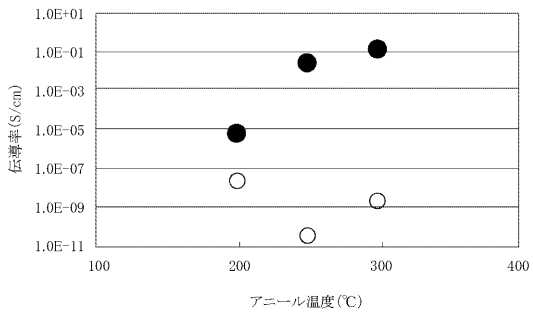
【図 9】



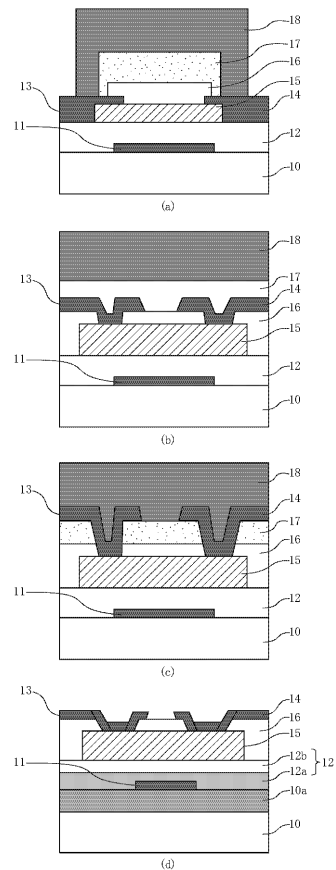
【図 10】



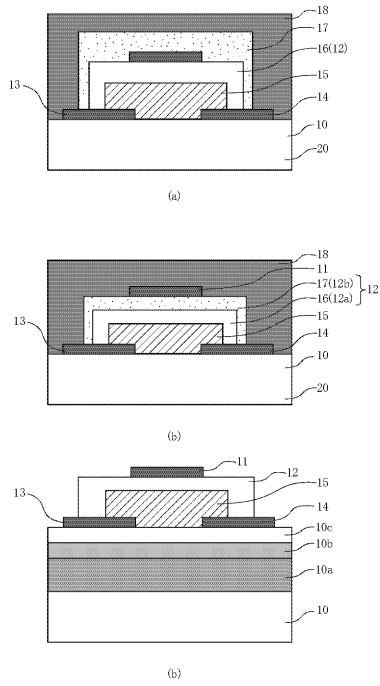
【図 11】



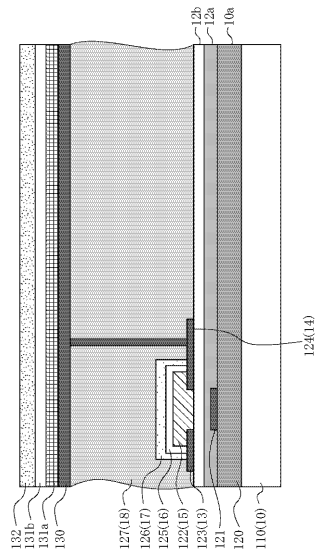
【図 12】



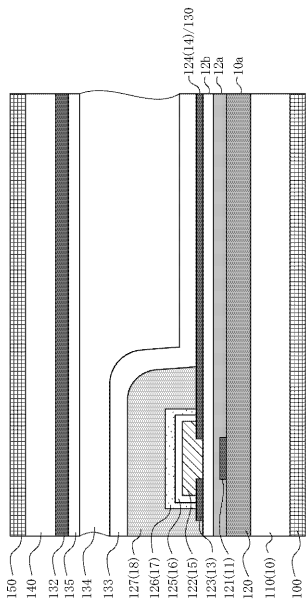
【 図 1 3 】



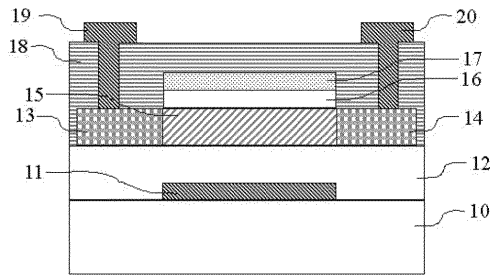
【 図 1 4 】



【 図 1 5 】



【 図 1 6 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L	29/78	6 1 2 Z
H 0 1 L	29/78	6 2 6 C
H 0 1 L	29/78	6 2 7 B

(72)発明者 藪田 久人

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

(72)発明者 渡邊 智大

東京都大田区下丸子3丁目30番2号キヤノン株式会社内

Fターム(参考) 2H092 JA23 KA05 KA07 KA12 KA18 MA04 MA05 MA07 MA13 MA17
 MA29 NA21 NA27 PA01
 3K107 AA01 BB01 CC12 CC45 EE04
 5F110 AA17 AA26 BB01 CC03 CC05 CC07 DD01 DD02 DD05 DD12
 DD13 DD14 DD15 DD17 EE02 EE03 EE04 EE06 EE07 EE14
 EE15 EE42 EE43 EE44 EE45 FF02 FF03 FF04 FF07 FF09
 FF10 FF27 FF28 FF29 GG04 GG15 GG25 GG42 GG43 GG44
 HK02 HK03 HK04 HK07 HK32 HK33 HK34 HL07 NN03 NN04
 NN23 NN24 NN34 NN35 QQ09 QQ12 QQ14