(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 115427912 A
(43)申请公布日 2022.12.02

(21)申请号 202180019257.X

(22)申请日 2021.03.05

(30)优先权数据
62/985,985 2020.03.06 US
63/050,527 2020.07.10 US
17/032,701 2020.09.25 US

(85)PCT国际申请进入国家阶段日
2022.09.06

(86)PCT国际申请的申请数据
PCT/US2021/021046 2021.03.05

(87)PCT国际申请的公布数据
WO2021/178775 EN 2021.09.10

(71)申请人 超威半导体公司
地址 美国加利福尼亚州

(72)发明人 兰吉特·库马尔·萨佳
斯里坎特·戈迪
阿尼鲁德·R·阿查里亚

(74)专利代理机构 上海胜康律师事务所 31263
专利代理师 李献忠 张华

(51)Int.Cl.
*G06F 1/08*(2006.01)
*G06F 1/06*(2006.01)

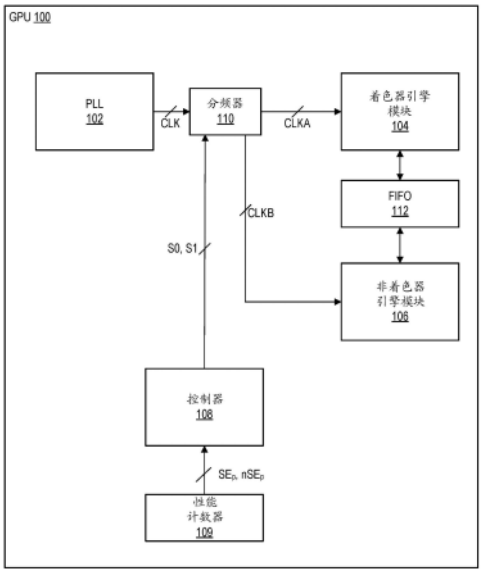
权利要求书3页 说明书10页 附图4页

(54)发明名称

# 用于图形处理单元的时钟控制方案

(57)摘要

本发明提供了涉及控制用于对图形处理单元(GPU)[100]的着色器引擎模块[104](SE)和非着色器引擎模块[106](nSE)进行时钟控制的时钟信号的系统和方法。一个或多个分频器[110]接收时钟信号CLK,并向这些SE输出时钟信号CLKA以及向这些nSE输出时钟信号CLKB。CLKA和CLKB的频率分别基于在这些SE和nSE处监视的性能计数器[109]数据的集合来独立地选择。当对应的性能计数器数据的集合指示这些SE或nSE的处理工作负载相对较低时,这些SE或nSE的时钟信号频率降低。




CN 115427912 A

1.一种方法,包括:

基于图形处理单元[100]的一个或多个着色器引擎模块[104]的第一工作负载和一个或多个非着色器引擎模块[106]的第二工作负载独立地调整由所述一个或多个着色器引擎模块接收的第一时钟信号的第一频率和由所述一个或多个非着色器引擎模块接收的第二时钟信号的第二频率中的至少一者。

2.根据权利要求1所述的方法,其中独立地调整所述第一频率和所述第二频率中的所述至少一者是基于指示所述第一工作负载的第一性能计数器[109]数据和指示所述第二工作负载的第二性能计数器数据,所述方法还包括:

计算所述第一性能计数器数据与所述第二性能计数器数据之间的差,其中独立地调整所述第一频率和所述第二频率中的所述至少一者是基于所述差来进行的。

3.根据权利要求2所述的方法,还包括:

确定所述差在超过预定时间段内小于预定保护频带[404]的下限阈值,其中独立地调整所述第一频率和所述第二频率中的所述至少一者包括:

独立地调整所述第一时钟信号的所述第一频率而不调整所述第二时钟信号的所述第二频率。

4.根据权利要求2所述的方法,还包括:

确定所述差在超过预定时间段内大于预定保护频带[404]的上限阈值,其中独立地调整所述第一频率和所述第二频率中的所述至少一者包括:

独立地调整所述第二时钟信号的所述第二频率而不调整所述第一时钟信号的所述第一频率。

5.根据权利要求2所述的方法,其中独立地调整所述第一频率和所述第二频率中的所述至少一者包括:

确定所述差在预定保护频带[404]的上限阈值与下限阈值之间,其中独立地调整所述第一频率和所述第二频率中的所述至少一者包括:

调整所述第一时钟信号的所述第一频率以匹配所述第二时钟信号的所述第二频率。

6.根据权利要求1所述的方法,其中独立地调整所述第一频率和所述第二频率中的所述至少一者包括:

向分频器[110]发送至少一个控制信号;

通过所述分频器,基于所述至少一个控制信号向所述一个或多个着色器引擎模块发送具有所述第一频率的所述第一时钟信号;以及

通过所述分频器,基于所述至少一个控制信号向所述一个或多个非着色器引擎模块发送具有所述第二频率的所述第二时钟信号。

7.根据权利要求1所述的方法,其中独立地调整所述第一频率和所述第二频率中的所述至少一者包括:

向第一多个分频器[210-1,210-N]发送第一控制信号;

向第二多个分频器[211-1,211-N]发送第二控制信号;

通过所述第一多个分频器,基于所述第一控制信号向所述一个或多个着色器引擎模块发送具有所述第一频率的所述第一时钟信号;以及

通过所述第二多个分频器,基于所述第二控制信号向所述一个或多个非着色器引擎模

块发送具有所述第二频率的所述第二时钟信号。

8.一种图形处理单元(GPU)[100],包括:

分频器[110];

多个着色器引擎模块[104],所述多个着色器引擎模块耦合到所述分频器并且被配置为从所述分频器接收第一时钟信号;

多个非着色器引擎模块[106],所述多个非着色器引擎模块耦合到所述分频器并且被配置为从所述分频器接收第二时钟信号;以及

控制器[108],所述控制器被配置为基于所述多个着色器引擎模块的第一检测工作负载和所述多个非着色器引擎模块的第二检测工作负载向所述分频器输出第一控制信号和第二控制信号以选择性地控制所述第一时钟信号的第一频率和所述第二时钟信号的第二频率。

9.根据权利要求8所述的GPU,还包括:

第一多个性能计数器[109],所述第一多个性能计数器被配置为生成指示所述多个着色器引擎模块的所述第一检测工作负载的第一性能计数器数据;以及

第二多个性能计数器,所述第二多个性能计数器被配置为生成指示所述多个非着色器引擎模块的所述第二检测工作负载的第二性能计数器数据。

10.根据权利要求9所述的GPU,其中所述控制器被进一步配置为:

从所述第一多个性能计数器接收所述第一性能计数器数据;

从所述第二多个性能计数器接收所述第二性能计数器数据;以及

基于所述第一性能计数器数据和所述第二性能计数器数据独立地调整所述第一频率和所述第二频率中的至少一者。

11.根据权利要求10所述的GPU,其中所述控制器被进一步配置为:

计算所述第一性能计数器数据与所述第二性能计数器数据之间的差;以及

基于所述差独立地调整所述第一频率和所述第二频率中的至少一者。

12.根据权利要求11所述的GPU,其中所述控制器被进一步配置为:

确定所述差在超过预定时间段内小于预定保护频带[404]的下限阈值;以及

独立地调整所述第一时钟信号的所述第一频率而不调整所述第二的钟信号的所述第二频率。

13.根据权利要求11所述的GPU,其中所述控制器被进一步配置为:

确定所述差在超过预定时间段内大于预定保护频带[404]的上限阈值;以及

独立地调整所述第二时钟信号的所述第二频率而不调整所述第一时钟信号的所述第一频率。

14.根据权利要求11所述的GPU,其中所述控制器被进一步配置为:

确定所述差在预定保护频带[404]的上限阈值与下限阈值之间;以及

调整所述第一时钟信号的所述第一频率以匹配所述第二时钟信号的所述第二频率。

15.一种图形处理单元(GPU)[100],包括:

多个分频器[210-1,210-N,211-1,211-N];

多个着色器引擎模块[104],所述多个着色器引擎模块被配置为从所述多个分频器的第一子集接收各自具有第一频率的第一时钟信号;

多个非着色器引擎模块[106],所述多个非着色器引擎模块被配置为从所述多个分频器的第二子集接收各自具有第二频率的第二时钟信号;以及

控制器[108],所述控制器被配置为基于所述多个着色器引擎模块的第一检测工作负载和所述多个非着色器引擎模块的第二检测工作负载向所述多个分频器的所述第一子集输出第一控制信号以选择性地控制所述第一时钟信号的所述第一频率并且向所述多个分频器的所述第二子集输出第二控制信号以选择性地控制所述第二时钟信号的所述第二频率。

16.根据权利要求15所述的GPU,还包括:

第一多个性能计数器[109],所述第一多个性能计数器被配置为生成指示所述多个着色器引擎模块的所述第一检测工作负载的第一性能计数器数据;以及

第二多个性能计数器,所述第二多个性能计数器被配置为生成指示所述多个非着色器引擎模块的所述第二检测工作负载的第二性能计数器数据。

17.根据权利要求16所述的GPU,其中所述控制器被进一步配置为:

从所述第一多个性能计数器接收所述第一性能计数器数据;

从所述第二多个性能计数器接收所述第二性能计数器数据;

计算所述第一性能计数器数据与所述第二性能计数器数据之间的差;以及

基于所述差独立地调整所述第一频率和所述第二频率中的至少一者。

18.根据权利要求17所述的GPU,其中所述控制器被进一步配置为:

确定所述差在超过预定时间段内小于预定保护频带[404]的下限阈值;以及

独立地调整所述第一频率而不调整所述第二频率。

19.根据权利要求17所述的GPU,其中所述控制器被进一步配置为:

确定所述差在超过预定时间段内大于预定保护频带[404]的上限阈值;以及

独立地调整所述第二频率而不调整所述第一频率。

20.根据权利要求17所述的GPU,其中所述控制器被进一步配置为:

确定所述差在预定保护频带[404]的上限阈值与下限阈值之间;以及

调整所述第一频率以匹配所述第二频率。

# 用于图形处理单元的时钟控制方案

## 背景技术

[0001] 计算机处理系统通常采用图形处理单元(GPU)来执行图形操作,诸如纹理映射、渲染、顶点平移等。GPU的性能要求或规范可以根据相关电子设备的类型而变化。例如,移动设备的GPU具有可以与其他平台显著不同的特性和要求。性能、电池寿命和散热通常是移动设备平台的重要量度,期望具有更好的持续性能和低空闲功耗。在设备操作期间结合GPU部件的频率和电压缩放两者对GPU部件进行时钟控制影响移动设备的这些操作方面中的每个操作方面。

## 附图说明

[0002] 通过参考附图,本公开可以被更好地理解,并且其许多特征和优点对于本领域技术人员是显而易见的。在不同附图中使用相同的附图标记表示类似或相同的项目。

[0003] 图1是示出根据一些实施方案的图形处理单元(GPU)的框图,该图形处理单元包括分频器,该分频器用于选择性地调整用于对GPU的着色器引擎模块(SE)和非着色器引擎模块(nSE)进行时钟控制的时钟信号的频率。

[0004] 图2是示出根据一些实施方案的GPU的框图,该GPU包括设置在GPU的SE和nSE的各个图块处的多个分频器,该多个分频器用于选择性地调整用于对SE和nSE进行时间控制的时钟信号的频率。

[0005] 图3是示出根据一些实施方案的能够在图1的GPU中使用的时钟分频器的框图。

[0006] 图4是描绘根据一些实施方案的SE性能计数器数据与nSE性能计数器数据之间随时间的差的示例的例示性图。

[0007] 图5是示出根据一些实施方案的用于基于相应的性能计数器数据来调整用于对SE和nSE进行时钟控制的时钟信号的频率的方法的流程图。

## 具体实施方式

[0008] 移动设备内的处理工作负载变化很大,从着色器繁重到存储器受限、到偶尔加载(即,当工作负载强度从存储器密集变化到着色器密集时,反之亦然)。使用单个时钟信号来对系统内的所有部件进行时钟控制的常规单一/通用时钟控制方案限制了跨此类变化的处理工作负载状态的设备性能,因为这些方案不允许基于相应的工作负载的各种系统部件之间的时钟频率区分。使用本文所述的技术,通过为GPU内的不同部件组提供单独的时钟控制来解决不成比例地影响某些设备部件组的处理工作负载的变化,从而使得能够减小用于对具有较轻处理工作负载的部件组进行时钟控制的时钟信号的频率,同时增加用于对具有相对较重处理工作负载的部件组进行时钟控制的时钟信号的频率或使其保持不变。通过降低具有较轻工作负载的部件的时钟控制频率,包括这些部件的系统的功率和热效率与单一/通用时钟控制方案的系统的功率和热效率相比得到改善。

[0009] 典型地具有不平衡处理工作负载的两个设备部件组是图形处理单元(GPU)的着色器引擎模块和非着色器引擎模块。在本文中,"着色器引擎模块"通常是指GPU的模块,该模

块是着色器引擎的一部分并且用于执行为产生和操纵图形对象而频繁重复的指定任务。在一些实施方案中，此类任务包括纹理映射、渲染、顶点平移等。在本文中，GPU的"非着色器引擎模块"是指不包括在GPU的着色器引擎中的电路和模块。

[0010] 例如，当GPU正在处理着色器繁重的处理工作负载时，移动设备中的GPU的着色器引擎模块比非着色器引擎模块更活跃。因此，使用通用时钟控制方案，增加着色器引擎模块的时钟信号的频率以更好地处理着色器繁重的处理工作负载也将不必要地增加对非着色器引擎模块进行时钟控制所处的频率，从而导致非最佳的热性能和功率性能。相比之下，通过使用能够单独控制的时钟信号对GPU的着色器引擎模块和非着色器引擎模块进行时钟控制，在着色器繁重的处理工作负载期间以较低频率对非着色器引擎模块进行时钟控制，而着色器引擎模块的时钟控制频率增加或保持不变，从而提高热性能和功率性能。

[0011] 在一些实施方案中，应用类似的技术来选择性地设置用于存储器受限的处理工作负载的不同时钟频率，所述存储器受限的处理工作负载要求来自非着色器引擎模块的活动明显多于来自着色引擎模块的活动。当实施通用时钟控制方案时，增加非着色器引擎模块的时钟信号的频率以更好地处理存储器繁重的处理工作负载(例如，处理工作负载在GPU的非着色器引擎存储器设备处比在GPU的着色器引擎模块处涉及显著更多的活动)也将不必要地增加对着色器引擎进行时钟控制所处的频率，从而导致非最佳的热性能和功率性能。相比之下，通过使用能够单独控制的时钟信号对GPU的着色器引擎模块和非着色器引擎模块进行时钟控制，在存储器繁重的处理工作负载期间以较低频率对着色器引擎部件进行时钟控制，而非着色器引擎模块的时钟控制频率增加或保持不变，从而提高热性能和功率性能。

[0012] GPU采用一个或多个可编程分频器来设置提供到GPU的不同部件组的每个能够独立控制的时钟信号的频率。例如，在一些实施方案中，分频器插置在时钟源诸如锁相环(PLL)与着色器引擎模块和非着色器引擎模块之间。每个分频器从时钟源接收时钟信号(有时称为"输入时钟信号"CLK)并输出具有能够独立选择的频率的第一时钟信号和第二时钟信号，其中第一时钟信号被输出到着色器引擎模块，而第二时钟信号被输出到非着色器引擎模块。分频器从设置第一时钟信号和第二时钟信号的频率的控制器接收控制信号。控制器分别基于指示着色器引擎模块和非着色器引擎模块处的相对工作负载的性能计数器数据集来选择控制信号的值。例如，如果性能计数器数据指示着色器引擎模块处的较重处理工作负载长于预定时间段，则降低第二时钟信号的频率以降低非着色器引擎模块进行时钟控制的速率。例如，如果性能计数器数据指示非着色器引擎模块处的较重处理工作负载长于预定时间段，则降低第一时钟信号的频率以降低着色器引擎模块进行时钟控制的速率。例如，如果性能计数器数据指示着色器引擎模块与非着色器引擎模块的处理工作负载之间的差在所定义的范围内(在本文中有时称为"保护频带")，则将第一时钟信号和第二时钟信号设置为相同频率(例如，输入时钟信号的频率)。

[0013] 图1示出了具有不同部件组、着色器引擎模块(SE)和非着色器引擎模块(nSE)的例示性GPU 100，它们分别用不同的可配置时钟信号进行时钟控制。

[0014] 在一些实施方案中，GPU 100包括在处理系统中，该处理系统包括至少一个中央处理单元(CPU)、存储器设备和存储设备，诸如嵌入式系统、移动设备、个人计算机、服务器、工作站或游戏控制台。GPU 100是一种专用电子设备，其被配置为以高频执行数学计算，以渲

染待显示在耦合到处理系统的电子屏幕处的图像。

[0015] 由于GPU内的硬件部件被设计以用于执行图像渲染所需的数学计算的特定目的，因此GPU趋于以比CPU(其通常被设计以处理通用计算)更大的速度和效率来执行图形处理任务。在常规GPU中，系统的所有部件均使用单个通用时钟信号进行时钟控制。在一个示例中，常规GPU包括时钟源、控制器、SE和nSE。常规GPU的控制器直接控制时钟源以调整由时钟源输出的时钟信号的频率。时钟信号是用于对常规GPU的SE和nSE两者进行时钟控制的唯一时钟信号。常规GPU的时钟信号通过H树或网状时钟分配网络分配到SE和nSE，这确保时钟信号的路由以相等的传播延迟发生到SE和nSE的每个部件，这在常规GPU的SE与nSE之间创建了同步定时关系。然而，由于使用单个通用时钟信号来对SE和nSE进行时钟控制，因此无法基于SE和nSE各自的工作负载在它们之间执行动态频率缩放，这导致热消耗和功率消耗低效。相比之下，GPU 100包括用由分频器输出的能够单独控制的时钟信号进行时钟控制的SE和nSE，这允许基于SE和nSE各自的工作负载在它们之间执行动态频率缩放，这与具有通用时钟控制方案的常规GPU相比提高了热效率和功耗效率。

[0016] GPU 100包括锁相环(PLL)模块102、SE 104、nSE 106、控制器108、性能计数器109、分频器110和先进先出(FIFO)存储器模块112。在GPU 100中，使用第一时钟信号CLKA对所有SE 104进行始终控制，并且使用第二时钟信号CLKB对所有nSE 106进行时钟控制，使得能够在SE 104与nSE 106之间实施时钟频率缩放。在一些实施方案中，SE 104中的每一个包括例如几何处理器、基元单元、多个计算单元、光栅化器和渲染输出单元(ROP)以及L1高速缓存。在一些实施方案中，nSE 106包括命令处理器、着色器资源仲裁器、调度控制器和诸如L1高速缓存、L2高速缓存和环形缓冲器的存储器资源。FIFO存储器模块112在SE 104与nSE 106之间传递数据。因为SE 104与nSE 106之间的相位关系是已知的，所以FIFO存储器模块112不需要同步SE 104的时钟域与nSE 106的时钟域之间的数据传输，因此不需要同步器。

[0017] PLL模块102产生具有指定频率的时钟信号CLK并将其输出到分频器110的输入端。分频器110接收时钟信号CLK并输出时钟信号CLKA和CLKB以分别对SE 104和nSE 106进行时钟控制。CLKA和CLKB的各个频率基于由控制器108输出到分频器110的控制信号S0和S1来设置。CLKA和CLKB的频率基于时钟信号CLK的指定频率来设置。例如，在一些实施方案中，响应于控制信号S0和S1，分频器110将CLKA和CLKB分别设置为CLK的频率或CLK/2的频率。在一些实施方案中，每个控制信号S0和S1携带多个比特的控制数据，并且多个触发器被包括在分频器110中，从而允许为CLKA和CLKB选择多于两个时钟频率(例如，CLK、CLK/2、CLK/4、CLK/8等)中的一个。因此，分频器110允许用相同频率或不同频率的时钟信号选择性地对SE 104和nSE 106进行时钟控制。

[0018] 在一些实施方案中，控制器108被配置为基于从与SE 104和nSE 106相关联的性能计数器获得的相应的性能计数器数据集来确定将由分频器110输出的CLKA与CLKB之间的频率比。控制器108从性能计数器109接收性能计数器数据$SE_p$和$nSE_p$，并基于性能计数器数据设置控制信号S0和S1的值。在一些实施方案中，每个性能计数器109是在硬件或软件中实施的寄存器，其存储性能计数器数据，包括对应于GPU 100中发生的一个或多个事件的性能计数器值。在一些实施方案中，利用计数器、有源电容($C_{ac}$)忙信号或流性能计数器被附加地或另选地用于识别和量化在SE 104中发生的活动。在一个示例中，耦合到控制器108的第一组性能计数器生成并存储指示SE 104中的活动的第一性能计数器数据$SE_p$。在一些实施方案

中，第一性能计数器数据$SE_p$包括或是从第一组性能计数器接收的性能计数器值的总和，并且第一组性能计数器跟踪在SE 104处发生的特定事件的相应数量。在一些实施方案中，SE 104包括环形缓冲器(RB)和L1高速缓存。在一些实施方案中，性能计数器和对应的性能计数器数据$SE_p$包括或另外指示矢量和标量算术逻辑单元(ALU)活动、像素速率、L1高速缓存命中率和/或着色器存储器访问速率。例如，耦合到控制器108的第二组性能计数器生成并存储指示nSE 106中的一个或多个中的活动的第二性能计数器数据$nSE_p$。在一些实施方案中，第二性能计数器数据$nSE_p$包括或是从第二组性能计数器接收的性能计数器值的总和，其中第二组性能计数器跟踪在一个或多个非着色器部件诸如命令处理器、着色器资源仲裁器、调度控制器和存储器资源诸如L2高速缓存处发生的特定事件的相应数量。在一些实施方案中，性能计数器和相应的性能计数器数据nSEp包括或另外指示顶点速率、基元速率和/或L2高速缓存访问速率。控制器108计算第一性能计数器数据与第二性能计数器数据之间的差$SE_p$-$nSE_p$。在一些实施方案中，不是使用原始差$SE_p$-$nSE_p$，而是使用滞后来过滤随时间计算的差值，以避免基于瞬态短时脉冲波干扰切换时钟信号。控制器108周期性地更新(即，重新计算)该差值，并且基于该差值随时间的变化来选择控制信号S0和S1的值。例如，如果控制器108确定该差在上限阈值与下限阈值之间的预定值范围内，在本文中称为保护频带，则控制器108选择使CLKA和CLKB具有1:1时钟比(即，CLKA的频率等于CLKB的频率)的S0和S1的值。在一些实施方案中，基于切换等待时间或强制改变时钟控制频率所需的时间来选择定义保护频带的差值范围。如果控制器108确定该差在长于预定的连续时间段内高于保护频带的上限阈值，这通常指示GPU 100正在处理着色器繁重的工作负载，则控制器108选择使CLKA具有高于CLKB的频率的S0和S1的值(例如，将CLKA的频率设置为CLK的频率，并将CLKB的频率设置为CLK/2的频率)。这样，当GPU 100的工作负载涉及相对较高的非着色器引擎(例如，存储器)活动时，SE 104的时钟控制按比例缩小(即，频率减小)，而当GPU 100的工作负载涉及相对较高的着色器活动时，nSE 106的时钟控制按比例缩小(即，频率减小)，从而与单个通用时钟用于SE和nSE两者的实施方式相比，减小GPU 100中的功率消耗。

[0019] 在一些实施方案中，GPU 100包括多个着色器引擎，每个着色器引擎具有相应的着色器引擎模块。在一些实施方案中，包括在GPU 100的给定着色器引擎中的着色器引擎模块跨GPU的所有着色器引擎复制或克隆。在此类实施方案中，能够将不对称工作负载分配给每个着色器引擎，并且根据全局方案来应用本文所述的时钟频率缩放方法，使得提供给GPU 100中的每个相应着色器引擎的着色器引擎模块的时钟信号的时钟频率的能够单独选择的。在其他实施方案中，GPU 100的着色器引擎被分配对称工作负载并且全部使用相同时钟频率根据本文所述的时钟频率缩放方法进行时钟控制。

[0020] 图2示出了例示性GPU 200，其中经由设置在SE和nSE的每个图块上的分频器在SE与nSE之间实施时钟频率缩放。GPU 200包括锁相环(PLL)模块202、SE 204、nSE 206、控制器208、性能计数器209、FIFO存储器模块212和时钟网格214。在一些实施方案中，SE 204中的每一个包括例如几何处理器、基元单元、多个计算单元、光栅化器和渲染输出单元(ROP)、环形缓冲器(RB)以及L1高速缓存。在一些实施方案中，nSE 206包括命令处理器、着色器资源仲裁器、调度控制器和诸如L2高速缓存的存储器资源。

[0021] SE 204在N个图块216上实现，其中每个图块216包括相应的分频器210。这里，"图块"是指处理和/或存储器元件(例如，计算单元、存储器单元等)的空间相干组，其中在本示

例中，SE 204和nSE 206的元件被划分成这样的图块。nSE 206在M个图块217上实现，其中每个图块217包括相应的分频器211。在一些实施方案中，分频器210和分频器211中的每一个对应于图3的分频器310，但是被修改为仅包括单个时钟信号输出，并且任选地包括用于能够另外选择的时钟分频的附加触发器。

[0022] PLL模块202产生时钟信号CLK并将其输出到时钟网格214的输入。时钟网格214将时钟信号CLK分配到多个输出，每个输出分别耦合到相应分频器210或分频器211的时钟输入。分频器210和211各自接收时钟信号CLK，并且输出具有选定频率的时钟信号，该选定频率从CLK、CLK/2、CLK/4的频率或CLK的频率的另一个期望分频中选择，以分别在它们相应的图块216和217处对SE 204和nSE 206进行时钟控制。在本示例中，所有分频器210输出相同的时钟信号CLKA，而所有分频器211输出相同的时钟信号CLKB，其中CLKA和CLKB将具有相同的频率或不同的频率，这取决于由控制器208输出的控制信号S0和S1的值。例如，频率CLKA能够独立于CLKB的频率进行控制。例如，CLKA的时钟信号频率是基于由控制器208输出到分频器210的控制信号S0来选择的，并且CLKB的时钟信号频率是基于由控制器208输出到分频器211的控制信号S1来选择的。在一些实施方案中，每个控制信号S0和S1携带多个比特的控制数据，并且多个触发器被包括在分频器210和211中的每一个中，从而允许选择多于两个时钟频率(例如，CLK、CLK/2、CLK/4、CLK/8等)中的一个对SE 204和nSE 206进行时钟控制。因此，分频器210和分频器211允许用相同频率或不同频率的时钟信号选择性地对SE 204和nSE 206进行时钟控制。

[0023] 在一些实施方案中，控制器208被配置为基于从与SE 204和nSE 206相关联的性能计数器获得的相应的性能计数器数据集来分别确定将由分频器210和分频器211输出的CLKA与CLKB之间的频率比。控制器208从性能计数器209的第一性能计数器和第二组性能计数器接收第一性能计数器数据$SE_p$和第二性能计数器数据$nSE_p$，并基于性能计数器数据设置控制信号S0和S1的值，如上文结合图1所述。控制器208计算第一性能计数器数据与第二性能计数器数据之间的差$SE_p$-$nSE_p$。控制器208周期性地更新(即，重新计算)该差值，并且基于该差值随时间的变化来选择控制信号S0和S1的值。例如，如果控制器208确定该差在预定的保护频带内，则控制器208选择使CLKA和CLKB具有1∶1时钟比(即，CLKA的频率等于CLKB的频率)的S0和S1的值。如果控制器208确定该差在长于预定的连续时间段内高于保护频带的上限阈值，这通常指示GPU 200正在处理着色器繁重的工作负载，则控制器208选择使CLKA具有高于CLKB的频率的S0和S1的值(例如，将CLKA的频率设置为CLK的频率，并将CLKB的频率设置为CLK/2的频率)。这样，当GPU 200的工作负载涉及相对较高的非着色器引擎(例如，存储器)活动时，SE 204的时钟控制按比例缩小(即，频率减小)，而当GPU 200的工作负载涉及相对较高的着色器活动时，nSE 206的时钟控制按比例缩小(即，频率减小)，从而与单个通用时钟用于SE和nSE两者的实施方式相比，减小GPU 200中的功率消耗。当与图1的GPU 100相比时，GPU 200通常将由于分频器210、211与控制器208之间的距离而增加时钟频率变化的等待时间，该等待时间被GPU 200的相对较低的时钟树发散度所抵消。

[0024] 图3描绘了分频器310的例示性框图。在一些实施方案中，分频器310全部或部分地对应于图1的分频器110以及图2的分频器210和211中的一个或多个。如图所示，分频器310包括延迟电路322、触发器320、第一多路复用器324和第二多路复用器326。分频器310在时钟输入端接收时钟信号CLK。然后延迟电路322和触发器320接收时钟信号CLK。触发器320将

时钟信号CLK的频率减半以产生时钟信号CLK/2。延迟电路322向时钟信号CLK提供等于由触发器320引入时钟信号CLK的延迟量的延迟量，以产生时钟信号CLK/2，使得由延迟电路322输出的时钟信号CLK与由触发器320输出的时钟信号CLK/2同步。第一多路复用器324接收延迟的时钟信号CLK、时钟信号CLK/2和控制信号S0。第一多路复用器324输出时钟信号CLKA，该时钟信号CLKA是基于控制信号S0选择的延迟时钟信号CLK和时钟信号CLK/2中选择的一个。第二多路复用器326接收延迟的时钟信号CLK、时钟信号CLK/2和控制信号S1。第二多路复用器326输出时钟信号CLKB，该时钟信号CLKB是基于控制信号S1选择的延迟时钟信号CLK和时钟信号CLK/2中选择的一个。多路复用器324和326分别从外部控制器接收控制信号S0和S1。在一些实施方案中，外部控制器对应于图1和图2的控制器108和208中的任一个。

[0025] 图4描绘了示出如上所述的第一性能计数器数据和第二性能计数器数据之间的差402($SE_p$-$nSE_p$)如何相对于预定保护频带404的上限阈值A和下限阈值B随时间变化的示例的图400。图400是关于图1的GPU 100的示例性实施方案来描述的，但它也可适用于图2的GPU 200。

[0026] 从点406开始，控制器108基于性能计数器数据$SE_p$计算差$SE_p$-$nSE_p$，并且$nSE_p$由性能计数器109提供给控制器108。在一些实施方案中，控制器108周期性地计算差402，使得控制器108定期更新差402的计算值。在一些实施方案中，每当性能计数器109将新的性能计数器数据$SE_p$和$nSE_p$提供给控制器108时，控制器108重新计算差402。在本示例中，假设分频器110输出的CLKA和CLKB的频率在点406处相等。

[0027] 在点408处，控制器108确定差402已经在长于预定时间段内小于保护频带404的下限阈值B，这指示正在由图形处理单元100处理的大部分工作负载正在由nSE 106执行的时间长于预定时间段。响应于确定差402已经在长于预定时间段内小于下限阈值B，控制器108修改控制信号S1以将用于对nSE 106进行时钟控制的时钟信号CLKB的频率降低到较低频率，诸如CLK/2。

[0028] 在点410处，控制器108确定差402已经高于下限阈值B，这指示nSE 106与SE 104之间的工作负载更加平衡。响应于确定差402已经高于下限阈值B，控制器108修改控制信号S1以将时钟信号CLKB的频率增加到等于用于对SE 104进行时钟控制的时钟信号CLKA的频率。

[0029] 在点412处，控制器108确定差402已经高于保护频带404的上限阈值A，这指示正在由GPU 100处理的大部分工作负载正在由SE 104执行。

[0030] 在点414处，控制器108确定差402已经在长于预定时间段内保持高于上限阈值A。响应于确定差402已经在长于预定时间段内保持高于保护频带404的上限阈值A，控制器108修改控制信号S0以将时钟信号CLKA的频率降低到较低频率，诸如CLK/2。

[0031] 在点416处，控制器108确定差402已经从高于上限阈值A下降到低于下限阈值B，这指示处理工作负载已经突然从主要由SE 104处理转移到主要由nSE 106处理。响应于确定差402已经从高于上限阈值A下降到低于下限阈值B，控制器108修改控制信号S0以增加CLKA的频率来匹配CLKB的频率。

[0032] 在点418处，控制器108确定差402已经在超过预定时间段内保持低于下限阈值B。作为响应，控制器修改控制信号S1以降低CLKB的频率。

[0033] 图5描绘了根据一些实施方案的选择性地修改提供给GPU的SE和nSE的时钟信号的方法500的例示性处理流程。方法500是关于在图1的GPU 100及其构成部件处的示例性实施

方式来描述的。

[0034] 在框502处，第一组性能计数器109基于SE 104中监视的活动生成第一性能计数器数据$SE_p$。在一些实施方案中，第一性能计数器数据$SE_p$包括或指示标量和矢量ALU活动、像素速率、L1高速缓存命中率和/或着色器存储器访问速率。

[0035] 在框504处，第二组性能计数器109基于nSE 106中监视的活动生成第二性能计数器$nSE_p$数据。在一些实施方案中，第二性能计数器数据$SE_p$包括或指示顶点速率、基元速率和/或L2高速缓存访问速率。

[0036] 在框506处，控制器108计算SE性能计数器数据$SE_p$与nSE性能计数器数据$nSE_p$之间的差$SE_p$-$nSE_p$。在一些实施方案中，$SE_p$是对应于在SE 104处发生的各种分别定义的事件的计数的多个性能计数器值的总和，并且$nSE_p$是对应于在nSE 106处发生的各种分别定义的事件的计数的多个性能计数器值的总和。因此，差$SE_p$-$nSE_p$表示SE 104与nSE 106之间的处理工作负载的差。

[0037] 在框508处，控制器108确定$SE_p$-$nSE_p$是否已经在长于预定阈值时间段内保持低于预定保护频带的下限阈值。如果$SE_p$-$nSE_p$在长于预定时间段内保持低于下限阈值，则方法500进行到框510。如果$SE_p$-$nSE_p$在长于预定时间段内高于下限阈值或者没有保持低于下限阈值，则方法500进行到框512。

[0038] 在框510处，控制器108降低提供给nSE 106的一个或多个时钟信号的频率。在一些实施方案中，为了降低提供给nSE 106的时钟信号的频率，控制器108修改控制信号S1以使分频器110输出具有较低频率的时钟信号。在一些实施方案中，时钟信号S1的这种修改使得分频器110输出的时钟信号CLKB的频率从在分频器110的时钟信号输入处接收的时钟信号CLK的频率改变为该频率的一半(即CLK/2)。

[0039] 在框512处，控制器108确定$SE_p$-$nSE_p$是否已经在长于预定阈值时间段内保持高于预定保护频带的上限阈值。如果$SE_p$-$nSE_p$在长于预定时间段内保持高于上限阈值，则方法500进行到框514。如果$SE_p$-$nSE_p$在长于预定时间段内低于上限阈值或者没有保持高于上限阈值，则方法500进行到框516。在一些实施方案中，与保护频带的上限阈值相关联的预定阈值时间段和与保护频带的下限阈值相关联的预定阈值时间段相同，而在其他实施方案中，这些预定阈值时间段是不同的。

[0040] 在框514处，控制器108降低提供给SE部件104的一个或多个时钟信号的频率。在一些实施方案中，为了降低提供给SE部件104的时钟信号的频率，控制器108修改控制信号S0以使分频器110输出具有较低频率的时钟信号。在一些实施方案中，时钟信号S0的这种修改使得分频器110输出的时钟信号CLKA的频率从在分频器110的时钟信号输入处接收的时钟信号CLK的频率改变为该频率的一半(即CLK/2)。

[0041] 在框516处，控制器108为提供给SE 104和nSE 106的时钟信号设置1:1的频率比。在一些实施方案中，控制器108修改控制信号S0和S1中的一个或两个，以将分频器110分别输出到SE 104和nSE 106的时钟信号CLKA和CLKB的频率改变为相同的频率。在一些实施方案中，控制器108修改控制信号S0和S1，使得时钟信号CLKA和CLKB的频率等于由PLL 102输入到分频器110的时钟信号CLK的频率。

[0042] 虽然已经在图1的GPU 100的上下文中描述了方法500，但是普通技术人员应当理解，方法500也可适用于图2的GPU 200。

[0043] 如本文所公开的，在一些实施方案1中，一种方法包括：基于图形处理单元的一个或多个着色器引擎模块的第一工作负载和一个或多个非着色器引擎模块的第二工作负载独立地调整由所述一个或多个着色器引擎模块接收的第一时钟信号的第一频率和由所述一个或多个非着色器引擎模块接收的第二时钟信号的第二频率中的至少一者。在一方面，独立地调整所述第一频率和所述第二频率中的所述至少一者是基于指示所述第一工作负载的第一性能计数器数据和指示所述第二工作负载的第二性能计数器数据，并且所述方法还包括：计算所述第一性能计数器数据与所述第二性能计数器数据之间的差，其中独立地调整所述第一频率和所述第二频率中的所述至少一者是基于所述差来进行的。在另一方面中，所述方法包括：确定所述差在超过预定时间段内小于预定保护频带的下限阈值，其中独立地调整所述第一频率和所述第二频率中的所述至少一者包括：独立地调整所述第一时钟信号的所述第一频率而不调整所述第二时钟信号的所述第二频率。

[0044] 在一方面中，所述方法包括确定所述差在超过预定时间段内大于预定保护频带的上限阈值，其中独立地调整所述第一频率和所述第二频率中的所述至少一者包括：独立地调整所述第二时钟信号的所述第二频率而不调整所述第一时钟信号的所述第一频率。在另一方面，独立地调整所述第一频率和所述第二频率中的所述至少一者包括：确定所述差在预定保护频带的上限阈值与下限阈值之间，其中独立地调整所述第一频率和所述第二频率中的所述至少一者包括：调整所述第一时钟信号的所述第一频率以匹配所述第二时钟信号的所述第二频率。在又一方面，独立地调整所述第一频率和所述第二频率中的所述至少一者包括：向分频器发送至少一个控制信号；通过所述分频器，基于所述至少一个控制信号向所述一个或多个着色器引擎模块发送具有所述第一频率的所述第一时钟信号；以及通过所述分频器，基于所述至少一个控制信号向所述一个或多个非着色器引擎模块发送具有所述第二频率的所述第二时钟信号。在又一方面，独立地调整所述第一频率和所述第二频率中的所述至少一者包括：向第一多个分频器发送第一控制信号；向第二多个分频器发送第二控制信号；通过所述第一多个分频器，基于所述第一控制信号向所述一个或多个着色器引擎模块发送具有所述第一频率的所述第一时钟信号；以及通过所述第二多个分频器，基于所述第二控制信号向所述一个或多个非着色器引擎模块发送具有所述第二频率的所述第二时钟信号。

[0045] 在一些实施方案中，一种图形处理单元(GPU)包括：分频器；多个着色器引擎模块，所述多个着色器引擎模块耦合到所述分频器并且被配置为从所述分频器接收第一时钟信号；多个非着色器引擎模块，所述多个非着色器引擎模块耦合到所述分频器并且被配置为从所述分频器接收第二时钟信号；以及控制器，所述控制器被配置为基于所述多个着色器引擎模块的第一检测工作负载和所述多个非着色器引擎模块的第二检测工作负载向所述分频器输出第一控制信号和第二控制信号以选择性地控制所述第一时钟信号的第一频率和所述第二时钟信号的第二频率。在一方面，所述GPU包括：第一多个性能计数器，所述第一多个性能计数器被配置为生成指示所述多个着色器引擎模块的所述第一检测工作负载的第一性能计数器数据；以及第二多个性能计数器，所述第二多个性能计数器被配置为生成指示所述多个非着色器引擎模块的所述第二检测工作负载的第二性能计数器数据。

[0046] 在一方面，所述控制器被进一步配置为：从所述第一多个性能计数器接收所述第一性能计数器数据；从所述第二多个性能计数器接收所述第二性能计数器数据；以及基于

所述第一性能计数器数据和所述第二性能计数器数据独立地调整所述第一频率和所述第二频率中的至少一者。在另一方面中，所述控制器被进一步配置为：计算所述第一性能计数器数据与所述第二性能计数器数据之间的差；以及基于所述差独立地调整所述第一频率和所述第二频率中的至少一者。在又一方面，所述控制器被进一步配置为：确定所述差在超过预定时间段内小于预定保护频带的下限阈值；以及独立地调整所述第一时钟信号的所述第一频率而不调整所述第二时钟信号的所述第二频率。在又一方面，所述控制器被进一步配置为：确定所述差在超过预定时间段内大于预定保护频带的上限阈值；以及独立地调整所述第二时钟信号的所述第二频率而不调整所述第一时钟信号的所述第一频率。在又一方面，所述控制器被进一步配置为：确定所述差在预定保护频带的上限阈值与下限阈值之间；以及调整所述第一时钟信号的所述第一频率以匹配所述第二时钟信号的所述第二频率。

[0047] 在一些实施方案中，一种图形处理单元(GPU)包括：多个分频器；多个着色器引擎模块，所述多个着色器引擎模块被配置为从所述多个分频器的第一子集接收各自具有第一频率的第一时钟信号；多个非着色器引擎模块，所述多个非着色器引擎模块被配置为从所述多个分频器的第二子集接收各自具有第二频率的第二时钟信号；以及控制器，所述控制器被配置为基于所述多个着色器引擎模块的第一检测工作负载和所述多个非着色器引擎模块的第二检测工作负载向所述多个分频器的所述第一子集输出第一控制信号以选择性地控制所述第一时钟信号的所述第一频率并且向所述多个分频器的所述第二子集输出第二控制信号以选择性地控制所述第二时钟信号的所述第二频率。在另一方面，所述GPU包括：第一多个性能计数器，所述第一多个性能计数器被配置为生成指示所述多个着色器引擎模块的所述第一检测工作负载的第一性能计数器数据；以及第二多个性能计数器，所述第二多个性能计数器被配置为生成指示所述多个非着色器引擎模块的所述第二检测工作负载的第二性能计数器数据。

[0048] 在一方面，所述控制器被进一步配置为：从所述第一多个性能计数器接收所述第一性能计数器数据；从所述第二多个性能计数器接收所述第二性能计数器数据；计算所述第一性能计数器数据与所述第二性能计数器数据之间的差；以及基于所述差独立地调整所述第一频率和所述第二频率中的至少一者。在又一方面，所述控制器被进一步配置为：确定所述差在超过预定时间段内小于预定保护频带的下限阈值；以及独立地调整所述第一频率而不调整所述第二频率。在又一方面，所述控制器被进一步配置为：确定所述差在超过预定时间段内大于预定保护频带的上限阈值；以及独立地调整所述第二频率而不调整所述第一频率。在又一方面，所述控制器被进一步配置为：确定所述差在预定保护频带的上限阈值与下限阈值之间；以及调整所述第一频率以匹配所述第二频率。

[0049] 在一些实施方案中，上述装置和技术在包括一个或多个集成电路(IC)设备(也称为集成电路封装或微芯片)的系统中实现，诸如上文参考图1和图2所描述的GPU。电子设计自动化(EDA)和计算机辅助设计(CAD)软件工具可以在这些IC设备的设计和制造中使用。这些设计工具通常表示为一个或多个软件程序。一个或多个软件程序包括可由计算机系统执行的代码，以操纵计算机系统对代表一个或多个IC设备的电路的代码进行操作以便执行用以设计或调整制造系统以制造电路的过程的至少一部分。该代码可以包括指令、数据、或指令和数据的组合。代表设计工具或制造工具的软件指令通常存储在处理系统可访问的计算机可读存储介质中。同样，代表IC设备的设计或制造的一个或多个阶段的代码可以存储在

相同计算机可读存储介质或不同计算机可读存储介质中并从其访问。

[0050] 计算机可读存储介质可以包括在使用期间可由计算机系统访问以向计算机系统提供指令和/或数据的任何非暂态存储介质或非暂态存储介质的组合。此类存储介质可以包括但不限于光学介质(例如,光盘(CD)、数字通用光盘(DVD)、蓝光光盘)、磁性介质(例如,软盘、磁带或磁性硬盘驱动器)、易失性存储器(例如,随机存取存储器(RAM)或高速缓冲存储器)、非易失性存储器(例如,只读存储器(ROM)或闪存存储器)、或基于微机电系统(MEMS)的存储介质。计算机可读存储介质可以嵌入处理系统(例如,系统RAM或ROM)中,固定地附接到处理系统(例如,磁性硬盘驱动器),可移除地附接到处理系统(例如,光盘或基于通用串行总线(USB)的闪存存储器),或者经由有线或无线网络(例如,网络可访问存储装置(NAS))耦接到计算机系统。

[0051] 在一些实施方案中,上述技术的某些方面可以由执行软件的处理系统的一个或多个处理器实现。软件包括可执行指令的一个或多个集合,该可执行指令存储在或以其他方式有形地体现在非暂态计算机可读存储介质上。软件可包括指令和某些数据,这些指令和数据在由一个或多个处理器执行时操纵一个或多个处理器以执行上述技术的一个或多个方面。非暂态计算机可读存储介质可包括例如磁盘或光盘存储设备、固态存储设备诸如闪存存储器、高速缓冲存储器、随机存取存储器(RAM)或其他一个或多个非易失性存储器设备等。存储在非暂态计算机可读存储介质上的可执行指令可以是源代码、汇编语言代码、目标代码、或者被一个或多个处理器解释或以其他方式执行的其他指令格式。

[0052] 应当注意,并非以上在一般描述中描述的所有活动或元件都是必需的,特定活动或设备的一部分可能不是必需的,并且可以执行一个或多个另外的活动,或者除了所描述的那些之外还包括元件。更进一步地,列出活动的顺序不一定是执行它们的顺序。另外,已经参考具体实施方案描述了这些概念。然而,本领域普通技术人员理解,在不脱离如以下权利要求中阐述的本公开的范围的情况下,可以进行各种修改和改变。因此,说明书和附图被认为是说明性的而非限制性的,并且所有此类修改旨在被包括在本公开的范围内。

[0053] 上文已经关于具体实施方案描述了益处、其他优点和问题的解决方案。然而,益处、优点、问题的解决方案以及可以导致任何益处、优点或解决方案出现或变得更显著的任何特征不应被解释为任何或所有权利要求的关键的、必需的或基本的特征。此外,上文公开的特定实施方案仅是说明性的,因为所公开的主题可以以受益于本文中的教导内容的本领域的技术人员显而易见的不同但等效的方式来修改和实践。除了以下权利要求书中所描述的之外,不旨在对本文所示的构造或设计的细节进行限制。因此,显而易见的是,可以改变或修改上文公开的特定实施方案,并且所有此类变化被认为是在所公开的主题的范围内。因此,本文寻求的保护如以下权利要求中所阐述。

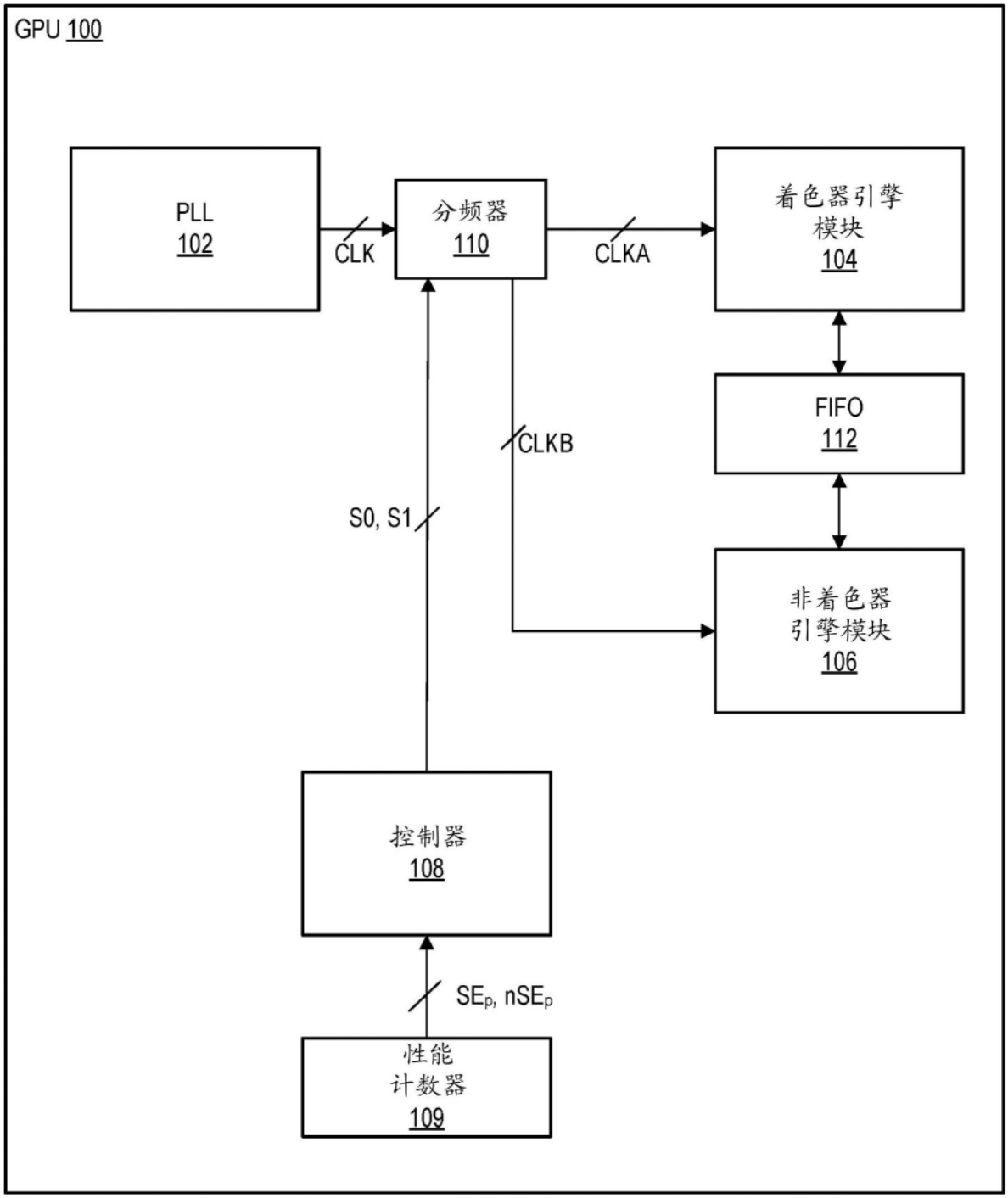

GPU 100
PLL
102
CLK
分频器
110
CLKA
着色器引擎
模块
104
FIFO
112
CLKB
S0, S1
非着色器
引擎模块
106
控制器
108
SEp, nSEp
性能
计数器
109

图1

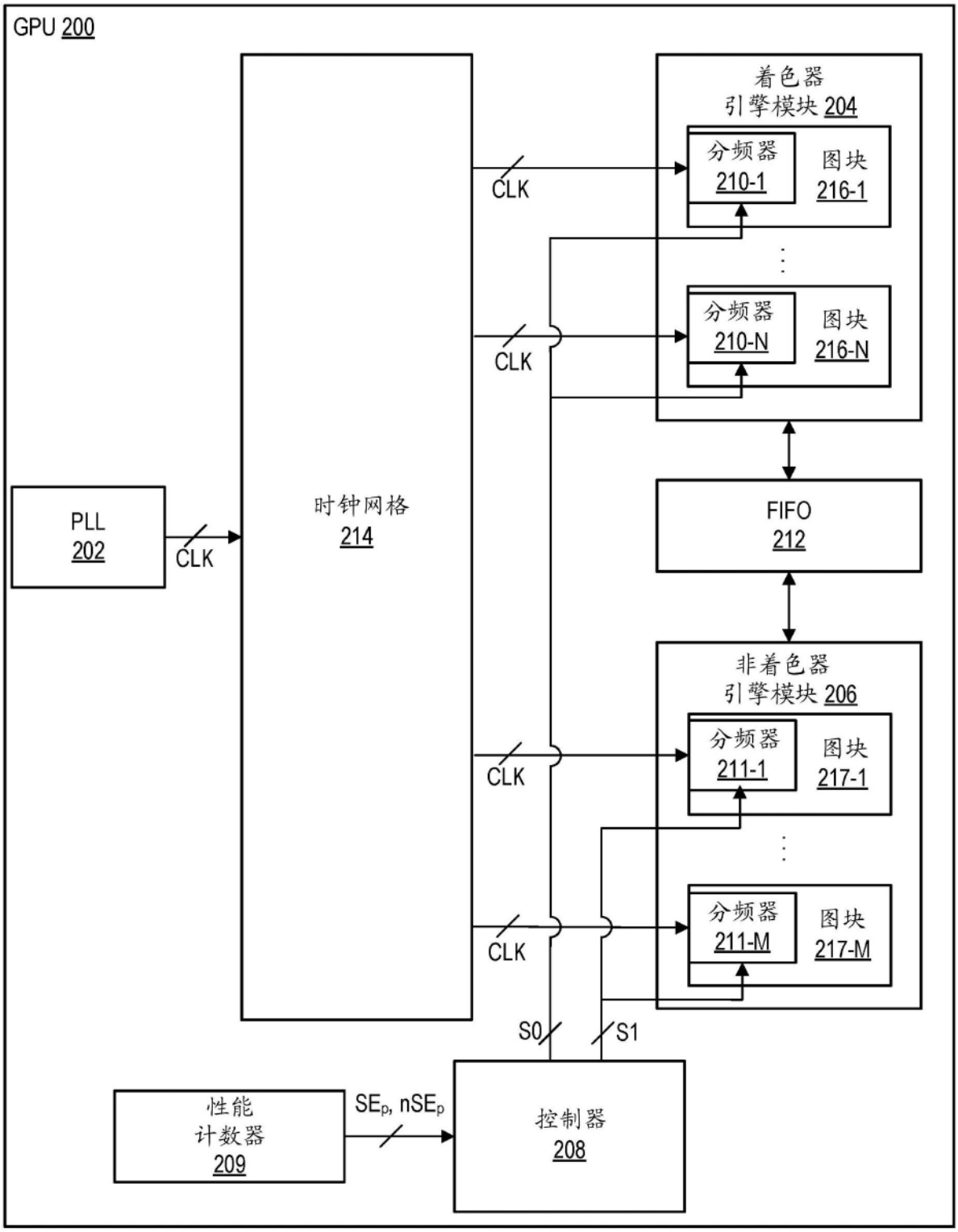

GPU 200
着色器
引擎模块 204
分频器
210-1
图块
216-1
分频器
210-N
图块
216-N
CLK
CLK
PLL
202
CLK
时钟网格
214
FIFO
212
非着色器
引擎模块 206
分频器
211-1
图块
217-1
分频器
211-M
图块
217-M
CLK
CLK
S0
S1
性能
计数器
209
SEp, nSEp
控制器
208

图2

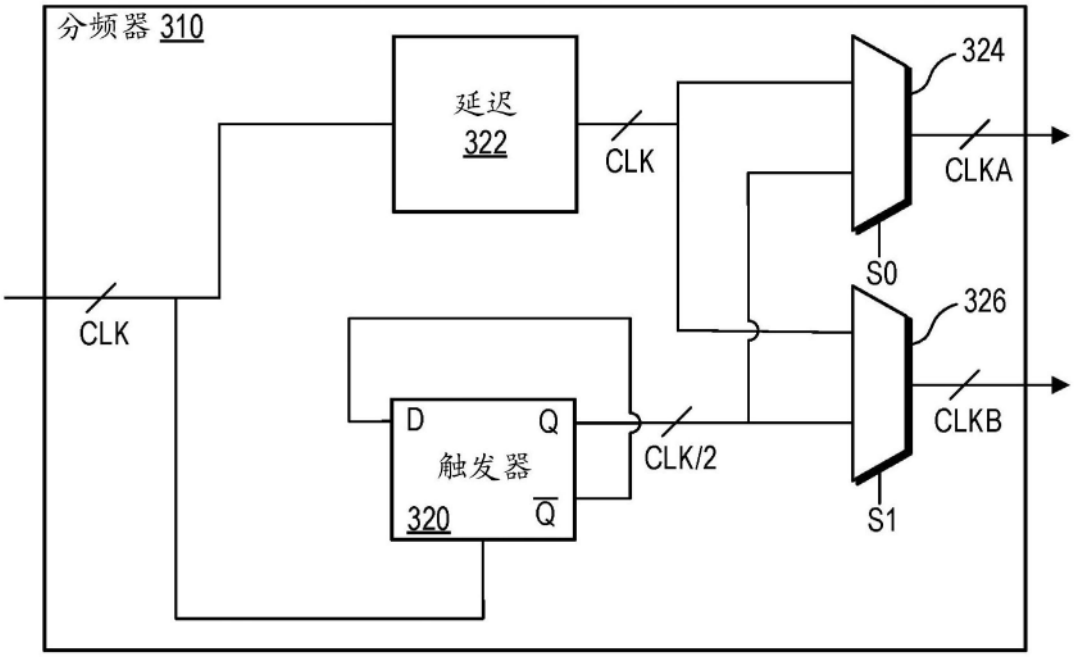

分频器 310
延迟
322
CLK
324
CLKA
S0
CLK
326
D
Q
触发器
320
Q
CLK/2
CLKB
S1

图3

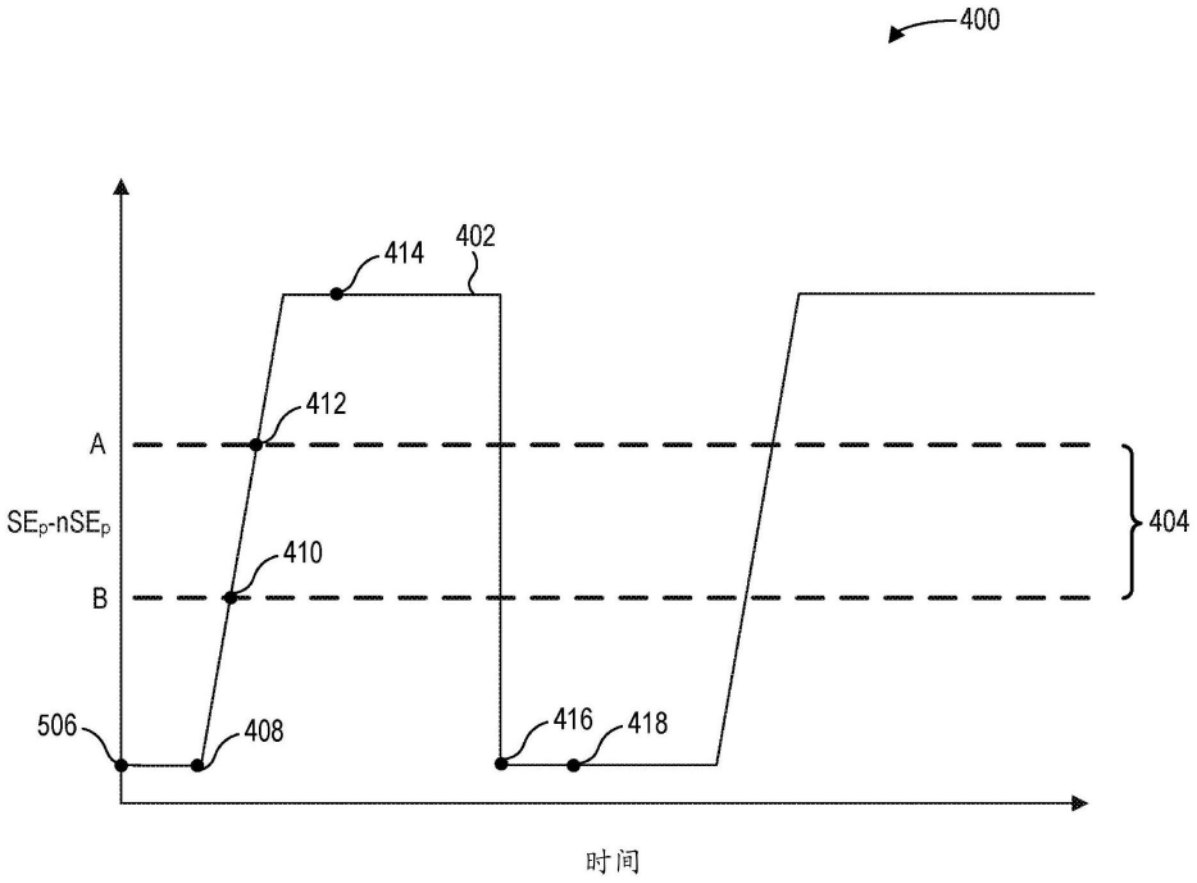

400
414
402
412
A
SEp-nSEp
404
410
B
506
408
416
418
时间

图4

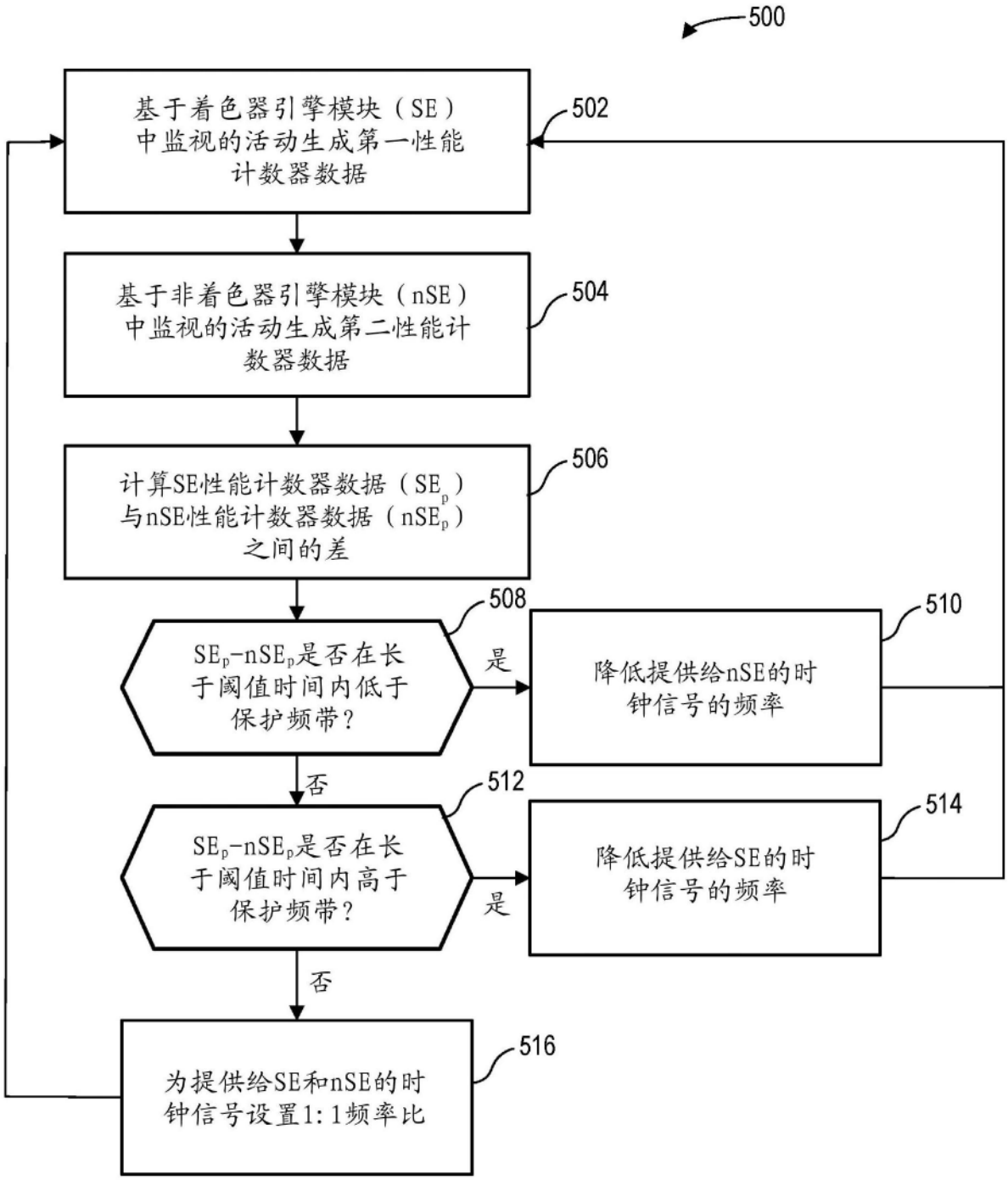

500
基于着色器引擎模块（SE）中监视的活动生成第一性能计数器数据
502
基于非着色器引擎模块（nSE）中监视的活动生成第二性能计数器数据
504
计算SE性能计数器数据（$SE_p$）与nSE性能计数器数据（$nSE_p$）之间的差
506
$SE_p$-$nSE_p$是否在长于阈值时间内低于保护频带？
508
是
降低提供给nSE的时钟信号的频率
510
否
$SE_p$-$nSE_p$是否在长于阈值时间内高于保护频带？
512
是
降低提供给SE的时钟信号的频率
514
否
为提供给SE和nSE的时钟信号设置1:1频率比
516

图5