

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3615588号

(P3615588)

(45) 発行日 平成17年2月2日(2005.2.2)

(24) 登録日 平成16年11月12日(2004.11.12)

(51) Int.Cl.⁷

F I

G 0 6 F 12/02

G 0 6 F 12/02 5 1 0 A

G 0 6 F 12/06

G 0 6 F 12/06 5 1 5 B

請求項の数 1 (全 50 頁)

(21) 出願番号	特願平7-64631	(73) 特許権者	000233778
(22) 出願日	平成7年3月23日(1995.3.23)		任天堂株式会社
(65) 公開番号	特開平8-263369		京都府京都市南区上鳥羽鉾立町 1 1 番地 1
(43) 公開日	平成8年10月11日(1996.10.11)	(74) 代理人	100098291
審査請求日	平成13年11月1日(2001.11.1)		弁理士 小笠原 史朗
		(72) 発明者	佐野 高一
			京都市東山区福稲上高松町 6 0 番地 任天
			堂株式会社内
		(72) 発明者	徳谷 重信
			兵庫県川西市中央町 3 番 6 号 川西太陽ビ
			ル 4 F 株式会社クリエイティブ・デザイ
			ン内

最終頁に続く

(54) 【発明の名称】 メモリ管理装置

(57) 【特許請求の範囲】

【請求項 1】

C P U が保有するアドレス空間上に複数のメモリを割り当てて管理する装置であって、
前記複数のメモリについて、それぞれ異なる割当可能領域を設定する割当可能領域設定手
段、

前記複数のメモリのそれぞれについて、前記割当可能領域設定手段によって設定された前
記アドレス空間の割当可能領域のうちの任意の領域に、アクセスが可能となるウインドウ
を移動可能に設定するウインドウ設定手段、

前記 C P U が実行する処理内容に応じて前記複数のメモリの前記アドレス空間上での配置
位置を切り替えるメモリ配置切替手段、

各前記メモリ間の優先度を指定するための優先度指定手段、および

前記アドレス空間上において、複数のウインドウが重なって設定された領域がアクセスさ
れたとき、前記優先度指定手段によって指定された優先度に基づいて、当該重なったウイ
ンドウに対応する各メモリのアクセス優先度を制御する優先度制御手段を備え、

前記ウインドウ設定手段は、前記複数のメモリのそれぞれについて、前記メモリ配置切替
手段によって切り替えられた配置位置に前記ウインドウを設定することを特徴とする、メ
モリ管理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【産業上の利用分野】

10

20

本発明はメモリ管理装置に関し、より特定的には、CPUが保有するアドレス空間上に複数のメモリを割り当てて管理する装置に関する。

【0002】

【従来技術の説明】

近年、CPUが直接アクセスできるアドレス空間の増大、メモリの大容量化、さらに用途別のメモリの特殊化が進み、プログラムによるメモリの管理がますます煩雑になっている。

【0003】

そこで、従来は、バンク切り替えと呼ばれる手法によって、メモリの管理を行うようにしていた。このバンク切り替えの従来技術としては、以下のようなものがあった。

10

【0004】

(1) 実公平3 - 30916号公報... キャラクタ用メモリのバンク切り替え技術を開示している

(2) 特公平4 - 20492号公報... プログラムメモリのバンク切り替え技術を開示している

(3) 特開昭63 - 245535号公報... 複数レジスタによる複雑なバンク切り替え技術を開示している

(4) 特開平3 - 92949号公報... ROMとRAMのメモリ切り替え技術を開示している

(5) 特開平4 - 65738号公報... メモリのアクセス形態を変更する技術を開示している

20

(6) 特開平4 - 130554号公報... ROMとRAM間のデータ転送技術を開示している

【0005】

バンク切り替えには、大きく分けて2種類の技術がある。1つは、上記従来技術(1), (2), (3)のように、CPUが直接アクセスできるアドレス空間よりもさらに大容量のメモリを使用するために、このメモリを複数のバンクに分割し、メモリマップ上に配置されたエリアに指定のバンクを割り当てる技術である。もう1つは、上記従来技術(4), (5), (6)のように、メモリ効率やアクセスタイム向上のために、ビット幅を切り替えたり、高速アクセス可能なS - RAMの使用を目的としてROMとの切り替えを行う技術である。

30

【0006】

【発明が解決しようとする課題】

上述の2種のバンク切り替え技術において、前者のバンク切り替えは大容量化、後者のバンク切り替えはメモリの特殊化に対応するための解決策を示唆しているが、どちらも狭いメモリ空間上で大容量のメモリを使用するためのバンク切り替え技術であり、プログラムを作成する上で、特定のメモリを任意のメモリマップ上に設定するための融通性に欠ける。

【0007】

現在のように、CPUが広いメモリマップエリアを持つようになると、複数種類のメモリを広いCPUメモリマップ上にアプリケーション毎に最適に配置する要求が高まっている。しかしながら、従来のバンク切り替え技術では、このような要求に対応することができなかった。例えば、読み出し専用メモリであるROM、揮発性メモリであるDRAM(またはPSRAM)、書き込みに時間を要する不揮発性メモリであるフラッシュメモリを使用してデータ放送を受信する場合、ROM上のプログラムを使用してフラッシュメモリ上に受信データをストアしながらPSRAM上のプログラムを同時に(マルチタスクで)走らせる場合には、この3つをメモリマップ上に割り当てる必要がある。しかしながら、特定のアドレスエリアに固定された各メモリに対し、必要に応じて3つともバンク切り替えを行っていても、プログラムによるアドレス管理が煩雑になる。したがって、その時々によって、必要なメモリが、必要な場所に割り当てられ、それ以外の時にはメモリマップ上

40

50

から消えているという操作ができれば、より柔軟なメモリ割り付けが可能になる。

【 0 0 0 8 】

それゆえに、本発明の目的は、使用するメモリの諸条件（種類、容量、使用状況）に応じて、メモリマップ上で柔軟にメモリの管理が行えるメモリ管理装置を提供することである。

【 0 0 0 9 】

【課題を解決するための手段】

請求項 1 に係る発明は、C P U が保有するアドレス空間上に複数のメモリを割り当てて管理する装置であって、

複数のメモリについて、それぞれ異なる割当可能領域を設定する割当可能領域設定手段、
複数のメモリのそれぞれについて、割当可能領域設定手段によって設定されたアドレス空間の割当可能領域のうちの任意の領域に、アクセスが可能となるウインドウを移動可能に設定するウインドウ設定手段、

C P U が実行する処理内容に応じて複数のメモリのアドレス空間上での配置位置を切り替えるメモリ配置切替手段、

各メモリ間の優先度を指定するための優先度指定手段、および

アドレス空間上において、複数のウインドウが重なって設定された領域がアクセスされたとき、優先度指定手段によって指定された優先度に基づいて、当該重なったウインドウに対応する各メモリのアクセス優先度を制御する優先度制御手段を備え、

ウインドウ設定手段は、複数のメモリのそれぞれについて、メモリ配置切替手段によって切り替えられた配置位置にウインドウを設定する。

【 0 0 1 3 】

【作用】

周知のごとく、パーソナルコンピュータのディスプレイ表示方法において、複数種類の画像を表示する場合に、分割スクリーンという方法と、マルチウインドウという方法とがある。前者は、例えば表示画面を上下に 2 分割し、上と下とで異なる画像を表示するというものであり、後者は、画面上に仮に設定した 2 つ以上の窓に対して、各々の画像を割り当てるという方法である。特に後者においては、各ウインドウは重なって表示され、必要なウインドウのみが最も前面に表示される。本発明は、メモリの配置手法に、このマルチウインドウの概念を導入し、複数種類のメモリエリアを各々独立にマッピングし、優先度の高いメモリから順番にメモリマップの前面に配置することにより、柔軟なメモリ割り付けを実現している。従来のメモリバンク切り替えは、分割スクリーン方式の画像処理技術に対応し、本件のメモリ割り付けを使用することによって得られる効果は、この 2 つの方法を比較しても伺い知ることができる。

【 0 0 1 4 】

請求項 1 に係る発明では、複数のメモリについて、それぞれ異なる割当可能領域を設定し、複数のメモリのそれぞれについて、アドレス空間の当該割当可能領域のうちの任意の領域に、アクセスが可能となるウインドウを移動可能に設定する。また、C P U が実行する処理内容に応じて複数のメモリのアドレス空間上での配置位置を切り替え、アドレス空間上において、複数のウインドウが重なって設定された領域がアクセスされたときは、優先度指定手段によって指定された優先度に基づいて、当該重なったウインドウに対応する各メモリのアクセス優先度を制御するようにしている。これによって、使用するメモリの諸条件（種類、容量、使用状況）に応じて、アドレス空間上で柔軟にメモリの管理が行える。

【 0 0 1 5 】

また、請求項 1 に係る発明では、予め設定された優先順位に基づいて、各メモリ間の優先度を固定的に指定するようにしている。

【 0 0 1 6 】

また、請求項 1 に係る発明は、C P U から各メモリの優先順位が書き込まれる記憶手段の記憶内容に基づいて、各メモリ間の優先度を指定するようにしている。これによって、当

10

20

30

40

50

該優先度を自由に変更することができる。

【 0 0 1 8 】

【実施例】

図 1 は、本発明の一実施例に係る衛星データ放送受信装置の構成を示す外観斜視図である。図 1 において、この衛星データ放送受信装置は、ゲーム機本体 2 と、衛星データ放送受信アダプタ 4 と、衛星データ放送受信カートリッジ 6 と、メモリユニット 8 と、ハードディスク装置 10 とを備えている。ハードディスク装置 10 は、衛星データ放送受信アダプタ 4 に装着される。ゲーム機本体 2 は、衛星データ放送受信アダプタ 4 の上に搭載される。メモリユニット 8 は、衛星データ放送受信カートリッジ 6 に装着される。衛星データ放送受信カートリッジ 6 は、ゲーム機本体 2 に装着される。ゲーム機本体 2 は、いわゆるテレビゲーム機であって、例えば、本出願人の製造販売に係る「スーパーファミコン（商品名；登録商標）」が用いられる。

10

【 0 0 1 9 】

図 2 は、本実施例の衛星データ放送受信装置を用いて構成された衛星データ放送受信システムの構成を示す外観斜視図である。図 2 において、ゲーム機本体 2 には、コントローラ 12 と、TV モニタ 22 とが接続される。衛星データ放送受信アダプタ 4 には、AC アダプタ 14 が接続されるとともに、ビットストリーム分配器 20 を介して、BS チューナ 18 が接続される。BS チューナ 18 には、BS アンテナ 16 が接続される。ビットストリーム分配器 20 は、BS チューナ 18 からの放送データ（ビットストリーム）を、衛星データ放送受信アダプタ 4 に与えるとともに、他の衛星データ受信機器に対して当該信号を分配して供給する。

20

【 0 0 2 0 】

図 3 は、図 2 におけるゲーム機本体 2 の内部構成を示すブロック図である。図 3 において、このゲーム機本体 2 は、CPU 30 と、ワーク RAM 32 と、アドレスデコーダ 34 と、入出力ポート 36 と、コネクタ A 38 と、ビデオプロセッサ（PPU）40 と、ビデオ RAM 42 と、ビデオエンコーダ 44 と、オーディオプロセッサ（APU）46 と、オーディオ RAM 48 と、ステレオサウンドの左用ミキサ 50a と、右用ミキサ 50b と、左用アンプ 52a と、右用アンプ 52b と、コネクタ B 54 と、CIC 56 と、リセットスイッチ 58 と、リセット回路 60 と、パワースイッチ 62 と、電源回路 64 と、発振回路 66 とを備えている。

30

【 0 0 2 1 】

CPU 30 は、DMA 回路 30a を内蔵しており、DMA 動作時にはアドレスバス A および B に異なるアドレス信号を与え、アドレスバス A に接続された回路からアドレスバス B に接続された回路へ（または逆方向に）データを転送する。CPU は、コネクタ A 38 からの割り込み信号 IRQ およびコネクタ B 54 からの割り込み信号 IRQ がワイヤード OR 接続されて入力される。

【 0 0 2 2 】

ワーク RAM 32 は、基本的にはアドレスバス A 上のメモリとして使用されるが、主としてプログラム動作上の補助情報を記憶するものであり、アドレスバス B 上のポートからもアクセスが可能である。アドレスデコーダ 34 は、アドレスバス A 上の信号に基づいて、各回路に対してチップイネーブル信号を供給する。入出力ポート 36 は、コントローラ 12 から操作情報を得る。コネクタ A 38 は、衛星データ放送受信カートリッジ 6 に接続される。このコネクタ A 38 には、アドレスバス A および B の両方が接続される。

40

【 0 0 2 3 】

PPU 40 は、画像データの処理を行うものであり、作業用メモリとして用いられるビデオ RAM 42 が接続される。ビデオエンコーダ 44 は、PPU 40 からのアナログ RGB 信号をコンポジットビデオ信号に変換し、TV モニタ 22 に供給する。

【 0 0 2 4 】

APU 46 は、音声データの処理を行う。オーディオ RAM 48 は、APU 46 の作業用メモリとして用いられる。ミキサ 50a および 50b は、APU 46 からの音声信号と、

50

衛星からのPCM音声放送とを混合して出力する。アンプ52aおよび52bは、それぞれ、ミキサ50aおよび50bの出力信号を増幅し、TVモニタ22に供給する。

【0025】

コネクタB54は、衛星データ放送受信アダプタ4に接続される。このコネクタB54には、アドレスバスBは接続されるが、アドレスバスAは接続されない。CIC56は、カートリッジの真性を検査するためのセキュリティチップであり、その詳細が特公平5-27891号公報に詳細に開示されている。CIC56は、カートリッジが真正でない場合に、リセット信号を出力する。リセットスイッチ58は、操作者によって操作されたときに、リセット信号を出力する。リセット回路60は、CIC56からのリセット信号とリセットスイッチ58からのリセット信号とを混合し、CPU30、PPU40、APU46、コネクタA38およびコネクタB54に、リセット信号RESETBとして供給する。また、リセット回路60は、パワースイッチ62がONされたときにも、リセット信号RESETBを出力する。

10

【0026】

パワースイッチ62は、操作者によって操作されたときに、電源回路64を能動化する。電源回路64は、衛星データ放送受信アダプタ4からの供給電圧VDC(12V)を5Vに変換し、安定化させる。この5Vの電圧は、電源ラインMVccを介して各回路およびコネクタに供給される。特にコネクタB54を介して衛星データ放送受信アダプタ4に供給される5V電圧は、電源制御信号として使用される。発振回路66は、各プロセッサに、必要なクロック信号を与える。

20

【0027】

図4は、図2における衛星データ放送受信カートリッジ6の内部構成を示すブロック図である。図4において、この衛星データ放送受信カートリッジ6は、マッピングコントローラ70と、マスクROM72と、疑似SRAM74と、フラッシュメモリA76と、CIC78と、コネクタD80とを備えている。

【0028】

マッピングコントローラ70は、プログラムに従って、メモリマップ上における、マスクROM72、疑似SRAM74、フラッシュメモリA76およびメモリユニット8(コネクタD80に接続される)の配置を切り替える。マッピングコントローラ70の内部の詳細は、図7に示されている。

30

【0029】

マスクROM72は、主として放送受信プログラムや、初期画面表示等の基本的プログラムおよびデータを記憶する。CPU30のリードタイミングを示す信号CPURDBおよびマッピングコントローラ70からのチップイネーブル信号CE2Bが、それぞれ、アウトプットイネーブルコントロール端子OE1およびOE2に与えられる。

【0030】

疑似SRAM74は、主として放送データを一時記憶するものであり、マッピングコントローラ70からの信号PWEBによってリード/ライト制御が行われ、信号POEB/RFBによってアウトプットイネーブルおよびリフレッシュ制御が行われ、信号CE1Bによってチップイネーブル制御が行われる。

40

【0031】

フラッシュメモリA76は、主として放送データを長期的に記憶するものであり、CPU30からの信号CPURDBによってアウトプットイネーブル制御が行われ、信号CPUWRBでリード/ライト制御が行われる。また、フラッシュメモリA76は、マッピングコントローラ70からの信号WPBでライトプロテクト制御が行われ、信号CE3Bでチップイネーブル制御が行われる。CPU30からのデータ書き込み時には、信号RY/BYBがローレベルからハイレベルに変化することにより、書き込み完了をマッピングコントローラ70に知らせる。これに基づいてマッピングコントローラ70は、CPU30に対して信号IRQBを発生する。CIC78は、ゲーム機本体2内のCIC56と協働して、セキュリティ動作を行う。コネクタD80は、メモリユニット8に接続される。

50

【0032】

図5は、図2における衛星データ放送受信アダプタ4の内部構成を示すブロック図である。図5において、この衛星データ放送受信アダプタ4は、データ放送デコーダ82と、PCMデコーダ84と、左用アンプ86aと、右用アンプ86bと、EEP-ROM88と、ボルテージ・コントロールド・クリスタル・オシレータ(以下、「VXO」と略称する)90と、双方向バッファ92と、バスバッファ94, 96と、コネクタC98と、LED100と、電源制御回路102と、LED104とを備えている。

【0033】

データ放送デコーダ82は、ビットストリーム分配器20を介して、BSチューナ18からビットストリーム信号BSTを入力し、この信号を増幅した後に信号BST02としてPCMデコーダ84に与える。PCMデコーダ84から出力される信号FDINは、ビットストリーム信号から分離された放送データであり、データ放送デコーダ82は、この信号FDINをデコードしてゲーム機本体2のCPU30が使用可能な形態のデータに変換する。信号VERは、当該アダプタ4のバージョン番号を設定するために用いられ、本実施例では0に設定されている。信号IRQBは、例えばハードディスク装置10からの割り込み要求が発生した場合に発生され、コネクタB54を介してCPU30に与えられる。データ放送デコーダ82の内部の詳細は、図12に示されている。

【0034】

PCMデコーダ84(例えば、松下電器産業株式会社製のMN88821)は、データ放送デコーダ82から与えられる信号BST02からPCM音声信号PCM L, PCM Rを取り出し、アンプ86a、86bを介して、ゲーム機本体2内のミキサ50a、50bに供給する。また、PCMデコーダ84は、フレーム同期信号FSYNC、ビットストリームクロック信号BSC Kを生成してデータ放送デコーダ82に供給するとともに、放送データをシリアル信号FDINとしてデータ放送デコーダ82に供給する。プログラムによるPCMデコーダ84の制御は、PCMDバスの信号を介して行われる。データ放送デコーダ82は、PCMDバスをCPU30に結合するための入出力ポートを内蔵する。

【0035】

EEP-ROM88(例えば、セイコー電子株式会社製のS-2913CR)には、本体のシリアル番号が出荷時に記録されている。有料データ受信時は、この本体シリアル番号が参照され、有料放送受信登録ユーザーであるかどうか判断される。EEP-ROM88に対する書き込み、読み出しの制御は、EEP-ROMバスの信号を介してソフトウェアにより行われる。データ放送デコーダ82は、EEP-ROMバスをCPU30に結合するための入出力ポートを内蔵する。

【0036】

VXO90(例えば、松下電器産業株式会社製のAN3913S)は、受信されたビットストリーム信号に同期したメインクロック信号MCKを発生する。メインクロック信号MCKはPCMデコーダ84に与えられ、これに基づいてビットストリームクロック信号BSC Kが生成される。データ放送デコーダ82は、ビットストリームクロック信号BSC Kとビットストリーム信号との位相を比較し、それらの位相誤差成分を信号P/DとしてVXO90にフィードバックをかける。これによってメインクロック信号MCK、ビットストリームクロック信号BSC Kおよびビットストリーム信号の同期が達成される。信号STDBYは、プログラム制御のスタンバイ信号であり、スタンバイ時にはVXO90の発振が停止して消費電力が低減される。

【0037】

双方向バッファ92(例えば、米国テキサスインスツルメント社製の74LS245)は、データバス用のバスバッファである。この双方向バッファ92は、データ放送デコーダ82からの信号DIRによって、信号の向きが切り替えられる。すなわち、双方向バッファ92は、CPU30がデータを入力する場合にはコネクタB54方向にデータを出力し、CPU30がデータを出力する場合にはデータ放送デコーダ82およびコネクタC98方向にデータを出力するよう制御される。

10

20

30

40

50

【0038】

バスバッファ94（例えば、米国テキサスインスツルメント社製の74LS541）はアドレスバス用のバスバッファであり、バスバッファ96（例えば、米国テキサスインスツルメント社製の74LS541）は制御信号用のバスバッファである。コネクタC98には、例えばハードディスク装置10が接続され、数多くの受信データを長期間に渡って保存するのに用いられる。ハードディスク装置10と各メモリ間のデータ転送は、データバス、アドレスバスBを介して制御信号Bに基づいてDMA回路30aにより制御されるが、ハードディスク装置10への命令は、EXバスを介してソフトウェアにより与えられる。データ放送デコーダ82は、EXバスをCPU30に結合するための入出力ポートを内蔵する。

10

【0039】

LED（発光ダイオード）100は、ハードディスク装置10のアクセスランプ等に使用される。電源制御回路102は、衛星データ放送受信アダプタ4の電源を制御する。ゲーム機本体2から電源ラインMVccを介して5V電圧が供給されると、電源制御回路102は、ACアダプタ14から供給される12V電源を5V電圧に変換し、安定化してSVccとして、アダプタ4内の各回路およびコネクタに電源を供給する。LED104は、パワーオン時に点灯するパイロットランプである。

【0040】

図6は、図2におけるメモリユニット8の内部構成を示すブロック図である。図6において、このメモリユニット8は、フラッシュメモリB106を備えている。このフラッシュメモリB106は、主として長期的記憶に用いられ、他のカートリッジに差し替えて使用することにより、受信データを他のカートリッジでも利用可能になる。また、データ放送を受信できるカートリッジが複数個ある場合でもメモリユニット8を差し替えて使用できるため、カートリッジの単価を安くすることができる。なお、フラッシュメモリB106に接続された各信号線は、図4におけるフラッシュメモリA76に接続されたものと同等である。

20

【0041】

図7は、図4におけるマッピングコントローラ70の内部構成を示すブロック図である。図7において、このマッピングコントローラ70は、コントロールレジスタ110と、アドレスデコーダ112と、NANDゲート114と、スリーステートゲート116と、入力バッファ118と、マップデコーダ120と、アドレスセクタ122と、PSRAMコントローラ124と、IRQコントローラ126とを備えている。

30

【0042】

コントロールレジスタ110は、各メモリのアドレスマッピングの変更や、IRQコントロール、ライトプロテクト等の指定を行う15種類のレジスタブロックを含む。CPU30から各レジスタへの書き込み時には、信号FE0～FE14の内の1つがアクティブになってレジスタブロックを指定し、同時に信号CD7Iにより書き込みデータが与えられ、信号CPUWRBにより書き込みパルスが与えられる（データは、8ビット中の1ビットD7だけが使用される）。各レジスタブロックからCPU30への読み出し時には、信号FE0～FE13でライト時と同様にレジスタを指定することにより、そのレジスタのデータがCD7Oとして出力される（信号FE14はリード不可）。アドレスデコーダ112から出力される信号Cは、信号FE0～FE13の内どれかがアクティブの状態でハイレベルになる。そのため、NANDゲート114、インバータ115は、信号Cがハイレベルで、かつ信号CPURDBがローレベルの時にスリーステートゲート116の出力を許可する。これにより、データCD7OはデータバスD7に出力され、CPU30に読み込まれる。コントロールレジスタ110の内部構成の詳細は、図11に示されている。

40

【0043】

アドレスデコーダ112は、アドレスバスA上の信号をデコードすることにより、信号FE0～FE14を生成する。また、アドレスデコーダ112は、信号FE0～FE13のうちのどれかがアクティブの場合に、信号Cをハイレベルにする。さらに、アドレスデコ

50

ーダ 1 1 2 は、各メモリが配置されるアドレスエリアをデコードし、その結果を信号 R O M S E L B としてマップデコーダ 1 2 0 に与える。

【 0 0 4 4 】

マップデコーダ 1 2 0 は、コントロールレジスタ 1 1 0 からのコントロール信号に基づいて、C P U 3 0 による特定アドレスアクセス時に、信号 C E 1 B ~ C E 4 B のうちのどれかをアクティブにする。これによって、特定アドレスに指定のメモリ回路が割り当てられる。さらに、マップデコーダ 1 2 0 は、C I C 7 8 からのカートリッジ真偽判定出力 R 1 0 に基づいて、フラッシュメモリ 7 6 へのライトプロテクト信号 W P B を制御する。マップデコーダ 1 2 0 の内部構成の詳細は、図 1 0 に示されている。

【 0 0 4 5 】

アドレスセクタ 1 2 2 は、コントロールレジスタ 1 1 0 からの信号 M A P M O D E に基づいて、アドレスマップ上へのメモリ回路の割り当てパターンを制御する。このアドレスセクタ 1 2 2 により、2 0 モードと 2 1 モードという 2 種類のマップモードを選択できる。2 0 モードでは、各メモリバンクの 0 0 0 0 H ~ 7 F F F H と 8 0 0 0 H ~ F F F F H に同じメモリイメージが配置される。ゲーム機本体においては、0 0 H ~ 3 F H , 8 0 H ~ B F H バンクの 0 0 0 0 H ~ 7 F F F H にワーク R A M や P P U 、A P U 制御ポートが割り当てられているため、連続的にメモリを割り当てると 0 0 0 0 H ~ 7 F F F H の領域においてはメモリを読み出せないという不具合が生ずる。したがって、2 0 モードに設定することによりメモリに無駄が生じない。しかし 2 0 モードでは、0 0 0 0 H ~ 7 F F F H と 8 0 0 0 H ~ F F F F H に同じメモリイメージが配置されるため、実質上メモリ容量の上限がメモリマップエリアの 1 / 2 に制限される。したがって、大容量のメモリが必要な場合には、連続的にメモリを配置する方がよい。2 1 モードは、メモリを連続的に配置するモードである。アドレスセクタ 1 2 2 は、これら 2 つのマップモードを切り替える。

【 0 0 4 6 】

P S R A M コントローラ 1 2 4 は、疑似 S R A M 7 4 に対してリフレッシュやアウトプットイネーブル制御、ライトプロテクトの制御を行うものであり、その内部構成の詳細は、図 9 に示されている。

【 0 0 4 7 】

I R Q コントローラ 1 2 6 は、プログラムによる割り込み許可信号 E N I R Q 、割り込み終了信号 S R C I R Q およびフラッシュメモリからの書き込み完了信号 R Y / B Y B に基づいて、システムクロック S Y S C K に同期した信号 I R Q B を生成し、C P U 3 0 に与える。信号 I R Q B は、同様にコントロールレジスタ 1 1 0 にも与えられ、信号 S R C I R Q の再リセットに使用される。I R Q コントローラ 1 2 6 の内部構成の詳細は、図 8 に示されている。

【 0 0 4 8 】

図 8 は、図 7 における I R Q コントローラ 1 2 6 の内部構成を示すブロック図である。図 8 において、この I R Q コントローラ 1 2 6 は、D フリップフロップ（以下、D - F F と称す）1 3 0 と、インバータ 1 3 5 と、D - F F 1 3 4 と、O R ゲート 1 3 6 とを備えている。

【 0 0 4 9 】

D - F F 1 3 0 は、フラッシュメモリ 7 6 の書き込み完了時に、信号 R Y / B Y B がローレベルからハイレベルに変化したとき、この時点で信号 E N I R Q をラッチする。通常、この D - F F 1 3 0 は、ローレベルの状態を維持しているため、信号 E N I R Q がローレベルの場合には、たとえクロックが与えられたとしても状態は変化しない。従って、信号 E N I R Q がハイレベルの時のみ信号 I R Q B が発生される。

【 0 0 5 0 】

D - F F 1 3 0 の状態がローレベルからハイレベルに変化すると、D - F F 1 3 4 の D 入力ハイレベルからローレベルに変化する。D - F F 1 3 4 は、D 入力がローレベルになった直後のシステムクロック（C P U の動作クロック）S Y S C K の立ち上がりで、この

10

20

30

40

50

ローレベル信号をラッチする。これによって、信号 I R Q B がハイレベルからローレベルに変化し、C P U 3 0 に割り込みがかかる。D - F F 1 3 4 は、このようにして、信号 I R Q B の出力タイミングを調整する。

【 0 0 5 1 】

O R ゲート 1 3 6 は、信号 I R Q B が出力された後、プログラムによって信号 S R C I R Q がローレベルからハイレベルに変化させられると、ハイレベルを出力する。これによって、D - F F 1 3 0 がリセットされる。D - F F 1 3 0 の出力がローレベルになると、D - F F 1 3 4 の D 入力ハイレベルとなり、次の S Y S C K の立ち上がりで信号 I R Q B がハイレベルに戻る。信号 I R Q B がハイレベルになると、コントロールレジスタ 1 1 0 により、信号 S R C I R Q は自動的にハイレベルからローレベルに変化する。また、D - F F 1 3 0 と D - F F 1 3 4 は、リセット信号 R E S E T B によってもクリア（およびセット）され、初期化される。

10

【 0 0 5 2 】

図 9 は、図 7 における P S R A M コントローラ 1 2 4 の内部構成を示すブロック図である。図 9 において、この P S R A M コントローラ 1 2 4 は、D - F F 1 4 0、1 4 2 と、インバータ 1 4 4 と、A N D ゲート 1 4 6 と、インバータ 1 4 8 と、反転入力の N A N D ゲート 1 5 0 と、反転入力の N O R ゲート 1 5 2 と、N A N D ゲート 1 5 4 と、インバータ 1 5 6、1 5 8 とを備えている。

【 0 0 5 3 】

D - F F 1 4 0 は、D - F F 1 4 2 と、インバータ 1 4 4、1 4 8 と、A N D ゲート 1 4 6 と協働して、システムリセット時の疑似 S R A M 7 4 に対するリフレッシュ信号を生成する。通常使用状態（リセット信号 R E S E T B がハイレベル）の時、D - F F 1 4 0、1 4 2 は、常にハイレベルの状態にセットされ、リフレッシュ信号の生成を行わない。リセット状態（リセット信号 R E S E T B がローレベル）の時は、信号 C E 1 B が必ずハイレベルになり、C E 端子入力がハイレベルになって、D - F F 1 4 0 が能動化される。その後、システムクロックとは非同期に動作する C I C 7 8 のためのクロック信号 C I C C K の最初の立ち上がりのパルスによって D - F F 1 4 0 にローレベルがセットされ、同様に最初の立ち下りのパルスによって D - F F 1 4 2 にローレベルがセットされる。これにより、D - F F 1 4 2 は、この後リセット信号が再びハイレベルになるまでリフレッシュ信号をローレベルのまま維持する。

20

30

【 0 0 5 4 】

N A N D ゲート 1 5 0 は、通常アクセス時の疑似 S R A M 7 4 のアウトプットコントロールを行う。信号 C E 1 B がローレベルでかつ信号 C P U R D B がローレベルのときには、C P U 3 0 が疑似 S R A M 7 4 をアクセスしている状態であり、この場合には、ローレベルを出力して疑似 S R A M 7 4 からのデータ出力を許可する。

【 0 0 5 5 】

N O R ゲート 1 5 2 には、リセット時のリフレッシュ、通常時のアウトプットコントロールとは別に、通常時のリフレッシュ制御として、信号 R E F R E S H B が入力される。負入力の N O R ゲート 1 5 2 は、これら 3 種類の信号のどれか 1 つがアクティブになった場合、信号 P O E B / R F B を疑似 S R A M 7 4 に与える。

40

【 0 0 5 6 】

N A N D ゲート 1 5 4 は、インバータ 1 5 6 および 1 5 8 と協働して、疑似 S R A M 7 4 への書き込み制御信号 P W E B を生成する。N A N D ゲート 1 5 4 は、信号 S Y S C K がハイレベルで、かつプログラムによる疑似 S R A M 7 4 への書き込み許可信号 E N R A M W R がハイレベルで、かつ疑似 S R A M 7 4 のチップイネーブル信号 C E 1 B がローレベル（アクティブ）で、かつ C P U 3 0 からの書き込み制御信号 C P U W R B がローレベル（アクティブ）の時に、疑似 S R A M 7 4 への書き込み制御信号 P W E B をアクティブにする。

【 0 0 5 7 】

図 1 0 は、図 7 におけるマップデコーダ 1 2 0 の内部構成を示すブロック図である。図 1

50

0において、このマップデコーダ120は、ROMデコーダ160と、PS-RAMデコーダ162と、フラッシュデコーダ164と、メモリユニットデコーダ166と、ANDゲート168とを備えている。

【0058】

ROMデコーダ160、PS-RAMデコーダ162、フラッシュデコーダ164およびメモリユニットデコーダ166は、アドレスバスAを介して与えられるアドレスをデコードすることにより、それぞれ、マスクROM72、疑似SRAM74、フラッシュメモリA76およびフラッシュメモリB106をイネーブル状態にするためのチップイネーブル信号CE2B、CE1B、CE3BおよびCE4Bを出力する。

【0059】

ここで、メモリ割り当て時のマスクROM72、疑似SRAM74、フラッシュメモリA76およびフラッシュメモリB106の優先順位は、一例として

マスクROM > 疑似SRAM > フラッシュメモリA > フラッシュメモリB

に選ばれている。

【0060】

マスクROMエリアと疑似SRAMエリアが重なり、ROMデコーダ160およびPS-RAMデコーダ162が同時にアクティブになるべき場合でも、信号CE2Bにより、疑似SRAMデコーダ162はアクティブ化を阻害される。そのため、信号CE1Bが非アクティブ、信号CE2Bがアクティブとなり、マスクROM72が優先的にアクセスされる。

【0061】

同様に、信号CE2B、CE1Bのどちらかがアクティブの場合には、フラッシュデコーダ164のアクティブ化が阻害され、信号CE3Bはアクティブにならない。また、信号CE2B、CE1B、CE3Bのどれかがアクティブの場合には、メモリユニットデコーダ166のアクティブ化が阻害され、信号CE4Bはアクティブにならない。

【0062】

ANDゲート168の出力信号WPBは、フラッシュメモリA76およびフラッシュメモリB106への書き込み禁止指示信号ENFMWRとCIC78からの真偽判定結果R10のどちらがローレベル（アクティブ）になっても、ローレベルとなり、フラッシュメモリへの書き込みが禁止される。

【0063】

図11は、図7におけるコントロールレジスタ110の内部構成を示すブロック図である。図11において、このコントロールレジスタ110は、D-FF180と、インバータ181と、ORゲート182と、ANDゲート184と、D-FF186と、ANDゲート188と、レジスタブロック190～300と、ORゲート198とを備えている。

【0064】

D-FF180は、通常、ローレベルの状態を保持しており、割り込みが入った（信号IRQBがローレベルになった）後に、プログラムによってこのレジスタ（信号FE0で指定される）に書き込みが行われた時のみ、ハイレベルの状態に移行する。D-FF180がハイレベル状態になると、IRQコントローラ126により、信号IRQBがハイレベルに戻される。これにより、D-FF180は再びローレベルになる。また、リセット信号RESETBがローレベル時（システムリセット時）にも、インバータ181、ORゲート182により、D-FF180はリセットされる。

【0065】

CPU30が特定アドレスをアクセスすると、信号FE0がハイレベルになるため、ANDゲート184からは、信号IRQBの状態が信号RD0として出力される。この信号RD0は、ORゲート198、スリーステートゲート116（図7参照）を介して、CPU30に読み込まれる。D-FF186は、CPU30からこのレジスタ（信号FE1で指定される）に対して書き込みが行われた時、そのデータを保持し、割り込み許可信号ENIRQとして出力する。CPU30が特定アドレスをアクセスすると、信号FE1がハイ

10

20

30

40

50

レベルになるため、ANDゲート188からは、信号ENIRQの状態が信号RD1として出力される。この信号RD1は、ORゲート198，スリーステートゲート116を介して、CPU30に読み込まれる。

【0066】

レジスタブロック190は、D-FF192，194，ANDゲート196を含み、CPU30から書き込まれたマップモードを保持し、信号MAPMODEとして出力する。CPU30は、まず、D-FF192に対してマップモード設定データの書き込み信号FE2を発生し、次にD-FF194に対して書き込み信号FE14を発生する。信号FE14にตอบสนองして、D-FF192の状態がD-FF194にラッチされ、設定したマップモードが有効になる。このように2段階の設定手法をとる理由は、レジスタブロック190～レジスタブロック300への設定を順次行い、これらの設定を同時に有効にすることにより、アドレスマップ変更時の移行期間のマップ状態を考慮する必要が無くなり、プログラムの作成が容易になるという利点があるからである。また、ANDゲート196により、現在のマップモードの設定値をCPU30からリードできる。なお、他のレジスタブロック200～300もレジスタブロック190と同様の回路構成を有している。すなわち、レジスタブロック200～300のそれぞれは、前段のD-FF202～302と、後段のD-FF204～304と、ANDゲート206～306とを含む。

【0067】

CPU30が特定のレジスタブロックをリードすると、それに対応するレジスタブロックのみが、その出力(RD0～RD13)にロー/ハイレベルの2つの状態を持つことができる。CPU30により指定されなかったレジスタブロックは、ANDゲート184，188，196～306により、その出力がローレベルに固定される。各レジスタブロックの出力の論理和をとるORゲート198の出力信号CD70は、CPU30に指定されたレジスタブロックの出力がハイレベルの時にハイレベルになり、当該レジスタブロックの出力がローレベルの時にローレベルになる。すなわち、CPU30から指定されたレジスタブロックの内容が、信号CD70として出力されることになる。

【0068】

図12は、図5におけるデータ放送デコーダ82の内部構成を示すブロック図である。図12において、このデータ放送デコーダ82は、アンプ/VXOコントローラ402と、プリデコーダ404と、チャンネルデテクタ406と、チャンネルデコーダ408と、ホストインターフェース410と、PCMデコーダインターフェース412と、EEPROMポート414と、拡張ポート416とを備えている。

【0069】

アンプ/VXOコントローラ402は、ビットストリーム信号BSTをアンプで増幅し、信号BST02としてPCMデコーダ84へ出力する。また、アンプ/VXOコントローラ402は、PCMデコーダ84からのビットストリームクロック信号BSCKとビットストリーム信号BSTとの位相誤差を検出し、VXO90に信号P/Dとしてフィードバックすることにより、クロック再生用のPLL回路を構成する。

【0070】

PCMデコーダ84は、信号BST02をデコードし、信号FDINとしてデータ放送デコーダ82に返す。プリデコーダ404は、信号FDINを受け、データチャンネルをデコードし、シリアルデータSDOとしてチャンネルデテクタ406に出力する。このプリデコーダ404は、システムシーケンサ404a、M・Sフレーム同期検出回路404bと、パケット斜めデインターリーブ回路404cと、BCH(16，5)誤り訂正回路404dと、SDSC(272，190)誤り訂正回路404eとを含む。

【0071】

システムシーケンサ404aは、クロックMCKを基に各種タイミング信号を生成し、デコードシーケンスをコントロールする。また、システムシーケンサ404aは、信号FDINに同期したPCMデコーダ84からのビットストリームクロックBSCKに基づいて、シリアルデータSDOに同期したビットクロックBTCCKを生成し、チャンネルデテク

10

20

30

40

50

タ 4 0 6 に出力する。さらに、システムシーケンサ 4 0 4 a は、シリアルデータ S D O におけるパケットの先頭を示す信号 P S Y N C を生成し、チャンネルデテクタ 4 0 6 に出力する。

【 0 0 7 2 】

M・S フレーム同期検出回路 4 0 4 b は、信号 F D I N のフレーム同期信号に基づいて、マスターフレームやスーパーフレームの同期検出を行う。パケット斜めデインターリーブ回路 4 0 4 c は、放送データをパケット毎のデータ列に並べ変える（通常、放送データは、誤り訂正の効率を上げるために、斜めインターリーブされて送信される）。

【 0 0 7 3 】

B C H (1 6 , 5) 誤り訂正回路 4 0 4 d は、デインターリーブされた放送データの各パケットのパケットヘッダ部の誤り訂正を行う。誤り訂正をしきれずにエラーが残った場合、B C H (1 6 , 5) 誤り訂正回路 4 0 4 d は、信号 H E R R を出力して、ヘッダ部にエラーが発生したことを各ブロックに知らせる。

10

【 0 0 7 4 】

S D S C (2 7 2 , 1 9 0) 誤り訂正回路 4 0 4 e は、パケットデータ本体の誤り訂正を行う。誤り訂正をしきれずにエラーが残った場合、S D S C (2 7 2 , 1 9 0) 誤り訂正回路 4 0 4 e は、信号 P E R R を出力して、データ本体にエラーが発生したことを各ブロックに知らせる。

【 0 0 7 5 】

チャンネルデテクタ 4 0 6 は、チャンネルデコーダ 4 0 8 と協働して、C P U 3 0 が指定した論理チャンネルの放送データを抜き出し、C R C 演算を行い、バッファリングし、C P U 3 0 へ出力する。また、チャンネルデテクタ 4 0 6 は、論理チャンネルの一致検出を行い、バッファリングの許可を与える。このチャンネルデテクタ 4 0 6 の内部構成の詳細は、図 1 3 に示されている。

20

【 0 0 7 6 】

チャンネルデコーダ 4 0 8 は、C P U 3 0 が指定したチャンネルのデータをデコードし、バッファリングするための回路を 2 系統含む（チャンネル 1 デコーダ / バッファ 4 0 8 a , チャンネル 2 デコーダ / バッファ 4 0 8 b ）。これらチャンネル 1 デコーダ / バッファ 4 0 8 a , チャンネル 2 デコーダ / バッファ 4 0 8 b は、同様の回路構成を有するが、その内部構成の詳細は、図 1 4 ~ 図 1 9 に詳細に示されている。

30

【 0 0 7 7 】

ホストインターフェース 4 1 0 は、入力ポート 4 1 0 a 、出力ポート 4 1 0 b 、アドレスデコーダ 4 1 0 c 、レジスタ 4 1 0 d 等を含み、各ブロックとホストコンピュータ間のインターフェースを行う。

【 0 0 7 8 】

P C M デコーダインターフェース 4 1 2 は、P C M デコーダ 8 4 と C P U 3 0 間のインターフェースを行う入出力ポートを含む。E E P R O M ポート 4 1 4 は、図 5 の E E P R O M 8 8 と C P U 3 0 との間のインターフェースを行う入出力ポートを含む。E E P R O M 8 8 は、シリアル入出力タイプを採用し、これに与えるチップセレクト C S , シリアルクロック S K , 出力データ D O および入力データ D I が、全てプログラムによりコントロールされる。拡張ポート 4 1 6 は、例えばハードディスク等を接続するためのインターフェース用入出力ポートを含む。

40

【 0 0 7 9 】

図 1 3 は、図 1 2 におけるチャンネルデテクタ 4 0 6 の内部構成の詳細を示すブロック図である。図 1 3 において、このチャンネルデテクタ 4 0 6 は、S - P 変換回路 4 2 0 と、ビットカウンタ 4 2 2 と、設定レジスタ 4 2 4 と、チャンネル 1 用の L C I 比較回路（以下「第 1 の比較回路」という）4 2 6 と、D - F F 4 2 8 , 4 3 0 , 4 3 6 , 4 3 8 と、チャンネル 2 用の L C I 比較回路（以下「第 2 の比較回路」という）4 3 4 と、A N D ゲート 4 3 2 , 4 4 0 とを備えている。

【 0 0 8 0 】

50

S - P 変換回路 4 2 0 は、プリデコーダ 4 0 4 からのシリアルデータ S D O を 8 ビット単位のパラレルデータに変換する。ビットカウンタ 4 2 2 は、信号 P S Y N C によりクリアされ、信号 B T C K によりアップカウントされるカウンタを含み、パケットデータをデコードするための各種信号を出力する。ビットカウンタ 4 2 2 から出力される各種信号のタイミングの詳細は、図 2 1 のタイムチャートに示されている。

【 0 0 8 1 】

設定レジスタ 4 2 4 は、C P U 3 0 から設定される論理チャンネルデータを記憶する。論理チャンネルデータは、5 ビットの L C I 1 データと、6 ビットの L C I 2 データとを含み、本実施例ではこれを 2 系統持つ。信号 W E 0 , W E 1 , W E 2 , W E 3 は、それぞれ、チャンネル 1 の L C I 1 データ、チャンネル 1 の L C I 2 データ、チャンネル 2 の L C I 1 データ、チャンネル 2 の L C I 2 データの書き込み許可信号であり、C P U 3 0 から出力される信号 P A W R に同期して書き込まれる。R E 0 ~ R E 3 は、設定データの読み出し許可信号である。設定レジスタ 4 2 4 に設定されたデータは、C 1 L 1、C 1 L 2、C 2 L 1、C 2 L 2 データとして出力され、論理チャンネルデータの一致判定に利用される。同時に、設定レジスタ 4 2 4 には、データグループ構成を指示する信号 C H 1 D G S T Y , C H 2 D G S T Y が C P U 3 0 から書き込まれる。これら信号 C H 1 D G S T Y , C H 2 D G S T Y は、それぞれ 1 ビットの信号であり、上記 L C I 1 データと同時に書き込まれる。

【 0 0 8 2 】

次に、図 2 1 のタイムチャートを参照して、第 1 の比較回路 4 2 6、D - F F 4 2 8、4 3 0、AND ゲート 4 3 2 の動作を説明する。L C I 1 データはシリアルデータ S D O の第 1 ~ 第 5 ビットに対応し、L C I 2 データはシリアルデータ S D O の第 1 7 ~ 第 2 2 ビットに対応する。信号 L C I 1 S Y N C は、シリアルデータ S D O の第 5 ビット目にハイレベルになる信号であり、第 1 の比較回路 4 2 6 および D - F F 4 2 8 に与えられる。

【 0 0 8 3 】

第 1 の比較回路 4 2 6 は、信号 L C I 1 S Y N C がハイレベルのとき S - P 変換 4 2 0 からのデータと C 1 L 1 データとを比較し、信号 L C I 1 S Y N C がローレベルのとき S - P 変換 4 2 0 からのデータと C 1 L 2 データとを比較する。第 1 の比較回路 4 2 6 は、比較の結果、両データが一致していればハイレベル信号を出力し、一致していなければローレベル信号を出力する。すなわち、シリアルデータ S D O の第 5 ビット目のタイミングで論理チャンネル L C I 1 の一致 / 不一致が検査され、D - F F 4 2 8 に対してその結果が出力される。D - F F 4 2 8 は、信号 L C I 1 S Y N C がハイレベルでかつ信号 B T C K の立ち上がりのタイミングで、第 1 の比較回路 4 2 6 の出力をラッチする。そのため、D - F F 4 2 8 は、結果的に論理チャンネル L C I 1 の比較結果を保持することになる。

【 0 0 8 4 】

次に、シリアルデータ S D O の第 2 2 ビット目においては、S - P 変換 4 2 0 からは L C I 2 データが出力される。このタイミングでは、信号 L C I 1 S Y N C はローレベルである。そのため、第 1 の比較回路 4 2 6 は、S - P 変換 4 2 0 からのデータと C 1 L 2 データとを比較し、その結果を D - F F 4 3 0 に出力する。D - F F 4 3 0 は、シリアルデータ S D O の第 2 2 ビット目でハイレベルとなる L C I 2 S Y N C 信号を受け、信号 B T C K の立ち上がりで第 1 の比較回路 4 2 6 の出力をラッチする。そのため、D - F F 4 3 0 は、結果的に論理チャンネル L C I 2 データの比較結果を保持することになる。D - F F 4 2 8 の L C I 1 比較結果データと、D - F F 4 3 0 の L C I 2 比較結果データとは、AND ゲート 4 3 2 に出力される。AND ゲート 4 3 2 は、ヘッダエラーが無い場合（信号 H E R R がローレベルの時）、両比較結果データが「一致」を示していれば、バッファリング許可信号 C H 1 E N A をハイレベルにする。

【 0 0 8 5 】

チャンネル 2 においても、上記と同様に、第 2 の比較回路 4 3 4、D - F F 4 3 6、4 3 8、AND ゲート 4 4 0 により、バッファリング許可信号 C H 2 E N A が生成される。シリアルデータ S D O の第 3 0 ビット目には、信号 P F X S Y N C がハイレベルになり、S

10

20

30

40

50

- P変換420からは、プリフィックスデータ(SCC, CI, DTC)の計8ビットが出力される。このタイミングで信号BTCKが立ち上がると、DFF442にはプリフィックスデータがラッチされる。ここで、SCCはスクランブルの有無を示す信号、CIはパケットの連続性を示すカウント値、DTCはデータグループの先頭と終端を示すフラグである。シリアルデータSDOの第288ビット目には、信号PERRLDがハイレベルになる。また、プリデコード404は、SDSC(272, 190)誤り訂正の結果、訂正不能エラーが発生したかどうかのフラグをPERRとして出力する。このタイミングで信号BTCKが立ち上がると、DFF444は、信号PERRをラッチする。

【0086】

ビットカウンタ422は、これら以外にも、8ビット単位でデータのタイミングを示す信号DATASYNCと、実データの終端タイミングを示す信号DBLASTと、当該パケットのプリフィックスデータと、実データおよびフラグのすべてがそろったことを示す信号PERRSYNCとを発生する。

【0087】

前述したように、本実施例では、デコーダ/バッファは2系統あるが(チャンネル1用のデコーダ/バッファ408aと、チャンネル2用のデコーダ/バッファ408b)、図14はそのうちのチャンネル1用のデコーダ/バッファ408aの内部構成を示している。なお、チャンネル2用のデコーダ/バッファ408bも、デコーダ/バッファ408aと同じ回路構造を持っているため、ここでは説明を省略する。図14において、このチャンネル1用のデコーダ/バッファ408aは、データコントローラ450と、プリフィックスメモリ452と、データメモリ454と、データセクタ456とを備えている。

【0088】

データコントローラ450は、バッファリング許可信号CH1ENAを受け、データサイズのカウント、連続性指標CIのチェック、データグループ単位でのCRC演算を行い、バッファリングのためのアドレスを発生する。このデータコントローラ450の内部構成の詳細は、図15に示されている。プリフィックスメモリ452は、プリフィックスデータ記憶用バッファであり、データコントローラ内のプリフィックスFIFOインターフェース472(図15参照)により、FIFOメモリとして使用される。データメモリ454は、データグループデータ記憶用バッファであり、データコントローラ内のデータFIFOインターフェース474(図15参照)により、FIFOメモリとして使用される。データセクタ456は、CPU30からのアクセスに対応し、プリフィックスデータ、データグループデータ、バッファリングされたパケット数のうちのどれかをCPU30に出力する。また、データセクタ456は、内部にエラーフラグチェックのためのORループを含み、連続して転送した複数パケット分のエラーフラグにエラーがあったかどうかを簡単に判定することができる。このデータセクタ456の内部構成の詳細は、図16に示されている。

【0089】

図15は、図14におけるデータコントローラ450の内部構成の詳細を示すブロック図である。図15において、このデータコントローラ450は、データグループシーケンサ460と、データサイズカウンタ462と、CIカウンタ464と、排他的論理和ゲート466と、CRC回路468と、ORゲート470と、プリフィックスFIFOインターフェース472と、データFIFOインターフェース474とを備えている。

【0090】

データグループシーケンサ460は、タイミング発生回路460aを含み、データサイズのカウント、CIのカウント、CRC演算、FIFOへのデータの書き込み等のタイミングを制御するためのタイミング信号を発生する。また、データグループシーケンサ460は、受信許可フラグレジスタ460bおよびクリアフラグレジスタ460cを含み、CPU30からの制御に従って、データ放送の受信許可または受信禁止とともに、バッファクリアを行う。

【0091】

10

20

30

40

50

1) 受信許可および禁止

10

20

2) データサイズカウンタ 462 の制御

30

40

3) CRC回路468の制御

50

CRC演算が行われる。CRC演算においては、エラーが無い場合、演算結果が最終的に0になるため、CRC回路468は、演算結果が0であるかどうかを判定する回路を含む。CRC演算の終了時には、CRC回路468に信号CRCOKLDが与えられ、CRC演算結果が0であればローレベルが、0でなければハイレベルがラッチされる。

【0096】

CRC演算の終了タイミングは、データグループ構成によって異なる。第1のデータグループ構成の場合は、データサイズカウンタ462からの信号DSEQに基づいて信号CRCOKLDが生成され、第2のデータグループ構成の場合は、パケット終端を示すプリフィックスデータと当該パケットのデータの終わりを示す信号DBLASTに基づいて信号CRCOKLDが生成される。

10

【0097】

CRCの演算結果は、ORゲート470に出力される。このORゲート470は、CRC演算でエラーが発生したか、または訂正不能の誤りがあった場合（信号PERRLTがハイレベルの場合）には、信号CRRERRをハイレベルにして受信データに誤りがあることを示す。

【0098】

4) CIカウンタ464の制御

CIカウンタ464は、データグループ内における各パケットの連続性を確認するための回路である。各パケットのプリフィックスデータには、4ビットのCIデータが含まれており、同一データグループの連続するパケット毎に0、1、2、...というように連番がふってある（15の次は0にもどる）。信号CILは、先頭パケットのプリフィックスデータのラッチタイミングを示す信号PFXYNCがハイレベルになった次のビットタイミングで発生され、チャンネルデテクタ406内にラッチされたCIデータをCIカウンタ464にロードする。以降、信号PERSYNCに同期してCIカウンタ464がアップカウントされる。CIカウンタ464のカウント値とパケットプリフィックスのCIデータは、排他的論理和ゲート466で比較され、不一致の場合には、信号CIERRがハイレベルとなりパケット連続性エラーを示す。具体的には、あるパケットにおいてヘッダーエラーが生じた場合（信号HERRがハイレベルの場合）には、チャンネルイネーブル信号（例えば、CH1ENA）がアクティブにならず、パケット抜けが生ずる。CIカウンタ464は、このようなパケット抜けを検出するために有効である。

20

30

【0099】

5) プリフィックスFIFOインターフェース472の制御

プリフィックスFIFOインターフェース472は、図14のチャンネル1プリフィックスメモリ452に対するアドレス信号を生成し、かつ、蓄えたプリフィックスデータの数（すなわち、パケット数）をカウントする。このとき、データグループシーケンサ460は、メモリへの書き込み制御信号PFIFOWRを、信号PERSYNCに基づいて生成する。プリフィックスメモリ452が一杯になった時には、信号PFULが出力され、それ以上のデータ書き込みが禁止される。このプリフィックスFIFOインターフェース472の内部構成の詳細は、図17に示されている。

【0100】

40

6) データFIFOインターフェース474の制御

データFIFOインターフェース474は、図14のチャンネル1データメモリ454に対するアドレス信号を生成する。メモリへの書き込み制御信号DFIFOWRは、信号DATASYNCに基づいて生成される。データメモリ454が一杯になった時には、信号DFULが出力され、それ以上のデータ書き込みが禁止される。このデータFIFOインターフェース474の内部構成の詳細は、図18に示されている。

【0101】

図16は、図14におけるデータセクタ456の内部構成の詳細を示すブロック図である。図16において、このデータセクタ456は、D-FF480、482と、マルチプレクサ484と、ORループ483とを備えている。ORループ483は、ORゲート

50

488, 494と、D - FF 486と、インバータ490と、遅延回路492とを含む。

【0102】

D - FF 480は、通常動作時は、信号CLK 19毎にデータをラッチし続けるが、プリフィックスメモリ452へのデータ書き込み時には、データをラッチしない。従って、D - FF 480には、常にCPU 30が次にリードすべきプリフィックスデータがラッチされる。D - FF 482は、D - FF 480と同様に、常にCPU 30が次にリードすべきデータグループデータをラッチする。これらD - FF 480, 482の動作の詳細は、図22のタイミングチャートを用いて後述する。

【0103】

CPU 30が特定番地をリードすると、その時のアドレス値に従って、ホストインターフェース410内のアドレスデコーダ410cから、信号RE 20、PFI FORD、DFI FORD、RE 21が出力される。これらの信号RE 20、PFI FORD、DFI FORD、RE 21は、マルチプレクサ484に入力され、それぞれ、入力端子I 0、I 1、I 2、I 3から入力されるデータを、データバスBに対して出力するよう、マルチプレクサ484の内部状態を切り替える。

【0104】

データPFCNT 1は、現在バッファメモリ452, 454にたまっているプリフィックスデータのカウンタ値(すなわち、受信したパケットの数)であり、信号RE 20によって選択される。データC1PODは、プリフィックスメモリ452に蓄えられた、次にCPU 30にリードされるべきプリフィックスデータであり、信号PFI FORDによって選択される。データC1DODは、データメモリ454に蓄えられた、次にCPU 30にリードされるべきデータグループデータであり、信号DFI FORDによって選択される。入力端子I 3には、ORループ483の出力が与えられ、信号RE 21によって選択される。

【0105】

プリフィックスデータには、CIEラーフラグ、CRCエラーフラグ(SDSC誤り訂正不能エラーを含む)が含まれているが、多数のパケットデータがバッファメモリ454内に蓄えられている場合に、これらのエラーフラグを逐一チェックするには、長時間を要する。そのため、どれか1つでもエラーがあったかどうかをチェックするために、プリフィックスデータの時間軸方向に対するORが検出できれば、それだけCPU 30の負担が減少する。ORループ483は、このような目的のために使用される。

【0106】

D - FF 486は、バッファクリアを指示する信号BFC L Rにより、ORゲート494を介してクリアされる。また、一旦、信号RE 21がアクティブになり、D - FF 486のデータがCPU 30にリードされた直後にも、遅延回路492、ORゲート494を介してD - FF 486がクリアされる。この状態で信号PFI FORDがアクティブになり、プリフィックスデータがデータバスBに出力されると、ORゲート488は、D - FF 486の出力とプリフィックスデータとのORをとってD - FF 486に与える。CPU 30にプリフィックスデータが読み込まれ、信号PFI FORDが立ち下がる時に、D - FF 486はORゲート488からのORデータをラッチする。ここで、さきほどのプリフィックスデータにエラーがあれば、そのビットがハイレベルになるが、エラーがなければそのビットはローレベルのままである。こうしてCPU 30が順次プリフィックスデータをリードすることにより、1つでもエラーがあればD - FF 486にハイレベルをラッチするよう、ORループを構成する。すべてのプリフィックスデータをリードし終わると、CPU 30は、D - FF 486の内容をリードし、エラーがあったかどうかをチェックする。

【0107】

図17は、図15におけるプリフィックスFIFOインターフェース472の内部構成の詳細を示すブロック図である。図17において、このプリフィックスFIFOインターフェース472は、タイミング発生回路500と、プリフィックスラッチ502と、ライト

10

20

30

40

50

用ループカウンタ504と、リード用ループカウンタ506と、インバータ508と、ORゲート510と、アドレスマルチプレクサ512と、プリフィックスデータ数カウンタ514と、デコーダ516と、インバータ518とを備えている。

【0108】

放送データの書き込みタイミングは、CPU30の動作クロックSYSCKとは非同期に発生するため、タイミングによってはCPU30からのリードと同時に発生する場合がある。タイミング発生回路500は、データのリードまたはデータ数カウント値のリードと、データの書き込みまたはデータ数のアップカウント（または、ダウンカウント）とが同時に発生しないように、タイミングを調整する。基本的には、信号SYSCKがハイレベルの期間にデータリードまたはデータ数カウント値のリードが、信号SYSCKがローレベルの期間にデータのライトまたはアップカウント（およびダウンカウント）が発生するように調整される。なお、DFF480でリードデータをラッチしているため、データの書き込みタイミングが信号SYSCKのハイレベル期間にまでずれ込んでも問題は生じない。これによって、FIFOのライトサイクルを制御するクロックCLK19に9MHzという比較的遅いクロックを使用することができる。

10

【0109】

タイミング発生回路500は、データグループシーケンサ460からの書き込み制御信号PFIFOWRに基づいて、信号SYSCK、CLK19に同期した書き込み信号PWR ENを生成する。プリフィックスメモリ452が満杯であることを示す信号PFULがアクティブの時には、信号PWR ENは出力されない。また、タイミング発生回路500は、CPU30が特定番地をリードしたことを示す信号PFIFORDに基づいて、信号CLK19に同期した読み出し信号PRDENを生成する。プリフィックスメモリ452が空であることを示す信号PEMPがアクティブの場合には、信号PRDENは出力されない。さらに、タイミング信号500は、プリフィックスメモリ452へのデータライト時に発生するデータ数のアップカウントと同様のタイミングで、リード時のダウンカウントが発生するように、信号PDWを、読み出し制御信号DFIFORDおよびクロックSYSCKの立ち下がりに基づいて生成する。タイミング発生回路500の動作は、図22、図23のタイミングチャートを参照して、さらに詳細に述べられる。

20

【0110】

プリフィックスラッチ502は、プリフィックスデータをビットクロックBTCKに同期してラッチする。ここでラッチされるデータは、スクランブル情報SCC（2ビット）、先頭・終端パケット情報DTC（2ビット）のみであるが、これにパケット連続性エラーフラグCIEER、CRC演算結果（SDSCエラー訂正結果を含む）CRCERRを加えた計6ビットが、プリフィックスデータとしてプリフィックスメモリ452に与えられる。

30

【0111】

ライト用ループカウンタ504は、ライト時にプリフィックスメモリ452に与えるアドレス値を記憶する。また、ライト用ループカウンタ504は、データ書き込み信号PWR ENが発生する毎に、1ずつアップカウントを行い、そのカウント値が最大値に到達すると、自動的に0に戻る。

40

【0112】

リード用ループカウンタ506は、リード時にプリフィックスメモリ452に与えるアドレス値を記憶する。リード用ループカウンタ506は、データ読み出し信号PRDENが発生する毎に、1ずつアップカウントを行い、そのカウント値が最大値に到達すると、自動的に0に戻る。

【0113】

信号PWR ENがハイレベルになると、インバータ508は、ローアクティブのプリフィックスデータライトパルスC1PWEを、プリフィックスメモリ452に与える。信号PWR ENが立ち上がってから信号C1PWEが立ち上がるまでの間、ORゲート510は、アドレスマルチプレクサ512にハイレベルのセレクト信号SELを与える。これによ

50

って、アドレスマルチプレクサ512は、書き込み期間の間だけ、ライト用ループカウンタ504からのアドレスデータを、アドレスC1PADRとしてプリフィックスメモリ452に出力する。信号SELがローレベルの間、アドレスマルチプレクサ512は、リード用ループカウンタ506からのアドレスデータを、アドレスC1PADRとしてプリフィックスメモリ452に出力する。

【0114】

プリフィックスデータ数カウンタ514は、7ビットの加算器と7ビットのD-FFとにより構成されたアップダウンカウンタであり、+1および+7FH(-1)を行うことにより、プリフィックスメモリ452にバッファリングされたプリフィックスデータの数(受信したパケットの数)をカウントする。

10

【0115】

デコーダ516は、プリフィックスデータ数カウンタ514からのカウント値が0の時に、信号PEMPをハイレベルにし、当該カウント値がプリフィックスメモリ452の記憶容量と同じになった時(本実施例では47H)に、信号PFULをハイレベルにする。

【0116】

インバータ518は、信号PWRENがハイレベルの時(データ書き込み時)に、D-FF480(図16参照)によるデータラッチを禁止する。D-FF480は、通常時はリードデータをラッチし続けるが、データ書き込み時には、インバータ518からの信号PFLATG1により、直前にラッチしたリードデータを保持する。

【0117】

20

図18は、図15におけるデータFIFOインターフェース474の内部構成の詳細を示すブロック図である。図18において、このデータFIFOインターフェース474は、大部分は、図17のプリフィックスFIFOインターフェース472と同様の回路構成を有している。すなわち、タイミング発生回路520、データラッチ522、ループカウンタ524、526、インバータ528、540、ORゲート530、アドレスマルチプレクサ532、インバータ540は、それぞれ、図17のタイミング発生回路500、プリフィックスラッチ502、ループカウンタ504、506、インバータ508、518、ORゲート510、アドレスマルチプレクサ512に相当しており、その説明を省略する。データFIFOインターフェース474は、図17のプリフィックスFIFOインターフェース472と異なる構成として、D-FF534、536と、EMP/FULデテクタ538とを備えている。

30

【0118】

D-FF534および536は、それぞれ、信号DWRENおよびDRDENを、信号CLK19の立ち上がりでラッチし、信号WCHKFFおよびRCHKFFとして、EMP/FULデテクタ538に出力する。

【0119】

プリフィックスデータは、1パケットに1バイトであり、プリフィックスメモリ452の最大値は、47H(71)バイトである。これに対して、放送データは、例えば1パケットにつき22バイトのデータを含み、データメモリ454は、 $22 \times 71 = 1562$ バイトの記憶容量を持つ。しかし、プリフィックスメモリ452のデータと、データメモリ454のデータとは同時に読み出せないため、前述のデータ数カウンタ514だけではデータメモリ454のFULL、EMPTYは判断できない。したがって、データFIFOインターフェース474は、データメモリ454のFULL、EMPTYを判断するために、独自のEMP/FULデテクタ538を持つ。

40

【0120】

図19は、図18におけるEMP/FULデテクタ538の内部構成の詳細を示すブロック図である。図19において、このEMP/FULデテクタ538は、一致判定回路550と、加算データデコーダ552と、加算器/ラッチ554と、E/Fデコーダ556とを備えている。

【0121】

50

一致判定回路 550 は、ライト用ループカウンタ 524 からのライトアドレス WC と、リード用ループカウンタ 538 からのリードアドレス RC との一致を判定し、一致を判定した場合には、ハイレベルの信号 EQ を出力する。加算データデコーダ 552 は、図 20 に示すように、各入力条件に対して所定の加算データを出力する。加算器 / ラッチ 554 は、加算データデコーダ 552 からの加算データと、前回の演算結果とを加算し、信号 CLK 19 の立ち上がりで加算結果をラッチする。E / F デコーダ 556 は、加算器 / ラッチ 554 にラッチされた加算結果に基づいて、信号 DEMP、DFUL を生成する。

【0122】

次に、図 18 および図 19 に示す EMP / FUL デテクタ 538 の動作を説明する。まず、信号 BFCRLR により、加算器 554 内のラッチは 00 (2 進数 2 桁) になる (初期状態)。この時には、E / F デコーダ 556 は、00 をデコードし、信号 DEMP にハイレベルを出力し、データメモリ 454 が空であることを示す。この状態で信号 WCHKFF がハイレベルになると、

$$WCHKFF * EQ * DEMP * / RCHKFF = 1$$

の条件式 (なお、* は AND 条件を、/ は NOT を表している) が成立し、加算器 / ラッチ 554 には加算データ 01 が与えられる。そのため、加算器 / ラッチ 554 において、前回の加算結果 00 と、今回の加算データ 01 との加算結果が 01 となり、このデータが加算器 / ラッチ 554 内に新たにラッチされる。E / F デコーダ 556 は、加算器 / ラッチ 554 のラッチデータ 01 をデコードして、信号 DEMP をローレベルに下げ、信号 RDY をハイレベルに上げる。この直後に、ライトアドレス WC の値とリードアドレス RC の値とが一致しなくなるため、その後は $EQ = HIGH$ の条件が成り立たなくなる。すると、加算データは 00 となり、加算結果に変化は生じない。

【0123】

さらに、データライト動作が続き、データメモリ 454 が満杯になると、再びライトアドレス WC とリードアドレス RC は一致する。この時には、

$$WCHKFF * EQ * RDY * / RCHKFF = 1$$

の条件式が成立するため、加算データ 01 が加算器 / ラッチ 554 に与えられる。このとき、加算器 / ラッチ 554 において、 $01 + 01 = 10$ が演算され、ラッチされる。そのため、E / F デコーダ 556 において、信号 RDY はローレベルに落ち、信号 DFUL がハイレベルとなる。信号 DFUL がハイレベルになると、これ以上のデータの書き込みは禁止される。

【0124】

次に、データリード動作が発生すると、信号 RCHKFF がハイレベルになるため、

$$RCHKFF * EQ * DFUL * / WCHKFF = 1$$

の条件式が成立し、加算データ 11 が加算器 / ラッチ 554 に与えられる。このとき、加算器 / ラッチ 554 において、 $10 + 11 = (1)01$ となり、E / F デコーダ 556 において、信号 RDY が再びハイレベルになり、信号 DFUL はローレベルになる。このままデータリード動作を続けると、最終的には、

$$RCHKFF * EQ * RDY * / WCHKFF = 1$$

の条件が成立して、加算データ 11 が加算器 / ラッチ 554 に与えられ、加算結果が $01 + 11 = (1)00$ となって、EMPTY の状態に戻る。このようにして、EMP / FUL デテクタ 538 は、信号 DEMP、DFUL を生成する。

【0125】

次に、図 22 のタイムチャートを参照して、データメモリ 454 (図 14 参照) のライトタイミングを説明する。

信号 SYSCK は、例えば 2.68 MHz のクロック信号であり、CPU 30 の動作クロックとして用いられる。信号 CLK 19 は、VXO 90 (図 5 参照) からのクロック信号 MCK を 2 分周した 9.216 MHz のクロック信号であり、データメモリ 454 のリード / ライトクロックとして用いられる。信号 BCLK は、2.048 MHz のクロック信号であり、PCM デコーダ 84 (図 5 参照) からの信号 FDI の同期クロックとして用

10

20

30

40

50

いられる。クロック信号 MCK の周波数は、VXO19 により、例えばこのクロック信号 BCLK の 9 倍の周波数 18.432 MHz に調整されている。

【0126】

図 15 のデータグループシーケンサ 460 が、信号 DATASYNC に基づいて、信号 DFIOWR を出力すると、信号 BCLK の立ち上がりで、図 18 のデータラッチ 522 にデータグループデータがラッチされる。信号 DFIOWR がハイレベルになった後、信号 SYSCK が立ち下がってから 2 つ目の信号 CLK19 の立ち上がり（信号 SYSCK の立ち下がりより T1 の後）に、信号 DWREN がハイレベルになり、信号 SEL がハイレベルになってアドレスマルチプレクサ 532 がライト用アドレス ADDWR をデータメモリ 454 に出力する。

10

【0127】

信号 SYSCK が立ち下がってから 3 つ目の信号 CLK19 の立ち上がりによって、信号 DWREN はローレベルになり、信号 DWREN の反転信号 C1DWE の立ち上がりにより、データメモリ 454 の番地 ADDWR にデータラッチ 522 のデータが書き込まれる。インバータ 528 の影響で信号 DWREN の立ち下がりよりも信号 C1DWE の立ち上がりが遅れる。そのため、信号 C1DWE が立ち上がるまでアドレスマルチプレクサ 532 がライト用アドレスをセレクトするよう、OR ゲート 530 によって信号 SEL を遅延させる。3 つ目の信号 CLK19 の立ち上がりでさらにライト用ループカウンタ 524 がアップカウントされるが、当該ループカウンタ 524 からの信号出力 “ADDWR + 1” は、インバータ 528 による遅延よりもさらに遅れるため、データメモリ 454 に与えるアドレス信号には影響が生じない。

20

【0128】

なお、プリフィックスメモリ 452 へのライトも上記と同様のタイミングで動作するが、プリフィックスデータ数カウンタ 514 は、やはり 3 つ目の信号 CLK19 の立ち上がりでカウントアップされる。

【0129】

図 22 におけるその他の信号は、受信データ数が 1562 バイトに達した場合の EMP / FULL デテクタ 538 の動作を示している。図 22 を参照して、D - FF534 は、信号 DWREN を信号 CLK19 の 1 クロック分遅らせた信号 WCHKFF を発生する。一致判定回路 550 は、信号 EQ をハイレベルにする。信号 RDY は、ハイレベルであったため、加算データには 01 が発生し、信号 CLK19 の 4 つ目のクロックで加算データ 10 がラッチされる。これによって、信号 RDY がローレベルになり、信号 DFUL がハイレベルになる。

30

【0130】

信号 RDLATG1 は、信号 DWREN と同じタイミングでローレベルになり、信号 CLK19 の 3 つ目での D - FF482 によるデータラッチを禁止する。D - FF482 には、信号 CLK19 の 1 つ目、2 つ目、4 つ目の立ち上がりで常にリードアドレスで示されるデータがラッチされており、CPU30 からのデータリードを保証する。プリフィックスデータライトの場合も同様に D - FF480 が CPU30 からのプリフィックスデータリードを保証する。

40

【0131】

次に、図 23 のタイムチャートを参照して、データメモリ 454 のリードタイミングを説明する。

CPU30 によるデータリードが発生すると、信号 SYSCK の立ち上がりから 1 つめの信号 CLK19 の立ち上がりで、信号 DRDEN がハイレベルになる。これに伴い、信号 CLK19 の 2 つ目のクロックでリード用ループカウンタ 526 の値がインクリメントされるが、この 2 つ目のクロックでは、D - FF482 にはまだインクリメントされる前のアドレスによって示されるデータがラッチされている。インクリメント後のアドレスで示されるデータが D - FF482 にラッチされるタイミングは、信号 CLK19 の 3 つ目の立ち上がりであるが、周波数を考慮するとその前に必ず CPU30 によるリード動作が発

50

生する（信号CPURDの立ち上がりがリード動作のタイミング）ため、リードアドレスのインクリメントがCPU30のリード動作に影響を及ぼすことはない。

【0132】

図23におけるその他の信号は、バッファ内のデータ数が0になった場合のEMP/FULデテクタ538の動作を示している。D-FF536は、信号DRDENを信号CLK19の1クロック分遅らせた信号RCHKFFを発生する。一致判定回路550は、信号EQをハイレベルにする。信号RDYは、ハイレベルであったため、加算データには11が発生し、信号CLK19の3つ目のクロックで加算データ00がラッチされる。これによって、信号RDYがローレベルになり、信号DEMPがハイレベルになる。

【0133】

なお、プリフィックスメモリ452のリード時にも上記と同様のタイミングで動作するが、信号PDWはデータリードがあった後、信号SYSCKの立ち下がりから2つ目の信号CLK19の立ち上がり（リード時の信号SYSCKの立ち上がりから数えると4つ目の信号CLK19の立ち上がり）でハイレベルになり、その次の信号CLK19の立ち上がりでデータ数がデクリメントされる。このデクリメントのタイミングは、ライト時のインクリメントのタイミングと同じであるため、信号SYSCKに同期してデータ数が確定する。

【0134】

CPU30によるデータリードは、信号SYSCKがハイレベルの時に発生するが、次のCPUリードタイミングまでにはすべてのインクリメント、デクリメント動作は終了し、安定化するため、DMAで連続的にデータをリードした場合でも、問題無く動作する。

【0135】

次に、CPU30が管理するアドレス空間について説明する。図24は、CPU30が保有するアドレス空間に対応するメモリマップを示している。CPU30は、このメモリマップ上の斜線部の領域に、マスクROM72、疑似SRAM74、フラッシュメモリA76、フラッシュメモリB106を割り付けることにより、各メモリのアクセスを管理する。すなわち、CPU30は、限られた1つのアドレス空間内で、複数のメモリを一元的に管理することができる。なお、図24において、斜線部以外の領域は、CPU30の制御領域として固定的に用いられ、この部分においてワークRAM32等のアクセスが行われる。

【0136】

通常、各メモリの総容量は、CPU30のアドレス空間の容量を越えているため、同一の部分に複数のメモリが重ねて割り付けられる事態が生じる。本実施例では、各メモリにアクセスの優先順位を与えることにより、このような事態に対処している。すなわち、メモリマップの同一部分に複数のメモリが割り付けられている場合、優先順位の高いメモリの方が、優先順位の低いメモリよりも優先的にアクセスされる。本実施例では、一例として各メモリの優先順位を、優先順位の高い順から

マスクROM > 疑似SRAM > フラッシュメモリA > フラッシュメモリB

と決めている。優先順位の高いメモリと低いメモリとを並列的にアクセスしたい場合は、いずれかのメモリの割り付け位置がメモリマップ上で移動される。

【0137】

図25は、CPU30のメモリマップ上において、マスクROM72を割り付け可能な領域を示している。図25において、マスクROM72は、領域#Aおよび/または#Bに割り付けることができる。なお、領域#Aと領域#Bは、同一のマスクROMのイメージを示している。

【0138】

図26は、CPU30のメモリマップ上において、疑似SRAM74を割り付け可能な領域を示している。なお、図26(a)は20モードにおける割付可能領域を示しており、図26(b)は21モードにおける割付可能領域を示している。図26(a)において、疑似SRAM74は、領域#A～#Hのいずれか1つまたは複数に割り付けることができ

10

20

30

40

50

る。また、後述する信号 RAMON がハイレベルのとき、疑似 SRAM 74 は、領域 * に常に割り付けられている。なお、領域 # C' , # D' , # G' , # H' , # *' には、領域 # C , # D , # G , # H , # * のイメージが現れている。図 26 (b) において、疑似 SRAM 74 は、領域 # A ~ # H のいずれか 1 つまたは複数に割り付けることができる。また、後述する信号 RAMON がハイレベルのとき、領域 # * には、領域 # A ~ # H の 6000H ~ 7FFFH のイメージが常に現れている。また、領域 # A' ~ # H' には、領域 # A ~ # H の 8000H ~ FFFFH のイメージが常に現れている。

【0139】

図 27 は、CPU 30 のメモリマップ上において、フラッシュメモリ A 76 を割り付け可能な領域を示している。なお、図 27 (a) は 20 モードにおける割付可能領域を示しており、図 27 (b) は 21 モードにおける割付可能領域を示している。図 27 (a) において、フラッシュメモリ A 76 は、領域 # A ~ # D のいずれか 1 つまたは複数に割り付けることができる。また、領域 # B' , # D' には、領域 # B , # D のイメージが現れている。図 27 (b) において、領域 # A ~ # D のいずれか 1 つまたは複数に割り付けることができる。また、領域 # A' ~ # D' には、領域 # A ~ # D の 8000H ~ FFFFH のイメージが現れている。

【0140】

図 28 は、CPU 30 のメモリマップ上において、フラッシュメモリ B 106 を割り付け可能な領域を示している。図 28 を図 24 と対比すれば明らかなごとく、フラッシュメモリ B 106 は、メモリマップ上で各メモリを割付可能な領域の全てに割り付けることが可能である。

【0141】

図 29 は、図 5 に示す衛星データ放送受信アダプタ 4 における信号の流れを示している。また、図 30 は、本実施例の衛星データ放送受信システムで採用されるデータ伝送の階層モデルを示している。以下、これら図 29 および図 30 を参照して、本実施例の全体的な動作を説明する。

【0142】

(1) リセット時の動作

図 3 のパワースイッチ 62 がオンされると、電源回路 64 が動作を開始し、システム内の各部の電圧が上昇していく。これに伴って、リセット回路 60 内の所定のノードの電圧が上昇し、当該ノードが一定電圧以上になると、リセット回路 60 はリセット信号 RESETB を一定時間アクティブ（この場合は、ローレベル）にする。また、リセット回路 60 は、リセットスイッチ 58 がオンされた場合にも、リセット信号 RESETB を一定時間アクティブにする。このリセット信号 RESETB は、コネクタ A 38 を介して、衛星データ放送受信カートリッジ 6 内のマッピングコントローラ 70（図 4 参照）に与えられる。

【0143】

マッピングコントローラ 70 において、リセット信号 RESETB は、図 7 のコントロールレジスタ 110 に与えられる。このコントロールレジスタ 110 内において、リセット信号 RESETB は、図 11 のインバータ 181 でハイレベル信号に反転された後、各レジスタブロック 190 ~ 300 における後段の D - FF 194 ~ 304 のクリア端子またはセット端子に与えられる。ここで、インバータ 181 の出力が、各レジスタブロックの D - FF 194 ~ 304 のクリア端子に与えられるか、セット端子に与えられるかは、初期設定時における各メモリの配置をどうするかに応じて定められている。インバータ 181 の出力がクリア端子に与えられた場合、該当する D - FF は、論理 0 を保持し、その Q 出力はローレベルとなる。これに対し、インバータ 181 の出力がセット端子に与えられた場合、該当する D - FF は、論理 1 を保持し、その Q 出力はハイレベルとなる。

【0144】

ここで、レジスタブロック 190 ~ 300 の内、少なくともレジスタブロック 240 および 250 については、インバータ 181 の出力が D - FF 244 , 254 のセット端子に

10

20

30

40

50

与えられる。これは、図4のマスクROM72にCPU30の動作プログラムが格納されているため、CPU30が起動する前にマスクROM72を読み出し可能状態、すなわちメモリマップ上に配置しておく必要があるためである。もし、初期状態においてマスクROM72がメモリマップ上に配置されていないと、動作プログラムを読み出せないため、CPU30は起動できなくなる。この初期設定によって、少なくともコントロール信号ROMON0およびROMON1がハイレベルとなる。このハイレベルのコントロール信号ROMON0およびROMON1は、コントロールバスを介して、マップデコーダ120内のROMデコーダ160（図10参照）に与えられる。これによって、マスクROM72は、図25のメモリマップ上の領域#Aおよび#Bに配置されたことになる。

【0145】

10

（2）CPU起動時の動作

上記リセットによるメモリの初期配置が終了すると、CPU30が起動する。起動したCPU30は、マスクROM72から衛星データ放送受信の動作プログラムを読み出すために、マスクROM72に対応するアドレスデータをアドレスバスAに出力する。当該アドレスデータは、マッピングコントローラ70内のアドレスデコーダ112（図7参照）に与えられる。このアドレスデコーダ112は、与えられたアドレスデータがメモリマップ上の図24の斜線部で示す領域を指定しているとき、ローレベルの信号ROMSELBを出力する。また、当該アドレスデータは、マップデコーダ120内のROMデコーダ160に与えられる。このとき、ROMデコーダ160に与えられる各信号の論理状態は、以下のようにになっている。

20

ROMON0 = 1

ROMON1 = 1

ROMSELB = 0

RESETB = 1

【0146】

図31は、ROMデコーダ160において、マスクROM72のチップイネーブル信号CE2Bがアクティブ（ローレベル）になる条件を示している。この図31において、A21～A23は、CPU30からのアドレスデータ（A0～A23）の22～24ビット目の値を示している。信号ROMSELBが論理0で、かつアドレスデータの23および24ビット目がいずれも論理0の場合は、アドレスデータが図25における領域#Aのいずれかの部分を示していることになる。また、信号ROMSELBが論理0で、かつアドレスデータの23ビット目が論理0で、24ビット目が論理1の場合は、アドレスデータが図25における領域#Bのいずれかの部分を示していることになる。

30

【0147】

ROMデコーダ160に与えられる各信号の論理状態は、前述のようにになっているため、ROMデコーダ160は、図31の条件に基づき、CPU30からのアドレスデータが現在のマスクROM72のメモリ配置にヒットしていることを判断し、マスクROM72を能動化させるためのチップイネーブル信号CE2Bをアクティブ（ローレベル）にする。これによって、マスクROM72の動作が許可され、CPU30は、マスクROM72をアクセス可能となる。

40

【0148】

（3）マスクROMの再配置動作

CPU30は、マスクROM72から衛星データ放送受信の動作プログラムを読み出すと、当該動作プログラムに従って、メモリマップ上でのマスクROM72の再配置すなわち割り付け位置の変更を行う。メモリマップ上では、現在、図25の領域#Aおよび#Bの両方にマスクROM72が割り付けられている。これでは使い勝手が悪く、メモリマップの使用効率も落ちるため、CPU30は、マスクROM72を領域#Aおよび#Bのいずれか一方に割り付ける。本実施例では、マスクROM72を領域#Aに割り付けている。

【0149】

（4）メニューデータの受信動作

50

次に、CPU30は、TVモニタ22上に初期画面（メーカー名や本システムのタイトル等）を表示し、現在放送中の番組メニューを入手するために、TCDと呼ばれる番組一覧データ（メニューデータ）を受信する。この受信動作の詳細を以下に説明する。

【0150】

A．論理チャンネルの設定

まず、CPU30は、マスクROM72から読み出したプログラムデータに従って、TCDのために予め定められている論理チャンネル（例えば、LCI1=2、LCI2=1）をデータ放送デコーダ82にセットする（図29のα1）。すなわち、CPU30は、チャンネル1LCI1のI/OポートアドレスをアドレスバスBに出力すると共に、データバスに論理チャンネルLCI1のデータ「2」を出力し、制御信号Bに含まれる信号PAWRをローレベルにセットする。データ放送デコーダ82は、バスバッファ94、96、双方向バッファ92を介して、これらの信号を入力する。データ放送デコーダ82内のホストインターフェース410（図12参照）は、内部のアドレスデコーダ410cによって、アドレスバスB上のチャンネル1LCI1のI/Oポートアドレスをデコードし、デコード信号C1L1LDを生成する。このデコード信号C1L1LDは、制御信号バスCDを介して、チャンネルデテクタ406に出力される。チャンネルデテクタ406内の設定レジスタ424（図13参照）は、デコード信号C1L1LDおよび制御信号PAWRを受けて、データバス上のデータ「2」を内部レジスタにストアする。これによって、設定レジスタ424からチャンネル1LCI比較回路426に、論理チャンネルLCI1を指定するデータ「2」が、信号線C1L1を介して入力され、放送によって送られてくるデータパケットのデータLCI1と比較される。

【0151】

次に、CPU30は、チャンネル1LCI2のI/OポートアドレスをアドレスバスBに出力すると共に、データバスに論理チャンネルLCI2のデータ「1」を出力し、制御信号Bに含まれる信号PAWRをローレベルにセットする。データ放送デコーダ82内のホストインターフェース410は、論理チャンネルLCI1のときと同様に、内部のアドレスデコーダ410cによってアドレスバスB上のチャンネル1LCI2のI/Oポートアドレスをデコードし、デコード信号C1L2LDを生成する。チャンネルデテクタ406内の設定レジスタ424は、上記デコード信号C1L2LDおよび制御信号PAWRを受けて、データバス上のデータ「1」を内部レジスタにストアし、信号線C1L2を介して、チャンネル1LCI比較回路426に出力する。チャンネル1LCI比較回路426では、設定レジスタ424から与えられたデータ「1」と、放送によって送られてくるデータパケットのデータLCI2とを比較する。

【0152】

B．バッファメモリの初期化と受信許可の付与

次に、CPU30は、チャンネル1のクリアフラグレジスタ460c（図15参照）を示すI/OポートアドレスをアドレスバスBに出力すると共に、データバスにデータ「1」を出力し、制御信号Bに含まれる信号PAWRをローレベルにセットする。データ放送デコーダ82内のホストインターフェース410は、内部のアドレスデコーダ410cによってアドレスバスB上のクリアフラグレジスタアドレスをデコードし、デコード信号WE11を生成する。このデコード信号WE11は、制御信号バスCCを介して、チャンネルデコーダ408のデータコントローラ450内にあるデータグループシーケンサ460に出力される。

【0153】

データグループシーケンサ460内のクリアフラグレジスタ460cは、上記デコード信号WE11および制御信号PAWRを受けて、データバス上のデータ「1」を記憶する。これによって、データグループシーケンサ460は、内部の受信許可フラグレジスタ460bを受信禁止の状態に設定し、信号BFCLRを出力してチャンネル1用バッファメモリ452、454（図14参照）のクリアを行う。ただし、バッファメモリ452、454は、FIFOとして構成されているため、実際にデータが消去されるのではなく、デー

10

20

30

40

50

タが空の状態になるようにアドレス操作が行われることにより、データの消去が実現される。この信号 B F C L R は、システムリセット時にも同様に発生する。データ「1」が書き込まれたクリアフラグレジスタ 4 6 0 c は、バッファクリア後、自動的に 0 に戻る。

【0154】

次に、C P U 3 0 は、チャンネル 1 の受信許可フラグレジスタ 4 6 0 b を示す I / O ポートアドレスをアドレスバス B に出力すると共に、データバスにデータ「1」を出力し、制御信号 B に含まれる信号 P A W R をローレベルにセットする。データ放送デコーダ 8 2 内のホストインターフェース 4 1 0 は、内部のアドレスデコーダ 4 1 0 c によってアドレスバス B 上の受信許可フラグレジスタアドレスをデコードし、デコード信号 W E 1 0 を生成する。このデコード信号 W E 1 0 は、制御信号バス C C を介して、チャンネルデコーダ 4 0 8 のデータコントローラ 4 5 0 内にあるデータグループシーケンサ 4 6 0 に出力される。データグループシーケンサ 4 6 0 内の許可フラグレジスタ 4 6 0 b は、上記デコード信号 W E 1 0 および制御信号 P A W R を受けて、データバス上のデータ「1」を記憶する。これによって、データグループシーケンサ 4 6 0 は、先頭パケット検出状態に移行する。

【0155】

C . パケットの生成

データ放送デコーダ 8 2 にビットストリーム信号 B S T が入力されると、データ放送デコーダ 8 2 内のアンプ / V X O コントローラ 4 0 2 は、当該ビットストリーム信号 B S T を増幅し、信号 B S T 0 2 として P C M デコーダ 8 4 に出力する (図 2 9 の α 2) 。 P C M デコーダ 8 4 は、与えられた信号 B S T 0 2 に対してビットデインターリーブを施した後、音声信号とデータとに分離する。分離された音声信号は、P C M デコーダ 8 4 で P C M 復調された後、アンプ 8 6 a , 8 6 b 、ミキサ 5 0 a 、5 0 b 、アンプ 5 2 a , 5 2 b を介して、T V モニタ 2 2 に出力される。これによって、本システムは、通常の音楽番組を受信するために使用可能である。一方、分離されたデータは、P C M デコーダ 8 4 で信号 F D I N としてデータ放送デコーダ 8 2 に戻される (図 2 9 の α 3) 。データ放送デコーダ 8 2 内において、プリデコーダ 4 0 4 は、信号 F D I N を、斜めデインターリーブ、B C H 誤り訂正、S D S C 誤り訂正等を施した後、パケット単位の信号 S D O として、ビットシリアルに、チャンネルデテクタ 4 0 6 に出力する (図 2 9 の α 4) 。

【0156】

上記信号 S D O は、前述の図 2 1 に示すようなフォーマットを有している。チャンネルデテクタ 4 0 6 内のビットカウンタ 4 2 2 は、プリデコーダ 4 0 4 からのパケットの先頭を示す信号 P S Y N C およびパケットデータのビットクロック B T C K に基づいて、各データを分離するためのタイミング信号 L C I 1 S Y N C 、L C I 2 S Y N C 、P F X S Y N C 、D A T A S Y N C 、D B L A S T 、P E R R L D 、P E R R S Y N C (図 2 1 参照) を生成する。また、S - P 変換回路 4 2 0 は、上記ビットクロック B T C K に同期して信号 S D O をシフトし、8 ビットパラレルのデータ B S D A T A として、各ブロックに出力する (図 2 9 の α 5) 。

【0157】

D . 論理チャンネルの比較

S - P 変換回路 4 2 0 の働きにより、信号 L C I 1 S Y N C がハイレベルになるタイミングでは、すでに B S D A T A 上に、受信されたパケットのデータ L C I 1 が 5 ビットパラレルデータとして出力されている (残り 3 ビットは冗長データ) 。チャンネル 1 L C I 比較回路 4 2 6 は、信号 L C I 1 S Y N C がハイレベルのときに、B S D A T A 上の値と、前述の C 1 L 1 上の値とを比較し、その結果を D - F F 4 2 8 に出力する。双方の値が一致している場合にはハイレベルが、一致していない場合にはローレベルが、D - F F 4 2 8 に出力され、上記 L C I 1 S Y N C がハイレベルでかつビットクロック B T C K の立ち上がりのタイミングで、D - F F 4 2 8 にその比較結果が書き込まれる。

【0158】

一方、信号 L C I 2 S Y N C がハイレベルになるタイミングでは、すでに B S D A T A 上に受信されたパケットのデータ L C I 2 が 6 ビットパラレルデータとして出力されている

10

20

30

40

50

(残り2ビットは冗長データ)。チャンネル1LCI比較回路426は、信号LCI1SYNCがローレベルのときに、BSDATA上の値と、前述のC1L2上の値とを比較し、その結果をDFF430に出力する。双方の値が一致している場合にはハイレベルが、一致していない場合にはローレベルが、DFF430に出力され、上記信号LCI2SYNCがハイレベルでかつビットクロックBTCKの立ち上がりのタイミングで、DFF430にその出力結果が書き込まれる。

【0159】

ここで、受信データの論理チャンネルLCI1, LCI2の値が共に設定レジスタ424の設定値と一致した場合には、DFF428, 430からANDゲート432に共にハイレベルの信号が与えられる。また、信号HERRがハイレベルの場合には、プリデコーダ404においてBCH(16, 5)誤り訂正が不可能であったことを示し、LCI1, LCI2の受信データが信用できないことを意味する。すなわち、信号HERRがローレベルでかつLCI1, LCI2の値が共に設定値と一致したときのみ、ANDゲート432は信号CH1ENAをハイレベルにし、パケットの受信(正確にはバッファリング)を許可する。これ以外の場合は、信号CH1ENAがローレベルとなり、パケットの受信が許可されない(図29のα6)。上記と同様の動作は、チャンネル2においても行われ、この場合には、信号線C2L1, C2L2、チャンネル2LCI比較回路434、DFF436, 438、ANDゲート440が使用される。

【0160】

E. プリフィックスデータの生成

次に、チャンネルデテクタ406内のDFF442は、信号PFXSYNCに基づいて、8ビットのプリフィックスデータ(SCC, CI, DTC)を記憶し、8ビットパラレルの信号PRFXDTとして出力する(図29のα7)。また、DFF444は、信号PERRLDに基づいて、SDSC(272, 190)誤り訂正不可能を示す信号PERRを記憶し、信号PERRLTとして出力する。信号PERRは、上記パケットの最後のデータとして、プリデコーダ404から与えられる。

【0161】

F. データのバッファリング

チャンネルデコーダ408には、全く同じ回路が2回路用意されており、各々チャンネルデテクタ408からの信号CH1ENAおよびCH2ENAに基づいて動作する。その内の1つであるチャンネル1デコーダ/バッファ408a内のチャンネル1データコントローラ460(図14参照)は、以下の順序でデータのバッファリングを制御する。

- a) 先頭パケットの検出...初期化バッファリング開始
- b) 定常動作

データメモリ454への書き込みおよびアドレス制御

CRC演算、データサイズカウンタ462のデクリメント

CIカウントによるパケットの連続性チェック

プリフィックスメモリ452への書き込みおよびアドレス制御

- c) 終端パケットの検出...バッファリング停止

以下、上記各動作を順番に説明する。

【0162】

- a) 先頭パケットの検出

データコントローラ450内のデータグループシーケンサ460(図15参照)は、図30の階層4に示すデータグループを構成すべく、PRFXDT上のプリフィックスデータのDTCに基づいて、先頭のパケットと終端のパケットを検出する。例えば、前述の信号CH1ENAがハイレベルであり、パケットの受信が許可されていても、まだ先頭パケットが検出されていない状態では(先頭パケット未検出状態)、パケットのバッファリングは行わない。先頭パケットを検出すると、データグループシーケンサ460は、信号CILDLをCIカウンタ464に与え、信号CRCLRをCRC回路468に与えて、これら回路を初期化する。また、データグループの先頭から3~5バイト目に受信されるデー

10

20

30

40

50

タグループサイズをデータサイズカウンタ462内にストアするべく、信号DSL Dを出力する。

【0163】

b) 定常動作

データメモリ454への書き込みおよびアドレス制御

データグループシーケンサ460は、信号DATASYN Cに基づいて信号DFIFOW Rを生成し、データFIFOインターフェース474に与える。データFIFOインターフェース474内のタイミング発生回路520(図18参照)は、信号DFIFOW Rに基づいて信号DWRENを生成する。信号DWRENの生成には、CPU30からのデータリードと衝突しないタイミングが選ばれる。CPU30から出力された信号SYSC Kがハイレベルの期間はCPU30がデータリードを行う期間であり、ローレベルの期間はメモリをアクセスしない期間であるため、この信号SYSC Kに基づいてタイミング発生回路520が信号DWRENを生成する。信号DWRENは、インバータ528を介して、チャンネル1データメモリ454(図14参照)にデータの書き込み信号C1DWEとして与えられる。

10

【0164】

データラッチ522は、ビットクロックBTCKに基づいてデータBSDATAを常にラッチしており、前述のタイミング調整によって書き込みタイミングに遅延が生じてデータが消失ないようにこれを保持する。ライト用ループカウンタ524は、書き込み時のアドレスを記憶している。アドレスマルチプレクサ532は、書き込みアドレスを、信号C1DADRとしてデータメモリ454に与える。

20

【0165】

これによって、データメモリ454にアドレス、データ、書き込み信号が与えられるため、当該データメモリ454に受信データが順次記憶される。また、リード用ループカウンタ524は、信号DWRENに基づいてアップカウントされ、データメモリ454への書き込みアドレスを歩進する。信号DWRENは、インバータ540を介して信号RDLATG1となり、前述のタイミング調整時のCPUリードデータ保持用ラッチのための書き込み禁止信号として使用される。これら書き込みタイミングの詳細は、図22に示されている。

【0166】

CRC演算、データサイズカウンタ462のデクリメント

図15のデータグループシーケンサ460は、信号DATASYN Cに基づいて信号CRCNXTを生成し、CRC回路468に与える。CRC回路468は、信号CRCNXTを受けて、BSDATA上のデータグループの各データを順次CRC演算する。

30

【0167】

また、データグループシーケンサ460は、信号CRCNXTに同期して、信号DSDECをデータサイズカウンタ462に出力する。データサイズカウンタ462は、この信号DSDECを受けて、内部のデータサイズ値をデクリメントする。データサイズ値が0になると、データサイズカウンタ462は信号DSEQを出力し、データグループシーケンサ460に与える。データグループシーケンサ460は、信号DSEQを受けると、データグループの全データを受信し終えたと判断し、信号CRCOKLDをCRC回路468に与える。これによって、CRC回路468は、CRCの演算結果を内部レジスタにストアし、その結果をORゲート470に出力する。

40

【0168】

ORゲート470は、前述の信号PERRLTと、CRC演算結果とをORすることにより、どちらかにエラーがあった場合に、信号CRCERRをハイレベルにしてプリフィックスFIFOインターフェース472に与える。この信号CRCERRは、受信されたプリフィックスデータSCC、DTCと共に、図14のチャンネル1プリフィックスメモリ452に与えられて記憶されるが、CRCの演算結果については、データグループの終了時(すなわち終端パケット)においてのみ有効なフラグとなる。

50

【 0 1 6 9 】

C I カウントによるパケットの連続性チェック

データグループシーケンサ 4 6 0 は、信号 P E R R S Y N C に基づいて、信号 C I C N T E N を生成する。C I カウンタ 4 6 4 は、先頭パケットで初期化した C I 値を、パケット毎にインクリメントし、その結果を E X O R (排他的論理和) ゲート 4 6 6 に出力する。E X O R ゲート 4 6 6 は、C I カウンタ 4 6 4 からのカウント値と、プリフィックスとして受信される C I 値とが一致するかどうかを検出し、一致しない場合には信号 C I E R R をハイレベルにしてプリフィックス F I F O インターフェース 4 7 2 に出力する。一致しない場合は、受信状態が不良で、エラー訂正不可能なパケットが発生し、データグループにパケット抜けが発生したことを意味する。この信号 C I E R R は、信号 C R C E R R と共に、受信されたプリフィックスデータ S C C、D T C と統合され、6 ビットパラレルの信号 C 1 P D となって、図 1 4 のチャンネル 1 プリフィックスメモリ 4 5 2 に与えられて記憶される。

10

【 0 1 7 0 】

プリフィックスメモリ 4 5 2 への書き込みおよびアドレス制御

図 1 5 のデータグループシーケンサ 4 6 0 は、信号 P E R R S Y N C に基づいて信号 P F I F O W R を生成し、プリフィックス F I F O インターフェース 4 7 2 に与える。プリフィックス F I F O インターフェース 4 7 2 内のタイミング発生回路 5 0 0 (図 1 7 参照) は、信号 P F I F O W R に基づいて信号 P W R E N を生成する。信号 P W R E N の生成には、C P U 3 0 からのデータリードと衝突しないタイミングが選ばれる。そこで、前述の信号 D W R E N の場合と同様に、信号 S Y S C K に基づいてタイミング発生回路 5 0 0 が信号 P W R E N を生成する。信号 P W R E N は、インバータ 5 0 8 を介して信号 C 1 P W E となり、図 1 4 のチャンネル 1 プリフィックスメモリ 4 5 2 に、プリフィックスデータの書き込み信号として与えられる。

20

【 0 1 7 1 】

図 1 7 のプリフィックスデータラッチ 5 0 2 は、ビットクロック B T C K に基づいて信号 P R F X D T を常にラッチしており、前述のタイミング調整によって書き込みタイミングに遅延が生じてもプリフィックスデータが消失しないようにこれを保持する。ライト用ループカウンタ 5 0 4 は、書き込み時のアドレスを記憶している。アドレスマルチプレクサ 5 1 2 は、書き込みアドレスを信号 C 1 P A D R としてプリフィックスメモリ 4 5 2 に与える。これによって、プリフィックスメモリ 4 5 2 にアドレス、データ、書き込み信号が与えられるため、プリフィックスメモリ 4 5 2 に順次受信プリフィックスデータが記憶される。

30

【 0 1 7 2 】

また、ライト用ループカウンタ 5 0 4 は、信号 C 1 P W E に基づいてインクリメントされ、図 1 4 のチャンネル 1 プリフィックスメモリ 4 5 2 への書き込みアドレスを歩進する。信号 P W R E N は、インバータ 5 1 8 を介して信号 P F L A T G 1 となり、前述のタイミング調整時の C P U リードデータ保持用ラッチのための書き込み禁止信号として使用される。これら書き込みタイミングの詳細は、図 2 2 に示される。また、プリフィックスデータ数カウンタ 5 1 4 は、信号 P W R E N に基づいてインクリメントされ、現在メモリに蓄えているパケット数を P F C N T 1 として出力する。

40

【 0 1 7 3 】

c) 終端パケットの検出

図 1 5 のデータグループシーケンサ 4 6 0 は、プリフィックスの D T C に基づいて終端パケットを検出する。データグループがスタイル 1 の場合には、前述のようにデータグループサイズのカウントによって信号 C R C O K L D を生成するが、データグループがスタイル 2 の場合には、この終端パケットを示す D T C と信号 D B L A S T とに基づいて、信号 C R C O K L D を生成する。パケット抜けや C R C エラーの場合を考慮し、終端パケットが検出されたとしても、C P U 3 0 から受信許可フラグ 4 6 0 c を禁止状態にセットしに行かない限り、本システムは、再度同じデータを受信し続ける。

50

【 0 1 7 4 】

G . 各データのリード

C P U 3 0 が特定の I / O アドレスをリードすると、それに対応して、ホストインターフェース 4 1 0 内のアドレスデコーダ 4 1 0 c がデコード信号を生成する。例えば、図 1 4 のチャンネル 1 プリフィックスメモリ 4 5 2 からデータをリードする場合には、デコード信号 P F I F O R D がチャンネルデコーダ 4 0 8 に出力される。

【 0 1 7 5 】

チャンネルデコーダ 4 0 8 内のデータセクタ 4 5 6 は、信号 P F I F O R D を受けて、チャンネル 1 プリフィックスメモリ 4 5 2 からのプリフィックスデータ C 1 P O D を D - F F 4 8 0 で一旦ラッチした信号（すなわち、バッファリングされたプリフィックスデータ）をデータバス B 上に出力する（図 2 9 の $\alpha 8$ ）。これによって、C P U 3 0 は、プリフィックスデータをリードできる。

10

【 0 1 7 6 】

また、信号 P F I F O R D は、プリフィックス F I F O インターフェース 4 7 2 にも与えられ、タイミング発生回路 5 0 0 が、これに基づいて信号 P R D E N および P D W を生成する。信号 P R D E N は、リード用ループカウンタ 5 0 6 に作用し、リード用アドレスをインクリメントさせる。また、信号 P D W は、プリフィックスデータ数カウンタ 5 1 4 に作用し、バッファリングしているパケットのカウント値をダウンカウントさせる。アドレスマルチプレクサ 5 1 2 は、データ書き込み時以外、常にリード用ループカウンタ 5 0 6 からのリードアドレス値を信号 C 1 P A D R として出力する。

20

【 0 1 7 7 】

同様に、C P U 3 0 は、チャンネル 1 データメモリ 4 5 4 の内容、プリフィックスデータ数カウンタ 5 1 4 の内容、O R ループ 4 8 3 の内容をリードできる（図 2 9 の $\alpha 9 \sim \alpha 11$ ）。

【 0 1 7 8 】

上記のようにして、C P U 3 0 は、バッファメモリ 4 5 2 , 4 5 4 から受信したデータを抜き出し、例えば本体内のワーク R A M 3 2 に T C D を展開する。次に、C P U 3 0 は、プリフィックスデータのエラーフラグによって、展開した T C D に受信エラーが無いことを確認の後、これをメニューデータとして T V モニタ 2 2 の画面上に表示する。

【 0 1 7 9 】

(5) 番組の選択動作

オペレータは、T V モニタ上に表示されたメニューを見て、受信したい番組名を選択する。C P U 3 0 は、オペレータによって選択された番組名を、対応する論理チャンネルデータに変換し、これを内部メモリに一旦記憶する。また、C P U 3 0 は、ワーク R A M 3 2 上に展開されている T C D から、当該選択された番組に対応する使用メモリ容量、実行メモリマップ構成を抽出し、これに基づいてメモリマップ上での各メモリの配置を決定する。

30

【 0 1 8 0 】

(6) メモリマップ上での各メモリの配置動作

次に、C P U 3 0 は、図 2 1 に示すメモリマップ上に、疑似 S R A M 7 4 と、フラッシュメモリ 7 6 および 1 0 6 とを配置する。ここでは、一例として、疑似 S R A M 7 4 をメモリマップ上に配置する動作の詳細について説明する。

40

【 0 1 8 1 】

まず、C P U 3 0 は、疑似 S R A M 7 4 のマッピング設定のための I / O ポートアドレスをアドレスバス A に出力するとともに、データバス A に設定値を出力し、制御信号 A に含まれる信号 C P U W R B をローレベルにセットする。例えば、図 3 5 に示す位置に疑似 S R A M 7 4 を配置する場合、R A M O N = 1、R A M M A P 0 = 0、R A M M A P 1 = 1、R A M M A P 2 = 0 に設定しなければならない。従って、C P U 3 0 は、アドレスバス A 上に R A M O N を示す I / O ポートアドレス値を出力し、データバス上にデータ「8 0 H」を出力する。

50

【 0 1 8 2 】

マッピングコントローラ 70 内のアドレスデコーダ 112 (図 7 参照) は、上記データバス A 上の RAMON の I/O ポートアドレス値をデコードすることにより、デコード信号 FE3 をハイレベルにし、コントロールレジスタ 110 に出力する。データバスの D7 は、バッファ 118 を介して信号 CD7I としてコントロールレジスタ 110 に与えられる。このとき、データの値が「80H」であるため、CD7I はハイレベルの信号となる。また、上記信号 CPUWRB もコントロールレジスタ 110 に与えられる。

【 0 1 8 3 】

前述したように、コントロールレジスタ 110 の内部には、前後段 2 個の D - FF と AND ゲートとから成る複数のレジスタブロック 190 ~ 300 が存在する (図 11 参照)。また、リセット信号は、各レジスタブロックに要求される初期値に対応して、各レジスタブロックの D - FF のセット端子またはクリア端子に、個別的に与えられる。信号 FE3 は、レジスタブロック 200 内に存在する前段の D - FF 202 の端子 CE に書き込み許可信号として与えられる。また、信号 CPUWRB は、同 D - FF 202 のクロック端子に書き込み信号として与えられる。これによって、D - FF 202 には、CD7I の値 (ハイレベルすなわち論理 1) が書き込まれる。

10

【 0 1 8 4 】

次に、CPU30 は、アドレスバス A 上に RAMMAP0 を示す I/O ポートアドレス値を出力し、データバス上にデータ「00H」を出力する。上記と同様にして、RAMMAP0 に対応するレジスタブロック 210 内の D - FF 212 は、信号 FE4 を受けて、ローレベル (論理 0) を記憶する。

20

【 0 1 8 5 】

次に、CPU30 は、アドレスバス A 上に RAMMAP1 を示す I/O ポートアドレス値を出力し、データバス上にデータ「80H」を出力する。上記と同様にして、RAMMAP1 に対応するレジスタブロック 220 内の D - FF 222 は、信号 FE5 を受けて、ハイレベル (論理 1) が書き込まれる。

【 0 1 8 6 】

次に、CPU30 は、アドレスバス A 上に RAMMAP2 を示す I/O ポートアドレス値を出力し、データバス上にデータ「00H」を出力する。上記と同様にして、RAMMAP2 に対応するレジスタブロック 230 内の D - FF 232 は、信号 FE6 を受けて、ローレベル (論理 0) が書き込まれる。

30

【 0 1 8 7 】

さらに、CPU30 は、アドレスバス A 上に ENMAPST を示す I/O ポートアドレス値を出力し、データバス上にデータ「00H」を出力する。このデータはダミーデータであり、特に意味は無い。ENMAPST へ書き込みを行うという動作によって、信号 FE14 がアドレスデコーダ 112 から各レジスタブロックの後段の D - FF 194, 204, 214, ..., 304 の CE 端子に与えられる。同時に、信号 CPUWR が各 D - FF 194, 204, 214, ..., 304 クロック入力端子に与えられる。これによって、D - FF 192, 202, 212, ..., 302 に書き込まれたデータが、後段の D - FF 194, 204, 214, ..., 304 にそっくり移される。この時点で、先ほど書き込んだ RAMON、RAMMAP0、RAMMAP1、RAMMAP2 のデータが、信号 RAMON および信号 RAMMAP0 ~ 2 として、マップデコーダ 120 に出力される。このように、レジスタブロックに順次データを設定した後、一度に全設定値を有効化することにより、マッピング変更時の遷移期間中のメモリ配置を気にする必要がなくなる。その結果、容易にマッピング変更が行えるメモリマッピング変更システムを実現できる。

40

【 0 1 8 8 】

上記のようにして各レジスタブロック 190 ~ 300 に設定された内容は、マップデコーダ 120 に入力され、疑似 SRAM 74 のためのチップイネーブル信号 CE1B の生成に使用される。

【 0 1 8 9 】

50

なお、他のメモリ、すなわちフラッシュメモリ 76 および 106 をメモリマップ上に配置する動作も上記と同様にして行われる。参考のために、図 32 ~ 図 34 に各メモリ配置のために必要となる条件を示しておく。すなわち、図 32 は、PS - RAM デコーダ 162 において、疑似 SRAM 74 のチップイネーブル信号 CE1B がアクティブ（ローレベル）になる条件を示している。また、図 33 は、フラッシュデコーダ 164 において、フラッシュメモリ A76 のチップイネーブル信号 CE3B がアクティブ（ローレベル）になる条件を示している。また、図 34 は、メモリユニットデコーダ 166 において、フラッシュメモリ B106 のチップイネーブル信号 CE4B がアクティブ（ローレベル）になる条件を示している。

【0190】

10

(7) 実データの受信動作

次に、CPU30 は、実際データ（TCD 以外のデータ）を受信する。実データの受信動作は、基本的には前述のメニューデータの受信動作と同様である。すなわち、ユーザによって選択された番組に対応する論理チャンネルが、CPU30 からデータ放送デコーダ 82 に対してセットされる。データ放送デコーダ 82 は、受信した放送データの中から、セットされた論理チャンネルに対応するパケットのみを抜き出し、バッファリングする。CPU30 は、バッファメモリ 452, 454 に格納されたデータを、メモリマップ上に配置されたメモリ（例えば、疑似 SRAM 74 に DMA 転送する。

(8) エラー検出動作

次に、メニューデータまたは実データを受信する際に実行されるエラー検出動作について説明する。本実施例では、誤りのない受信データを得るために、BCH 誤り訂正と、SDSC 誤り訂正と、CI カウンタ 464 によるパケットの連続性チェックと、CRC 回路 468 による CRC 演算とを行っている。BCH 誤り訂正は、受信データの各パケットのヘッダ部に含まれている誤りを訂正するために行われる。SDSC 誤り訂正は、受信パケットデータの本体（ペイロード部）に含まれている誤りを訂正するために行われる。

20

【0191】

BCH 誤り訂正において、誤り訂正をしきれずにエラーが残った場合、図 12 の BCH (16, 5) 誤り訂正回路 404d は、信号 HERR を出力する。この信号 HERR は、チャンネルデテクタ 406 内の AND ゲート 432, 440 (図 13 参照) を閉じるように作用する。その結果、信号 CH1ENA, CH2ENA をローレベルに強制する。これによって、図 15 のデータグループシーケンサ 460 が不能動化され、許可フラグレジスタ 460b がオンされない。従って、図 14 のバッファメモリ 452, 454 へのデータの書き込みが許可されない。

30

【0192】

SDSC 誤り訂正において、誤り訂正をしきれずにエラーが残った場合、図 12 の SDSC (272, 190) 誤り訂正回路 404e は、信号 PERR を出力する。この信号 PERR は、各パケットの終端部において図 13 の D - FF 444 にラッチされた後、信号 PERRLT としてデータコントローラ 450 における OR ゲート 470 で、CRC 演算結果（CRC の演算結果については、データグループの終了時、すなわち終端パケットにおいてのみ有効なフラグとなる）と統合されて、信号 CRCERR となる。

40

【0193】

パケット抜けによって、受信データの CI 値と CI カウンタ 464 のカウント値との不一致が生じた場合、EXOR ゲート 466 は、信号 CIERR をハイレベルにする。

【0194】

上記信号 CRCERR および CIERR は、プリフィックス FIFO インターフェース 472 において、プリフィックスデータ内に挿入され、6 ビットのプリフィックスデータ C1PID となってチャンネル 1 プリフィックスメモリ 452 に格納される。CPU30 が、このチャンネル 1 プリフィックスメモリ 452 からデータを読み出すとき、チャンネル 1 データセクタ 456 内の OR ループ 483 が各ビット毎に時間軸方向の OR をとり、その結果を D - FF に記憶する。すなわち、各パケットのプリフィックスデータを時間軸

50

方向に並べた複数のビット列において、信号C R C E R Rに対応するビット列中に1つでも論理1があると、O R ループ4 8 3内のD - F F 4 8 6の対応する記憶部が論理1を保持する。また、各パケットのプリフィックスデータを時間軸方向に並べた複数のビット列において、信号C I E R Rに対応するビット列中に1つでも論理1があると、D - F F 4 8 6の対応する記憶部が論理1を保持する。従って、C P U 3 0は、プリフィックスデータ読み出し終了後、D - F F 4 8 6の記憶情報を読み出すことにより、バッファリングされている受信パケットに、S D S Cエラー、C R Cエラー、不連続性エラーが生じているか否かを知ることができる。このような手法によれば、各パケット毎にプリフィックスデータを調べる場合に比べて、プログラムの負担を大幅に軽減できる。

【0195】

10

なお、上記説明は、主としてチャンネル1に対する受信動作について述べたが、チャンネル2についても上記と同様の動作で受信が可能なのは言うまでもない。このように2つのチャンネル回路を並列的に設けることにより、一方のチャンネルでプログラムデータ等を受信しつつ、他方のチャンネルで音声データや表示データを受信することが可能となり、それをユーザに流すことで、受信中の退屈感を紛らわせることができる。

【0196】

図35は、データ放送を受信する場合に好適なメモリ配置を示している。メモリマップの制御領域以外の部分には、フラッシュメモリB106が全面的に配置されている。ただし、図示していないが、バンク7E, 7Fには特別領域が予め設定されているため、フラッシュメモリB106は配置されていない。そのフラッシュメモリB106上にマスクROM72がROMON0=1によって配置され、疑似SRAM74がRAMMAP0=0、RAMMAP1=1、RAMMAP2=0、RAMON=1によって配置される。また、フラッシュメモリA76は、FMON=1、FMMAPO=0、FMMAPI=1によって図の位置に配置される。

20

【0197】

本実施例で使用したC P U 3 0の特性として、割り込みベクトルがバンク0のFFF0H以降にセットされるため、マスクROM72を図35の位置に置くことにより、マスクROM72内の割り込みルーチンが使用可能となり、データ放送の受信が適切に行われる。C P U 3 0は、受信データを、疑似SRAM74/フラッシュメモリA76/フラッシュメモリB106の任意のアドレスに書き込むことができる。

30

【0198】

ここで、疑似SRAM74の下に隠れているフラッシュメモリB106の一部分は、RAMON=0として、疑似SRAM74をメモリマップ上から消失させるか、またはRAMMAP0~2の値を変更して、疑似SRAM74の位置を移動することによりアクセスできるようになる。さらに、RAMMAP0=0、RAMMAP1=0、RAMMAP2=1と設定することにより、疑似SRAM74を、フラッシュメモリA76の80~8Fバンクにセットすることもできる。この場合、フラッシュメモリB106、フラッシュメモリA76、疑似SRAM74は、この領域において3層のメモリレイヤを持つことになる。

【0199】

40

なお、上記図35のメモリ配置は、マスクROM72に文字や静止画を表示するプログラムが予め内蔵されている場合、あるいは文字および静止画の放送データを受信しながら、これを画面に表示する場合に好適なメモリ配置である。

【0200】

図36は、フラッシュメモリA76内に記憶したゲームプログラムを動作させる場合に好適なメモリ配置を示す。この場合、C P U 3 0がゲーム用の割り込みベクトルを使用できるように、フラッシュメモリA76を第0バンクに設定する必要があるため、図35に示すようなマスクROMエリアは排除し(RAMON0=0)、フラッシュメモリA76の位置を変更しなければならない(FMMAPO=0、FMMAPI=0)。しかし、ゲームプログラムからマスクROM72内に含まれる画像、音声制御サブルーチンを使用でき

50

れば便利であるため、ただ単にマスクROM 72のメモリエリアを排除するだけでなく、マスクROM 72を図36の位置に移動することが必要となる。

【0201】

この場合には、ROMON1 = 1と設定すればよい。ただし、上記画像、音声制御サブルーチンは、アドレス的にリロケータブルであること（プログラム上で絶対アドレスとして記述されていないこと）が要求される。また、マスクROM 72の移動によって隠れてしまったフラッシュメモリB106のバンクA0～BFの領域にアクセスしたい場合には、ROMON1 = 0とすることによりアクセスが可能となる。このように、各メモリをプログラムの状況に応じてメモリマップ上の最適の位置に配置することができる。

【0202】

ここで最適の位置とは、単にプログラム実行の邪魔にならない位置という意味もあるが、実開平4 - 78619号公報に開示されるように、CPUアドレスに対応してCPUクロック周波数が変化する場合に、高速のアクセススピードに対応するアドレス配置を指定できるという意味も含んでいる。また、逆にあえて低速のアクセススピードに対応するアドレスに配置し、不要輻射を低減するようメモリ配置を選択することもできる。さらに、従来のバンク設定のように、特定のバンク幅に影響されず、広範囲に渡って全メモリエリア（例えば、マスクROMエリアの16Mビット全て）がメモリマップ上に出現するため、データ転送時に頻繁にバンク切り替えを行う必要が無いという利点もある。

【0203】

図35のメモリ配置でデータを受信し、受信後図36のメモリ配置でデータを表示（または、データをプログラムとして実行）する場合のフローチャートを図37に示す。以下、この図37について説明する。

【0204】

通常、リセット時および電源投入時には、マスクROM 72は、図35に示す位置に再配置されている（ステップS101）。次に、CPU30は、TVモニタ22上に初期画面（メーカー名や本システムのタイトル等）を表示した後（ステップS102）、マスクROM 72に格納されたメニュー受信ルーチンを読み出して起動する（ステップS103）。このメニュー受信ルーチンにおいて、データ放送からのメニューデータの受信が行われるが、受信されたメニューデータは、通常、メモリマップ上の制御領域にあるワークRAM 32にストアされる（ステップS104）。なお、メニューデータを疑似SRAM 74に記憶させたい場合には、疑似SRAM 74をメモリマップ上に配置してやる必要がある。

【0205】

メニューデータは、受信可能なデータ名と、それに対応する使用メモリ容量および実行メモリマップ構成とを含む。データ名がTVモニタ22の画面上に表示され、ユーザーによってその中の1つが選択される（ステップS105）。ユーザーによって特定のデータが選択されると、まず、それを受信するためのメモリ配置がCPU30によって決定され（ステップS106）、当該決定に従って疑似SRAM 74およびフラッシュメモリA76、B106がメモリマップ上に配置される（ステップS107）。このとき、フラッシュメモリB106は、メモリマップ上全面に渡ってバックグラウンドとして配置される。フラッシュメモリB106の記憶容量がメモリマップ容量よりも小さい場合、フラッシュメモリB106の同一のメモリエイメージがメモリマップ上に複数個出現する。このため、他のメモリがフラッシュメモリB106の上に重なって配置されても、他のメモリの隙間からフラッシュメモリB106の任意のアドレスをアクセスできる可能性が高くなる。

【0206】

次に、実際のデータが受信されるが（ステップS108）、フラッシュメモリへの書き込み速度が遅く、DMA転送に対応できない場合には、まず疑似SRAM 74にデータをDMA転送してから、順次フラッシュメモリへ書き込むという作業が必要になる（ステップS109）。しかし、疑似SRAM 74とフラッシュメモリの書き込まれるべきエリアとが重なっている場合には、書き込みができないため、疑似SRAM 74を当該エリアに重

10

20

30

40

50

ならない位置に移動させる必要がある（ステップS 1 1 0～S 1 1 2）。フラッシュメモリには、カートリッジ6に内蔵されるフラッシュメモリA 7 6と、メモリユニット8に内蔵されるフラッシュメモリB 1 0 6とのどちらを用いてもよい。疑似S R A M 7 4が問題の無い位置にあることを確認した後、データはフラッシュメモリに書き込まれる（ステップS 1 1 3）。以上の動作が実際のデータを全て受信し終わるまで繰り返し実行される（ステップS 1 0 8～S 1 1 4）。

【0207】

次に、受信した実際のデータをプログラムとして実行するに際して、疑似S R A M 7 4の現状の配置が問題になるかどうかチェックされる（ステップS 1 1 5）。これは、マスクROM 7 2上で現在動作しているプログラムをフラッシュメモリ上で動作させるように切り替える場合に、動作中のメモリの配置を切り替えると暴走の恐れがあるためである。問題がある場合、一旦、プログラムを疑似S R A M 7 4上で動作させ、マップを切り替えてからフラッシュメモリに制御を移すという手順が採用される。ただし、フラッシュメモリが疑似S R A M 7 4の下に隠れている場合（ステップS 1 1 6）は、フラッシュメモリへの移行が不可能であるため、予め不具合の生じない位置に疑似S R A M 7 4を移動しておく（ステップS 1 1 7）。疑似S R A M 7 4の位置が決定されると、準備プログラムが転送、実行され、マップの切り替え、フラッシュメモリへのジャンプが行われる（ステップS 1 1 8～S 1 2 0）。

【0208】

その後は、データ放送から受信されたプログラムおよびデータに従ってCPU 3 0は動作し、必要に応じてメモリマップの配置を切り替える（ステップS 1 2 1）。

【0209】

ここで、本実施例では、メモリマップの配置決定方法として、3種類の方法が準備されていることがわかる。すなわち、第1番目の方法は、マスクROM 7 2内に記憶されているメモリマップ配置データにより決定される方法である。第2番目の方法は、データ放送のメニューデータに含まれ、データ受信時に必要なメモリマップ配置を示すデータによって決定される方法である。第3番目の方法は、受信された実際のデータおよびプログラムに含まれ、これを表示あるいは実行する際に必要となるメモリマップ配置を示す実行データにより決定される方法である。特に、第2番目および第3番目の方法は、放送されるメニューデータおよび実行データに基づいてメモリマップの配置を設定できるため、放送されるデータの容量、種類によって最適な配置を放送時に指定できる。

【0210】

図3 8は、図3 7におけるサブルーチンステップS 1 0 3またはS 1 0 8において、CPU 3 0によって実行される動作を示したフローチャートである。以下、この図3 8を参照して、データ放送受信時におけるCPU 3 0の動作を説明する。

【0211】

まず、CPU 3 0は、アドレスバスBにアドレス信号を出力し、データバスに論理チャンネルデータを出力し、制御信号Bに含まれる信号PAWRをローレベルにセットすることにより、図5のデータ放送デコーダ8 0に論理チャンネルをセットする（ステップS 2 0 1）。次に、CPU 3 0は、受信プログラム（マスクROM 7 2に格納されている）に従って、次フレームでTVモニタ2 2に出力すべき画像・音声（例えば、ユーザの待機を促すメッセージ）のデータの処理を、ビデオプロセッサ4 0およびオーディオプロセッサ4 6と協働して行う（ステップS 2 0 2）。次に、CPU 3 0は、ビデオプロセッサ4 0からブランキング期間における割り込み指示NMIが来るのを待機する（ステップS 2 0 3）。当該割り込み指示NMIを受け取ると、CPU 3 0は、図1 7のプリフィックスデータ数カウンタ5 1 4をアクセスし、そこに格納されているプリフィックスデータ数を確認する（ステップS 2 0 4）。CPU 3 0は、プリフィックスデータ数の確認結果に基づいて、データメモリ4 5 4内にデータが格納されているか否かを判断する（ステップS 2 0 5）。データメモリ4 5 4内にデータが格納されていない場合は、転送すべきデータが溜まっていないと判断し、ステップS 2 0 2の動作に戻る。

10

20

30

40

50

【0212】

一方、データメモリ454内にデータが格納されている場合、CPU30は、図16のORループ483に読み出し指示を与えることにより、D-FF486をリセットする(ステップS206)。次に、CPU30は、プリフィックスメモリ452内にバッファリングされたプリフィックスデータをDMA転送する(ステップS207)。プリフィックスデータの転送先は、前述のステップS103では、ワークRAM32であり、ステップS108では、疑似SRAM74である。次に、CPU30は、ORループ483内のD-FF486に記憶されたエラーフラグの状態を確認する(ステップS208)。CPU30は、このエラーフラグの状態に基づいて、何らかのエラーが生じているか否かを判断する(ステップS209)。前述したように、D-FF486に記憶されたエラーフラグが論理1の場合、データメモリ454内に格納されているデータパケットのいずれかにエラーが生じている。

10

【0213】

当該エラーフラグが論理1で、何らかのエラーが発生している場合、CPU30は、すでにワークRAM32または疑似SRAM74に転送されたプリフィックスデータを参照することにより、どのパケットにどのようなエラーが生じているかを確認し、再受信処理の準備を行う(ステップS210)。なお、ここで確認されるエラーは、SDSCエラーと、CIエラーである。ステップS209でエラーが検出されない場合(D-FF486に記憶されたエラーフラグが論理0の場合)、またはステップS210の処理の後、CPU30は、データメモリ454内にバッファリングされたデータグループデータをDMA転送する(ステップS211)。データグループデータの転送先は、前述のステップS103では、ワークRAM32であり、ステップS108では、疑似SRAM74である。次に、CPU30は、データグループデータの全てを転送したか否かを判断する(ステップS212)。この判断は、終端パケットの検出に基づいて行われる。もし、終端パケットの転送が終了していない場合、CPU30は、再びステップS202の動作に戻り、残りのパケットデータの受信およびDMA転送を繰り返す。

20

【0214】

一方、終端パケットの転送が終了すると、CPU30は、ワークRAM32または疑似SRAM74に記憶されたプリフィックスデータ中のCRCフラグ(SDSCエラーを示すフラグの内、終端パケットに対応するフラグ)をチェックし(ステップS213)、受信データ内にCRCエラーが生じているか否かを判断する(ステップS214)。CRCエラーが生じている場合、CPU30は、再受信処理の準備を行う(ステップS215)。CRCエラーが生じていない場合、またはステップS215の再受信準備が終了した後、CPU30は、データ放送受信処理を終了する。

30

【0215】

ところで、上記ステップS209において、受信データにエラーのあることが発見された場合の対処方法としては、エラーのあるデータパケットのみを再受信して転送する第1の方法と、データグループデータ全体を再受信して転送する第2の方法とがある。第1の方法は、短時間で処理が終了する反面、データ放送デコーダ82内でCRC演算が行えないため、データ転送後にCPU30が転送先のメモリの記憶内容からCRC演算を行う必要がある。その結果、CRCエラーが検出されると、再びデータグループデータ全体を再受信して転送する必要がある。そのため、本システムの受信性能や、現在の受信状態を考慮して、いずれの方法を選択するかを決めることが好ましい。例えば、雷によるインパルス性ノイズの混入時には、第1の方法が好ましい。また、降雨によって受信データ全体のS/N比が低下している場合は、第2の方法が好ましい。なお、上記ステップS214において、CRCエラーが発見された場合は、データグループデータ全体の再受信および転送が必要になるため、第2の方法により対処される。

40

【0216】

図39は、図7に示すマップデコーダ120の他の構成例を示すブロック図である。なお、この図39は、優先順位レジスタを設けることにより、各メモリ回路の優先順位をプロ

50

グラマブルに設定することが可能なマップデコードを例示している。

【0217】

図39において、本マップデコードは、図10に示すマップデコードの構成と同様に、プリデコード信号CE2B'を出力するROMデコード160'と、プリデコード信号CE1B'を出力するPS-RAMデコード162'と、プリデコード信号CE3B'を出力するフラッシュデコード164'と、プリデコード信号CE4B'を出力するメモリユニットデコード166'とを備えている。しかしながら、これらデコード160', 162', 164', 166'は、前段のデコードの出力が、後段のデコードにデコード条件として与えられていない。従って、プリデコード信号CE1B', CE2B', CE3B', CE4B'は、優先順位を持っておらず、メモリマップ上の同じ位置に複数のメモリが配置されている場合、CPU30が当該位置をアクセスすると、複数のプリデコード信号が同時にアクティブになる可能性がある。そこで、優先順位を持たないプリデコード信号に対して、優先順位を与えるために、アドレスデコード170と、優先順位設定レジスタ172と、セクタA174と、セクタB176と、優先順位回路178とがさらに設けられる。

10

【0218】

次に、図39に示すマップデコードの動作を説明する。CPU30は、優先順位設定レジスタ172に優先順位データ(マスクROM72/疑似SRAM74/フラッシュメモリA76/フラッシュメモリB106の優先順位を切り替えるためのデータ)を書き込む際に、アドレスバスA上に優先順位設定レジスタ172のI/Oポートアドレスを示すアドレス信号を出力し、データバス上に当該優先順位データを出力する。さらに、CPU30は、優先順位設定レジスタ172に、書き込み信号CPUWRBを出力する。

20

【0219】

アドレスデコード170は、アドレスバスA上のアドレス信号をデコードして書き込み許可信号PRCEを出力し、優先順位設定レジスタ172に与える。優先順位設定レジスタ172は、アドレスデコード170からの書き込み許可信号PRCEおよびCPU30からの書き込み信号CPUWRBに応答して、データバス上の優先順位設定データを取り込んで記憶する。

【0220】

セクタA174は、「4→1」セクタを4回路内蔵しており、優先順位設定レジスタ172からの優先順位データに基づいて、各デコードからのプリデコード信号の配列を切り替え、その優先順位を変更する。すなわち、セクタA174は、優先順位の高いものが上から順番に並ぶように、プリデコード信号の配列を切り替える。

30

【0221】

優先順位回路178は、セクタA174を上から順番(すなわち、優先順位の高い方から順番に)にサーチし、最初にアクティブになっている信号を検出し、当該信号をアクティブ(ローレベル)、他の信号を非アクティブ(ハイレベル)の状態にしてセクタB176に出力する。また、セクタA174から入力する信号がすべて非アクティブであった場合には、セクタB176へ出力する信号を全て非アクティブにする。

【0222】

40

セクタB176は、セクタAと同様の構成を有し、セクタA174によって優先順位変更のために組み替えられた配線状態を元に戻し、各メモリ回路のためのチップイネーブル信号CE1B, CE2B, CE3B, CE4Bを出力する。優先順位回路178によって4本の信号線の内の1本だけがアクティブになる(または全てが非アクティブになる)ため、セクタB176から出力される各メモリ回路のチップイネーブル信号は、同時に2本以上がアクティブになることは無い。また、優先順位設定レジスタ172に書き込む優先順位データを変更することにより、容易に各メモリ回路のアクセス優先順位を変えることができる。

【0223】

なお、以上説明した各実施例においては、各々異なる種類のメモリを対象としてメモリウ

50

ィンドウを設定したが、同種のメモリに対するメモリウインドウを異なるメモリ領域上に設定してもよい。また、上記各実施例では、データ放送受信機用メモリカートリッジ内に収納されたメモリを管理の対象としているが、通常の家計用ゲーム機のメモリカートリッジや、パーソナルコンピュータのメモリ装置にも本発明を適用できることは言うまでもない。

【0224】

【発明の効果】

請求項1の発明によれば、複数のメモリのそれぞれについて、アドレス空間の任意の領域に、アクセスが可能となるウインドウを移動可能に設定するようにしているので、使用するメモリの諸条件（種類、容量、使用状況）に応じて、アドレス空間上で柔軟にメモリを配置できる。また、アドレス空間上において、複数のウインドウが重なって設定された領域がアクセスされたときは、優先度指定手段によって指定された優先度に基づいて、当該重なったウインドウに対応する各メモリのアクセス優先度を制御するようにしているので、複数のメモリのアクセスが競合することがなく、読み出しデータの衝突による誤動作を未然に防止することができる。

10

【0225】

請求項3の発明によれば、CPUから各メモリの優先順位が書き込まれる記憶手段の記憶内容に基づいて、各メモリ間の優先度を指定するようにしているので、当該優先度を自由に変更することができる。

【0226】

請求項4の発明によれば、CPUから第1の設定情報記憶手段に対してシーケンシャルに設定されるウインドウ設定情報を、第2の設定情報記憶手段で一括的にラッチするようにしているので、アドレス空間上に各メモリのためのウインドウを同時に開くことができる。その結果、CPUは、ウインドウ変更途中のマップ状態を考慮する必要がなくなり、必要な処理を容易に行うことができる。

20

【図面の簡単な説明】

【図1】本発明の一実施例に係る衛星データ放送受信装置の構成を示す外観斜視図である。

【図2】図1の衛星データ放送受信装置を用いて構成された衛星データ放送受信システムの全体構成を示す外観斜視図である。

30

【図3】図2におけるゲーム機本体2の内部構成を示すブロック図である。

【図4】図2における衛星データ放送受信カートリッジ6の内部構成を示すブロック図である。

【図5】図2における衛星データ放送受信アダプタ4の内部構成を示すブロック図である。

【図6】図2におけるメモリユニット8の内部構成を示すブロック図である。

【図7】図4におけるマッピングコントローラ70の内部構成を示すブロック図である。

【図8】図7におけるIRQコントローラ126の内部構成を示すブロック図である。

【図9】図7におけるPSRAMコントローラ124の内部構成を示すブロック図である。

40

【図10】図7におけるマップデコーダ120の内部構成を示すブロック図である。

【図11】図7におけるコントロールレジスタ110の内部構成を示すブロック図である。

【図12】図5におけるデータ放送デコーダ82の内部構成を示すブロック図である。

【図13】図12におけるチャンネルデテクタ406の内部構成の詳細を示すブロック図である。

【図14】図12におけるチャンネル1用のデコーダ/バッファ408aの内部構成を示している。

【図15】図14におけるデータコントローラ450の内部構成の詳細を示すブロック図である。

50

【図 16】図 14 におけるデータセクタ 456 の内部構成の詳細を示すブロック図である。

【図 17】図 15 におけるプリフィックス F I F O インターフェース 472 の内部構成の詳細を示すブロック図である。

【図 18】図 15 におけるデータ F I F O インターフェース 474 の内部構成の詳細を示すブロック図である。

【図 19】図 18 における E M P / F U L デテクタ 538 の内部構成の詳細を示すブロック図である。

【図 20】図 19 に示す E M P / F U L デテクタ 538 の動作を、各入力条件別に示す図である。

10

【図 21】図 13 のビットカウンタ 422 から出力される各種信号のタイミングを示すタイムチャートである。

【図 22】図 14 のデータメモリ 454 のライトタイミングを説明するためのタイムチャートである。

【図 23】図 14 のデータメモリ 454 のリードタイミングを説明するためのタイムチャートである。

【図 24】C P U 30 が保有するアドレス空間に対応するメモリマップを示す図である。

【図 25】C P U 30 のメモリマップ上において、マスク R O M 72 を割り付け可能な領域を示す図である。

【図 26】C P U 30 のメモリマップ上において、疑似 S R A M 74 を割り付け可能な領域を示す図である。

20

【図 27】C P U 30 のメモリマップ上において、フラッシュメモリ A 76 を割り付け可能な領域を示す図である。

【図 28】C P U 30 のメモリマップ上において、フラッシュメモリ B 106 を割り付け可能な領域を示す図である。

【図 29】本実施例において、衛星データ放送受信時の信号の流れを示す図である。

【図 30】本実施例の衛星データ放送受信システムで採用されるデータ伝送の階層モデルを示す図である。

【図 31】図 10 の R O M デコーダ 160 において、マスク R O M 72 のチップイネーブル信号 C E 2 B がアクティブ（ローレベル）になる条件を示す図である。

30

【図 32】図 10 の P S - R A M デコーダ 162 において、疑似 S R A M 74 のチップイネーブル信号 C E 1 B がアクティブ（ローレベル）になる条件を示す図である。

【図 33】図 10 のフラッシュデコーダ 164 において、フラッシュメモリ A 76 のチップイネーブル信号 C E 3 B がアクティブ（ローレベル）になる条件を示す図である。

【図 34】図 10 のメモリユニットデコーダ 166 において、フラッシュメモリ B 106 のチップイネーブル信号 C E 4 B がアクティブ（ローレベル）になる条件を示す図である。

【図 35】本実施例において、データ放送を受信する場合に好適なメモリ配置を示す図である。

【図 36】本実施例において、フラッシュメモリ A 76 内に記憶されたゲームプログラムを動作させる場合に好適なメモリ配置を示す図である。

40

【図 37】本実施例において、図 35 のメモリ配置でデータを受信し、受信後、図 36 のメモリ配置でデータを表示（または、データをプログラムとして実行）する場合の動作を示すフローチャートである。

【図 38】図 37 におけるサブルーチンステップ S 103 または S 108 において、C P U 30 によって実行される動作を示したフローチャートである。

【図 39】図 7 に示すマップデコーダ 120 の他の構成例を示すブロック図である。

【符号の説明】

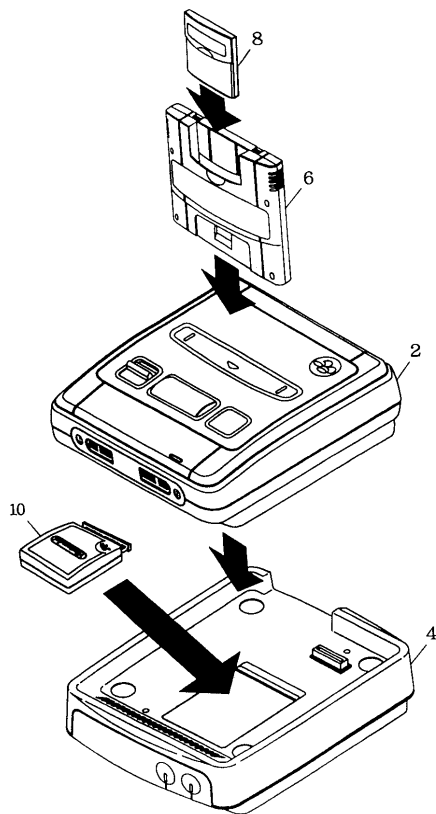
2 ... ゲーム機本体

4 ... 衛星データ放送受信アダプタ

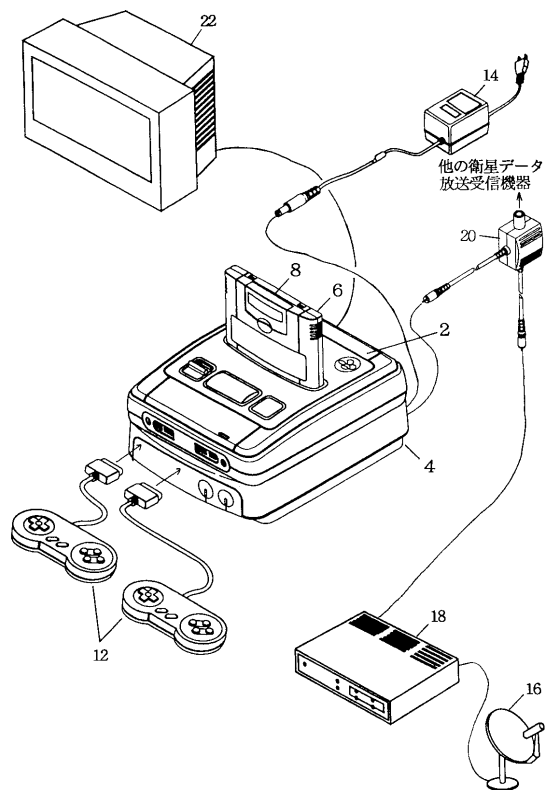
50

- 6 ... 衛星データ放送受信カートリッジ
 8 ... メモリユニット 8
 10 ... ハードディスク装置

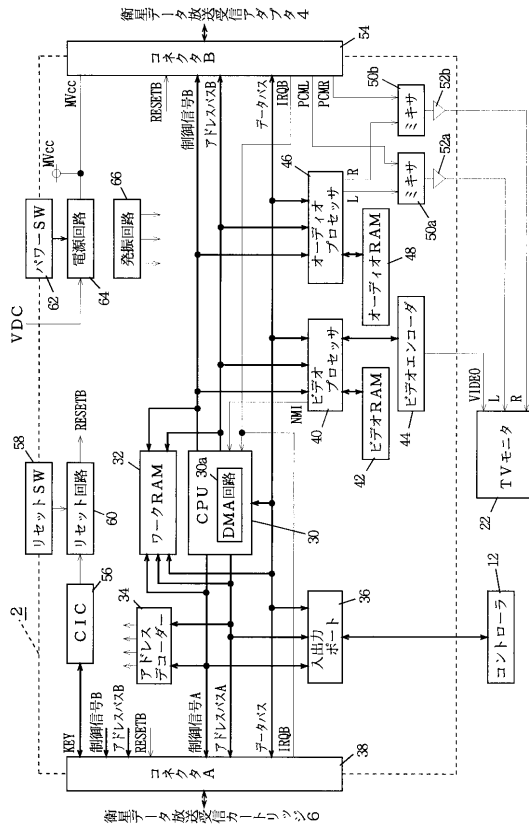
【図 1】



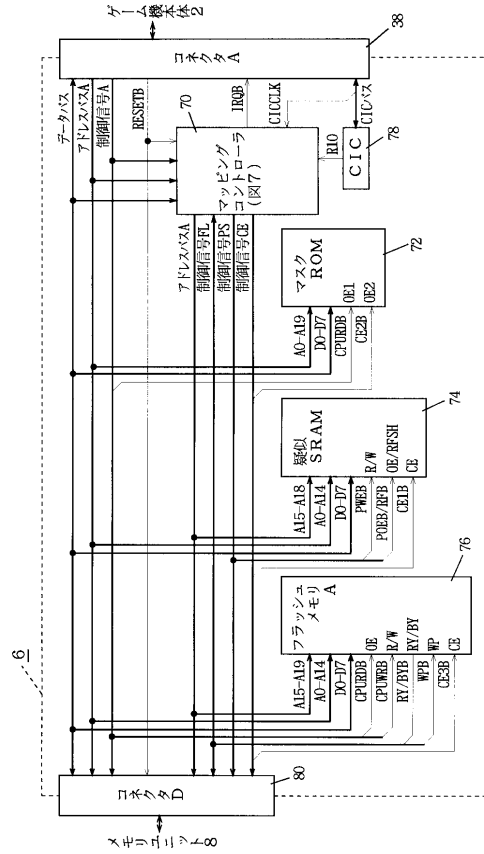
【図 2】



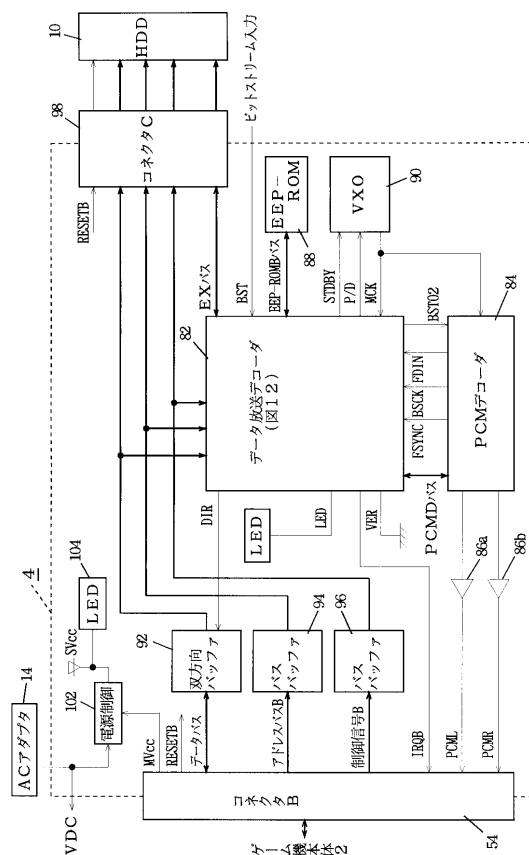
【図 3】



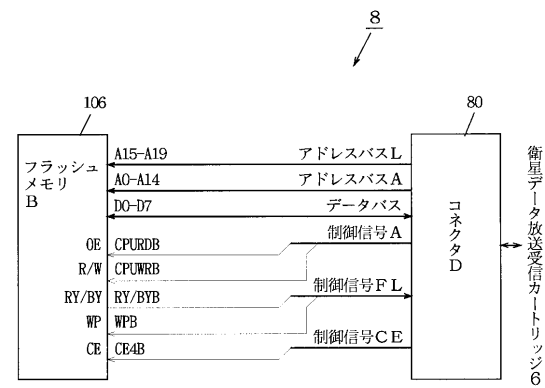
【図 4】



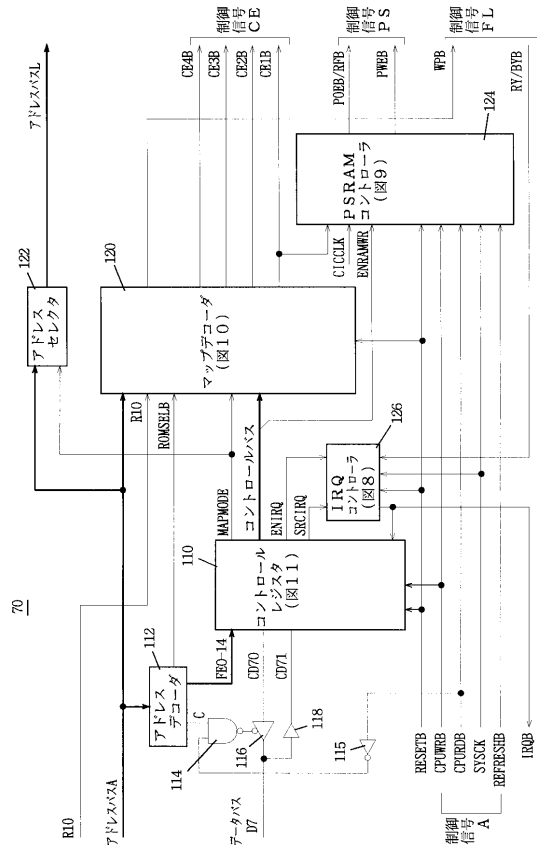
【図 5】



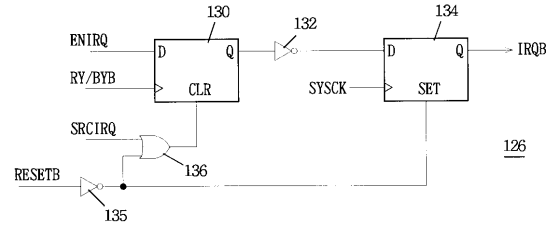
【図 6】



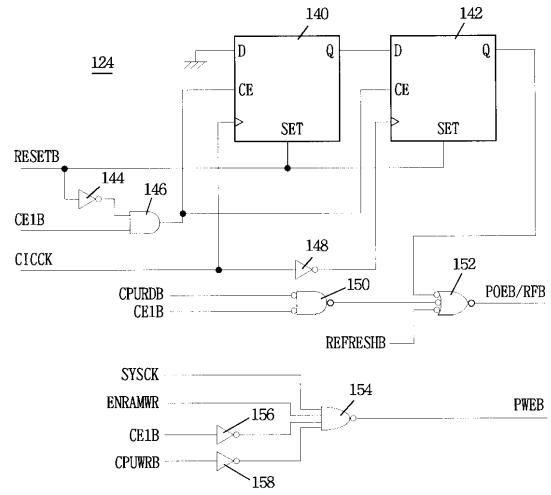
【図 7】



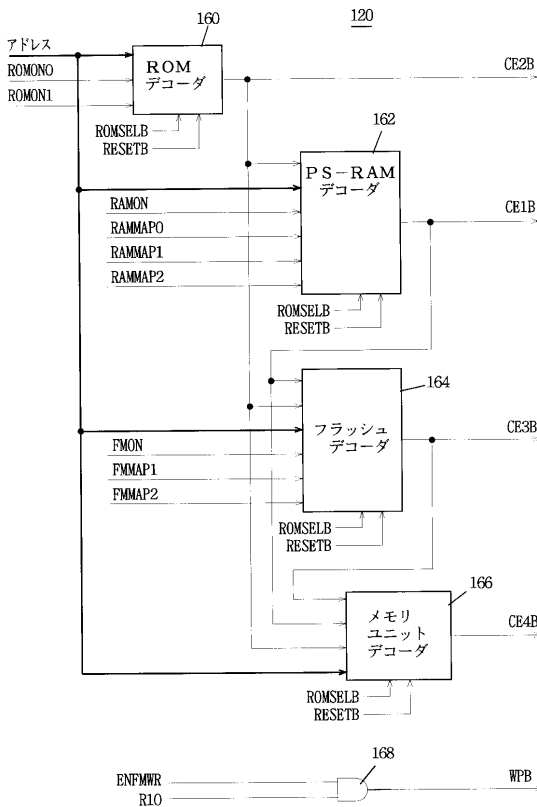
【図 8】



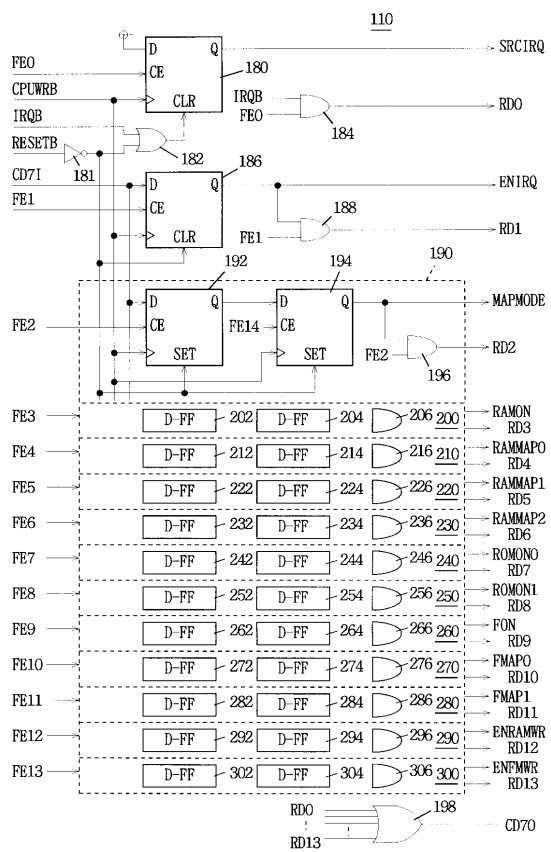
【図 9】



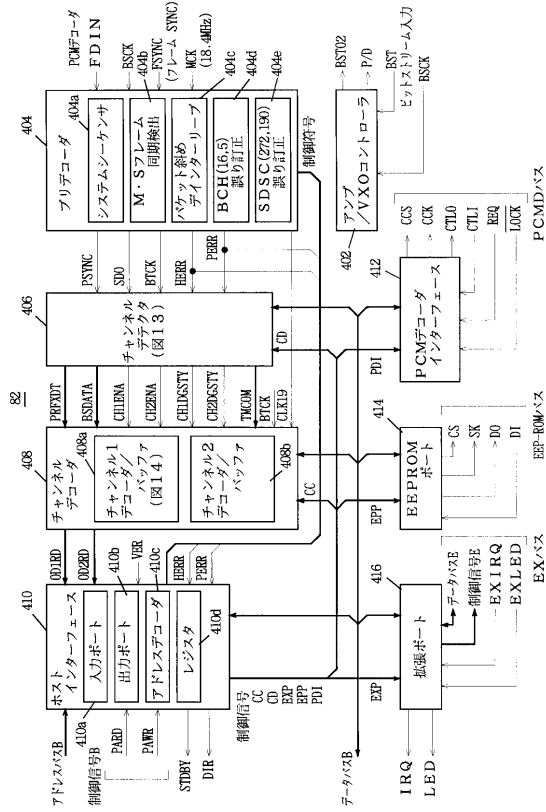
【図 10】



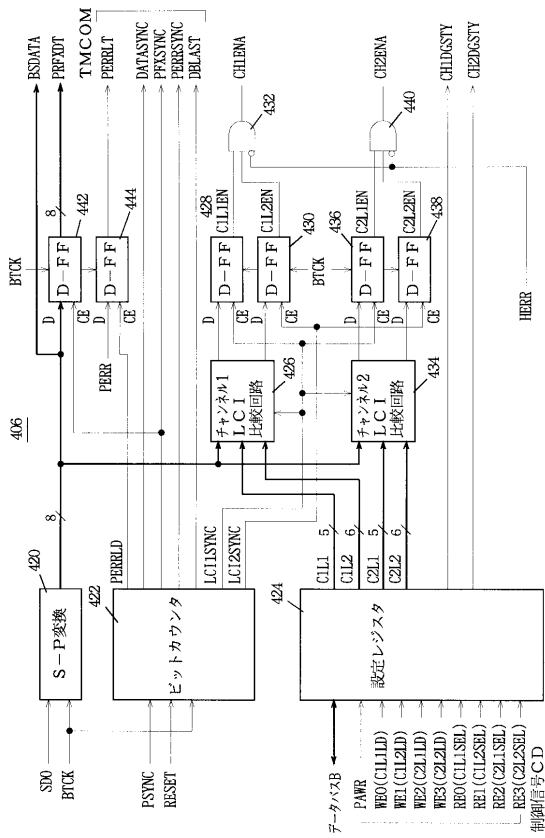
【図 11】



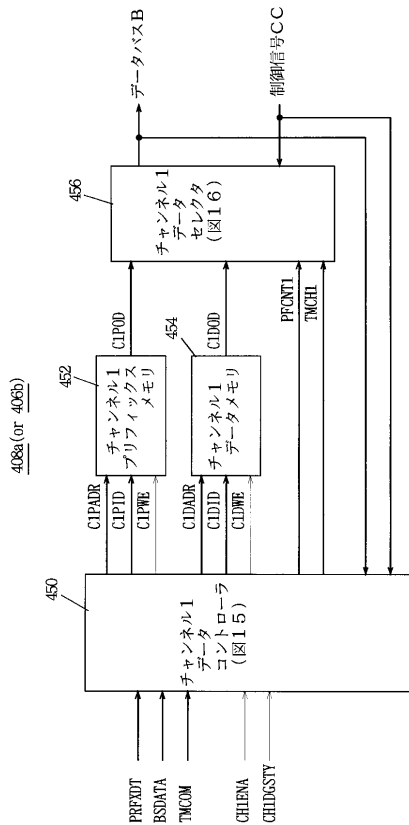
【図 12】



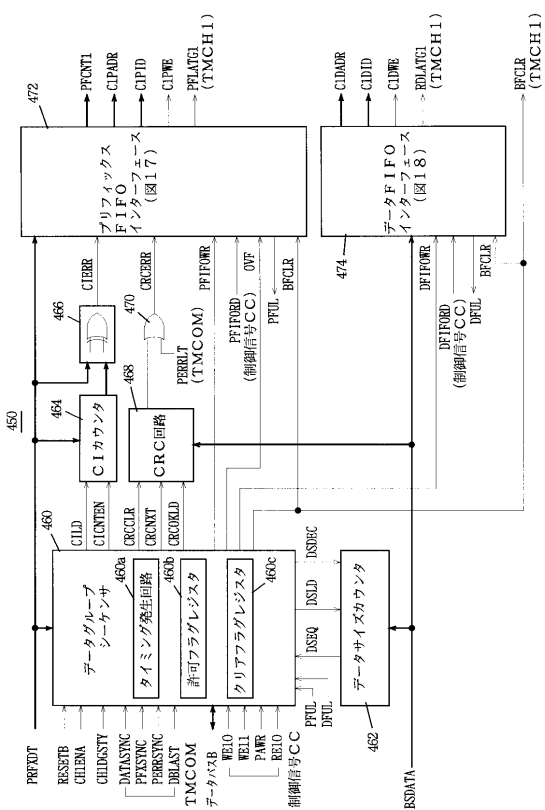
【図 13】



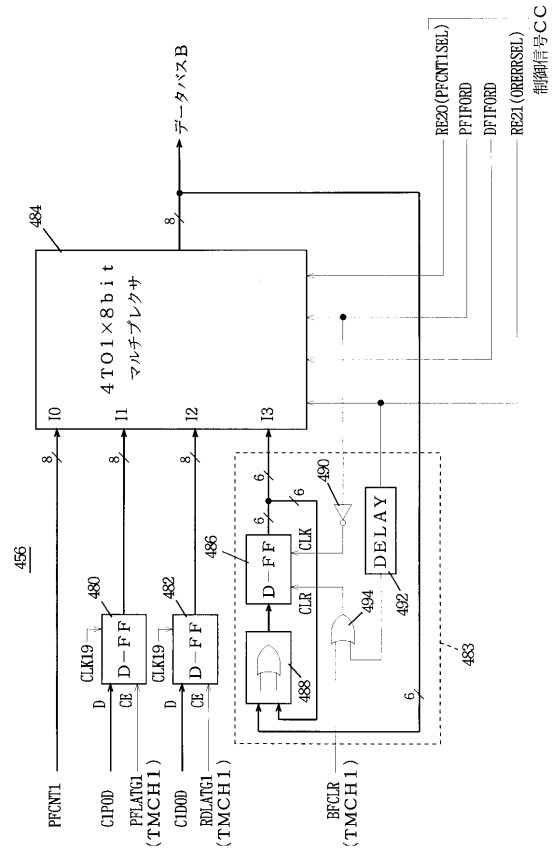
【図 14】



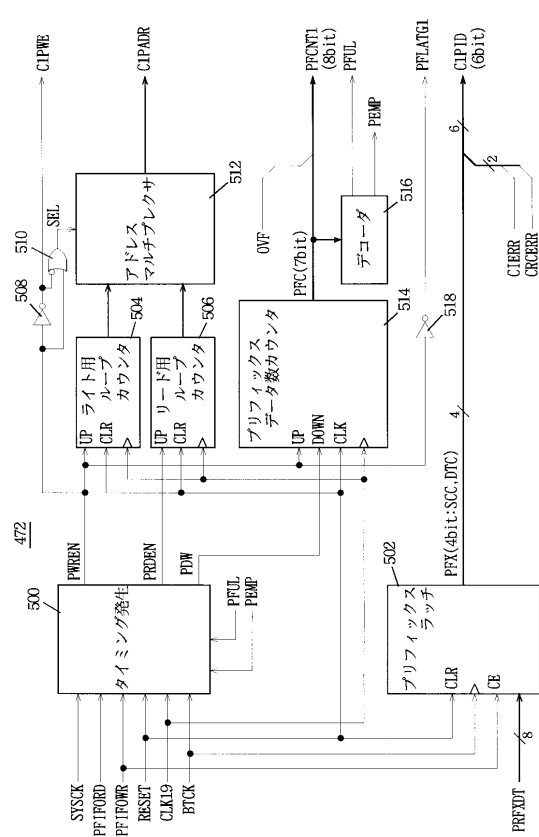
【図 15】



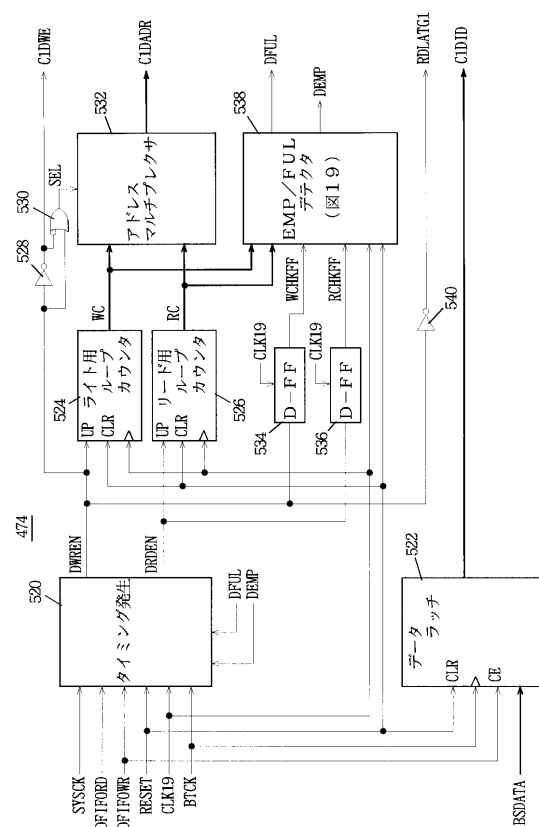
【図 16】



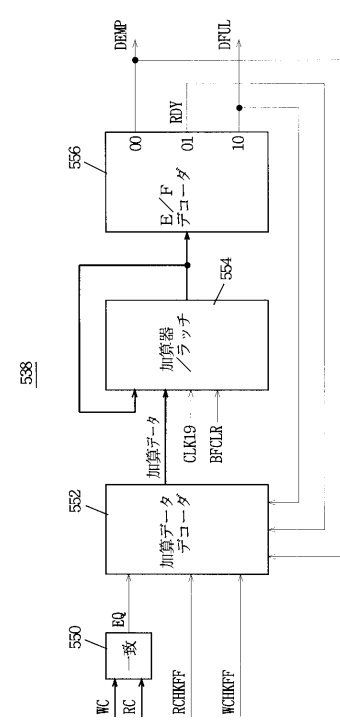
【図 17】



【図 18】



【図 19】



【 図 2 5 】

[illegible][illegible]

【 図 2 7 】

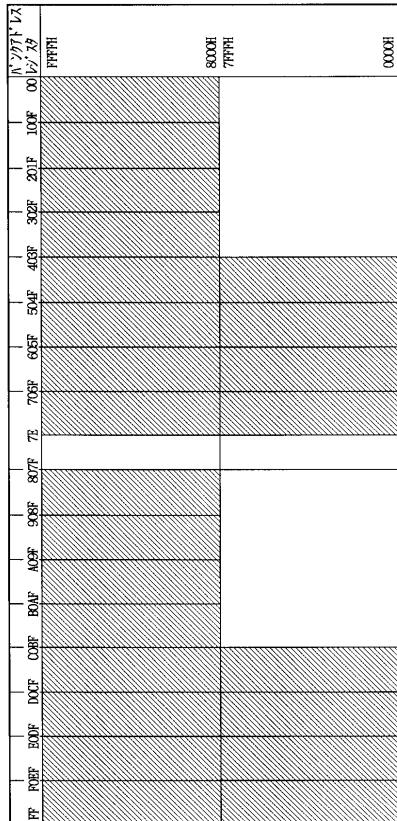
(a) MAPMODE=0 (20モード) の場合

[illegible][illegible]

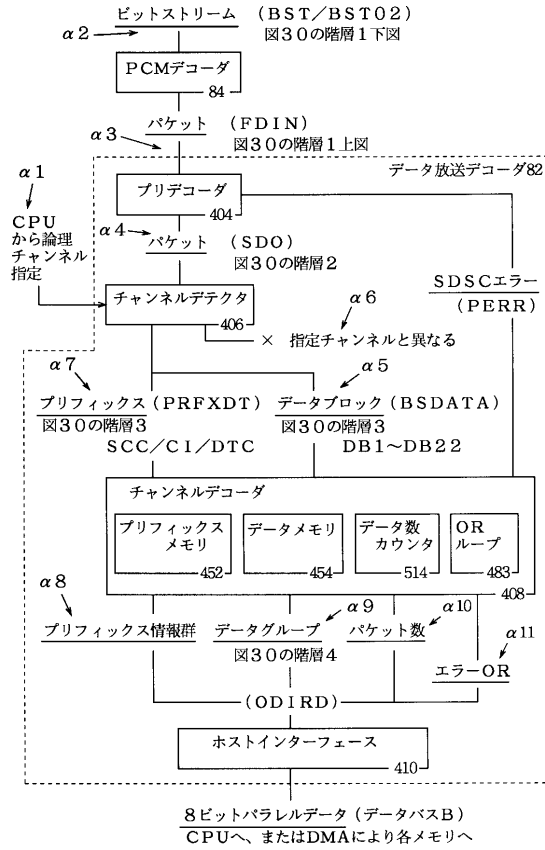
(b) MAPMODE=1 (21モード) の場合

[illegible][illegible]

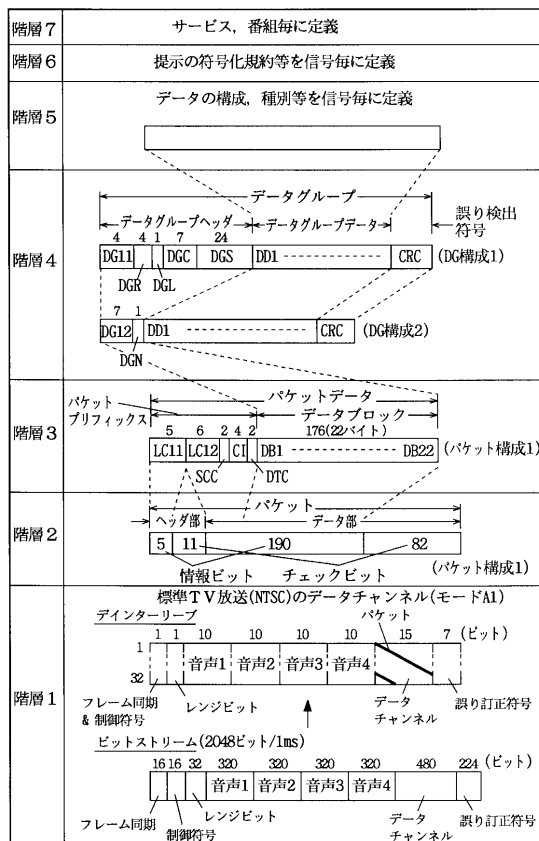
【図 28】



【図 29】



【図 30】



【図 31】

RESETB	ROMSELB	A23	A22	A21	ROMON1	ROMON0
1	0	0	0	x	x	1
		1	0	x	1	x

【 ㊦ 3 2 】

RESETB	CE2B	RAMON	MAPMODE	ROMSELB	RAMMAP2	RAMMAP1	RAMMAP0	A23	A22	A21	A20	A19	A14	A13		
1	1	1	0	0	0	0	0	0	0	0	0	x	x	x		
					0	0	1	0	0	1	0	x	x	x		
					0	1	0	0	1	0	0	x	x	x		
					0	1	1	0	1	0	0	x	x	x		
					1	0	0	1	0	0	x	x	x			
					1	0	1	1	0	1	0	x	x	x		
					1	1	0	1	1	0	0	x	x	x		
					1	1	1	1	1	1	0	x	x	x		
		1	1	1	1	x	x	x	x	1	1	1	x	0	x	x
						0	0	0	0	x	0	0	0	x	x	x
						0	0	1	0	x	0	1	0	x	x	x
						0	1	0	0	x	1	0	0	x	x	x
						0	1	1	0	x	1	1	0	x	x	x
						1	0	0	1	x	0	0	0	x	x	x
						1	0	1	x	0	1	0	x	x	x	
						1	1	0	1	x	1	0	0	x	x	x
1	1	1	1	1	1	1	1	1	1	1	0	x	x	x		
				x	x	x	x	0	1	x	1	1	1	1		

【 ㄨ 3 3 】

RESETB	ROMSELB	PCEB	CE2B	FMON	MAPMODE	FMMAP1	FMMAP0	A23	A22	A21	A20
1	0	1	1	1	0	0	0	0	0	0	x
						0	1	0	1	0	x
						1	0	1	0	0	x
						1	1	1	1	0	x
					1	0	0	0	x	0	0
						0	1	0	x	1	0
						1	0	1	x	0	0
						1	1	1	x	1	0

【 図 3 4 】

RESETB	ROMSELB	PCEB	CE2B	CE3B
1	0	1	1	1

【 図 3 5 】

データ放送を受信する場合に好適なメモリ配置

FO : FF	EO : EF	DO : DF	CO : CF	BO : BF	AO : AF	90 : 9F	80 : 8F	70 : 7F	60 : 6F	50 : 5F	40 : 4F	30 : 3F	20 : 2F	10 : 1F	00 : 0F	バンク
フラッシュ メモリ B						フラッシュ メモリ A	フラッシュ メモリ B		疑似 S R A M		ROM データ放送 受信プログラム		FFFFH			
制御領域												8000H				
												7FFFH				
制御領域												0000H				

```

ROMON0=1    RAMON=1    FMON=1
ROMON1=0    RAMMAP0=0  FMMAP0=0
MAPMODE=0    RAMMAP1=1 FMMAP1=1
              RAMMAP2=0

```

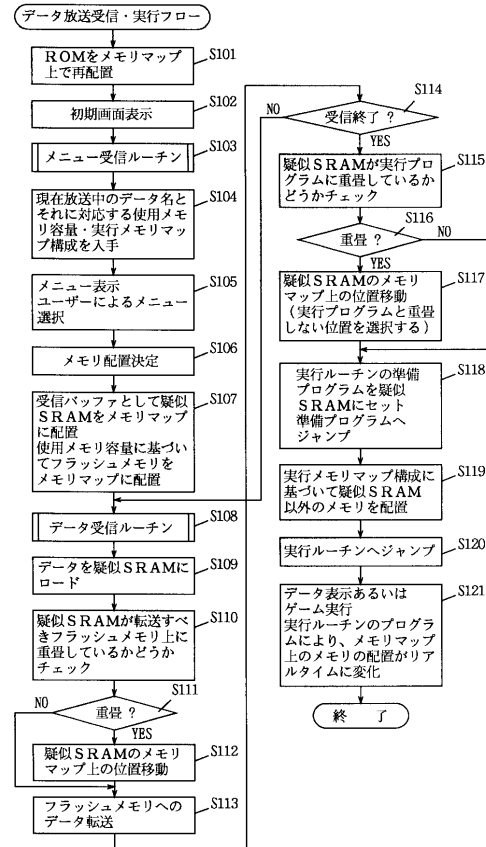
【 図 3 6 】

受信したゲームプログラムを実行するのに好適なメモリ配置

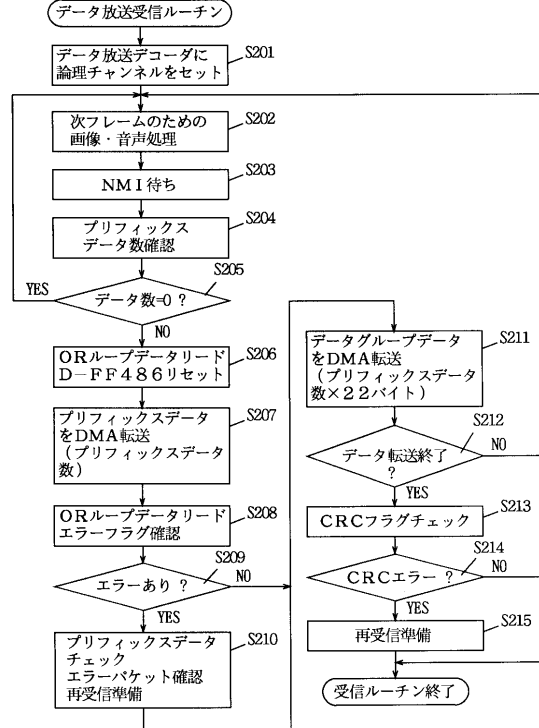
PO : FF	EO : EF	DO : DF	CO : CF	BO : BF	AO : AF	90 : 9F	80 : 8F	70 : 7F	60 : 6F	50 : 5F	40 : 4F	30 : 3F	20 : 2F	10 : 1F	00 : 0F	バンク
フラッシュ メモリ B				ROM 画像、音声制御 サブルーチン				フラッシュ メモリ B		疑似 SRAM	フラッシュ メモリ B		フラッシュ メモリ A		FFFFH	
				制御領域							制御領域		8000H 7FFFH 0000H			

```
ROMON0=0    RAMON=1    FMON=1
ROMON1=1    RAMMAP0=0  FMMAP0=0
MAPMODE=0   RAMMAP1=1  FMMAP1=0
             RAMMAP2=0
```

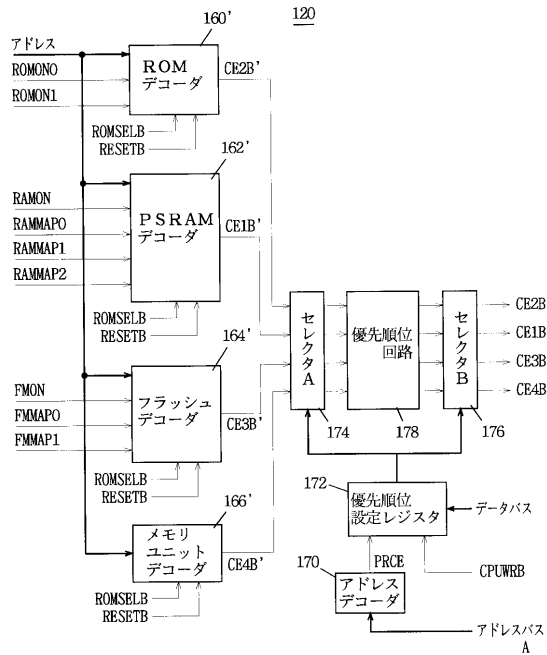
【図 37】



【図 38】



【図 39】



フロントページの続き

(72)発明者 越智 圭一

兵庫県川西市中央町3番6号 川西太陽ビル4F 株式会社クリエイティブ・デザイン内

審査官 丹治 彰

(56)参考文献 特開昭52-067933(JP,A)

特開昭61-175740(JP,A)

特開平04-115336(JP,A)

特開平06-348504(JP,A)

特開平05-307519(JP,A)

特開昭59-216260(JP,A)

特開平07-049852(JP,A)

川村雅則, 高機能16ビット・シングルチップ・マイコン[H16]への招待, プロセッサ, 日本, 技術評論社, 1989年12月 4日, 1989年1月号, p. 2 - p. 37

石川知雄, H16の使い方, 日本, オーム社, 1989年 7月 7日, p. 70 - p. 71

SH-7604 ハードウェアマニュアル, 日本, 株式会社 日立製作所, 1996年11月, p. 137 - 142

(58)調査した分野(Int.Cl.⁷, DB名)

G06F 12/00-12/06

G06F 15/78