

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2025年1月9日(09.01.2025)



(10) 国際公開番号

WO 2025/009238 A1

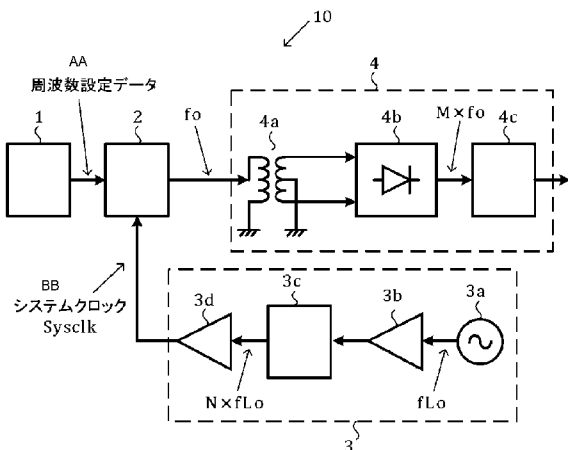
- (51) 国際特許分類:
H03B 28/00 (2006.01)
- (21) 国際出願番号: PCT/JP2024/013509
- (22) 国際出願日: 2024年4月1日(01.04.2024)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2023-111676 2023年7月6日(06.07.2023) JP
- (71) 出願人: 株式会社京三製作所(KYOSAN ELECTRIC MFG. CO., LTD.) [JP/JP]; 〒2300031 神奈川県横浜市鶴見区平安町二丁目29番地の1 Kanagawa (JP).
- (72) 発明者: 鄭雲榜(TEI Unbou); 〒2300031 神奈川県横浜市鶴見区平安町二丁目29番地の1 株式会社京三製作所内 Kanagawa (JP).
- (74) 代理人: あいわ弁理士法人(AIWA INTERNATIONAL PATENT AGENCY); 〒1040045 東

京都中央区築地一丁目12番22号
コンビル4階 Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS,

(54) Title: HIGH-FREQUENCY SIGNAL GENERATING DEVICE

(54) 発明の名称: 高周波信号発生装置



(57) Abstract: A high-frequency signal generation device according to the present invention comprises: (A) a clock signal generating unit that generates a clock signal using a harmonic component that is generated by a non-linear amplifier; (B) a DDS (direct digital synthesizer) that uses the clock signal as a system clock for operating internal processing and generates a frequency signal having a frequency that is set by frequency setting data; and (C) a high-frequency unit that is composed of a non-active frequency multiplier that does not use an active element and that increases the frequency of the frequency signal generated by the DDS. The clock signal is generated by using the harmonic component that is generated by the non-linear amplifier, an increase in speed is handled by shortening a delay time in a variable function of the frequency, and a high C/N ratio is handled by suppressing spurious emission and phase noise.

AA Frequency setting data
BB System clock

IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE,
SN, TD, TG).

添付公開書類：

－ 国際調査報告（条約第21条(3)）

(57) 要約：本発明の高周波信号発生装置は、（A）非直線性を有する増幅器が発生する高調波成分を用いてクロック信号を生成するクロック信号生成部と、（B）クロック信号を、内部処理を動作させるためのシステムクロックとして用い、周波数設定データで設定された周波数を持つ周波数信号を発生するDDS（ダイレクトデジタルシンセサイザ）と、（C）能動素子を用いない非アクティブ型周波数逡倍器により構成され、DDSで発生した周波数信号の周波数を高める高周波化部と、を備える。クロック信号を、非直線性を有する増幅器が発生する高調波成分を用いて生成し、周波数の可変機能において、遅延時間を短縮して高速化に対応し、スプリアスや位相ノイズを抑制して高C/N比に対応する。

明 細 書

発明の名称：高周波信号発生装置

技術分野

[0001] 本発明は、出力周波数が可変である高周波信号発生装置に関する。

背景技術

[0002] 半導体製造装置や液晶パネル製造装置等に用いられるリニアアンプ式の高周波電源ではVHF～UHF帯（100MHz～1GHz）の高周波信号（RF信号）が供給される。高周波電源は高周波信号発生装置を備え、周波数が可変の高周波信号（RF信号）を発生する。

[0003] 周波数を可変とする高周波信号（RF信号）を発生する高周波信号発生装置として、DDS（Direct Digital Synthesizer：ダイレクトシンセサイザ）を用いた周波数シンセサイザが知られている（特許文献1，2）。

[0004] これらの周波数シンセサイザは、DDS信号の周波数を高めるDDSの周辺機器として周波数混合器（ミキサ）やPLL回路を備える。

規則 91,
11.04.2024

[0005] 図4Aは、周波数混合器（ミキサ）を備える高周波信号発生装置の一構成例である。高周波信号発生装置100は、特定の周波数を持つ周期信号を発生する基準信号発振器101と、基準信号発振器101の出力をクロック信号とし、周波数設定データで指定された周波数の信号を発生するDDS102と、局部発振波を出力する局部発振器103と、DDS102の出力信号と局部発振波とを混合するミキサ104と、ミキサ104で混合した信号を逡倍する逡倍器105と、逡倍器105の出力信号を分周する分周器106とを備え、分周器106の分周比を周波数設定データに基づいて変えることにより出力周波数を可変としている。

[0006] 図4Bは、PLL回路を備える高周波信号発生装置の一構成例である。高周波信号発生装置110は、クロック信号を出力するクロック信号源111と、クロック信号に基づいて周波数設定データで指定された周波数の信号を発生す

規則 91,
11.04.2024

るDDS112と、DDS信号の周波数を基準として設定周波数の発振信号を出力するPLL回路113と、周波数設定データを出力する制御部114とを備える。PLL回路113は、位相比較器113aとループフィルタ113bと電圧制御発振器(VOC)113cと分周器113dとを備える。

先行技術文献

特許文献

[0007] 特許文献1：特開2000-124740号公報

特許文献2：特開2022-113497号公報

発明の概要

発明が解決しようとする課題

[0008] 従来のDDSを用いて周波数可変の周波数信号を発生する周波数シンセサイザの高周波信号発生装置は、PLL回路内で発生する遅延時間の問題や、DDSの周辺機器やPLL回路で発生するスプリアスや位相ノイズによる搬送波対雑音比(C/N比)の低下等の問題を有している。

[0009] 周波数を可変とする際、周波数混合器(ミキサ)やPLL回路の電圧制御発振器(VOC)の応答特性により出力信号に遅延が発生し、PLLループ内においてPLL出力が所定の周波数のロックされるまでに要するロックアップタイムは約1ms~数msである。

[0010] 図5は、PLL回路を備えた高周波信号発生装置の遅延時間の一例を示す図である。周波数を f_1 から f_2 に切り替える際、DDSにPLLの周波数データを書き込む処理を行う。このとき一例として1.72msの書き込み時間を要し、PLLループ内の繰り返し処理によって周波数が安定するまでの時間は、例えば450MHzから460MHzに切り替える場合には38.67msを要し、460MHzから450MHzに切り替える場合には34.67msを要する。

- [0011] また、周波数混合器（ミキサ）やPLL回路の電圧制御発振器（VOC）等の回路素子により、スプリアスや位相ノイズは、高周波信号発生装置が発生する周波数信号の搬送波対雑音比（C/N比）を低下することになる。
- [0012] 図6は、スプリアス及び位相ノイズを説明するための概略図である。キャリア信号を位相変調する変調信号が周期信号であるときには、基本波の整数倍の周波数に高調波のスプリアスが発生する。位相ノイズはキャリアに対してその両側波帯に発生し、搬送波対雑音比（C/N比）で表される。
- [0013] 高周波信号発生装置において、周波数を高速で可変であり且つC/N比が高い出力信号が求められる場合、従来の高周波信号発生装置では、ロックアップタイムの遅延時間やスプリアスや位相ノイズによって、高速化及び高C/N比への対応が困難であるという課題がある。
- [0014] 本発明は前記した従来課題を解決し、周波数の可変機能において、遅延時間を短縮して高速化に対応し、スプリアスや位相ノイズを抑制して高C/N比に対応することを目的とする。

課題を解決するための手段

- [0015] 本発明の高周波信号発生装置は、
- (A) 非直線性を有する増幅器が発生する高調波成分を用いてクロック信号を生成するクロック信号生成部と、
 - (B) クロック信号を、内部処理を動作させるためのシステムクロックとして用い、周波数設定データで設定された周波数を持つ周波数信号を発生するDDS（ダイレクトデジタルシンセサイザ）と、
 - (C) 能動素子を用いない非アクティブ型周波数逡倍器により構成され、DDSで発生した周波数信号の周波数を高める高周波化部と、
- を備える。
- [0016] (A：クロック信号生成部)
- 本発明の高周波信号発生装置は、DDSの内部処理を動作させるシステムクロックとして、クロック信号生成部で生成したクロック信号を用いる。クロック信号生成部は非直線性を有する増幅器を備え、この増幅器は、非直線性

によって基本波に対する高調波成分を発生する。本発明の高周波信号発生装置は、増幅器が発生する高調波成分を用いて高周波数信号を生成し、この高周波数信号をDDSのシステムクロックのクロック信号として用いる。

[0017] クロック信号生成部は、非直線性を有する増幅器が発生する高調波成分を用いることによって、高C/N比（キャリア対ノイズ比）で、且つ低スプリアスのクロック信号を生成することができる。

[0018] 本発明のクロック信号生成部は、

- (a) 基準信号として特定周波数の周期信号を発生する基準信号発振器
- (b) 基準信号の基本波に対する高調波成分を発生する非線形増幅器
- (c) 高調波成分のみを通過させる狭帯域高調波フィルタ（第1BPF）
- (d) 狭帯域高調波フィルタを通過した高調波成分を増幅する高周波アンプを備え、
- (e) 高周波アンプの出力信号をクロック信号として生成する。

[0019] 非線形増幅器は、その非線形性によって基本波の周波数に加えて高調波成分を発生する。本発明は、非線形増幅器が発生する高調波成分を利用することによってクロック信号に用いる高周波信号を生成する。高調波成分は基本波の周波数に対して整数倍であるため、基準信号発振器の基準信号の基本波の周波数が高精度であれば、得られる高周波信号の精度も高精度となる。非線形増幅器はバッファアンプ又はC級増幅器を適用することができる。

[0020] (B : DDS)

DDS（ダイレクトデジタルシンセサイザ）は、周波数設定データで設定された周波数を持つ周波数信号を発生する。制御部はDDSに対して周波数設定データを設定し、DDSは周波数設定データで設定された周波数の周波数信号を生成する。周波数設定データを変更することによって、周波数信号の周波数を可変とすることができる。

[0021] 本発明のDDSは、クロック信号生成部で生成したクロック信号をシステムクロックとして処理を行う。DDSは、高C/N比（キャリア対ノイズ比）で

低スプリアスのクロック信号で動作されるため、出力周波数のC/N比は高められる。

[0022] (C: 高周波化部)

高周波化部は、DDSで発生した周波数信号の周波数を高め、高周波信号を生成する。高周波化部は、能動素子を用いない非アクティブ型周波数通倍器により構成される。アクティブ型通倍器は、能動素子が備える非直線性によって、基本周波数以外の周波数帯域に不要輻射のスプリアスや位相ノイズが発生する。これに対して、本発明の高周波信号発生装置が備える非アクティブ型周波数通倍器は、能動素子を備えない構成であるため、能動素子の非直線性を起因とするスプリアスや位相ノイズの発生を抑制することができる。

[0023] 高周波化部は、

(f) DDSの周波数信号の差動信号を生成する差動出力部

(g) 差動信号の周波数を通倍する非アクティブ型周波数通倍器

(h) 通倍した通倍信号から目的とする周波数成分を通過させる目的周波数帯域フィルタ

を備え、

(i) 目的周波数帯域フィルタ(第2BPF)を通過した周波数成分を出力信号として出力する。

[0024] 差動出力部(f)は、DDSの周波数信号に対して反転した極性の信号を生成して、その信号の差分を差動出力信号とすることによって、電位差が小さくなることなく、耐ノイズ性を高めることができる。差動出力部として、差動アンプ又は高調波トランスを適用することができる。

[0025] 非アクティブ型周波数通倍器(g)は、能動素子の非直線性がないため、スプリアスや位相ノイズを抑制することができる。非アクティブ型周波数通倍器(g)として、ショットキーダイオード又は整流ダイオードで構成される整流型通倍器を適用することができる。

[0026] 本発明の高周波化部は、DDSの周波数信号から差動信号を生成し、生成した差動信号の周波数を非アクティブ型周波数通倍器で通倍する構成とすること

によって、高周波化を段階的に行う。この段階的な高周波化によって、DDSの段階で高周波化する場合と比較して高C/N比で低スプリアスの高周波信号を得ることができる。

発明の効果

[0027] 以上説明したように、本発明の高周波信号発生装置によれば、周波数の可変機能において、遅延時間を短縮して高速化に対応し、スプリアスや位相ノイズを抑制して高C/N比に対応することができる。

図面の簡単な説明

[0028] [図1]本発明の高周波信号発生装置の構成例を説明するための図である。

[図2A] DDSにおける処理時間を説明するための図である。

[図2B]本発明のDDSを用いた例とPLL回路を用いた例とを比較する図である。

[図3]位相ノイズの一例を示す図である。

[図4A]周波数混合器（ミキサ）を備える高周波信号発生装置の一構成例である。

[図4B]PLL回路を備える高周波信号発生装置の一構成例である。

[図5]PLL回路を備えた高周波信号発生装置の遅延時間の一例を示す図である。

[図6]スプリアス及び位相ノイズを説明するための概略図である。

規則 91,
11.04.2024

発明を実施するための形態

[0029] (1) 本発明の高周波信号発生装置の概略構成

以下、本発明の高周波信号発生装置の概略構成について図1を用いて説明する。

高周波信号発生装置10は、制御部1とDDS2とクロック信号生成部3と高周波化部4を備える。

[0030] 制御部1は、高周波信号発生装置10が出力する高周波信号の周波数を設定する周波数設定データを定める。高周波信号の周波数は、周波数設定データを変更することにより可変とすることができる。

[0031] (DDS)

DDS(ダイレクトデジタルシンセサイザ)2は、制御部1で設定された周波数設定データを受け、周波数設定データで設定された周波数を持つ周波数信号を発生する。

[0032] DDS2はデジタル合成によって周波数を可変とするシンセサイザであり、位相アキュムレータを生成した一連のデジタルステートを線形に増加させて、出力波形の瞬間的な位相を表す周期的な数値ランプを形成し、位相データから正弦波の振幅を求めるルックアップテーブルにデジタル入力して数値ランプを正弦波に変換する。DDS2には、デジタル/アナログコンバータが適用され、フィルタリングされた後、希望のアナログ出力を出力する。DDSのデジタル処理は、外部基準クロックから生成されたシステムクロックに基づいて行われる。

[0033] クロック信号生成部3は、DDS2においてシステムクロックとして用いられるクロック信号を生成する。高周波化部4は、DDS2で発生した周波数信号の周波数を所定の高周波周波数に高める。

[0034] (クロック信号生成部)

クロック信号生成部3で生成されたクロック信号は、DDS2の内部処理を動作させるシステムクロックとして用いられる。

[0035] 本発明のクロック信号生成部3は、非直線性を有する増幅器を備える。この増幅器では、その非直線性によって基本波に対する高調波成分が発生する。本発明の高周波信号発生装置10は、増幅器が発生する高調波成分を用いて高周波数信号を生成し、この高周波数信号をDDS2のシステムクロックのクロック信号として用いる。

[0036] クロック信号生成部3は、増幅器を信号増幅する手段としてではなく、高周波数信号を生成する手段として用いる。DDS2は、高C/N比(キャリア対

ノイズ比)で低スプリアスのクロック信号で動作されるため、出力周波数のC/N比は高められる。

[0037] したがって、本発明の高周波信号発生装置10は、非直線性を有する増幅器が発生する高調波成分を用いることによって、高C/N比(キャリア対ノイズ比)で、且つ低スプリアスのクロック信号を生成する。

[0038] クロック信号生成部3は、

(a) 基準信号として特定周波数の周期信号を発生する基準信号発振器3a

(b) 基準信号発振器3aの基準信号の基本波に対する高調波成分を発生する非線形増幅器3b

(c) 非線形増幅器3bで発生した高調波成分のみを通過させる狭帯域高調波フィルタ(第1BPF)3c

(d) 狭帯域高調波フィルタ3cを通過した高調波成分を増幅する高周波アンプ3d

を備え、

(e) 高周波アンプ3dの出力信号をクロック信号として生成する。

[0039] 非線形増幅器3bは、その非線形性によって基本波の周波数に加えて高調波成分を発生する。非線形増幅器3bが発生する高調波成分を利用することによってクロック信号に用いる高周波信号を生成する。高調波成分は基本波の周波数に対して整数倍であるため、基準信号発振器3aの基準信号の基本波の周波数が高精度であれば、高周波アンプ3dで得られる高周波信号の精度も高精度となる。非線形増幅器3bは、一例としてバッファアンプやC級増幅器を適用することができる。

[0040] 以下、クロック信号生成部3の一例を示す。

基準信号発振器3aとして、例えば60MHzの水晶発振器あるいはTCXOを適用する。非線形増幅器3bは60MHzの基準信号を通すことによって基本波の整数倍の周波数の高調波成分を発生する。TCXOは、水晶発振器に温度補償回路を付加し、周囲の温度変化による周波数の変動を抑制した温度補償型水晶発振器である。

- [0041] 狭帯域高調波フィルタ3cは、一例としてLCラダフィルタ、SAW表面弾性波フィルタ、MCFモノシリッククリスタルフィルタ等を適用することができる。10倍高調波成分を用いてクロック信号を生成する場合には、狭帯域高調波フィルタ3cは中心周波数を600MHzとし、帯域幅を±1MHzとするバンドパスフィルタBPFを適用する。
- [0042] 狭帯域高調波フィルタ3cを通過した中心周波数が、600MHzの高周波信号を、DDS2においてシステムクロックとして使用するクロック信号Sysclkとして出力する。
- [0043] DDS2の出力周波数foとクロック信号Sysclkの間には、サンプリング定理から、 $Sysclk > 2fo$ であることが求められる。また、位相ノイズの成分は $20 \cdot \log(fo / f_{sysclk})$ dBで表され、クロック信号Sysclkの周波数 f_{sysclk} が出力周波数foの2倍より大きければ大きいほど位相ノイズやスプリアスが軽減される。また、DDS2は周波数データを書き込むことにより出力周波数foを生成する構成であってPLL回路を含まないため、ロックアップタイムによる遅延の発生が抑制される。
- [0044] 図2Aは、DDS2における処理時間を説明するための図である。図2Aに示す例では、周波数データの書き込みに要する区間は $32 \mu s$ ($32 \times 10^{-6} sec$)であり、周波数データに基づいて周波数を切り替えるシフト区間は $16 \mu s$ ($16 \times 10^{-6} sec$)である。
- [0045] 図2Bは、本発明のDDSを用いた例とPLL回路を用いた例とを比較している。図2Bの上側のグラフはDDSを用いた例であり、図2Bの下側のグラフはPLL回路を用いた例である。図2Bの上側のグラフと図2Aとは同じ例であるが、図2Bの上側のグラフの時間尺は、PLL回路の時間尺を合わせて縮小して示している。
- [0046] PLL回路を用いた例では、PLL周波数データを書き込みに要する区間は $1.72 ms$ であり、PLL周波数データに基づいて周波数を切り替えるシフト区間は、450MHzから460MHzに切り替えるときには $38.67 m$

sであり、460MHzから450MHzに切り替えるときには34.67msである。

[0047] (高周波化部)

高周波化部4は、能動素子を用いない非アクティブ型周波数通倍器により構成され、DDS2で発生した周波数信号の周波数を高める。

[0048] 高周波化部4は、DDS2で発生した周波数信号の周波数を高め、高周波信号を生成する。高周波化部4は、能動素子を用いない非アクティブ型周波数通倍器により構成される。

[0049] アクティブ型周波数通倍器は、能動素子が備える非直線性によって基本周波数以外の周波数帯域に不要輻射のスプリアスや位相ノイズが発生する。これに対して、本発明の高周波信号発生装置が備える非アクティブ型周波数通倍器は、能動素子を備えない構成である。能動素子を備えない構成であるため、能動素子の非直線性を起因とするスプリアスや位相ノイズの発生が抑制される。

[0050] 高周波化部4は、

(f) DDS2の周波数信号の差動信号を生成する差動出力部4a

(g) 差動出力部4aの差動信号の周波数を通倍する非アクティブ型周波数通倍器4b

(h) 非アクティブ型周波数通倍器4bで通倍した通倍信号から目的とする周波数成分を通過させる目的周波数帯域フィルタ4c

を備え、

(i) 目的周波数帯域フィルタ(第2BPF)4cを通過した周波数成分を出力信号として出力する。

[0051] 差動出力部4aは、DDS2の周波数信号に対して反転した極性の信号を生成して、その信号の差分を差動出力信号とする。差動出力信号とすることによって、電位差が小さくなることなく、コモンモードノイズを抑制して耐ノイズ性を高めることができる。差動出力部として、例えば差動アンプ又は高調波

トランスを適用することができる。図1では、差動出力部4aとして高調波トランスを用いた構成例を示している。

[0052] 非アクティブ型周波数通倍器4bは、能動素子の非直線性がないため、スプリアスや位相ノイズを抑制することができる。非アクティブ型周波数通倍器4bとして、ショットキーダイオード又は整流ダイオードで構成される整流型通倍器を適用することができる。

[0053] 目的周波数帯域フィルタ4cは、一例としてLCラダフィルタ、SAW表面弾性波フィルタ等を適用することができる。

[0054] 以下、高周波化部4における周波数の一例を示す。

DDS2のデバイスのシステムクロック f_{sys_clock} の周波数 f_{sys_clock} が1GSPS（ギガサンプル／秒）を用いて、目的周波数450MHzの高周波信号を出力する例について示す。

[0055] 制御部1は、225MHzの周波数データをDDS2に送り、DDS2は、周波数データを受けて225MHzの正弦波信号を出力する。差動出力部4aは、225MHzの正弦波信号を差動信号に変換する。目的周波数帯域フィルタ4cは、225MHzの差動信号を通倍する。2倍に通倍する場合には、450MHzの高周波信号が出力される。

[0056] 本発明の高周波化部4は、DDS2の周波数信号から差動信号を生成し、生成した差動信号の周波数を非アクティブ型周波数通倍器4bで通倍する構成とすることによって、高周波化を段階的に行う。この段階的な高周波化によって、DDSの段階で高周波化する場合と比較して高C/N比で低スプリアスの高周波信号を得ることができる。

[0057] 図3は、位相ノイズの一例を示している。図3では出力周波数 f_o に対して $\pm 1\text{kHz}$ における位相ノイズのレベルを示している。

[0058] PLL回路を用いた構成では、出力周波数 f_o が400MHzにおいて $\pm 1\text{kHz}$ における位相ノイズのレベルは -62.3dB である。これに対して、本発明の場合には、出力周波数 f_o が220MHzにおいて $\pm 1\text{kHz}$ における位相ノイズのレベルは -75.8dB であり、出力周波数 f_o が450MHz

zにおいて±1 kHzにおける位相ノイズのレベルは−76.8 dBである。この例は、本発明の高周波信号発生装置の位相ノイズのレベルが、PLL回路を用いた構成と比較して位相ノイズの抑制が改善されていることを示している。

産業上の利用可能性

[0059] 本発明の高周波信号発生装置は、半導体製造装置や液晶パネル製造装置等に用いられる高周波電源（RFジェネレータ）に適用することができる。

符号の説明

- [0060] 1 制御部
- 2 DDS（ダイレクトデジタルシンセサイザ）
- 3 クロック信号生成部
- 3 a 基準信号発振器
- 3 b 非線形増幅器
- 3 c 狭帯域高調波フィルタ
- 3 d 高周波アンプ
- 4 高周波化部
- 4 a 差動出力部
- 4 b 非アクティブ型周波数逡倍器
- 4 c 目的周波数帯域フィルタ
- 10 高周波信号発生装置
- 100 高周波信号発生装置
- 101 基準信号発振器
- 102 DDS
- 103 局部発振器
- 104 ミキサ
- 105 逡倍器
- 106 分周器
- 110 高周波信号発生装置

- 1 1 1 クロック信号源
- 1 1 2 DDS
- 1 1 3 PLL回路
 - 1 1 3 a 位相比較器
 - 1 1 3 b ループフィルタ
 - 1 1 3 c 電圧制御発振器 (VOC)
 - 1 1 3 d 分周器
- 1 1 4 制御部

請求の範囲

- [請求項1] 非直線性を有する増幅器が発生する高調波成分を用いてクロック信号を生成するクロック信号生成部と、
- 前記クロック信号を、内部処理を動作させるためのシステムクロックとして用い、周波数設定データで設定された周波数を持つ周波数信号を発生するDDS（ダイレクトデジタルシンセサイザ）と、
- 能動素子を用いない非アクティブ型周波数通倍器により構成され、前記DDSで発生した周波数信号の周波数を高める高周波化部と、
- を備える、
- 高周波信号発生装置。
- [請求項2] 前記クロック信号生成部は、
- 基準信号として特定周波数の周期信号を発生する基準信号発振器と、
- 前記基準信号の基本波に対する高調波成分を発生する非線形増幅器と、
- 前記高調波成分のみを通過させる狭帯域高調波フィルタと、
- 前記狭帯域高調波フィルタを通過した前記高調波成分を増幅する高周波アンプと、
- を備え、
- 前記高周波アンプの出力信号をクロック信号として生成する、
- 請求項1に記載の高周波信号発生装置。
- [請求項3] 前記高周波化部は、
- 前記DDSの周波数信号の差動信号を生成する差動出力部と、
- 前記差動信号の周波数を通倍する非アクティブ型周波数通倍器と、

前記逡倍した逡倍信号から目的とする周波数成分を逡過させる
目的周波数帯域フィルタと、

を備え、

前記目的周波数帯域フィルタを逡過した周波数成分を出力信号
とする、

請求項 1 に記載の高周波信号発生装置。

[請求項4]

前記クロック信号生成部は、

基準信号として特定周波数の周期信号を発生する基準信号発振
器と、

前記基準信号の基本波に対する高調波成分を発生する非線形増
幅器と、

前記高調波成分のみを逡過させる狭帯域高調波フィルタと、

前記狭帯域高調波フィルタを逡過した前記高調波成分を増幅す
る高周波アンプと、

を備え、

前記高周波アンプの出力信号をクロック信号として生成し、

前記高周波化部は、

前記 D D S の周波数信号の差動信号を生成する差動出力部と、

前記差動信号の周波数を逡倍する非アクティブ型周波数逡倍器
と、

前記逡倍した逡倍信号から目的とする周波数成分を逡過させる
目的周波数帯域フィルタと、

を備え、

前記目的周波数帯域フィルタを逡過した周波数成分を出力信号
とする、

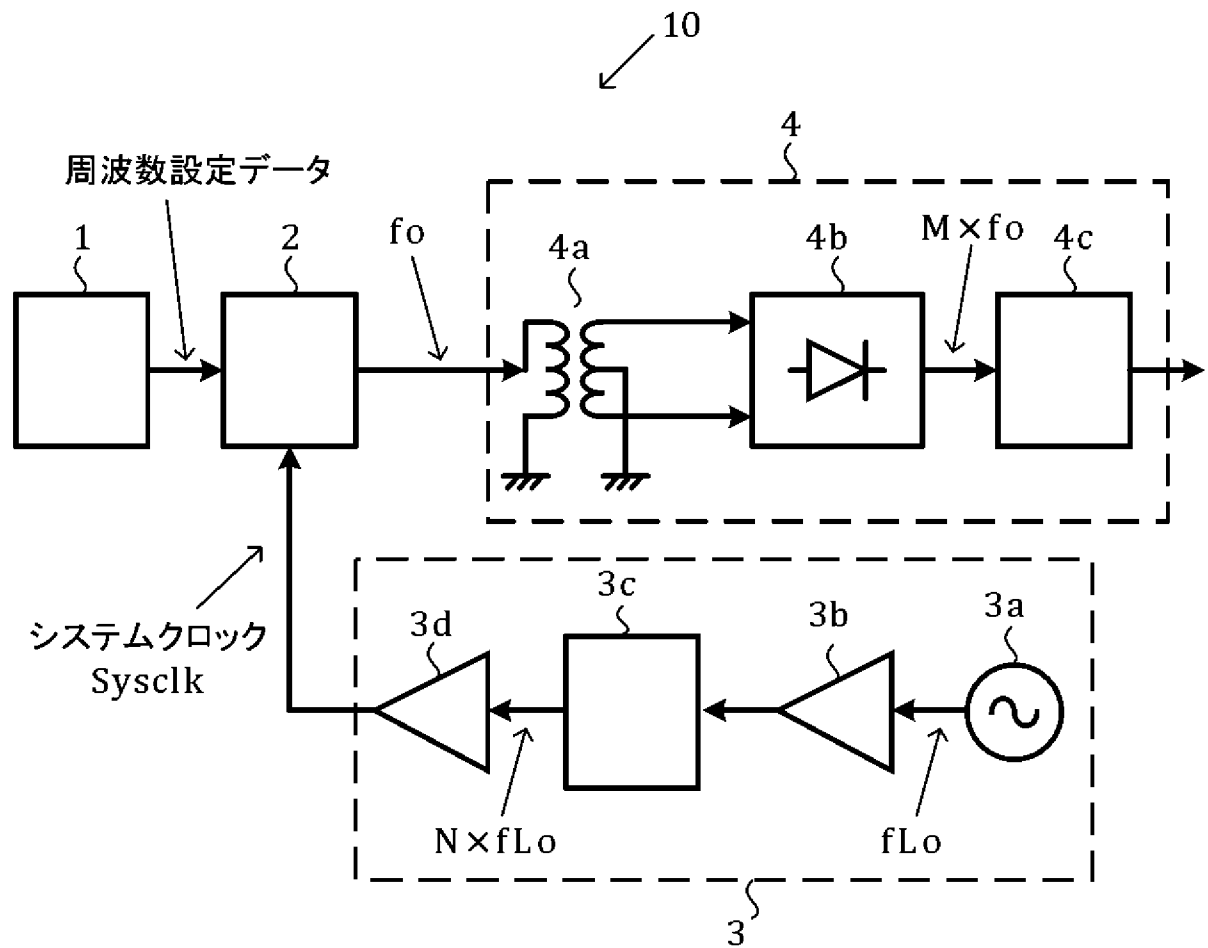
請求項 1 に記載の高周波信号発生装置。

[請求項5]

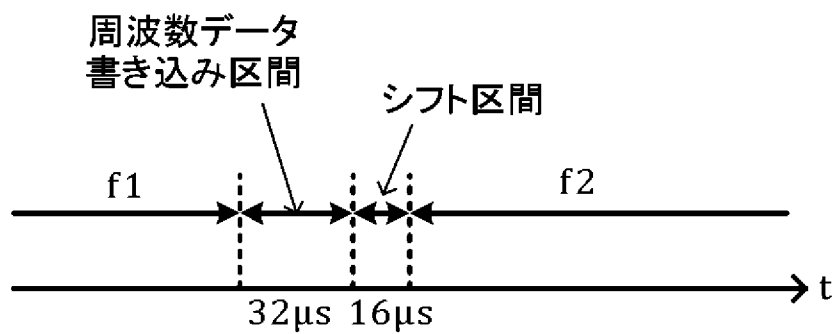
前記非線形増幅器は、バッファアンプ又は C 級増幅器である、
請求項 2 又は 4 に記載の高周波信号発生装置。

[請求項6] 前記差動出力部は、差動アンプ又は高調波トランスであり、
 前記非アクティブ型周波数逡倍器は、ショットキーダイオード
 又は整流ダイオードで構成される整流型逡倍器である、
 請求項3又は4に記載の高周波信号発生装置。

[図 1]

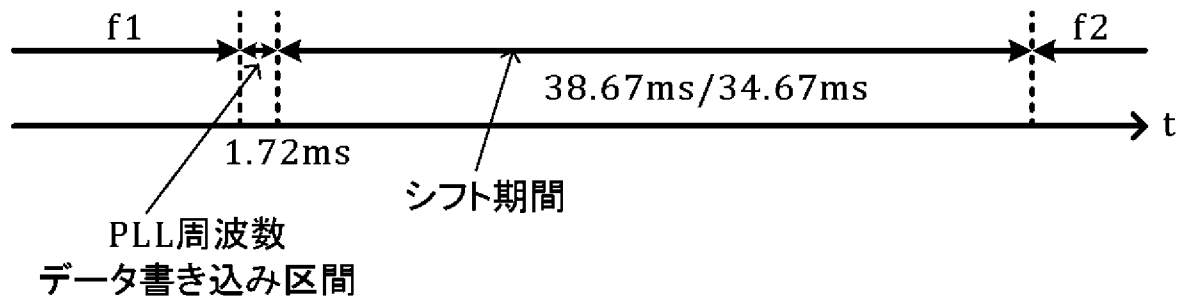
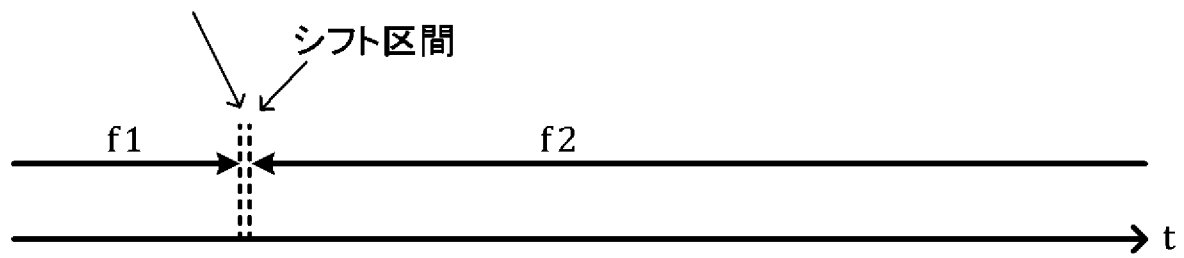


[図 2A]

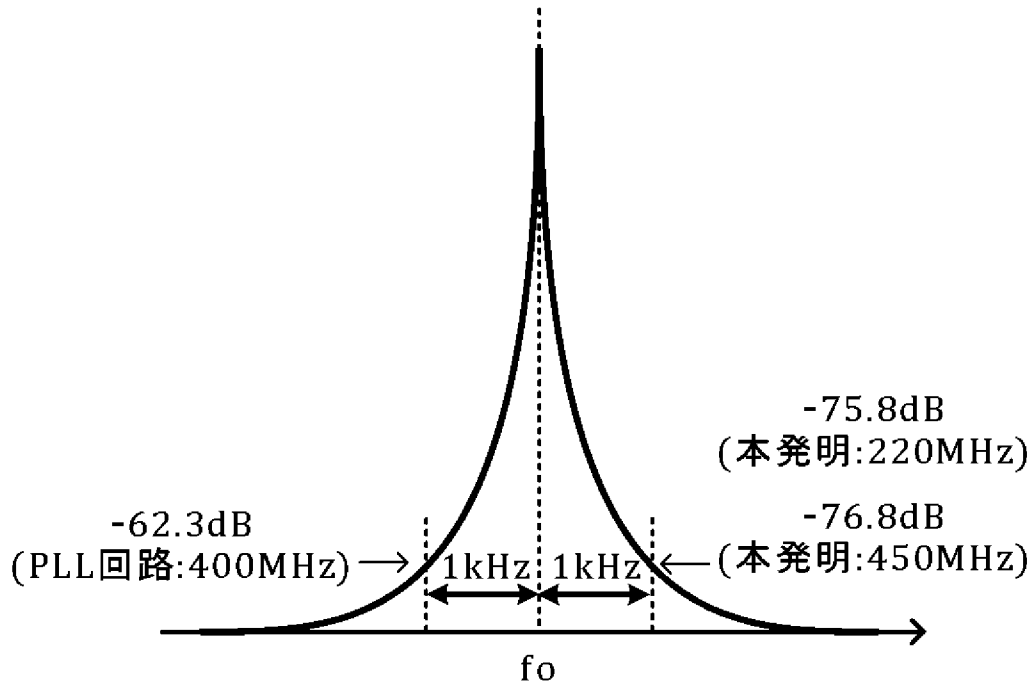


[図 2B]

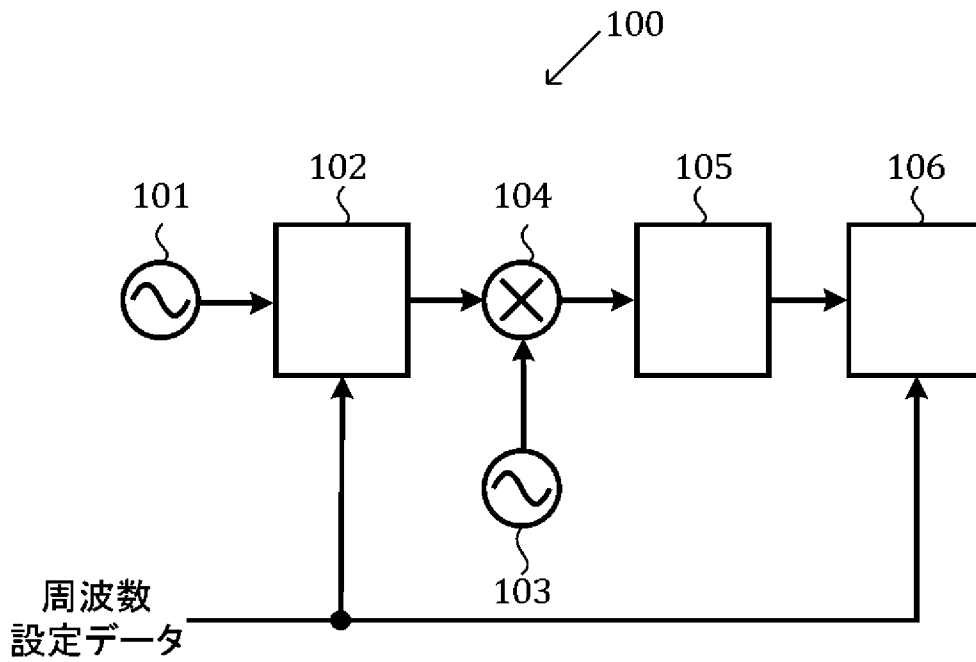
周波数データ
書き込み区間



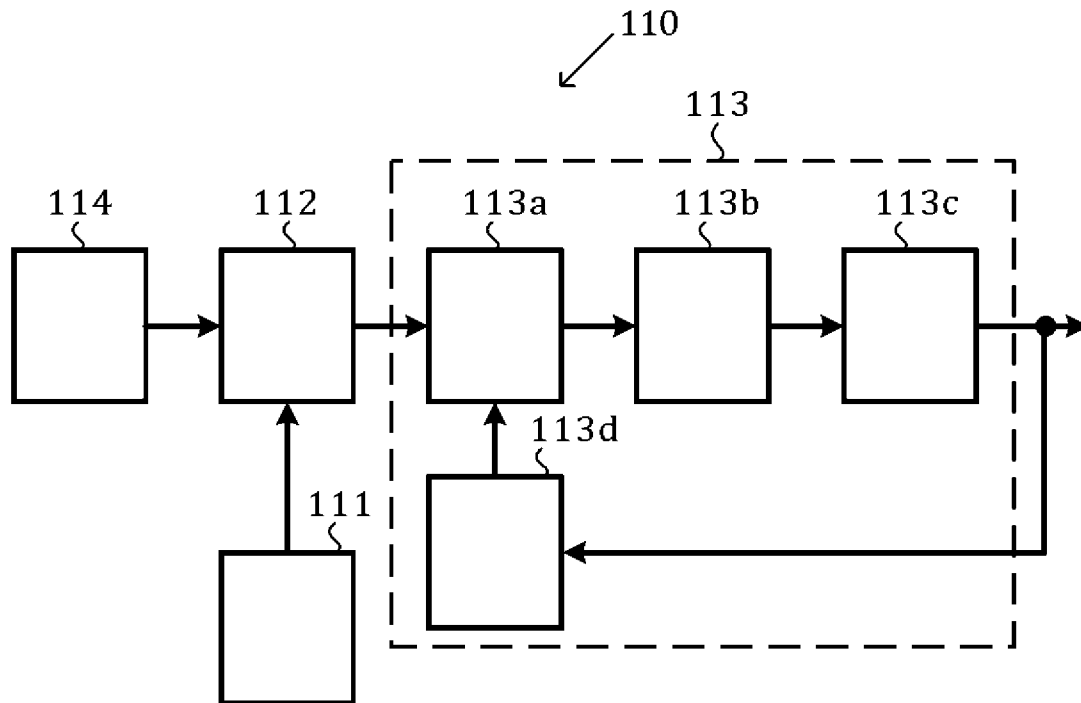
[図 3]



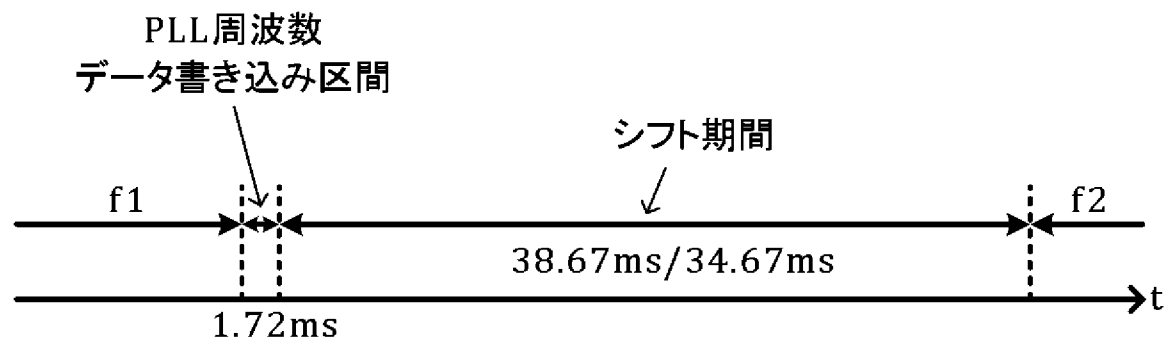
[図 4A]



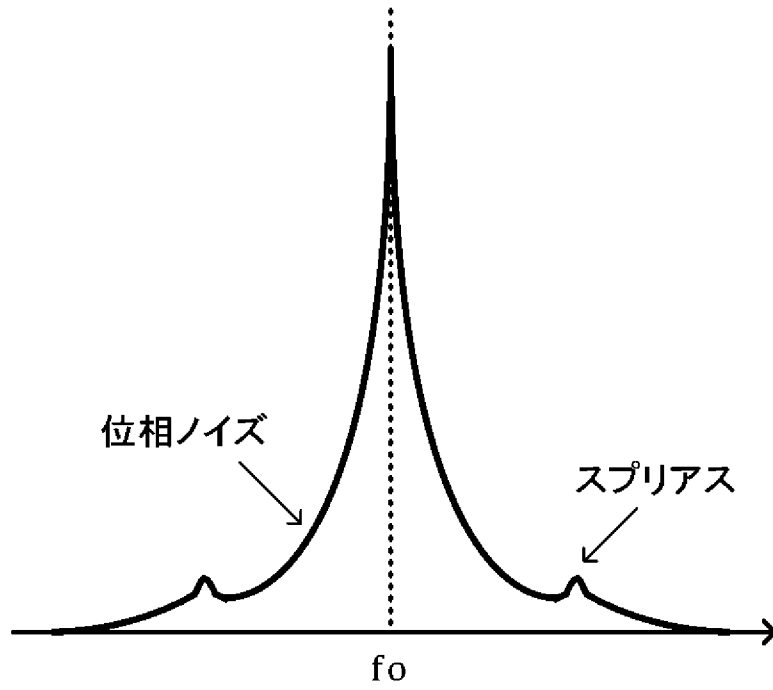
[図 4B]



[図 5]



[図 6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2024/013509

A. CLASSIFICATION OF SUBJECT MATTER		
<i>H03B 28/00</i> (2006.01) FI: H03B28/00 A		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03B28/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2024 Registered utility model specifications of Japan 1996-2024 Published registered utility model applications of Japan 1994-2024		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2023-087921 A (RITSUMEIKAN) 26 June 2023 (2023-06-26) paragraphs [0029]-[0037], [0111]-[0117], fig. 1-2, 31	1-6
Y	CD-ROM of the specification and drawings annexed to the request of Japanese Utility Model Application No. 114452/1989 (Laid-open No. 53015/1991) (NEC HOME ELECTRONICS) 22 May 1991 (1991-05-22), page 4, line 5 - page 6, line 1, fig. 6	1-6
Y	EP 3709508 A1 (SAMSUNG ELECTRONICS CO., LTD.) 16 September 2020 (2020-09-16) paragraphs [0040]-[0054], fig. 5-9	1-6
A	JP 8-274637 A (MITSUBISHI ELECTRIC CORPORATION) 18 October 1996 (1996-10-18) entire text, all drawings	1-6
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 04 June 2024		Date of mailing of the international search report 18 June 2024
Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2024/013509

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2023-087921	A	26 June 2023	(Family: none)	
JP	3-53015	U1	22 May 1991	(Family: none)	
EP	3709508	A1	16 September 2020	WO 2019/135503 A1 CN 111448753 A	
JP	8-274637	A	18 October 1996	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H03B 28/00(2006.01)i FI: H03B28/00 A		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H03B28/00		
最小限資料以外の資料で調査を行った分野に含まれるもの		
日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2024年 日本国実用新案登録公報 1996 - 2024年 日本国登録実用新案公報 1994 - 2024年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2023-087921 A (学校法人立命館) 26.06.2023 (2023 - 06 - 26) [0029]-[0037], [0111]-[0117], 図1-2, 31	1-6
Y	日本国実用新案登録出願1-114452号(日本国実用新案登録出願公開3-53015号)の願書 に添付した明細書及び図面の内容を記録したCD-ROM (日本電気ホームエレクトロニク ス株式会社) 22.05.1991 (1991-05-22) 第4頁第5行目-第6頁第1行目, 図6	1-6
Y	EP 3709508 A1 (SAMSUNG ELECTRONICS CO., LTD.) 16.09.2020 (2020 - 09 - 16) [0040]-[0054], 図5-9	1-6
A	JP 8-274637 A (三菱電機株式会社) 18.10.1996 (1996 - 10 - 18) 全文, 全図	1-6
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に 公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若し くは他の特別な理由を確立するために引用する文献（理由を 付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の 後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵 触するものではなく、発明の原理又は理論の理解のために引 用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性 又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献 との、当業者にとって自明である組合せによって進歩性がな いと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 04.06.2024	国際調査報告の発送日 18.06.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 福田 正悟 5G 2676 電話番号 03-3581-1101 内線 3524	

国際調査報告
特許ファミリーに関する情報

国際出願番号

PCT/JP2024/013509

引用文献	公表日	特許ファミリー文献	公表日
JP 2023-087921 A	26.06.2023	(ファミリーなし)	
JP 3-53015 U1	22.05.1991	(ファミリーなし)	
EP 3709508 A1	16.09.2020	WO 2019/135503 A1 CN 111448753 A	
JP 8-274637 A	18.10.1996	(ファミリーなし)	