

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-118893

(P2011-118893A)

(43) 公開日 平成23年6月16日(2011.6.16)

(51) Int.Cl.	F 1	テーマコード (参考)
G06F 13/28 (2006.01)	GO6F 13/28	310C 5B061
H04L 13/08 (2006.01)	HO4L 13/08	5B077
G06F 13/36 (2006.01)	GO6F 13/36	320A 5K034
G06F 13/38 (2006.01)	GO6F 13/38	340C
G06F 13/42 (2006.01)	GO6F 13/42	350B
審査請求 未請求 請求項の数 10 O L (全 18 頁)		
(21) 出願番号	特願2010-256099 (P2010-256099)	(71) 出願人 390019839 三星電子株式会社
(22) 出願日	平成22年11月16日 (2010.11.16)	Samsung Electronics Co., Ltd.
(31) 優先権主張番号	10-2009-0117760	大韓民国京畿道水原市靈通区梅灘洞416 416, Maetan-dong, Yeongtong-gu, Suwon-si, Gyeonggi-do, Republic of Korea
(32) 優先日	平成21年12月1日 (2009.12.1)	
(33) 優先権主張国	韓国 (KR)	(74) 代理人 110000671 八田国際特許業務法人
		(72) 発明者 尹栽根 大韓民国京畿道華城市陳雁洞 陳雁ゴルマ ウル住公10団地アパート1006棟30 1号
		最終頁に続く

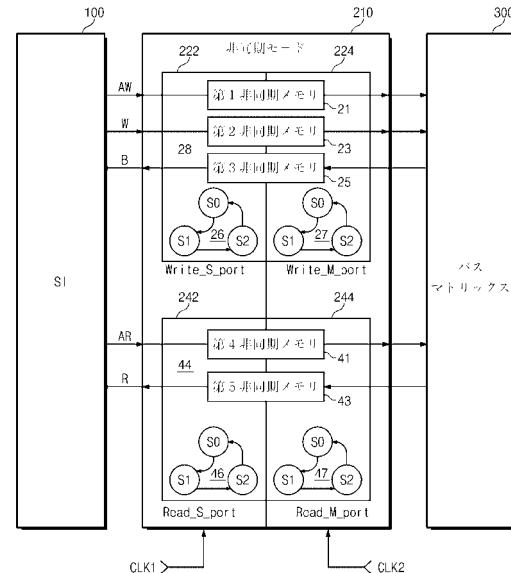
(54) 【発明の名称】非同期統合アップサイジング回路

(57) 【要約】

【課題】システムオンチップに採用するのに適する非同期統合アップサイジング回路を提供する。

【解決手段】非同期統合アップサイジング回路は非同期パッカーと非同期アンパッカーを備える。非同期パッカーは、非同期ブリッジ及びアップサイジングに共通で用いられ、ライトチャンネルデータをバッファリングするライトバッファと、バーストライト時に前記ライトバッファに入出力される前記ライトチャンネルデータに対するチャンネル圧縮を第1及び第2クロックによって各々制御する第1及び第2非同期パッキング制御器を含む。また、非同期アンパッカーは、前記非同期ブリッジ及びアップサイジングに共通で用いられ、リードチャンネルデータをバッファリングするリードバッファと、バーストリード時に前記リードバッファに入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記第1及び第2クロックによって各々制御する第1及び2非同期アンパッキング制御器を含む。

【選択図】図4



【特許請求の範囲】**【請求項 1】**

非同期ブリッジ及びアップサイ징に共通に用いられ、ライトチャンネルデータをバッファリングするライトバッファと、バーストライト時に前記ライトバッファに入出力される前記ライトチャンネルデータに対するチャンネル圧縮を第1及び第2クロックによって各々制御する第1及び第2非同期パッキング制御器を含む非同期パッカーと、

前記非同期ブリッジ及びアップサイ징に共通に用いられ、リードチャンネルデータをバッファリングするリードバッファと、バーストリーク時に前記リードバッファに入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記第1及び第2クロックによって各々制御する第1及び第2非同期アンパッキング制御器を含む非同期アンパッカーとを具備することを特徴とする非同期統合アップサイジング回路。
10

【請求項 2】

前記ライトバッファはライトアドレスチャンネル、ライトデータチャンネル、及びライト応答チャンネルに各々割り当てられたメモリで構成されることを特徴とする請求項1に記載の非同期統合アップサイジング回路。

【請求項 3】

前記リードバッファはリードアドレスチャンネル、及びリードデータチャンネルに各々割り当てられたメモリで構成されることを特徴とする請求項1または2に記載の非同期統合アップサイジング回路。

【請求項 4】

前記第1クロックはマスタクロックであり、前記第2クロックはスレーブクロックであることを特徴とする請求項1から3のいずれかに記載の非同期統合アップサイジング回路。
20

【請求項 5】

前記第1クロックはマスタクロックであり、前記第2クロックはAXIバスクロックであることを特徴とする請求項2または3に記載の非同期統合アップサイジング回路。

【請求項 6】

前記第1クロックが前記第2クロックより周波数が高い場合には周波数が同じ場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ先行して、レイテンシーが最適化されたアップサイジングが実行されるようにすることを特徴とする請求項2から5のいずれかに記載の非同期統合アップサイジング回路。
30

【請求項 7】

前記第1クロックが前記第2クロックより周波数が低い場合には周波数が同じ場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ後行して、バス活用性が最適化されたアップサイジングが実行されるようにすることを特徴とする請求項2から5のいずれかに記載の非同期統合アップサイジング回路。

【請求項 8】

前記メモリは各々 FIFOメモリであることを特徴とする請求項2に記載の非同期統合アップサイジング回路。
40

【請求項 9】

前記メモリは各々 FIFOメモリであることを特徴とする請求項3に記載の非同期統合アップサイジング回路。

【請求項 10】

前記マスタクロックはメモリコントローラから提供されるクロックであることを特徴とする請求項5から7のいずれかに記載のデータプロセッシングシステムでの非同期統合アップサイジング回路。

【発明の詳細な説明】**【技術分野】**

【0001】

本発明は、データプロセッシングシステムに関し、より詳細には、スマートフォンやナビゲーションデバイスなどのようなモバイルシステムで非同期ブリッジ（A sync B bridge）機能を共に有する非同期統合アップサイ징回路に関する。

【背景技術】**【0002】**

スマートフォン、個人用ナビゲーションデバイス、携帯インターネット器機、携帯放送器機、またはマルチメディア器機などのようなモバイルシステムでは多様なアプリケーション（application）を支援するためにシステムオンチップ（SoC：System on Chip、以下“SoC”という）上に高周波数で動作する高性能のモバイル応用プロセッサを採用している。10

【0003】

このようなモバイル応用プロセッサは、演算とプログラム命令語の実行を担当するので、モバイルSoCの性能を決める核心素子である。モバイル応用プロセッサは、無線通信、個人用ナビゲーション、カメラ、ポータブルゲーム、ポータブル音楽／ビデオプレーヤ、一体化したモバイルTV及びPDAなどのような多様な機能の集積をイネーブル（enable）するために、L2（レベル2）キャッシュとしても呼ばれるオンチップ2次キャッシュを含むことができる。前記L2キャッシュの付加は、深刻なメモリトラフィックがプロセッサによって発生された時、モバイルシステムの性能を増加させるための認知された方法である。20

【0004】

前記SoCの効果的な設計のためには、1つのチップ上に集積した複数のIP（Intellectual Property）間の相互通信のためのバスシステムの選択が何より重要である。現在知られている代表的なバスシステムとしては、ARM（Advanced RISC Machine）社のAMBA（Advanced Microcontroller Bus Architecture）プロトコルに基づくAMBA3.0AXI（Advanced eXtensible Interface）バスシステムがある。

【0005】

SoCの一部を構成するDMAC（Direct Memory Access Controller）、USB、PCI、SMC（Static Memory Controller）、SCI（Smart card Interface）などの周辺機能ブロックはメーカーの開発時間と開発人力などの制約によって外部からIPとして購入することができる。購入した周辺機能ブロックIPはCPUとデータ処理用機能ブロックと共にチップ上に集積（Integration）してSoCをなすようになる。30

【0006】

モバイル応用プロセッサのハイパフォーマンス（High performance）要求の増加によって、SoC内のCPU及びキャッシュコントローラ（cache controller）の動作周波数（frequency）は数GHzに増加する趨勢である。一方、バス（Bus）システムの場合、周波数を数GHzに高め難い制約があるので、伝送帯域幅を合わせるため、代りにCPUのデータバス幅より広いデータバス幅が採用される。例えば、1GHzの動作周波数を有するCPUのデータバス幅が64ビットとすれば、バスシステムの動作周波数は200MHz、データバス幅は128ビットに設計することができる。40

【0007】

したがって、データ伝送速度を合わせるため、キャッシュコントローラ（cache controller）と接続可能であり、64ビットデータバス幅と1GHz動作周波数とを有するCPUと、128ビットデータバス幅と200MHz動作周波数とを有するバスシステムとの間で64ビットto128ビットアップサイザ（upsizer）回

10

20

30

40

50

路を採用することができる。

【0008】

一方、最近では、S o C デザインのサイズ増加によって非同期ブリッジ (A s y n c b r i d g e) の使用要求がさらに増え、帯域幅 (B a n d w i d t h) 要求量の増加によって 128 ビット AXI バス (b u s) が導入されることによって、アップサイザー (U p s i z e r) と非同期ブリッジ (A s y n c B r i d g e) のパフォーマンス (p e r f o r m a n c e) が重要な要素として台頭している。特に、ディスプレイ (D i s p l a y) I P パス (p a t h) に対しては非同期ブリッジ及びアップサイザーが全て用いられなければならない。このようなディスプレイ I P のトラフィックパターン (t r a f f i c p a t t e r n) を分析する場合に、バーストリードリクエスト (B u r s t r e a d r e q u e s t) が連続して出る場合が多い。10

【0009】

ディスプレイ I P が集まっているディスプレイサブシステム (D i s p l a y s u b s y s t e m) でリードリクエスト (r e a d r e q u e s t) が連続して出る場合、非同期ブリッジ及びアップサイザーによる帯域幅差に起因してリードレディー信号 (r e a d r e a d y s i g n a l) がハイ (h i g h) で維持されないことがある。そのような場合に、メモリコントローラ (m e m o r y c o n t r o l l e r) の動作がストップ (s t o p) されるので、システム全体のパフォーマンスに影響が及ぶ。したがって、パフォーマンス (p e r f o r m a n c e) の低下を最小化するためには、メモリコントローラに提供されるリードレディー信号がハイで維持されるようにする必要である。この場合に、非同期ブリッジ及びアップサイザーは全部バッファ (b u f f e r) を要するようになるので、ゲートカウントオーバーヘッド (g a t e c o u n t o v e r h e a d) が招来される。20

【0010】

またバーストライト (b u r s t w r i t e) の場合に、バス活用 (b u s u t i l i z e) を高めるために、ライトアドレスチャンネルとライトデータチャンネルに対してコンパクション (c o m p a c t i o n) を実行する場合により効率的なコンパクション技法が必要になる。例えば、非同期ブリッジ及びアップサイザーが互いに別個で分離している場合にチャンネルコンパクションを行えば、コンパクション効率が低下してレイテンシーやバス活用性が悪くなる。30

【0011】

したがって、モバイルシステムで採用することができる非同期ブリッジ及びアップサイザーでゲートカウントオーバーヘッドを減らし、かつチャンネルコンパクションをより効率的に行うことができる技術が要望される。

【先行技術文献】

【特許文献】

【0012】

【特許文献 1】韓国公開特許 2007 - 0000941 号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

本発明の第 1 の課題は、データプロセッシングシステムのパフォーマンスを改善することができる非同期統合アップサイジング回路を提供することにある。

【0014】

本発明の第 2 の課題は、ゲートカウントオーバーヘッドを減らすことができる非同期統合アップサイジング回路を提供することにある。

【0015】

本発明の第 3 の課題は、非同期ブリッジ機能を有するアップサイジング回路を提供することにある。

【0016】

10

20

30

40

50

本発明の第4の課題は、チャンネルコンパクションをより効率的に行うことができる非同期統合アップサイジング回路及び方法を提供することにある。

【0017】

本発明の第5の課題は、回路占有面積を減らし、バーストライト動作時にレイテンシーとバス活用性を改善することができるアップサイジング回路及びそれを採用したデータプロセッシングシステムを提供することにある。

【課題を解決するための手段】

【0018】

前記の課題を解決するために、本発明の実施形態の一態様による非同期統合アップサイジング回路は、非同期ブリッジ及びアップサイジングに共通で用いられ、ライトチャンネルデータをバッファリングするライトバッファと、バーストライト時に前記ライトバッファに入出力される前記ライトチャンネルデータに対するチャンネル圧縮を第1及び第2クロックによって各々制御する第1及び第2非同期パッキング制御器を含む非同期パッカーと、前記非同期ブリッジ及びアップサイジングに共通で用いられ、リードチャンネルデータをバッファリングするリードバッファと、バーストリード時に前記リードバッファに入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記第1及び第2クロックによって各々制御する第1及び第2非同期アンパッキング制御器を含む非同期アンパッカーとを具備する。

【0019】

本発明の実施形態において、前記ライトバッファはライトアドレスチャンネル、ライトデータチャンネル、及びライト応答チャンネルに各々割り当てられたメモリで構成することができ、また前記リードバッファはリードアドレスチャンネル、及びリードデータチャンネルに各々割り当てられたメモリで構成することができる。

【0020】

本発明の実施形態において、前記第1クロックはマスタクロックであり、前記第2クロックはスレーブクロックであり得る。ここで、前記第2クロックはAXIバスクロックであり得る。

【0021】

本発明の実施形態において、前記第1クロックが前記第2クロックより周波数が高い場合には周波数が同一の場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ先行して、レイテンシーが最適化されたアップサイジングが実行されるようになる。また、前記第1クロックが前記第2クロックより周波数が低い場合には周波数が同一の場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ後行して、バス活用性が最適化されたアップサイジングが実行されるようになる。

【0022】

本発明の実施形態において、前記メモリは各々FIFOメモリであり、前記マスタクロックはメモリコントローラから提供されるクロックであり得る。

【0023】

本発明の実施形態において、前記非同期パッカーは前記ライトチャンネルデータに対する非同期パッキングを実行し、前記非同期アンパッカーは前記リードチャンネルデータに対する非同期アンパッキングを実行することができる。

【0024】

本発明の実施形態の他の態様による非同期統合アップサイジング回路は、非同期ブリッジ及びアップサイジングに共通で用いられ、ライトチャンネルデータをバッファリングする第1、第2、及び第3非同期メモリと、バーストライト時に前記第1、第2、及び第3非同期メモリに入出力される前記ライトチャンネルデータに対するチャンネル圧縮をマスタクロック及びスレーブクロックによって各々制御する第1及び第2非同期パッキング制御器を含む非同期パッカーと、前記非同期ブリッジ及びアップサイジングに共通で用いられ、リードチャンネルデータをバッファリングする第4及び第5非同期メモリと、バーストライト時に前記第4、第5非同期メモリに対するチャンネル圧縮をマスタクロック及びスレーブクロックによって各々制御する第3及び第4非同期アンパッキング制御器を含む非同期アンパッカーとを具備する。

10

20

30

40

50

トリーD時に前記第4及び第5非同期メモリに入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記マスタクロック及びスレーブクロックによって各々制御する第1及び第2非同期アンパッキング制御器を含む非同期アンパッカーとを具備する。

【0025】

本発明の実施形態において、前記マスタクロックはCPUのクロックであり、前記第2クロックはAXIバスクロックであり得る。

【0026】

本発明の実施形態において、前記第1非同期メモリはライトアドレスチャンネルに、前記第2非同期メモリはライトデータチャンネルに、前記第3非同期メモリはライト応答チャンネルに、前記第4非同期メモリはリードアドレスチャンネルに、前記第5非同期メモリはリードデータチャンネルに対応的に割り当てられ得る。10

【0027】

本発明の実施形態において、前記マスタクロックが前記スレーブクロックより周波数が高い場合には周波数が同一の場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ先行して、レイテンシーが最適化されたアップサイ징が実行されるようになる。

【0028】

本発明の実施形態において、前記マスタクロックが前記スレーブクロックより周波数が低い場合には周波数が同一の場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ後行して、バス活用性が最適化されたアップサイ징が実行されるようになる。20

【0029】

本発明の実施形態のまた他の様によるデータプロセッシングシステムは、L2キャッシュコントローラと接続されるCPUと、非同期ブリッジ及びアップサイ징に共通で用いられ、ライトチャンネルデータをバッファリングするライトバッファとバーストライト時に前記ライトバッファに入出力される前記ライトチャンネルデータに対するチャンネル圧縮を第1及び第2クロックによって各々制御する第1及び第2非同期パッキング制御器を含む非同期パッカーと、前記非同期ブリッジ及びアップサイ징に共通で用いられ、リードチャンネルデータをバッファリングするリードバッファとバーストトリーD時に前記リードバッファに入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記第1及び第2クロックによって各々制御する第1及び第2非同期アンパッキング制御器を含む非同期アンパッカーとを具備し、前記L2キャッシュコントローラを通じて前記CPUとインターフェースバスとの間に接続される非同期統合アップサイ징回路と、前記インターフェースバスに接続されたディスプレイIPとを具備する。30

【0030】

本発明の実施形態において、前記ディスプレイIPは、モバイルシステムのためのIPであり得る。

【0031】

本発明の実施形態のまた他の様によって、非同期ブリッジ及びアップサイ징に共通で用いられ、ライトチャンネルデータをバッファリングするライトバッファと、バーストライト時に前記ライトバッファに入出力される前記ライトチャンネルデータに対するチャンネル圧縮をマスタクロック及びスレーブクロックによって各々制御する第1及び第2非同期パッキング制御器とを具備するデータプロセッシングシステムでの非同期パッキング方法は、前記マスタクロックが前記スレーブクロックより周波数が高い場合には周波数が同一の場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ先行する制御段階と、前記マスタクロックが前記スレーブクロックより周波数が低い場合には周波数が同一の場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ後行する制御段階とを有することができる。40

【発明の効果】

【0032】

本発明の実施形態の非同期統合アップサイジング回路の構成によると、バッファの共有的使用によって回路の占有面積が減少し、回路実現費用が低くなる。

【0033】

また、非同期パッカーでのチャンネル圧縮時にレイテンシーが最適化されるか、またはバス活用性が最適化されることによって動作パフォーマンスが高くなる。

【0034】

したがって、そのような非同期統合アップサイジング回路をS o Cに採用する場合に、データ処理システムの製造原価が低くなり、かつS o Cの動作性能も高くなる。

【図面の簡単な説明】

10

【0035】

【図1】本発明が適用可能なハイパフォーマンスマトリックスを用いるシステムオンチップの内部構成ブロック図である。

【図2】図1のうち、アップサイザーと接続されたバス構造の例を示すデータプロセッシングシステムの一部ブロック構成図である。

【図3】コンベンショナル技術によるアップサイザーの詳細ブロック構成図である。

【図4】本発明の実施形態による非同期統合アップサイジング回路の詳細ブロック構成図である。

【図5】図4によるゲートカウント減少を示すテーブル図である。

【図6】図4によるレイテンシー及びバスユーティリティ最適化を示す動作タイミング図である。

20

【図7】図4によるマスタクロック及びスレーブクロック間の周波数比を各々示すテーブル図である。

【図8】図7の周波数比とバースト長さとの間のクロック増減度を各々示すテーブル図である。

【図9】図8のテーブルをクロック増減の分布によって再構成したマップ図である。

【図10】本発明の実施形態による非同期統合アップサイジング回路を採用したモバイルシステムのブロック構成図である。

【発明を実施するための形態】

30

【0036】

以上の本発明の目的、他の目的、特徴及び利点は添付の図面と係わる以下の望ましい実施形態を通じて容易に理解することができる。しかし、本発明はここで説明する実施形態に限定されず、他の形態に具体化することもできる。さらに、ここで紹介する実施形態は開示された内容が徹底してかつ完全になされるように、そして当業者に本発明の思想を十分に伝達するように提供されるものである。

【0037】

本明細書において、ある素子またはラインが対象素子ブロックに接続されると記載された場合、それは直接的に接続されるか、または他の素子を通じて対象素子ブロックに間接的に接続され得ることを意味する。

【0038】

また、明細書の全体に亘り同じ参照番号は同じ構成要素を示す。図面において、素子及びラインのサイズは技術的内容の効果的な説明のために誇張されたものである。

40

【0039】

ここに説明及び例示される実施形態はその相補的な実施形態も含む。

【0040】

まず、図1は、本発明が適用可能なA R M (Advanced RISC Machine) 社のプライムセル (PrimeCell) ハイパフォーマンスマトリックス (HPM) を用いるシステムオンチップの内部構成ブロック図である。

【0041】

図1に示すように、ブリッジ部2、アップサイザー200、レジスタスライス4、及び

50

バスマトリックス300からなるスレーブインターフェース(SI)上のインターフェースサポートコンポーネントの接続例を示す。前記プリッジ部2は周波数変換のための素子として、2つの非同期クロックドメインの間をクロッシングする。前記アップサイザー200は大きいデータ幅でスレーブ側に接続するためにマスター側をイネーブルするデータバス幅変換素子である。前記レジスタスライス4はAMBA AXI信号を格納するためのバッファリング素子である。

【0042】

図1において、前記アップサイザー200は伝送速度を合わせるために、例えば64ビットのデータを128ビットのデータに拡張するデータエキスパンダ(expander)の機能を基本的に実行する。図1において、前記プリッジ部2に接続されたスレーブインターフェースSIは64ビットデータバス幅と1GHz動作周波数とを有するCPU側(side)に接続することができ、前記バスマトリックス300は128ビットデータバス幅と200MHz動作周波数とを有するバスシステムになることができる。前記バスマトリックス300はマルチレイヤーバスマトリックス(Multi Layer Bus Matrix)構造を有することができる。

10

【0043】

図2は、図1のうち、アップサイザー(またはエキスパンダ)と接続されたバス構造の例を示すデータプロセッシングシステムの一部ブロック構成図である。

【0044】

図2に示すように、データプロセッシングシステム500内のアップサイザー200を基準として上部は狭(narrow)AXIバス、下部は広AXIバスからなることが分かる。前記アップサイザー200は狭バスラインBNに印加される32ビット、32ビット、64ビットのデータを64ビット、128ビット、128ビットに各々拡張して広バスラインBWに提供する役割を果たすことができる。図2において、Loは下位ビットを、Hiは上位ビットを意味する。例えば、データが総128ビットで構成された場合に、0~63ビットはLoに対応し、64~127ビットはHiに対応する。

20

【0045】

図3は、コンベンショナル技術によるアップサイザーの詳細ブロック構成図である。

【0046】

図3において、同期モードで動作するアップサイザー200はプロセッサクロックCLK1によって動作するシンクパッカー220とシンクアンパッカー240で構成される。前記シンクパッカー(sync packer)220は第1及び第2シンクメモリ21、23とシンクパッキング制御器25で構成され、前記シンクアンパッカー240はCAM41、第3シンクメモリ43、及びシンクアンパッキング制御器45で構成される。前記シンクパッカー220はライトアドレスチャンネル、ライトデータチャンネル、及びライト応答チャンネルにシンクパッキングを実行し、前記シンクアンパッカー240はリードアドレスチャンネルとリードデータチャンネルに対するシンクアンパッキングを実行することができる。

30

【0047】

第1シンクメモリ21は前記シンクパッキング制御器25の制御に応答してライトアドレスチャンネルのアドレスを格納し、該格納されたアドレスをアップサイジングしてバスマトリックス300に出力する。

40

【0048】

第2シンクメモリ23は前記シンクパッキング制御器25の制御に応答してライトデータチャンネルのデータを格納し、該格納されたデータをアップサイジングしてバスマトリックス300に出力する。ここで、64ビットとして格納されたデータはバスマトリックス300に提供する時、前記アップサイジングによって128ビットとして印加され得る。

【0049】

CAM41はARCAM(Address Read Contents Address)

50

s s a b l e M e m o r y) の機能を実行するメモリである。

【0050】

第3シンクメモリ43は前記シンクアンパッキング制御器45の制御に応答してリードデータチャンネルのデータを格納し、該格納されたデータをビット変換して前記スレーブインターフェース100に出力する。

【0051】

前記第1、第2、及び第3シンクメモリ21、23、43は全部先入先出機能を有するFIFO(First In First Out)メモリを用いて実現することができる。

【0052】

図3において、前記プロセッサクロックが約1GHzの周波数を有するとすれば、前記アップサイザー200に印加されるクロックCLK1もプロセッサのクロックドメイン(domain)下で動作されるので、約1GHzの周波数を有することができる。一方、前記バスマトリックス300に用いられるバスクロックは約200MHzの周波数を有することができる。

【0053】

前記プロセッサ(またはCPU)クロックはSoCの電流消耗を最小化するために採用されたDVFS(Dynamic Voltage Frequency Scaling Controller)によって制御されるDVFS(Dynamic Voltage Frequency Scaling)クロックであり得る。前記DVFSの採用によってクロック周波数はダイナミックに制御することができる。

【0054】

図3において、AWはライトアドレスチャンネル信号、Wはライトデータチャンネル信号、Bはライト応答チャンネル信号、ARはリードアドレスチャンネル信号、Rはリードデータチャンネル信号を各々示す。また、SIはスレーブインターフェースを、MIはマスタインターフェースを各々示す。

【0055】

図3のように構成されたアップサイザー200は同期モードで動作するので、SoCデザインのサイズ増加によって非同期ブリッジ(Async Bridge)との適応性が低下する。特に、ディスプレイ(Display)IPパス(path)では非同期アップサイザー(Upsizer)と非同期ブリッジ(Async Bridge)の使用が多く、この場合に動作パフォーマンス(performance)が重要である。

【0056】

ディスプレイザブシステムで非同期ブリッジ及びアップサイザーによる帯域幅差に起因してリードレディー信号(read ready signal)がハイ(high)で維持されなければ、メモリコントローラ(memory controller)の動作がストップ(stop)されてシステム全体パフォーマンスに影響が及ぶ。したがって、パフォーマンス(performance)の低下を最小化するためには、メモリコントローラに提供されるリードレディー信号をハイで保持させなければならない。この場合に非同期ブリッジ及びアップサイザーは全部バッファ(buffer)を要するようになるので、ゲートカウントオーバーヘッド(gate count over head)が招来される。本発明の実施形態では、図4に示すように、非同期ブリッジ(Async Bridge)機能を共に有する非同期統合アップサイザー210を実現し、ライトバッファ及びリードバッファを共有的に用いることによってゲートカウントオーバーヘッドを減らす。

【0057】

またバーストライト(burst write)動作でチャンネルコンパクションを行う場合に、図9のように、マスタとスレーブとの間のクロック比とバーストの長さによる動作クロック調整テーブルに合わせて制御すれば、レイテンシーやバス活用性が改善されるので、チャンネルコンパクション効率が高くなる。

10

20

30

40

50

【0058】

図4～図10を参照して本発明の実施形態を説明するが、本発明の実施形態は本発明に限定されない。

【0059】

図4は、本発明の実施形態による非同期統合アップサイジング回路の詳細ブロック構成図である。

【0060】

図4において、非同期統合アップサイザー210は、第1及び第2非同期パッカー222、224、第1及び第2非同期アンパッカー242、244を含む。

【0061】

前記第1及び第2非同期パッカー222、224は、非同期ブリッジ及びアップサイジングに共通で用いられ、ライトチャンネルデータA W、W、Bをバッファリングする第1、第2、第3非同期メモリ21、23、25を共有する。第1非同期パッカー222は、バーストライト時に前記第1、第2、第3非同期メモリ21、23、25に入出力される前記ライトチャンネルデータに対するチャンネル圧縮をマスタクロックC L K 1によって制御する第1非同期パッキング制御器26を具備する。第2非同期パッカー224は、バーストライト時に前記第1、第2、第3非同期メモリに入出力される前記ライトチャンネルデータに対するチャンネル圧縮をスレーブクロックC L K 2によって制御する第2非同期パッキング制御器27を具備する。

10

【0062】

前記第1及び第2非同期アンパッカー242、244は、前記非同期ブリッジ及びアップサイジングに共通で用いられ、リードチャンネルデータA R、Rをバッファリングする第4及び第5非同期メモリ41、43を共有する。第1非同期アンパッカー242は、バーストリード時に前記第4及び第5非同期メモリ41、43に入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記マスタクロックC L K 1によって制御する第1非同期アンパッキング制御器46を具備する。第2非同期アンパッカー244は、バーストリード時に前記第4及び第5非同期メモリ41、43に入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記スレーブクロックC L K 2によって制御する第2非同期アンパッキング制御器47を具備する。

20

【0063】

FIFOメモリとして各々構成され得る前記第1、第2、第3非同期メモリ21、23、25はライトバッファ28に含まれ、FIFOメモリとして各々構成され得る前記第4及び第5非同期メモリ41、43はリードバッファ44に含まれる。

30

【0064】

前記マスタクロックC L K 1はメモリコントローラから提供されるクロックであるか、またはCPUのクロックであり得る。前記スレーブクロックC L K 2はAXIバスクロックであり得る。

【0065】

第1非同期メモリ21は前記第1非同期パッキング制御器26の制御に応答してライトアドレスチャンネルA Wのアドレスを格納する。前記第1非同期メモリ21は前記第2非同期パッキング制御器27の制御に応答して格納されたライトアドレスチャンネルA Wのアドレスを非同期ブリッジング及びアップサイジングしてバスマトリックス300に出力する。

40

【0066】

第2非同期メモリ23は前記第1非同期パッキング制御器26の制御に応答してライトデータチャンネルWのデータを格納する。前記第2非同期メモリ23は前記第2非同期パッキング制御器27の制御に応答して格納されたライトデータチャンネルWのデータを非同期ブリッジング及びアップサイジングしてバスマトリックス300に出力する。

【0067】

第3非同期メモリ25は前記第2非同期パッキング制御器27の制御に応答してライト

50

応答チャンネルBのデータを格納する。前記第3非同期メモリ25は前記第1非同期パッキング制御器26の制御に応答して格納されたライト応答チャンネルBのデータを非同期プリッジング及びビット幅変換してスレーブインターフェース100に出力する。

【0068】

第4非同期メモリ41は前記第1非同期アンパッキング制御器46の制御に応答してリードアドレスチャンネルARのアドレスを格納する。前記第4非同期メモリ41は前記第2非同期アンパッキング制御器47の制御に応答して格納されたリードアドレスチャンネルARのアドレスを非同期プリッジング及びアップサイ징してバスマトリックス300に出力する。

【0069】

第5非同期メモリ43は前記第2非同期アンパッキング制御器47の制御に応答してリード応答チャンネルRのデータを格納する。前記第5非同期メモリ43は前記第1非同期アンパッキング制御器46の制御に応答して格納されたリード応答チャンネルRのデータを非同期プリッジング及びビット幅変換してスレーブインターフェース100に出力する。

【0070】

図4のような非同期統合アップサイザー210は、ライトバッファ28及びリードバッファ44を共有的に用いるので、ゲートカウントオーバーヘッドが減少する。

【0071】

図5は、図4によるゲートカウント減少を示すテーブルである。図面で1(ライトデプス)と2(リードデプス)に示した水平方向の一番目セルの5214(63K)は図4によるゲートカウントである。これは図3のゲートカウント97739(117K)に比較して47%セービングされたカウントであることが分かる。また、2番目セルでは10838から5715にゲートカウントが減少する。このように、ライトバッファ28及びリードバッファ44の共有的使用によってゲートカウントがセービングされる。

【0072】

また、バーストライト(burst write)動作でチャンネルコンパクションを行う場合に、図9のように、マスタとスレーブとの間のクロック比とバーストの長さによる動作クロック調整テーブルに合わせて制御すれば、図6のP1、P2タイミングで見られるように、レイテンシーがG1、G2に比較して改善されるか、図6のP3、P4タイミングで見られるようにバス活用性がG3、G4より改善される。

【0073】

図6は、図4によるレイテンシー及びバスユーティリティ最適化を示す動作タイミング図であり、図7は、図4によるマスタクロック及びスレーブクロック間の周波数比を各々示すテーブル図である。また、図8は、図7の周波数比とバースト長さとの間のクロック増減度を各々示すテーブル図であり、図9は、図8のテーブルをクロック増減の分布によって再構成したマップ図である。

【0074】

まず、図6に示すように、タイミング波形A1はAWリクエストを示し、A2は64ビット幅のライトデータである。A3は128ビット幅のライトデータである。例えば、マスタクロックとスレーブクロックの周波数が同一周波数の200MHzである場合には、バーストライト動作のために、A4のようにA1に比較してAWリクエストが一定クロック数だけ遅延される。また、これによってアップサイザーから出力される128ビット幅のライトデータはA5のようになる。

【0075】

一方、マスタクロックが300MHzであり、スレーブクロックが200MHzの場合には、バーストライト動作でのレイテンシーを良くするために、図3のようなアップサイザーの場合にはG1のようにAWリクエストが発生され、G2のように128ビット幅のライトデータが出力される。

【0076】

10

20

30

40

50

反対に、マスタクロックが 200 MHz であり、スレーブクロックが 300 MHz の場合には、バーストライト動作でのバスユーティリティーを良くするために、図 3 のようなアップサイザーの場合には G 3 のように AWリクエストが発生され、G 4 のように 128 ビット幅のライトデータが出力される。

【0077】

本発明の実施形態である図 4 のアップサイザーの場合にはレイテンシーが最適化されたアップサイジングのために、P 1、P 2 のようなタイミングで示されるように、バーストライト動作時に、ライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ先行する。具体的には、マスタクロックが 300 MHz であり、スレーブクロックが 200 MHz の場合には、バーストライト動作でのレイテンシー (latency) を良くするために、図 4 のようなアップサイザーの場合には P 1 のように AWリクエストが発生され、P 2 のように 128 ビット幅のライトデータが出力される。タイミング波形 P 2 は G 2 に比較して矢印 AR 1 だけ先に出力されるデータであるので、レイテンシーがより改善されることが分かる。10

【0078】

また、バス活用性が最適化されたアップサイジングが実行されるように、P 3、P 4 のようなタイミングで示されるように、マスタクロックがスレーブクロックより周波数が低い場合には、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ後行する。具体的には、マスタクロックが 200 MHz であり、スレーブクロックが 300 MHz の場合にはバーストライト動作でのバスユーティリティーを最適化するため、図 4 のようなアップサイザーの場合には、P 3 のように AWリクエストが発生され、P 4 のようなタイミングで 128 ビット幅のライトデータが出力される。タイミング波形 P 4 は G 4 に比較して 2 クロックだけ遅く出力されるが、タイム区間 T 1 で出力されるので、バスユーティリティーが改善されることが分かる。20

【0079】

ライトチャンネルでのコンパクションを説明すれば、タイム区間 T 3 に出力されたライトデータが、レイテンシーのためのチャンネルコンパクションの場合にはタイム区間 T 2 に出力され、バスユーティリティーのためのチャンネルコンパクションの場合にはタイム区間 T 3 に出力されるので、各々減少した区間だけのコンパクションが行われる。

【0080】

ライトチャンネルに対するチャンネルコンパクションの場合に、レイテンシーのためにリクエストを繰り上げるか、またはバスユーティリティーのためのリクエストのディレーの程度は図 9 に示すテーブルマップに依存する。30

【0081】

図 9 に対する理解のためには、図 7 及び図 8 に対する理解が先行されなければならない。

【0082】

図 7 に示すように、横軸はマスタクロックを周波数の大きさの順序に示し、縦軸はスレーブクロックを周波数の大きさの順序に示す。n S からなる文字符号はナノ秒を意味し、対応する周波数の周期を示す。したがって、例えば 300 MHz は 3.3 n S の周期を有する。40

【0083】

図 7において、マスタクロック 200 MHz とスレーブクロック 200 MHz が互いにクロッシングする地点の数字 1 は周波数比を示す。したがって、マスタクロック 300 MHz とスレーブクロック 200 MHz が互いにクロッシングする地点には 0.67 が、マスタクロック 200 MHz とスレーブクロック 300 MHz が互いにクロッシングする地点には 1.5 が表示されている。したがって、頻繁に示す周波数比に対しては図 8 のように、バーストの長さによってテーブルを構成すれば、図 8 の通りである。

【0084】

前記周波数比（またはクロック比）は図 8 で縦軸に沿って大きさの順序で表記している

10

20

30

40

50

。図 8 の横軸に表記した A W L E N s は A W の長さを示し、A W L E N m - 1 はバーストの長さを示す。

【 0 0 8 5 】

図 8 に示すように、縦軸の 1 . 0 0 を基準として水平に行けば、1、2、1、2、3、2、3、4 . . . 8 が見られる。前記数字は A W L E N s から A W の長さを引いた値である。すなわち、1 - 0 = 1 であり、2 - 0 = 2 であり、2 - 1 = 1 であり、最後の 8 は 1 6 - 8 によって得られた値である。

【 0 0 8 6 】

図 8 の数値テーブルにおいて、縦軸の 1 . 0 0 を基準として垂直上下で同じ数字同士分類すれば、図 9 のようなクロック増減の分布によって再構成したマップ (m a p) を得ることができる。図 9 において、例えば、“0”として表示された部分に対応する周波数比とバーストの長さに対してはリクエストを繰り上げるか、またはディレーする必要がない。また、“+1”として表示された部分に対応する場合にはバスユーティリティーのために 1 クロックだけディレーした後にリクエストを発生する。また、“-1”として表示された部分に対応する場合にはレイテンシーを良くするために 1 クロックだけ繰り上げた後にリクエストを発生する。また、例えば、“+4”として表示された部分に対応する場合にはバスユーティリティーのために 4 クロックだけディレーした後にリクエストを発生する。また、“-3”として表示された部分に対応する場合にはレイテンシーを良くするために 3 クロックだけ繰り上げた後にリクエストを発生する。

【 0 0 8 7 】

このようにレイテンシー及びバスユーティリティーを最適化するチャンネルコンパクション動作は図 4 の第 1 及び第 2 非同期パッキング制御器 2 6、2 7 によって実行される。

【 0 0 8 8 】

上述のように、本発明の実施形態によると、モバイルシステムで採用できる非同期ブリッジ及びアップサイザーでゲートカウントオーバーヘッドが減少し、かつチャンネルコンパクションがより効率的に実行される。

【 0 0 8 9 】

図 10 は、本発明の実施形態による非同期統合アップサイ징回路を採用したモバイルシステムのプロック構成図である。

【 0 0 9 0 】

図 10 に示すように、モバイルシステムは、L 2 キャッシュを有する C P U 5 0 0 と、A X I バス B U S 1 を通じて接続されたメディアシステム 5 1 0 と、モデム 5 2 0 と、メモリコントローラ 4 1 0 と、ブート R O M 4 3 0 と、ディスプレイコントローラ 4 4 0 を含む。前記メモリコントローラ 4 1 0 には D R A M またはフラッシュメモリなどのようなメモリ 4 2 0 が接続し、前記ディスプレイコントローラ 4 4 0 には L C D などのディスプレイ 4 5 0 が接続される。

【 0 0 9 1 】

図 10 において、B U S 1 は C P U バスであり、B U S 2 はメモリバスである。前記 C P U 5 0 0 はレベル 2 (L 2) キャッシュの以外にレベル 1 (L 1) キャッシュを内部的に含むことができる。前記 L 1 キャッシュは頻繁にアクセスされるデータ及び / または命令を格納するために用いられる。前記 L 2 キャッシュメモリも L 1 キャッシュのように、頻繁にアクセスされるデータ及び / または命令を格納することができる。

【 0 0 9 2 】

図 10 のモバイルシステムはスマートフォン、個人用ナビゲーションデバイス、携帯インターネット器機、携帯放送器機、またはマルチメディア機器として機能することができる。

【 0 0 9 3 】

図 10 のようなモバイルシステムにおいて、図 4 のような統合アップサイザー回路は前記 C P U 5 0 0 のプロックと前記 A X I バス B U S 1 との間に搭載される。

【 0 0 9 4 】

10

20

30

40

50

この場合に、図4の第1クロックCLK1としてはCPUクロックを用いることができ、前記第2クロックCLK2としては前記AXIバスのクロックを用いることができる。

【0095】

図4の回路はライトチャネルのコンパクション動作時に、前記第1クロックが前記第2クロックより周波数が高い場合には、周波数が同じ場合に比較して、バーストライト動作時にライトアドレスチャネルのリクエストを予め設定されたクロックサイクル数だけ先行し、前記第1クロックが前記第2クロックより周波数が低い場合には、周波数が同じ場合に比較して、バーストライト動作時にライトアドレスチャネルのリクエストを予め設定されたクロックサイクル数だけ後行する動作を実行する。

【0096】

上述のように、非同期統合アップサイジング回路構成によると、バッファの共有的使用によって回路の占有面積が減少し、回路実現費用が低減される。また、非同期パッカーでのチャネル圧縮時にレイテンシーが最適化されか、またはバス活用性が最適化されることによって動作パフォーマンスが高くなる。

【0097】

したがって、そのような非同期統合アップサイジング回路を図10のようなSoCに採用する場合に、データ処理システムの製造原価が低くなり、SoCの動作性能も高くなる。

【0098】

本発明の実施形態においては、バッファの共有とチャネルコンパクションを中心として説明したが、これに限定されず、ゲートカウントのオーバーヘッドやチャネルコンパクションの非効率が発生するデータ処理システムの場合に、本発明の実施形態を拡張して適用することができることは勿論である。

【0099】

本発明の実施形態が適用されるモバイルシステムで、プロセッサの個数は2個以上に拡張することができる。そのようなプロセッサはマイクロプロセッサ、CPU、デジタル信号プロセッサ、マイクロコントローラ、縮小命令セットコンピュータ、複合命令セットコンピュータ、またはそれらと類似なものになることができる。

【0100】

前記の説明では本発明の実施形態を中心として図に沿って例をあげて説明したが、本発明の技術的思想の範囲内で本発明を多様に変形または変更することは本発明が属する分野の当業者には明白である。例えば、事案が異なる場合に本発明の技術的思想を逸脱することなしに、バースト長さの変更やチャネルコンパクションの細部動作を多様に変形または変更することは勿論である。

【符号の説明】

【0101】

100 スレーブインターフェース、
210 アップサイザー、
300 バスマトリックス、
28 ライトバッファ。

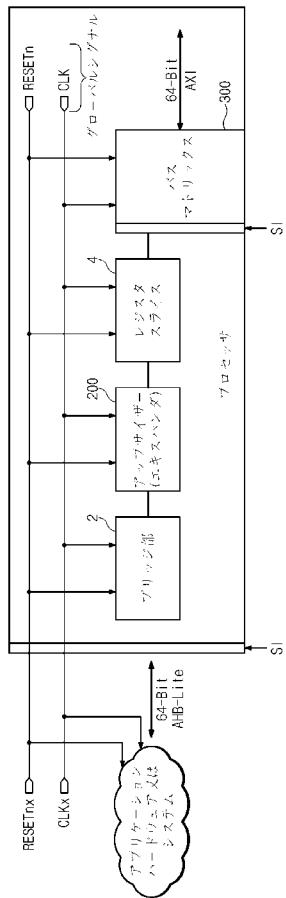
10

20

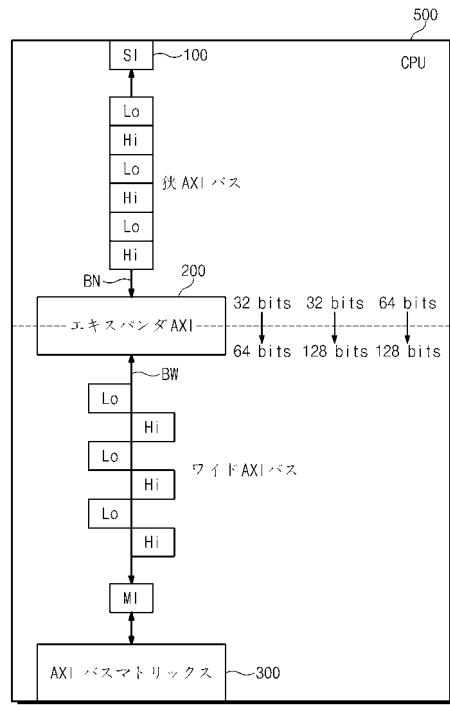
30

40

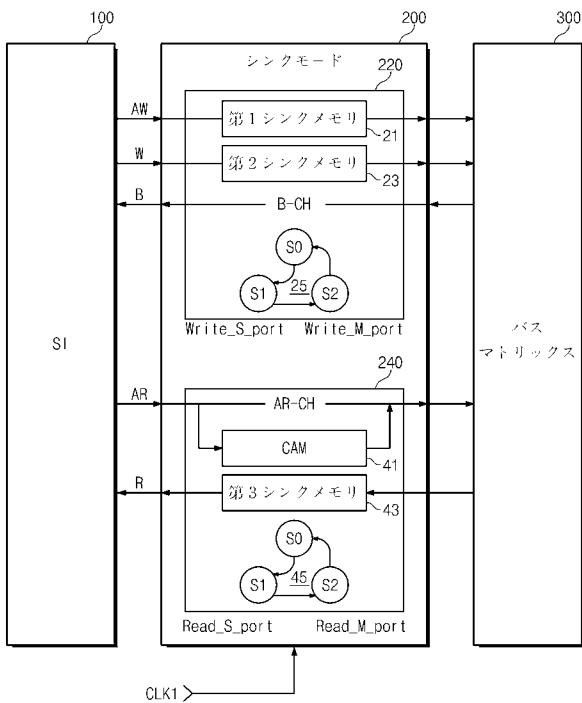
【図1】



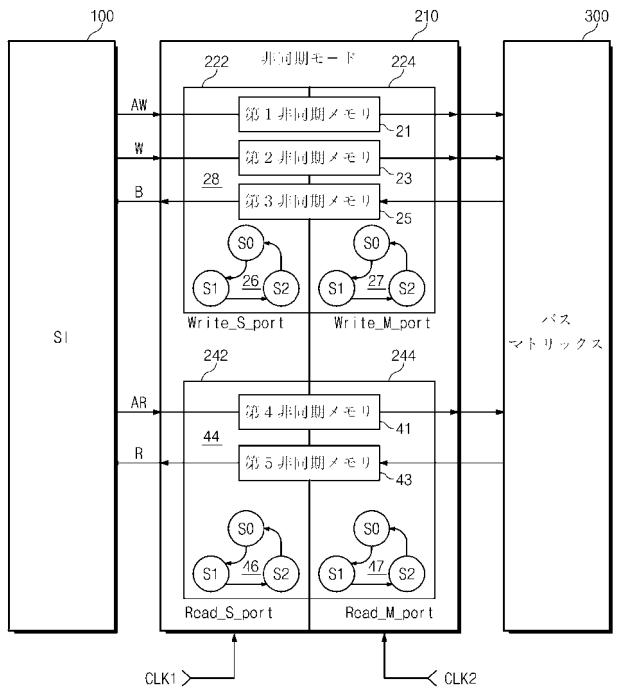
【図2】



【図3】



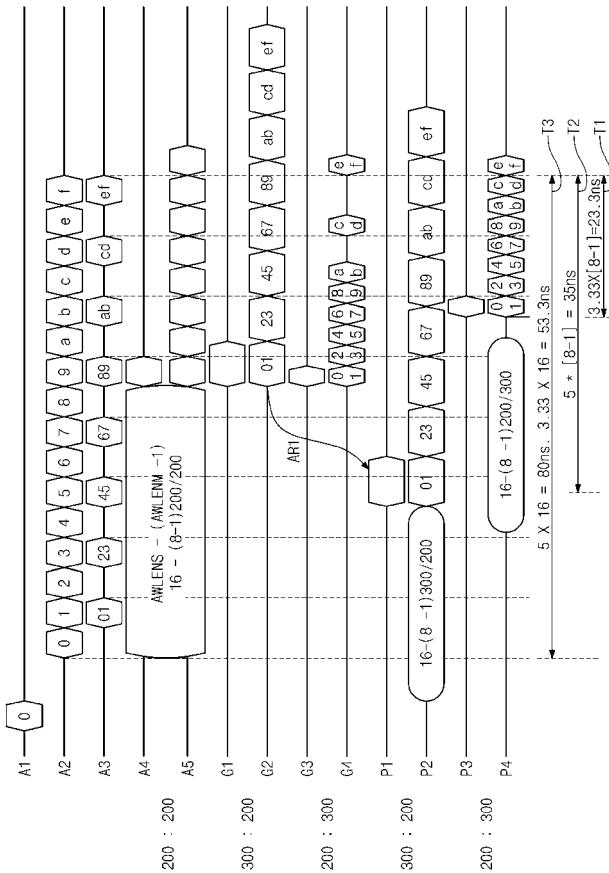
【図4】



【図5】

WR depth	RD depth	Total buf bit Upsizer + Async	Total buf bit SPLA_Upsizer
1	2	9773 (117K)	5214 (63K)
1	2.4 (166 to 200)	10838 (130K)	5715 (69K)
1	3	12373 (149K)	6438 (78K)
1	4	14973 (180K)	7662 (92K)
1	5	17573 (211K)	8886 (107K)
1	6	20173 (243K)	10110 (122K)
1	7	22773 (274K)	11334 (136K)
1	8	25373 (305K)	12558 (151K)
1	9.64 (166 to 200)	29633 (356K)	14564 (175K)

【図6】



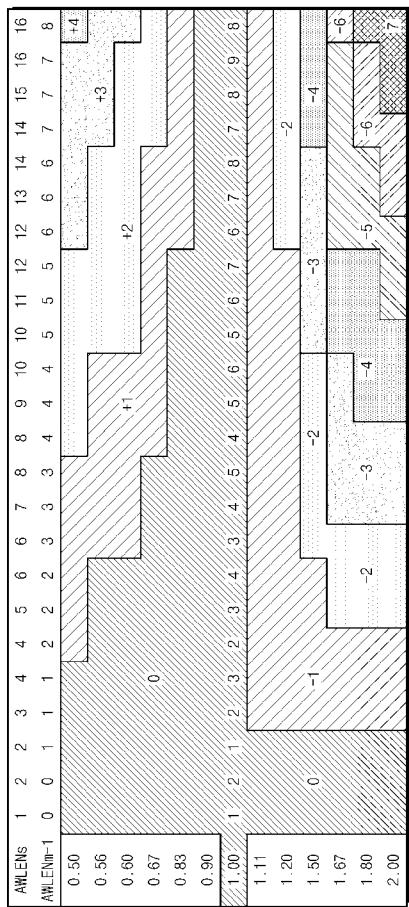
【図7】

MHz	33.3	66.7	100	133.3	166.7	200	300	333.3	400	533.3
33.3	30	1	0.5	0.33	0.25	0.2	0.17	0.11	0.1	0.08
66.7	15	2	1	0.67	0.5	0.4	0.33	0.22	0.2	0.17
100	10	3	1.5	1	0.75	0.6	0.5	0.33	0.3	0.25
133.3	7.5	4	2	1.33	1	0.8	0.67	0.44	0.4	0.33
166.7	6	5	2.5	1.67	1.25	1	0.83	0.56	0.5	0.42
200	5	6	3	2	1.5	1.2	1	0.67	0.6	0.5
300	3.3	9	4.5	3	2.25	1.8	1.5	1	0.9	0.75
333.3	3	10	5	3.33	2.5	2	1.67	1.11	1	0.83
400	2.5	12	6	4	3	2.4	2	1.33	1.2	1
533.3	1.9	16	8	5.33	4	3.2	2.67	1.78	1.6	1.33

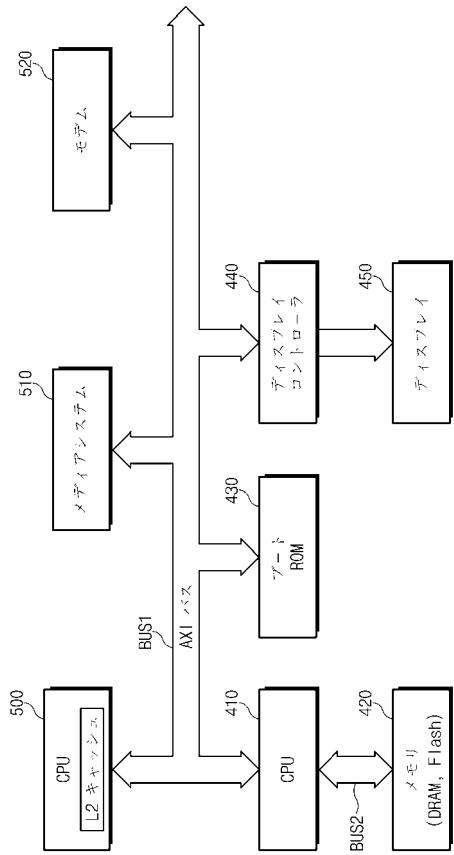
【図8】

AWLENs	1	2	3	4	5	6	6	7	8	9	10	11	12	13	14	15	16	16
AWLENm-1	0	0	1	1	2	2	2	3	3	4	4	4	5	5	6	6	7	8
0.50	1	2	1	2	3	2	4	5	1	5	6	6	7	8	9	9	10	11
0.56	1	2	1	2	3	2	3	4	4	5	6	7	7	8	9	9	10	11
0.60	1	2	1	2	3	2	3	4	4	5	6	7	7	8	9	9	10	11
0.67	1	2	1	2	3	2	3	4	3	4	5	6	7	6	7	8	9	10
0.83	1	2	1	2	3	2	3	4	3	4	5	4	5	6	7	8	9	10
0.90	1	2	1	2	3	2	3	4	3	4	5	4	5	6	7	8	9	8
1.00	1	2	1	2	3	2	3	4	3	4	5	4	5	6	5	6	7	8
1.11	1	2	1	2	1	2	3	2	3	4	3	4	5	4	5	6	7	8
1.20	1	2	1	2	1	2	1	2	3	2	3	4	3	4	5	6	7	6
1.50	1	2	1	2	1	2	1	2	1	2	1	2	3	1	2	3	4	5
1.67	1	2	1	2	1	2	1	1	2	1	1	2	1	2	3	2	3	4
1.80	1	2	1	2	1	2	1	1	2	1	1	2	1	2	3	1	2	3
2.00	1	2	1	2	1	2	1	1	2	1	1	2	1	1	2	1	2	1

【図9】



【図10】



フロントページの続き

(72)発明者 嚴 濬 亨
大韓民国ソウル特別市瑞草区瑞草洞 メイフラワーメンバーズビル803号

(72)発明者 権 祐 徹
大韓民国京畿道水原市靈通区梅灘1洞 現代ホームタウンアパート110棟1801号

(72)発明者 姜 賢 俊
大韓民国京畿道華城市石隅洞53番地 ウミリンブンギョンチェアパート118棟1502号

(72)発明者 鄭 法 てつ
大韓民国京畿道龍仁市器興区農書洞山24番地 蘭草棟319号

F ターム(参考) 5B061 DD00 GG01
5B077 BA02 GG02 GG11 GG32
5K034 AA02 AA11 EE11 FF11 GG02 HH01 HH02 HH26 HH42