

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-118893

(P2011-118893A)

(43) 公開日 平成23年6月16日(2011.6.16)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 13/28 (2006.01)	G06F 13/28 310C	5B061
H04L 13/08 (2006.01)	H04L 13/08	5B077
G06F 13/36 (2006.01)	G06F 13/36 320A	5K034
G06F 13/38 (2006.01)	G06F 13/38 340C	
G06F 13/42 (2006.01)	G06F 13/42 350B	

審査請求 未請求 請求項の数 10 O L (全 18 頁)

(21) 出願番号 特願2010-256099 (P2010-256099)
(22) 出願日 平成22年11月16日(2010.11.16)
(31) 優先権主張番号 10-2009-0117760
(32) 優先日 平成21年12月1日(2009.12.1)
(33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
三星電子株式会社
Samsung Electronics
Co., Ltd.
大韓民国京畿道水原市靈通区梅灘洞416
416, Maetan-dong, Yeongtong-gu, Suwon-si,
Gyeonggi-do, Republic of Korea
(74) 代理人 110000671
八田国際特許業務法人
(72) 発明者 尹 栽 根
大韓民国京畿道華城市陳雁洞 陳雁ゴルフ
ウル住公10団地アパート1006棟30
1号

最終頁に続く

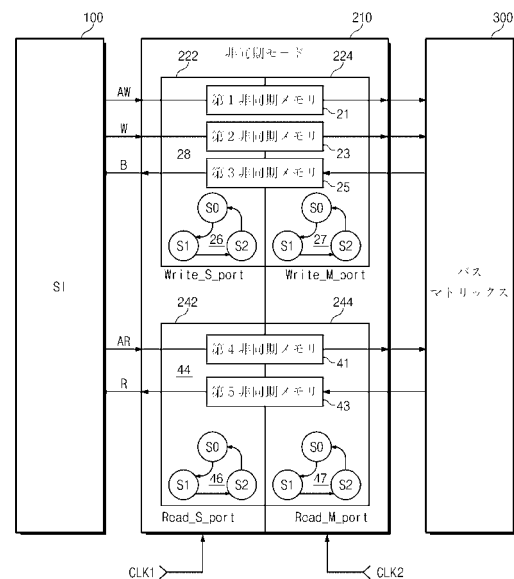
(54) 【発明の名称】 非同期統合アップサイジング回路

(57) 【要約】

【課題】システムオンチップに採用するのに適する非同期統合アップサイジング回路を提供する。

【解決手段】非同期統合アップサイジング回路は非同期パッカーと非同期アンパッカーを具備する。非同期パッカーは、非同期ブリッジ及びアップサイジングに共通で用いられ、ライトチャンネルデータをバッファリングするライトバッファと、バーストライト時に前記ライトバッファに入出力される前記ライトチャンネルデータに対するチャンネル圧縮を第1及び第2クロックによって各々制御する第1及び第2非同期パッキング制御器を含む。また、非同期アンパッカーは、前記非同期ブリッジ及びアップサイジングに共通で用いられ、リードチャンネルデータをバッファリングするリードバッファと、バーストリード時に前記リードバッファに入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記第1及び第2クロックによって各々制御する第1及び第2非同期アンパッキング制御器を含む。

【選択図】 図4



【特許請求の範囲】**【請求項 1】**

非同期ブリッジ及びアップサイジングに共通に用いられ、ライトチャンネルデータをバッファリングするライトバッファと、バーストライト時に前記ライトバッファに入出力される前記ライトチャンネルデータに対するチャンネル圧縮を第 1 及び第 2 クロックによって各々制御する第 1 及び第 2 非同期パッキング制御器を含む非同期パッカーと、

前記非同期ブリッジ及びアップサイジングに共通に用いられ、リードチャンネルデータをバッファリングするリードバッファと、バーストリード時に前記リードバッファに入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記第 1 及び第 2 クロックによって各々制御する第 1 及び第 2 非同期アンパッキング制御器を含む非同期アンパッカーとを具備することを特徴とする非同期統合アップサイジング回路。

10

【請求項 2】

前記ライトバッファはライトアドレスチャンネル、ライトデータチャンネル、及びライト応答チャンネルに各々割り当てられたメモリで構成されることを特徴とする請求項 1 に記載の非同期統合アップサイジング回路。

【請求項 3】

前記リードバッファはリードアドレスチャンネル、及びリードデータチャンネルに各々割り当てられたメモリで構成されることを特徴とする請求項 1 または 2 に記載の非同期統合アップサイジング回路。

【請求項 4】

前記第 1 クロックはマスタクロックであり、前記第 2 クロックはスレーブクロックであることを特徴とする請求項 1 から 3 のいずれかに記載の非同期統合アップサイジング回路。

20

【請求項 5】

前記第 1 クロックはマスタクロックであり、前記第 2 クロックは A X I バスクロックであることを特徴とする請求項 2 または 3 に記載の非同期統合アップサイジング回路。

【請求項 6】

前記第 1 クロックが前記第 2 クロックより周波数が高い場合には周波数が同じ場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ先行して、レイテンシーが最適化されたアップサイジングが実行されるようにすることを特徴とする請求項 2 から 5 のいずれかに記載の非同期統合アップサイジング回路。

30

【請求項 7】

前記第 1 クロックが前記第 2 クロックより周波数が低い場合には周波数が同じ場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ後行して、バス活用性が最適化されたアップサイジングが実行されるようにすることを特徴とする請求項 2 から 5 のいずれかに記載の非同期統合アップサイジング回路。

【請求項 8】

前記メモリは各々 F I F O メモリであることを特徴とする請求項 2 に記載の非同期統合アップサイジング回路。

40

【請求項 9】

前記メモリは各々 F I F O メモリであることを特徴とする請求項 3 に記載の非同期統合アップサイジング回路。

【請求項 10】

前記マスタクロックはメモリコントローラから提供されるクロックであることを特徴とする請求項 5 から 7 のいずれかに記載のデータプロセッシングシステムでの非同期統合アップサイジング回路。

【発明の詳細な説明】**【技術分野】**

50

【0001】

本発明は、データプロセッシングシステムに関し、より詳細には、スマートフォンやナビゲーションデバイスなどのようなモバイルシステムで非同期ブリッジ (Async Bridge) 機能を共に有する非同期統合アップサイジング回路に関する。

【背景技術】

【0002】

スマートフォン、個人用ナビゲーションデバイス、携帯インターネット器機、携帯放送器機、またはマルチメディア器機などのようなモバイルシステムでは多様なアプリケーション (application) を支援するためにシステムオンチップ (SoC: System on Chip、以下“SoC”という) 上に高周波数で動作する高性能のモバイル応用プロセッサを採用している。

10

【0003】

このようなモバイル応用プロセッサは、演算とプログラム命令語の実行を担当するので、モバイルSoCの性能を決める核心素子である。モバイル応用プロセッサは、無線通信、個人用ナビゲーション、カメラ、ポータブルゲーミング、ポータブル音楽/ビデオプレーヤ、一体化したモバイルTV及びPDAなどのような多様な機能の集積をイネーブル (enable) するために、L2 (レベル2) キャッシュとしても呼ばれるオンチップ2次キャッシュを含むことができる。前記L2キャッシュの付加は、深刻なメモリトラフィックがプロセッサによって発生された時、モバイルシステムの性能を増加させるための認知された方法である。

20

【0004】

前記SoCの効果的な設計のためには、1つのチップ上に集積した複数のIP (Intellectual Property) 間の相互通信のためのバスシステムの選択が何より重要である。現在知られている代表的なバスシステムとしては、ARM (Advanced RISC Machine) 社のAMBA (Advanced Microcontroller Bus Architecture) プロトコルに基づくAMBA3.0 AXI (Advanced eXtensible Interface) バスシステムがある。

【0005】

SoCの一部を構成するDMAC (Direct Memory Access Controller)、USB、PCI、SMC (Static Memory Controller)、SCI (Smart card Interface) などのような周辺機能ブロックはメーカーの開発時間と開発人力などのような制約によって外部からIPとして購入することができる。購入した周辺機能ブロックIPはCPUとデータ処理用機能ブロックと共にチップ上に集積 (Integration) してSoCをなすようになる。

30

【0006】

モバイル応用プロセッサのハイパフォーマンス (High performance) 要求の増加によって、SoC内のCPU及びキャッシュコントローラ (cache controller) の動作周波数 (frequency) は数GHzに増加する趨勢である。一方、バス (Bus) システムの場合、周波数を数GHzに高め難い制約があるので、伝送帯域幅を合わせるため、代りにCPUのデータバス幅より広いデータバス幅が採用される。例えば、1GHzの動作周波数を有するCPUのデータバス幅が64ビットとすれば、バスシステムの動作周波数は200MHz、データバス幅は128ビットに設計することができる。

40

【0007】

したがって、データ伝送速度を合わせるため、キャッシュコントローラ (cache controller) と接続可能であり、64ビットデータバス幅と1GHz動作周波数とを有するCPUと、128ビットデータバス幅と200MHz動作周波数とを有するバスシステムとの間で64ビットto128ビットアップサイザー (upsizer) 回

50

路を採用することができる。

【0008】

一方、最近では、SoCデザインのサイズ増加によって非同期ブリッジ (Asynchronous bridge) の使用要求がさらに増え、帯域幅 (Bandwidth) 要求量の増加によって128ビットAXIバス (bus) が導入されることによって、アップサイザー (Upsizer) と非同期ブリッジ (Asynchronous Bridge) のパフォーマンス (performance) が重要な要素として台頭している。特に、ディスプレイ (Display) IPバス (path) に対しては非同期ブリッジ及びアップサイザーが全て用いられなければならない。このようなディスプレイIPのトラフィックパターン (traffic pattern) を分析する場合に、バーストリードリクエスト (Burst read request) が連続して出ることが多い。

10

【0009】

ディスプレイIPが集まっているディスプレイサブシステム (Display subsystem) でリードリクエスト (read request) が連続して出の場合、非同期ブリッジ及びアップサイザーによる帯域幅差に起因してリードレディー信号 (read ready signal) がハイ (high) で維持されないことがある。そのような場合に、メモリコントローラ (memory controller) の動作がストップ (stop) されるので、システム全体のパフォーマンスに影響が及ぶ。したがって、パフォーマンス (performance) の低下を最小化するためには、メモリコントローラに提供されるリードレディー信号がハイで維持されるようにすることが必要である。この場合に、非同期ブリッジ及びアップサイザーは全部バッファ (buffer) を要するようになるので、ゲートカウントオーバーヘッド (gate count overhead) が招来される。

20

【0010】

またバーストライト (burst write) の場合に、バス活用 (bus utilize) を高めるために、ライトアドレスチャンネルとライトデータチャンネルに対してコンパクション (compaction) を実行する場合により効率的なコンパクション技法が必要になる。例えば、非同期ブリッジ及びアップサイザーが互いに別個で分離している場合にチャンネルコンパクションを行えば、コンパクション効率が低下してレイテンシーやバス活用性が悪くなる。

30

【0011】

したがって、モバイルシステムで採用することができる非同期ブリッジ及びアップサイザーでゲートカウントオーバーヘッドを減らし、かつチャンネルコンパクションをより効率的に行うことができる技術が要望される。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】韓国公開特許2007-0000941号公報

【発明の概要】

【発明が解決しようとする課題】

40

【0013】

本発明の第1の課題は、データプロセッシングシステムのパフォーマンスを改善することができる非同期統合アップサイジング回路を提供することにある。

【0014】

本発明の第2の課題は、ゲートカウントオーバーヘッドを減らすことができる非同期統合アップサイジング回路を提供することにある。

【0015】

本発明の第3の課題は、非同期ブリッジ機能を有するアップサイジング回路を提供することにある。

【0016】

50

本発明の第４の課題は、チャンネルコンパクションをより効率的に行うことができる非同期統合アップサイジング回路及び方法を提供することにある。

【００１７】

本発明の第５の課題は、回路占有面積を減らし、バーストライト動作時にレイテンシーとバス活用性を改善することができるアップサイジング回路及びそれを採用したデータプロセッシングシステムを提供することにある。

【課題を解決するための手段】

【００１８】

前記の課題を解決するために、本発明の実施形態の一態様による非同期統合アップサイジング回路は、非同期ブリッジ及びアップサイジングに共通で用いられ、ライトチャンネルデータをバッファリングするライトバッファと、バーストライト時に前記ライトバッファに入出力される前記ライトチャンネルデータに対するチャンネル圧縮を第１及び第２クロックによって各々制御する第１及び第２非同期パッキング制御器を含む非同期パッカーと、前記非同期ブリッジ及びアップサイジングに共通で用いられ、リードチャンネルデータをバッファリングするリードバッファと、バーストリード時に前記リードバッファに入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記第１及び第２クロックによって各々制御する第１及び第２非同期アンパッキング制御器を含む非同期アンパッカーとを具備する。

【００１９】

本発明の実施形態において、前記ライトバッファはライトアドレスチャンネル、ライトデータチャンネル、及びライト応答チャンネルに各々割り当てられたメモリで構成することができ、また前記リードバッファはリードアドレスチャンネル、及びリードデータチャンネルに各々割り当てられたメモリで構成することができる。

【００２０】

本発明の実施形態において、前記第１クロックはマスタクロックであり、前記第２クロックはスレーブクロックであり得る。ここで、前記第２クロックはＡＸＩバスクロックであり得る。

【００２１】

本発明の実施形態において、前記第１クロックが前記第２クロックより周波数が高い場合には周波数が同一の場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ先行して、レイテンシーが最適化されたアップサイジングが実行されるようにできる。また、前記第１クロックが前記第２クロックより周波数が低い場合には周波数が同一の場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ後行して、バス活用性が最適化されたアップサイジングが実行されるようにできる。

【００２２】

本発明の実施形態において、前記メモリは各々ＦＩＦＯメモリであり、前記マスタクロックはメモリコントローラから提供されるクロックであり得る。

【００２３】

本発明の実施形態において、前記非同期パッカーは前記ライトチャンネルデータに対する非同期パッキングを実行し、前記非同期アンパッカーは前記リードチャンネルデータに対する非同期アンパッキングを実行することができる。

【００２４】

本発明の実施形態の他の態様による非同期統合アップサイジング回路は、非同期ブリッジ及びアップサイジングに共通で用いられ、ライトチャンネルデータをバッファリングする第１、第２、及び第３非同期メモリと、バーストライト時に前記第１、第２、及び第３非同期メモリに入出力される前記ライトチャンネルデータに対するチャンネル圧縮をマスタクロック及びスレーブクロックによって各々制御する第１及び第２非同期パッキング制御器を含む非同期パッカーと、前記非同期ブリッジ及びアップサイジングに共通で用いられ、リードチャンネルデータをバッファリングする第４及び第５非同期メモリと、バース

トリード時に前記第 4 及び第 5 非同期メモリに入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記マスタクロック及びスレーブクロックによって各々制御する第 1 及び第 2 非同期アンパッキング制御器を含む非同期アンパッカーとを具備する。

【 0 0 2 5 】

本発明の実施形態において、前記マスタクロックは C P U のクロックであり、前記第 2 クロックは A X I バスクロックであり得る。

【 0 0 2 6 】

本発明の実施形態において、前記第 1 非同期メモリはライトアドレスチャンネルに、前記第 2 非同期メモリはライトデータチャンネルに、前記第 3 非同期メモリはライト応答チャンネルに、前記第 4 非同期メモリはリードアドレスチャンネルに、前記第 5 非同期メモリはリードデータチャンネルに対応的に割り当てられ得る。

10

【 0 0 2 7 】

本発明の実施形態において、前記マスタクロックが前記スレーブクロックより周波数が高い場合には周波数が同一の場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ先行して、レイテンシーが最適化されたアップサイジングが実行されるようにできる。

【 0 0 2 8 】

本発明の実施形態において、前記マスタクロックが前記スレーブクロックより周波数が低い場合には周波数が同一の場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ後行して、バス活用性が最適化されたアップサイジングが実行されるようにできる。

20

【 0 0 2 9 】

本発明の実施形態のまた他の態様によるデータプロセッシングシステムは、L 2 キャッシュコントローラと接続される C P U と、非同期ブリッジ及びアップサイジングに共通で用いられ、ライトチャンネルデータをバッファリングするライトバッファとバーストライト時に前記ライトバッファに入出力される前記ライトチャンネルデータに対するチャンネル圧縮を第 1 及び第 2 クロックによって各々制御する第 1 及び第 2 非同期パッキング制御器を含む非同期パッカーと、前記非同期ブリッジ及びアップサイジングに共通で用いられ、リードチャンネルデータをバッファリングするリードバッファとバーストリード時に前記リードバッファに入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記第 1 及び第 2 クロックによって各々制御する第 1 及び第 2 非同期アンパッキング制御器を含む非同期アンパッカーとを具備し、前記 L 2 キャッシュコントローラを通じて前記 C P U とインターフェースバスとの間に接続される非同期統合アップサイジング回路と、前記インターフェースバスに接続されたディスプレイ I P とを具備する。

30

【 0 0 3 0 】

本発明の実施形態において、前記ディスプレイ I P は、モバイルシステムのための I P であり得る。

【 0 0 3 1 】

本発明の実施形態のまた他の態様によって、非同期ブリッジ及びアップサイジングに共通で用いられ、ライトチャンネルデータをバッファリングするライトバッファと、バーストライト時に前記ライトバッファに入出力される前記ライトチャンネルデータに対するチャンネル圧縮をマスタクロック及びスレーブクロックによって各々制御する第 1 及び第 2 非同期パッキング制御器とを具備するデータプロセッシングシステムでの非同期パッキング方法は、前記マスタクロックが前記スレーブクロックより周波数が高い場合には周波数が同一の場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ先行する制御段階と、前記マスタクロックが前記スレーブクロックより周波数が低い場合には周波数が同一の場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ後行する制御段階とを有することができる。

40

【 発明の効果 】

50

【 0 0 3 2 】

本発明の実施形態の非同期統合アップサイジング回路の構成によると、バッファの共有的使用によって回路の占有面積が減少し、回路実現費用が低くなる。

【 0 0 3 3 】

また、非同期バッカーでのチャンネル圧縮時にレイテンシーが最適化されるか、またはバス活用性が最適化されることによって動作パフォーマンスが高くなる。

【 0 0 3 4 】

したがって、そのような非同期統合アップサイジング回路をS o Cに採用する場合に、データ処理システムの製造原価が低くなり、かつS o Cの動作性能も高くなる。

【 図面の簡単な説明 】

【 0 0 3 5 】

【 図 1 】 本発明が適用可能なハイパフォーマンスマトリックスを用いるシステムオンチップの内部構成ブロック図である。

【 図 2 】 図 1 のうち、アップサイザーと接続されたバス構造の例を示すデータプロセッシングシステムの一部ブロック構成図である。

【 図 3 】 コンベンショナル技術によるアップサイザーの詳細ブロック構成図である。

【 図 4 】 本発明の実施形態による非同期統合アップサイジング回路の詳細ブロック構成図である。

【 図 5 】 図 4 によるゲートカウント減少を示すテーブル図である。

【 図 6 】 図 4 によるレイテンシー及びバスユーティリティ最適化を示す動作タイミング図である。

【 図 7 】 図 4 によるマスタクロック及びスレーブクロック間の周波数比を各々示すテーブル図である。

【 図 8 】 図 7 の周波数比とバースト長さとの間のクロック増減度を各々示すテーブル図である。

【 図 9 】 図 8 のテーブルをクロック増減の分布によって再構成したマップ図である。

【 図 1 0 】 本発明の実施形態による非同期統合アップサイジング回路を採用したモバイルシステムのブロック構成図である。

【 発明を実施するための形態 】

【 0 0 3 6 】

以上の本発明の目的、他の目的、特徴及び利点は添付の図面と係わる以下の望ましい実施形態を通じて容易に理解することができる。しかし、本発明はここで説明する実施形態に限定されず、他の形態に具体化することもできる。さらに、ここで紹介する実施形態は開示された内容が徹底してかつ完全になされるように、そして当業者に本発明の思想を十分に伝達するように提供されるものである。

【 0 0 3 7 】

本明細書において、ある素子またはラインが対象素子ブロックに接続されると記載された場合、それは直接的に接続されるか、または他の素子を通じて対象素子ブロックに間接的に接続され得ることを意味する。

【 0 0 3 8 】

また、明細書の全体に亘り同じ参照番号は同じ構成要素を示す。図面において、素子及びラインのサイズは技術的内容の効果的な説明のために誇張されたものである。

【 0 0 3 9 】

ここに説明及び例示される実施形態はその相補的な実施形態も含む。

【 0 0 4 0 】

まず、図 1 は、本発明が適用可能なARM (Advanced RISC Machine) 社のプライムセル (PrimeCell) ハイパフォーマンスマトリックス (HPM) を用いるシステムオンチップの内部構成ブロック図である。

【 0 0 4 1 】

図 1 に示すように、ブリッジ部 2、アップサイザー 200、レジスタスライス 4、及び

10

20

30

40

50

バスマトリックス 300 からなるスレーブインターフェース (S I) 上のインターフェースサポートコンポーネントの接続例を示す。前記ブリッジ部 2 は周波数変換のための素子として、2 つの非同期クロックドメインの間をクロッシングする。前記アップサイザー 200 は大きいデータ幅でスレーブ側に接続するためにマスタ側をイネーブルするデータバス幅変換素子である。前記レジスタスライス 4 は A M B A A X I 信号を格納するためのバッファリング素子である。

【0042】

図 1 において、前記アップサイザー 200 は伝送速度を合わせるために、例えば 64 ビットのデータを 128 ビットのデータに拡張するデータエキスパンダ (e x p a n d e r) の機能を基本的に行う。図 1 において、前記ブリッジ部 2 に接続されたスレーブインターフェース S I は 64 ビットデータバス幅と 1 G H z 動作周波数とを有する C P U 側 (s i d e) に接続することができ、前記バスマトリックス 300 は 128 ビットデータバス幅と 200 M H z 動作周波数とを有するバスシステムになることができる。前記バスマトリックス 300 はマルチレイヤーバスマトリックス (M u l t i L a y e r B u s M a t r i x) 構造を有することができる。

【0043】

図 2 は、図 1 のうち、アップサイザー (またはエキスパンダ) と接続されたバス構造の例を示すデータプロセッシングシステムの一部ブロック構成図である。

【0044】

図 2 に示すように、データプロセッシングシステム 500 内のアップサイザー 200 を基準として上部は狭 (n a r r o w) A X I バス、下部は広 A X I バスからなることが分かる。前記アップサイザー 200 は狭バスライン B N に印加される 32 ビット、32 ビット、64 ビットのデータを 64 ビット、128 ビット、128 ビットに各々拡張して広バスライン B W に提供する役割を果たすことができる。図 2 において、L o は下位ビットを、H i は上位ビットを意味する。例えば、データが総 128 ビットで構成された場合に、0 ~ 63 ビットは L o に対応し、64 ~ 127 ビットは H i に対応する。

【0045】

図 3 は、コンベンショナル技術によるアップサイザーの詳細ブロック構成図である。

【0046】

図 3 において、同期モードで動作するアップサイザー 200 はプロセッサクロック C L K 1 によって動作するシンクパッカー 220 とシンクアンパッカー 240 で構成される。前記シンクパッカー (s y n c p a c k e r) 220 は第 1 及び第 2 シンクメモリ 21、23 とシンクパッキング制御器 25 で構成され、前記シンクアンパッカー 240 は C A M 41、第 3 シンクメモリ 43、及びシンクアンパッキング制御器 45 で構成される。前記シンクパッカー 220 はライトアドレスチャンネル、ライトデータチャンネル、及びライト応答チャンネルにシンクパッキングを実行し、前記シンクアンパッカー 240 はリードアドレスチャンネルとリードデータチャンネルに対するシンクアンパッキングを実行することができる。

【0047】

第 1 シンクメモリ 21 は前記シンクパッキング制御器 25 の制御にตอบสนองしてライトアドレスチャンネルのアドレスを格納し、該格納されたアドレスをアップサイジングしてバスマトリックス 300 に出力する。

【0048】

第 2 シンクメモリ 23 は前記シンクパッキング制御器 25 の制御にตอบสนองしてライトデータチャンネルのデータを格納し、該格納されたデータをアップサイジングしてバスマトリックス 300 に出力する。ここで、64 ビットとして格納されたデータはバスマトリックス 300 に提供する時、前記アップサイジングによって 128 ビットとして印加され得る。

【0049】

C A M 41 は A R C A M (A d d r e s s R e a d C o n t e n t s A d d r e

10

20

30

40

50

ssable Memory)の機能を実行するメモリである。

【0050】

第3シンクメモリ43は前記シンクアンバッキング制御器45の制御に応答してリードデータチャンネルのデータを格納し、該格納されたデータをビット変換して前記スレーブインターフェース100に出力する。

【0051】

前記第1、第2、及び第3シンクメモリ21、23、43は全部先入先出機能を有するFIFO(First In First Out)メモリを用いて実現することができる。

【0052】

図3において、前記プロセッサクロックが約1GHzの周波数を有するとすれば、前記アップサイザー200に印加されるクロックCLK1もプロセッサのクロックドメイン(domain)下で動作されるので、約1GHzの周波数を有することができる。一方、前記バスマトリックス300に用いられるバスクロックは約200MHzの周波数を有することができる。

【0053】

前記プロセッサ(またはCPU)クロックはSoCの電流消費を最小化するために採用されたDVFS(Dynamic Voltage Frequency Scaling Controller)によって制御されるDVFS(Dynamic Voltage Frequency Scaling)クロックであり得る。前記DVFSの採用によってクロック周波数はダイナミックに制御することができる。

【0054】

図3において、AWはライトアドレスチャンネル信号、Wはライトデータチャンネル信号、Bはライト応答チャンネル信号、ARはリードアドレスチャンネル信号、Rはリードデータチャンネル信号を各々示す。また、SIはスレーブインターフェースを、MIはマスタインターフェースを各々示す。

【0055】

図3のように構成されたアップサイザー200は同期モードで動作するので、SoCデザインのサイズ増加によって非同期ブリッジ(Async Bridge)との適応性が低下する。特に、ディスプレイ(Display)IPパス(path)では非同期アップサイザー(Upsizer)と非同期ブリッジ(Async Bridge)の使用が多く、この場合に動作パフォーマンス(performance)が重要である。

【0056】

ディスプレイサブシステムで非同期ブリッジ及びアップサイザーによる帯域幅差に起因してリードレディー信号(read ready signal)がハイ(high)で維持されなければ、メモリコントローラ(memory controller)の動作がストップ(stop)されてシステム全体パフォーマンスに影響が及ぶ。したがって、パフォーマンス(performance)の低下を最小化するためには、メモリコントローラに提供されるリードレディー信号をハイで保持させなければならない。この場合に非同期ブリッジ及びアップサイザーは全部バッファ(buffer)を要するようになるので、ゲートカウントオーバーヘッド(gate count over head)が招来される。本発明の実施形態では、図4に示すように、非同期ブリッジ(Async Bridge)機能を共に有する非同期統合アップサイザー210を実現し、ライトバッファ及びリードバッファを共有的に用いることによってゲートカウントオーバーヘッドを減らす。

【0057】

またバーストライト(burst write)動作でチャンネルコンパクションを行う場合に、図9のように、マスタとスレーブとの間のクロック比とバーストの長さによる動作クロック調整テーブルに合わせて制御すれば、レイテンシーやバス活用性が改善されるので、チャンネルコンパクション効率が高くなる。

10

20

30

40

50

【 0 0 5 8 】

図 4 ~ 図 1 0 を参照して本発明の実施形態を説明するが、本発明の実施形態は本発明に限定されない。

【 0 0 5 9 】

図 4 は、本発明の実施形態による非同期統合アップサイジング回路の詳細ブロック構成図である。

【 0 0 6 0 】

図 4 において、非同期統合アップサイザー 2 1 0 は、第 1 及び第 2 非同期パッカー 2 2 2、2 2 4、第 1 及び第 2 非同期アンパッカー 2 4 2、2 4 4 を含む。

【 0 0 6 1 】

前記第 1 及び第 2 非同期パッカー 2 2 2、2 2 4 は、非同期ブリッジ及びアップサイジングに共通で用いられ、ライトチャンネルデータ A W、W、B をバッファリングする第 1、第 2、第 3 非同期メモリ 2 1、2 3、2 5 を共有する。第 1 非同期パッカー 2 2 2 は、バーストライト時に前記第 1、第 2、第 3 非同期メモリ 2 1、2 3、2 5 に入出力される前記ライトチャンネルデータに対するチャンネル圧縮をマスタクロック C L K 1 によって制御する第 1 非同期パッキング制御器 2 6 を具備する。第 2 非同期パッカー 2 2 4 は、バーストライト時に前記第 1、第 2、第 3 非同期メモリに入出力される前記ライトチャンネルデータに対するチャンネル圧縮をスレーブクロック C L K 2 によって制御する第 2 非同期パッキング制御器 2 7 を具備する。

【 0 0 6 2 】

前記第 1 及び第 2 非同期アンパッカー 2 4 2、2 4 4 は、前記非同期ブリッジ及びアップサイジングに共通で用いられ、リードチャンネルデータ A R、R をバッファリングする第 4 及び第 5 非同期メモリ 4 1、4 3 を共有する。第 1 非同期アンパッカー 2 4 2 は、バーストリード時に前記第 4 及び第 5 非同期メモリ 4 1、4 3 に入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記マスタクロック C L K 1 によって制御する第 1 非同期アンパッキング制御器 4 6 を具備する。第 2 非同期アンパッカー 2 4 4 は、バーストリード時に前記第 4 及び第 5 非同期メモリ 4 1、4 3 に入出力される前記リードチャンネルデータに対するチャンネル圧縮を前記スレーブクロック C L K 2 によって制御する第 2 非同期アンパッキング制御器 4 7 を具備する。

【 0 0 6 3 】

F I F O メモリとして各々構成され得る前記第 1、第 2、第 3 非同期メモリ 2 1、2 3、2 5 はライトバッファ 2 8 に含まれ、F I F O メモリとして各々構成され得る前記第 4 及び第 5 非同期メモリ 4 1、4 3 はリードバッファ 4 4 に含まれる。

【 0 0 6 4 】

前記マスタクロック C L K 1 はメモリコントローラから提供されるクロックであるか、または C P U のクロックであり得る。前記スレーブクロック C L K 2 は A X I バスクロックであり得る。

【 0 0 6 5 】

第 1 非同期メモリ 2 1 は前記第 1 非同期パッキング制御器 2 6 の制御に応答してライトアドレスチャンネル A W のアドレスを格納する。前記第 1 非同期メモリ 2 1 は前記第 2 非同期パッキング制御器 2 7 の制御に応答して格納されたライトアドレスチャンネル A W のアドレスを非同期ブリッジング及びアップサイジングしてバスマトリックス 3 0 0 に出力する。

【 0 0 6 6 】

第 2 非同期メモリ 2 3 は前記第 1 非同期パッキング制御器 2 6 の制御に応答してライトデータチャンネル W のデータを格納する。前記第 2 非同期メモリ 2 3 は前記第 2 非同期パッキング制御器 2 7 の制御に応答して格納されたライトデータチャンネル W のデータを非同期ブリッジング及びアップサイジングしてバスマトリックス 3 0 0 に出力する。

【 0 0 6 7 】

第 3 非同期メモリ 2 5 は前記第 2 非同期パッキング制御器 2 7 の制御に応答してライト

10

20

30

40

50

応答チャンネル B のデータを格納する。前記第 3 非同期メモリ 2 5 は前記第 1 非同期パッキング制御器 2 6 の制御にตอบสนองして格納されたライト応答チャンネル B のデータを非同期ブリッジング及びビット幅変換してスレーブインターフェース 1 0 0 に出力する。

【 0 0 6 8 】

第 4 非同期メモリ 4 1 は前記第 1 非同期アンパッキング制御器 4 6 の制御にตอบสนองしてリードアドレスチャンネル A R のアドレスを格納する。前記第 4 非同期メモリ 4 1 は前記第 2 非同期アンパッキング制御器 4 7 の制御にตอบสนองして格納されたリードアドレスチャンネル A R のアドレスを非同期ブリッジング及びアップサイジングしてバスマトリックス 3 0 0 に出力する。

【 0 0 6 9 】

第 5 非同期メモリ 4 3 は前記第 2 非同期アンパッキング制御器 4 7 の制御にตอบสนองしてリード応答チャンネル R のデータを格納する。前記第 5 非同期メモリ 4 3 は前記第 1 非同期アンパッキング制御器 4 6 の制御にตอบสนองして格納されたリード応答チャンネル R のデータを非同期ブリッジング及びビット幅変換してスレーブインターフェース 1 0 0 に出力する。

10

【 0 0 7 0 】

図 4 のような非同期統合アップサイザー 2 1 0 は、ライトバッファ 2 8 及びリードバッファ 4 4 を共有的に用いるので、ゲートカウントオーバーヘッドが減少する。

【 0 0 7 1 】

図 5 は、図 4 によるゲートカウント減少を示すテーブルである。図面で 1 (ライトデプス) と 2 (リードデプス) に示した水平方向の一番目セルの 5 2 1 4 (6 3 K) は図 4 によるゲートカウントである。これは図 3 のゲートカウント 9 7 7 3 9 (1 1 7 K) に比較して 4 7 % セービングされたカウントであることが分かる。また、2 番目セルでは 1 0 8 3 8 から 5 7 1 5 にゲートカウントが減少する。このように、ライトバッファ 2 8 及びリードバッファ 4 4 の共有的使用によってゲートカウントがセービングされる。

20

【 0 0 7 2 】

また、バーストライト (b u r s t w r i t e) 動作でチャンネルコンパクションを行う場合に、図 9 のように、マスタとスレーブとの間のクロック比とバーストの長さによる動作クロック調整テーブルに合わせて制御すれば、図 6 の P 1、P 2 タイミングで見られるように、レイテンシーが G 1、G 2 に比較して改善されるが、図 6 の P 3、P 4 タイミングで見られるようにバス活用性が G 3、G 4 より改善される。

30

【 0 0 7 3 】

図 6 は、図 4 によるレイテンシー及びバスユーティリティ最適化を示す動作タイミング図であり、図 7 は、図 4 によるマスタクロック及びスレーブクロック間の周波数比を各々示すテーブル図である。また、図 8 は、図 7 の周波数比とバースト長さとの間のクロック増減度を各々示すテーブル図であり、図 9 は、図 8 のテーブルをクロック増減の分布によって再構成したマップ図である。

【 0 0 7 4 】

まず、図 6 に示すように、タイミング波形 A 1 は A W リクエストを示し、A 2 は 6 4 ビット幅のライトデータである。A 3 は 1 2 8 ビット幅のライトデータである。例えば、マスタクロックとスレーブクロックの周波数が同一周波数の 2 0 0 M H z である場合には、バーストライト動作のために、A 4 のように A 1 に比較して A W リクエストが一定クロック数だけ遅延される。また、これによってアップサイザーから出力される 1 2 8 ビット幅のライトデータは A 5 のようになる。

40

【 0 0 7 5 】

一方、マスタクロックが 3 0 0 M H z であり、スレーブクロックが 2 0 0 M H z の場合には、バーストライト動作でのレイテンシーを良くするために、図 3 のようなアップサイザーの場合には G 1 のように A W リクエストが発生され、G 2 のように 1 2 8 ビット幅のライトデータが出力される。

【 0 0 7 6 】

50

反対に、マスタクロックが200MHzであり、スレーブクロックが300MHzの場合には、バーストライト動作でのバスユーティリティを良くするために、図3のようなアップサイザーの場合にはG3のようにAWリクエストが発生され、G4のように128ビット幅のライトデータが出力される。

【0077】

本発明の実施形態である図4のアップサイザーの場合にはレイテンシーが最適化されたアップサイジングのために、P1、P2のようなタイミングで示されるように、バーストライト動作時に、ライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ先行する。具体的には、マスタクロックが300MHzであり、スレーブクロックが200MHzの場合には、バーストライト動作でのレイテンシー (latency) を良くするために、図4のようなアップサイザーの場合にはP1のようにAWリクエストが発生され、P2のように128ビット幅のライトデータが出力される。タイミング波形P2はG2に比較して矢印AR1だけ先に出力されるデータであるので、レイテンシーがより改善されることが分かる。

【0078】

また、バス活用性が最適化されたアップサイジングが実行されるように、P3、P4のようなタイミングで示されるように、マスタクロックがスレーブクロックより周波数が低い場合には、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ後行する。具体的には、マスタクロックが200MHzであり、スレーブクロックが300MHzの場合にはバーストライト動作でのバスユーティリティを最適化するため、図4のようなアップサイザーの場合には、P3のようにAWリクエストが発生され、P4のようなタイミングで128ビット幅のライトデータが出力される。タイミング波形P4はG4に比較して2クロックだけ遅く出力されるが、タイム区間T1で出力されるので、バスユーティリティが改善されることが分かる。

【0079】

ライトチャンネルでのコンパクションを説明すれば、タイム区間T3に出力されたライトデータが、レイテンシーのためのチャンネルコンパクションの場合にはタイム区間T2に出力され、バスユーティリティのためのチャンネルコンパクションの場合にはタイム区間T3に出力されるので、各々減少した区間だけのコンパクションが行われる。

【0080】

ライトチャンネルに対するチャンネルコンパクションの場合に、レイテンシーのためにリクエストを繰り上げるか、またはバスユーティリティのためのリクエストのディレーの程度は図9に示すテーブルマップに依存する。

【0081】

図9に対する理解のためには、図7及び図8に対する理解が先行されなければならない。

【0082】

図7に示すように、横軸はマスタクロックを周波数の大きさの順序に示し、縦軸はスレーブクロックを周波数の大きさの順序に示す。nSからなる文字符号はナノ秒を意味し、対応する周波数の周期を示す。したがって、例えば300MHzは3.3nSの周期を有する。

【0083】

図7において、マスタクロック200MHzとスレーブクロック200MHzが互いにクロッシングする地点の数字1は周波数比を示す。したがって、マスタクロック300MHzとスレーブクロック200MHzが互いにクロッシングする地点には0.67が、マスタクロック200MHzとスレーブクロック300MHzが互いにクロッシングする地点には1.5が表示されている。したがって、頻繁に示す周波数比に対しては図8のように、バーストの長さによってテーブルを構成すれば、図8の通りである。

【0084】

前記周波数比 (またはクロック比) は図8で縦軸に沿って大きさの順序で表記している

10

20

30

40

50

。図 8 の横軸に表記した $AWLENs$ は AW の長さを示し、 $AWLENm - 1$ はバーストの長さを示す。

【0085】

図 8 に示すように、縦軸の 1 . 0 0 を基準として水平に行けば、1、2、1、2、3、2、3、4 . . . 8 が見られる。前記数字は $AWLENs$ から AW の長さを引いた値である。すなわち、 $1 - 0 = 1$ であり、 $2 - 0 = 2$ であり、 $2 - 1 = 1$ であり、最後の 8 は $16 - 8$ によって得られた値である。

【0086】

図 8 の数値テーブルにおいて、縦軸の 1 . 0 0 を基準として垂直上下で同じ数字同士分類すれば、図 9 のようなクロック増減の分布によって再構成したマップ (map) を得ることができる。図 9 において、例えば、“0”として表示された部分に対応する周波数比とバーストの長さに対してはリクエストを繰り上げるか、またはディレーする必要がある。また、“+1”として表示された部分に対応する場合にはバスユーティリティーのために 1 クロックだけディレーした後にリクエストを発生する。また、“-1”として表示された部分に対応する場合にはレイテンシーを良くするために 1 クロックだけ繰り上げた後にリクエストを発生する。また、例えば、“+4”として表示された部分に対応する場合にはバスユーティリティーのために 4 クロックだけディレーした後にリクエストを発生する。また、“-3”として表示された部分に対応する場合にはレイテンシーを良くするために 3 クロックだけ繰り上げた後にリクエストを発生する。

【0087】

このようにレイテンシー及びバスユーティリティーを最適化するチャンネルコンパクション動作は図 4 の第 1 及び第 2 非同期パッキング制御器 26、27 によって実行される。

【0088】

上述のように、本発明の実施形態によると、モバイルシステムで採用できる非同期ブリッジ及びアップサイザーでゲートカウントオーバーヘッドが減少し、かつチャンネルコンパクションがより効率的に実行される。

【0089】

図 10 は、本発明の実施形態による非同期統合アップサイジング回路を採用したモバイルシステムのブロック構成図である。

【0090】

図 10 に示すように、モバイルシステムは、L2 キャッシュを有する CPU 500 と、AXI バス BUS 1 を通じて接続されたメディアシステム 510 と、モデム 520 と、メモリコントローラ 410 と、ブート ROM 430 と、ディスプレイコントローラ 440 とを含む。前記メモリコントローラ 410 には DRAM またはフラッシュメモリなどのようなメモリ 420 が接続し、前記ディスプレイコントローラ 440 には LCD などのようなディスプレイ 450 が接続される。

【0091】

図 10 において、BUS 1 は CPU バスであり、BUS 2 はメモリバスである。前記 CPU 500 はレベル 2 (L2) キャッシュの以外にレベル 1 (L1) キャッシュを内部的に含むことができる。前記 L1 キャッシュは頻繁にアクセスされるデータ及び / または命令を格納するために用いられる。前記 L2 キャッシュメモリも L1 キャッシュのように、頻繁にアクセスされるデータ及び / または命令を格納することができる。

【0092】

図 10 のモバイルシステムはスマートフォン、個人用ナビゲーションデバイス、携帯インターネット器機、携帯放送器機、またはマルチメディア機器として機能することができる。

【0093】

図 10 のようなモバイルシステムにおいて、図 4 のような統合アップサイザー回路は前記 CPU 500 のブロックと前記 AXI バス BUS 1 との間に搭載される。

【0094】

10

20

30

40

50

この場合に、図４の第１クロックＣＬＫ１としてはＣＰＵクロックを用いることができ、前記第２クロックＣＬＫ２としては前記ＡＸＩバスのクロックを用いることができる。

【００９５】

図４の回路はライトチャンネルのコンパクション動作時に、前記第１クロックが前記第２クロックより周波数が高い場合には、周波数が同じ場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ先行し、前記第１クロックが前記第２クロックより周波数が低い場合には、周波数が同じ場合に比較して、バーストライト動作時にライトアドレスチャンネルのリクエストを予め設定されたクロックサイクル数だけ後行する動作を実行する。

【００９６】

上述のように、非同期統合アップサイジング回路構成によると、バッファの共有的使用によって回路の占有面積が減少し、回路実現費用が低減される。また、非同期バッカーでのチャンネル圧縮時にレイテンシーが最適化されか、またはバス活用性が最適化されることによって動作パフォーマンスが高くなる。

【００９７】

したがって、そのような非同期統合アップサイジング回路を図１０のようなＳｏＣに採用する場合に、データ処理システムの製造原価が低くなり、ＳｏＣの動作性能も高くなる。

【００９８】

本発明の実施形態においては、バッファの共有とチャンネルコンパクションを中心として説明したが、これに限定されず、ゲートカウントのオーバーヘッドやチャンネルコンパクションの非効率が発生するデータ処理システムの場合に、本発明の実施形態を拡張して適用することができることは勿論である。

【００９９】

本発明の実施形態が適用されるモバイルシステムで、プロセッサの個数は２個以上に拡張することができる。そのようなプロセッサはマイクロプロセッサ、ＣＰＵ、デジタル信号プロセッサ、マイクロコントローラ、縮小命令セットコンピュータ、複合命令セットコンピュータ、またはそれらと類似なものになることができる。

【０１００】

前記の説明では本発明の実施形態を中心として図に沿って例をあげて説明したが、本発明の技術的思想の範囲内で本発明を多様に変形または変更することができることは本発明が属する分野の当業者には明白である。例えば、事案が異なる場合に本発明の技術的思想を逸脱することなしに、バースト長さの変更やチャンネルコンパクションの細部動作を多様に変形または変更することができることは勿論である。

【符号の説明】

【０１０１】

１００ スレーブインターフェース、

２１０ アップサイザー、

３００ バスマトリックス、

２８ ライトバッファ。

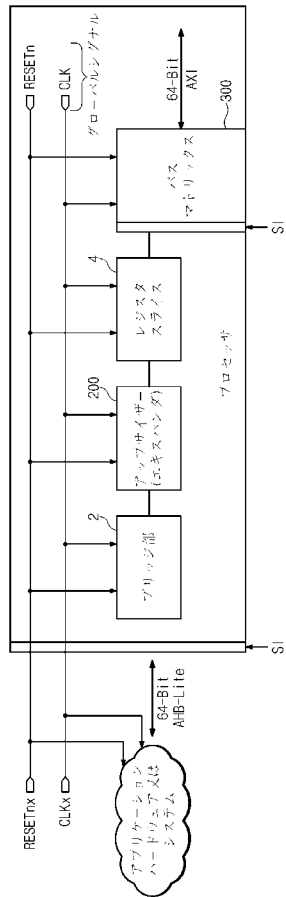
10

20

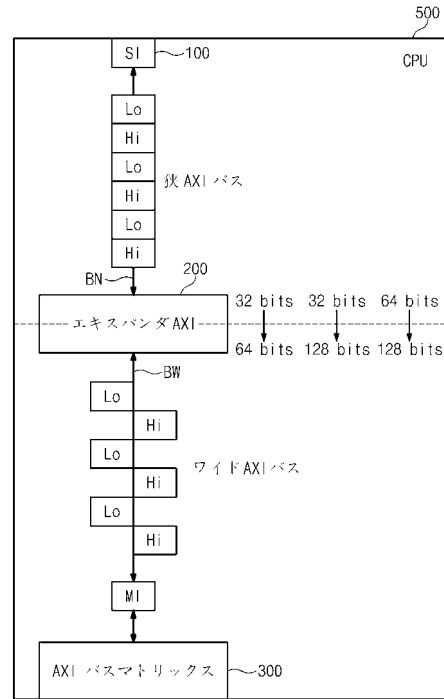
30

40

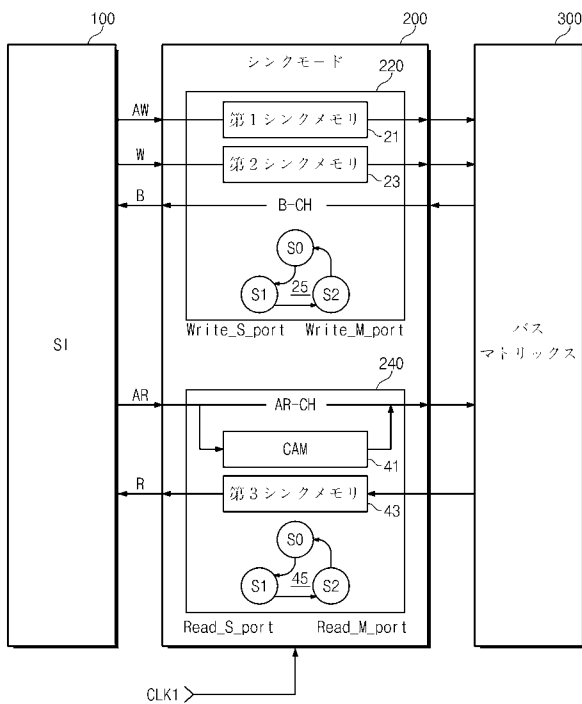
【図 1】



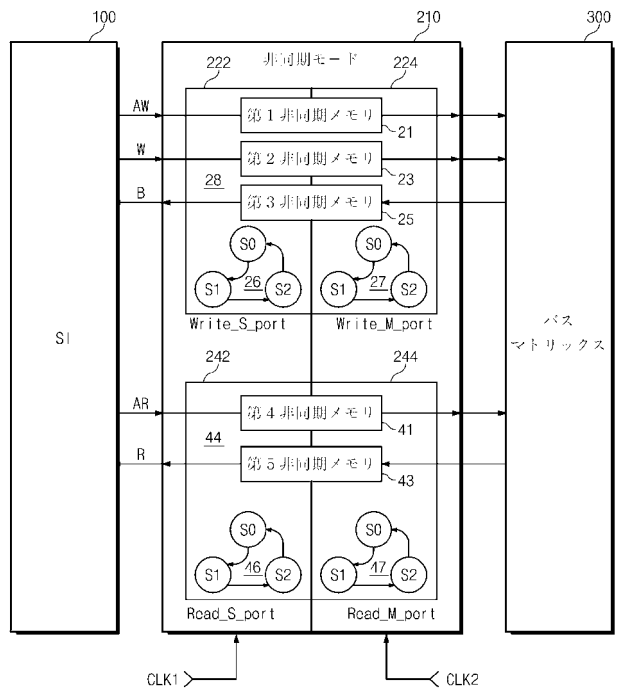
【図 2】



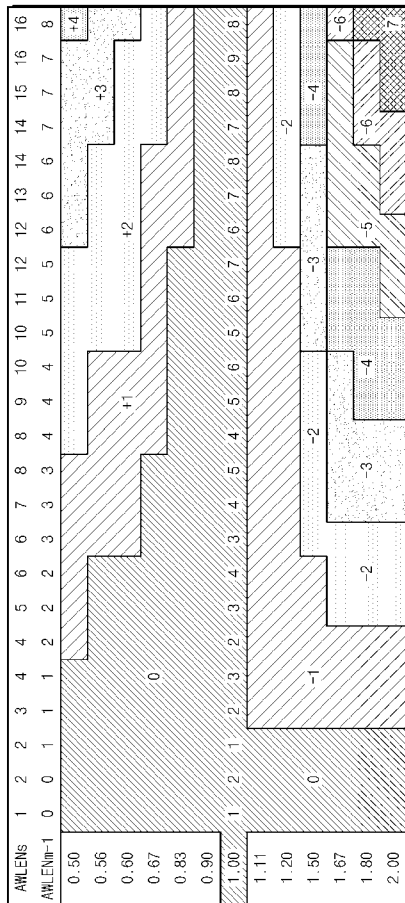
【図 3】



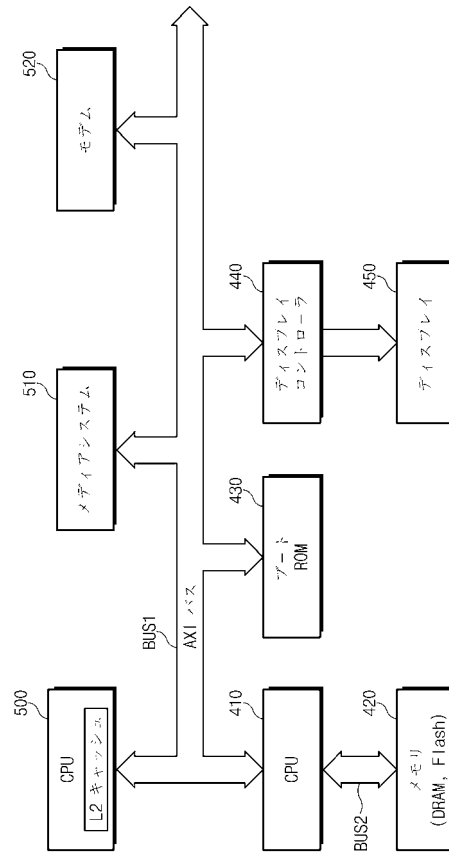
【図 4】



【 図 9 】



【 図 1 0 】



フロントページの続き

(72)発明者 嚴 濬 亨

大韓民国ソウル特別市瑞草区瑞草洞 メイフラワーメンバーズビル 8 0 3 号

(72)発明者 權 祐 徹

大韓民国京畿道水原市靈通区梅灘 1 洞 現代ホームタウンアパート 1 1 0 棟 1 8 0 1 号

(72)発明者 姜 賢 俊

大韓民国京畿道華城市石隅洞 5 3 番地 ウミリンブンギョンチェアパート 1 1 8 棟 1 5 0 2 号

(72)発明者 鄭 法 てつ

大韓民国京畿道龍仁市器興区農書洞山 2 4 番地 蘭草棟 3 1 9 号

F ターム(参考) 5B061 DD00 GG01

5B077 BA02 GG02 GG11 GG32

5K034 AA02 AA11 EE11 FF11 GG02 HH01 HH02 HH26 HH42