

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-10000
(P2017-10000A)

(43) 公開日 平成29年1月12日(2017.1.12)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/3225 (2016.01)	G09G 3/3225	3K107
G09G 3/20 (2006.01)	G09G 3/20 624B	5C080
G09G 3/30 (2006.01)	G09G 3/30 J	5C380
HO1L 51/50 (2006.01)	G09G 3/20 611H	
	G09G 3/20 642A	

審査請求 未請求 請求項の数 12 O L (全 79 頁) 最終頁に続く

(21) 出願番号 特願2016-77459 (P2016-77459)
 (22) 出願日 平成28年4月7日(2016.4.7)
 (31) 優先権主張番号 特願2015-81627 (P2015-81627)
 (32) 優先日 平成27年4月13日(2015.4.13)
 (33) 優先権主張国 日本国(JP)
 (31) 優先権主張番号 特願2015-134056 (P2015-134056)
 (32) 優先日 平成27年7月3日(2015.7.3)
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 三宅 博之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 3K107 AA01 BB01 BB04 BB06 BB08
 CC33 EE04 FF15 HH02 HH05
 5C080 AA06 AA07 BB05 CC03 DD05
 DD23 DD24 DD25 DD26 DD27
 DD29 EE01 EE25 EE29 FF03
 FF11 HH09 JJ02 JJ03 JJ04
 JJ05 JJ06 KK04 KK07 KK23
 KK34 KK43 KK50

最終頁に続く

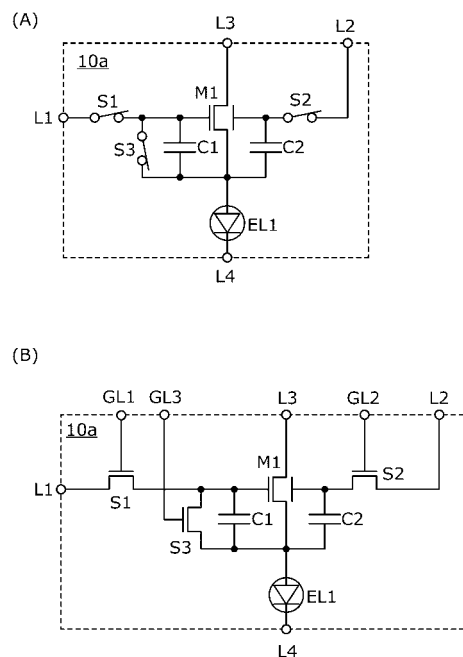
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】画素間の輝度のばらつきが抑えられた表示装置を提供する。

【解決手段】トランジスタと、第1乃至第3のスイッチと、第1及び第2の容量素子と、発光素子と、第1乃至第4の配線と、を有する表示装置である。トランジスタは第1のゲート及び第2のゲートを有する。第1のゲートは第1のスイッチを介して第1の配線に接続され、トランジスタの第1端子は第3の配線に接続され、トランジスタの第2端子は第3のスイッチを介して第1のゲートに接続され、第2のゲートは第2のスイッチを介して第2の配線に接続される。発光素子の陽極はトランジスタの第2端子に接続され、発光素子の陰極は第4の配線に接続される。第1の容量素子は第1のゲートとトランジスタの第2端子との間の容量を保持する。第2の容量素子は第2のゲートとトランジスタの第2端子との間の容量を保持する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

トランジスタと、
 第 1 乃至第 3 のスイッチと、
 第 1 及び第 2 の容量素子と、
 発光素子と、
 第 1 乃至第 4 の配線と、を有し、
 前記トランジスタは第 1 のゲート及び第 2 のゲートを有し、
 前記第 1 のゲートと第 2 のゲートとは、前記トランジスタのチャンネル形成領域を間に介して互いに重なる領域を有し、
 前記第 1 のゲートは、前記第 1 のスイッチを介して、前記第 1 の配線に電氣的に接続され、
 前記トランジスタの第 1 端子は、前記第 3 の配線に電氣的に接続され、
 前記トランジスタの第 2 端子は、前記第 3 のスイッチを介して前記第 1 のゲートに電氣的に接続され、
 前記第 2 のゲートは、前記第 2 のスイッチを介して、前記第 2 の配線に電氣的に接続され、
 前記発光素子の第 1 端子は、前記トランジスタの第 2 端子に電氣的に接続され、
 前記発光素子の第 2 端子は、前記第 4 の配線に電氣的に接続され、
 前記第 1 の容量素子の第 1 端子は、前記第 1 のゲートに電氣的に接続され、
 前記第 1 の容量素子の第 2 端子は、前記トランジスタの第 2 端子に電氣的に接続され、
 前記第 2 の容量素子の第 1 端子は、前記第 2 のゲートに電氣的に接続され、
 前記第 2 の容量素子の第 2 端子は、前記トランジスタの第 2 端子に電氣的に接続されることを特徴とする表示装置。

10

20

30

40

50

【請求項 2】

請求項 1 において、
 前記トランジスタは n チャンネル型トランジスタであることを特徴とする表示装置。

【請求項 3】

請求項 1 または請求項 2 において、
 前記チャンネル形成領域は酸化物半導体を有することを特徴とする表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、
 前記発光素子は陽極、陰極および EL 層を有することを特徴とする表示装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、
 前記第 1 乃至前記第 3 のスイッチはトランジスタであることを特徴とする表示装置。

【請求項 6】

請求項 1 乃至請求項 4 のいずれか一項において、
 前記第 1 乃至前記第 3 のスイッチは、チャンネル形成領域に酸化物半導体を有するトランジスタであることを特徴とする表示装置。

【請求項 7】

トランジスタと、
 第 1 及び第 2 のスイッチと、
 第 1 及び第 2 の容量素子と、
 発光素子と、
 第 1 乃至第 4 の配線と、を有し、
 前記トランジスタは第 1 のゲート及び第 2 のゲートを有し、
 前記第 1 のゲートと第 2 のゲートとは、前記トランジスタのチャンネル形成領域を間に介して互いに重なる領域を有し、
 前記第 1 のゲートは、前記第 1 のスイッチを介して、前記第 1 の配線に電氣的に接続され

、
前記トランジスタの第 1 端子は、前記第 3 の配線に電氣的に接続され、
前記第 2 のゲートは、前記第 2 のスイッチを介して、前記第 2 の配線に電氣的に接続され

、
前記発光素子の第 1 端子は、前記トランジスタの第 2 端子に電氣的に接続され、
前記発光素子の第 2 端子は、前記第 4 の配線に電氣的に接続され、
前記第 1 の容量素子の第 1 端子は、前記第 1 のゲートに電氣的に接続され、
前記第 1 の容量素子の第 2 端子は、前記トランジスタの第 2 端子に電氣的に接続され、
前記第 2 の容量素子の第 1 端子は、前記第 2 のゲートに電氣的に接続され、
前記第 2 の容量素子の第 2 端子は、前記トランジスタの第 2 端子に電氣的に接続されるこ
とを特徴とする表示装置。

【請求項 8】

請求項 7 において、
前記トランジスタは n チャンネル型トランジスタであることを特徴とする表示装置。

【請求項 9】

請求項 7 または請求項 8 において、
前記チャンネル形成領域は酸化物半導体を有することを特徴とする表示装置。

【請求項 10】

請求項 7 乃至請求項 9 のいずれか一項において、
前記発光素子は陽極、陰極および EL 層を有することを特徴とする表示装置。

【請求項 11】

請求項 7 乃至請求項 10 のいずれか一項において、
前記第 1 および前記第 2 のスイッチはトランジスタであることを特徴とする表示装置。

【請求項 12】

請求項 7 乃至請求項 10 のいずれか一項において、
前記第 1 および前記第 2 のスイッチは、チャンネル形成領域に酸化物半導体を有するトラ
ンジスタであることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、表示装置に関する。

【0002】

本発明は、物、方法、又は製造方法に関する。又は、本発明は、プロセス、マシン、マニ
ュファクチャ、又は組成物（コンポジション・オブ・マター）に関する。また、本発明の
一態様は、半導体装置、発光装置、蓄電装置、記憶装置、それらの駆動方法又はそれらの
製造方法に関する。特に、本発明の一態様は、酸化物半導体を含む半導体装置、表示装置
、又は発光装置に関する。

【0003】

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置
全般を指す。表示装置、電気光学装置、半導体回路及び電子機器は、半導体装置を有する
場合がある。

【背景技術】

【0004】

発光素子を用いたアクティブマトリクス型の表示装置は、具体的に提案されている構成が
メーカーによって異なるが、通常、少なくとも発光素子と、画素へのビデオ信号の入力を
制御するトランジスタ（スイッチング用トランジスタ）と、該発光素子に供給する電流値
を制御するトランジスタ（駆動用トランジスタ）が各画素に設けられている。

【0005】

そして、画素に設ける上記トランジスタをすべて同じ極性とするこで、トランジスタの
作製工程において、半導体膜に一導電性を付与する不純物元素の添加などの工程を、一部

10

20

30

40

50

省略することができる。下記の特許文献 1 には、n チャンネル型トランジスタのみで画素が構成されている発光素子型ディスプレイについて、記載されている。

【0006】

発光素子を用いたアクティブマトリクス型の表示装置は、画像信号に従って発光素子に供給する電流値を制御するトランジスタ（駆動用トランジスタ）の閾値電圧のばらつきが、発光素子の輝度に反映されやすい。上記閾値電圧のばらつきが発光素子の輝度に与える影響を防ぐための回路構成が、下記の特許文献 2 に記載されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献 1】特開 2003 - 195810 号公報

【特許文献 2】特開 2013 - 137498 号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

駆動用トランジスタの閾値電圧を補正することができる画素は、構成するトランジスタの数が多く、高精細化が難しい。例えば、特許文献 2 に記載の回路構成は、5 つのトランジスタで一つの画素が構成されている。

【0009】

上述した技術的背景のもと、本発明の一態様は、駆動用トランジスタの閾値電圧のばらつきによる画素間の輝度のばらつきが抑えられる、表示装置の提供を課題の一つとする。

【0010】

また、本発明の一態様は、新規な表示装置を提供すること、または、新規な半導体装置を提供することを課題の一とする。

【0011】

なお、複数の課題の記載は、互いの課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全て解決する必要はない。また、列記した以外の課題が、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、これらの課題も、本発明の一形態の課題となり得る。

【課題を解決するための手段】

【0012】

本発明の一態様は、トランジスタと、第 1 乃至第 3 のスイッチと、第 1 及び第 2 の容量素子と、発光素子と、第 1 乃至第 4 の配線と、を有する表示装置である。トランジスタは第 1 のゲート及び第 2 のゲートを有する。第 1 のゲートと第 2 のゲートとは、トランジスタのチャンネル形成領域を間に介して互いに重なる領域を有する。第 1 のゲートは、第 1 のスイッチを介して、第 1 の配線に電氣的に接続される。トランジスタの第 1 端子は、第 3 の配線に電氣的に接続される。トランジスタの第 2 端子は、第 3 のスイッチを介して第 1 のゲートに電氣的に接続される。第 2 のゲートは、第 2 のスイッチを介して、第 2 の配線に電氣的に接続される。発光素子の第 1 端子は、トランジスタの第 2 端子に電氣的に接続される。発光素子の第 2 端子は、第 4 の配線に電氣的に接続される。第 1 の容量素子の第 1 端子は、第 1 のゲートに電氣的に接続される。第 1 の容量素子の第 2 端子は、トランジスタの第 2 端子に電氣的に接続される。第 2 の容量素子の第 1 端子は、第 2 のゲートに電氣的に接続される。第 2 の容量素子の第 2 端子は、トランジスタの第 2 端子に電氣的に接続される。

【0013】

上記態様において、トランジスタは n チャンネル型トランジスタが好ましい。

【0014】

上記態様において、チャンネル形成領域は酸化物半導体を有することが好ましい。

【0015】

上記態様において、発光素子は陽極、陰極および EL 層を有することが好ましい。

10

20

30

40

50

【0016】

上記態様において、第1乃至第3のスイッチはトランジスタであることが好ましい。

【0017】

上記態様において、第1乃至第3のスイッチは、チャンネル形成領域に酸化物半導体を有するトランジスタであることが好ましい。

【0018】

本発明の一態様は、トランジスタと、第1及び第2のスイッチと、第1及び第2の容量素子と、発光素子と、第1乃至第4の配線と、を有する表示装置である。トランジスタは第1のゲート及び第2のゲートを有する。第1のゲートと第2のゲートとは、トランジスタのチャンネル形成領域を間に介して互いに重なる領域を有する。第1のゲートは、第1のスイッチを介して、第1の配線に電氣的に接続される。トランジスタの第1端子は、第3の配線に電氣的に接続される。第2のゲートは、第2のスイッチを介して、第2の配線に電氣的に接続される。発光素子の第1端子は、トランジスタの第2端子に電氣的に接続される。発光素子の第2端子は、第4の配線に電氣的に接続される。第1の容量素子の第1端子は、第1のゲートに電氣的に接続される。第1の容量素子の第2端子は、トランジスタの第2端子に電氣的に接続される。第2の容量素子の第1端子は、第2のゲートに電氣的に接続される。第2の容量素子の第2端子は、トランジスタの第2端子に電氣的に接続される。

10

【0019】

上記態様において、トランジスタはnチャンネル型トランジスタが好ましい。

20

【0020】

上記態様において、チャンネル形成領域は酸化物半導体を有することが好ましい。

【0021】

上記態様において、発光素子は陽極、陰極およびEL層を有することが好ましい。

【0022】

上記態様において、第1乃至第3のスイッチはトランジスタであることが好ましい。

【0023】

上記態様において、第1乃至第3のスイッチは、チャンネル形成領域に酸化物半導体を有するトランジスタであることが好ましい。

【発明の効果】

30

【0024】

本発明の一態様により、駆動用トランジスタの閾値電圧のばらつきによる画素間の輝度のばらつきが抑えられる、表示装置の提供が可能になる。

【0025】

本発明の一態様により、新規な表示装置を提供すること、または、新規な半導体装置を提供することが可能になる。

【0026】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

40

【図面の簡単な説明】

【0027】

【図1】画素の構成例を示す回路図。

【図2】画素の動作例を示すタイミングチャート。

【図3】画素の動作例を説明するための回路図。

【図4】 V_{BGs} と V_{th} の関係を示すグラフ。

【図5】画素の構成例を示す回路図。

【図6】画素の動作例を示すタイミングチャート。

【図7】画素の動作例を説明するための回路図。

50

- 【図 8】 V_{BGS} と V_{th} の関係を示すグラフ。
- 【図 9】 画素の構成例を示す回路図。
- 【図 10】 画素の構成例を示す回路図。
- 【図 11】 画素部の構成例を示す回路図。
- 【図 12】 画素の構成例を示す回路図。
- 【図 13】 画素部と選択回路の構成例を示す回路図。
- 【図 14】 トランジスタの構成例を示す上面図。
- 【図 15】 トランジスタの構成例を示す断面図。
- 【図 16】 トランジスタの構成例を示す上面図。
- 【図 17】 トランジスタの構成例を示す断面図。 10
- 【図 18】 トランジスタの構成例を示す上面図。
- 【図 19】 トランジスタの構成例を示す断面図。
- 【図 20】 トランジスタの構成例を示す断面図。
- 【図 21】 トランジスタの構成例を示す上面図および断面図。
- 【図 22】 トランジスタの構成例を示す上面図および断面図。
- 【図 23】 トランジスタの構成例を示す上面図および断面図。
- 【図 24】 トランジスタの作製方法を示す断面図。
- 【図 25】 トランジスタの作製方法を示す断面図。
- 【図 26】 トランジスタの作製方法を示す断面図。
- 【図 27】 トランジスタの作製方法を示す断面図。 20
- 【図 28】 トランジスタの作製方法を示す断面図。
- 【図 29】 トランジスタの作製方法を示す断面図。
- 【図 30】 タッチパネルの構成例を示す斜視図。
- 【図 31】 表示装置の構成例を示す断面図。
- 【図 32】 タッチセンサの構成例を示す断面図。
- 【図 33】 タッチパネルの構成例を示す断面図。
- 【図 34】 タッチパネルの駆動方法を説明するための回路図およびタイミングチャート。
- 【図 35】 タッチセンサの構成例を示す回路図。
- 【図 36】 表示装置の構成例を示す斜視図。
- 【図 37】 電子機器の構成例を示す図。 30
- 【図 38】 画素の構成例を示す回路図。
- 【図 39】 画素の構成例を示す回路図。
- 【図 40】 画素の構成例を示す回路図。
- 【図 41】 画素の構成例を示す回路図。
- 【図 42】 画素の構成例を示す回路図。
- 【図 43】 画素の構成例を示す回路図。
- 【図 44】 試作したトランジスタの $I_{DS} - V_{GS}$ 特性および $V_{th} - V_{BGS}$ 特性を示すグラフ。
- 【図 45】 試作した表示装置の画素の回路図およびその動作を示すタイミングチャート。
- 【図 46】 画素の構成例を示す回路図およびその動作例を示すタイミングチャート。 40
- 【図 47】 表示装置の構成例を示す断面図。
- 【図 48】 トランジスタの特性を示す図。
- 【図 49】 トランジスタの特性を示す図。
- 【図 50】 試作した表示装置の表示写真を示す図。
- 【図 51】 試作した表示装置の特性を示す図。
- 【図 52】 試作した表示装置の特性を示す図。
- 【発明を実施するための形態】
- 【0028】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及 50

び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0029】

また、本明細書は、以下の実施の形態および実施例を適宜組み合わせることが可能である。また、1つの実施の形態や実施例の中に、複数の構成例が示される場合は、互い構成例を適宜組み合わせることが可能である。

【0030】

また、図面において、大きさ、層の厚さ、または領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。

10

【0031】

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソースまたはドレインの一方」（又は第1電極、又は第1端子）と表記し、ソースとドレインとの他方を「ソースまたはドレインの他方」（又は第2電極、又は第2端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

【0032】

本明細書において、特に断りがない場合、オン電流とは、トランジスタがオン状態にあるときのドレイン電流をいう。オン状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧差（ V_{GS} ）がトランジスタの閾値電圧（ V_{th} ）より高い状態、pチャネル型トランジスタでは、 V_{GS} が V_{th} より低い状態をいう。例えば、nチャネル型のトランジスタのオン電流とは、 V_{GS} が V_{th} より高いときのドレイン電流を言う場合がある。また、トランジスタのオン電流は、ドレインとソースの間の電圧（ V_{DS} ）に依存する場合がある。

20

【0033】

本明細書において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、 V_{GS} が V_{th} 以下の状態、pチャネル型トランジスタでは、 V_{GS} が V_{th} 以上の状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、 V_{GS} が V_{th} 以下のドレイン電流を言う場合がある。トランジスタのオフ電流は、 V_{GS} に依存する場合がある。従って、トランジスタのオフ電流が 10^{-21} A未満である、とは、トランジスタのオフ電流が 10^{-21} A未満となる V_{GS} の値が存在することを言う場合がある。

30

【0034】

また、トランジスタのオフ電流は、 V_{DS} に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 V_{DS} の絶対値が0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、または20Vにおけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等において使用される V_{DS} におけるオフ電流、を表す場合がある。

40

【0035】

なお、本明細書中において、高電源電圧をHレベル（又は V_{DD} ）、低電源電圧をLレベル（又はGND）と呼ぶ場合がある。

【0036】

（実施の形態1）

本実施の形態では、本発明の一態様である、表示装置の構成例について説明を行う。

【0037】

画素10aの構成例

図1(A)に、本発明の一態様に係る表示装置が有する画素10aの構成例を示す。図1

50

(A)に示す画素10aは、トランジスタM1と、スイッチS1と、スイッチS2と、スイッチS3と、容量素子C1と、容量素子C2と、発光素子EL1とを有する。

【0038】

また、画素10aは、配線L1と、配線L2と、配線L3及び配線L4に電氣的に接続されている。

【0039】

トランジスタM1は、第1ゲート及び第2ゲートを有する。第1ゲートは通常のトランジスタのゲートとして機能する。第1ゲートと第2ゲートとは、トランジスタM1のチャネル形成領域を間に介して、互いに重なる領域を有する。

【0040】

なお、スイッチS1乃至S3は、トランジスタを単数または複数用いて、それぞれ構成することができる。或いは、スイッチS1乃至S3は、単数または複数のトランジスタに加えて、容量素子を用いても良い。

【0041】

トランジスタM1の第1ゲートは、スイッチS1を介して、配線L1に電氣的に接続される。トランジスタM1の第1端子は、配線L3に電氣的に接続される。トランジスタM1の第2端子は、スイッチS3を介して、トランジスタM1の第1ゲートに電氣的に接続される。トランジスタM1の第2ゲートは、スイッチS2を介して、配線L2に電氣的に接続される。

【0042】

発光素子EL1は、LED(Light Emitting Diode)やOLED(Organic Light Emitting Diode)などの、電流または電圧によって輝度が制御される素子とその範疇に含んでいる。例えば、OLEDは、EL(Electroluminescence)層と、陽極と、陰極とを少なくとも有している。EL層は陽極と陰極の間に設けられた単層または複数の層で構成されており、これらの層の中に、発光性の物質を含む発光層を少なくとも含んでいる。EL層は、陰極と陽極間の電位差が、発光素子EL1の閾値電圧 V_{EL} 以上になったときに供給される電流により、エレクトロルミネッセンスが得られる。エレクトロルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とが含まれる。

【0043】

また、発光素子EL1が有する陽極及び陰極は、いずれか一方が画素電極として機能し、他方が共通電極として機能する。図1(A)では、発光素子EL1の陽極を画素電極として用い、発光素子EL1の陰極を共通電極として用いた画素10aの構成を例示している。

【0044】

発光素子EL1の第1端子(陽極)は、トランジスタM1の第2端子に電氣的に接続される。発光素子EL1の第2端子(陰極)は、配線L4に電氣的に接続される。

【0045】

容量素子C1の第1端子は、トランジスタM1の第1ゲートに電氣的に接続され、容量素子C1の第2端子は、トランジスタM1の第2端子に電氣的に接続される。容量素子C2の第1端子は、トランジスタM1の第2ゲートに電氣的に接続され、容量素子C2の第2端子は、トランジスタM1の第2端子に電氣的に接続される。

【0046】

配線L1は、画素10aに画像信号を供給する機能を有する。

【0047】

図1(A)では、トランジスタM1がnチャネル型である場合を例示している。配線L3に高電位が与えられ、配線L4に低電位が与えられると、スイッチS1を介して与えられる画像信号に従ってトランジスタM1のドレイン電流の値が定まる。上記ドレイン電流が発光素子EL1に供給されることで、発光素子EL1は発光の状態となる。

10

20

30

40

50

【0048】

そして、本発明の一態様では、画像信号に従ってトランジスタM1のドレイン電流の値を定める前に、トランジスタM1の第2端子と、第2ゲートとの間の電位差を制御することで、トランジスタM1の閾値電圧を補正し、画素10a間で閾値電圧にばらつきが生じるのを防ぐ。

【0049】

図1(B)に、画素10aのより具体的な構成例を示す。図1(B)は、図1(A)のスイッチS1乃至スイッチS3をnチャンネル型トランジスタに置き換えた場合の回路図を示している。スイッチS1のゲートは、配線GL1に電氣的に接続され、スイッチS2のゲートは、配線GL2に電氣的に接続され、スイッチS3のゲートは、配線GL3に電氣的に接続される。配線GL1乃至GL3にHレベルが与えられると、スイッチS1乃至S3はそれぞれオン状態になり、配線GL1乃至GL3にLレベルが与えられると、スイッチS1乃至S3はそれぞれオフ状態になる。

10

【0050】

画素10aの動作例

次に、画素10aの動作の一例について、図2乃至図4を用いて説明を行う。

【0051】

図2に、配線L1に与えられる電位 V_{DATA} と、配線GL1乃至配線GL3に与えられる電位と、配線L3に与えられる電位のタイミングチャートを示す。図2に示すタイミングチャートは、期間P1乃至P5に分割される。また、図3(A)は期間P1における画素10aの状態を、図3(B)は期間P2における画素10aの状態を、図3(C)は期間P4における画素10aの状態を、それぞれ模式的に示したものである。なお、図3(A)乃至(C)では、画素10aの動作を分かりやすく示すために、スイッチS1乃至S3を、スイッチとして図示している。

20

【0052】

また、図3(A)乃至(C)では、トランジスタM1の第1ゲートと、容量素子C1の第1端子との結節点をノードN1と示し、トランジスタM1の第2ゲートと、容量素子C2の第1端子との結節点をノードN2と示し、トランジスタM1の第2端子と、容量素子C1の第2端子と、容量素子C2の第2端子と、発光素子EL1の第1端子との結節点をノードN3と示している。

30

【0053】

なお、以降の説明では、トランジスタM1の第1ゲートと第2端子間の電位差(ノードN1とノードN3との電位差)を V_{GS} と表し、トランジスタM1の第2ゲートと第2端子間の電位差(ノードN2とノードN3との電位差)を V_{BGS} と表す。また、トランジスタM1の閾値電圧を V_{th} と表す。また、発光素子EL1の閾値電圧を V_{EL} と表す。

【0054】

まず、期間P1では画素10aの初期化を行う。配線GL1にLレベルが与えられ、配線GL2にHレベルが与えられ、配線GL3にHレベルが与えられる。スイッチS2及びスイッチS3はオンになり、スイッチS1はオフとなる(図3(A))。

【0055】

このとき、ノードN1とノードN3は等電位になり、 V_{GS} は0Vになる。また、配線L3にはLレベルの電位 V_L が、配線L2には電位 V_0 が、配線L4には電位 V_{CAT} が、それぞれ与えられる。また、ノードN2には V_0 が与えられる。 V_0 はノードN3の電位に対して十分高いことが望ましい。

40

【0056】

ここで、 V_{BGS} と V_{th} の関係について、図4を用いて説明を行う。図4はトランジスタM1の V_{th} の V_{BGS} 依存性を示している。 V_{BGS} が大きいほど、 V_{th} はマイナスにシフトすることがわかる。期間P1における V_{BGS} を V_{BGS1} とし、同じく期間P1における V_{th} を V_{th1} とする。 V_{th1} は負の値をとるため、 V_{GS} が0Vにおいて、トランジスタM1はオン状態をとる。

50

【0057】

次に、期間P2において、トランジスタM1の V_{th} を0Vに固定する。配線GL1及び配線GL3にLレベルが与えられ、配線GL2にHレベルが与えられる。スイッチS1及びスイッチS3はオフになり、スイッチS2はオンとなる(図3(B))。また、配線L3に電位 V_{ANO} が与えられる。なお、 V_{ANO} は V_{CAT} に V_{EL} を足し合わせた電圧よりも高いことが好ましい。

【0058】

配線L3に V_{ANO} が与えられることで、トランジスタM1に電流が流れ、ノードN3の電位が上昇する。ノードN3の電位が上昇するにつれて、 V_{BGS} は小さくなり、図4より、トランジスタM1の V_{th} は V_{th1} からプラスシフトする。容量素子C1により、 V_{GS} は0Vに保たれているため、 $V_{th} = 0V$ のとき(図4において、 $V_{BGS} = V_{BGS2}$ のとき)、 $V_{GS} = V_{th}$ となり、トランジスタM1はオフ状態になる。このときの V_{BGS} の値(V_{BGS2})を容量素子C2に保持することで、トランジスタM1の V_{th} を0Vに固定することが可能になる。なお、 $V_{th} = 0V$ が得られたときのノードN3の電位を V_1 とする。

10

【0059】

次に、期間P4において、画素10aはデータの書き込みを行う。配線GL1にHレベルが与えられ、配線GL2及び配線GL3にLレベルが与えられる。スイッチS1はオンになり、スイッチS2及びスイッチS3はオフになる。スイッチS1を介して、ノードN1には V_{DATA} が与えられる(図3(C))。

20

【0060】

トランジスタM1は、 $V_{GS} - V_{th}$ に応じた電流を流すが、期間P2において、トランジスタM1の V_{th} は0Vの状態に補正されているので、トランジスタM1は $V_{GS} = V_{DATA} - V_1$ に依存した電流が流れる。つまり、発光素子EL1は、トランジスタM1の V_{th} に依存しない発光を得ることが可能になる。

【0061】

トランジスタM1は、チャネル形成領域に、非晶質シリコン、多結晶シリコン、結晶シリコン、酸化物半導体(OS: Oxide Semiconductor)、有機半導体などを有することが好ましい。特に、チャネル形成領域にOSを有するトランジスタ(以下、OSTランジスタ)は、製造工程による素子ごとのばらつきが少なく好ましい。

30

【0062】

スイッチS1乃至S3は、例えばオフ電流が低いトランジスタを用いることが好ましい。ここで、オフ電流が低いとは、室温において、ソースとドレインとの間の電圧を3Vとし、チャネル幅 $1\mu\text{m}$ あたりの規格化されたオフ電流が $10 \times 10^{-21}\text{A}$ 以下であることをいう。スイッチS1乃至S3にオフ電流が低いトランジスタを用いることで、入力された画像情報を画素に保持し続けることが可能になり、静止画像を表示し続ける限りにおいて、画像情報の書き換え頻度を減らし、表示装置の省電力化を図ることが可能になる。

【0063】

オフ電流が低いトランジスタとしては、OSTランジスタや、チャネル形成領域にワイドバンドギャップ半導体(バンドギャップが 2.2eV 以上の半導体、例えば、炭化ケイ素、窒化ガリウム、ダイヤモンドなど)を用いたトランジスタが挙げられる。

40

【0064】

上述した画素10aを表示装置に用いることで、画素間の輝度のばらつきが抑えられた表示装置を提供することが可能になる。

【0065】

画素10bの構成例

図5(A)に、本発明の一態様に係る表示装置が有する画素10bの構成例を示す。図5(A)に示す画素10bは、トランジスタM1と、スイッチS1と、スイッチS2と、容量素子C1と、容量素子C2と、発光素子EL1とを有する。また、画素10bは、配線L1と、配線L2と、配線L3及び配線L4に電氣的に接続されている。

50

【 0 0 6 6 】

トランジスタM 1は、第1ゲート及び第2ゲートを有する。第1ゲートは通常のトランジスタのゲートとして機能する。第1ゲートと第2ゲートとは、トランジスタM 1のチャネル形成領域を間に介して、互いに重なる領域を有する。

【 0 0 6 7 】

画素10bにおいて、トランジスタM 1の第1ゲートは、スイッチS 1を介して、配線L 1に電氣的に接続される。トランジスタM 1の第1端子は、配線L 3に電氣的に接続される。トランジスタM 1の第2ゲートは、スイッチS 2を介して、配線L 2に電氣的に接続される。

【 0 0 6 8 】

発光素子E L 1の第1端子(陽極)は、トランジスタM 1の第2端子に電氣的に接続される。発光素子E L 1の第2端子(陰極)は、配線L 4に電氣的に接続される。

【 0 0 6 9 】

容量素子C 1の第1端子は、トランジスタM 1の第1ゲートに電氣的に接続され、容量素子C 1の第2端子は、トランジスタM 1の第2端子に電氣的に接続される。容量素子C 2の第1端子は、トランジスタM 1の第2ゲートに電氣的に接続され、容量素子C 2の第2端子は、トランジスタM 1の第2端子に電氣的に接続される。

【 0 0 7 0 】

画素10bは、スイッチS 3を有さない点で、図1に示す画素10aと異なる。その他の構成は、画素10aと同一であり、画素10aの記載を参酌すればよい。

【 0 0 7 1 】

図5(B)に、画素10bのより具体的な構成例を示す。図5(B)は、図5(A)のスイッチS 1乃至スイッチS 2をnチャネル型トランジスタに置き換えた場合の回路図を示している。スイッチS 1のゲートは、配線G L 1に電氣的に接続され、スイッチS 2のゲートは、配線G L 2に電氣的に接続される。配線G L 1及び配線G L 2にHレベルが与えられると、スイッチS 1及びスイッチS 2はそれぞれオン状態になり、配線G L 1及び配線G L 2にLレベルが与えられると、スイッチS 1及びスイッチS 2はそれぞれオフ状態になる。

【 0 0 7 2 】

画素10bの動作例

次に、画素10bの動作の一例について、図6乃至図8を用いて説明を行う。

【 0 0 7 3 】

図6に、配線L 1に与えられる電位 V_{DATA} と、配線G L 1及び配線G L 2に与えられる電位と、配線L 3に与えられる電位のタイミングチャートを示す。図6に示すタイミングチャートは、期間P 1乃至P 5に分割される。また、図7(A)は期間P 1における画素10bの状態を、図7(B)は期間P 2における画素10bの状態を、図7(C)は期間P 4における画素10bの状態を、それぞれ模式的に示したものである。なお、図7(A)乃至(C)では、画素10bの動作を分かりやすく示すために、スイッチS 1及びスイッチS 2を、スイッチとして図示している。

【 0 0 7 4 】

また、図7(A)乃至(C)では、トランジスタM 1の第1ゲートと、容量素子C 1の第1端子との結節点をノードN 1と示し、トランジスタM 1の第2ゲートと、容量素子C 2の第1端子との結節点をノードN 2と示し、トランジスタM 1の第2端子と、容量素子C 1の第2端子と、容量素子C 2の第2端子と、発光素子E L 1の第1端子との結節点をノードN 3と示している。

【 0 0 7 5 】

なお、以降の説明では、トランジスタM 1の第1ゲートと第2端子間の電位差(ノードN 1とノードN 3との電位差)を V_{GS} と表し、トランジスタM 1の第2ゲートと第2端子間の電位差(ノードN 2とノードN 3との電位差)を $V_{BG S}$ と表す。また、トランジスタM 1の閾値電圧を V_{th} と表す。また、発光素子E L 1の閾値電圧を V_{EL} と表す。

10

20

30

40

50

【0076】

まず、期間P1では画素10bの初期化を行う。配線GL1及び配線GL2にHレベルが与えられる。スイッチS1及びスイッチS2はオンになる(図7(A))。

【0077】

また、配線L2には電位 V_0 が、配線L3にはLレベルの電位 V_L が、配線L4には電位 V_{CAT} が、それぞれ与えられる。このとき、ノードN1は任意の固定電位(V_{DATA})が与えられ、 $V_{GS} = V_{GS0}$ となる。また、ノードN2には V_0 が与えられる。 V_0 は、ノードN3の電位に対して十分高いことが望ましい。

【0078】

ここで、 V_{BGS} と V_{th} の関係について、図8を用いて説明を行う。図8はトランジスタM1の V_{th} の V_{BGS} 依存性を示している。 V_{BGS} が大きいほど、 V_{th} はマイナスにシフトすることがわかる。期間P1における V_{BGS} を V_{BGS3} とし、同じく期間P1における V_{th} を V_{th2} とする。 V_{th2} は負の値をとるため、 $V_{GS} = V_{GS0}$ において、トランジスタM1はオン状態をとる。

10

【0079】

次に、期間P2において、トランジスタM1の V_{th} を V_{GS0} に固定する。配線GL1にLレベルが与えられ、配線GL2にHレベルが与えられる。スイッチS1はオフになり、スイッチS2はオンとなる(図7(B))。また、配線L3に電位 V_{ANO} が与えられる。なお、 V_{ANO} は、 V_{CAT} に V_{EL} を足し合わせた電圧よりも高いことが好ましい。

20

【0080】

配線L3に V_{ANO} が与えられることで、トランジスタM1に電流が流れ、ノードN3の電位が上昇する。ノードN3の電位が上昇するにつれて、 V_{BGS} は小さくなり、図8よりトランジスタM1の V_{th} はプラスシフトする。容量素子C1により、 V_{GS} は V_{GS0} に保たれているため、 $V_{th} = V_{GS0}$ のとき(図8において、 $V_{BGS} = V_{BGS4}$ のとき)に $V_{GS} = V_{th}$ となり、トランジスタM1はオフ状態になる。このときの V_{BGS} の値(V_{BGS4})を容量素子C2に保持することで、トランジスタM1の V_{th} を V_{GS0} に固定することが可能になる。なお、 $V_{th} = V_{GS0}$ が得られたときのノードN3の電位を V_2 とする。

【0081】

次に、期間P4において、画素10bはデータの書き込みを行う。配線GL1にHレベルが与えられ、配線GL2にLレベルが与えられる。スイッチS1はオンになり、スイッチS2はオフになる。スイッチS1を介して、ノードN1には V_{DATA} が与えられる(図7(C))。

30

【0082】

トランジスタM1は、 $V_{GS} - V_{th}$ に応じた電流を流すが、期間P2において、トランジスタM1の V_{th} は V_{GS0} の状態に補正されているので、トランジスタM1は $V_{DATA} - V_2 - V_{GS0}$ に依存した電流が流れる。つまり、発光素子EL1は、トランジスタM1の V_{th} に依存しない発光を得ることが可能になる。

【0083】

トランジスタM1は、チャネル形成領域に、非晶質シリコン、多結晶シリコン、結晶シリコン、OS、有機半導体などを有することが好ましい。特に、OSトランジスタは、製造工程による素子ごとのばらつきが少なく好ましい。

40

【0084】

スイッチS1及びS2は、例えばオフ電流が低いトランジスタを用いることが好ましい。ここで、オフ電流が低いとは、室温において、ソースとドレインとの間の電圧を3Vとし、チャネル幅1 μm あたりの規格化されたオフ電流が 10×10^{-21} A以下であることをいう。スイッチS1及びS2にオフ電流が低いトランジスタを用いることで、入力された画像情報を画素に保持し続けることが可能になり、静止画像を表示し続ける限りにおいて、画像情報の書き換え頻度を減らし、表示装置の省電力化を図ることが可能になる。

50

【 0 0 8 5 】

オフ電流が低いトランジスタとしては、OSトランジスタや、チャンネル形成領域にワイドバンドギャップ半導体（バンドギャップが 2.2 eV 以上の半導体、例えば、炭化ケイ素、窒化ガリウム、ダイヤモンドなど）を用いたトランジスタが挙げられる。

【 0 0 8 6 】

上述した画素10bを表示装置に用いることで、画素間の輝度のばらつきが抑えられた表示装置を提供することが可能になる。

【 0 0 8 7 】

その他の画素構成例

図1(A)に示す画素10aにおいて、スイッチS1乃至S3は、トランジスタM1と同様に、第2ゲートを有するトランジスタを適用してもよい。その場合の構成例を図9(A)に示す。同様に、図5(A)に示す画素10bにおいて、スイッチS1及びS2は、第2のゲートを有するトランジスタを適用してもよい。その場合の構成例を図9(B)に示す。図9(A)に示すスイッチS1乃至S3（または、図9(B)に示すスイッチS1及びS2）が有する第2のゲートは、それぞれ共通の電位 V_3 が与えられていてもよい。上記構成にすることで、スイッチS1乃至S3（または、スイッチS1及びS2）は、閾値電圧を制御することが可能になる。

10

【 0 0 8 8 】

図9(A)に示すスイッチS1乃至S3が有する第2ゲートは、それぞれのスイッチの第1ゲートに電氣的に接続されていてもよい。その場合の構成例を図10(A)に示す。同様に、図9(B)に示すスイッチS1及びS2が有する第2ゲートは、それぞれのスイッチの第1ゲートに電氣的に接続されていてもよい。その場合の構成例を図10(B)に示す。上記構成にすることで、図10(A)に示すスイッチS1乃至S3（または、図10(B)に示すスイッチS1及びS2）に用いられるトランジスタのオン電流を向上させることが可能になる。

20

【 0 0 8 9 】

図1(A)に示す画素10aにおいて、容量素子C1及びC2は、トランジスタM1の第1ゲート及び第2ゲートがそれぞれ有する容量を代用することで、省略が可能である。その場合の回路図を図38(A)に示す。同様に、図5(A)に示す画素10bにおいて、容量素子C1及びC2は、トランジスタM1の第1ゲート及び第2ゲートがそれぞれ有する容量を代用することで、省略が可能である。その場合の回路図を図38(B)に示す。

30

【 0 0 9 0 】

図1(A)に示す画素10aにおいて、トランジスタM1はpチャンネル型トランジスタとし、発光素子EL1の陽極と陰極の位置を入れ替えてもよい。その場合の回路図を図39(A)に示す。同様に、図5(A)に示す画素10bにおいて、トランジスタM1はpチャンネル型トランジスタとし、発光素子EL1の陽極と陰極の位置を入れ替えてもよい。その場合の回路図を図39(B)に示す。

【 0 0 9 1 】

図1(A)に示す画素10aにおいて、ノードN3と発光素子EL1の陽極との間にスイッチS5を設けてもよい。その場合の回路図を図40(A)に示す。同様に、図5(A)に示す画素10bにおいて、ノードN3と発光素子EL1の陽極との間にスイッチS5を設けてもよい。その場合の回路図を図40(B)に示す。上記構成にすることで、トランジスタM1の V_{th} を取得する際に（図2の期間P2、または図6の期間P2の際に）、発光素子EL1に電流が流れることを防ぐことが可能になる。

40

【 0 0 9 2 】

図1(A)に示す画素10aにおいて、トランジスタM1の第1端子と配線L3との間に、スイッチS6を設けてもよい。その場合の回路図を図41(A)に示す。同様に、図5(A)に示す画素10bにおいて、トランジスタM1の第1端子と配線L3との間に、スイッチS6を設けてもよい。その場合の回路図を図41(B)に示す。

【 0 0 9 3 】

50

図 1 (A) に示す画素 1 0 a において、トランジスタ M 1 の第 2 端子とノード N 3 との間に、スイッチ S 7 を設けてもよい。その場合の回路図を図 4 2 (A) に示す。同様に、図 5 (A) に示す画素 1 0 b において、トランジスタ M 1 の第 2 端子とノード N 3 との間に、スイッチ S 7 を設けてもよい。その場合の回路図を図 4 2 (B) に示す。

【 0 0 9 4 】

図 1 (A) に示す画素 1 0 a において、発光素子 E L 1 と並列に容量素子 C 3 を設けてもよい。その場合の回路図を図 4 3 (A) に示す。同様に、図 5 (A) に示す画素 1 0 b において、発光素子 E L 1 と並列に容量素子 C 3 を設けてもよい。その場合の回路図を図 4 3 (B) に示す。上記構成にすることで、ノード N 3 の電位を安定化させることが可能になる。

10

【 0 0 9 5 】

画素部と選択回路の構成例

次いで、図 1 1 に、本発明の一態様に係る発光装置の、画素部の構成を一例として示す。

【 0 0 9 6 】

図 1 1 では、画素部 4 0 が、マトリクス状に配列された複数の画素 1 0 a を有している。また、画素部 4 0 は、駆動回路 1 1 0 に接続された配線 G L 1 乃至 G L 3 と、駆動回路 1 2 0 に接続された配線 L 1 乃至 L 3 と、配線 L 4 (図示せず) を有する。なお、図 1 1 において、配線 G L 1 乃至 G L 3 は、1 つの配線 G L で表すことにする。複数の各画素 1 0 a は、配線 G L 1 の少なくとも一つと、配線 G L 2 の少なくとも一つと、配線 G L 3 の少なくとも一つと、配線 L 1 の少なくとも一つと、配線 L 2 の少なくとも一つと、配線 L 3 の少なくとも一つと、配線 L 4 の少なくとも一つに、それぞれ電氣的に接続されている。

20

【 0 0 9 7 】

なお、上記配線の種類及びその数は、画素 1 0 a の構成、数及び配置によって決めることができる。具体的に、図 1 1 に示す画素部 4 0 の場合、m 行 n 列 (m、n は 2 以上の整数) の画素 1 0 a がマトリクス状に電氣的に接続されている。そして、配線 G L [1] 乃至 G L [m] で示す複数の配線 G L と、配線 L 1 [1] 乃至 L 1 [n] で示す複数の配線 L 1 と、配線 L 2 [1] 乃至 L 2 [n] で示す複数の配線 L 2 と、配線 L 3 [1] 乃至 L 3 [n] で示す複数の配線 L 3 とが、画素部 4 0 内に配置されている場合を例示している。

【 0 0 9 8 】

図 1 1 は、画素 1 0 a を有する画素部の構成例を示したが、これに限定されず、画素 1 0 a の代わりに画素 1 0 b を適用することも可能である。

30

【 0 0 9 9 】

外部補正の構成例

次に、画素 1 0 a が有する駆動トランジスタの V_{t_h} を、外部回路を用いて補正する場合の構成例を図 1 2 (A) に示す。図 1 2 (A) に示す画素 1 1 a は、画素 1 0 a にスイッチ S 4、配線 G L 4 及び配線 L 5 が追加されている。スイッチ S 4 はノード N 3 と配線 L 5 との導通状態を制御する機能を有する。スイッチ S 4 のオン・オフは配線 G L 4 に与えられる信号によって制御することが可能である。トランジスタ M 1 に流れる電流 I_{PIX} は、スイッチ S 4 及び配線 L 5 を経由して、外部回路に流れる。外部回路は電流 I_{PIX} の値に応じて、補正信号を配線 L 1 に供給することが可能である。上記構成にすることで、画素 1 1 a は、トランジスタ M 1 の V_{t_h} だけでなく、トランジスタ M 1 の移動度に起因するばらつきを補正することが可能になる。

40

【 0 1 0 0 】

同様に、画素 1 0 b が有する駆動トランジスタの V_{t_h} を、外部回路を用いて補正する場合の構成例を図 1 2 (B) に示す。図 1 2 (B) に示す画素 1 1 b は、画素 1 0 b にスイッチ S 4、配線 G L 4 及び配線 L 5 が追加されている。画素 1 1 b のその他の詳細は、上述した画素 1 1 a の記載を参照すればよい。上記構成にすることで、画素 1 1 b は、トランジスタ M 1 の V_{t_h} だけでなく、トランジスタ M 1 の移動度に起因するばらつきを補正することが可能になる。

【 0 1 0 1 】

50

なお、画素 10 a、10 b のように、画素内の回路を用いてトランジスタ M 1 に流れる電流を補正する方法を内部補正と呼び、画素 11 a、11 b のように、外部回路を用いてトランジスタ M 1 に流れる電流を補正する方法を外部補正と呼ぶ。画素 11 a、11 b は、外部補正だけでなく内部補正も可能である。

【0102】

次いで、外部補正を行う機能を有する発光装置の、画素部 40 と選択回路 41 の、接続構成の一例を図 13 に示す。なお、以降の説明は画素 11 a を用いた場合について説明を行うが、画素 11 b を用いた場合にも適用可能である。

【0103】

図 13 において、選択回路 41 は、電位 V_M が与えられる配線 42 と、外部回路に接続されている端子 T E R のいずれか一方を選択する機能を有する。選択回路 41 は選択された一方と配線 L 5 との間を導通状態にすることができる。

10

【0104】

具体的に、図 13 に示す選択回路 41 は、配線 42 と配線 L 5 との間を導通状態を制御するスイッチ 43 と、端子 T E R と配線 L 5 との間を導通状態を制御するスイッチ 44 とを有する。

【0105】

画素 11 a が内部補正を行う場合、選択回路 41 は、スイッチ 43 をオンにし、スイッチ 44 をオフにする。その結果、配線 L 5 に電位 V_M が与えられる。画素 11 a が外部補正を行う場合、選択回路 41 は、スイッチ 43 をオフにし、スイッチ 44 をオンにする。その結果、配線 L 5 に流れる電流 I_{PIX} を端子 T E R に供給することが可能になる。

20

【0106】

(実施の形態 2)

本実施の形態では、上記実施の形態で説明した画素のトランジスタに適用可能な、チャネル形成領域が酸化物半導体膜で形成されているトランジスタ (O S トランジスタ)、およびチャネル形成領域がシリコンで形成されているトランジスタ (S i トランジスタ)、を一例に挙げて説明する。

【0107】

<トランジスタの構成例 1>

まず O S トランジスタについて説明する。

30

【0108】

図 14 (A)、図 14 (B) および図 14 (C) に、デバイス構造の異なる 3 つのトランジスタ (T A 1、T A 2、T B 1) の上面図 (レイアウト図) と、それぞれの回路記号を示す。図 15 は、トランジスタ (T A 1、T A 2、T B 1) の断面図である。トランジスタ T A 1 の a 1 - a 2 線および b 1 - b 2 線による断面図、トランジスタ T A 2 の a 3 - a 4 線および b 3 - b 4 線による断面図、ならびにトランジスタ T B 1 の a 5 - a 6 線、b 5 - b 6 線による断面図を、図 15 (A)、図 15 (B) に示す。これらトランジスタのチャネル長方向の断面構造が、図 15 (A) に示され、同チャネル幅方向の断面構造が図 15 (B) に示されている。

【0109】

40

図 15 (A)、(B) に示すように、トランジスタ T A 1、T A 2、T B 1 は、同一絶縁表面上に集積されており、これらのトランジスタは、同一の作製工程で作成することが可能である。なお、ここでは、デバイス構造の明瞭化のため、各トランジスタのゲート (G)、ソース (S)、およびドレイン (D) への電位や電源の供給するための配線との電気的な接続は省略している。

【0110】

トランジスタ T A 1 (図 14 (A))、トランジスタ T A 2 (図 14 (B)) は、ゲート (G) とバックゲート (B G) を有するトランジスタである。ゲート (G) およびバックゲート (B G) は、いずれか一方が第 1 のゲートに相当し、他方が第 2 のゲートに相当する。トランジスタ T A 1、トランジスタ T A 2 はバックゲートをゲートに接続した構造と

50

している。トランジスタT B 1 (図 1 4 (C)) は、B G を有さないトランジスタである。図 1 5 に示すように、これらのトランジスタ (T A 1 、 T A 2 、 T B 1) は、基板 3 0 に形成されている。以下、図 1 4 、 図 1 5 を参照して、これらのトランジスタの構成を説明する。

【 0 1 1 1 】

[トランジスタ T A 1]

トランジスタ T A 1 は、ゲート電極 G E 1 、ソース電極 S E 1 、ドレイン電極 D E 1 、バックゲート電極 B G E 1 、および酸化半導体膜 O S 1 を有する。

【 0 1 1 2 】

また、本実施の形態では、O S トランジスタのチャネル長は、ソース電極とドレイン電極間の距離とする。また、O S トランジスタのチャネル幅は、酸化半導体膜とゲート電極が重なる領域でのソース電極またはドレイン電極の幅とする。トランジスタ T A 1 のチャネル長は、L a 1 であり、チャネル幅は W a 1 である。

10

【 0 1 1 3 】

酸化半導体膜 O S 1 は、絶縁膜 3 4 を介してゲート電極 G E 1 と重なっている。酸化半導体膜 O S 1 の上面および側面に接して一対の電極 (S E 1 、 D E 1) が形成されている。図 1 4 (A) に示すように、酸化半導体膜 O S 1 は、ゲート電極 G E 1 および一対の電極 (S E 1 、 D E 1) と重ならない部分を有している。酸化半導体膜 O S 1 は、チャネル長方向の長さがチャネル長 L a 1 よりも長く、かつチャネル幅方向の長さがチャネル幅 W a 1 よりも長い。

20

【 0 1 1 4 】

酸化半導体膜 O S 1 、ゲート電極 G E 1 、ソース電極 S E 1 およびドレイン電極 D E 1 を覆って、絶縁膜 3 5 が形成されている。絶縁膜 3 5 上にバックゲート電極 B G E 1 が形成されている。バックゲート電極 B G E 1 は、酸化半導体膜 O S 1 およびゲート電極 G E 1 と重なるように設けられている。ここでは、一例として、ゲート電極 G E 1 と同じ形状で、同じ位置に配置されるようにバックゲート電極 B G E 1 を設けている。バックゲート電極 B G E 1 は、絶縁膜 3 4 絶縁膜 3 5 および絶縁膜 3 6 を貫通する開口 C G 1 において、ゲート電極 G E 1 に接している。この構造により、トランジスタ T A 1 のゲートとバックゲートが電氣的に接続される。

30

【 0 1 1 5 】

バックゲート電極 B G E 1 をゲート電極 G E 1 に接続することで、トランジスタ T A 1 のオン電流を増加させることができる。バックゲート電極 B G E 1 を設けることで、トランジスタ T A 1 の強度を向上させることができる。基板 3 0 の曲げ等の変形に対して、バックゲート電極 B G E 1 が補強部材となってトランジスタ T A 1 を壊れにくくすることができる。

【 0 1 1 6 】

チャネル形成領域を含む酸化半導体膜 O S 1 は多層構造であり、ここでは、一例として 3 つの酸化半導体膜 3 1 、 3 2 、 3 3 となる 3 層構造としている。酸化半導体膜 O S 1 を構成する酸化半導体膜は、少なくとも 1 つ同じ金属元素を含む金属酸化膜であることが好ましく、I n を含むことが特に好ましい。トランジスタの半導体膜を構成することが可能な I n を含む金属酸化物としては、I n - G a 酸化物膜、I n - M - Z n 酸化物膜 (M は A l 、 G a 、 Y 、 Z r 、 L a 、 C e 、または N d) が代表的である。また、このような金属酸化物膜に他の元素や材料を添加した膜を用いることもできる。

40

【 0 1 1 7 】

酸化半導体膜 3 2 は、トランジスタ T A 1 のチャネル形成領域を構成する膜である。また、酸化半導体膜 3 3 は、後述するトランジスタ T A 2 およびトランジスタ T B 1 のチャネル形成領域を構成する膜でもある。そのため、酸化半導体膜 3 3 には、トランジスタ T A 2 およびトランジスタ T B 1 に要求される電氣的特性 (例えば、電界効果移動度、しきい値電圧など) に応じて、適切な組成の酸化半導体膜を用いればよい。

【 0 1 1 8 】

50

トランジスタT A 1において、酸化物半導体膜3 2にチャネルが形成されるようにすることで、チャネル形成領域が絶縁膜3 4、3 5に接しないようにすることができる。また、酸化物半導体膜3 1乃至3 3を少なくとも1つ同じ金属元素を含む金属酸化物膜とすることで、酸化物半導体膜3 2と酸化物半導体膜3 1の界面、および酸化物半導体膜3 2と酸化物半導体膜3 3の界面において、界面散乱が起こりにくくすることができる。これにより、トランジスタT A 1の電界効果移動度をトランジスタT A 2やトランジスタT B 1よりも高くすることができる、また、オン状態でのドレイン電流（オン電流）を増加させることができる。

【0 1 1 9】

[トランジスタT A 2]

トランジスタT A 2は、ゲート電極G E 2、ソース電極S E 2、ドレイン電極D E 2、バックゲート電極B G E 2、および酸化物半導体膜O S 2を有する。バックゲート電極B G E 2は、絶縁膜3 4乃至絶縁膜3 6を貫通する開口C G 2においてゲート電極G E 2に接している。トランジスタT A 2は、トランジスタT A 1の変形例であり、酸化物半導体膜O S 2が酸化物半導体膜3 3でなる単層構造である点でトランジスタT A 1と異なり、その他については同様である。ここでは、トランジスタT A 2のチャネル長L a 2、チャネル幅W a 2は、トランジスタT A 1のチャネル長L a 1、チャネル幅W a 1と等しくなるようにしている。

10

【0 1 2 0】

[トランジスタT B 1]

トランジスタT B 1は、ゲート電極G E 3、ソース電極S E 3、ドレイン電極D E 3および酸化物半導体膜O S 3を有する。トランジスタT B 1は、トランジスタT A 2の変形例である。トランジスタT A 2と同様に、酸化物半導体膜O S 3が酸化物半導体膜3 3でなる単層構造である。トランジスタT A 2とは、バックゲート電極を有していない点で異なる。また、酸化物半導体膜O S 3および電極（G E 3、S E 3、D E 3）のレイアウトが異なる。図1 4（C）に示すように、酸化物半導体膜O S 3は、ゲート電極G E 3と重なっていない領域は、ソース電極S E 3またはドレイン電極D E 3の何れかと重なっている。そのため、トランジスタT B 1のチャネル幅W b 1は、酸化物半導体膜O S 3の幅で決定されている。チャネル長L b 1は、トランジスタT A 2と同様、ソース電極S E 3とドレイン電極D E 3間の距離で決定され、ここでは、トランジスタT A 2のチャネル長L a 2よりも長くしている。

20

30

【0 1 2 1】

[絶縁膜]

絶縁膜3 4、絶縁膜3 5および絶縁膜3 6は、基板3 0のトランジスタT A 1、T A 2、T B 1が形成される領域全体に形成される膜である。絶縁膜3 4、絶縁膜3 5、および絶縁膜3 6は、単層あるいは複数層の絶縁膜で形成される。絶縁膜3 4は、トランジスタT A 1、T A 2、T B 1のゲート絶縁膜を構成する膜である。また、絶縁膜3 5および絶縁膜3 6は、トランジスタT A 1、T A 2、T B 1のバックチャネル側のゲート絶縁膜を構成する膜である。また、最上面の絶縁膜3 6は、基板3 0に形成されるトランジスタの保護膜として機能するような材料で形成することが好ましい。絶縁膜3 6は適宜設ければよい。3層目の電極（B G E 1）と2層目の電極（S E 1、D E 1）を絶縁するために、これらの間に少なくとも1層絶縁膜が存在していればよい。

40

【0 1 2 2】

絶縁膜3 4乃至絶縁膜3 6は、単層の絶縁膜で、または2層以上の多層の絶縁膜で形成することができる。これら絶縁膜3 4乃至絶縁膜3 6を構成する絶縁膜としては、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタル等である膜があげられる。また、これらの絶縁膜は、スパッタリング法、C V D法、M B E法、A L D法またはP L D法を用いて形成することができる。

50

【0123】

[酸化半導体膜]

ここでは、OSトランジスタの半導体膜を構成する酸化半導体膜について説明する。酸化半導体膜OS1のように半導体膜を多層構造とする場合、これらを構成する酸化半導体膜は、少なくとも1つ同じ金属元素を含む金属酸化物膜であることが好ましく、Inを含むことが好ましい。

【0124】

例えば、酸化半導体膜31がIn-Ga酸化物膜の場合、Inの原子数比をGaの原子数比よりも小さくする。In-M-Zn酸化物膜(MはAl、Ga、Y、Zr、La、Ce、またはNd)の場合、Inの原子数比をMの原子数比よりも小さくする。この場合、Znの原子数比が最も大きくなるようにすることができる。

10

【0125】

例えば、酸化半導体膜32がIn-Ga酸化物膜の場合、Inの原子数比をGaの原子数比よりも大きくする。In-M-Zn酸化物膜の場合、Inの原子数比をMの原子数比よりも大きくする。In-M-Zn酸化物膜では、Inの原子数比がMおよびZnの原子数比よりも大きくすることが好ましい。

【0126】

例えば、酸化半導体膜33がIn-Ga酸化物膜の場合、Inの原子数比をGaの原子数比と同じにする、または小さくする。In-M-Zn酸化物膜の場合、Inの原子数比をMの原子数比と同じにする。この場合、Znの原子数比が、InおよびMよりも大きくすることができる。ここでは、酸化半導体膜33は、トランジスタTA2、トランジスタTB1のチャンネル形成領域を構成する膜でもある。

20

【0127】

酸化半導体膜31乃至33の原子数比は、スパッタリング法で成膜する場合は、ターゲットの構成材料の原子数比等を調節することで可能である。また、CVD法で成膜する場合は、原料ガスの流量比などを調節することで可能である。以下、酸化半導体膜31乃至33として、スパッタリング法でIn-M-Zn酸化物膜を形成する場合を例に、成膜に使用されるターゲットについて述べる。これらの膜を成膜するために、In-M-Zn酸化物でなるターゲットが用いられる。

【0128】

酸化半導体膜31のターゲットの金属元素の原子数比を $In : M : Zn = x_1 : y_1 : z_1$ とすると、 x_1 / y_1 は、 $1/6$ 以上1未満であることが好ましい。また、 z_1 / y_1 は、 $1/3$ 以上6以下、さらには1以上6以下であることが好ましい。

30

【0129】

ターゲットの金属元素の原子数比の代表例としては、 $In : M : Zn = 1 : 3 : 2$ 、 $In : M : Zn = 1 : 3 : 4$ 、 $In : M : Zn = 1 : 3 : 6$ 、 $In : M : Zn = 1 : 3 : 8$ 、 $In : M : Zn = 1 : 4 : 4$ 、 $In : M : Zn = 1 : 4 : 5$ 、 $In : M : Zn = 1 : 4 : 6$ 、 $In : M : Zn = 1 : 4 : 7$ 、 $In : M : Zn = 1 : 4 : 8$ 、 $In : M : Zn = 1 : 5 : 5$ 、 $In : M : Zn = 1 : 5 : 6$ 、 $In : M : Zn = 1 : 5 : 7$ 、 $In : M : Zn = 1 : 5 : 8$ 、 $In : M : Zn = 1 : 6 : 8$ 等がある。

40

【0130】

酸化半導体膜32のターゲットの金属元素の原子数比を $In : M : Zn = x_2 : y_2 : z_2$ とすると、 x_2 / y_2 は、1より大きく6以下であることが好ましい。また、 z_2 / y_2 は1より大きく6以下であることが好ましい。ターゲットの金属元素の原子数比の代表例としては、 $In : M : Zn = 2 : 1 : 1.5$ 、 $In : M : Zn = 2 : 1 : 2.3$ 、 $In : M : Zn = 2 : 1 : 3$ 、 $In : M : Zn = 3 : 1 : 2$ 、 $In : M : Zn = 3 : 1 : 3$ 、 $In : M : Zn = 3 : 1 : 4$ 等がある。

【0131】

酸化半導体膜33のターゲットの金属元素の原子数比を $In : M : Zn = x_3 : y_3 : z_3$ とすると、 x_3 / y_3 は、 $1/6$ 以上1以下であることが好ましい。また、 z_3 / y_3

50

3は、1/3以上6以下、さらには1以上6以下であることが好ましい。ターゲットの金属元素の原子数比の代表例としては、 $In : M : Zn = 1 : 1 : 1$ 、 $In : M : Zn = 1 : 1 : 2$ 、 $In : M : Zn = 1 : 3 : 2$ 、 $In : M : Zn = 1 : 3 : 4$ 、 $In : M : Zn = 1 : 3 : 6$ 、 $In : M : Zn = 1 : 3 : 8$ 、 $In : M : Zn = 1 : 4 : 4$ 、 $In : M : Zn = 1 : 4 : 5$ 、 $In : M : Zn = 1 : 4 : 6$ 、 $In : M : Zn = 1 : 4 : 7$ 、 $In : M : Zn = 1 : 4 : 8$ 、 $In : M : Zn = 1 : 5 : 5$ 、 $In : M : Zn = 1 : 5 : 6$ 、 $In : M : Zn = 1 : 5 : 7$ 、 $In : M : Zn = 1 : 5 : 8$ 、 $In : M : Zn = 1 : 6 : 8$ 等がある。

【0132】

$In - M - Zn$ 酸化物膜の成膜用ターゲットにおいて、金属元素の原子数比を $In : M : Zn = x : y : z$ とした場合、 $1 < z / y < 6$ とすることで、 $In - M - Zn$ 酸化物膜として $CAAC - OS$ 膜が形成されやすくなるため好ましい。なお、 $CAAC - OS$ 膜については後述する。

10

【0133】

酸化物半導体膜 31 乃至 33 としては、キャリア密度の低い酸化物半導体膜を用いる。例えば、酸化物半導体膜 31 乃至 33 として、キャリア密度が 1×10^{17} 個/cm³ 以下、好ましくは 1×10^{15} 個/cm³ 以下、さらに好ましくは 1×10^{13} 個/cm³ 以下の酸化物半導体膜を用いる。特に、酸化物半導体膜 31 乃至 33 として、キャリア密度が、 8×10^{11} 個/cm³ 未満、より好ましくは 1×10^{11} 個/cm³ 未満、さらに好ましくは 1×10^{10} 個/cm³ 未満であり、且つ、 1×10^{-9} 個/cm³ 以上の酸化物半導体膜を用いることが好ましい。

20

【0134】

酸化物半導体膜 31 乃至 33 として、不純物濃度が低く、欠陥準位密度の低い酸化物半導体膜を用いることで、さらに優れた電気的特性を有するトランジスタを作製することができる。ここでは、不純物濃度が低く、欠陥準位密度の低い（酸素欠損の少ない）ことを高純度真性または実質的に高純度真性とよぶ。高純度真性または実質的に高純度真性である酸化物半導体は、キャリア発生源が少ないため、キャリア密度を低くすることができる場合がある。従って、当該酸化物半導体膜にチャネル領域が形成されるトランジスタは、しきい値電圧がマイナスとなる電気的特性（ノーマリオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低い場合、トラップ準位密度も低くなる場合がある。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、オフ電流が著しく小さく、チャネル幅が $1 \times 10^6 \mu m$ でチャネル長が $10 \mu m$ の素子であっても、ソース電極とドレイン電極間の電圧（ドレイン電圧）が $1 V$ から $10 V$ の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13} A$ 以下という特性を得ることができる。従って、当該酸化物半導体膜にチャネル領域が形成されるトランジスタは、電気的特性の変動が小さく、信頼性の高いトランジスタとなる。不純物としては、水素、窒素、アルカリ金属、またはアルカリ土類金属等がある。

30

【0135】

酸化物半導体膜に含まれる水素は金属原子と結合する酸素と反応して水になると共に、酸素が脱離した格子（または酸素が脱離した部分）に酸素欠損が形成される。当該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合することで、キャリアである電子を生成する場合がある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリオン特性となりやすい。

40

【0136】

このため、酸化物半導体膜 31 乃至 33 は酸素欠損と共に、水素ができる限り低減されていることが好ましい。具体的には、酸化物半導体膜 31 乃至 33 において、二次イオン質量分析法（ $SI MS : Secondary Ion Mass Spectrometry$ ）により得られる水素濃度を、 $5 \times 10^{19} atoms/cm^3$ 以下、より好ましくは

50

1×10^{19} atoms/cm³ 以下、より好ましくは 5×10^{18} atoms/cm³ 未満、より好ましくは 1×10^{18} atoms/cm³ 以下、より好ましくは 5×10^{17} atoms/cm³ 以下、さらに好ましくは 1×10^{16} atoms/cm³ 以下とする。

【0137】

酸化物半導体膜 31 乃至 33 に第 14 族元素の一つであるシリコンや炭素が含まれると、膜中の酸素欠損が増加し、これらの膜が n 型化してしまう。このため、酸化物半導体膜 31 乃至 33 におけるシリコンや炭素の濃度（二次イオン質量分析法により得られる濃度）を、 2×10^{18} atoms/cm³ 以下、好ましくは 2×10^{17} atoms/cm³ 以下とする。

10

【0138】

また、酸化物半導体膜 31 乃至 33 において、二次イオン質量分析法により得られるアルカリ金属またはアルカリ土類金属の濃度を、 1×10^{18} atoms/cm³ 以下、好ましくは 2×10^{16} atoms/cm³ 以下にする。アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があります、トランジスタのオフ電流が増大してしまうことがある。このため、酸化物半導体膜 31 乃至 33 のアルカリ金属またはアルカリ土類金属の濃度を低減することが好ましい。

【0139】

酸化物半導体膜 31 乃至 33 に窒素が含まれていると、キャリアである電子が生じ、キャリア密度が増加し、n 型化しやすい。そのため窒素が含まれている酸化物半導体を用いたトランジスタはノーマリオン特性となりやすいので、酸化物半導体膜 31 乃至 33 の窒素含有量はできる限り低減されていることが好ましい、例えば、二次イオン質量分析法により得られる窒素濃度を 5×10^{18} atoms/cm³ 以下にすることが好ましい。

20

【0140】

以上、酸化物半導体膜 31 乃至 33 について述べたが、これらに限られず、必要とするトランジスタの半導体特性および電気的特性（電界効果移動度、しきい値電圧等）に応じて適切な組成の酸化物半導体膜を用いればよい。また、必要とするトランジスタの半導体特性および電気的特性を得るために、酸化物半導体膜 31 乃至 33 のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとする

30

【0141】

トランジスタ TA1 は、Ga または M（M は Al、Ga、Y、Zr、La、Ce、または Nd）の原子数比よりも In の原子数比が大きい酸化物半導体膜 32 でチャネルが形成されるため、電界効果移動度を高くすることができる。代表的には、その電界効果移動度は、 $10 \text{ cm}^2/\text{Vs}$ より大きく $60 \text{ cm}^2/\text{Vs}$ 未満、好ましくは $15 \text{ cm}^2/\text{Vs}$ 以上 $50 \text{ cm}^2/\text{Vs}$ 未満である。そのため、アクティブマトリクス型表示装置の回路にトランジスタ TA1 を用いる場合は、高速動作が要求される駆動回路に好適である。

【0142】

また、トランジスタ TA1 は、遮光された領域に、設けることが好ましい。また高い電界効果移動度を有するトランジスタ TA1 を駆動回路に設けることで、駆動周波数を高くすることができるため、より高精細な表示装置を実現することができる。

40

【0143】

チャネル形成領域が酸化物半導体膜 33 で形成されるトランジスタ TA2、TB1 は、トランジスタ TA1 よりも電界効果移動度が低く、その大きさは、 $3 \text{ cm}^2/\text{Vs}$ 以上 $10 \text{ cm}^2/\text{Vs}$ 以下程度である。トランジスタ TA2、TB1 は、酸化物半導体膜 32 を有していないため、トランジスタ TA1 よりも光によって劣化しにくく、光照射によるオフ電流の増大量が少ない。そのため、チャネル形成領域が酸化物半導体膜 33 で形成されるトランジスタ TA2、TB1 は光が照射されるような画素部に好適である。

【0144】

トランジスタ TA1 は、酸化物半導体膜 32 を有しないトランジスタ TA2、TB1 と比

50

較して、光が照射されるとオフ状態における電流が増大しやすい。トランジスタT A 1が遮光が十分できない画素部よりも光の影響が少ない周辺駆動回路に適している理由の1つである。また、もちろん、トランジスタT A 2、T B 1のような構成のトランジスタも、駆動回路に設けることが可能である。

【0145】

以上、トランジスタT A 1、T A 2、T B 1と酸化物半導体膜31乃至33について述べたが、これらに限られず、必要とするトランジスタの半導体特性および電気的特性に応じて、トランジスタの構成を変更すればよい。例えば、バックゲート電極の有無、酸化物半導体膜の積層構造、酸化物半導体膜、ゲート電極、ソース電極およびドレイン電極の形状や配置等を適宜変更することができる。

【0146】

[酸化物半導体の構造]

次に、酸化物半導体の構造について説明する。

【0147】

なお本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0148】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0149】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに分けられる。または、酸化物半導体は、例えば、結晶性酸化物半導体と非晶質酸化物半導体とに分けられる。

【0150】

なお、非単結晶酸化物半導体としては、C A A C - O S (C A x i s A l i g n e d C r y s t a l l i n e O x i d e S e m i c o n d u c t o r)、多結晶酸化物半導体、微結晶酸化物半導体、非晶質酸化物半導体などがある。また、結晶性酸化物半導体としては、単結晶酸化物半導体、C A A C - O S、多結晶酸化物半導体、微結晶酸化物半導体などがある。

【0151】

まずは、C A A C - O S膜について説明する。

【0152】

C A A C - O S膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0153】

透過型電子顕微鏡 (T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e) によって、C A A C - O S膜の明視野像および回折パターンの複合解析像 (高分解能 T E M 像ともいう。) を観察することで複数の結晶部を確認することができる。一方、高分解能 T E M 像によっても明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、C A A C - O S膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0154】

試料面と略平行な方向から、C A A C - O S膜の断面の高分解能 T E M 像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、C A A C - O S膜の被形成面または上面と平行に配列する。

【0155】

10

20

30

40

50

一方、試料面と略垂直な方向から、C A A C - O S 膜の平面の高分解能 T E M 像を観察すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【 0 1 5 6 】

C A A C - O S 膜に対し、X 線回折 (X R D : X - R a y D i f f r a c t i o n) 装置を用いて構造解析を行うと、例えば InGaZnO_4 の結晶を有する C A A C - O S 膜の *o u t - o f - p l a n e* 法による解析では、回折角 (2θ) が 31° 近傍にピークが現れる場合がある。このピークは、 InGaZnO_4 の結晶の (0 0 9) 面に帰属されることから、C A A C - O S 膜の結晶が *c* 軸配向性を有し、*c* 軸が被形成面または上面に略垂直な方向を向いていることが確認できる。

10

【 0 1 5 7 】

なお、 InGaZnO_4 の結晶を有する C A A C - O S 膜の *o u t - o f - p l a n e* 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、*c* 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【 0 1 5 8 】

C A A C - O S 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径 (または分子半径) が大きいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

20

【 0 1 5 9 】

また、C A A C - O S 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

【 0 1 6 0 】

不純物濃度が低く、欠陥準位密度が低い (酸素欠損の少ない) ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性 (ノーマリオンともいう。) になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

30

40

【 0 1 6 1 】

また、C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【 0 1 6 2 】

次に、微結晶酸化物半導体膜について説明する。

【 0 1 6 3 】

微結晶酸化物半導体膜は、高分解能 T E M 像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、 1 nm 以上 100 nm 以下、または 1 nm 以上 10 nm 以下の大き

50

さであることが多い。特に、1 nm以上10 nm以下、または1 nm以上3 nm以下の微結晶であるナノ結晶(nc: nanocrystal)を有する酸化物半導体膜を、nc-OS(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-OS膜は、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

【0164】

nc-OS膜は、微小な領域(例えば、1 nm以上10 nm以下の領域、特に1 nm以上3 nm以下の領域)において原子配列に周期性を有する。また、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OS膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-OS膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-OS膜に対し、結晶部よりも大きいプローブ径(例えば50 nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、スポットが観測される。また、nc-OS膜に対しナノビーム電子回折を行うと、円を描くように(リング状に)輝度の高い領域が観測される場合がある。また、nc-OS膜に対しナノビーム電子回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

10

20

【0165】

nc-OS膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-OS膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-OS膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-OS膜は、CAAC-OS膜と比べて欠陥準位密度が高くなる。

【0166】

次に、非晶質酸化物半導体膜について説明する。

【0167】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

30

【0168】

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。

【0169】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

【0170】

なお、酸化物半導体膜は、nc-OS膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体(a-like OS: amorphous-like Oxide Semiconductor)膜と呼ぶ。

40

【0171】

a-like OS膜は、高分解能TEM像において鬆(ポイドともいう。)が観察される場合がある。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。a-like OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化が起こり、結晶部の成長が見られる場合がある。一方、良質なnc-OS膜であれば、TEMによる観察程度の微量な電子照射による結晶化はほとんど見られない。

50

【0172】

なお、*a-like* OS膜およびnc-OS膜の結晶部の大きさの計測は、高分解能TEM像を用いて行うことができる。例えば、 InGaZnO_4 の結晶は層状構造を有し、In-O層の間に、Ga-Zn-O層を2層有する。 InGaZnO_4 の結晶の単位格子は、In-O層を3層有し、またGa-Zn-O層を6層有する、計9層がc軸方向に層状に重なった構造を有する。よって、これらの近接する層同士の間隔は、(009)面の格子面間隔(d値ともいう。)と同程度であり、結晶構造解析からその値は0.29nmと求められている。そのため、高分解能TEM像における格子縞に着目し、格子縞の間隔が0.28nm以上0.30nm以下である箇所においては、それぞれの格子縞が InGaZnO_4 の結晶のa-b面に対応する。

10

【0173】

また、酸化物半導体膜は、構造ごとに密度が異なる場合がある。例えば、ある酸化物半導体膜の組成がわかれば、該組成と同じ組成における単結晶の密度と比較することにより、その酸化物半導体膜の構造を推定することができる。例えば、単結晶の密度に対し、*a-like* OS膜の密度は78.6%以上92.3%未満となる。また、例えば、単結晶の密度に対し、nc-OS膜の密度およびCAAC-OS膜の密度は92.3%以上100%未満となる。なお、単結晶の密度に対し密度が78%未満となる酸化物半導体膜は、成膜すること自体が困難である。

【0174】

上記について、具体例を用いて説明する。例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比]を満たす酸化物半導体膜において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は $6.357\text{g}/\text{cm}^3$ となる。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比]を満たす酸化物半導体膜において、*a-like* OS膜の密度は $5.0\text{g}/\text{cm}^3$ 以上 $5.9\text{g}/\text{cm}^3$ 未満となる。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比]を満たす酸化物半導体膜において、nc-OS膜の密度およびCAAC-OS膜の密度は $5.9\text{g}/\text{cm}^3$ 以上 $6.3\text{g}/\text{cm}^3$ 未満となる。

20

【0175】

なお、同じ組成の単結晶が存在しない場合がある。その場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成の単結晶に相当する密度を算出することができる。所望の組成の単結晶の密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて算出すればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせる算出することが好ましい。

30

【0176】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、*a-like* OS膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0177】

以上説明したようにOSTランジスタは、極めて優れたオフ電流特性を実現できる。

【0178】

[基板30]

基板30としては、様々な基板を用いることができ、特定のものに限定されることはない。基板30の一例としては、半導体基板(例えば単結晶基板またはシリコン基板)、SOI基板、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タングステン基板、タングステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、または基材フィルムなどがある。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、またはソーダライムガラスなどがある。可撓性基板、貼り合わせフィルム、基材フィルムなどの一例としては、以下のものがあげられる。例えば、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルホン(PES)に代表されるプラスチックがある。または、一例としては、アクリル等の合成樹脂などがある。または、一例としては、ポリプロピレン、ポリエステル、ポリフッ

40

50

化ビニル、またはポリ塩化ビニルなどがある。または、一例としては、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、または紙類などがある。特に、半導体基板、単結晶基板、またはSOI基板などを用いてトランジスタを製造することによって、特性、サイズ、または形状などのばらつきが少なく、電流能力が高く、サイズの小さいトランジスタを製造することができる。このようなトランジスタによって回路を構成すると、回路の低消費電力化、または回路の高集積化を図ることができる。

【0179】

ゲート電極GE1乃至GE3を形成する前に、基板30上に下地絶縁膜を形成してもよい。下地絶縁膜としては、酸化シリコン、酸化窒化シリコン、窒化シリコン、窒化酸化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム、酸化窒化アルミニウム等がある。なお、下地絶縁膜として、窒化シリコン、酸化ガリウム、酸化ハフニウム、酸化イットリウム、酸化アルミニウム等を用いることで、基板30から不純物（代表的にはアルカリ金属、水、水素等）が酸化物半導体膜OS1乃至OS3への拡散を抑制することができる。

10

【0180】

[ゲート電極GE1、GE2、GE3]

ゲート電極GE1乃至GE3は、単層の導電膜、または2つ以上の導電膜が積層された多層構造の膜である。ゲート電極GE1乃至GE3として形成される導電膜は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いて形成することができる。また、マンガン、ジルコニウムのいずれか一または複数から選択された金属元素を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた一または複数を組み合わせた合金膜、もしくは窒化膜を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化シリコンを含むインジウム錫酸化物等の透光性を有する導電性材料を適用することもできる。

20

【0181】

例えば、ゲート電極GE1乃至GE3として、シリコンを含むアルミニウム膜を形成することができる。ゲート電極GE1乃至GE3を2層構造とする場合は、例えば、アルミニウム膜上にチタン膜を形成する、窒化チタン膜上にチタン膜を形成する、窒化チタン膜上にタングステン膜を形成する、窒化タンタル膜または窒化タングステン膜上にタングステン膜を形成すればよい。また、ゲート電極GE1乃至GE3を3層構造とする場合は、例えば、チタン膜と、そのチタン膜上にアルミニウム膜を積層し、さらにその上にチタン膜を形成すればよい。

30

【0182】

スパッタリング法、真空蒸着法、パルスレーザー堆積(PLD)法、熱CVD法等によりゲート電極GE1乃至GE3を形成する。

【0183】

なお、タングステン膜はALDを利用する成膜装置により成膜することができる。この場合には、WF₆ガスとB₂H₆ガスを順次繰り返し導入して初期タングステン膜を形成し、その後、WF₆ガスとH₂ガスを用いてタングステン膜を形成する。なお、B₂H₆ガスに代えてSiH₄ガスを用いてもよい。

40

【0184】

ゲート電極GE1乃至GE3の形成は、上記形成方法の他に、電解メッキ法、印刷法、インクジェット法等で行うことが可能である。

【0185】

[絶縁膜34(ゲート絶縁膜)]

ゲート電極GE1乃至GE3を覆って、絶縁膜34を形成する。絶縁膜34は、単層の絶

50

縁膜あるいは2層以上の多層構造の絶縁膜である。絶縁膜34として形成される絶縁膜は、酸化物絶縁膜、窒化物絶縁膜、酸化窒化絶縁膜、および窒化酸化絶縁膜等が挙げられる。なお、本明細書において、酸化窒化物とは、窒素より酸素の含有量が多い材料であり、窒化酸化物とは酸素より窒素の含有量が多い材料とする。

【0186】

絶縁膜34として形成される絶縁膜としては、例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウム、酸化ガリウムまたはGa-Zn系金属酸化物などなる絶縁膜を形成することができる。また、このような絶縁膜として、ハフニウムシリケート(HfSiO_x)、窒素が添加されたハフニウムシリケート($\text{HfSi}_x\text{O}_y\text{N}_z$)、窒素が添加されたハフニウムアルミネート($\text{HfAl}_x\text{O}_y\text{N}_z$)、酸化ハフニウム、酸化イットリウムなどのhigh-k材料でなる膜を形成することができる。high-k材料を用いることでトランジスタのゲートリークを低減できる。

10

【0187】

絶縁膜34はゲート絶縁膜としての機能を有する。酸化物半導体膜OS1乃至OS3とゲート絶縁膜との界面特性を向上させるため、絶縁膜34において酸化物半導体膜OS1乃至OS3と接する領域は酸化物絶縁膜あるいは酸化窒化絶縁膜で形成することが好ましい。例えば、絶縁膜34の最上層の膜は、酸化シリコン膜あるいは酸化窒化シリコン膜とすればよい。

【0188】

絶縁膜34の厚さは、例えば5nm以上400nm以下とすればよい。その厚さは、好ましくは10nm以上300nm以下であり、より好ましくは50nm以上250nm以下である。

20

【0189】

スパッタリング法で酸化物半導体膜OS1乃至OS3を形成する場合、プラズマを発生させるための電源装置は、RF電源装置、AC電源装置、DC電源装置等を適宜用いることができる。

【0190】

[酸化物半導体膜31乃至33]

スパッタリングガスは、希ガス(代表的にはアルゴン)、酸素、希ガスおよび酸素の混合ガスを適宜用いる。なお、希ガスおよび酸素の混合ガスの場合、希ガスに対して酸素のガス比を高めることが好ましい。

30

【0191】

また、ターゲットは、形成する酸化物半導体膜OS1乃至OS3の組成にあわせて、適宜選択すればよい。

【0192】

なお、酸化物半導体膜OS1乃至OS3の形成にスパッタリング法を用いる場合、基板温度を150以上750以下、好ましくは150以上450以下、さらに好ましくは200以上350以下とすることで、酸化物半導体膜31乃至33として、CAAC-OS膜を形成することができる。

40

【0193】

また、CAAC-OS膜を成膜するために、以下の条件を適用することが好ましい。

【0194】

成膜時の不純物混入を抑制することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度(水素、水、二酸化炭素および窒素など)を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が-80以下、好ましくは-100以下である成膜ガスを用いる。

【0195】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上が好ましく、100体

50

積%がより好ましい。

【0196】

酸化物半導体膜を加熱しながら成膜することで、あるいは酸化物半導体膜を形成した後、加熱処理を行うことで、酸化物半導体膜の水素濃度を $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以下とすることができる。

【0197】

なお、加熱処理は、350 より高く650 以下、好ましくは450 以上600 以下で行うことで、後述するCAAC化率が、70%以上100%未満、好ましくは80%以上100%未満、好ましくは90%以上100%未満、より好ましくは95%以上98%以下である酸化物半導体膜を得ることができる。また、水素、水等の含有量が低減された酸化物半導体膜を得ることが可能である。すなわち、不純物濃度が低く、欠陥準位密度の低い酸化物半導体膜を形成することができる。

10

【0198】

ALDを利用する成膜装置により酸化物半導体膜を形成することができる。例えばInGaZnO_x (X>0)膜を成膜する場合には、In(CH₃)₃ガスとO₃ガスを順次繰り返し導入してInO₂層を形成し、その後、Ga(CH₃)₃ガスとO₃ガスを用いてGaO層を形成し、更にその後Zn(CH₃)₂ガスとO₃ガスを用いてZnO層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてInGaO₂層やInZnO₂層、GaInO層、ZnInO層、GaZnO層などの混合化合物層を形成してもよい。なお、O₃ガスに変えてAr等の不活性ガスでパブリングしたH₂Oガスを用いてもよいが、Hを含まないO₃ガスを用いる方が好ましい。また、In(CH₃)₃ガスに替えて、In(C₂H₅)₃ガスを用いてもよい。また、Ga(CH₃)₃ガスに替えて、Ga(C₂H₅)₃ガスを用いてもよい。また、Zn(CH₃)₂ガスを用いてもよい。

20

【0199】

酸化物半導体膜32、および酸化物半導体膜33は、トランジスタのチャネルが形成される膜であり、その膜厚を3nm以上200nm以下とすることができる。それらの厚さは、好ましくは3nm以上100nm以下であり、さらに好ましくは30nm以上50nm以下である。酸化物半導体膜31の膜厚は例えば、3nm以上100nm以下とすることができ、好ましくは3nm以上30nm以下であり、より好ましくは3nm以上15nm以下である。酸化物半導体膜31は、酸化物半導体膜32、酸化物半導体膜33よりも薄く形成することが好ましい。

30

【0200】

ここでは、酸化物半導体膜31乃至33として、In-Ga-Zn膜をスパッタリング法で成膜する。これらの成膜に用いられるターゲットの金属元素の原子数比(In:Ga:Zn)は、例えば、酸化物半導体膜31は1:3:6であり、酸化物半導体膜32は3:1:2であり、酸化物半導体膜33は、1:1:1.2または1:1:1とすることができる。また、酸化物半導体膜31、32、33の厚さは、それぞれ、5nm、35nm、35nmとすることができる。

40

【0201】

[ソース電極、ドレイン電極]

ソース電極及びドレイン電極(SE1、DE1、SE2、DE2、SE3、DE3)はゲート電極GE1乃至GE3と同様に形成することができる。

【0202】

例えば、厚さ50nmの銅-マンガン合金膜、厚さ400nmの銅膜、および厚さ100nmの銅-マンガン合金膜の順に、これらの膜をスパッタリング法により積層することで、3層構造のソース電極及びドレイン電極を形成することができる。

50

【0203】

[絶縁膜35、36]

絶縁膜35としては、2層構造の絶縁膜を形成することができる。ここでは、絶縁膜35の1層目の膜を絶縁膜35aと呼び、2層目の膜を絶縁膜35bと呼ぶことにする。

【0204】

絶縁膜35aとしては、例えば酸化シリコンなどでなる酸化物絶縁膜、あるいは窒素を含み、且つ欠陥量の少ない酸化物絶縁膜を形成することができる。窒素を含み、且つ欠陥量の少ない酸化物絶縁膜の代表例としては、酸化窒化シリコン膜、酸化窒化アルミニウム膜等がある。

【0205】

欠陥の少ない酸化物絶縁膜は、100K以下のESRで測定して得られたスペクトルにおいてg値が2.037以上2.039以下の第1のシグナル、g値が2.001以上2.003以下の第2のシグナル、およびg値が1.964以上1.966以下の第3のシグナルが観測される。なお、第1のシグナルおよび第2のシグナルのスプリット幅、並びに第2のシグナルおよび第3のシグナルのスプリット幅は、XバンドのESR測定において約5mTである。また、g値が2.037以上2.039以下の第1のシグナル、g値が2.001以上2.003以下の第2のシグナル、およびg値が1.964以上1.966以下である第3のシグナルのスピンの密度の合計が $1 \times 10^{18} \text{ spins/cm}^3$ 未満であり、代表的には $1 \times 10^{17} \text{ spins/cm}^3$ 以上 $1 \times 10^{18} \text{ spins/cm}^3$ 未満である。

10

20

【0206】

なお、100K以下のESRスペクトルにおいてg値が2.037以上2.039以下の第1シグナル、g値が2.001以上2.003以下の第2のシグナル、およびg値が1.964以上1.966以下の第3のシグナルは、窒素酸化物(NO_x 、xは0より大きく2以下、好ましくは1以上2以下)起因のシグナルに相当する。窒素酸化物の代表例としては、一酸化窒素、二酸化窒素等がある。即ち、g値が2.037以上2.039以下の第1のシグナル、g値が2.001以上2.003以下の第2のシグナル、およびg値が1.964以上1.966以下である第3のシグナルのスピンの密度の合計が少ないほど、酸化物絶縁膜に含まれる窒素酸化物の含有量が少ないといえる。

【0207】

絶縁膜35aが、窒素酸化物の含有量が少ない膜であることで、絶縁膜35aと酸化物半導体膜OS1乃至OS3との界面におけるキャリアのトラップを低減することが可能である。この結果、トランジスタのしきい値電圧のシフトを低減することが可能であり、トランジスタの電気的特性の変動を低減することができる。

30

【0208】

また、トランジスタの信頼性向上のため、絶縁膜35aは、SIMS(Secondary Ion Mass Spectrometry)で測定される窒素濃度が $6 \times 10^{20} / \text{cm}^3$ 以下であることが好ましい。それは、トランジスタの作製工程中に絶縁膜35aにおいて、窒素酸化物が生成されにくくなるからである。

【0209】

絶縁膜35aとして、窒素を含み、且つ欠陥量の少ない酸化物絶縁膜の一例として、CVD法により酸化窒化シリコン膜を形成することができる。この場合、原料ガスとしては、シリコンを含む堆積性気体および酸化性気体を用いることが好ましい。シリコンを含む堆積性気体の代表例としては、シラン、ジシラン、トリシラン、フッ化シラン等がある。酸化性気体としては、一酸化二窒素、二酸化窒素等がある。

40

【0210】

また、堆積性気体の流量に対して酸化性気体の流量を20倍より大きく100倍未満、好ましくは40倍以上80倍以下とし、処理室内の圧力を100Pa未満、好ましくは50Pa以下とするCVD法を用いることで、絶縁膜35aとして、窒素を含み、且つ欠陥量の少ない酸化物絶縁膜を形成することができる。

50

【0211】

絶縁膜35bとして、例えば、化学量論的組成を満たす酸素よりも多くの酸素（過剰酸素）を含む酸化物絶縁膜を用いて形成することができる。上記過剰酸素を含む酸化物絶縁膜は、加熱により酸素の一部が脱離する。上記過剰酸素を含む酸化物絶縁膜は、TDS分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である。なお、上記TDS分析時における膜の表面温度としては100以上700以下、または100以上500以下の範囲が好ましい。

【0212】

絶縁膜35bとしては、厚さが30nm以上500nm以下、好ましくは50nm以上400nm以下の、酸化シリコン、酸化窒化シリコン等を用いることができる。絶縁膜35bとして、過剰酸素を含む酸化窒化シリコン膜を用いる場合、CVD法を用いて形成することができる。

10

【0213】

絶縁膜35bとして、酸化シリコン膜または酸化窒化シリコン膜を形成する場合、次のような条件で成膜を行うことができる。プラズマCVD装置の真空排気された処理室内に載置された基板を180以上280以下、さらに好ましくは200以上240以下に保持し、処理室に原料ガスを導入して処理室内における圧力を100Pa以上250Pa以下、さらに好ましくは100Pa以上200Pa以下とし、処理室内に設けられる電極に 0.17 W/cm^2 以上 0.5 W/cm^2 以下、さらに好ましくは 0.25 W/cm^2 以上 0.35 W/cm^2 以下の高周波電力を供給する。

20

【0214】

絶縁膜36としては、少なくとも、水素および酸素のブロッキング効果を有する膜を用いる。さらに、好ましくは、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキング効果を有する。代表的には、窒化シリコンなどの窒化物絶縁膜を形成すればよい。窒化シリコン膜の他、窒化酸化シリコン膜、窒化アルミニウム膜、窒化酸化アルミニウム膜等も用いることができる。

【0215】

また、絶縁膜36を構成する膜として酸素、水素、水等に対してブロッキング効果を有する酸化物絶縁膜を設けてもよい。このような酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

30

【0216】

また、絶縁膜36の厚さは50nm以上300nm以下とすればよく、好ましくは100nm以上200nm以下である。酸素、水素、水等に対してブロッキング効果を有する絶縁膜36を形成することで、酸化物半導体膜31乃至33から外部への酸素の拡散を防ぎ、また外部から酸化物半導体膜31乃至33への水素、水等の侵入を防ぐことができる。

【0217】

絶縁膜36としてプラズマCVD法により窒化シリコン膜を形成する場合、シリコンを含む堆積性気体、窒素、およびアンモニアを原料ガスとして用いることが好ましい。これらの原料ガスを用いることで、プラズマ中でアンモニアが解離し、活性種が発生する。当該活性種が、シリコンを含む堆積性気体に含まれるシリコンおよび水素の結合、および窒素の三重結合を切断する。この結果、シリコンおよび窒素の結合が促進され、シリコンおよび水素の結合が少なく、欠陥が少なく、緻密な窒化シリコン膜を形成することができる。一方、原料ガスにおいて、窒素に対するアンモニアの量が多いと、シリコンを含む堆積性気体および窒素それぞれの分解が進まず、シリコンおよび水素結合が残存してしまい、欠陥が増大した、且つ粗な窒化シリコン膜が形成されてしまう。これらのため、原料ガスにおいて、アンモニアに対する窒素の流量比を5以上50以下、好ましくは10以上50以下とすることが好ましい。

40

【0218】

50

絶縁膜 35 を形成した後、加熱処理を行ってもよい。該加熱処理の温度は、代表的には、150 以上基板歪み点未満、好ましくは 200 以上 450 以下、更に好ましくは 300 以上 450 以下とする。当該加熱処理により、絶縁膜 35 の 2 層目を構成する酸化物絶縁膜に含まれる酸素を、酸化物半導体膜 31 乃至 33 に移動させて、これらに含まれる酸素欠損を低減することができる。加熱処理は、例えば、窒素および酸素を含む混合ガス雰囲気、加熱温度 350、加熱時間 1 時間とすればよい。

【0219】

また、絶縁膜 36 を形成した後、酸化物半導体膜 31 乃至 33 から水素等を放出させることを目的として加熱処理を行ってもよい。この加熱処理は、例えば、窒素および酸素を含む混合ガス雰囲気、加熱温度 350、加熱時間 1 時間とすればよい。

10

【0220】

[バックゲート電極]

バックゲート電極 BGE1、BGE2 はゲート電極 GE1 乃至 GE3 と同様に形成することができる。

【0221】

以下、トランジスタのいくつかの他の構成例を示す。

【0222】

(トランジスタ TA3、TA4)

図 16 (A)、(B) に、それぞれ、トランジスタ TA3、トランジスタ TA4 の上面図 (レイアウト図) と、その回路記号を示す。図 17 (A)、(B) に、トランジスタ TA3 の a7 - a8 線および b7 - b8 線による断面図、並びにトランジスタ TA4 の a9 - a10 線および b9 - b10 線による断面図を示す。

20

【0223】

トランジスタ TA3 は、ゲート電極 GE4、酸化物半導体膜 OS4、ソース電極 SE4、ドレイン電極 DE4、およびバックゲート電極 BGE4 を有する。トランジスタ TA3 は、トランジスタ TA1 の変形例であり、バックゲート電極 BGE4 が、2 つの開口 CG4、CG5 において、ゲート電極 GE4 と接している点がトランジスタ TA1 と異なり、他はトランジスタ TA1 と同様である。図 17 (B) に示すように、チャンネル幅方向で、酸化物半導体膜 OS4 がゲート電極 GE4 とバックゲート電極 BGE4 で囲まれており、トランジスタ TA3 の強度をより向上させることができる。

30

【0224】

トランジスタ TA4 は、ゲート電極 GE5、酸化物半導体膜 OS5、ソース電極 SE5、ドレイン電極 DE5、およびバックゲート電極 BGE5 を有する。トランジスタ TA4 は、トランジスタ TA2 の変形例であり、バックゲート電極 BGE5 をゲート電極 GE5 と接続せず、バックゲート電極 BGE5 をゲート電極 GE5 に異なる信号や電位を入力可能としている。例えば、ゲート電極 GE5 にトランジスタ TA4 の導通状態を制御する信号を入力し、バックゲート電極 BGE5 にトランジスタ TA4 のしきい値電圧を補正するような信号や電位を入力することが可能である。

【0225】

(トランジスタ TC1、TB2、TD1)

図 18 (A) 乃至 (C) に、それぞれ、トランジスタ TC1、トランジスタ TB2、およびトランジスタ TD1 の上面図 (レイアウト図) と、その回路記号を示す。図 19 (A)、(B) に、トランジスタ TC1 の a11 - a12 線および b11 - b12 線による断面図、トランジスタ TB2 の a13 - a14 線および b13 - b14 線による断面図、並びにトランジスタ TD1 の a15 - a16 線および b15 - b16 線による断面図を示す。

40

【0226】

トランジスタ TC1 は、ゲート電極 GE6、酸化物半導体膜 OS6、ソース電極 SE6、ドレイン電極 DE6、およびバックゲート電極 BGE6 を有する。バックゲート電極 BGE6 は開口 CG6 においてゲート電極 GE6 に接している。トランジスタ TC1 は、トランジスタ TA1 の変形例であり、酸化物半導体膜 OS6 が 2 層構造としている。酸化物半

50

導体膜OS6は、酸化物半導体膜32、33とでなる。トランジスタTC1もトランジスタTA1と同様に、チャンネル形成領域が酸化物半導体膜32で構成されるトランジスタである。そのため、トランジスタTC1も、トランジスタTA1と同程度に高い電界効果移動のトランジスタであり、代表的には、電界効果移動度が $10\text{ cm}^2/\text{Vs}$ より大きく $60\text{ cm}^2/\text{Vs}$ 未満、好ましくは $15\text{ cm}^2/\text{Vs}$ 以上 $50\text{ cm}^2/\text{Vs}$ 未満のトランジスタである。よって、トランジスタTC1もトランジスタTA1と同様に、駆動回路のような高速動作させるトランジスタに好適である。

【0227】

トランジスタTB2は、ゲート電極GE7、酸化物半導体膜OS7、ソース電極SE7、ドレイン電極DE7、およびバックゲート電極BGE7を有する。バックゲート電極BGE7は開口CG7においてゲート電極GE7に接している。トランジスタTB2は、トランジスタTB1の変形例であり、バックゲート電極BGE7を有する点でトランジスタTB1と異なる。トランジスタTB2は、ゲート電極GE7と接続されたバックゲート電極BGE7を有しているため、トランジスタTB1よりもオン電流が高く、また機械的な強度が向上されている。

10

【0228】

トランジスタTD1は、ゲート電極GE8、酸化物半導体膜OS8、ソース電極SE8、およびドレイン電極DE8を有する。トランジスタTD1は、トランジスタTB1の変形例であり、酸化物半導体膜OS8全体がゲート電極GE8に重なっており、ゲート電極GE8の端部の外側にある部分を有していない。このように、トランジスタTD1は、酸化物半導体膜OS8がトランジスタTB1よりも光に曝されにくい構造となっているため、画素部のトランジスタに好適である。

20

【0229】

なお、トランジスタTA1、TA2、TA3、TC1、TB2のように、チャンネル幅方向の断面図において、チャンネル形成領域（活性層領域）が、上下のゲート電極の電界に電気的に取り囲まれた構造を、s-channel (surrounded channel) 構造とよぶ。s-channel構造は、トランジスタのソース-ドレイン間に大電流を流すことができ、トランジスタのオン電流を高くすることができる。

【0230】

また、チャンネル形成領域に酸化物半導体を有するs-channelトランジスタは、トランジスタごとの閾値ばらつきが小さい。また、当該トランジスタは、NGBT (Negative Gate Bias Temperature) ストレスやPGBT (Positive Gate Bias Temperature) ストレスに対して強い。また、当該トランジスタは、DIBL (Drain Induced Barrier Lowering) が抑制され、短チャンネル効果の影響を受けにくい。また、当該トランジスタは、ドレイン耐圧が高く、 I_{D_S} (ドレインとソース間の電流) - V_{D_S} (ドレイン電圧) 特性において、良好な飽和特性を示す。また、当該トランジスタは、良好なスイッチング特性を有し、 I_{D_S} - V_{G_S} 特性において、サブスレッショルド係数が小さい。

30

【0231】

発光装置の駆動回路などに用いられるトランジスタのように、高速で動作させるトランジスタには、トランジスタTA1、TA2、あるいはトランジスタTA3、TA4、TC1のように、チャンネル長を短くすることが好ましい。このようなトランジスタのチャンネル長は、 $2.5\text{ }\mu\text{m}$ 未満とすることが好ましい。例えば、 $2.2\text{ }\mu\text{m}$ 以下とすればよい。本実施の形態のトランジスタでは、チャンネル長はソース電極とドレイン電極間の距離で決定されるため、チャンネル長の最小値は、ソース電極及びドレイン電極となる導電膜を加工する精度で制約される。本実施の形態のトランジスタでは、例えば、チャンネル長は $0.5\text{ }\mu\text{m}$ 以上、あるいは $1.0\text{ }\mu\text{m}$ 以上とすることができる。

40

【0232】

<トランジスタの構成例2>

本発明の一態様にかかる表示装置に用いられるトランジスタは、非晶質、微結晶、多結晶

50

または単結晶である、シリコンまたはゲルマニウムなどの半導体膜または半導体基板に、チャンネル形成領域を有していても良い。シリコンの薄膜を用いてトランジスタを形成する場合、当該薄膜には、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

【0233】

図20(A)、(B)に、本発明の一態様にかかる表示装置に用いることができる、薄膜のシリコン膜を用いたトランジスタの断面図を例示する。図20(A)、(B)では、nチャンネル型のトランジスタ70と、pチャンネル型のトランジスタ71とを示す。

10

【0234】

トランジスタ70は、絶縁表面を有する基板72上に、ゲートとして機能する導電膜73と、導電膜73上の絶縁膜74と、絶縁膜74を間に介して導電膜73と重畳する半導体膜75と、半導体膜75上の絶縁膜76と、絶縁膜76を間に介して半導体膜75と重畳し、なおかつゲートとして機能する導電膜77aおよび導電膜77bと、導電膜77aおよび導電膜77b上の絶縁膜78と、絶縁膜78上の絶縁膜79と、絶縁膜78および絶縁膜79に設けられた開口において半導体膜75に電氣的に接続され、なおかつソースまたはドレインとして機能する導電膜80および導電膜81とを有する。

【0235】

導電膜77bは、チャンネル長方向における幅が導電膜77aよりも短く、導電膜77aおよび導電膜77bは、絶縁膜76側から順に積層されている。また、半導体膜75は、導電膜77bと重畳する位置にチャンネル形成領域82と、チャンネル形成領域82を間に挟むように位置する一対のLDD(Light Doped Drain)領域83と、チャンネル形成領域82、LDD領域83を間に挟むように位置する一対の不純物領域84とを有する。一対の不純物領域84はソース領域またはドレイン領域として機能する。また、LDD領域83、および不純物領域84は、n型の導電型を半導体膜75に付与する不純物元素、例えば、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)等が添加されている。

20

【0236】

また、トランジスタ71は、絶縁表面を有する基板72上に、ゲートとして機能する導電膜85と、導電膜85上の絶縁膜74と、絶縁膜74を間に介して導電膜85と重畳する半導体膜86と、半導体膜86上の絶縁膜76と、絶縁膜76を間に介して半導体膜86と重畳し、なおかつゲートとして機能する導電膜87aおよび導電膜87bと、導電膜87aおよび導電膜87b上の絶縁膜78と、絶縁膜78上の絶縁膜79と、絶縁膜78および絶縁膜79に設けられた開口において半導体膜86に電氣的に接続され、なおかつソースまたはドレインとして機能する導電膜88および導電膜89とを有する。

30

【0237】

導電膜87bは、チャンネル長方向における幅が導電膜87aよりも短く、導電膜87aおよび導電膜87bは、絶縁膜76側から順に積層されている。また、半導体膜75は、導電膜87bと重畳する位置にチャンネル形成領域90と、チャンネル形成領域90を間に挟むように位置する一対の不純物領域91とを有する。一対の不純物領域91はソース領域またはドレイン領域として機能する。また、不純物領域91は、p型の導電型を半導体膜86に付与する不純物元素、例えば、リン(P)、ヒ素(As)等が添加されている。

40

【0238】

なお、半導体膜75または半導体膜86は、様々な技術により結晶化しても良い。様々な結晶化方法として、レーザー光を用いたレーザー結晶化法、触媒元素を用いる結晶化法がある。或いは、触媒元素を用いる結晶化法とレーザー結晶化法とを組み合わせることもできる。また、基板72として石英のような耐熱性に優れている基板を用いる場合、電熱炉を使用した熱結晶化方法、赤外光を用いたランプアニール結晶化法、触媒元素を用いる結晶化法、950程度の高温アニールを組み合わせた結晶化法を用いても良い。

50

【0239】

なお図20(A)では、ゲートとして機能する導電膜77a、77bと、バックゲートとして機能する導電膜73を有する構成を示しているが、他の構成でもよい。例えば、図20(B)に図示するように、バックゲートとして機能する導電膜73を省略してもよい。また、図20(A)では、ゲートとして機能する導電膜87a、87bと、バックゲートとして機能する導電膜85を有する構成を示しているが、他の構成でもよい。例えば、図20(B)に図示するように、バックゲートとして機能する導電膜85を省略してもよい。なお図20(B)の構造は、OSトランジスタに適用可能である。

【0240】

また、図21(A)には、図20(A)に示すnチャネル型のトランジスタ70に対応する、トランジスタ70Aの上面図を示す。図21(B)は、トランジスタ70Aのチャネル長方向を表すL1-L2線による断面図である。図21(C)は、トランジスタ70Aのチャネル幅方向を表すW1-W2線による断面図である。

10

【0241】

図21(A)では、導電膜77、導電膜73、半導体膜75、導電膜80、導電膜81、開口93、開口94、開口95および開口96を示している。導電膜77は、ゲートとして機能する。導電膜73はバックゲートとして機能する。図21(A)での説明において、同じ符号を付した構成の詳細については、図20(A)での説明と同様であるため、ここでは省略する。開口93、94は、半導体膜75と、導電膜80、導電膜81とを接続するための開口である。開口95、96は、導電膜77と、導電膜73と電氣的に接続するための開口である。

20

【0242】

図21(B)では、基板72上に、導電膜73と、絶縁膜74と、絶縁膜74を間に介して導電膜73と重畳する半導体膜75と、半導体膜75上の絶縁膜76と、絶縁膜76を間に介して半導体膜75と重畳し、なおかつゲートとして機能する導電膜77aおよび導電膜77bと、導電膜77aおよび導電膜77b上の絶縁膜78と、絶縁膜78上の絶縁膜79と、絶縁膜78および絶縁膜79に設けられた開口93、94において半導体膜75に電氣的に接続され、なおかつソースまたはドレインとして機能する導電膜80および導電膜81とを有する。図21(B)での説明において、同じ符号を付した構成の詳細については、図20(A)での説明と同様であるため、ここでは省略する。

30

【0243】

半導体膜75は、チャネル形成領域82と、一对のLDD領域83と、一对の不純物領域84とを有する。一对の不純物領域84はソース領域またはドレイン領域として機能する。

【0244】

図21(C)では、基板72上に、導電膜73と、絶縁膜74と、チャネル形成領域82と、絶縁膜76と、開口95、96において導電膜73に電氣的に接続された導電膜77aおよび導電膜77bと、導電膜77aおよび導電膜77b上の絶縁膜78と、絶縁膜78上の絶縁膜79と、を有する。図21(C)での説明において、同じ符号を付した構成の詳細については、図20(A)での説明と同様であるため、ここでは省略する。

40

【0245】

図21(A)乃至(C)に示す上面図及び断面図の構成では、ゲートである導電膜77、導電膜77と電氣的に接続されたバックゲートである導電膜73によって、半導体膜75のチャネル形成領域82のチャネル幅方向を電氣的に取り囲むs-channel構造としている。s-channel構造は、チャネル形成領域の上面、下面及び側面から、チャネル形成領域を包み込む構造とすることができる。そのため、オン電流を高めることができ、チャネル幅方向のサイズ縮小を図ることができる。また、チャネル形成領域を導電膜で取り囲む構成とするため、チャネル形成領域の遮光を容易に行うことができ、チャネル形成領域に意図しない光が照射されることによる光励起を抑制することができる。

【0246】

50

また図 2 1 (A) 乃至 (C) に示す上面図及び断面図の構成では、半導体膜 7 5 における W 1 - W 2 方向での側端部における意図しない導電性の上昇による導通状態を抑制することができる。また半導体膜 7 5 内に添加した不純物元素の分布ばらつきの影響を小さくすることができる。

【 0 2 4 7 】

また図 2 1 (A) 乃至 (C) に示す上面図及び断面図の構成では、ゲートとバックゲートとを電氣的に接続する構成としたが、別々の電圧とする構成も有効である。当該構成は、特に n チャネル型のみで構成する回路に有効である。つまり、バックゲートに電圧を印加することでトランジスタの閾値電圧を制御できるため、閾値電圧の異なる E D - M O S トランジスタでインバータ回路などのロジック回路を構成することができる。このようなロジック回路を、画素を駆動するための駆動回路に適用することで駆動回路が占める面積を縮小することができるため、表示装置の狭額縁化を実現することができる。また、バックゲートの電圧をトランジスタがオフになるような電圧にすることで、トランジスタをオフ状態にした際のオフ電流をより小さくすることができる。そのため、表示装置のリフレッシュの頻度を少なくしても、書き込んだ電圧を保持し続けさせることができる。そのため、書き込み回数を少なくすることによる表示装置の低消費電力化を見込むことができる。

10

【 0 2 4 8 】

なお図 2 1 (A) 乃至 (C) に示す上面図及び断面図は、一例であり他の構成とすることもできる。例えば、図 2 2 (A) 乃至 (C) に図 2 1 (A) 乃至 (C) とは異なる上面図及び断面図を示す。

20

【 0 2 4 9 】

図 2 2 (A) 乃至 (C) に示す構成が、図 2 1 (A) 乃至 (C) に示す構成と異なる点は、ゲートとなる導電膜 7 7 を単層で形成している点にある。また開口 9 5 , 9 6 の位置を、よりチャネル形成領域 8 2 側に近づけた点にある。このようにすることで、チャネル形成領域の上面、下面及び側面から、チャネル形成領域に向けて電界をかけやすくなる。また、当該構成としても、図 2 1 (A) 乃至 (C) と同様の効果を奏することができる。

【 0 2 5 0 】

また別の構成として、図 2 3 (A) 乃至 (C) に図 2 1 (A) 乃至 (C) 、及び図 2 2 (A) 乃至 (C) とは異なる上面図及び断面図を示す。

30

【 0 2 5 1 】

図 2 3 (A) 乃至 (C) に示す構成が、図 2 1 (A) 乃至 (C) 、及び図 2 2 (A) 乃至 (C) に示す構成と異なる点は、バックゲートとなる導電膜 7 3 を導電膜 7 3 a および導電膜 7 3 b で構成し、導電膜 7 3 b を導電膜 7 3 a で取り囲む構造としている点にある。当該構成としても、図 2 1 (A) 乃至 (C) と同様の効果を奏することができる。

【 0 2 5 2 】

加えて図 2 3 (A) 乃至 (C) の構成では、導電膜 7 3 b に可動性の元素 (例えば、銅 (C u)) を用いた場合においても、可動性の元素が半導体膜に侵入し半導体膜が劣化することを防止できる。

【 0 2 5 3 】

なお配線の被形成面にある、バリア膜として機能する導電膜 7 3 a の材料としては、高融点材料であるタングステン (W) 、モリブデン (M o) 、クロム (C r) 、チタン (T i) 、 tantalum (T a) のいずれか、あるいはその合金 (例えば、 W - M o 、 M o - C r 、 T a - M o) 、あるいはその窒化物 (例えば、窒化タングステン、窒化チタン、窒化タンタル、 T i S i N x) 等を用いることができる。形成方法としてはスパッタ法、 C V D 法等を用いることができる。また導電膜 7 3 b の材料としては、銅 (C u) が好ましいが、低抵抗材料であれば特に限られない。例えば、銀 (A g) 、アルミニウム (A l) 、金 (A u) 、及びそれらの合金等を用いることもできる。導電膜 7 3 b を形成する方法としてはスパッタ法が好ましいが、レジストマスクにダメージを与えない条件を選択することで、 C V D 法を用いることもできる。

40

50

【0254】

図21乃至図23に示すトランジスタは、*s-channel*構造である。チャンネル形成領域にシリコンを有する*s-channel*トランジスタは、オン電流が高く、トランジスタごとの閾値ばらつきが小さい。また、当該トランジスタは、*DI BL*が抑制され、短チャンネル効果の影響を受けにくい。また、当該トランジスタは、インパクトイオンの影響を受けにくく、ドレイン耐圧が高い。そのため、 $I_{DS} - V_{DS}$ 特性において、良好な飽和特性を示す。また、当該トランジスタは、良好なスイッチング特性を有し、 $I_{DS} - V_{GS}$ 特性において、サブスレッシュホールド係数が小さい。

【0255】

<トランジスタの作製工程について>

次いで、上述したトランジスタ、ここでは特に図20乃至23で説明したバックゲート電極を有するトランジスタ、及び該トランジスタ上に設けた発光素子の断面図を示して、その作製工程の一例を説明する。

【0256】

まず図24(A)に示すように、基板501の絶縁表面上に、バックゲート電極として機能する導電膜502を設ける。導電膜502は、Al、W、Mo、Ti、Taから選ばれた一種又は複数種からなる導電性の材料で形成することができる。本実施の形態ではタングステンをを用いたが、窒化タンタルの上にタングステンを積層したものを導電膜502として用いても良い。また、単層ではなく複数の層で構成されていても良い。

【0257】

基板501には、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、金属基板またはシリコン基板の表面に絶縁膜を形成したものをを用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板は、一般的に上記基板と比較して耐熱温度が低い傾向にあるが、作製工程における処理温度に耐え得るのであれば用いることが可能である。

【0258】

次に、導電膜502を覆うように絶縁膜503を設ける。絶縁膜503は、絶縁膜503a、絶縁膜503bを積層して設ける。絶縁膜503aは、一例として酸化珪素膜を用いる。絶縁膜503bは、一例として酸化珪素膜又は酸化窒素膜を用いる。なお絶縁膜503はこの構成に限定されず、単層の絶縁膜で形成されていても良いし、3層以上の絶縁膜で形成されていても良い。また材料もこれに限定されない。

【0259】

絶縁膜503の表面(ここでは絶縁膜503bの表面)は、先に形成した導電膜502に起因する凹凸を有している場合がある。この場合、凹凸を平坦化する工程を設けることが望ましい。本実施の形態ではCMP(Chemical-Mechanical Polishing)を用いて平坦化を行なう。

【0260】

次に、絶縁膜503の上に、非晶質半導体膜504をプラズマCVD法で形成する。非晶質半導体膜504は含有水素量にもよるが、好ましくは400乃至550で数時間加熱して脱水素処理を行い、含有水素量を5atom%以下として、結晶化の工程を行なうことが望ましい。また、非晶質半導体膜をスパッタ法や蒸着法などの他の作製方法で形成しても良いが、膜中に含まれる酸素、窒素などの不純物元素を十分低減させておくことが望ましい。

【0261】

用いる半導体は珪素のみに限定されず、例えばシリコンゲルマニウムを用いることができる。シリコンゲルマニウムを用いる場合、ゲルマニウムの濃度は0.01乃至4.5atomic%程度であることが好ましい。

【0262】

なお、絶縁膜503と非晶質半導体膜504をいずれもプラズマCVD法で作製する場合、これらの2つの膜を大気に曝すことなく連続して形成しても良い。連続成膜することに

10

20

30

40

50

よって、大気による表面の汚染を極力抑え、よって作製されるトランジスタの特性バラツキを低減させることができる。

【0263】

次に、非晶質半導体膜504への触媒の添加を行なう。本実施の形態では、重量換算で1乃至100ppmのニッケルを含む酢酸ニッケル溶液をスピナーで塗布した。なお、酢酸ニッケル溶液の馴染みをよくするために、非晶質半導体膜504の表面をオゾン含有水溶液で処理することで極薄い酸化膜を形成し、その酸化膜をフッ酸と過酸化水素水の混合液でエッチングして清浄な表面を形成した後、再度オゾン含有水溶液で処理して極薄い酸化膜を形成しておいても良い。半導体膜の表面は本来疎水性なので、このように酸化膜を形成しておくことにより酢酸ニッケル溶液を均一に塗布することができる。以上が、図24(A)の説明である。

10

【0264】

勿論、非晶質半導体膜への触媒の添加は上記方法に限定されず、スパッタ法、蒸着法、プラズマ処理などを用いて添加するようにしても良い。

【0265】

次に、500乃至650で4乃至24時間、例えば570、14時間の加熱処理を行った。加熱処理を施すことで、ニッケル含有層505により結晶化が進行し、結晶性の高められた結晶性半導体膜が形成される。

【0266】

加熱処理の方法としては、電熱炉を用いるファーネスアニール法や、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどを用いたRTA法を用いることができる。または、加熱した不活性気体を用いるガス加熱方式のRTAを用いることも可能である。

20

【0267】

RTA法で行なう場合には、加熱用のランプ光源を1乃至60秒、好ましくは30乃至60秒点灯させ、それを1乃至10回、好ましくは2乃至6回繰り返す。ランプ光源の発光強度は任意なものとするが、非晶質半導体膜504が瞬間的には600乃至1000、好ましくは650乃至750程度にまで加熱されるようにする。このような高温になったとしても、半導体膜が瞬間的に加熱されるのみであり、基板501はそれ自身が歪んで変形することはない。

30

【0268】

その他の方法としてファーネスアニール法を用いる場合には、加熱処理に先立ち、500にて1時間程度の加熱処理を行い、非晶質半導体膜504が含有する水素を放出させておく。そして、電熱炉を用いて窒素雰囲気中にて550以上600以下、好ましくは580で4時間の加熱処理を行い、非晶質半導体膜504を結晶化させる。

【0269】

なお、本実施の形態では触媒元素としてニッケル(Ni)を用いているが、その以外にも、ゲルマニウム(Ge)、鉄(Fe)、パラジウム(Pd)、スズ(Sn)、鉛(Pb)、コバルト(Co)、白金(Pt)、銅(Cu)、金(Au)といった元素を用いても良い。

40

【0270】

次に、結晶性半導体膜506内に存在する触媒元素のゲッタリングについて説明する。触媒元素を用いる結晶化により、結晶性半導体膜506内には、触媒元素(ここではニッケル)が平均的な濃度として $1 \times 10^{19} / \text{cm}^3$ を越える程度に残存しているものと考えられる。触媒元素が残留しているとトランジスタの特性に悪影響を及ぼす可能性があるため、触媒元素濃度を低減させる工程を設ける必要がある。

【0271】

ゲッタリングの方法は様々であるが、本実施の形態では結晶性半導体膜506をパターンニングする前に行なうゲッタリングの一例について説明する。まず、図24(B)に示すように結晶性半導体膜506の表面にバリア層507を形成する。バリア層507は、後に

50

ゲッターリングサイトを除去する際に、結晶性半導体膜 506 がエッチングされるのを防ぐために設ける。

【0272】

バリア層 507 の厚さは 1 乃至 10 nm 程度とする。オゾン水で処理することにより形成されるケミカルオキサイドをバリア層として用いても良い。また、硫酸、塩酸、硝酸などと過酸化水素水を混合させた水溶液で処理しても同様にケミカルオキサイドを形成することができる。他には、酸化雰囲気中でのプラズマ処理する方法や、酸素含有雰囲気中での紫外線照射によりオゾンが発生させて酸化処理を行なう方法等を用いても良い。また、クリーンオープンを用い、200 乃至 350 程度に加熱して薄い酸化膜を形成しバリア層としても良い。或いは、プラズマ CVD 法やスパッタ法、蒸着法などで 1 乃至 5 nm 程度の酸化膜を堆積してバリア層としても良い。いずれにしても、ゲッターリング工程時に、触媒元素がゲッターリングサイト側に移動できて、ゲッターリングサイトの除去工程時には、エッチング液がしみこまない（結晶性半導体膜 506 をエッチング液から保護する）膜、例えば、オゾン水で処理することにより形成されるケミカルオキサイド膜、酸化シリコン膜（SiO_x）、または多孔質膜を用いればよい。

10

【0273】

次いで、バリア層 507 上にスパッタ法でゲッターリングサイト 508 として、膜中に希ガス元素を $1 \times 10^{20} / \text{cm}^3$ 以上の濃度で含むゲッターリング用の半導体膜（代表的には、非晶質シリコン膜）を 25 乃至 250 nm の厚さで形成する。後に除去されるゲッターリングサイト 508 は結晶性半導体膜 506 とエッチングの選択比を大きくするため、密度の低い膜を形成することが好ましい。

20

【0274】

なお、希ガス元素は半導体膜中でそれ自体は不活性であるため、結晶性半導体膜 506 に悪影響を及ぼすことはない。また、希ガス元素としてはヘリウム（He）、ネオン（Ne）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）から選ばれた一種または複数種を用いる。

【0275】

次に、加熱処理を施すことでゲッターリングを行なう（図 24（B））。加熱処理はファーンズアニール法や RTA 法で行なう。ファーンズアニール法で行なう場合には、窒素雰囲気中にて 450 乃至 600 で 0.5 乃至 12 時間の加熱処理を行なう。また、RTA 法を用いる場合には、加熱用のランプ光源を 1 乃至 60 秒、好ましくは 30 乃至 60 秒点灯させ、それを 1 乃至 10 回、好ましくは 2 乃至 6 回繰り返す。ランプ光源の発光強度は任意なものとするが、半導体膜が瞬間的には 600 乃至 1000、好ましくは 700 乃至 750 程度にまで加熱されるようにする。

30

【0276】

加熱処理により、結晶性半導体膜 506 にある触媒元素が熱エネルギーにより放出され、拡散により矢印に示すようにゲッターリングサイト 508 に移動する。従って、ゲッターリングは処理温度に依存し、より高温であるほど短時間でゲッターリングが進むことになる。

【0277】

ゲッターリング工程終了後、ゲッターリングサイト 508 を選択的にエッチングして除去する。エッチングの方法としては、ClF₃ によるプラズマを用いないドライエッチング、或いはヒドラジンや、テトラメチルアンモニウムヒドロオキサイド（化学式（CH₃）₄NOH）を含む水溶液などアルカリ溶液によるウェットエッチングで行なうことができる。このとき、バリア層 507 はエッチングストッパーとして機能する。また、バリア層 507 はその後フッ酸により除去する（図 24（C））。

40

【0278】

次に、バリア層 507 除去後の結晶性半導体膜 506 をパターンニングし、島状の半導体膜 509、510 を形成する（図 24（D））。半導体膜 509、510 の膜厚は 25 乃至 100 nm（好ましくは 30 乃至 60 nm）とする。次に、半導体膜 509、510 を覆うように絶縁膜 511 を成膜する。絶縁膜 511 は、後にゲート電極として機能する電極

50

を形成するために行なうドライエッチングにおいて、その膜厚が10乃至40nm程度減少するので、その減少分を考慮に入れて膜厚を設定するのが望ましい。具体的には40乃至150nm(より好ましくは60乃至120nm)程度の厚さに絶縁膜511を成膜する。

【0279】

絶縁膜511には、例えば酸化珪素、窒化珪素または窒化酸化珪素等を用いることができる。本実施の形態では、絶縁膜511を単層の絶縁膜で構成しているが、2層以上の複数の絶縁膜で構成されていても良い。また成膜方法は、プラズマCVD法、スパッタ法などを用いることができる。例えば、プラズマCVD法を用い、酸化珪素で絶縁膜511を成膜する場合、TEOS(Tetraethyl Orthosilicate)とO₂を混合したガスを用い、反応圧力40Pa、基板温度300乃至400、高周波(13.56MHz)電力密度0.5乃至0.8W/cm²とし、成膜する。

10

【0280】

また窒化アルミニウムを絶縁膜511として用いることができる。窒化アルミニウムは熱伝導率が比較的高く、トランジスタで発生した熱を効率的に発散させることができる。またアルミニウムの含まれない酸化珪素や酸化窒化珪素等を形成した後、窒化アルミニウムを積層したものを絶縁膜511として用いても良い。

【0281】

次に、絶縁膜511上に導電膜を成膜する(図24(E))。本実施の形態では窒化タンタルからなる導電膜512aを20乃至100nmの厚さで、タングステンからなる導電膜512bを100乃至400nmの厚さで成膜する。具体的に、導電膜512aに用いる窒化タンタルは、ターゲットに純度99.99%のTaを用い、チャンパー内の温度を室温、Arの流量を50ml/min、N₂の流量を10ml/min、チャンパー内の圧力0.6Pa、成膜電力1kWとし、成膜速度約40nm/minで成膜した。また導電膜512bに用いるタングステンは、ターゲットに純度99.99%のタングステンをを用い、チャンパー内の温度を230、Arの流量を100ml/min、チャンパー内の圧力1.5Pa、成膜電力6kWとし、成膜速度約390nm/minで成膜した。

20

【0282】

なお本実施の形態では、2層の導電膜を用いてゲート電極として機能する電極を形成する例について説明するが、導電膜は単層であっても良いし、また3層以上の複数の層で形成されていても良い。また各導電層の材料は本実施の形態に示したものに限定されない。

30

【0283】

具体的に各導電膜には、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金もしくは化合物で形成することができる。例えば1層目がタンタルで2層目がタングステン、または1層目が窒化タンタルで2層目がアルミニウム、1層目が窒化タンタルで2層目が銅といった組み合わせも考えられる。また1層目と2層目のいずれか一方に銀とパラジウムと銅の合金を用いても良い。タングステン、アルミニウムとシリコンの合金(Al-Si)、窒化チタンを順次積層した3層構造としてもよい。タングステンの代わりに窒化タングステンをを用いてもよいし、アルミニウムとシリコンの合金(Al-Si)に代えてアルミニウムとチタンの合金膜(Al-Ti)を用いてもよいし、窒化チタンに代えてチタンを用いてもよい。ただし、複数の導電膜を成膜する場合、エッチング後に各層の導電膜の、チャンネル長方向における幅に差を持たせたいならば、互いにエッチングの選択比のとれる材料を用いる。

40

【0284】

なお、導電膜の材料によって、適宜最適なエッチングガスを選択することが重要である。

【0285】

次にマスク514を形成し、図25(A)に示すように導電膜512a及び導電膜512bをエッチングする(第1のエッチング処理)。本実施の形態ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用いて行なった。エッチングガスとしてCl₂とCF₄とO₂を混合したガスを用い、チャン

50

パー内のエッチングガスの圧力を 1.0 Pa とする。そして、コイル型の電極に 500 W 、 13.56 MHz の高周波 (RF) 電力を投入し、プラズマを生成する。また基板が載置されたステージ (下部電極) に 150 W 、 13.56 MHz の高周波 (RF) 電力を投入し、これにより基板に自己バイアス電圧が印加される。その後、エッチングガスを Cl_2 と CF_4 に変更し、トータルの圧力を 1.0 Pa とした。またコイル型の電極に 500 W の高周波 (13.56 MHz) 電力を投入し、基板側 (試料ステージ) には 20 W の高周波 (13.56 MHz) 電力を投入した。

【0286】

CF_4 と Cl_2 をエッチングガスとして用いると、導電膜 512a である窒化タンタルと、導電膜 512b であるタングステンのエッチングレートがほぼ等しくなり、共に同じ程度エッチングされる。

10

【0287】

この第1のエッチング処理により、下層 515a と上層 515b とで構成された第1の形状の導電膜 515 と、下層 516a と上層 516b とで構成された第1の形状の導電膜 516 とが形成される。なおこの第1のエッチング処理において、下層 515a、516a と上層 515b、516b の側面がややテーパ状になる。また導電膜の残渣を残さないようにエッチングすると、第1の形状の導電膜 515、516 で覆われていない絶縁膜 511 の表面が、5乃至10nm程度またはそれ以上エッチングされることがある。

【0288】

次に図25(B)に示すように、第1のエッチング処理で表面がエッチングされて幅が小さくなったマスク 514 を用い、第1の形状の導電膜 515、516 をエッチング (第2のエッチング処理) する。第2のエッチング処理でも第1のエッチング処理と同じく ICP エッチング法を用いる。エッチングガスは SF_6 、 Cl_2 、 O_2 を混合したガスを用い、チャンパー内のエッチングガスの圧力を 1.3 Pa とする。そして、コイル型の電極に 700 W 、 13.56 MHz の高周波電力を投入し、プラズマを生成する。また基板が載置されたステージ (下部電極) に 10 W 、 13.56 MHz の高周波電力を投入し、これにより基板に自己バイアス電圧が印加される。

20

【0289】

SF_6 と Cl_2 を混合したガスに O_2 を加えることで、第1の形状の導電膜 515、516 において、タングステンのエッチングレートが増加し、また窒化タンタルのエッチングレートが極端に低下するため、選択比をとることができる。

30

【0290】

第2のエッチング処理によって、第2の形状の導電膜 517 (下層 517a、上層 517b) と、第2の形状の導電膜 518 (下層 518a、上層 518b) が形成される。上層 517b、518b のチャンネル長方向における幅は、下層 517a、518a の幅よりも短くなっている。なお第2のエッチング処理によって、第2の形状の導電膜 517、518 で覆われていない絶縁膜 511 の表面が、5乃至10nm程度またはそれ以上エッチングされる。

【0291】

次に図25(C)に示すように、第2の形状の導電膜 517、518 をマスクとして用い、半導体膜 509、510 に n 型の導電性を付与する不純物を添加する (第1のドーピング処理)。ドーピングはイオン注入法で行なう。ドーピングは、ドーズ量を 1×10^{13} 乃至 $5 \times 10^{14} \text{ atoms/cm}^2$ 、加速電圧を 40 乃至 80 kV として行なう。n 型を付与する不純物元素は、ドナーとして機能する P、As、Sb 等の 5 族原子や S、Te、Se 等の 6 族原子を用いるが、本実施の形態では P を用いる。第1のドーピング処理により、自己整合的に不純物領域 520、521 が形成される。不純物領域 520、521 は 1×10^{18} 乃至 $1 \times 10^{20} \text{ atoms/cm}^3$ の濃度範囲で n 型を付与する不純物元素が添加されている。

40

【0292】

続いて、第2のドーピング処理を行って、図25(D)の状態を得る。第2のドーピング

50

処理は、加速電圧を50乃至100kVとし、ドーズ量を 1×10^{15} 乃至 1×10^{17} atoms/cm²とする。第1のドーピング処理および第2のドーピング処理により、下層517a、518aと重なる不純物領域522、523と、不純物領域524、525とが形成される。不純物領域522、523は、 1×10^{18} 乃至 5×10^{19} atoms/cm³の濃度範囲でn型を付与する不純物元素を添加され、不純物領域524、525は、 1×10^{19} 乃至 5×10^{21} atoms/cm³の濃度範囲でn型を付与する不純物元素が添加される。

【0293】

不純物領域522、523は不純物領域524、525の内側に形成されており、不純物領域522、523はLDD領域、不純物領域524、525はソース/ドレイン領域として機能する。

10

【0294】

もちろん、適当な加速電圧にすることで、第1のドーピング処理および第2のドーピング処理を1回のドーピング処理で済まし、低濃度不純物領域および高濃度不純物領域を形成することも可能である。

【0295】

以上までの工程でそれぞれの島状の半導体膜に不純物領域が形成される。

【0296】

次に、島状の半導体膜509、510と、絶縁膜511と、第2の形状の導電膜517、518と覆って、層間絶縁膜530を成膜する(図26(A))。層間絶縁膜530は、珪素を含む酸化珪素、窒化珪素、酸化窒化珪素などの絶縁膜を用いることができ、その厚さは100乃至200nm程度とする。

20

【0297】

次に、島状の半導体膜509、510に添加された不純物元素を活性化するために、熱処理を行なう。この工程はファーネスアニール炉を用いる熱アニール法、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を用いることができる。例えば熱アニール法で活性化を行なう場合、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で、400乃至700(好ましくは500乃至600)で行なう。さらに、3乃至100%の水素を含む雰囲気中で、300乃至450で1乃至12時間の熱処理を行い、島状の半導体膜を水素化する工程を行なう。この工程は、熱的に励起こされた水素によりダングリングボンドを終端する目的で行なわれる。水素化の他の手段として、プラズマ水素化(プラズマにより励起こされた水素を用いる)を行っても良い。また活性化処理は層間絶縁膜530を成膜する前に行っても良い。

30

【0298】

上記一連の工程によって、トランジスタ531と、トランジスタ532を形成することができる。なお、本実施の形態において、トランジスタ531およびトランジスタ532はnチャネル型トランジスタとして扱ったが、トランジスタ531またはトランジスタ532は、pチャネル型トランジスタとして扱ってもよい。その場合、第1のドーピング処理および第2のドーピング処理において、p型の不純物をドーピングすればよい。または、第1のドーピング処理および第2のドーピング処理を、1回のp型の不純物のドーピング処理で済ましてもよい。p型を付与する不純物元素はBなどが挙げられる。不純物領域522、523は、 1×10^{18} 乃至 5×10^{19} atoms/cm³の濃度範囲でp型を付与する不純物元素を添加され、不純物領域524、525は、 1×10^{19} 乃至 5×10^{21} atoms/cm³の濃度範囲でp型を付与する不純物元素が添加されればよい。

40

【0299】

また、第1のエッチング処理と第2のエッチング処理の間に第1のドーピング処理を行なってもよい。第1のドーピング処理を行った後、第2のエッチング処理で上層をチャネル長方向において短くなるようにエッチングし、第2のドーピング処理を行うことで、不純物領域522、523および不純物領域524、525を形成してもよい。

【0300】

50

なお上記プラズマエッチングはICPEエッチング法に限定されない。例えば、ECR (Electron Cyclotron Resonance: 電子サイクロトロン共鳴) エッチング法、RIEエッチング法、ヘリコン波エッチング法、ヘリカル共鳴エッチング法、パルス変調エッチング法やその他のプラズマエッチング法を用いても良い。

【0301】

本実施の形態では、触媒元素による結晶化方法のみを用いた例を示したが、これに限定されない。触媒元素を用いて結晶化を行なった後に、より結晶性を高めるために、パルス発振のレーザ光照射を行なうようにしても良い。また上述したゲッタリング工程は、本実施の形態に示した方法に限定されない。その他の方法を用いて半導体膜中の触媒元素を低減するようにしても良い。

10

【0302】

次に、層間絶縁膜530を覆うように、層間絶縁膜533と層間絶縁膜534を成膜する。本実施の形態では、層間絶縁膜533を有機樹脂、例えば非感光性のアクリルを用いて形成する。層間絶縁膜534は、水分や酸素などのOLEDの劣化を促進させる原因となる物質を、他の絶縁膜と比較して透過させにくい膜を用いる。代表的には、例えばDLC膜、窒化炭素膜、RFスパッタ法で形成された窒化珪素膜等を用いるのが望ましい。

【0303】

次いで、絶縁膜511、層間絶縁膜530、層間絶縁膜533及び層間絶縁膜534をエッチングし、開口を形成する。そして、島状の半導体膜509、510とコンタクトを形成する配線535乃至538を形成する。

20

【0304】

次に、層間絶縁膜534及び配線535乃至538を覆って透明導電膜を成膜し、パターニングすることで、トランジスタ532の島状の半導体膜510に接続されている配線538に接続した、画素電極(陽極)540を形成する(図26(B))。画素電極540に用いる透明導電膜は、ITOのみならず、酸化インジウムに2乃至20%の酸化亜鉛(ZnO)を混合した透明導電膜を用いても良い。画素電極540は、その表面が平坦化されるように、CMP法、ポリビニルアルコール系の多孔質体を用いた拭浄で研磨しても良い。またCMP法を用いた研磨後に、画素電極540の表面に紫外線照射、酸素プラズマ処理などを行ってもよい。

【0305】

そして、隔壁として用いる有機樹脂膜541を、層間絶縁膜534上に形成する。有機樹脂膜541は、画素電極540と重なる領域において開口を有するようにする。有機樹脂膜541は、次に電界発光層を成膜する前に、吸着した水分や酸素等を除去するために真空雰囲気下で加熱しておく。具体的には、100乃至200、0.5乃至1時間程度、真空雰囲気下で加熱処理を行なう。望ましくは 3×10^{-7} Torr以下とし、可能であるならば 3×10^{-8} Torr以下とするのが最も望ましい。そして、有機樹脂膜541に真空雰囲気下で加熱処理を施した後に電界発光層を成膜する場合、成膜直前まで真空雰囲気下に保つことで、信頼性をより高めることができる。

30

【0306】

有機樹脂膜541の開口部における端部は、該端部において後に成膜される電界発光層に穴があかないように、丸みを帯びさせることが望ましい。具体的には、開口部における有機樹脂膜541の断面が描いている曲線の曲率半径が、0.2乃至2 μ m程度であることが望ましい。

40

【0307】

図26(C)では、有機樹脂膜541として、ポジ型の感光性のアクリル樹脂を用いた例を示している。感光性の有機樹脂には、光、電子、イオンなどのエネルギー線が露光された箇所が除去されるポジ型と、露光された箇所が残るネガ型とがある。本発明ではネガ型の有機樹脂膜を用いても良い。また感光性のポリイミドを用いて有機樹脂膜541を形成しても良い。

【0308】

50

ネガ型のアクリルを用いて有機樹脂膜 5 4 1 を形成した場合、開口部における端部が、S 字状の断面形状となる。このとき開口部の上端部及び下端部における曲率半径は、0 . 2 乃至 2 μ m とすることが望ましい。

【 0 3 0 9 】

上記構成により、後に形成される電界発光層や陰極のカバレッジを良好とすることができ、画素電極 5 4 0 と陰極が電界発光層に形成された穴においてショートするのを防ぐことができる。また電界発光層の応力を緩和させることで、発光領域が減少するシュリンクとよばれる不良を低減させることができ、信頼性を高めることができる。

【 0 3 1 0 】

次に、画素電極 5 4 0 上に発光層 5 4 2 を成膜する。発光層 5 4 2 は、単数または複数の層からなり、有機物のみならず無機物の層が含まれていても良い。

10

【 0 3 1 1 】

次に、発光層 5 4 2 を覆って、陰極 5 4 3 を成膜する。陰極 5 4 3 は、仕事関数の小さい導電膜であれば公知の他の材料を用いることができる。例えば、Ca、Al、MgAg、AlLi 等が望ましい。

【 0 3 1 2 】

画素電極 5 4 0、発光層 5 4 2、陰極 5 4 3 は、有機樹脂膜 5 4 1 の開口において重なり合っており、該重なり合っている部分が発光素子 5 4 4 に相当する。

【 0 3 1 3 】

次に、有機樹脂膜 5 4 1 及び陰極 5 4 3 上に、保護膜 5 4 5 が成膜されている。保護膜 5 4 5 は層間絶縁膜 5 3 4 と同様に、水分や酸素などの発光素子の劣化を促進させる原因となる物質を、他の絶縁膜と比較して透過させにくい膜を用いる。代表的には、例えば DLC 膜、窒化炭素膜、RF スパッタ法で形成された窒化珪素膜等を用いるのが望ましい。また上述した水分や酸素などの物質を透過させにくい膜と、該膜に比べて水分や酸素などの物質を透過させやすい膜とを積層させて、保護膜として用いることも可能である。

20

【 0 3 1 4 】

なお図 2 6 (C) では、発光素子から発せられる光が基板 5 0 1 側に照射される構成を示しているが、光が基板とは反対側に向かうような構造の発光素子としても良い。

【 0 3 1 5 】

なお、実際には図 2 6 (C) まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のカバー材でパッケージング（封入）することが好ましい。その際、カバー材の内部を不活性雰囲気、あるいは内部に吸湿性材料（例えば酸化バリウム）を配置すると発光素子を有する表示装置の信頼性が向上する。

30

【 0 3 1 6 】

上述した作製方法を用いることで、バックゲート電極を有するトランジスタ、及び該トランジスタ上に設けた発光素子を同一基板上に形成することができる。

【 0 3 1 7 】

（実施の形態 3）

本実施の形態では、表示装置の作製方法の一例について図 2 7 乃至図 2 9 を用いて説明する。特に本実施の形態では、可撓性を有する表示装置の作製方法について説明する。

40

【 0 3 1 8 】

< 表示装置の作製方法 1 >

まず、基板 4 6 2 上に絶縁膜 4 2 0 を形成し、絶縁膜 4 2 0 上に第 1 の素子層 4 1 0 を形成する（図 2 7 (A) 参照）。第 1 の素子層 4 1 0 には、半導体素子が設けられている。或いは、第 1 の素子層 4 1 0 には、半導体素子に加え、表示素子、または画素電極などの表示素子の一部が設けられていても良い。

【 0 3 1 9 】

基板 4 6 2 としては、少なくとも、後の熱処理に耐えうる程度の耐熱性を有している必要がある。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板等を、基板 4

50

62として用いてもよい。

【0320】

基板462にガラス基板を用いる場合、基板462と絶縁膜420との間に、酸化シリコン膜、酸化窒化珪素膜、窒化珪素膜、窒化酸化シリコン膜等の絶縁膜を形成すると、ガラス基板からの汚染を防止でき、好ましい。

【0321】

絶縁膜420には、例えば、エポキシ樹脂、アラミド樹脂、アクリル樹脂、ポリイミド樹脂、ポリアミド樹脂、ポリアミドイミド樹脂等の有機樹脂膜を用いることができる。中でもポリイミド樹脂を用いると耐熱性が高いため好ましい。絶縁膜420として、例えば、ポリイミド樹脂を用いる場合、該ポリイミド樹脂の膜厚は、3nm以上20μm以下、好ましくは500nm以上2μm以下である。絶縁膜420として、ポリイミド樹脂を用いる場合、スピンコート法、ディップコート法、ドクターブレード法等により形成することができる。例えば、絶縁膜420としてポリイミド樹脂を用いる場合、ドクターブレード法により、当該ポリイミド樹脂を用いた膜の一部を除去することで、所望の厚さを有する絶縁膜420を得ることができる。

10

【0322】

なお、第1の素子層410は、その作製工程における温度が室温以上300以下であると好ましい。例えば、第1の素子層410に含まれる、無機材料を用いた絶縁膜または導電膜は、成膜温度が150以上300以下、さらには200以上270以下で形成されることが好ましい。また、第1の素子層410に含まれる、有機樹脂材料を用いた絶縁膜等は、成膜温度が室温以上100以下で形成されると好ましい。

20

【0323】

また、第1の素子層410に含まれるトランジスタの酸化物半導体膜には、前述したCAAC-OSを用いることが好ましい。当該トランジスタの酸化物半導体膜にCAAC-OSを用いると、例えば、表示装置を折り曲げる際に、チャンネル形成領域にクラック等が入りづらく、曲げに対する耐性を高めることが可能となる。

【0324】

また、第1の素子層410に含まれる導電膜として、酸化シリコンを添加したインジウム錫酸化物を用いると、表示装置を折り曲げる際に、当該導電膜にクラック等が入りづらくなるため、好ましい。

30

【0325】

次に、第1の素子層410と、仮支持基板466とを、剥離用接着剤464を用いて接着し、基板462から絶縁膜420と第1の素子層410を剥離する。これにより、絶縁膜420と第1の素子層410は、仮支持基板466側に設けられる(図27(B)参照)。

【0326】

仮支持基板466としては、ガラス基板、石英基板、サファイア基板、セラミック基板、金属基板などを用いることができる。また、本実施の形態の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよいし、フィルムのような可撓性基板を用いてもよい。

40

【0327】

剥離用接着剤464としては、水や溶媒に可溶性のものや、紫外線などの照射により可塑化させることが可能であるもののように、必要時に仮支持基板466と第1の素子層410とを化学的もしくは物理的に分離することが可能な接着剤を用いる。

【0328】

なお、仮支持基板466への転置工程は、様々な方法を適宜用いることができる。例えば、基板462の絶縁膜420が形成されていない側、すなわち図27(B)に示す下方側より絶縁膜420にレーザ光468を照射することで、絶縁膜420を脆弱化させることで基板462と絶縁膜420を剥離することができる。また、上記レーザ光468の照射エネルギー密度を調整することで、基板462と絶縁膜420の密着性が高い領域と、基

50

板 4 6 2 と絶縁膜 4 2 0 の密着性が低い領域を作り分けてから剥離してもよい。

【 0 3 2 9 】

なお、本実施の形態においては、基板 4 6 2 と絶縁膜 4 2 0 の界面で剥離する方法について例示したが、これに限定されない。例えば、絶縁膜 4 2 0 と第 1 の素子層 4 1 0 との界面で剥離してもよい。

【 0 3 3 0 】

また、基板 4 6 2 と絶縁膜 4 2 0 との界面に液体を浸透させて基板 4 6 2 から絶縁膜 4 2 0 を剥離してもよい。または、絶縁膜 4 2 0 と第 1 の素子層 4 1 0 との界面に液体を浸透させて絶縁膜 4 2 0 から第 1 の素子層 4 1 0 を剥離してもよい。上記液体としては、例えば、水、極性溶媒等を用いることができる。絶縁膜 4 2 0 を剥離する界面、具体的には基板 4 6 2 と絶縁膜 4 2 0 との界面または絶縁膜 4 2 0 と第 1 の素子層 4 1 0 との界面に液体を浸透させることによって、第 1 の素子層 4 1 0 に与えられる剥離に伴い発生する静電気等の影響を抑制することができる。

10

【 0 3 3 1 】

次に、接着層 4 1 8 を用いて、絶縁膜 4 2 0 に第 1 の基板 4 0 1 を接着させる（図 2 7 (C) 参照）。

【 0 3 3 2 】

次に、剥離用接着剤 4 6 4 を溶解または可塑化させて、第 1 の素子層 4 1 0 から剥離用接着剤 4 6 4 および仮支持基板 4 6 6 を取り外す（図 2 7 (D) 参照）。

【 0 3 3 3 】

なお、第 1 の素子層 4 1 0 の表面が露出するように剥離用接着剤 4 6 4 を水や溶媒などで除去すると好ましい。

20

【 0 3 3 4 】

以上により、第 1 の基板 4 0 1 上に第 1 の素子層 4 1 0 を作製することができる。

【 0 3 3 5 】

次に、図 2 7 (A) 乃至図 2 7 (D) に示す工程と同様の形成方法により、第 2 の基板 4 0 5 と、第 2 の基板 4 0 5 上の接着層 4 1 2 と、接着層 4 1 2 上の絶縁膜 4 4 0 と、第 2 の素子層 4 1 1 と、を形成する（図 2 8 (A) 参照）。第 2 の素子層 4 1 1 には、半導体素子が設けられている。或いは、第 2 の素子層 4 1 1 には、半導体素子に加え、表示素子、または画素電極などの表示素子の一部が設けられていても良い。

30

【 0 3 3 6 】

第 2 の素子層 4 1 1 が有する絶縁膜 4 4 0 としては、絶縁膜 4 2 0 と同様の材料、ここでは有機樹脂を用いて形成することができる。

【 0 3 3 7 】

次に、第 1 の素子層 4 1 0 と第 2 の素子層 4 1 1 の間に、封止層 4 3 2 を充填し、第 1 の素子層 4 1 0 と第 2 の素子層 4 1 1 と、を貼り合わせる（図 2 8 (B) 参照）。

【 0 3 3 8 】

封止層 4 3 2 により、例えば、固体封止させることができる。ただし、封止層 4 3 2 としては、可撓性を有する構成が好ましい。封止層 4 3 2 としては、例えば、ガラスフリットなどのガラス材料や、二液混合型の樹脂などの常温で硬化する硬化樹脂、光硬化性の樹脂、熱硬化性の樹脂などの樹脂材料を用いることができる。

40

【 0 3 3 9 】

以上により、表示装置を作製することができる。

【 0 3 4 0 】

< 表示装置の作製方法 2 >

次いで、表示装置の別の作製方法について、図 2 9 を用いて説明する。なお、図 2 9 では、絶縁膜 4 2 0 として無機絶縁膜を用いる構成について説明する。

【 0 3 4 1 】

まず、基板 4 6 2 上に剥離層 4 6 3 を形成する。次に、剥離層 4 6 3 上に絶縁膜 4 2 0 を形成し、絶縁膜 4 2 0 上に第 1 の素子層 4 1 0 を形成する（図 2 9 (A) 参照）。

50

【0342】

剥離層463としては、例えば、タングステン、モリブデン、チタン、タンタル、ニオブ、ニッケル、コバルト、ジルコニウム、亜鉛、ルテニウム、ロジウム、パラジウム、オスミウム、イリジウム、シリコンから選択された元素、該元素を含む合金材料、または該元素を含む化合物材料を含み、単層または積層された構造を用いることができる。また、シリコンを含む層の場合、該シリコンを含む層の結晶構造としては、非晶質、微結晶、多結晶、単結晶のいずれでもよい。

【0343】

剥離層463は、スパッタリング法、PECVD法、塗布法、印刷法等により形成できる。なお、塗布法は、スピンコーティング法、液滴吐出法、ディスペンス法を含む。

10

【0344】

剥離層463が単層構造の場合、タングステン、モリブデン、またはタングステンとモリブデンの混合物を含む層を形成することが好ましい。また、タングステンの酸化物もしくは酸化窒化物を含む層、モリブデンの酸化物もしくは酸化窒化物を含む層、またはタングステンとモリブデンの混合物の酸化物もしくは酸化窒化物を含む層を形成してもよい。なお、タングステンとモリブデンの混合物とは、例えば、タングステンとモリブデンの合金に相当する。

【0345】

また、剥離層463として、タングステンを含む層とタングステンの酸化物を含む層の積層構造を形成する場合、タングステンを含む層を形成し、その上層に酸化物で形成される絶縁層を形成することで、タングステン層と絶縁層との界面に、タングステンの酸化物を含む層が形成されることを活用してもよい。また、タングステンを含む層の表面を、熱酸化処理、酸素プラズマ処理、亜酸化窒素(N_2O)プラズマ処理、オゾン水等の酸化力の強い溶液での処理等を行ってタングステンの酸化物を含む層を形成してもよい。またプラズマ処理や加熱処理は、酸素、窒素、亜酸化窒素単独、あるいは該ガスとその他のガスとの混合気体雰囲気で行ってもよい。上記プラズマ処理や加熱処理により、剥離層463の表面状態を変えることにより、剥離層463と後に形成される絶縁膜420との密着性を制御することが可能である。

20

【0346】

絶縁膜420には、例えば、酸化シリコン膜、窒化珪素膜、酸化窒化珪素膜、窒化酸化シリコン膜、酸化アルミニウム膜などの透湿性の低い無機絶縁膜を用いることができる。上記無機絶縁膜は、例えば、スパッタリング法、PECVD法等を用いて形成することができる。

30

【0347】

次に、第1の素子層410と、仮支持基板466とを、剥離用接着剤464を用いて接着し、剥離層463から絶縁膜420と第1の素子層410を剥離する。これにより、絶縁膜420と第1の素子層410は、仮支持基板466側に設けられる(図29(B)参照)。

【0348】

なお、仮支持基板466への転置工程は、様々な方法を適宜用いることができる。例えば、剥離層463と絶縁膜420との界面に金属酸化膜を含む層を形成した場合は、該金属酸化膜を結晶化により脆弱化して、剥離層463から絶縁膜420を剥離することができる。また、剥離層463をタングステン膜で形成した場合は、アンモニア水と過酸化水素水の混合溶液によりタングステン膜をエッチングしながら剥離を行ってもよい。

40

【0349】

また、剥離層463と絶縁膜420との界面に液体を浸透させて剥離層463から絶縁膜420を剥離してもよい。上記液体としては、例えば、水、極性溶媒等を用いることができる。絶縁膜420を剥離する界面、具体的には剥離層463と絶縁膜420との界面に液体を浸透させることによって、第1の素子層410に与えられる剥離に伴い発生する静電気等の影響を抑制することができる。

50

【0350】

次に、絶縁膜420に接着層418を用いて第1の基板401を接着する(図29(C)参照)。

【0351】

次に、剥離用接着剤464を溶解または可塑化させて、第1の素子層410から剥離用接着剤464と仮支持基板466を取り除く(図29(D)参照)。

【0352】

なお、第1の素子層410の表面が露出するように剥離用接着剤464を水や溶媒などで除去すると好ましい。

【0353】

以上により、第1の基板401上に第1の素子層410を作製することができる。

【0354】

以上により、表示装置を作製することができる。

【0355】

(実施の形態4)

本実施の形態においては、本発明の一態様の表示装置、および該表示装置に入力装置を取り付けた電子機器について、図30乃至図35を用いて説明を行う。

【0356】

<タッチパネルに関する説明>

なお、本実施の形態において、電子機器の一例として、表示装置と、入力装置とを合わせたタッチパネル2000について説明する。また、入力装置の一例として、タッチセンサを用いる場合について説明する。

【0357】

図30(A)(B)は、タッチパネル2000の斜視図である。なお、図30(A)(B)において、明瞭化のため、タッチパネル2000の代表的な構成要素を示す。

【0358】

タッチパネル2000は、表示装置2501とタッチセンサ2595とを有する(図30(B)参照)。また、タッチパネル2000は、基板2510、基板2570、および基板2590を有する。なお、基板2510、基板2570、および基板2590はいずれも可撓性を有する。ただし、基板2510、基板2570、および基板2590のいずれか一つまたは全てが可撓性を有さない構成としてもよい。

【0359】

表示装置2501は、基板2510上に複数の画素および該画素に信号を供給することができる複数の配線2511を有する。複数の配線2511は、基板2510の外周部にまで引き回され、その一部が端子2519を構成している。端子2519はFPC2509(1)と電氣的に接続する。

【0360】

基板2590は、タッチセンサ2595と、タッチセンサ2595と電氣的に接続する複数の配線2598とを有する。複数の配線2598は、基板2590の外周部に引き回され、その一部は端子を構成する。そして、該端子はFPC2509(2)と電氣的に接続される。なお、図30(B)では明瞭化のため、基板2590の裏面側(基板2510と対向する面側)に設けられるタッチセンサ2595の電極や配線等を実線で示している。

【0361】

タッチセンサ2595として、例えば静電容量方式のタッチセンサを適用できる。静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。

【0362】

投影型静電容量方式としては、主に駆動方式の違いから自己容量方式、相互容量方式などがある。相互容量方式を用いると同時多点検出が可能となるため好ましい。

【0363】

なお、図30(B)に示すタッチセンサ2595は、投影型静電容量方式のタッチセンサ

10

20

30

40

50

を適用した構成である。

【0364】

なお、タッチセンサ2595には、指等の検知対象の近接または接触を検知することができる、様々なセンサを適用することができる。

【0365】

投影型静電容量方式のタッチセンサ2595は、電極2591と電極2592とを有する。電極2591は、複数の配線2598のいずれかと電気的に接続し、電極2592は複数の配線2598の他のいずれかと電気的に接続する。

【0366】

電極2592は、図30(A)(B)に示すように、一方向に繰り返し配置された複数の四辺形が角部で接続される形状を有する。

10

【0367】

電極2591は四辺形であり、電極2592が延在する方向と交差する方向に繰り返し配置されている。

【0368】

配線2594は、電極2592を挟む二つの電極2591と電気的に接続する。このとき、電極2592と配線2594の交差部の面積ができるだけ小さくなる形状が好ましい。これにより、電極が設けられていない領域の面積を低減でき、透過率のバラツキを低減できる。その結果、タッチセンサ2595を透過する光の輝度のバラツキを低減することができる。

20

【0369】

なお、電極2591および電極2592の形状はこれに限定されず、様々な形状を取りうる。例えば、複数の電極2591をできるだけ隙間が生じないように配置し、絶縁層を介して電極2592を、電極2591と重ならない領域ができるように離間して複数設ける構成としてもよい。このとき、隣接する二つの電極2592の間に、これらとは電気的に絶縁されたダミー電極を設けると、透過率の異なる領域の面積を低減できるため好ましい。

【0370】

なお、電極2591、電極2592、配線2598などの導電膜、つまり、タッチパネルを構成する配線や電極に用いることのできる材料として、酸化インジウム、酸化錫、酸化亜鉛等を有する透明導電膜(例えば、ITOなど)が挙げられる。また、タッチパネルを構成する配線や電極に用いることのできる材料として、例えば、抵抗値が低い方が好ましい。一例として、銀、銅、アルミニウム、カーボンナノチューブ、グラフェン、ハロゲン化金属(ハロゲン化銀など)などを用いてもよい。さらに、非常に細くした(例えば、直径が数ナノメートル)複数の導電体を用いて構成されるような金属ナノワイヤを用いてもよい。または、導電体を網目状にした金属メッシュを用いてもよい。一例としては、Agナノワイヤ、Cuナノワイヤ、Alナノワイヤ、Agメッシュ、Cuメッシュ、Alメッシュなどを用いてもよい。例えば、タッチパネルを構成する配線や電極にAgナノワイヤを用いる場合、可視光において透過率を89%以上、シート抵抗値を $40 \text{ } \Omega / \text{cm}^2$ 以上 $100 \text{ } \Omega / \text{cm}^2$ 以下とすることができる。また、上述したタッチパネルを構成する配線や電極に用いることのできる材料の一例である、金属ナノワイヤ、金属メッシュ、カーボンナノチューブ、グラフェンなどは、可視光において透過率が高いため、表示素子に用いる電極(例えば、画素電極または共通電極など)として用いてもよい。

30

40

【0371】

<表示装置に関する説明>

次に、図31(A)、(B)を用いて、表示装置2501の詳細について説明する。図31(A)、(B)は、図30(B)に示す一点鎖線X1-X2間の断面図に相当する。

【0372】

表示装置2501は、マトリクス状に配置された複数の画素を有する。該画素は表示素子と、該表示素子を駆動する画素回路とを有する。

50

【0373】

なお、図31(A)に示す断面図では、白色の光を射出するEL素子を表示素子として適用する場合について図示しているが、EL素子はこれに限定されない。例えば、図31(B)に図示するように、隣接する画素毎に射出する光の色が異なるように、発光色が異なるEL素子を画素毎に塗り分ける構成とすることもできる。以下の説明では、白色の光を射出するEL素子を表示素子として適用する場合を一例として挙げて説明する。

【0374】

基板2510および基板2570としては、例えば、水蒸気の透過率が 10^{-5} g / ($m^2 \cdot day$) 以下、好ましくは 10^{-6} g / ($m^2 \cdot day$) 以下である可撓性を有する材料を好適に用いることができる。または、基板2510の熱膨張率と、基板2570の熱膨張率とが、およそ等しい材料を用いると好適である。例えば、線膨張率が 1×10^{-3} / K 以下、好ましくは 5×10^{-5} / K 以下、より好ましくは 1×10^{-5} / K 以下である材料を好適に用いることができる。

10

【0375】

なお、基板2510は、EL素子への不純物の拡散を防ぐ絶縁層2510aと、可撓性基板2510bと、絶縁層2510aおよび可撓性基板2510bを貼り合わせる接着層2510cと、を有する積層体である。また、基板2570は、EL素子への不純物の拡散を防ぐ絶縁層2570aと、可撓性基板2570bと、絶縁層2570aおよび可撓性基板2570bを貼り合わせる接着層2570cと、を有する積層体である。

20

【0376】

接着層2510cおよび接着層2570cとしては、例えば、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミド等)、ポリイミド、ポリカーボネート、ポリウレタン、アクリル樹脂、エポキシ樹脂、もしくはシロキサン結合を有する樹脂を含む材料を接着層に用いることができる。

【0377】

また、基板2510と基板2570との間に封止層2560を有する。封止層2560は、空気より大きい屈折率を有すると好ましい。また、図31(A)に示すように、封止層2560側に光を取り出す場合は、封止層2560は光学素子を兼ねることができる。

【0378】

また、封止層2560の外周部にシール材を形成してもよい。当該シール材を用いることにより、基板2510、基板2570、封止層2560、およびシール材で囲まれた領域にEL素子2550を有する構成とすることができる。なお、封止層2560として、不活性気体(窒素やアルゴン等)を充填してもよい。また、当該不活性気体内に、乾燥材を設けて、水分等を吸着させる構成としてもよい。また、上述のシール材としては、例えば、エポキシ系樹脂やガラスフリットを用いるのが好ましい。また、シール材に用いる材料としては、水分や酸素を透過しない材料を用いると好適である。

30

【0379】

また、図31(A)に示す表示装置2501は、画素2505を有する。また、画素2505は、発光モジュール2580と、EL素子2550と、EL素子2550に電力を供給することができるトランジスタ2502tと、を有する。なお、トランジスタ2502tは、画素回路の一部として機能する。

40

【0380】

また、発光モジュール2580は、EL素子2550と、着色層2567とを有する。また、EL素子2550は、下部電極と、上部電極と、下部電極と上部電極との間にEL層とを有する。

【0381】

また、封止層2560が光を取り出す側に設けられている場合、封止層2560は、EL素子2550と着色層2567に接する。なお着色層2567は、発光色が異なるEL素子を画素毎に塗り分けた場合、図31(B)に図示するように省略することも可能である。

50

【0382】

着色層2567は、EL素子2550と重なる位置にある。これにより、EL素子2550が発する光の一部は着色層2567を透過して、図中に示す矢印の方向の発光モジュール2580の外部に射出される。

【0383】

また、表示装置2501には、光を射出する方向に遮光層2568が設けられる。遮光層2568は、着色層2567を囲むように設けられている。

【0384】

着色層2567としては、特定の波長帯域の光を透過する機能を有していればよく、例えば、赤色の波長帯域の光を透過するカラーフィルタ、緑色の波長帯域の光を透過するカラーフィルタ、青色の波長帯域の光を透過するカラーフィルタ、黄色の波長帯域の光を透過するカラーフィルタなどを用いることができる。各カラーフィルタは、様々な材料を用いて、印刷法、インクジェット法、フォトリソグラフィ技術を用いたエッチング方法などで形成することができる。

10

【0385】

また、表示装置2501には、絶縁層2521が設けられる。絶縁層2521はトランジスタ2502t等を覆う。なお、絶縁層2521は、画素回路に起因する凹凸を平坦化するための機能を有する。また、絶縁層2521に不純物の拡散を抑制できる機能を付与してもよい。これにより、不純物の拡散によるトランジスタ2502t等の信頼性の低下を抑制できる。

20

【0386】

また、EL素子2550は、絶縁層2521の上方に形成される。また、EL素子2550が有する下部電極には、該下部電極の端部に重なる隔壁2528が設けられる。なお、基板2510と、基板2570との間隔を制御するスペーサを、隔壁2528上に形成してもよい。

【0387】

また、ゲート線駆動回路2504は、トランジスタ2503tと、容量素子2503cとを有する。なお、駆動回路を画素回路と同一の工程で同一基板上に形成することができる。

【0388】

また、基板2510上には、信号を供給することができる配線2511が設けられる。また、配線2511上には、端子2519が設けられる。また、端子2519には、FPC2509(1)が電氣的に接続される。また、FPC2509(1)は、ビデオ信号、クロック信号、スタート信号、リセット信号等を供給する機能を有する。なお、FPC2509(1)にはプリント配線基板(PWB)が取り付けられていてもよい。

30

【0389】

なお、トランジスタ2502tおよびトランジスタ2503tのいずれか一方または双方に先の実施の形態に示すトランジスタを適用すればよい。本実施の形態で用いるトランジスタは、高純度化し結晶性が高い酸化物半導体膜を有する。該トランジスタは、オフ状態における電流値(オフ電流値)を低くすることができる。よって、画像信号等の電気信号の保持時間を長くすることができ、電源オン状態では書き込み間隔も長く設定できる。よって、リフレッシュ動作の頻度を少なくすることができるため、消費電力を抑制する効果を奏する。なお、リフレッシュ動作の詳細については、後述する。

40

【0390】

また、本実施の形態で用いるトランジスタは、比較的高い電界効果移動度が得られるため、高速駆動が可能である。例えば、このような高速駆動が可能なトランジスタを表示装置2501に用いることで、画素回路のスイッチングトランジスタと、駆動回路に使用するドライバトランジスタを同一基板上に形成することができる。すなわち、別途駆動回路として、シリコンウェハ等により形成された半導体装置を用いる必要がないため、半導体装置の部品点数を削減することができる。また、画素回路においても、高速駆動が可能なト

50

ランジスタを用いることで、高画質な画像を提供することができる。

【0391】

<タッチセンサに関する説明>

次に、図32を用いて、タッチセンサ2595の詳細について説明する。図32は、図30(B)に示す一点鎖線X3-X4間の断面図に相当する。

【0392】

タッチセンサ2595は、基板2590上に千鳥状に配置された電極2591および電極2592と、電極2591および電極2592を覆う絶縁層2593と、隣り合う電極2591を電氣的に接続する配線2594とを有する。

【0393】

電極2591および電極2592は、透光性を有する導電材料を用いて形成する。透光性を有する導電性材料としては、酸化インジウム、インジウム錫酸化物、インジウム亜鉛酸化物、酸化亜鉛、ガリウムを添加した酸化亜鉛などの導電性酸化物を用いることができる。なお、グラフェンを含む膜を用いることもできる。グラフェンを含む膜は、例えば膜状に形成された酸化グラフェンを含む膜を還元して形成することができる。還元する方法としては、熱を加える方法等を挙げることができる。

【0394】

例えば、透光性を有する導電性材料を基板2590上にスパッタリング法により成膜した後、フォトリソグラフィ法等の様々なパターンング技術により、不要な部分を除去して、電極2591および電極2592を形成することができる。

【0395】

また、絶縁層2593に用いる材料としては、例えば、アクリル、エポキシなどの樹脂、シロキサン結合を有する樹脂の他、酸化シリコン、酸化窒化シリコン、酸化アルミニウムなどの無機絶縁材料を用いることもできる。

【0396】

また、電極2591に達する開口が絶縁層2593に設けられ、配線2594が隣接する電極2591と電氣的に接続する。透光性の導電性材料は、タッチパネルの開口率を高めることができるため、配線2594に好適に用いることができる。また、電極2591および電極2592より導電性の高い材料は、電気抵抗を低減できるため配線2594に好適に用いることができる。

【0397】

電極2592は、一方向に延在し、複数の電極2592がストライプ状に設けられている。また、配線2594は電極2592と交差して設けられている。

【0398】

一对の電極2591が1つの電極2592を挟んで設けられる。また、配線2594は一对の電極2591を電氣的に接続している。

【0399】

なお、複数の電極2591は、1つの電極2592と必ずしも直交する方向に配置される必要はなく、0度を超えて90度未満の角度をなすように配置されてもよい。

【0400】

また、配線2598は、電極2591または電極2592と電氣的に接続される。また、配線2598の一部は、端子として機能する。配線2598としては、例えば、アルミニウム、金、白金、銀、ニッケル、チタン、タングステン、クロム、モリブデン、鉄、コバルト、銅、またはパラジウム等の金属材料や、該金属材料を含む合金材料を用いることができる。

【0401】

なお、絶縁層2593および配線2594を覆う絶縁層を設けて、タッチセンサ2595を保護してもよい。

【0402】

また、接続層2599は、配線2598とFPC2509(2)を電氣的に接続させる。

10

20

30

40

50

【0403】

接続層2599としては、異方性導電フィルム(ACF: Anisotropic Conductive Film)や、異方性導電ペースト(ACP: Anisotropic Conductive Paste)などを用いることができる。

【0404】

<タッチパネルに関する説明>

次に、図33(A)を用いて、タッチパネル2000の詳細について説明する。図33(A)は、図30(A)に示す一点鎖線X5-X6間の断面図に相当する。

【0405】

図33(A)に示すタッチパネル2000は、図31(A)で説明した表示装置2501と、図32で説明したタッチセンサ2595と、を貼り合わせた構成である。

10

【0406】

また、図33(A)に示すタッチパネル2000は、図31(A)で説明した構成の他、接着層2597と、反射防止層2569と、を有する。

【0407】

接着層2597は、配線2594と接して設けられる。なお、接着層2597は、タッチセンサ2595が表示装置2501に重なるように、基板2590を基板2570に貼り合わせている。また、接着層2597は、透光性を有すると好ましい。また、接着層2597としては、熱硬化性樹脂、または紫外線硬化樹脂を用いることができる。例えば、アクリル系樹脂、ウレタン系樹脂、エポキシ系樹脂、またはシロキサン系樹脂を用いること

20

【0408】

反射防止層2569は、画素に重なる位置に設けられる。反射防止層2569として、例えば円偏光板を用いることができる。

【0409】

次に、図33(A)に示す構成と異なる構成のタッチパネルについて、図33(B)を用いて説明する。

【0410】

図33(B)は、タッチパネル2001の断面図である。図33(B)に示すタッチパネル2001は、図33(A)に示すタッチパネル2000と、表示装置2501に対するタッチセンサ2595の位置が異なる。ここでは異なる構成について詳細に説明し、同様の構成を用いることができる部分は、タッチパネル2000の説明を援用する。

30

【0411】

着色層2567は、EL素子2550の下方に位置する。また、図33(B)に示すEL素子2550は、トランジスタ2502tが設けられている側に光を射出する。これにより、EL素子2550が発する光の一部は、着色層2567を透過して、図中に示す矢印の方向の発光モジュール2580の外部に射出される。

【0412】

また、タッチセンサ2595は、表示装置2501の基板2510側に設けられている。

【0413】

接着層2597は、基板2510と基板2590の間にあり、表示装置2501とタッチセンサ2595を貼り合わせる。

40

【0414】

図33(A)(B)に示すように、発光素子から射出される光は、基板2510及び基板2570のいずれか一方または双方を通して射出されればよい。

【0415】

<タッチパネルの駆動方法に関する説明>

次に、タッチパネルの駆動方法の一例について、図34を用いて説明を行う。

【0416】

図34(A)は、相互容量方式のタッチセンサの構成を示すブロック図である。図34(

50

A)では、パルス電圧出力回路2601、電流検出回路2602を示している。なお、図34(A)では、パルス電圧が与えられる電極2621をX1-X6として、電流の変化を検知する電極2622をY1-Y6として、それぞれ6本の配線で例示している。また、図34(A)は、電極2621と、電極2622とが重畳することで形成される容量2603を示している。なお、電極2621と電極2622とはその機能を互いに置き換えてもよい。

【0417】

パルス電圧出力回路2601は、X1-X6の配線に順にパルス電圧を印加するための回路である。X1-X6の配線にパルス電圧が印加されることで、容量2603を形成する電極2621と電極2622との間に電界が生じる。この電極間に生じる電界が遮蔽等により容量2603の相互容量に変化を生じさせることを利用して、被検知体の近接、または接触を検出することができる。

10

【0418】

電流検出回路2602は、容量2603での相互容量の変化による、Y1乃至Y6の配線での電流の変化を検出するための回路である。Y1乃至Y6の配線では、被検知体の近接、または接触がないと検出される電流値に変化はないが、検出する被検知体の近接、または接触により相互容量が減少する場合には電流値が減少する変化を検出する。なお電流の検出は、積分回路等を用いて行えばよい。

【0419】

次に、図34(B)には、図34(A)で示す相互容量方式のタッチセンサにおける入出力波形のタイミングチャートを示す。図34(B)では、1フレーム期間で各行列での被検知体の検出を行うものとする。また図34(B)では、被検知体を検出しない場合(非タッチ)と被検知体を検出する場合(タッチ)との2つの場合について示している。なおY1-Y6の配線については、検出される電流値に対応する電圧値とした波形を示している。

20

【0420】

X1-X6の配線には、順にパルス電圧が与えられ、該パルス電圧にしたがってY1-Y6の配線での波形が変化する。被検知体の近接または接触がない場合には、X1-X6の配線の電圧の変化に応じてY1-Y6の波形が一様に変化する。一方、被検知体が近接または接触する箇所では、電流値が減少するため、これに対応する電圧値の波形も変化する。

30

【0421】

このように、相互容量の変化を検出することにより、被検知体の近接または接触を検出することができる。

【0422】

<センサ回路に関する説明>

また、図34(A)ではタッチセンサとして配線の交差部に容量2603のみを設けるパッシブ型のタッチセンサの構成を示したが、トランジスタと容量とを有するアクティブ型のタッチセンサとしてもよい。アクティブ型のタッチセンサに含まれるセンサ回路の一例を図35に示す。

40

【0423】

図35に示すセンサ回路は、容量2603と、トランジスタ2611と、トランジスタ2612と、トランジスタ2613とを有する。

【0424】

トランジスタ2613はゲートに信号G2が与えられ、ソースまたはドレインの一方に電圧VRESが与えられ、他方が容量2603の一方の電極およびトランジスタ2611のゲートと電氣的に接続する。トランジスタ2611は、ソースまたはドレインの一方がトランジスタ2612のソースまたはドレインの一方と電氣的に接続し、他方に電圧VSSが与えられる。トランジスタ2612は、ゲートに信号G1が与えられ、ソースまたはドレインの他方が配線MLと電氣的に接続する。容量2603の他方の電極には電圧VSS

50

が与えられる。

【0425】

次に、図35に示すセンサ回路の動作について説明する。まず、信号G2としてトランジスタ2613をオン状態とする電位が与えられることで、トランジスタ2611のゲートが接続されるノードnに電圧VRESに対応した電位が与えられる。次に、信号G2としてトランジスタ2613をオフ状態とする電位が与えられることで、ノードnの電位が保持される。

【0426】

続いて、指等の被検知体の近接または接触により、容量2603の相互容量が変化することに伴い、ノードnの電位がVRESから変化する。

10

【0427】

読み出し動作は、信号G1にトランジスタ2612をオン状態とする電位を与える。ノードnの電位に応じてトランジスタ2611に流れる電流、すなわち配線MLに流れる電流が変化する。この電流を検出することにより、被検知体の近接または接触を検出することができる。

【0428】

トランジスタ2611、トランジスタ2612、およびトランジスタ2613に先の実施の形態に示すトランジスタを適用することができる。とくにトランジスタ2613に先の実施の形態に示すトランジスタを適用することにより、ノードnの電位を長期間に亘って保持することが可能となり、ノードnにVRESを供給しなおす動作（リフレッシュ動作）の頻度を減らすことができる。

20

【0429】

（実施の形態5）

本実施の形態では、上記実施の形態で説明した画素を有する表示装置の外観、および表示装置を具備する電子機器の一例について説明する。

【0430】

<表示装置の外観>

図36(A)は、表示装置の外観の一例を示す、斜視図である。図36(A)に示す表示装置は、パネル1601と、コントローラ、電源回路、画像処理回路、画像メモリ、CPUなどが設けられた回路基板1602と、接続部1603とを有している。パネル1601は、画素が複数設けられた画素部1604と、複数の画素を行ごとに選択する駆動回路1605と、選択された行内の画素へのデータ電圧の入力を制御する駆動回路1606とを有する。

30

【0431】

回路基板1602から、接続部1603を介して、各種信号と、電源の電位とが、パネル1601に入力される。接続部1603には、FPC(Flexible Printed Circuit)などを用いることができる。FPCにチップを実装したものをCOFテープと呼び、COFテープを用いると、より小さい面積でより高密度の実装を行うことができる。また、接続部1603にCOFテープを用いる場合、回路基板1602内の一部の回路、或いはパネル1601が有する駆動回路1605や駆動回路1606の一部などを別途用意したチップに形成しておき、COF(Chip On Film)法を用いて当該チップをCOFテープに接続しておいても良い。

40

【0432】

また、COFテープ1607を用いた表示装置の外観の一例を示す斜視図を図36(B)に示す。

【0433】

チップ1608は、 bumpsなどの端子を表面に有する半導体ベアチップ(IC、LSIなど)である。さらに、COFテープ1607に、CR部品も実装でき、回路基板1602の面積縮小も図れる。フレキシブル基板の配線パターンは、実装するチップの端子に対応して複数形成される。チップ1608は、ボンダー装置などにより、配線パターンを有す

50

るフレキシブル基板上に位置決めして配置し、熱圧着することによって実装される。

【0434】

図36(B)には一つのチップ1608を実装した一つのCOFテープ1607の例を示したが特に限定されない。1つのCOFテープ1607の片面または両面に複数列のチップを実装することができるが、コスト削減のためには、実装するチップ数を少なくするため一列とすることが好ましく、さらに好ましくは1個とすることが望ましい。

【0435】

<電子機器の構成例>

次いで、表示装置を備えた電子機器について説明する。

【0436】

本発明の一態様に係る表示装置は、表示装置、ノート型パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置)に用いることができる。その他に、本発明の一態様に係る表示装置を用いることができる電子機器として、携帯電話、携帯型ゲーム機、携帯情報端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラなどのカメラ、ゴーグル型ディスプレイ(ヘッドマウントディスプレイ)、ナビゲーションシステム、音響再生装置(カーオーディオ、デジタルオーディオプレーヤー等)、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機(ATM)、自動販売機などが挙げられる。これら電子機器の具体例を図37に示す。

10

20

【0437】

図37(A)は表示装置であり、筐体5001、表示部5002、支持台5003等を有する。本発明の一態様に係る表示装置は、表示部5002に用いることができる。なお、表示装置には、パーソナルコンピュータ用、TV放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0438】

図37(B)は携帯情報端末であり、筐体5101、表示部5102、操作キー5103等を有する。本発明の一態様に係る表示装置は、表示部5102に用いることができる。

【0439】

図37(C)は表示装置であり、曲面を有する筐体5701、表示部5702等を有する。本発明の一態様に係る表示装置に可撓性を有する基板を用いることで、曲面を有する筐体5701に支持された表示部5702に、当該表示装置を用いることができ、フレキシブルかつ軽くて使い勝手の良い表示装置を提供することができる。

30

【0440】

図37(D)は携帯型ゲーム機であり、筐体5301、筐体5302、表示部5303、表示部5304、マイクロホン5305、スピーカー5306、操作キー5307、スタイラス5308等を有する。本発明の一態様に係る表示装置は、表示部5303または表示部5304に用いることができる。表示部5303または表示部5304に本発明の一態様に係る表示装置を用いることで、ユーザーの使用感に優れ、品質の低下が起こりにくい携帯型ゲーム機を提供することができる。なお、図37(D)に示した携帯型ゲーム機は、2つの表示部5303と表示部5304とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

40

【0441】

図37(E)は電子書籍端末であり、筐体5601、表示部5602等を有する。本発明の一態様に係る表示装置は、表示部5602に用いることができる。そして、可撓性を有する基板を用いることで、表示装置に可撓性を持たせることができるので、フレキシブルかつ軽くて使い勝手の良い電子書籍端末を提供することができる。

【0442】

図37(F)は携帯電話であり、筐体5901に、表示部5902、マイク5907、スピーカー5904、カメラ5903、外部接続部5906、操作用のボタン5905が設

50

けられている。表示部 5902 に、本発明の一態様に係る表示装置を用いることができる。また、本発明の一態様に係る表示装置を、可撓性を有する基板に形成した場合、図 37 (F) に示すような曲面を有する表示部 5902 に当該表示装置を適用することが可能である。

【実施例】

【0443】

本実施例では、上記の実施の形態に示す画素を用いて作製した表示装置について説明する。

【0444】

まず、画素に用いるトランジスタの特性を測定した。画素に用いるトランジスタは、CAAC-OS膜を用いて形成したOSTランジスタとし、CAAC-OS膜はIn-Ga-Zn酸化物を用いて形成した。

【0445】

図 44 (A) に、試作したOSTランジスタの $I_{DS} - V_{GS}$ 特性の測定結果を示す。ここでは、ソース-ドレイン間の電圧(V_{DS})を0.1Vとした場合と20Vとした場合の測定結果を示している。なお、OSTランジスタのチャンネル長(L)は3 μ m、チャンネル幅(W)は3 μ mとした。また、OSTランジスタには第2のゲートとして機能するバックゲートを設けた。

【0446】

測定は、同一基板内の9点において行った。測定によって得られたOSTランジスタの閾値電圧の中央値は0.44Vであり、閾値電圧のばらつきは $\sigma = 0.30$ Vであった。また、電界効果移動度(μ_{FE})は30 $cm^2/V \cdot s$ 以上であった。

【0447】

OSTランジスタにバックゲートを設けることにより、DIBL(Drain Induced Barrier Lowering)効果を減少させることができる。バックゲートを用いないシングルゲート構造の場合、チャンネル長変調係数が約0.05 V^{-1} であったのに対し、バックゲートを用いた場合は約0.009 V^{-1} となっており、飽和性が向上していた。

【0448】

また、OSTランジスタにバックゲートを設けることにより、閾値電圧を制御することが可能となる。図 44 (B) に、OSTランジスタの閾値電圧 V_{th} の V_{BGS} (バックゲート-ソース間の電圧)依存性の測定結果を示す。図 44 (B) は、OSTランジスタのソース電位を固定した状態で、 V_{BGS} を変化させて $I_{DS} - V_{GS}$ 特性を測定し、その測定結果から閾値電圧を算出してプロットしたグラフである。なお、図 44 (B) は、 $V_{DS} = 20$ Vの場合の測定結果である。

【0449】

V_{BGS} がプラス側に変化すると閾値電圧はマイナス側にシフトし、 V_{BGS} がマイナス側に変化すると閾値電圧はプラス側にシフトしていることがわかる。さらに、閾値電圧は V_{BGS} に対して線形にシフトしていることがわかる。このときの閾値電圧のシフト量は、以下の数式で表すことができる。なお、 ΔV_{th} は V_{th} の変化量、 $C_{oxpassi}$ はトランジスタのチャンネルとバックゲートの間に存在する絶縁膜の容量、 C_{oxGI} はゲート絶縁膜の容量、 ΔV_{BGS} は V_{BGS} の変化量である。

【0450】

【数 1】

$$\Delta V_{th} = -\frac{C_{oxpassi}}{C_{oxGI}} \times \Delta V_{BGS} \quad (1)$$

【0451】

数(1)より、チャンネルとバックゲートの間の絶縁膜が厚いほど、また、該絶縁膜の誘電率が低いほど、 V_{BGS} が閾値電圧に与える影響は小さくなることがわかる。

【 0 4 5 2 】

次に、上記の O S トランジスタを用いて画素を試作した。図 4 5 (A) に、試作した画素の回路構成を示す。図 4 5 (A) に示す画素を図 4 5 (B) に示すタイミングチャートに従って駆動することにより、閾値電圧の補正を行った。なお、期間 I で初期化を行い、期間 I I で駆動トランジスタの閾値電圧の補正を行い、期間 I I I でデータの書き込みを行い、期間 I V で発光を行った。

【 0 4 5 3 】

なお、図 4 6 (A) に示すように、図 4 5 (A) におけるトランジスタ T r 2 を用いずに画素を構成することもできる。この場合は、図 4 6 (B) に示すタイミングチャートに従って駆動すればよい。

【 0 4 5 4 】

図 4 5 (A) に示す画素を用いて作製した表示装置の仕様を表 1 に示す。表示装置の解像度は 3 0 2 p p i であり、開口率は 6 1 % であった。また、スキャンドライバはガラス上に内蔵し、ソースドライバには C O F を用いている。図 4 5 (A) に示す画素は、閾値電圧の補正の動作とデータの書き込みの動作を時間的に分割することができるため、線順次駆動だけでなく点順次駆動にも対応することができる。作製した表示装置においてはデマルチプレクサを用いて R G B の 3 色を分割して点順次駆動を行った。

【 0 4 5 5 】

【表 1】

Specifications	
Screen diagonal	5.29 inches
Driving method	Active Matrix
Number of effective pixels	960 × RGB × 1280 (Quad-VGA)
Pixel density	302 ppi
Pixel pitch	28 μ m × RGB × 84 μ m
aperture ratio	61.0%
Pixel arrangement	RGB Stripe
Pixel circuit	6Tr + 2C/cell
Source driver	COF + DeMUX
Scan driver	Integrated

【 0 4 5 6 】

表示装置は、白色 E L 素子とカラーフィルター (C F) を用いたトップエミッション型とした。表示装置の構造を、図 4 7 (A) に示す。

【 0 4 5 7 】

また、白色 E L 素子は、図 4 7 (B) に示すような積層構造とした。白色 E L 素子は、青色の蛍光材料による発光ユニットと、緑色と赤色の燐光材料による発光ユニットを直列に接続した 2 層のタンデム素子構造とした。

【 0 4 5 8 】

図 4 8 に、図 4 5 (A) に示す駆動トランジスタ D r T r の閾値電圧を変化させた時の S P I C E シミュレーションの結果を示す。ここで、グラフの横軸である V_{t_h} は、シミュレーションで仮定した閾値電圧の補正の大きさを表す。また、グラフの縦軸である $V_G - V_{t_h}$ は、図 4 5 (B) の期間 I V の発光期間における駆動トランジスタ D r T r の

10

20

30

40

50

V_{GS} から補正後の駆動トランジスタ $D_r T_r$ の閾値電圧を引いた値である。閾値電圧の補正が完全に行われている場合、 $V_{GS} - V_{th}$ の値は V_{th} に依存せず、一定となる。

【0459】

図48に示す結果より、 V_{th} が $-1.5V$ から $+1.5V$ の範囲における $V_{GS} - V_{th}$ の値のばらつきが、 $V_{th} = 0$ における $V_{GS} - V_{th}$ の値の10%程度に抑えられていることがわかる。

【0460】

なお、図45(A)に示す画素において、OLEDの閾値を V_{EL} とすると、駆動トランジスタ $D_r T_r$ の閾値電圧 V_{th} が正である場合は、 $V_{th} = 0V$ から $V_0 - (V_{CAT} + V_{EL})$ の電位だけプラス側にシフトした範囲までを補正することができ、駆動トランジスタ $D_r T_r$ の閾値電圧が負である場合は、 $V_{th} = 0V$ から $V_{ANO} - V_0$ の電位だけマイナス側にシフトした範囲までの閾値電圧のばらつきを補正することができる。CAC-OS膜を用いたOSTランジスタは特性のばらつきが小さいため、図45(A)に示す画素によって高精度の閾値電圧の補正が可能となる。また、駆動トランジスタの閾値電圧のばらつきがノーマリオフの範囲におさまる場合は、 V_0 の代わりに V_{ANO} を供給することができ、 V_0 を与える電源線を省略することができる。

10

【0461】

また、図45(A)に示す画素は、期間IIにおける駆動トランジスタの閾値電圧の補正の時間を短くすることにより、移動度のばらつきも補正することができる。

20

【0462】

期間IIでは、駆動トランジスタがオフするまでソース電位が上昇する。この時のソース電位の上昇速度は駆動トランジスタの電流能力に依存する。つまり、駆動トランジスタのソース電位の充電速度は、駆動トランジスタの移動度が高いほど速く、移動度が低いほど遅くなる。そのため、駆動トランジスタが完全にオフする前に、GL2を立ち下げて期間IIを終わらせると、C2で保持する V_{BGS} は駆動トランジスタの移動度が高いほど小さくなり、移動度が低いほど大きくなる。このように、駆動トランジスタの移動度に依存した V_{BGS} をC2で保持することができるため、移動度のばらつきによる電流ばらつきを抑えるような V_{BGS} を取得することができ、移動度ばらつきも補正することができる。

30

【0463】

移動度を0.6倍、0.8倍、1.2倍、1.4倍と変化させた時のシミュレーション結果を、図49に示す。縦軸は、発光期間における駆動トランジスタの電流値を、移動度が1.0倍のときと比較した値である。期間IIの閾値補正期間を短くすることで、移動度が1.0倍の場合との電流差が小さくなることが確認できた。

【0464】

図50に、実際に作製した表示装置の表示写真を示す。表示写真に表示ムラなどはなく、正常に表示できていることがわかる。

【0465】

また、作製した表示装置を用いて表示領域の輝度のばらつきを測定した。測定結果のヒストグラムを図51および図52に示す。測定は全灰色表示にて行い、この時の輝度は約 $120 [cd/m^2]$ であった。表示装置内の 700×960 個の画素における1サブ画素ごとの発光輝度を測定しており、横軸は輝度で単位は任意単位 (a.u.) である。なお、図51は閾値電圧の補正を行っていない場合のヒストグラムである。 V_0 を $V_{CAT} + V_{EL}$ にし、駆動トランジスタの V_{BGS} をできる限り小さくすることにより、閾値電圧の補正が行われないようにした。図52は、 V_0 を V_{BGS} が充分大きくなるような電位にすることにより、閾値電圧の補正を行った場合のヒストグラムである。

40

【0466】

図51、52より、閾値電圧の補正を行うことにより、輝度のばらつきが低減していることがわかる。輝度のばらつきを表す3σの値は、閾値電圧の補正を行わなかった場合と比

50

較して、閾値電圧の補正を行った場合の方が約20%小さい値であった。

【0467】

以上のように、本発明を用いることにより、閾値電圧を補正し、表示ムラを低減した表示装置を作製することができる。

【0468】

なお、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。構成同士的位置関係は、各構成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書で説明した記載に限定されず、状況に応じて適切に言い換えることができる。

【0469】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

【0470】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0471】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

【0472】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0473】

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

【0474】

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

【0475】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。

【0476】

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、トランジスタのソースとドレインが電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソースとドレインが電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場

10

20

30

40

50

合には、トランジスタの極性（導電型）は特に限定されない。

【0477】

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0478】

例えば、本明細書等において、XとYとが接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合と、XとYとが機能的に接続されている場合と、XとYとが直接接続されている場合とが、本明細書等に開示されているものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されず、図または文章に示された接続関係以外のものも、図または文章に記載されているものとする。

10

【0479】

ここで、X、Yは、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【0480】

XとYとが直接的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に接続されていない場合であり、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）を介さずに、XとYとが、接続されている場合である。

20

【0481】

XとYとが電氣的に接続されている場合の一例としては、XとYとの電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、XとYとの間に1個以上接続されることが可能である。なお、スイッチは、オン・オフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。なお、XとYとが電氣的に接続されている場合は、XとYとが直接的に接続されている場合を含むものとする。

30

【0482】

XとYとが機能的に接続されている場合の一例としては、XとYとの機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND回路、NOR回路など）、信号変換回路（DA変換回路、AD変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフタ回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、XとYとの間に1個以上接続されることが可能である。なお、一例として、XとYとの間に別の回路を挟んでいても、Xから出力された信号がYへ伝達される場合は、XとYとは機能的に接続されているものとする。なお、XとYとが機能的に接続されている場合は、XとYとが直接的に接続されている場合と、XとYとが電氣的に接続されている場合とを含むものとする。

40

【0483】

なお、XとYとが電氣的に接続されている、と明示的に記載されている場合は、XとYとが電氣的に接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟んで接続されている場合）と、XとYとが機能的に接続されている場合（つまり、XとYとの間に別の回路を挟んで機能的に接続されている場合）と、XとYとが直接接続されている場合（つまり、XとYとの間に別の素子又は別の回路を挟まずに接続されている場合）と

50

が、本明細書等が開示されているものとする。つまり、電氣的に接続されている、と明示的に記載されている場合は、単に、接続されている、とのみ明示的に記載されている場合と同様な内容が、本明細書等が開示されているものとする。

【0484】

なお、例えば、トランジスタのソース（又は第1端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合は、以下のように表現することが出来る。

10

【0485】

例えば、「XとYとトランジスタのソース（又は第1端子など）とドレイン（又は第2端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1端子など）、トランジスタのドレイン（又は第2端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1端子など）、トランジスタのドレイン（又は第2端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1端子など）とドレイン（又は第2端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1端子など）、トランジスタのドレイン（又は第2端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1端子など）と、ドレイン（又は第2端子など）とを、区別して、技術的範囲を決定することができる。

20

【0486】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1端子など）とトランジスタのドレイン（又は第2端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（又は第2端子など）は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第1端子など）は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第2端子など）は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第1端子など）は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース（又は第1端子など）からトランジスタのドレイン（又は第2端子など）への電氣的パスであり、トランジスタのドレイン（又は第2端子など）は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン（又は第2端子など）からトランジスタのソース（又は第1端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第1端子など）と、ドレイン（又は第

30

40

50

2端子など)とを、区別して、技術的範囲を決定することができる。

【0487】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

【0488】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、1つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範疇に含める。

10

【符号の説明】

【0489】

BGE1 BGE7 バックゲート電極

C1 C3 容量素子

CG1 CG7 開口

DE1 DE8 ドレイン電極

EL1 発光素子

G1 信号

G2 信号

GE1 GE8 ゲート電極

GL 配線

GL1 GL4 配線

L1 L5 配線

La1 チャンネル長

La2 チャンネル長

Lb1 チャンネル長

M1 トランジスタ

ML 配線

N1 N3 ノード

OS1 OS8 酸化物半導体膜

P1 P5 期間

S1 S7 スイッチ

SE1 SE8 ソース電極

TA1 TA4 トランジスタ

TB1 トランジスタ

TB2 トランジスタ

TC1 トランジスタ

TD1 トランジスタ

TER 端子

Tr2 トランジスタ

Wa1 チャンネル幅

Wa2 チャンネル幅

Wb1 チャンネル幅

10a 画素

10b 画素

11a 画素

11b 画素

30 基板

20

30

40

50

3 1	3 3	酸化物半導体膜	
3 4		絶縁膜	
3 5		絶縁膜	
3 5 a		絶縁膜	
3 5 b		絶縁膜	
3 6		絶縁膜	
4 0		画素部	
4 1		選択回路	
4 2		配線	
4 3		スイッチ	10
4 4		スイッチ	
7 0		トランジスタ	
7 0 A		トランジスタ	
7 1		トランジスタ	
7 2		基板	
7 3		導電膜	
7 3 a		導電膜	
7 3 b		導電膜	
7 4		絶縁膜	
7 5		半導体膜	20
7 6		絶縁膜	
7 7		導電膜	
7 7 a		導電膜	
7 7 b		導電膜	
7 8		絶縁膜	
7 9		絶縁膜	
8 0		導電膜	
8 1		導電膜	
8 2		チャネル形成領域	
8 3		L D D 領域	30
8 4		不純物領域	
8 5		導電膜	
8 6		半導体膜	
8 7 a		導電膜	
8 7 b		導電膜	
8 8		導電膜	
8 9		導電膜	
9 0		チャネル形成領域	
9 1		不純物領域	
9 3	9 6	開口	40
1 1 0		駆動回路	
1 2 0		駆動回路	
4 0 1		基板	
4 0 5		基板	
4 1 0		素子層	
4 1 1		素子層	
4 1 2		接着層	
4 1 8		接着層	
4 2 0		絶縁膜	
4 3 2		封止層	50

4 4 0	絶縁膜	
4 6 2	基板	
4 6 3	剥離層	
4 6 4	剥離用接着剤	
4 6 6	仮支持基板	
4 6 8	レーザ光	
5 0 1	基板	
5 0 2	導電膜	
5 0 3	絶縁膜	
5 0 3 a	絶縁膜	10
5 0 3 b	絶縁膜	
5 0 4	非晶質半導体膜	
5 0 5	ニッケル含有層	
5 0 6	結晶性半導体膜	
5 0 7	バリア層	
5 0 8	ゲッターリングサイト	
5 0 9	半導体膜	
5 1 0	半導体膜	
5 1 1	絶縁膜	
5 1 2 a	導電膜	20
5 1 2 b	導電膜	
5 1 4	マスク	
5 1 5	導電膜	
5 1 5 a	下層	
5 1 5 b	上層	
5 1 6	導電膜	
5 1 6 a	下層	
5 1 6 b	上層	
5 1 7	導電膜	
5 1 7 a	下層	30
5 1 7 b	上層	
5 1 8	導電膜	
5 1 8 a	下層	
5 1 8 b	上層	
5 2 0	5 2 5 不純物領域	
5 2 6	マスク	
5 3 0	層間絶縁膜	
5 3 1	トランジスタ	
5 3 2	トランジスタ	
5 3 3	層間絶縁膜	40
5 3 4	層間絶縁膜	
5 3 5	配線	
5 3 8	配線	
5 4 0	画素電極	
5 4 1	有機樹脂膜	
5 4 2	発光層	
5 4 3	陰極	
5 4 4	発光素子	
5 4 5	保護膜	
1 6 0 1	パネル	50

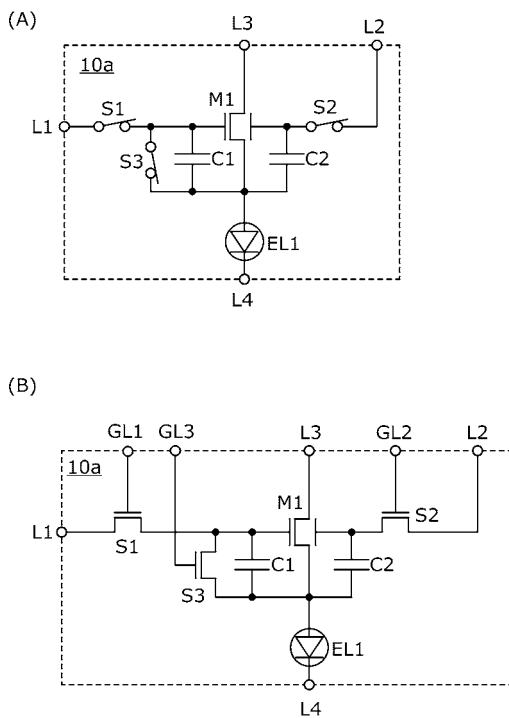
1 6 0 2	回路基板	
1 6 0 3	接続部	
1 6 0 4	画素部	
1 6 0 5	駆動回路	
1 6 0 6	駆動回路	
1 6 0 7	C O F テープ	
1 6 0 8	チップ	
2 0 0 0	タッチパネル	
2 0 0 1	タッチパネル	
2 5 0 1	表示装置	10
2 5 0 2 t	トランジスタ	
2 5 0 3 c	容量素子	
2 5 0 3 t	トランジスタ	
2 5 0 4	ゲート線駆動回路	
2 5 0 5	画素	
2 5 0 9	F P C	
2 5 1 0	基板	
2 5 1 0 a	絶縁層	
2 5 1 0 b	可撓性基板	
2 5 1 0 c	接着層	20
2 5 1 1	配線	
2 5 1 9	端子	
2 5 2 1	絶縁層	
2 5 2 8	隔壁	
2 5 5 0	E L 素子	
2 5 6 0	封止層	
2 5 6 7	着色層	
2 5 6 8	遮光層	
2 5 6 9	反射防止層	
2 5 7 0	基板	30
2 5 7 0 a	絶縁層	
2 5 7 0 b	可撓性基板	
2 5 7 0 c	接着層	
2 5 8 0	発光モジュール	
2 5 9 0	基板	
2 5 9 1	電極	
2 5 9 2	電極	
2 5 9 3	絶縁層	
2 5 9 4	配線	
2 5 9 5	タッチセンサ	40
2 5 9 7	接着層	
2 5 9 8	配線	
2 5 9 9	接続層	
2 6 0 1	パルス電圧出力回路	
2 6 0 2	電流検出回路	
2 6 0 3	容量	
2 6 1 1	2 6 1 3 トランジスタ	
2 6 2 1	電極	
2 6 2 2	電極	
5 0 0 1	筐体	50

- 5 0 0 2 表示部
- 5 0 0 3 支持台
- 5 1 0 1 筐体
- 5 1 0 2 表示部
- 5 1 0 3 操作キー
- 5 3 0 1 筐体
- 5 3 0 2 筐体
- 5 3 0 3 表示部
- 5 3 0 4 表示部
- 5 3 0 5 マイクロホン
- 5 3 0 6 スピーカー
- 5 3 0 7 操作キー
- 5 3 0 8 スタイルス
- 5 6 0 1 筐体
- 5 6 0 2 表示部
- 5 7 0 1 筐体
- 5 7 0 2 表示部
- 5 9 0 1 筐体
- 5 9 0 2 表示部
- 5 9 0 3 カメラ
- 5 9 0 4 スピーカー
- 5 9 0 5 ボタン
- 5 9 0 6 外部接続部
- 5 9 0 7 マイク

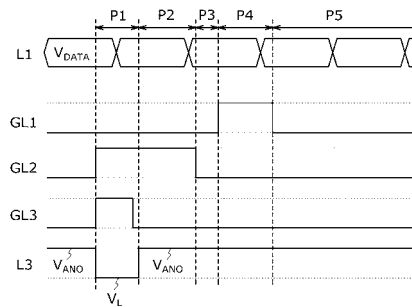
10

20

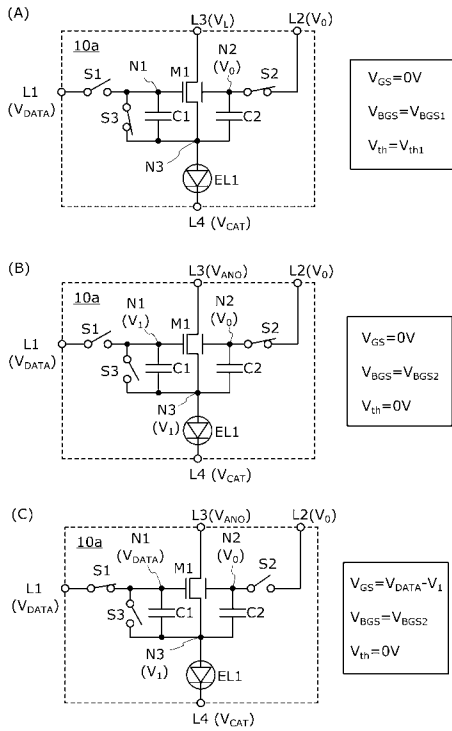
【 図 1 】



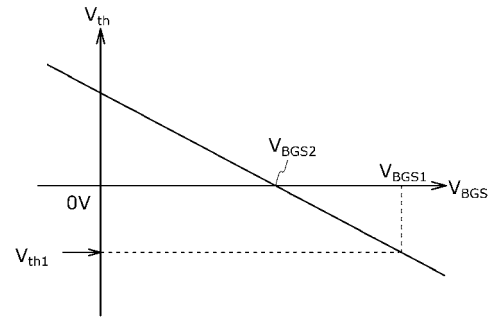
【 図 2 】



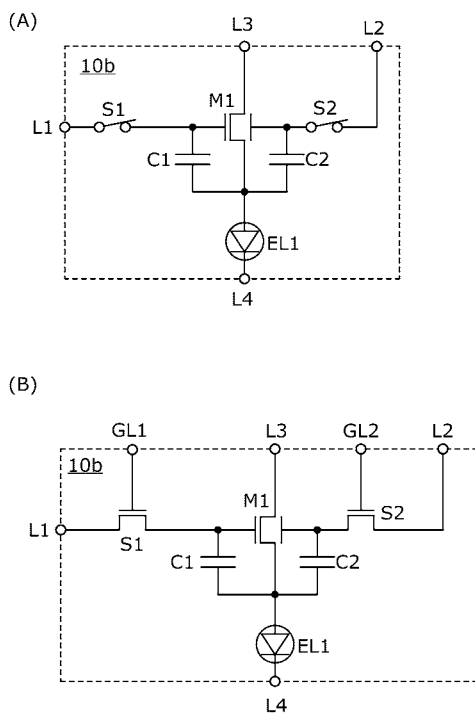
【 図 3 】



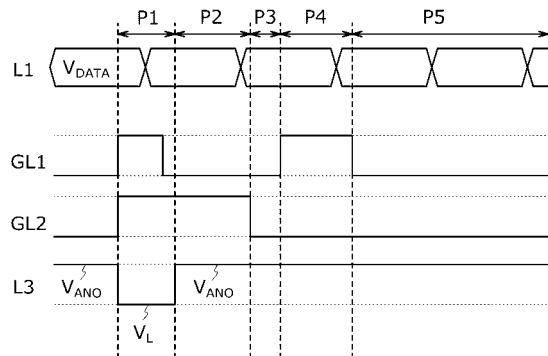
【 図 4 】



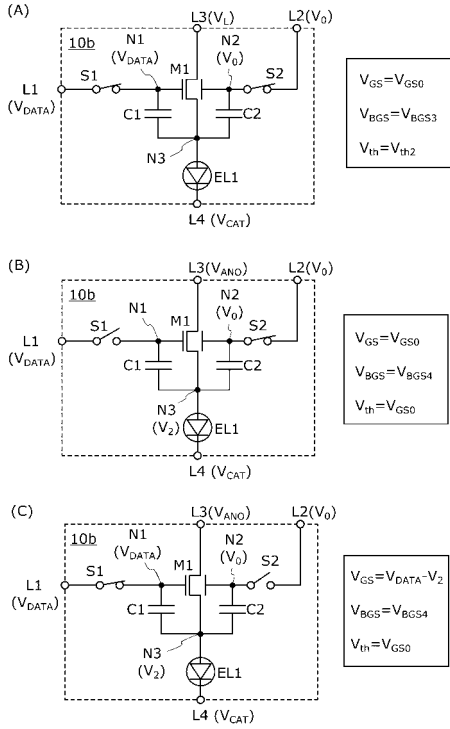
【 図 5 】



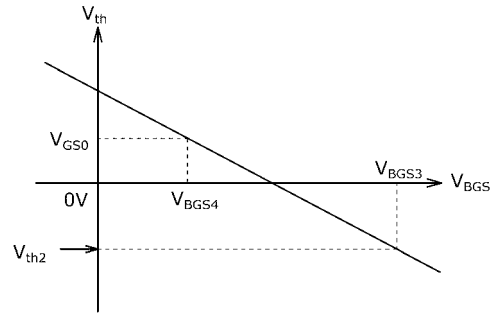
【 図 6 】



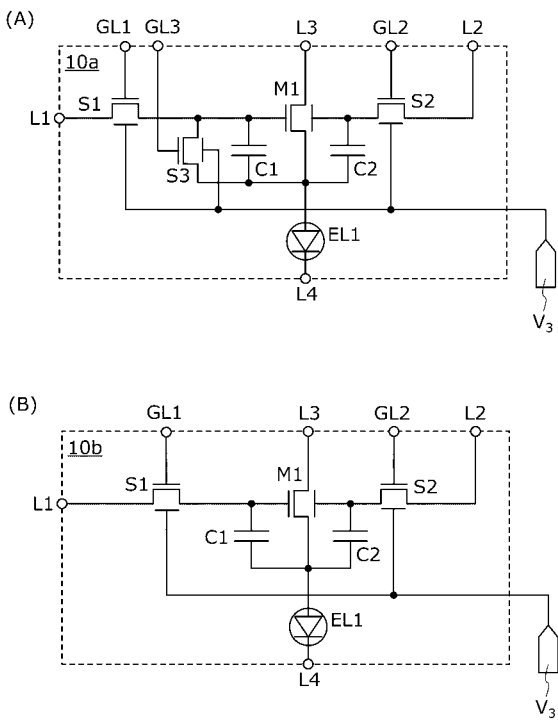
【 図 7 】



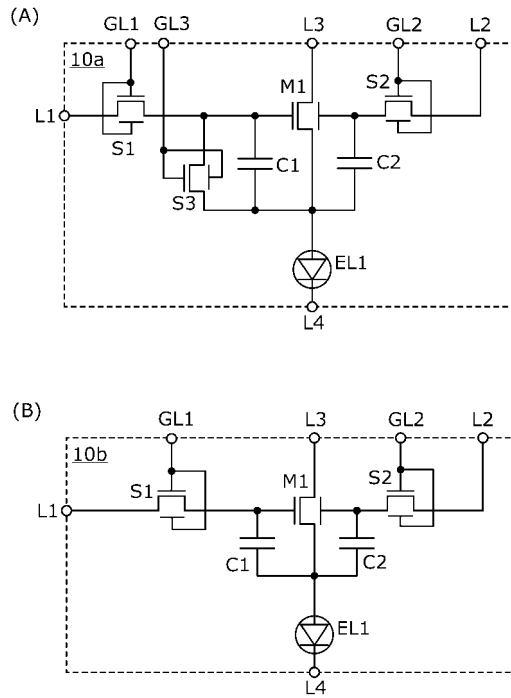
【 図 8 】



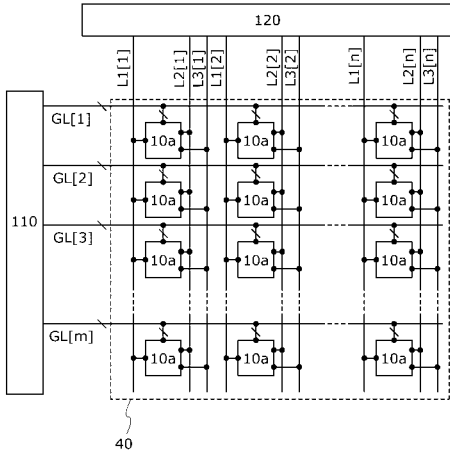
【 図 9 】



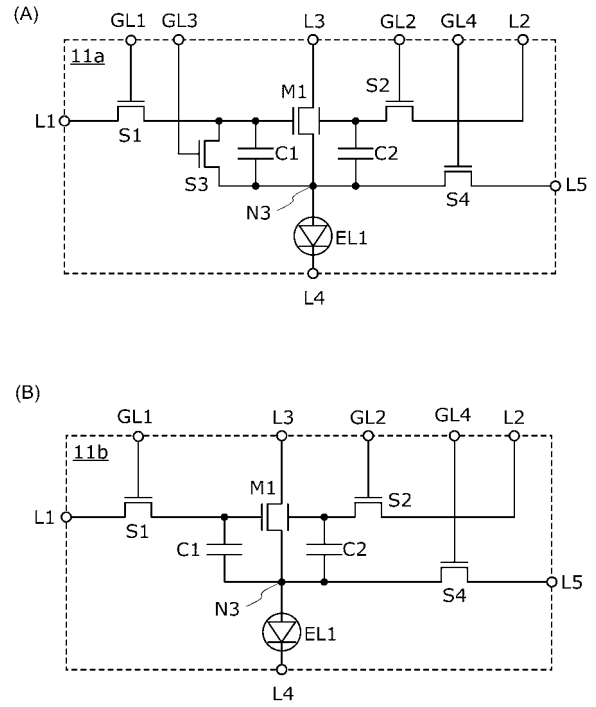
【 図 10 】



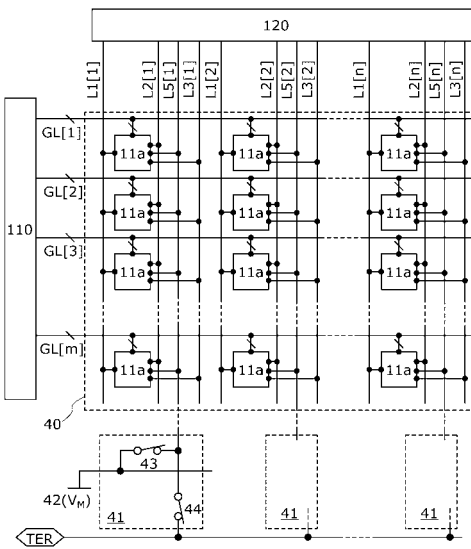
【 図 1 1 】



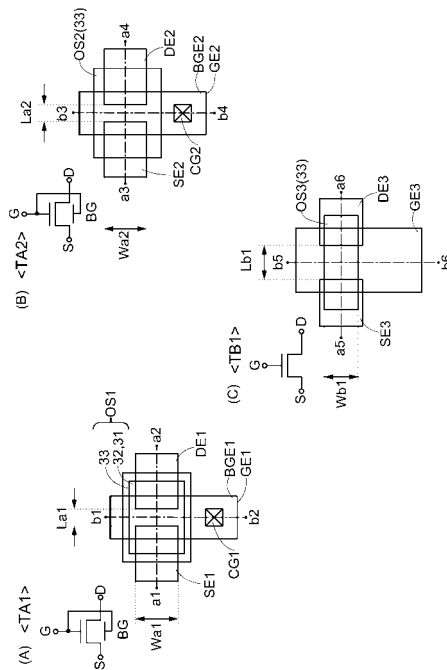
【 図 1 2 】



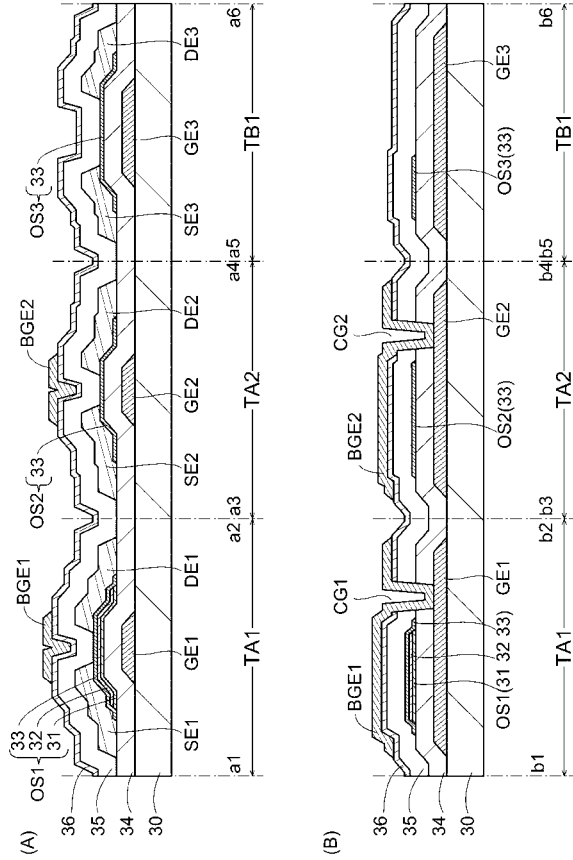
【 図 1 3 】



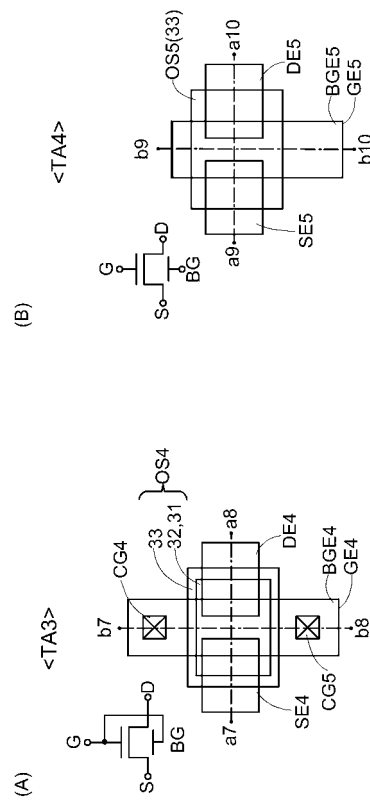
【 図 1 4 】



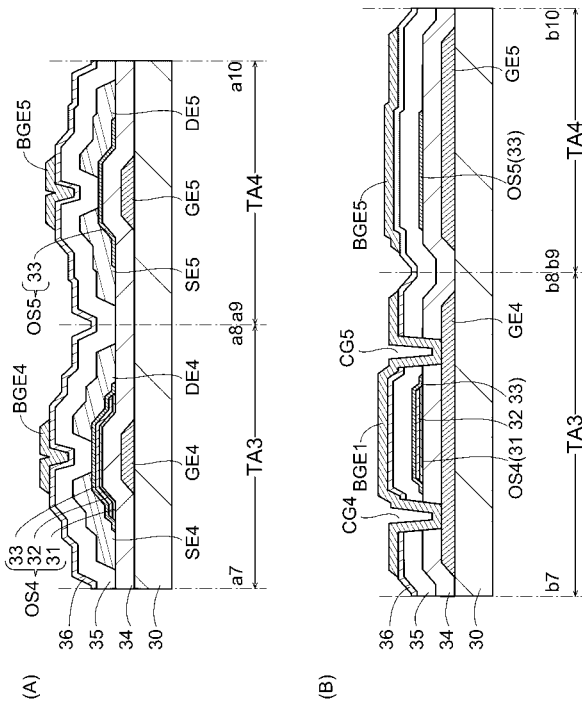
【 図 1 5 】



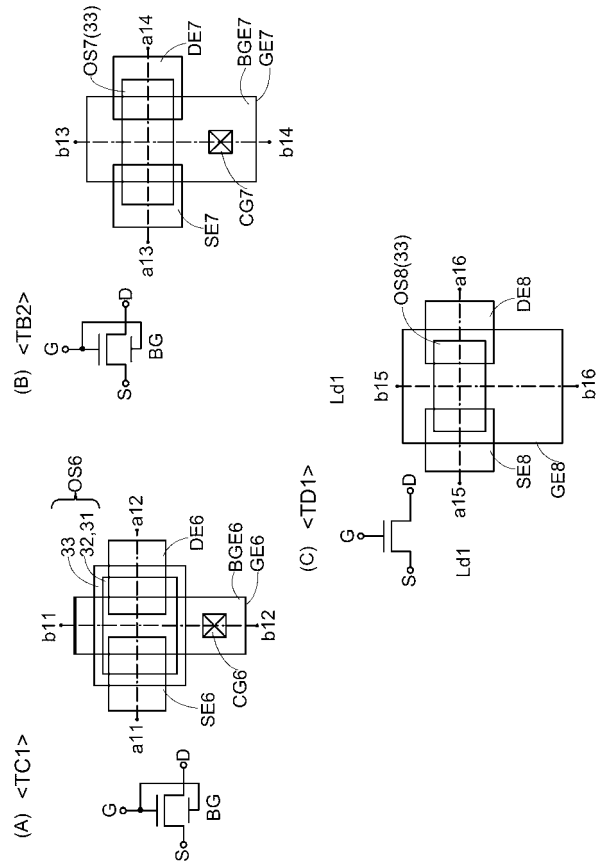
【 図 1 6 】



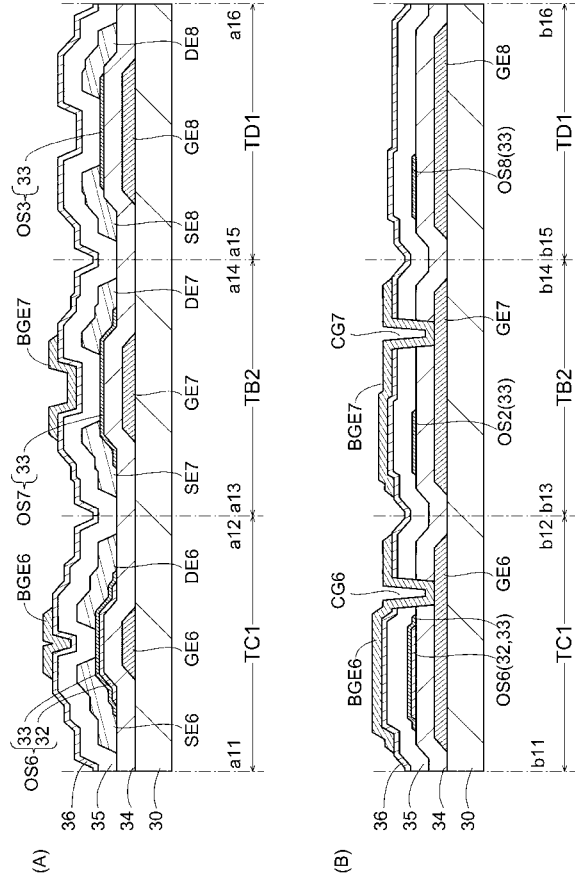
【 図 1 7 】



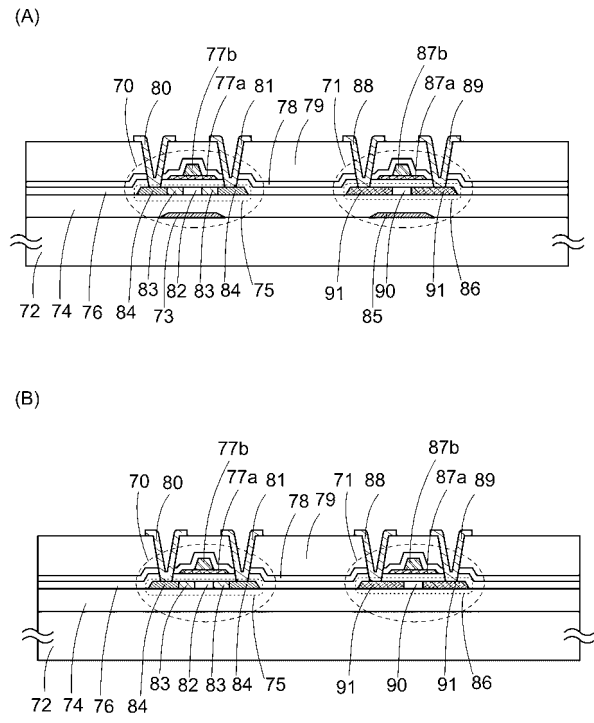
【 図 1 8 】



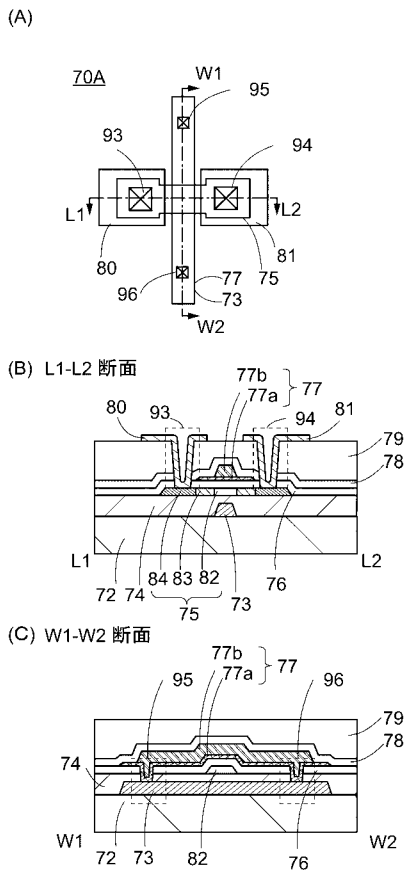
【 図 1 9 】



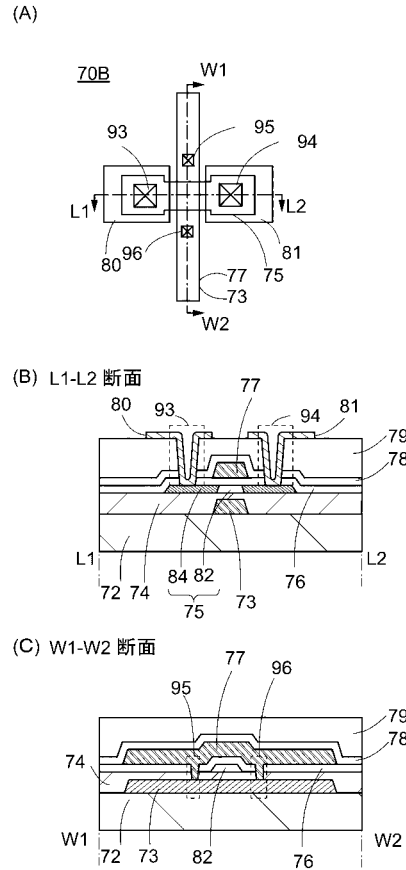
【 図 2 0 】



【 図 2 1 】

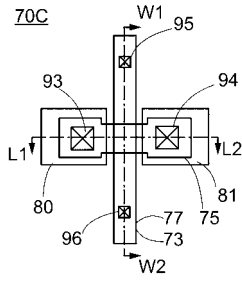


【 図 2 2 】

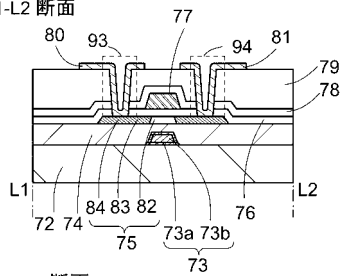


【 図 2 3 】

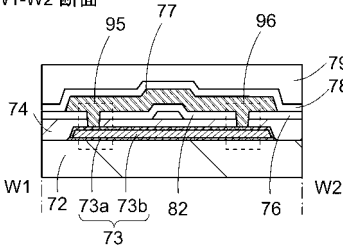
(A)



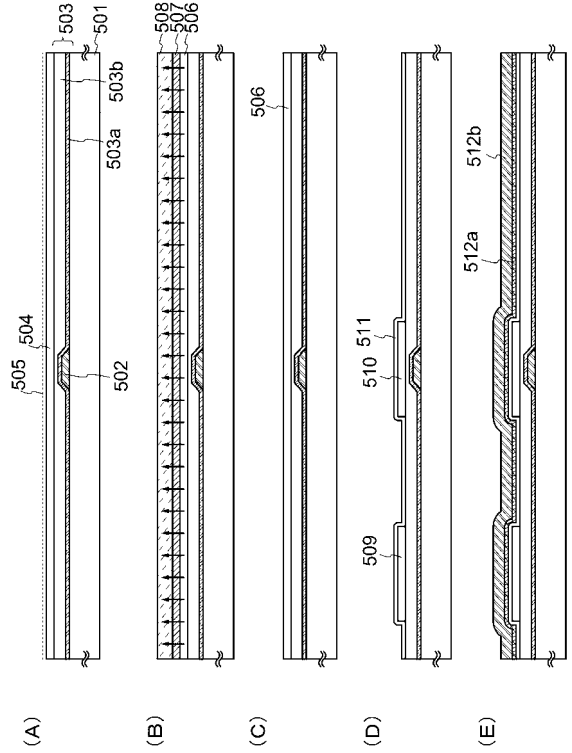
(B) L1-L2 断面



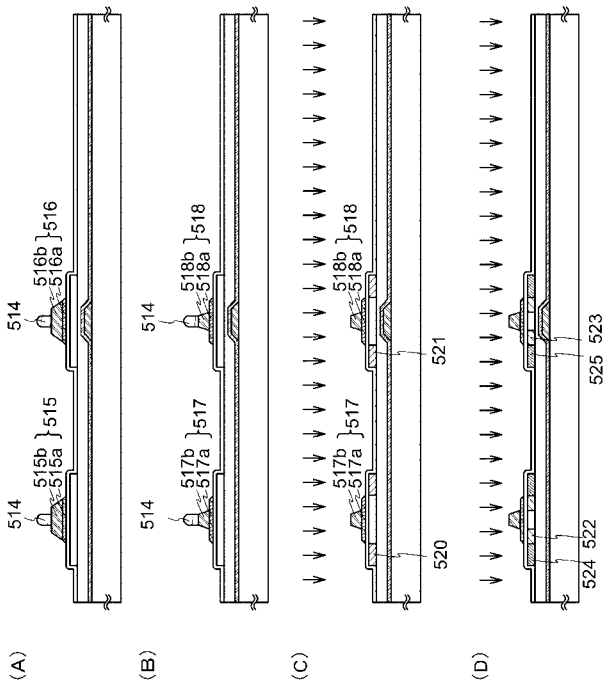
(C) W1-W2 断面



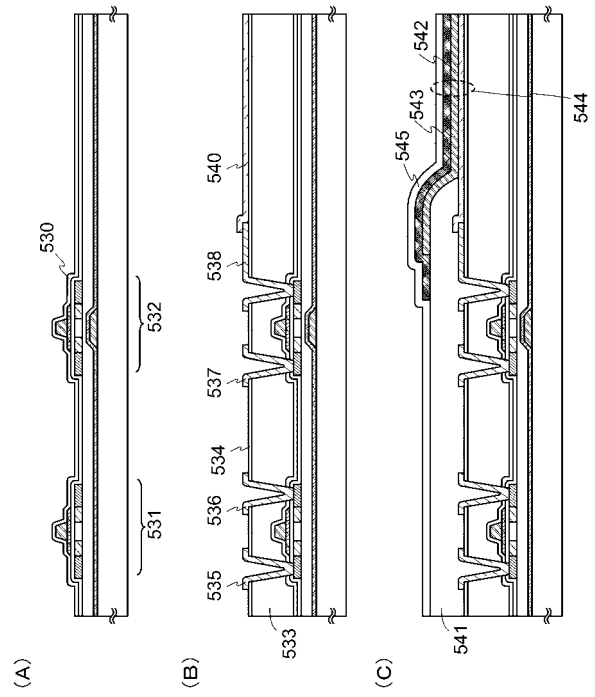
【 図 2 4 】



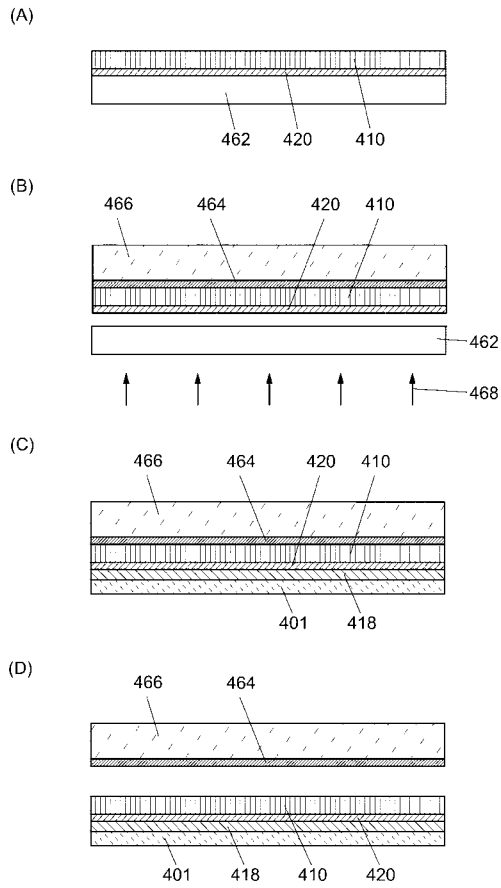
【 図 2 5 】



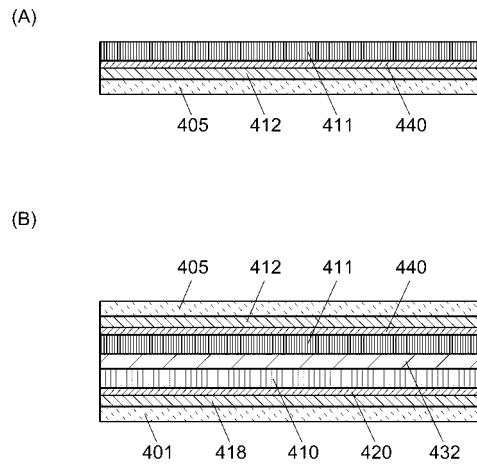
【 図 2 6 】



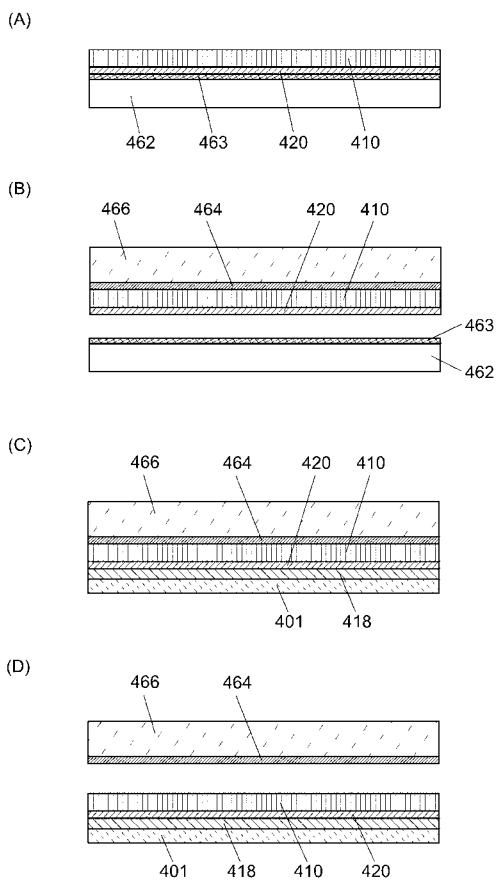
【 図 2 7 】



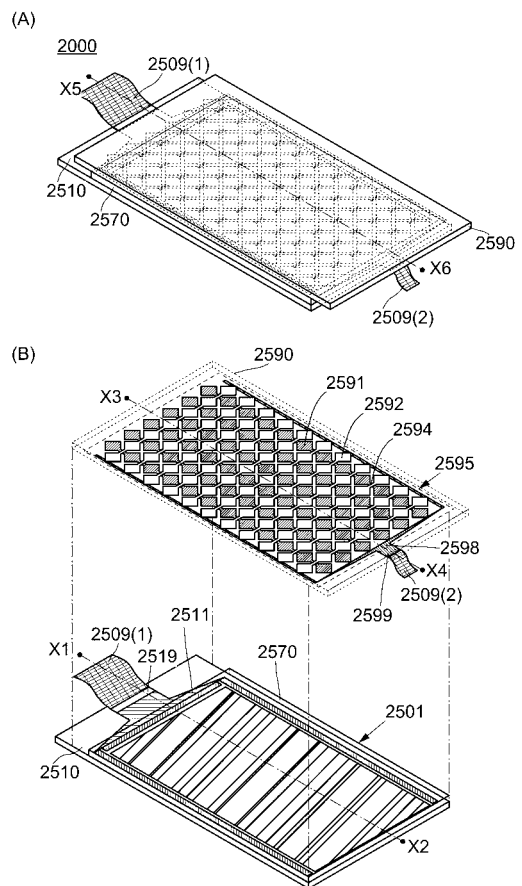
【 図 2 8 】



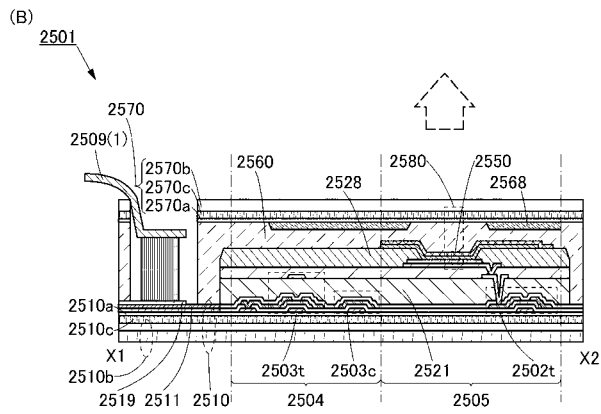
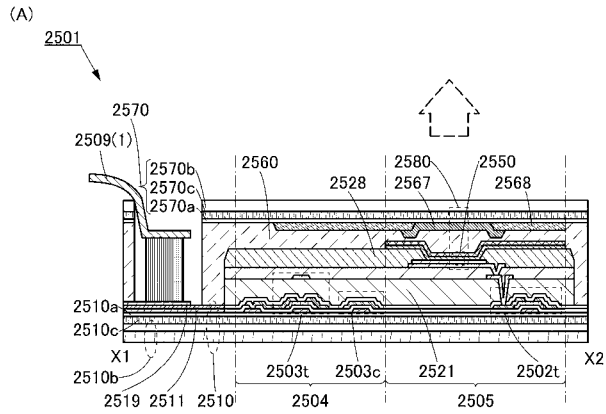
【 図 2 9 】



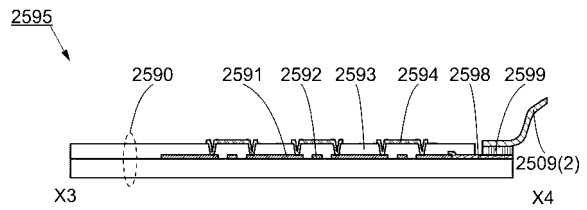
【 図 3 0 】



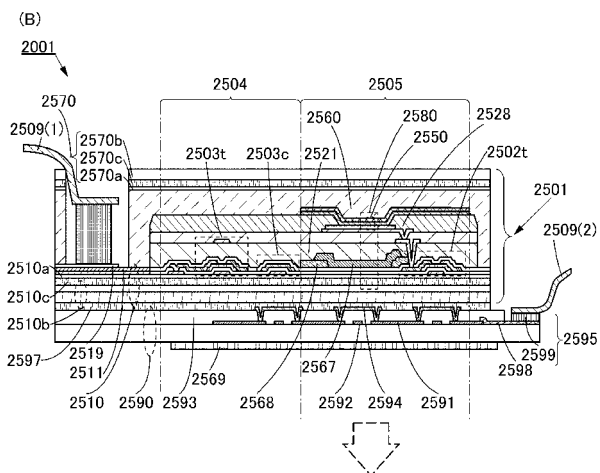
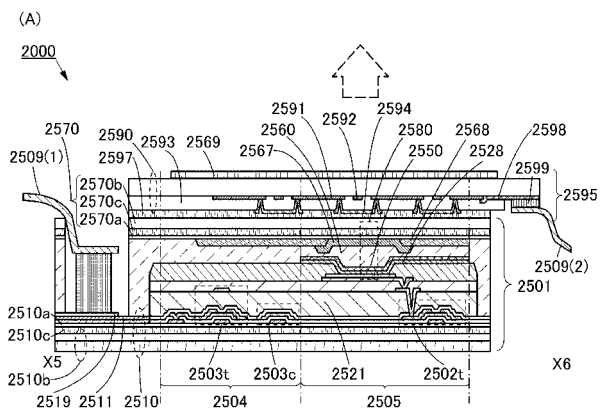
【図31】



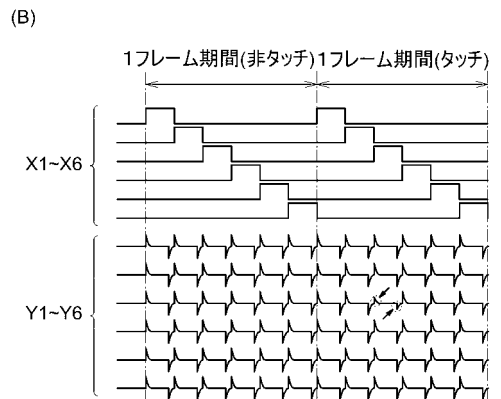
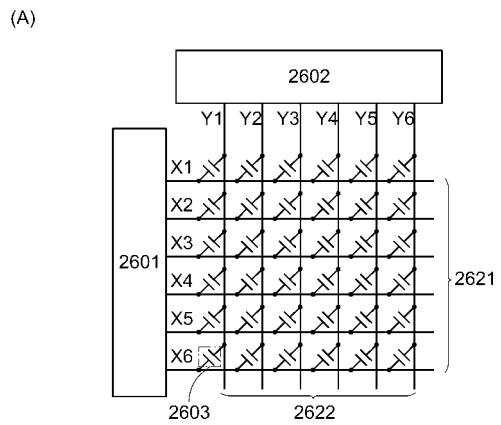
【図32】



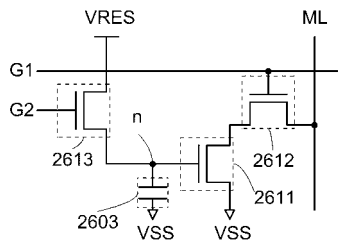
【図33】



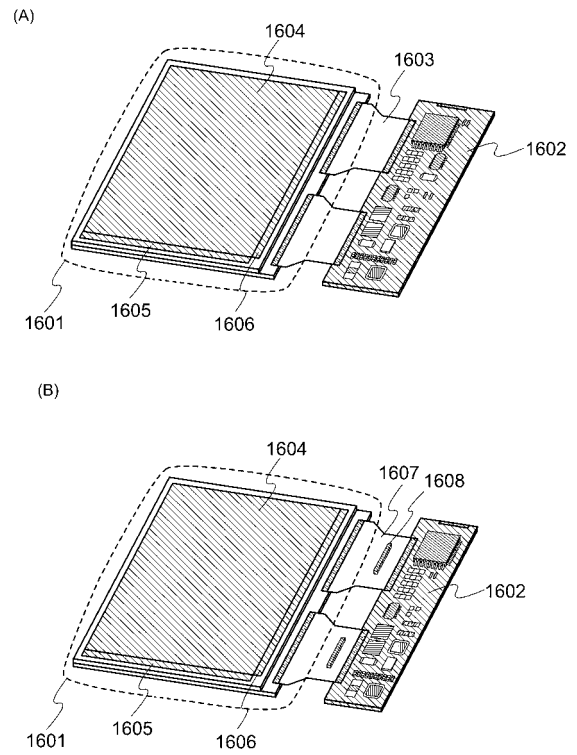
【図34】



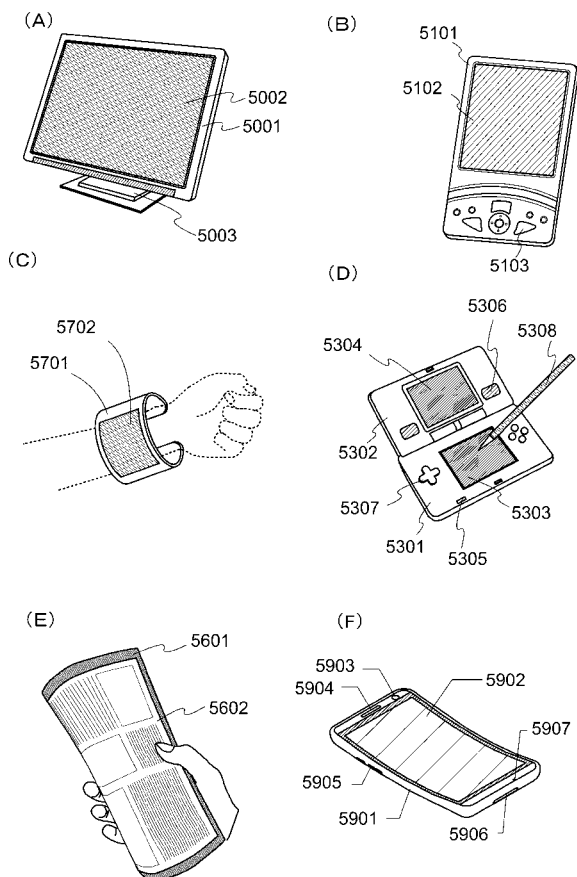
【 図 3 5 】



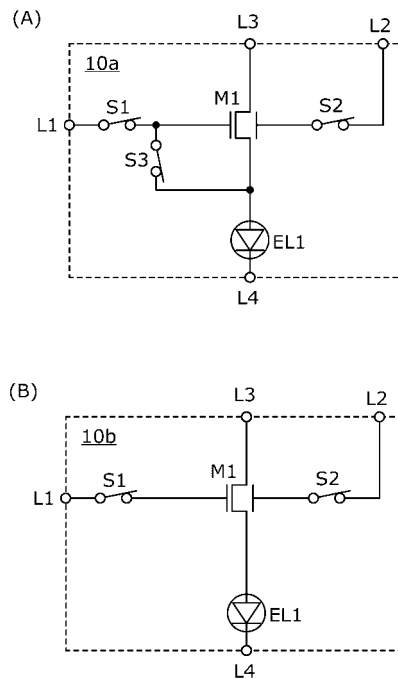
【 図 3 6 】



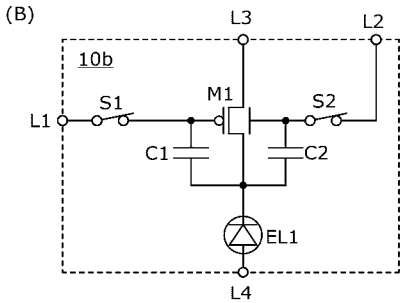
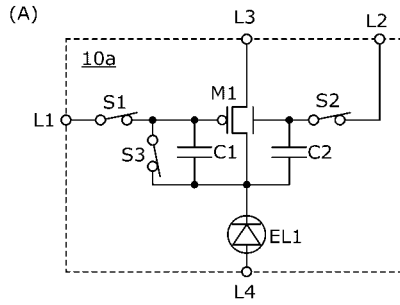
【 図 3 7 】



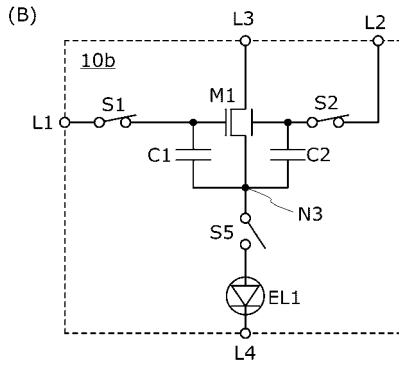
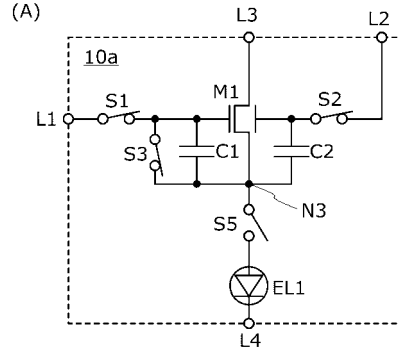
【 図 3 8 】



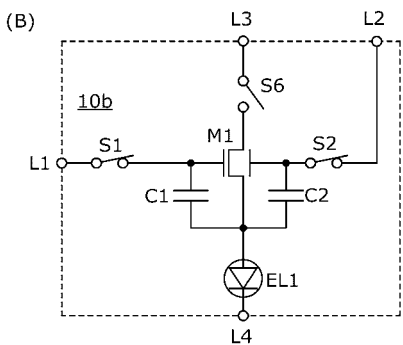
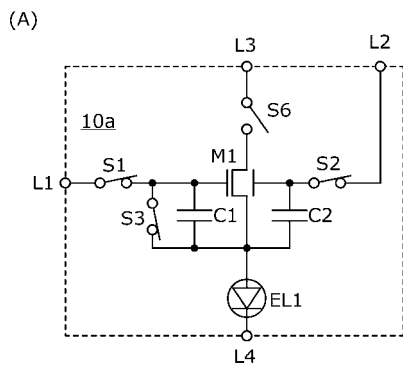
【 図 3 9 】



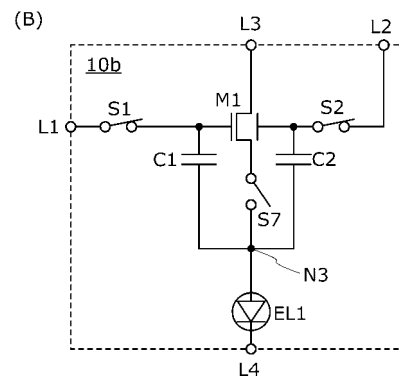
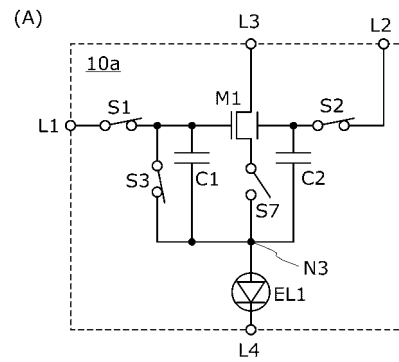
【 図 4 0 】



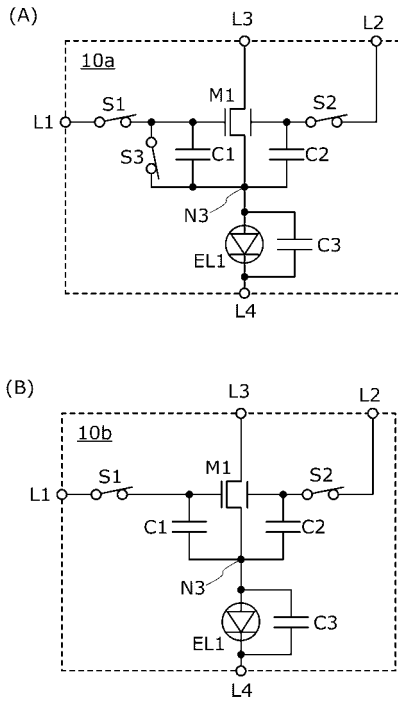
【 図 4 1 】



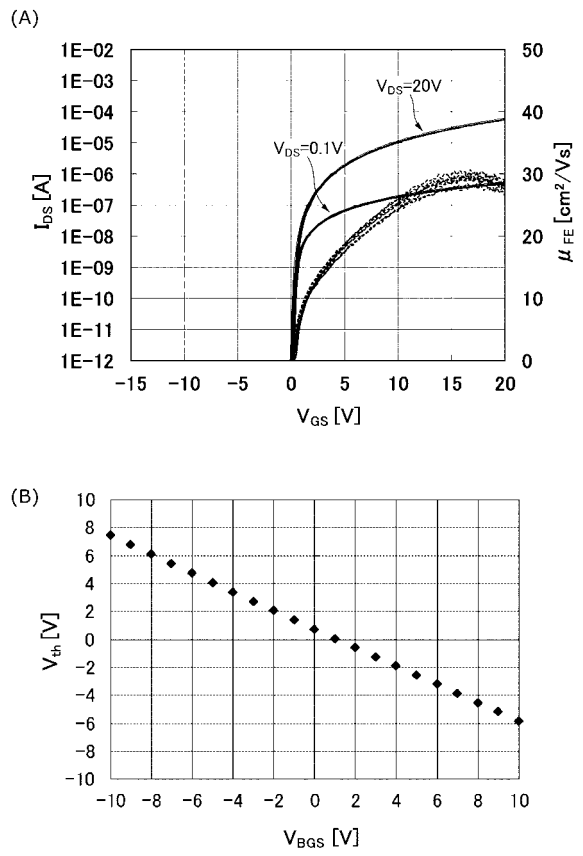
【 図 4 2 】



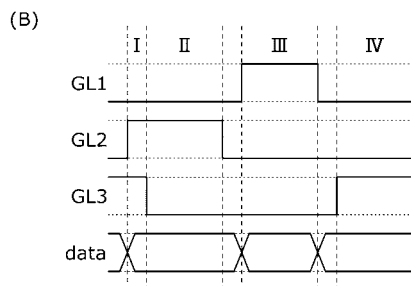
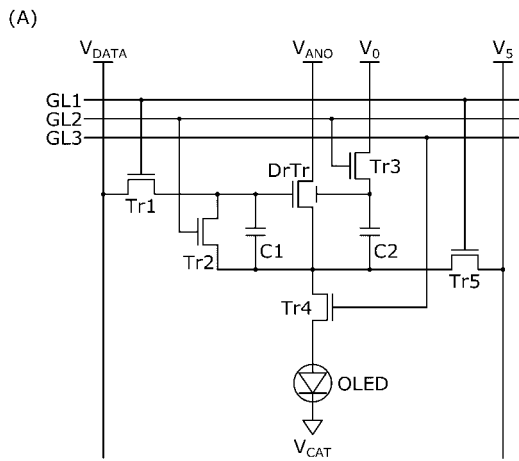
【 図 4 3 】



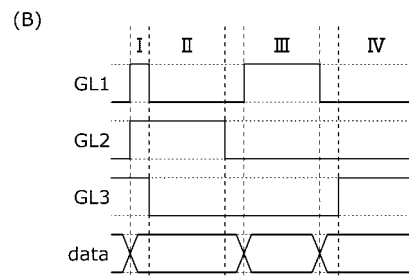
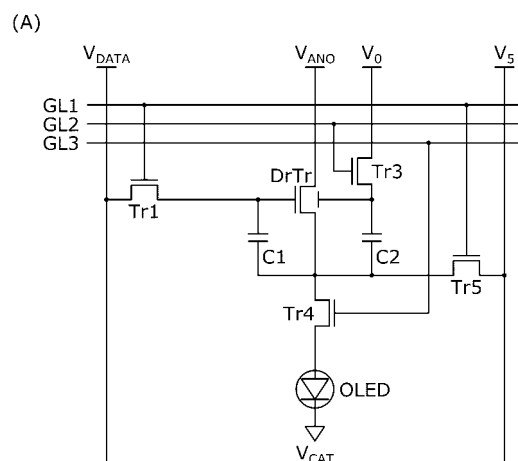
【 図 4 4 】



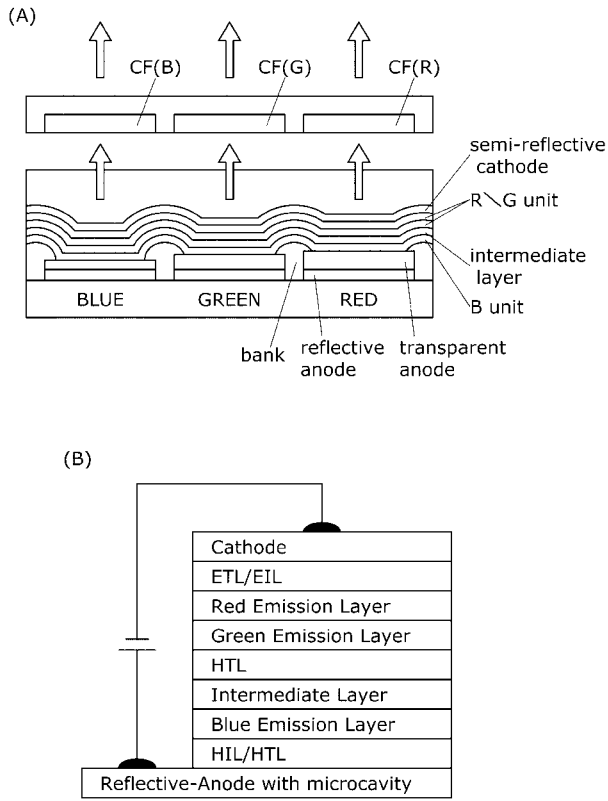
【 図 4 5 】



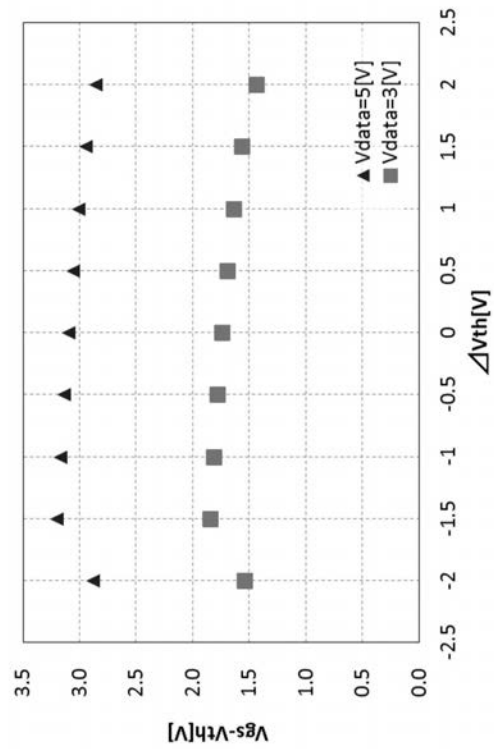
【 図 4 6 】



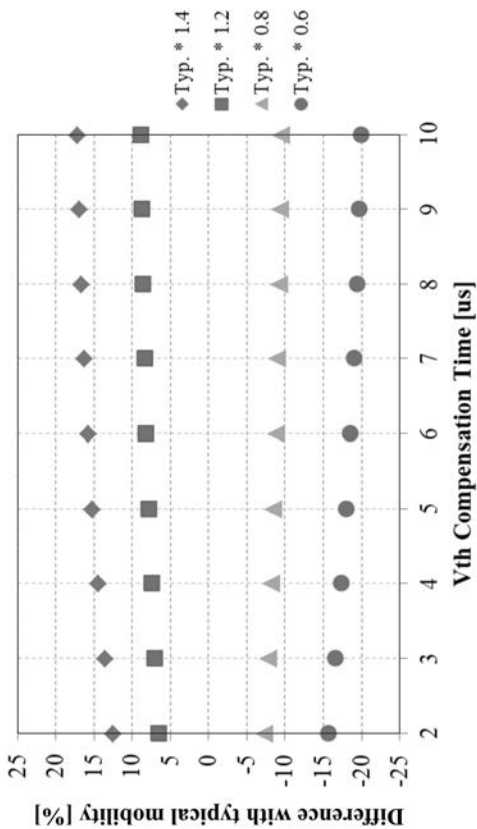
【 図 4 7 】



【 図 4 8 】



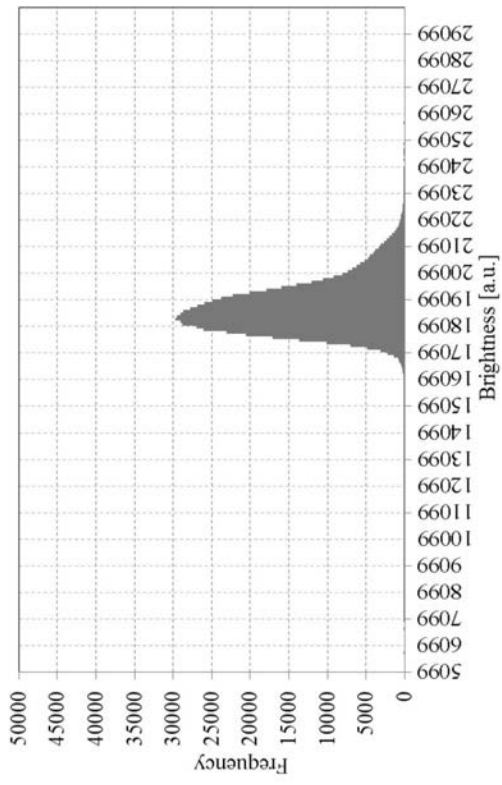
【 図 4 9 】



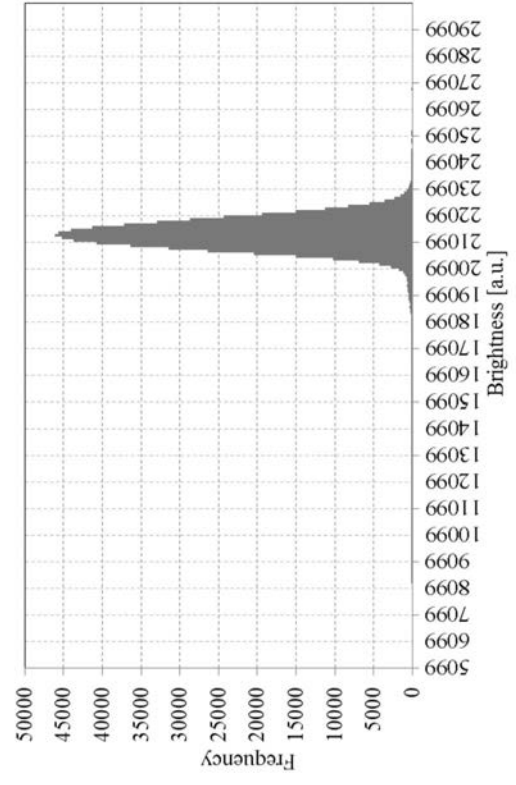
【 図 5 0 】



【 図 5 1 】



【 図 5 2 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 5 B 33/14

A

Fターム(参考) 5C380 AA01 AA02 AA03 AB06 AB11 AB12 AB13 AB18 AB21 AB22
AB23 AB24 AB25 AB28 AB34 AB35 AB37 AC07 AC08 AC09
AC11 AC12 AC16 BA01 BA06 BA10 BA12 BA13 BA28 BA38
BA39 BB02 BB03 BB04 CB20 CC03 CC04 CC07 CC08 CC09
CC26 CC27 CC33 CC39 CC41 CC48 CC52 CC61 CC63 CC64
CC65 CC77 CD023 CD024 CD025 CD026 CD033 CD034 CD073 CD074
CE20 CF20 CF51 CF66 DA01 DA02 DA41 DA47 EA16 FA03
FA28 HA02 HA03 HA05 HA06 HA09 HA13