(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201250951 A1
(43)公開日： 中華民國 101 (2012) 年 12 月 16 日

(21)申請案號：101112949 (22)申請日： 中華民國 101 (2012) 年 04 月 12 日
(51)Int. Cl.： *H01L23/34 (2006.01)* *H01L29/78 (2006.01)*
(30)優先權：2011/04/18 美國 61/476,534
(71)申請人：ＳＳ ＳＣ ＩＰ公司 (美國) SS SC IP, LLC (US)
美國
(72)發明人：卡薩迪 珍娜 CASADY, JANNA (US)；卡薩迪 傑佛瑞 CASADY, JEFFREY (US)；洽提 奇朗 CHATTY, KIRAN (US)；雪里登 大衛 SHERIDAN, DAVID (US)；里騰諾 安卓 RITENOUR, ANDREW (US)
(74)代理人：林景郁
申請實體審查：有 申請專利範圍項數：27 項 圖式數：4 共 37 頁

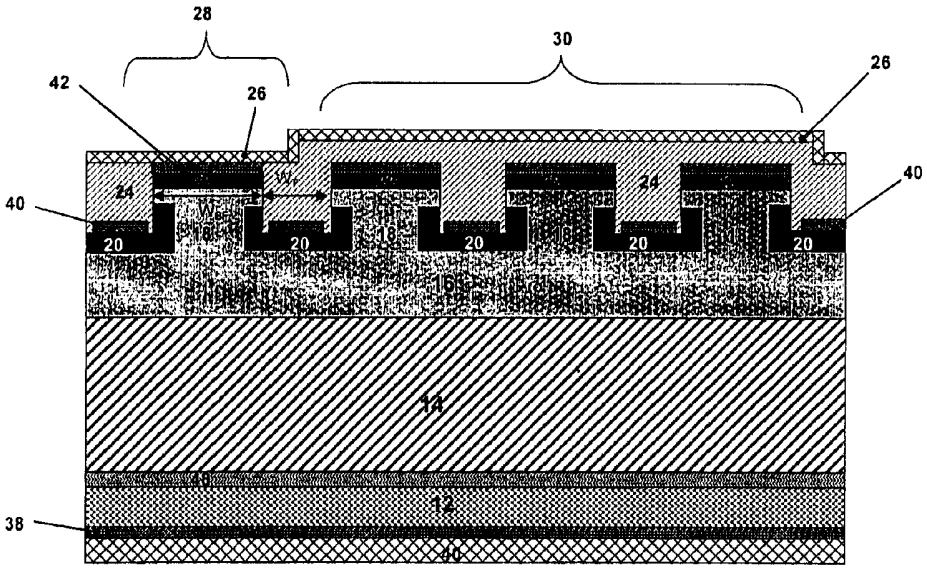
(54)名稱

具有改良的熱特性的垂直接面場效電晶體及製造的方法

VERTICAL JUNCTION FIELD EFFECT TRANSISTORS WITH IMPROVED THERMAL CHARACTERISTICS AND METHODS OF MAKING

(57)摘要

本發明說明的垂直接面場效電晶體(Vertical Junction Field Effect Transistor，VJFET)在高電流流動處具有改良的散熱效果，同時會保持具有小間距長度之裝置的所希望特定導通阻值和正規化飽和汲極電流性質。該等 VJFET 包括和該裝置的源極金屬產生電接觸的一或多個有電氣作用源極區以及和該裝置的源極金屬不產生電接觸的一或多個無電氣作用源極區。該等無電氣作用源極區會在電流流動期間消散由該等有電氣作用源極區所產生的熱。



12：基板層
14：n 型漂移層
16：n 型通道層
18：n 型源極區
20：經植入閘極區
22：n 型源極層
24：介電層
26：源極接觸層
28：有電氣作用源極區
30：無電氣作用源極區
38：汲極歐姆接點
40：汲極金屬接點
40：閘極歐姆接點

42：源極歐姆接觸材料

48：n 型緩衝層

(19)中華民國智慧財產局
(12)發明說明書公開本 (11)公開編號：TW 201250951 A1
(43)公開日： 中華民國 101 (2012) 年 12 月 16 日

(21)申請案號：101112949 (22)申請日： 中華民國 101 (2012) 年 04 月 12 日
(51)Int. Cl.： *H01L23/34 (2006.01)* *H01L29/78 (2006.01)*
(30)優先權：2011/04/18 美國 61/476,534
(71)申請人：ＳＳ ＳＣ ＩＰ公司 (美國) SS SC IP, LLC (US)
美國
(72)發明人：卡薩迪 珍娜 CASADY, JANNA (US)；卡薩迪 傑佛瑞 CASADY, JEFFREY (US)；洽提 奇朗 CHATTY, KIRAN (US)；雪里登 大衛 SHERIDAN, DAVID (US)；里騰諾 安卓 RITENOUR, ANDREW (US)
(74)代理人：林景郁
申請實體審查：有 申請專利範圍項數：27 項 圖式數：4 共 37 頁

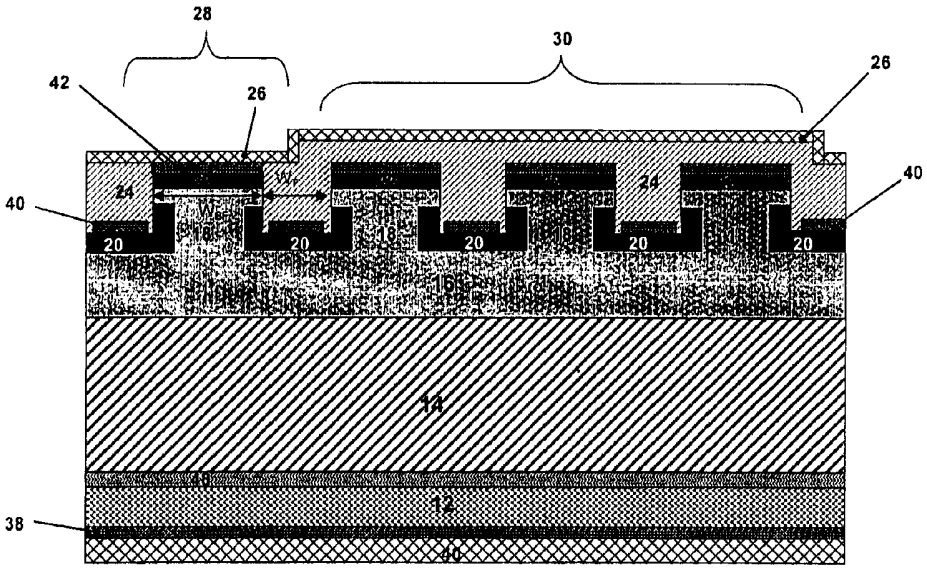
(54)名稱

具有改良的熱特性的垂直接面場效電晶體及製造的方法

VERTICAL JUNCTION FIELD EFFECT TRANSISTORS WITH IMPROVED THERMAL CHARACTERISTICS AND METHODS OF MAKING

(57)摘要

本發明說明的垂直接面場效電晶體(Vertical Junction Field Effect Transistor，VJFET)在高電流流動處具有改良的散熱效果，同時會保持具有小間距長度之裝置的所希望特定導通阻值和正規化飽和汲極電流性質。該等 VJFET 包括和該裝置的源極金屬產生電接觸的一或多個有電氣作用源極區以及和該裝置的源極金屬不產生電接觸的一或多個無電氣作用源極區。該等無電氣作用源極區會在電流流動期間消散由該等有電氣作用源極區所產生的熱。



12：基板層
14：n 型漂移層
16：n 型通道層
18：n 型源極區
20：經植入閘極區
22：n 型源極層
24：介電層
26：源極接觸層
28：有電氣作用源極區
30：無電氣作用源極區
38：汲極歐姆接點
40：汲極金屬接點
40：閘極歐姆接點

六、發明說明：

【發明所屬之技術領域】

本申請案大體上和具有改良的熱特性的半導體裝置有關，且明確地說，本申請案係關於具有改良的熱特性的垂直接面場效電晶體(Vertical Junction Field Effect Transistor，VJFET)以及製造該等裝置的方法。

【先前技術】

碳化矽垂直JFET通常具有在一主動區上所定義的多個源極指狀部。分離任何兩個源極指狀部的源極突丘與溝槽的寬度會經過選擇，以便符合特定的裝置目標，例如，臨界電壓以及阻隔增益。為達改良的特定導通阻值(也就是，依照面積進行正規化的阻值)和正規化飽和汲極電流(依照面積進行正規化的Idsat)的目的，該等源極指狀部會被放置在最小可能間距處，其中，間距等於該源極指狀部的寬度(W_{SF})以及該等源極指狀部之間的溝槽的寬度(W_T)的總和。將該等指狀部放置在最小可能間距處可以在一給定的主動區或是給定的晶粒尺寸中封裝大量的源極指狀部。

然而，於特定的應用中，因小間距的關係所導致的緊密鄰近性卻會在大量電流流經該VJFET期間造成不良的散熱效果。因此，裝置的溫度會上升。為達成改良的散熱效果並且降低裝置中的溫度上升，較佳的係，該等源極指狀部能夠以進一步彼此遠離的方式被擺放(也就是，增加溝槽寬度)。然而，較大的溝槽寬度卻會造成源極指狀部側壁上

P+閘極植入物輪廓的改變，從而可能會造成電氣特性(例如，臨界電壓)的改變，偏離所希望的設計目標。

據此，需要一種在高電流流動處具有改良的散熱效果的 VJFET，同時保持小溝槽寬度之裝置的所希望電氣特性。

【發明內容】

本發明提供一種裝置，其包括：

一基板層；

一位於該基板層上的 n 型漂移層；

一位於該漂移層上的 n 型通道層；

位於該通道層上的複數個隆起 n 型源極區，其中，該等隆起 n 型源極區具有一上方表面並且彼此分隔，從而會在相鄰的隆起 n 型源極區之間形成溝槽；

一位於該等隆起 n 型源極區的該上方表面上的 n 型源極層，其中，該 n 型源極層的摻雜物濃度高於該等隆起 n 型源極區；

位於該等隆起n型源極區之間的溝槽中的多個經植入p型閘極區；以及

一源極接觸層；

其中，該源極接觸層會電接觸該等複數個隆起 n 型源極區中一或多者之上的 n 型源極層，用以形成一或多個有電氣作用的源極區，且其中，該源極接觸層不會電接觸該等複數個隆起 n 型源極區中一或多者之上的 n 型源極層，用以形成多個無電氣作用的源極區。

本發明還提供一種方法，其包括：

選擇性地蝕刻多條溝槽，蝕穿一 n 型源極層並且蝕入一下方的 n 型通道層之中，用以形成複數個隆起 n 型源極區，其中，該等隆起 n 型源極區具有一上方表面，且其中，該 n 型通道層係位於一在一基板之上的 n 型漂移層之上；

在該等隆起 n 型源極區之間的溝槽之中植入多個 p 型閘極區；

沉積一溝槽填充材料，用以填充該等溝槽並且覆蓋該等隆起 n 型源極區；

選擇性地蝕穿該溝槽填充材料，以便露出一或多個隆起 n 型源極區的上方表面，其中，一或多個隆起 n 型源極區在選擇性蝕刻之後會保持被該溝槽填充材料覆蓋；以及

在該等一或多個隆起 n 型源極區的已露出上方表面上沉積源極金屬，其中，該源極金屬不會電接觸被該溝槽填充材料覆蓋的該等隆起 n 型源極區。

本文中將提出本教示內容的前述與其它特點。

【實施方式】

如本文中所述，一層位於另一層「之上」可能會直接接觸該層或是直接接觸一中間層。據此，倘若一層 A 被描述為位於一層 B「之上」的話，一或多個額外層可能會位於層 A 與 B 之間。

本發明提供一種具有一或多個已取消作用源極區的裝置。該等已取消作用源極區不會被電連接至該裝置的源極

金屬層。此類型的裝置顯示在圖 1 中。

圖 1 所示的係一具有四個源極區的 SiC VJFET 的概略剖面圖，其中，該等源極區中其中一者有電氣作用並且能夠進行電流傳導，而其它三個源極區則無電氣作用並且不會進行電流傳導。源極指狀部的寬度(W_{SF})以及該等源極指狀部之間的溝槽的寬度(W_T)如圖 1 中所示。如上面所提，該裝置的間距為此等數值的總和。

如圖 1 中所示，該裝置包括一基板層 12、一位於該基板層上的 n 型漂移層 14、一位於該漂移層上的 n 型通道層 16、以及位於該通道層上的複數個隆起 n 型源極區 18。圖中顯示出在該等隆起源極區 18 之間的溝槽中有多個經植入閘極區 20。圖中顯示出，一 n 型源極層 22 位於該等隆起源極區 18 的上方表面上。圖中還顯示出，源極歐姆接觸材料 42 位於該等隆起源極區 18 的上方表面上的 n 型源極層 22 之上。同樣如圖 1 中所示，一介電層 24 會位於該等四個源極區中其中三個之上的 n 型源極層之上。位於此等三個源極區之上的介電層 24 會防止源極接觸層 26 電接觸此等三個源極區之上的 n 型源極層，從而形成無作用的源極區 30。然而，從圖 1 中可以看見，源極接觸層 26 會接觸有電氣作用源極區 28 的源極歐姆接觸材料 42。無電氣作用源極區 30 可在電流流動期間藉由幫助從該有電氣作用源極區 28 處散熱而冷卻裝置。

圖中顯示出，一非必要的 n 型緩衝層 48 係位於該基板層 12 與該 n 型漂移層 14 之間。該 n 型緩衝層 48 會被重度

摻雜。舉例來說，該 n 型緩衝層的摻雜物濃度可能大於 $1x10^{18}cm^{-3}$。

圖中還顯示出，一汲極歐姆接點 38 位於該基板層 12 之上和該漂移層 14 反向的地方；而且圖中顯示出，一汲極金屬接點 40 位於該汲極歐姆接點 38 之上。圖中還顯示出，多個閘極歐姆接點 40 位於該等經植入閘極區 20 之上。該裝置的閘極金屬接點(圖中並未顯示)會與閘極歐姆接觸材料 40 進行電通訊。

圖 1 中雖然顯示一個有電氣作用源極區 28 以及三個無電氣作用源極區 30；不過，亦可以使用其它配置。舉例來說，該裝置可能包括複數個有電氣作用源極區。此外，亦可以針對該裝置的每一個有電氣作用源極區來使用任何數量的無電氣作用源極區。

該等無電氣作用源極區的存在有助於從該等有電氣作用源極指狀部處進行散熱，並且因而能夠在有大量電流流經該裝置期間防止該裝置的溫度上升。

如圖 1 中所示，舉例來說，藉由在一或多個源極指狀部上方沉積一介電材料層(舉例來說，二氧化矽或是四乙氧基矽烷(tetraethyl orthosilicate))用以防止該源極金屬電連接至此等源極指狀部上的源極層，便可以實行一或多個源極指狀部的電氣取消作用。依此方式，此等源極指狀部便可能為無電氣作用，並且能夠幫助消散由相鄰有作用的源極指狀部所產生的熱。

該等隆起 n 型源極區可能會有實質上均勻的間隔與寬

度。如本文中的用法，在該裝置的該等隆起源極區的寬度以及間隔的前後文中的「實質上均勻」的意義為該等源極區的寬度與間隔的變化不會大於 5%。同樣地，一裝置特徵圖樣的維度(舉例來說，寬度)若被描述為和另一特徵圖樣的維度「實質上相等」，其將和該另一特徵圖樣的維度相差不會大於 5%。

上面所述之裝置中的該等無電氣作用指狀部會促成閘極至汲極電容。再者，即使該裝置的該等源極區為無電氣作用，此等無電氣作用源極區仍會促成寄生的閘極接面至汲極接面電容。該寄生電容會限制該 VJFET 的暫態響應。

該寄生電容可藉由實際上合併上面所述之該裝置中的該等無作用指狀部俾使得在無作用指狀部之間沒有任何 p+ 閘極植入物而降低。此類型裝置的略示圖顯示在圖 2 中。圖 2 所示的係一 SiC VJFET 裝置的概略剖面圖，其具有一個有電氣作用的源極區以及一相鄰的無電氣作用的源極區(也就是，源極突丘)，該無電氣作用的源極區的寬度大於該有電氣作用的源極區。

如圖 2 中所示，該裝置包括一基板層 12、一位於該基板層上的 n 型漂移層 14、一位於該漂移層上的 n 型通道層 16 以及一位於該通道層上的隆起 n 型源極區 18。該裝置還包括一隆起 n 型源極區 32，其位於該通道層 16 之上並且與該隆起 n 型源極區 18 隔開，從而形成一溝槽。如圖 2 中所示，該隆起 n 型源極區 32 寬於該隆起 n 型源極區 18。圖中顯示出在該等隆起源極區 18 與 32 之間的溝槽中有多個經

植入閘極區 20。圖中顯示出，一 n 型源極層 22 位於該隆起源極區 18 的上方表面上以及該隆起源極區 32 的上方表面上。同樣如圖 2 中所示，多個源極歐姆接點 42 位於該隆起源極區 18 的上方表面上以及該隆起源極區 32 的上方表面上的 n 型源極層 22 之上。如圖 2 中所示，一介電層 24 會被形成在該隆起源極區 32 上的源極層 22 之上。一源極接觸層 26 會被形成用以和該隆起源極區 18 的源極歐姆接觸材料 42 進行電通訊。然而，同樣如圖 2 中所示，介電層 24 會防止源極接觸層 26 電接觸該隆起源極區 32 之上的源極層 22。該隆起源極區 32 從而會形成裝置 36 的無電氣作用部分。接觸該源極接觸層 26 的隆起源極區 18 則會形成裝置 34 的有電氣作用部分。

在圖 2 中顯示出，一非必要的 n 型緩衝層 48 係位於該基板層 12 與該 n 型漂移層 14 之間。該 n 型緩衝層 48 會被重度摻雜。舉例來說，該 n 型緩衝層的摻雜物濃度可能 $>1x10^{18}cm^{-3}$。

在圖 2 中還顯示出，一汲極歐姆接點 38 位於該基板層 12 之上和該漂移層 14 反向的地方；而且圖中顯示出，一汲極金屬接點 40 位於汲極歐姆接點 38 之上。圖中還顯示出，多個閘極歐姆接點 40 位於該等經植入閘極區 20 之上。該裝置的閘極金屬接點(圖中並未顯示)會與閘極歐姆接觸材料 40 進行電通訊。

從圖 2 中可以看見，該無電氣作用源極區 32 寬於相鄰的有電氣作用源極區 18。根據某些實施例，源極區 32 的寬

度為該源極指狀部的寬度的倍數。舉例來說，源極區 32 的寬度可能為源極區 18 的寬度的 2 倍或 3 倍。

從圖 2 中可以看見，該源極區 32 並沒有溝槽或是閘極區。據此，在圖 2 中所示之裝置的無作用部分中並沒有任何經植入閘極區。在該裝置的無作用部分中沒有閘極區可以降低該裝置的閘極至汲極電容，同實保持該裝置之改良的熱特性。

圖 3 所示的係一 SiC VJFET 裝置的概略透視圖，其具有複數個(圖中顯示兩個)有電氣作用的源極區 18 以及複數個(圖中顯示兩個)無電氣作用的源極區 32。

圖 4A 至 4S 所示的係一種用以製造本文中所述之 VJFET 裝置的方法。如圖 4A 與 4B 中所示，一氧化物層 50 會被沉積在一 n 型源極層 22 之上，該 n 型源極層 22 係位於一 n 型通道層 16 之上，該 n 型通道層 16 係位於一 n 型漂移層 14 之上，該 n 型漂移層 14 係位於一 n 型緩衝層 48 之上，該 n 型緩衝層 48 係位於一基板 12 之上。如圖 4C 中所示，如圖 4C 中所示，一光阻 52 會被塗佈在氧化物層 50 之上。接著，光阻 52 會如圖 4D 與 4E 中所示般地利用金屬遮罩 54 被圖樣化。該遮罩 54 可能係一金屬遮罩，例如，鎳質遮罩。接著，氧化物層 50 會如圖 4F 中所示般地被選擇性蝕刻。接著，n 型源極層 22 和通道層 16 會如圖 4G 中所示般地被選擇性蝕刻。接著，氧化物層 50 和光阻 52 會被移除而且多個經植入閘極區 20 會被形成在該通道層 16 中的該等溝槽之中，如圖 4H 中所示。

如圖 4I 中所示，接著，一光阻材料 60 會被塗敷用以覆蓋該等已蝕刻的特徵圖樣。一金屬層 62(舉例來說，鎳)以及一額外的光阻材料層 64 接著會被沉積在光阻材料 60 上。光阻材料 64 接著會被遮罩並且顯影，而且下方的金屬層 62 以及光阻材料 60 會被蝕刻，如圖 4J 中所示。而後，下方的通道層 16、漂移層 14 以及緩衝層 48 會被蝕刻，用以形成該裝置的一突丘終端，如圖 4K 中所示。

如圖 4L 中所示，一鈍化層 66 接著會被成長在該裝置的外露表面上。該鈍化層 66 可能係一氧化物。鈍化層 66 接著會如圖 4M 中所示般地以各向異性的方式被蝕刻，用以露出源極層 22 與經植入閘極區 20，同時在該等溝槽的側壁以及該突丘邊緣終端上留下鈍化層 66。接著，一汲極歐姆接點 38 會被形成在該基板之上和該漂移層反向的地方，如圖 4N 中所示。如圖 4O 中所示，多個閘極歐姆接點 40 同樣會被形成在該等經植入閘極區 20 之上，而且多個源極歐姆接點 42 會被形成在該源極層 22 之上。該閘極、源極、以及汲極歐姆接觸材料可藉由在該 SiC 之上沉積一歐姆接觸材料(舉例來說，鎳)並且進行退火用以形成該等閘極歐姆接點、源極歐姆接點以及汲極歐姆接點而被形成。汲極金屬層 40 接著會被沉積在該汲極歐姆接點 38 之上，如圖 4P 中所示。

如圖 4Q 中所示，氧化物 24 會被沉積用以填充該等溝槽並且覆蓋該源極層 42。在氧化物沉積之後，可能會在整個晶圓上實施毯覆回蝕(圖中並未顯示)，以便縮減該等源極

指狀部之頂端上的部分總體膜厚度。此步驟之後可能係對整個裝置源極區進行圖樣化回蝕(圖中並未顯示)，直到在全部該等源極指狀部上方留下所希望的氧化物膜厚度(舉例來說，~1μm)為止。

如圖 4R 中所示，遮罩 68 源極接觸層著會被放置在某些隆起源極區 18(圖中顯示其中的三個)上方的氧化物 24 之上。接著，氧化物 24 會利用遮罩 68 被選擇性蝕刻，以便露出剩餘隆起源極區 18(圖中顯示一個)的源極歐姆接點 42。遮罩 68 接著會被移除，而且源極金屬 26 會被沉積，如圖 4S 中所示。

圖中雖然並未顯示；不過，氧化物 24 亦可能會被圖樣化，用以露出多個經植入閘極區 20，以便沉積該裝置的閘極金屬接點。

應該注意的係，介於該無電氣作用源極區以及該相鄰的有電氣作用源極區之間的溝槽寬度會保持均勻且很小。據此，透過側壁散射便能夠達到正確的 P+接面輪廓，從而會確保該 VJFET 裝置會有所希望的電氣特性，例如，臨界電壓。

該等隆起源極區可能係具有一主要維度以及一次要維度的狹長區域。該等狹長的隆起 n 型源極區可能會沿著該次要維度彼此分隔並且被配向成使得該等主要維度彼此平行(舉例來說，該等源極區可能會被排列成如圖 3 中所示般的指狀部)。

本文中所述的半導體裝置可能係由一寬能帶間隙半導

體材料製成。該寬能帶間隙半導體材料可能係一能帶間隙能量 E_G>2eV 的半導體材料。

用於本文中所述之裝置的寬能帶間隙半導體材料可能為 SiC。該 SiC 可能係 SiC 的 4H 多型體結構(polytype)。然而，亦可以使用 SiC 的其它多型體結構(舉例來說，6H-SiC、3C-SiC 或是 15R-SiC)，或是其它寬能帶間隙半導體材料，例如，III 族氮化物半導體(舉例來說，氮化鎵 GaN)。

該裝置中的層可利用已知的技術藉由施體材料或是受體材料來摻雜該等層而被形成。用於 SiC 的示範性施體材料包含氮與磷。用於摻雜 SiC 的示範性受體材料包含硼與鋁。然而，上面的材料僅為示範性；可以被摻雜至碳化矽之中的任何受體材料與施體材料皆可以使用。

本文中所述之裝置中各層的摻雜程度以及厚度可以針對特殊的應用而改變，以便產生一具有所希望特性的裝置。同樣地，該裝置中各種特徵圖樣的維度亦可以針對特殊的應用而改變，以便產生一具有所希望特性的裝置。

該等 SiC 層可藉由在一合宜的基板上進行累晶成長而被形成。該等層可能會在累晶成長期間被摻雜。

該基板的厚度可能為 225 至 375 μm(舉例來說，350 μm)。該漂移層的厚度可能為 5 μm 至 100 μm。該通道層的厚度可能為 1 μm 至 10 μm。上面所提供的厚度僅為示範性；因此，該等厚度可以相依於應用需求而改變。

該基板可能係一 N 型基板。該 N 型基板的摻雜物濃度可能大於 $1x10^{18}cm^{-3}$。亦可以使用一半絕緣基板。

該漂移層的摻雜物濃度可能為 $1x10^{15}cm^{-3}$ 至 $1x10^{16}cm^{-3}$，並且可以相依於應用需求而改變。該通道層及該等源極區的摻雜物濃度可能為 $1x10^{16}cm^{-3}$ 至 $1x10^{17}cm^{-3}$，並且同樣可以相依於應用需求而改變。上面所提供的摻雜物濃度僅為示範性；因此，該等摻雜物濃度可以相依於應用需求而改變。

源極區的寬度可能為 0.8μm 至 1.5μm。介於相鄰隆起源極區之間的溝槽的寬度可能為 1μm 至 3μm。上面所提供的寬度僅為示範性；因此，該等寬度可以相依於應用需求而改變。

雖然前面的說明書已經教示本發明的原理；不過，前面所提供的範例僅係為達解釋之目的。所以，熟習本技術的人士閱讀本揭示內容便會瞭解，可以在形式與細節作各種變化，其並不會脫離本發明的真實範疇。

【圖式簡單說明】

熟練的技術人士便會瞭解，下面所述的圖式僅係為達解釋之目的。該等圖式並沒有限制本教示內容之範疇的任何意圖。

圖 1 所示的係一具有四個隆起源極區的 SiC VJFET 的概略剖面圖，其中，該等源極區中其中一者有電氣作用並且能夠進行電流傳導，而其它三個相鄰的源極區則無電氣作用並且不會進行電流傳導。

圖 2 所示的係一 SiC VJFET 裝置的概略剖面圖，其具

有一個有電氣作用的源極區以及一相鄰的無電氣作用的源極突丘。

圖 3 所示的係一 SiC VJFET 裝置的概略透視圖，其具有一個有電氣作用的源極區以及一相鄰的無電氣作用的源極突丘。

圖 4A 至 4S 所示的係一種用以製造具有多個無電氣作用源極區之 VJFET 裝置的方法。

【主要元件符號說明】

12 基板層

14 n 型漂移層

16 n 型通道層

18 n 型源極區

20 經植入閘極區

22 n 型源極層

24 介電層

26 源極接觸層

28 有電氣作用源極區

30 無電氣作用源極區

32 n 型源極區

34 裝置

36 裝置

38 汲極歐姆接點

40 汲極金屬接點

40	閘極歐姆接點
42	源極歐姆接觸材料
48	n 型緩衝層
50	氧化物層
52	光阻
54	金屬遮罩
60	光阻材料
62	金屬
64	光阻材料
66	鈍化層
68	遮罩

201250951

發明專利說明書

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫）

※申請案號：101112949

※申請日：101.4.12　※IPC 分類：H01L 23/34 (2006.01)

H01L 29/78 (2006.01)

一、發明名稱：（中文/英文）

具有改良的熱特性的垂直接面場效電晶體及製造的方法

VERTICAL JUNCTION FIELD EFFECT TRANSISTORS WITH IMPROVED THERMAL CHARACTERISTICS AND METHODS OF MAKING

二、中文發明摘要：

本發明說明的垂直接面場效電晶體(Vertical Junction Field Effect Transistor，VJFET)在高電流流動處具有改良的散熱效果，同時會保持具有小間距長度之裝置的所希望特定導通阻值和正規化飽和汲極電流性質。該等 VJFET 包括和該裝置的源極金屬產生電接觸的一或多個有電氣作用源極區以及和該裝置的源極金屬不產生電接觸的一或多個無電氣作用源極區。該等無電氣作用源極區會在電流流動期間消散由該等有電氣作用源極區所產生的熱。

三、英文發明摘要：

Vertical junction field effect transistors (VJFETs) having improved heat dissipation at high current flow while maintaining the desirable specific on-resistance and

normalized saturated drain current properties characteristic of devices having small pitch lengths are described. The VJFETs comprise one or more electrically active source regions in electrical contact with the source metal of the device and one or more electrically inactive source regions not in electrical contact with the source metal of the device. The electrically inactive source regions dissipate heat generated by the electrically active source regions during current flow.

七、申請專利範圍：

1.一種半導體裝置，其包括：

一基板層；

一位於該基板層上的n型漂移層；

一位於該漂移層上的n型通道層；

位於該通道層上的複數個隆起n型源極區，其中，該等隆起n型源極區具有一上方表面並且彼此分隔，從而會在相鄰的隆起n型源極區之間形成溝槽；

一位於該等隆起n型源極區的該上方表面上的n型源極層，其中，該n型源極層的摻雜物濃度高於該等隆起n型源極區；

位於該等隆起n型源極區之間的溝槽中的經植入p型閘極區；以及

一源極接觸層；

其中，該源極接觸層會電接觸該等複數個隆起n型源極區中一或多者之上的n型源極層，用以形成一或多個有電氣作用的源極區，且其中，該源極接觸層不會電接觸該等複數個隆起n型源極區中一或多者之上的n型源極層，用以形成多個無電氣作用的源極區。

2.如申請專利範圍第1項的半導體裝置，其中，位於相鄰隆起n型源極區之間的溝槽的寬度為實質上均勻。

3.如申請專利範圍第1項的半導體裝置，其中，該等隆起n型源極區具有一實質上均勻的寬度。

4.如申請專利範圍第1項的半導體裝置，其中，該等有

電氣作用源極區具有一第一寬度，而且該等無電氣作用源極區具有一大於該第一寬度的第二寬度。

5.如申請專利範圍第 1 項的半導體裝置，其進一步包括一位於該等一或多個無電氣作用源極區之上的該 n 型源極層之上的電絕緣層，其中，該源極接觸層係位於該電絕緣層之上。

6.如申請專利範圍第 5 項的半導體裝置，其中，該電絕緣層為 SiO_2 或是四乙氧基矽烷(tetraethyl orthosilicate，TEOS)。

7.如申請專利範圍第 1 項的半導體裝置，其包括至少兩個有電氣作用源極區。

8.如申請專利範圍第 1 項的半導體裝置，其中，該等隆起 n 型源極區係具有一主要維度以及一次要維度的狹長區域，其中，該等隆起 n 型源極區會沿著該次要維度彼此分隔並且被配向成使得該等主要維度彼此平行。

9.如申請專利範圍第 1 項的半導體裝置，其中，該等溝槽的寬度為 1 至 3 μ m。

10.如申請專利範圍第 1 項的半導體裝置，其中，至少一無電氣作用源極區會相鄰於每一個該等有電氣作用源極區。

11.如申請專利範圍第 10 項的半導體裝置，其中，該裝置包括相鄰於每一個有電氣作用源極區的三個無電氣作用源極區。

12.如申請專利範圍第 1 項的半導體裝置，其中，該基

板係一 n 型基板或是一半絕緣基板。

13.如申請專利範圍第 1 項的半導體裝置，其中，該基板的厚度為 225 至 375 μ m 及/或摻雜物濃度大於 $1x10^{18}cm^{-3}$。

14.如申請專利範圍第 1 項的半導體裝置，其中，該漂移層的厚度為 5 μ m 至 100 μ m 及/或摻雜物濃度為 $1x10^{15}cm^{-3}$ 至 $1x10^{16}cm^{-3}$。

15.如申請專利範圍第 1 項的半導體裝置，其中，該通道層的厚度為 1 μ m 至 10 μ m 及/或摻雜物濃度為 $1x10^{16}cm^{-3}$ 至 $1x10^{17}cm^{-3}$。

16.如申請專利範圍第 1 項的半導體裝置，其中，該等隆起 n 型源極區的寬度為 0.8 至 1.5 μ m。

17.如申請專利範圍第 1 項的半導體裝置，其中，該裝置係一寬能帶間隙半導體材料。

18.如申請專利範圍第 1 項的半導體裝置，其中，該裝置係一 SiC 半導體裝置。

19.如申請專利範圍第 1 項的半導體裝置，其進一步包括一閘極接觸層，其會電接觸該等經植入 p 型閘極區。

20.如申請專利範圍第 1 項的半導體裝置，其進一步包括一位於該基板之上和該漂移層反向的汲極接觸層。

21.如申請專利範圍第 1 項的半導體裝置，其進一步包括位於該等 n 型源極區之上的多個歐姆接點，其中，該源極接觸層係位於該等一或多個有電氣作用源極區的該等 n 型源極區之上的歐姆接點之上。

22.如申請專利範圍第 1 項的半導體裝置，其進一步包括位於該等經植入閘極區之上以及位於該基板之上和該漂移層反向的地方的多個歐姆接點。

23.如申請專利範圍第 1 項的半導體裝置，其進一步包括一位於該基板層以及該漂移層之間的 n 型緩衝層。

24.一種方法，其包括：

選擇性地蝕刻多條溝槽，蝕穿一 n 型源極層並且蝕入一下方的 n 型通道層之中，用以形成複數個隆起 n 型源極區，其中，該等隆起 n 型源極區具有一上方表面，且其中，該 n 型通道層係位於一在一基板之上的 n 型漂移層之上；

在該等隆起 n 型源極區之間的溝槽之中植入多個 p 型閘極區；

沉積一溝槽填充材料，用以填充該等溝槽並且覆蓋該等隆起 n 型源極區；

選擇性地蝕穿該溝槽填充材料，以便露出一或多個隆起 n 型源極區的上方表面，其中，一或多個隆起 n 型源極區在選擇性蝕刻之後會保持被該溝槽填充材料覆蓋；以及

在該等一或多個隆起 n 型源極區的已露出上方表面上沉積源極金屬，其中，該源極金屬不會電接觸被該溝槽填充材料覆蓋的該等隆起 n 型源極區。

25.如申請專利範圍第 24 項的方法，其進一步包括：

在沉積該溝槽填充材料之前先在該等隆起 n 型源極區的該 n 型源極層之上形成多個源極歐姆接點；

其中，選擇性地蝕穿該溝槽填充材料會露出一或多個

隆起 n 型源極區的該等源極歐姆接點，且其中，該源極金屬會被沉積在該等源極歐姆接點之上。

26.如申請專利範圍第 24 項的方法，其中，該溝槽填充材料係一氧化物。

27.如申請專利範圍第 24 項的方法，其中，和該源極金屬產生電接觸的隆起 n 型源極區以及和該源極金屬不產生電接觸的隆起 n 型源極區具有實質上相同的寬度。

八、圖式：

(如次頁)

隆起 n 型源極區的該等源極歐姆接點，且其中，該源極金屬會被沉積在該等源極歐姆接點之上。

26.如申請專利範圍第 24 項的方法，其中，該溝槽填充材料係一氧化物。

27.如申請專利範圍第 24 項的方法，其中，和該源極金屬產生電接觸的隆起 n 型源極區以及和該源極金屬不產生電接觸的隆起 n 型源極區具有實質上相同的寬度。

八、圖式：

(如次頁)

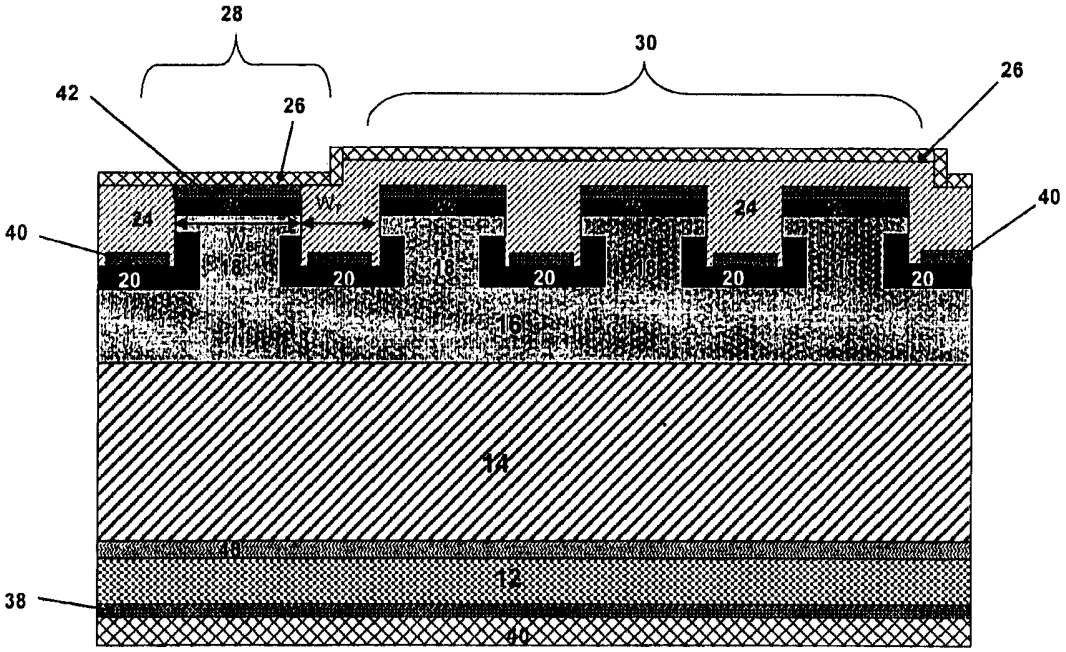


圖1

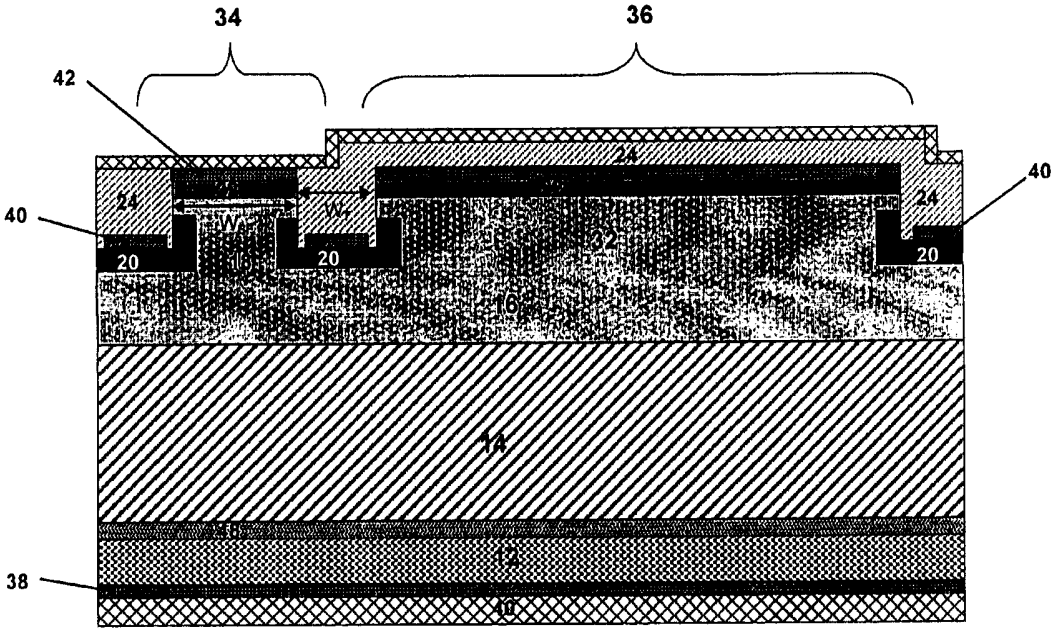


圖2

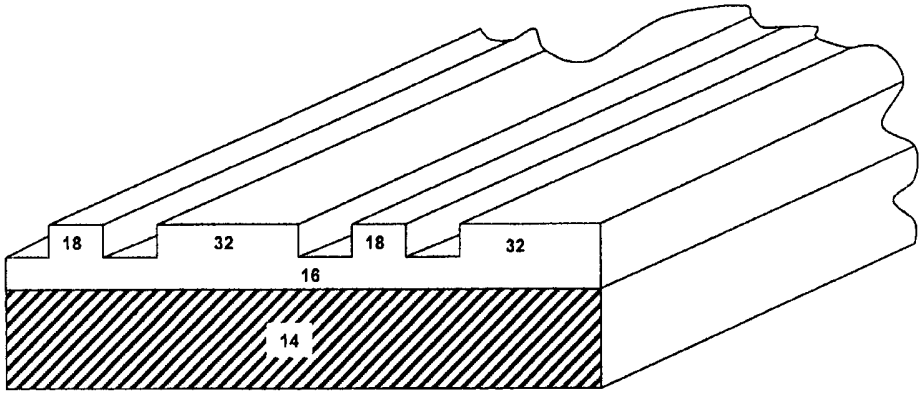


圖3

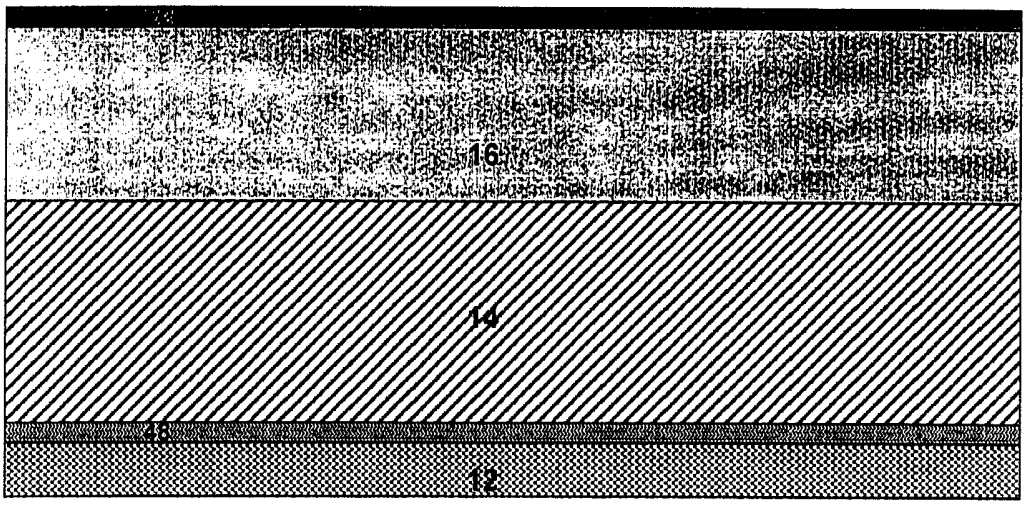


圖4A

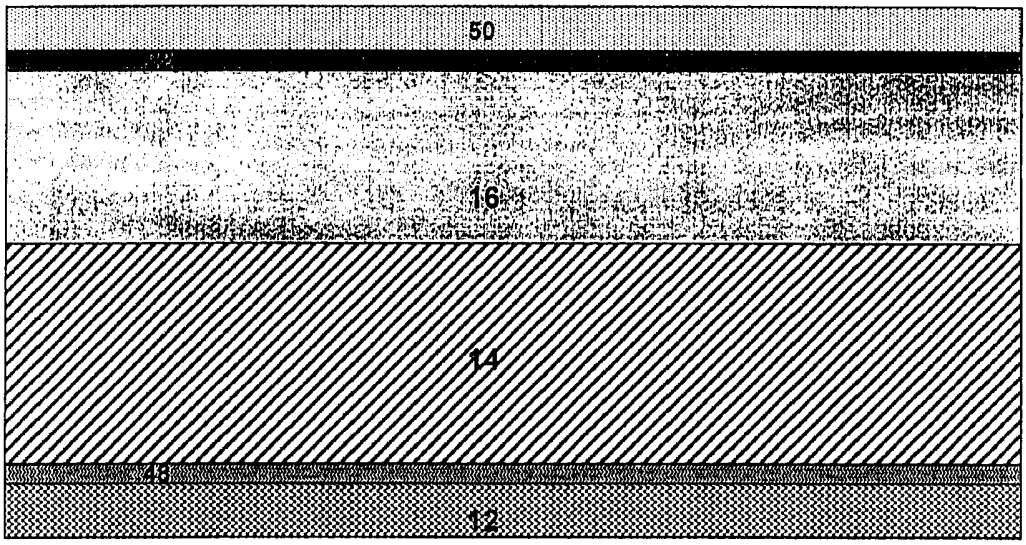


圖4B

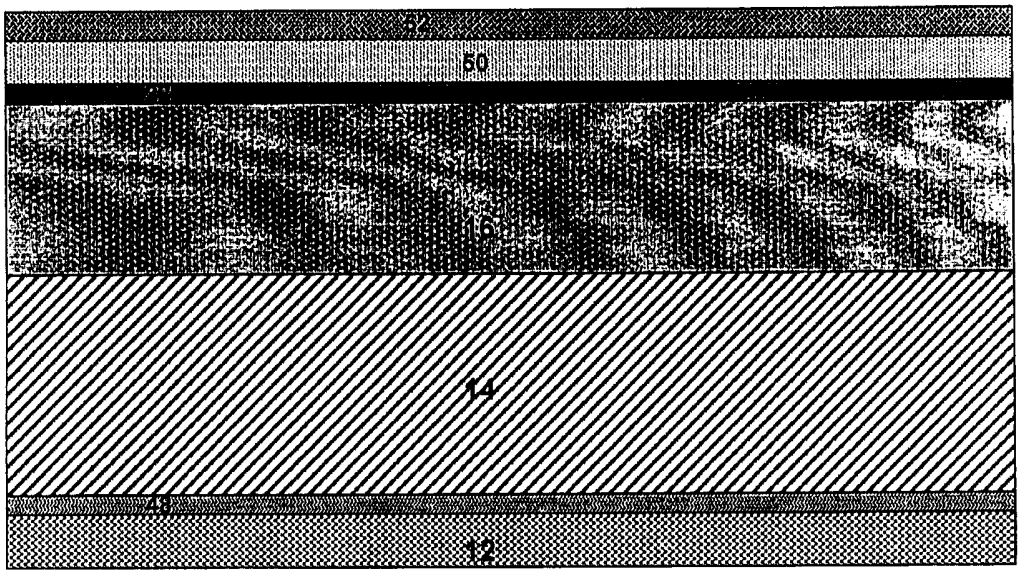


圖4C

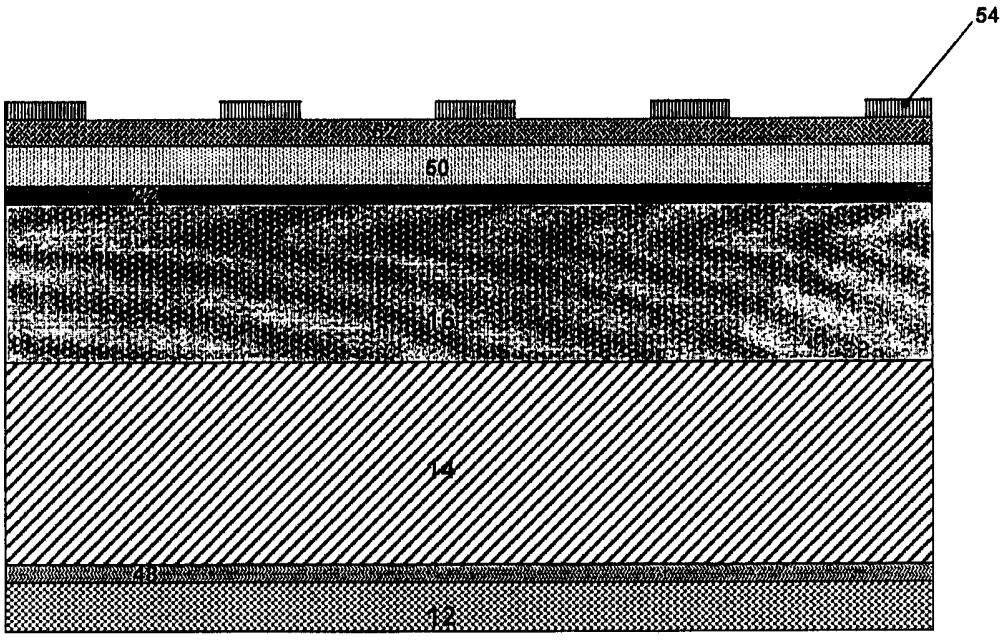


圖4D

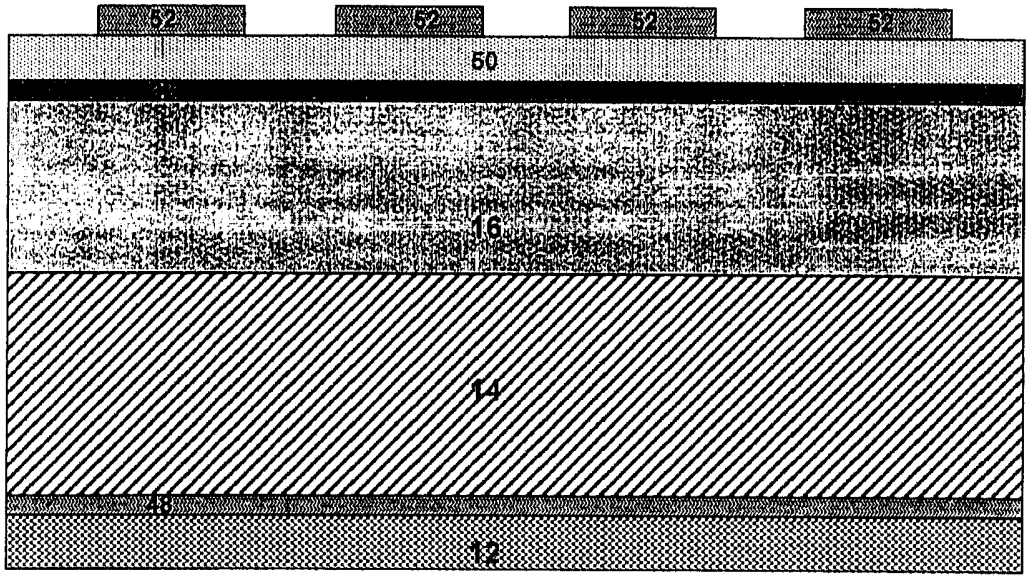


圖4E

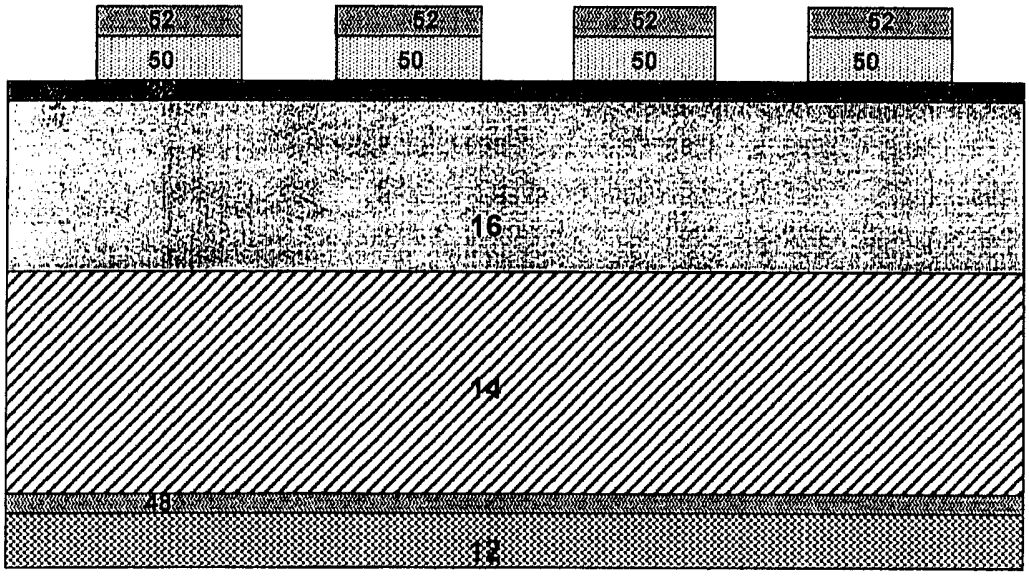


圖4F

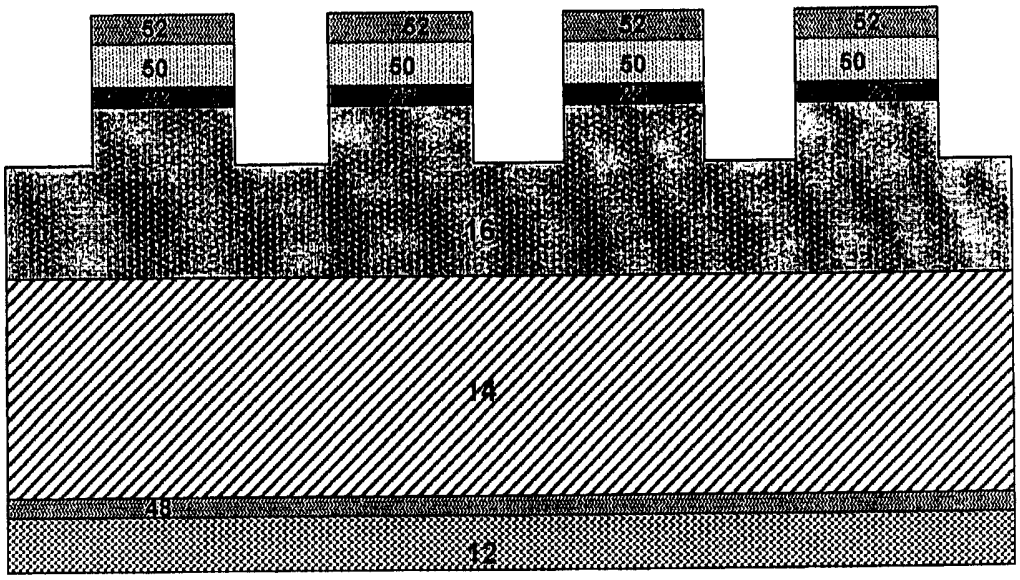


圖4G

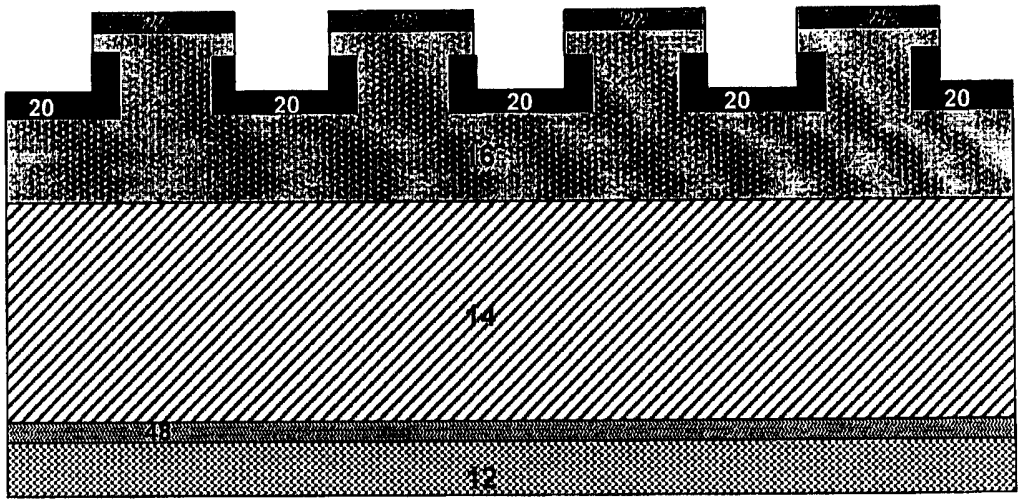


圖4H

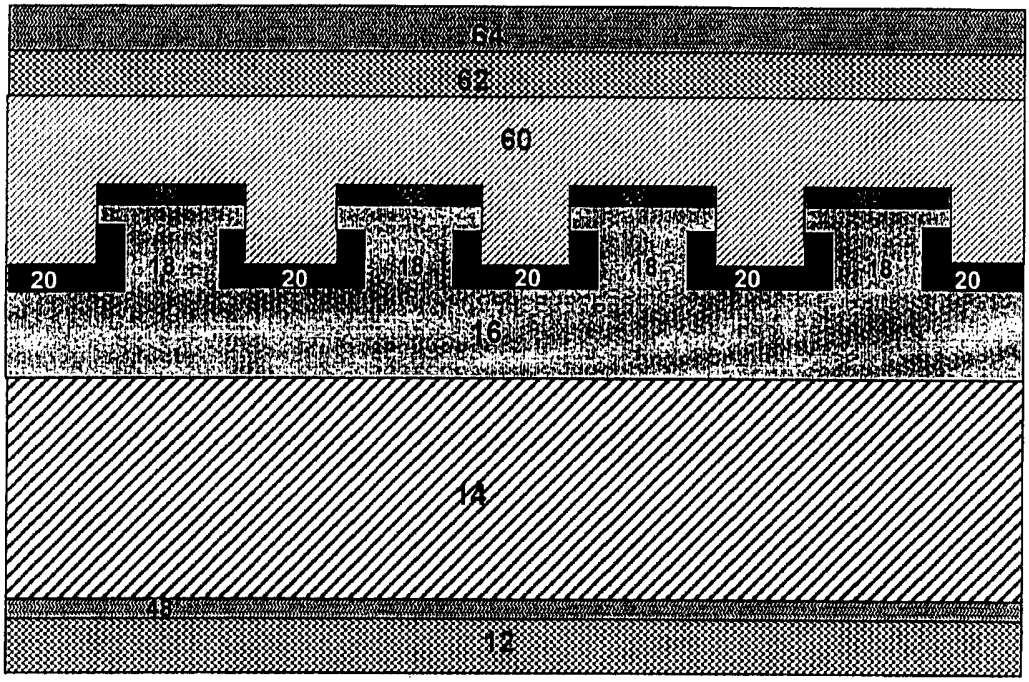


圖4I

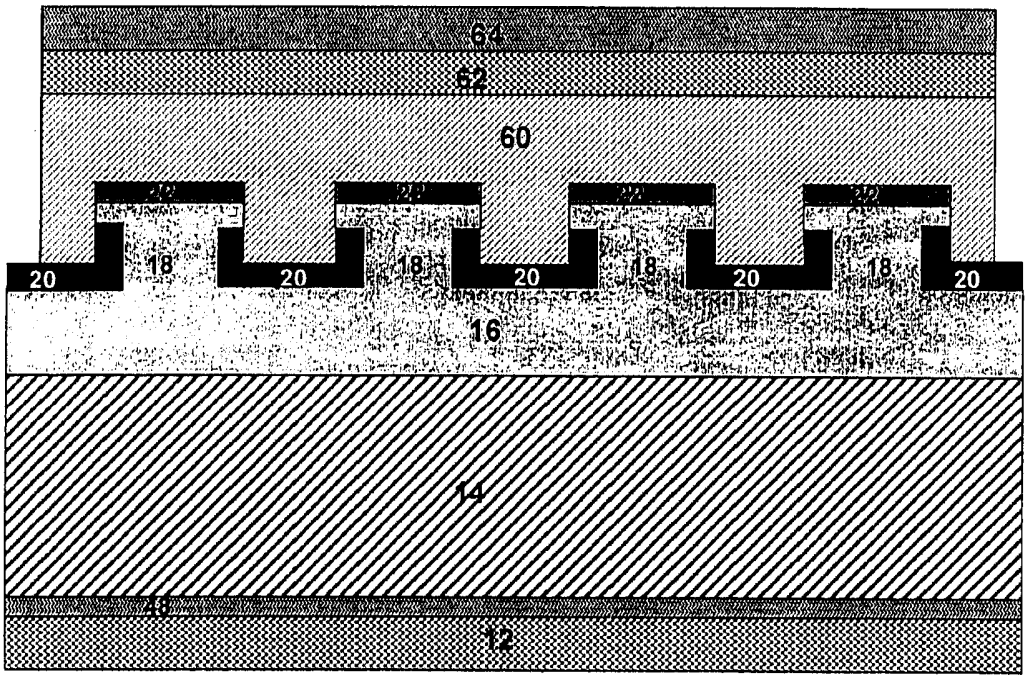


圖4J

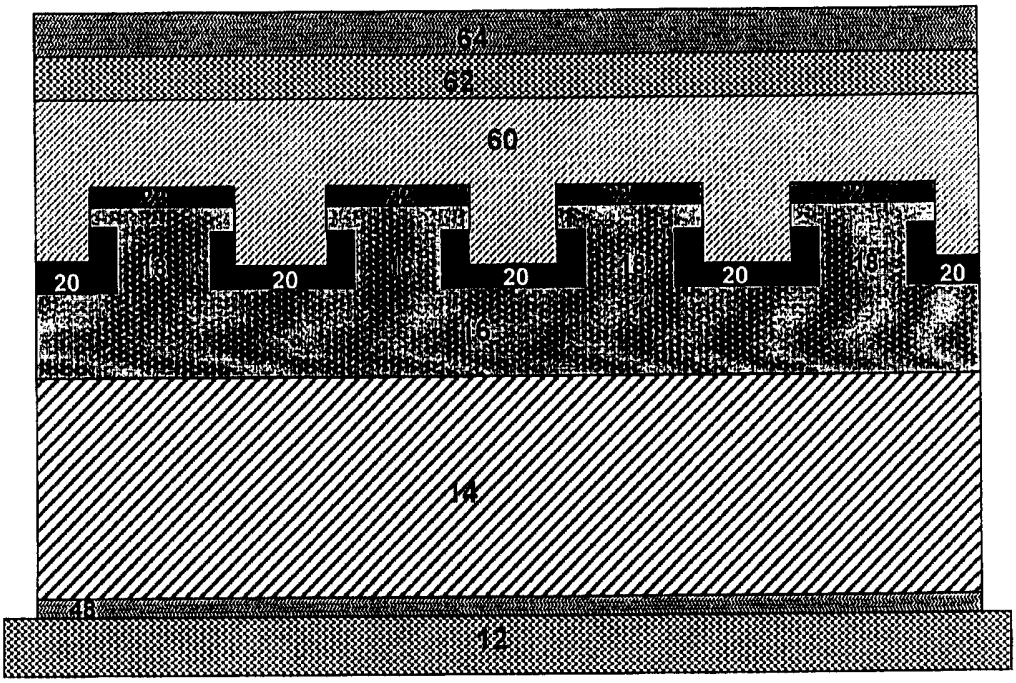


圖4K

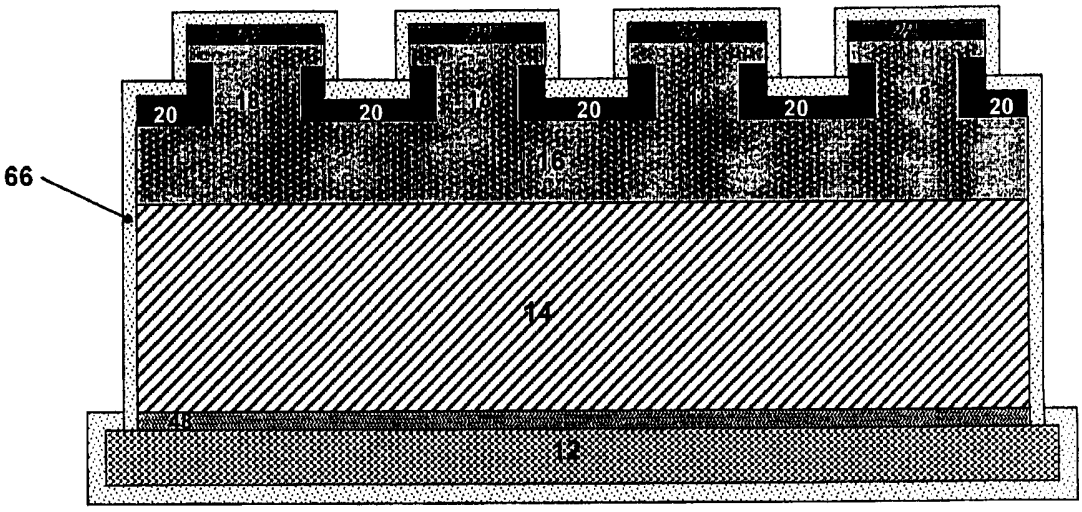


圖4L

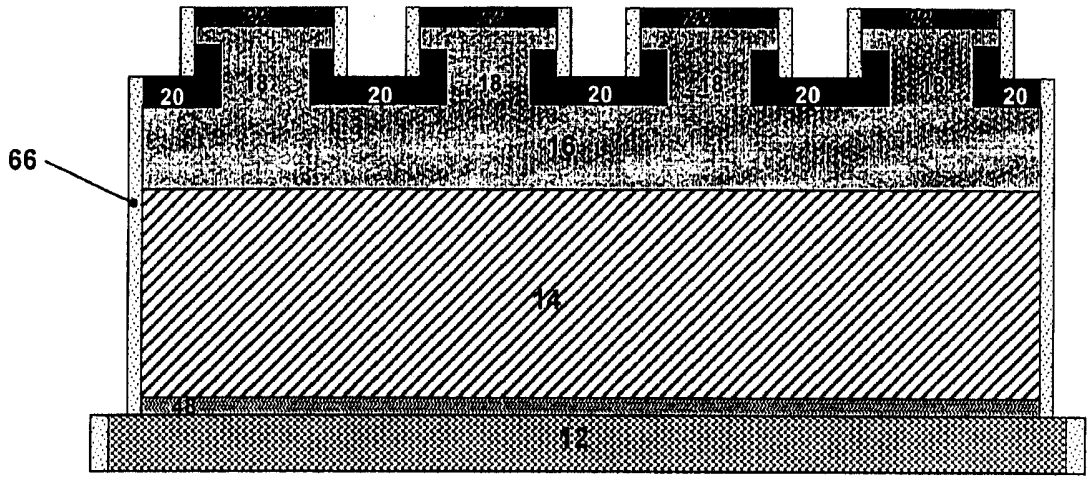

66
20
18
20
18
20
18
20
18
20
16
14
12

圖4M

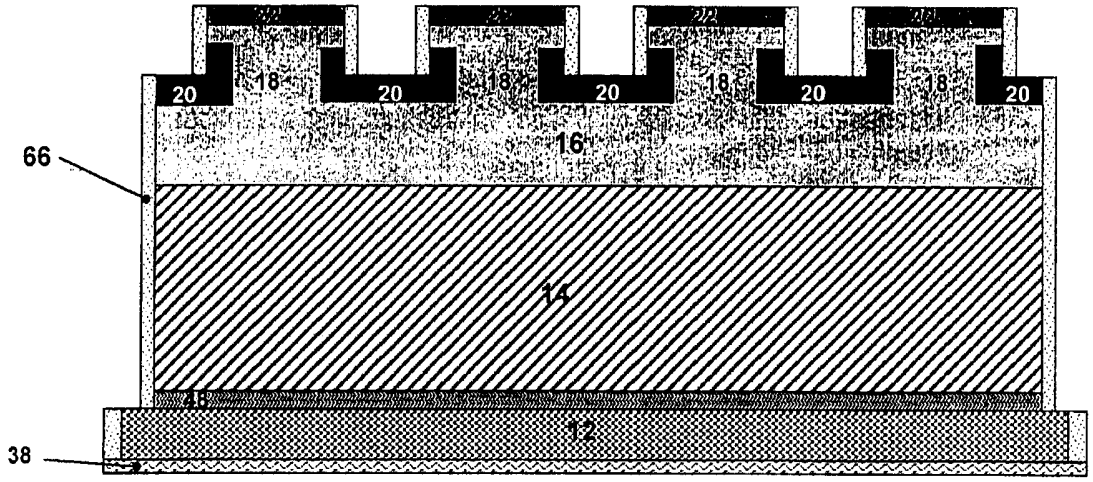

66
20
18
20
18
20
18
20
18
20
16
14
12
38

圖4N

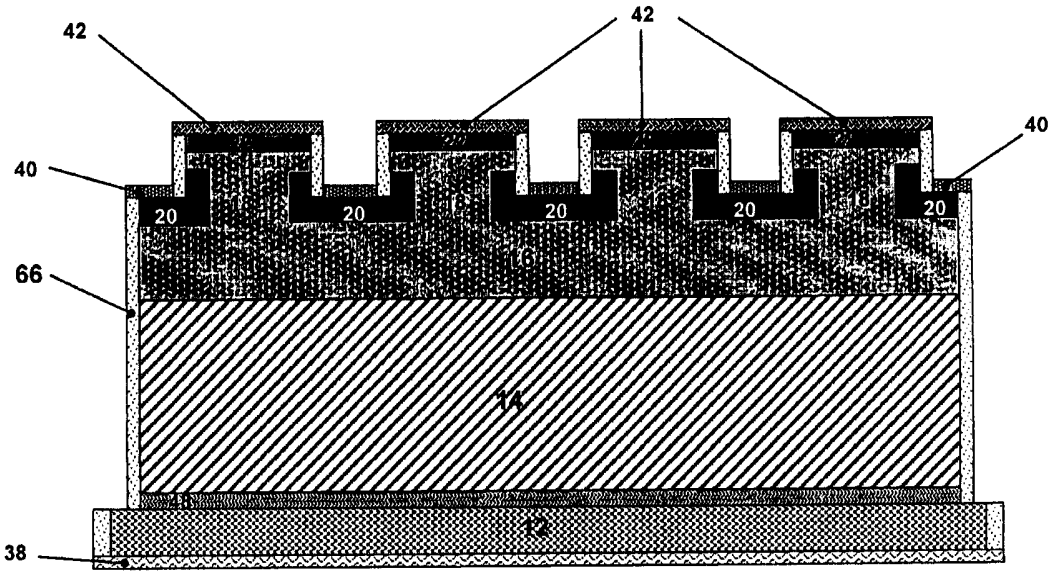

42
42
40
40
20
20
20
20
20
66
16
14
12
38

圖40

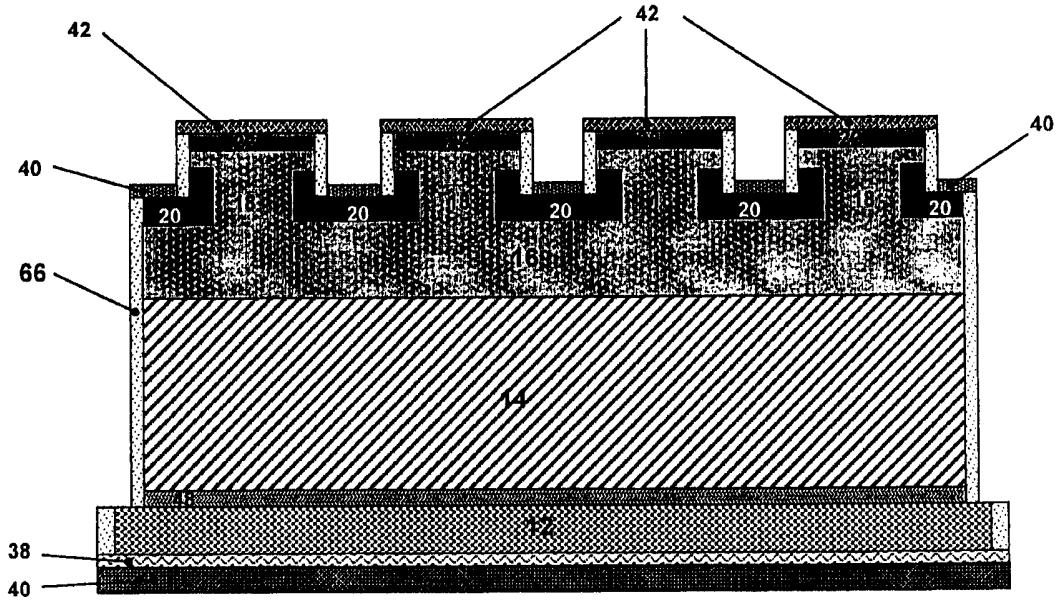

42
42
40
40
20
20
20
20
20
66
16
14
12
38
40

圖4P

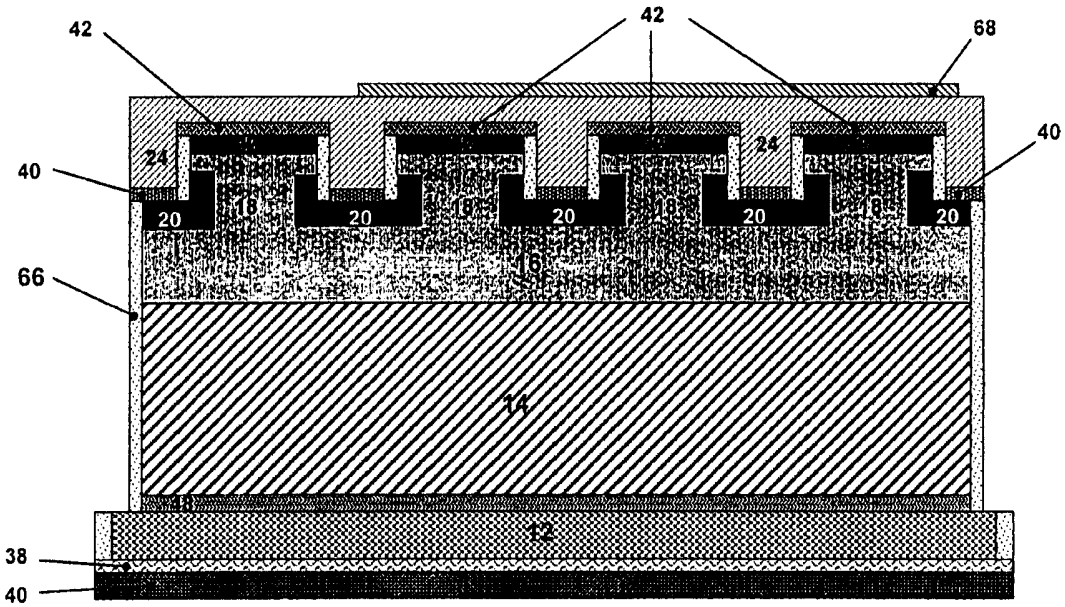

42
42
68
40
40
24
24
18
18
18
18
20
20
20
20
20
16
66
14
12
38
40

圖4Q

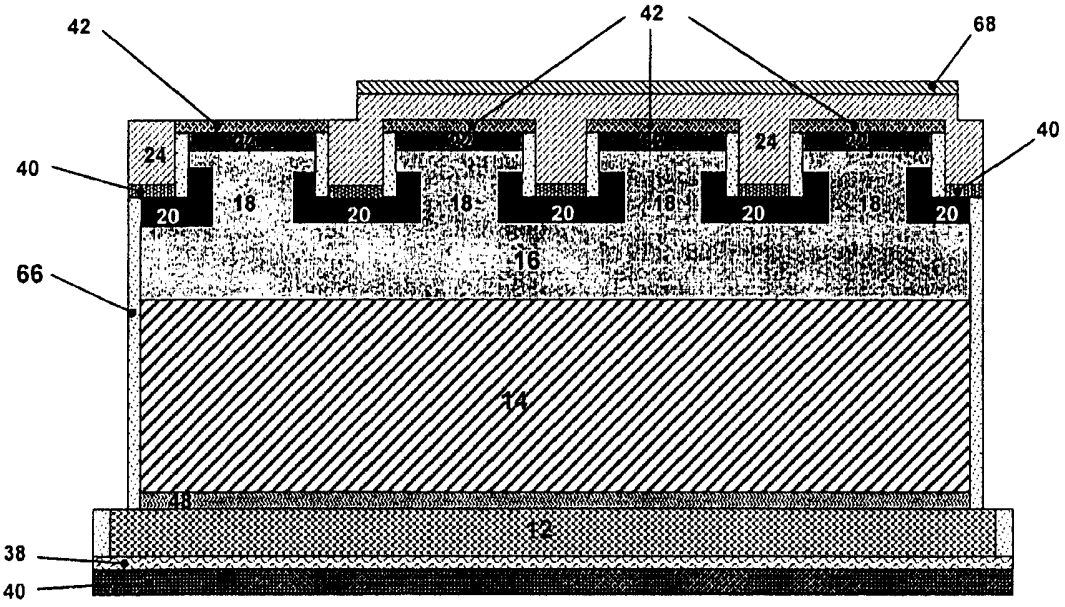

42
42
68
40
40
24
24
18
18
18
18
20
20
20
20
20
16
66
14
12
38
40

圖4R

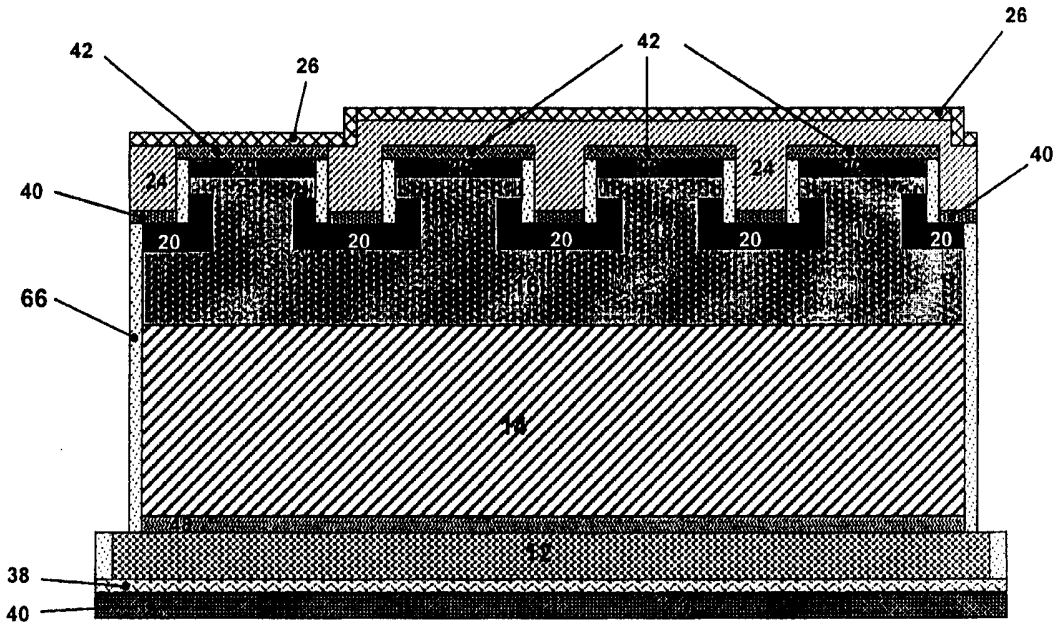


圖4S

四、指定代表圖：

(一)本案指定代表圖為：圖 1。

(二)本代表圖之元件符號簡單說明:

12 基板層

14 n 型漂移層

16 n 型通道層

18 n 型源極區

20 經植入閘極區

22 n 型源極層

24 介電層

26 源極接觸層

28 有電氣作用源極區

30 無電氣作用源極區

38 汲極歐姆接點

40 汲極金屬接點

40 閘極歐姆接點

42 源極歐姆接觸材料

48 n 型緩衝層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無