

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5374553号
(P5374553)

(45) 発行日 平成25年12月25日(2013.12.25)

(24) 登録日 平成25年9月27日(2013.9.27)

(51) Int.Cl.	F I
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 3 O 1 D
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 3 O 1 S
H O 1 L 21/8234 (2006.01)	H O 1 L 27/08 1 O 2 D
H O 1 L 27/088 (2006.01)	H O 1 L 27/08 1 O 2 F
H O 1 L 21/822 (2006.01)	H O 1 L 27/08 1 O 2 B

請求項の数 7 (全 61 頁) 最終頁に続く

(21) 出願番号	特願2011-168008 (P2011-168008)	(73) 特許権者	302062931
(22) 出願日	平成23年8月1日(2011.8.1)		ルネサスエレクトロニクス株式会社
(62) 分割の表示	特願2008-130621 (P2008-130621) の分割		神奈川県川崎市中原区下沼部1753番地
原出願日	平成11年9月21日(1999.9.21)	(74) 代理人	100080001 弁理士 筒井 大和
(65) 公開番号	特開2012-19221 (P2012-19221A)	(72) 発明者	星野 裕 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
(43) 公開日	平成24年1月26日(2012.1.26)	(72) 発明者	池田 修二 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内
審査請求日	平成23年8月1日(2011.8.1)	(72) 発明者	吉田 功 東京都小平市上水本町五丁目20番1号 株式会社日立製作所 半導体グループ内

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板に形成されたパワーMISFETを含む半導体装置であって、
 前記パワーMISFETは、
 前記半導体基板上に形成された前記第1導電型のエピタキシャル層と、
 前記エピタキシャル層上に形成されたゲート絶縁膜と、
 前記ゲート絶縁膜上に形成されたゲート電極と、
 前記エピタキシャル層に形成され、且つ、前記第1導電型とは逆の第2導電型であるド
 レイン領域およびソース領域と、
 前記エピタキシャル層に形成され、且つ、前記ソース領域の下方および前記ゲート電極
 の下方に形成された前記第1導電型のウェル領域と、
 前記ゲート電極と前記ドレイン領域の間の前記エピタキシャル層に形成され、且つ、前
 記ドレイン領域よりも不純物濃度が低い前記第2導電型のドレインオフセット領域とを有
 し、
 前記ウェル領域内には、前記ソース領域を囲むように、前記エピタキシャル層よりも不
 純物濃度の高い前記第1導電型のポケット層が設けられ、
 前記ドレイン領域の下方および前記ドレインオフセット領域の下方に、前記エピタキシ
 ャル層よりも不純物濃度の高い前記第1導電型の不純物層が設けられていることを特徴と
 した半導体装置。

【請求項2】

10

20

請求項 1 に記載の半導体装置において、
前記不純物層と前記ポケット層は、同工程で形成されていることを特徴とした半導体装置。

【請求項 3】

請求項 1 または 2 に記載の半導体装置において、
前記第 1 導電型は P 型であり、
前記第 2 導電型は N 型であることを特徴とした半導体装置。

【請求項 4】

請求項 1 ~ 3 の何れか 1 項に記載の半導体装置において、
前記ソース領域と隣接し、且つ、前記ソース領域よりも前記ゲート電極から遠い位置には、前記エピタキシャル層の表面から前記半導体基板にまで達するように形成された前記第 1 導電型の打抜き層が設けられており、
前記打抜き層は、前記ウェル領域および前記ソース領域と電氣的に接続していることを特徴とした半導体装置。 10

【請求項 5】

請求項 4 に記載の半導体装置は、更に、
前記パワー M I S F E T を覆うように、前記半導体基板上に形成された層間絶縁膜と、
前記層間絶縁膜中に形成され、且つ、前記ソース領域と接続する第 1 金属プラグと、
前記層間絶縁膜中に形成され、且つ、前記打抜き層と接続する第 2 金属プラグと、
前記層間絶縁膜上に形成され、且つ、前記第 1 金属プラグおよび前記第 2 金属プラグと接続する第 1 配線層とを有することを特徴とした半導体装置。 20

【請求項 6】

請求項 5 に記載の半導体装置において、
前記半導体基板の前記パワー M I S F E T が形成されている面とは逆の面には、金属膜が形成されており、
前記打抜き層は、前記金属膜と電氣的に接続していることを特徴とした半導体装置。

【請求項 7】

請求項 1 ~ 6 の何れか 1 項に記載の半導体装置において、
前記パワー M I S F E T は複数形成されており、
複数の前記パワー M I S F E T は高周波電力増幅回路を構成していることを特徴とした半導体装置。 30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、セルラーなどの 500MHz 以上、2.5GHz 以下のマイクロ波帯を使用する移動体通信装置に使用される半導体装置に係わり、特に、高周波信号を電力増幅して出力する高周波電力増幅器に有効な技術に関する。

【背景技術】

【0002】

近年、GSM (Global System for Mobile Communications) 方式、PCS (Personal Communication Systems) 方式、PDC (Personal Digital Cellular) 方式、CDMA (Code Division Multiple Access) 方式といった通信方式に代表される移動体通信装置 (いわゆる携帯電話) が、世界的に普及している。 40

【0003】

一般に、移動体通信装置は、電波の放射と受信をするアンテナ、電力変調された高周波信号を増幅してアンテナへ供給する高周波電力増幅器、アンテナで受信した高周波信号を信号処理する受信部、これらの制御を行う制御部、そしてこれらに電源電圧を供給する電池 (バッテリー) で構成される。

【0004】

このような移動体通信装置および移動体通信装置に使用される半導体装置については、 50

以下の公知文献に開示されている。

【 0 0 0 5 】

(1) 移動体通信装置の構成については、例えば「日立評論」,vol.78, No.11 (1996-11), pp21-26 (非特許文献 1) に開示されている。

【 0 0 0 6 】

(2) 代表的な G S M 方式の高周波電力増幅器の構成は、例えばISSCC98, DIGEST OF TECHNICAL PAPERS(February 5, 1998) pp50-52 (非特許文献 2) に述べられている。

【 0 0 0 7 】

この文献によれば、回路の安定設計と、オフ状態でのリーク電流の低減のため、FETのしきい値電圧を適正值に制御している。増幅器の構成としては、3段増幅回路の最終段素子を2チップ並列とし、それぞれに整合回路を設けて合成することで、1チップの場合よりも高出力を実現している。文献では、この増幅器の構成をDD-CIMA(Divided Device and Collectively Impedance matched Amplifier)技術と称している。

【 0 0 0 8 】

(3) 高周波電力増幅器に適用される増幅素子は、例えばIEDM97 Technical Digest(1997), pp51-54 (非特許文献 3) に述べられている。

【 0 0 0 9 】

この文献によれば、増幅素子をSi (シリコン) 半導体を用いたパワー絶縁ゲート型電界効果トランジスタ (以下、パワーMOSFETと称する) で構成し、高性能化を実現することが開示されている。

【 0 0 1 0 】

具体的には、MOSFETのゲート長を0.4 μ mにすることで性能の向上を図っている。また、パワーMOSFETのドレイン側に長さ0.7 μ m程度のオフセット層を設けることでドレイン耐圧を20V以上に設定している。そしてさらに、高周波動作させるためにはゲート抵抗の低減が重要であり、金属シリサイド/シリコン積層ゲート電極にアルミニウム配線をショートさせた構造 (Al -shorted silicon gate structure) によりゲート抵抗の低減を図っている。

【 0 0 1 1 】

(4) 素子の高効率化のために化合物半導体 (GaAs) ウエハを採用する動きがある。そのような技術動向は例えば、NIKKEI ELECTRONICS 1998.11.2(no.729) pp238-245 (非特許文献 4) に述べられている。ただし、この文献にも述べられているように、GaAs技術のウエハ単価はSiに比べて高い。

【 先行技術文献 】

【 非特許文献 】

【 0 0 1 2 】

【 非特許文献 1 】 「日立評論」,vol.78, No.11 (1996-11), pp21-26

【 非特許文献 2 】 ISSCC98, DIGEST OF TECHNICAL PAPERS(February 5, 1998) pp50-52

【 非特許文献 3 】 IEDM97 Technical Digest(1997), pp51-54

【 非特許文献 4 】 NIKKEI ELECTRONICS 1998.11.2(no.729) pp238-245

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 1 3 】

移動体通信装置の普及を図るために、装置の更なる小型軽量化、低消費電力化が要望されている。そのため、移動体通信装置を構成する各構成部品のより一層の小型軽量化、低消費電力化を実現する必要がある。

【 0 0 1 4 】

上記構成部品の一つとして、アンテナへ高周波信号を供給する高周波電力増幅器がある。一般に、この高周波電力増幅器は最も消費電力が大きく、移動体通信装置の低消費電力化を図るためには、この高周波電力増幅器の消費電力を低減 (効率向上) を追求することが有効である。シリコン (Si) 半導体を用いたGSM方式の増幅器で、動作周波数90

10

20

30

40

50

0 MHz、電源電圧3.5V時で出力電圧3.5W、総合効率(η_{all})50%程度を実現した。ここでの総合効率は、パワーMOSFET3段の電力増幅部から構成された高周波電力増幅器(高周波モジュール)での効率を言う。

【0015】

この時の出力段増幅素子であるSiを用いたパワーMOSFETの性能は、DD-CIMA技術を前提とすると、2W出力で付加効率(η_{add})55%程度であり、増幅器の総合効率を55%以上に向上させるには65%以上の付加効率をパワーMOSFETにおいて実現する必要があった。

【0016】

なお、マイクロ波パワーMOSFETにおける付加効率(η_{add})の定義については、例えば「光マイクロ波半導体応用技術」1996年2月29日、第1版、第1刷(株式会社サイエンスフォーラム 発行)pp59-66(文献5)に述べられている。

【0017】

同様にPCS方式の増幅器では、動作周波数1900MHz時で出力電圧2W、総合効率45%程度を実現している。この時の出力段増幅素子であるパワーMOSFETの性能は1W出力で50%程度である。増幅器の総合効率を50%以上に向上させるには、55%以上の付加効率をパワーMOSFETにおいて実現する必要があった。

【0018】

増幅素子(パワーMOSFET)の付加効率を向上させるには、オン抵抗、ゲート抵抗、寄生容量の低減と相互コンダクタンスの向上があげられる。

【0019】

本発明の目的は、高周波増幅器に適用される半導体装置の高付加効率を図る技術を提供することにある。

【0020】

本発明の具体的な目的は、半導体装置のオン抵抗低減を図る技術を提供することにある。

【0021】

本発明の具体的な他の目的は、遮断周波数の向上を図る技術を提供することにある。

【0022】

本発明の他の目的は、高周波、大電力動作における付加効率の向上と、信頼性および量産性の確保を両立する半導体装置を実現することにある。本発明のさらに他の目的は、高周波電力増幅器の小型化・軽量化を図る技術を提供することにある。

【0023】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【課題を解決するための手段】

【0024】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

【0025】

本発明の一つの代表的な半導体装置の構成は、第1導電型の半導体基板と、上記半導体基板の上面に形成された第1導電型の半導体層と、上記半導体層の主面一部に、チャネルが形成される領域を挟んで互いに離間して位置した、上記第1導電型とは反対の第2導電型の第1、第2領域と、上記第2領域はチャネルが形成される領域に接する低濃度領域と上記低濃度領域に接する高濃度領域とから成り、上記チャネル領域上部にゲート絶縁膜を介して形成されたゲート電極と、上記半導体層の主面他部に第1領域および上記半導体基板に接するように形成された第1導電型のリーチスルー層と、上記ゲート電極、上記第1領域、上記第2領域および上記リーチスルー層上を覆う第1絶縁膜と、上記第1絶縁膜内に設けられた開口を介して上記第1領域、上記第2領域の高濃度領域および上記リーチスルー層にそれぞれ接続された、第1導体プラグ、第2導体プラグおよび第3導体プラグと

10

20

30

40

50

、上記第1導体プラグと第3プラグとに接続された第1導体層、および上記第2導体プラグに接続された第2導体層と、そして上記半導体基板の下面に接続された第3導体層とから成る。

【0026】

上述した手段によれば、第1領域（ソース）、上記第2領域（ドレイン）の高濃度領域および上記リーチスルー層（ソース打ち抜き層）の電極引き出しに導体プラグが使用されているため、上記第1および第2導体層（第1層配線M1）は平坦面を有する電極パターンを構成している。このため、上記第1および第2導体層に対する低抵抗配線実現のための裏打ち配線層（第2層配線M2）の配置およびM1・M2コンタクトの自由度が増すことになる。

10

【0027】

したがって、第1領域、上記第2領域の高濃度領域および上記リーチスルー層に対する配線抵抗の低減が図れる。この結果、オン抵抗を低減できるので、半導体装置の高付加効率化に寄与できる。

【0028】

本発明の他の代表的な半導体装置の構成は、P型半導体領域およびそのP型半導体領域に接するドレインオフセット領域を有する絶縁ゲート電界効果半導体装置であって、ゲート絶縁膜に接するゲート電極はP型半導体で構成され、上記P型半導体領域表面にN型層が設けられている。

【0029】

20

上述した手段によれば、ゲート電極がP型半導体、すなわちPゲートにしたことにより、Nゲート（ゲート電極がN型半導体）に比べて、仕事関数差の関係でしきい電圧 V_{th} が1V上がることになる。このため、P型半導体領域表面にN型層を設けたにも係わらずゲート電圧を与えない状態で、ノーマリオフ、つまりエンハンスメント状態を保てる。そして、このN型層の存在は、ドレイン接合からの空乏層の伸びを延ばす作用をもたらすことになり、ドレイン耐圧は向上する。そこで、Nゲートと同じ目標値のドレイン耐圧を有するPゲートデバイス（PゲートパワーMOSFET）を設計する場合には、ドレインオフセット領域の濃度を高くすることができる。つまり、ドレインオフセット領域側に空乏層を延ばす必要がなくなったからである。オフセット領域の濃度を高くできるということは、Nゲートデバイスに比べ、ドレインオフセット領域の低抵抗化が図れることを意味するものである。

30

【0030】

また、N型層の存在は、チャネル領域表面の電界緩和をもたらすことになる。したがって、チャネル領域部分のキャリア移動度が向上することになる。キャリア移動度の向上は、その部分の抵抗成分が小さくなったとみることができる。

【0031】

さらに、上記の構成に基くキャリア移動度の向上は、ゲート長 L_g を短くしても電流を多く流すことが可能となる。つまり、通常、ゲート長が短くなるとキャリア速度の飽和が顕著に現われ、大電流を流し難くなるからである。

【0032】

40

以上の結果として、同じ耐圧におけるPゲートデバイス、Nゲートデバイスのオン抵抗を比較すると、Pゲートデバイスの方がNゲートデバイスよりも十分低減することが可能となる。すなわち、PゲートパワーMOSFETは高付加効率化が図れる。

【発明の効果】

【0033】

本発明によれば、GSM、PCS、PDC、CDMA方式などの携帯電話端末に使用されるパワーMOSFETの出力電力、破壊耐量を確保しつつ、付加効率を向上させることが可能となる。そして、これを用いたGSM方式用モジュールにおいては、出力電力4W、総合効率55%を達成することが可能となる。また、チップの小型化、集積化により、モジュール実装面積の削減も可能となる。

50

【図面の簡単な説明】

【 0 0 3 4 】

【図 1】本発明の実施の形態 1 である半導体装置（N ゲート・N チャネル型 S i パワー M O S F E T）の断面図である。

【図 2】本発明の実施の形態 1 である半導体装置の平面図である。

【図 3】本発明の実施の形態 1 である半導体装置（半導体チップ）のレイアウトを示す平面図である。

【図 4】図 3 に示した半導体装置（半導体チップ）内の保護素子 1 9 を拡大した部分的な平面図である。

【図 5】図 4 に示した保護素子の D - D ' 切断部分の断面図である。

10

【図 6】本発明の実施の形態 1 である半導体装置の製造工程中における要部断面図である。

【図 7】図 6 に続く半導体装置の製造工程中における要部断面図である。

【図 8】図 7 に続く半導体装置の製造工程中における要部断面図である。

【図 9】図 8 に続く半導体装置の製造工程中における要部断面図である。

【図 1 0】図 9 に続く半導体装置の製造工程中における要部断面図である。

【図 1 1】図 1 0 に続く半導体装置の製造工程中における要部断面図である。

【図 1 2】図 1 1 に続く半導体装置の製造工程中における要部断面図である。

【図 1 3】図 1 2 に続く半導体装置の製造工程中における要部断面図である。

【図 1 4】図 1 3 に続く半導体装置の製造工程中における要部断面図である。

20

【図 1 5】図 1 4 に続く半導体装置の製造工程中における要部断面図である。

【図 1 6】図 1 5 に続く半導体装置の製造工程中における要部断面図である。

【図 1 7】図 1 6 に続く半導体装置の製造工程中における要部断面図である。

【図 1 8】図 1 7 に続く半導体装置の製造工程中における要部断面図である。

【図 1 9】図 1 8 に続く半導体装置の製造工程中における要部断面図である。

【図 2 0】図 1 9 に続く半導体装置の製造工程中における要部断面図である。

【図 2 1】図 2 0 に続く半導体装置の製造工程中における要部断面図である。

【図 2 2】図 2 1 に続く半導体装置の製造工程中における要部断面図である。

【図 2 3】図 2 2 に続く半導体装置の製造工程中における要部断面図である。

【図 2 4】図 2 3 に続く半導体装置の製造工程中における要部断面図である。

30

【図 2 5】図 2 4 に続く半導体装置の製造工程中における要部断面図である。

【図 2 6】図 2 5 に続く半導体装置の製造工程中における要部断面図である。

【図 2 7】図 2 6 に続く半導体装置の製造工程中における要部断面図である。

【図 2 8】図 2 7 に続く半導体装置の製造工程中における要部断面図である。

【図 2 9】図 2 8 に続く半導体装置の製造工程中における要部断面図である。

【図 3 0】本発明の実施の形態 1 である半導体装置の等価回路図である。

【図 3 1】本発明の実施の形態 1 である半導体装置におけるゲート酸化膜厚さとオン抵抗およびゲート耐圧との関係を示す特性図である。

【図 3 2】本発明の実施の形態 1 である半導体装置におけるゲート長とオン抵抗との関係を示す特性図である。

40

【図 3 3】本発明の実施の形態 1 である半導体装置におけるゲート長と相互コンダクタンスとの関係を示す特性図である。

【図 3 4】本発明の実施の形態 1 である半導体装置におけるゲート長としきい値電圧との関係を示す特性図である。

【図 3 5】本発明の実施の形態 1 である半導体装置におけるオフセット層深さとオン抵抗との関係を示す特性図である。

【図 3 6】本発明の実施の形態 1 である半導体装置におけるオフセット長とオン抵抗との関係を示す特性図である。

【図 3 7】本発明の実施の形態 1 である半導体装置におけるオフセット長とドレイン耐圧との関係を示す特性図である。

50

【図 3 8】本発明の実施の形態 1 である半導体装置におけるパンチスルーストップ層位置とオン抵抗との関係を示す特性図である。

【図 3 9】本発明の実施の形態 1 である半導体装置におけるパンチスルーストップ層位置とドレイン耐圧との関係を示す特性図である。

【図 4 0】図 1 に示した半導体装置における B - B ' 切断部分の不純物濃度分布図である。

【図 4 1】本発明の実施の形態 1 である半導体装置のエピタキシャル層厚における基板打ち抜き層の抵抗率依存性を示す特性図である。

【図 4 2】図 1 に示した半導体装置における C - C ' 切断部分の不純物濃度分布図である。

10

【図 4 3】本発明の実施の形態 1 である半導体装置におけるエピタキシャル層厚とブレークダウン電圧との関係を示す特性図である。

【図 4 4】本発明の実施の形態 1 である半導体装置における電流-電圧特性図である。

【図 4 5】従来技術のドレイン配線のコンタクト部を示す平面図である。

【図 4 6】本発明の実施の形態 1 である半導体装置のドレイン配線のコンタクト部を示す平面図である。

【図 4 7】本発明の実施の形態 1 である半導体装置の R F 特性図である。

【図 4 8】本発明の実施の形態 1 である半導体装置の R F 特性図 (ゲート幅 W_g 依存) である。

【図 4 9】本発明の実施の形態 1 である半導体装置を用いた R F パワーモジュールの等価回路である。

20

【図 5 0】本発明の実施の形態 1 である半導体装置を用いた R F パワーモジュールのレイアウトを示す平面図である。

【図 5 1】本発明の実施の形態 2 である半導体装置の断面図である。

【図 5 2】本発明の実施の形態 2 である半導体装置のドレイン・ゲート間容量の電圧依存性を示す特性図である。

【図 5 3】本発明の実施の形態 2 である半導体装置の信号利得と周波数の関係を示す特性図である。

【図 5 4】本発明の実施の形態 2 である半導体装置の製造工程中における要部断面図である。

30

【図 5 5】図 5 4 に続く半導体装置の製造工程中における要部断面図である。

【図 5 6】本発明の実施の形態 2 である完成された半導体装置の要部断面図である。

【図 5 7】本発明の実施の形態 3 である半導体装置の製造工程中における要部断面図である。

【図 5 8】図 5 7 に続く半導体装置の製造工程中における要部断面図である。

【図 5 9】図 5 8 に続く半導体装置の製造工程中における要部断面図である。

【図 6 0】本発明の実施の形態 3 である完成された半導体装置の要部断面図である。

【図 6 1】本発明の実施の形態 4 である半導体装置の要部断面図である。

【図 6 2】本発明の実施の形態 5 である半導体装置の要部断面図である。

【図 6 3】本発明の実施の形態 5 である半導体装置のオフセット層表面濃度とオン抵抗劣化率との関係を示す図である。

40

【図 6 4】本発明の実施の形態 6 である半導体装置の要部断面図である。

【図 6 5】本発明の実施の形態 7 である半導体装置の要部断面図である。

【図 6 6】本発明の実施の形態 7 である半導体装置の平面図である。

【図 6 7】本発明の実施の形態 8 である半導体装置の平面図である。

【図 6 8】本発明の実施の形態 9 である半導体装置の平面図である。

【図 6 9】本発明の実施の形態 10 である半導体装置の要部断面図である。

【図 7 0】本発明の実施の形態 10 である半導体装置の平面図である。

【図 7 1】本発明の実施の形態 11 である半導体装置 (半導体チップ) 内の保護素子の平面図である。

50

【図 7 2】図 7 1 に示した保護素子の D - D ' 切断部分の断面図である。

【図 7 3】本発明の実施の形態 1 2 である半導体装置（半導体チップ）のレイアウトを示す平面図である。

【図 7 4】本発明の実施の形態 1 3 である半導体装置（半導体チップ）のレイアウトを示す平面図である。

【図 7 5】本発明の実施の形態 1 4 である半導体装置（半導体チップ）のレイアウトを示す平面図である。

【図 7 6】本発明の実施の形態 1 5 である半導体装置（P ゲート・N チャネル型 Si パワー MOS FET）の要部断面図である。

【図 7 7】本発明の実施の形態 1 5 である半導体装置（P ゲート・N チャネル型パワー MOS FET）における空乏層の伸びを示す要部断面図である。 10

【図 7 8】本発明の実施の形態 1 5 である半導体装置の製造工程中における要部断面図である。

【図 7 9】本発明の実施の形態 1 6 である半導体装置の製造工程中における要部断面図である。

【図 8 0】図 7 9 に続く半導体装置の製造工程中における要部断面図である。

【図 8 1】本発明の実施の形態 1 6 である完成された半導体装置の要部断面図である。

【図 8 2】図 7 6 の G - G ' 切断部分の不純物分布図である。

【図 8 3】本発明の実施の形態 1 のゲート本数を増やした半導体装置の平面図である。

【発明を実施するための形態】 20

【0035】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための図面において、同一機能を有するものは同一符号を付し、その繰り返しの説明は省略する。

【0036】

（実施の形態 1）

本発明の実施の形態 1 を、図 1 から図 5 を参照し説明する。

【0037】

図 1 は、本発明の実施の形態 1 である半導体装置（N ゲート・N チャネル型 Si パワー MOS FET）の断面図であり、図 2 は、本発明の実施の形態 1 である半導体装置の平面図である。図 3 は、本発明の実施の形態 1 である半導体装置（半導体チップ）のレイアウトを示す平面図であり、図 4 は、図 3 に示した半導体装置（半導体チップ）内の保護素子 1 9 を拡大した部分的な平面図である。そして、図 5 は、図 4 に示した保護素子の D - D ' 切断部分の断面図である。 30

【0038】

< 基本セルの断面構造 >

図 1 に示した本発明の実施の形態 1 である半導体装置（MOS FET の基本セル）の構成は以下のとおりである。

【0039】

P 型低抵抗 Si 基板（第 1 導電型の半導体基板）1 の上面に、P 型高抵抗 Si エピタキシャル層（第 1 導電型の半導体層）2 が形成されている。基板比抵抗はオン抵抗低減を図る目的から 0 . 0 2 Ω cm 以下としている。従来でもパワー MOS FET で適用されているシリコン基板の比抵抗を 0 . 0 2 Ω cm 以下にすることは特開平 6 - 9 7 4 4 7 号公報に開示されている。本実施の形態 1 に適用されるシリコン基板の比抵抗は 0 . 0 1 Ω cm である。 40

【0040】

最近では、CMOS IC においてもエピタキシャルウェハが適用されているが、この場合、基板比抵抗は 1 0 Ω cm 程度であり、IC における基板比抵抗にくらべ、およそ 3 桁ほど小さい。エピタキシャル層は比抵抗 2 0 Ω cm、厚さ 3 μ m を有する。上記公報に開示されているエピタキシャル層の厚さは 5 μ m であり、オン抵抗低減を目的にそれよりも 2 μ 50

m薄くされる。

【0041】

エピタキシャル層2の主面一部に、チャンネルが形成される領域としてP型ウエル領域5(PW)が選択的に形成されている。このP型ウエル領域はドレインからソースに延びる空乏層延びを抑えためのパンチスルーストップを目的としている。そして、P型ウエル領域5(PW)表面には、ゲート絶縁膜(ゲート酸化膜)6を介してゲート電極7が形成されている。

【0042】

エピタキシャル層2内であって、P型ウエル領域5(パンチスルーストップ層PW)に接して互いに離間した位置に、高不純物濃度を有するN型ソース領域(第1領域)10、および低不純物濃度を有するN型ドレインオフセット領域(第3領域)8(NM)が形成されている。これらN型ソース領域10およびN型ドレインオフセット領域8(NM)は、ゲート電極7に対して自己整合され、それらの一部はゲート電極7に対してオーバーラップしている。

【0043】

なお、N型ソース領域10下に位置するN型(高抵抗)領域8は、特に必要としているものではない。そのN型(高抵抗)領域8はN型ドレインオフセット領域8(NM)を形成するための不純物導入の際にゲート電極7に対して自己整合形成されたものである。

【0044】

ドレインオフセット領域8に接して電極引き出しのための高不純物濃度を有するN型ドレイン領域(第2領域)9が形成されている。

【0045】

N型ソース領域10に接してエピタキシャル層2内にその主面から基板1に到達する高不純物濃度(低抵抗)を有するP型ソース打ち抜き層(リーチスルー層)3が形成されている。そのリーチスルー層3表面にはコンタクト用P型低抵抗領域4が形成されている。N型ソース領域10は金属プラグ、第1層配線、金属プラグそしてリーチスルー層3を介してソース裏面電極S1に電氣的接続されている。

【0046】

なお、図1において、A-A'間が基本セルであり、そのピッチは6 μ m程度である。ゲート電極3のゲート長Lgは0.3 μ m、電界緩和によるドレイン耐圧確保のために設けられた上記ドレインオフセット領域8の長さ、すなわちドレインオフセット長Lrは0.7 μ mである。ゲート酸化膜厚さは11nmであり、オン抵抗改善と、酸化膜許容電界を考慮して設定された。このことは後で詳しく述べる。ゲート電極7、N型ソース領域10、N型ドレインオフセット領域8(NM)、N型ドレイン(低抵抗)領域9およびP型ソース打ち抜き層3を覆うように第1絶縁膜(層間絶縁膜)20が形成されている。第1絶縁膜20内には複数の開口が設けられ、それら開口内には、N型ソース領域10、N型ドレイン領域9およびP型ソース打ち抜き層3にそれぞれコンタクトする電極引き出し用の導体プラグP1を有する。導体プラグP1はタングステンより成り、開口内に埋め込まれ、その表面は第1絶縁膜20の表面にほぼ一致している。

【0047】

第1絶縁膜20の表面には、N型ソース領域10に接続された導体プラグとP型ソース打ち抜き層3にコンタクトされた導体プラグとを電氣的接続する第1導体層11dが、N型ドレイン領域9にコンタクトされた導体プラグP1に接続する第2導体層11sがそれぞれ第1層配線(M1)としてパターン形成されている。

【0048】

第1、第2導体層11d、11sを覆うように第2絶縁膜(層間絶縁膜)30が形成されている。そして、第2絶縁膜には、P型ソース打ち抜き領域3にコンタクトされた導体プラグ上に、N型ドレイン領域9にコンタクトされた導体プラグP1にそれぞれ位置して開口が形成されている。これら開口を介して、配線抵抗の低抵抗化を図るための裏打ち配線としての配線12d、12s(第2層配線M2)が第1、第2導体層11d、11sに

10

20

30

40

50

それぞれ接続されている。

【0049】

ソース裏面電極 $S(2)$ は、第1基準電位、例えば接地電位に接続され、一方、ドレイン電極 $12d$ は上記第1基準電位よりも高い第2基準電位、例えば電源($V_{dd} = 3.6V$)電位に接続される。

【0050】

<単位ブロックのレイアウト>

図2を参照して本実施の形態1の第1層配線と第2層配線の関係を以下に詳しく述べる。

【0051】

図2において、11は第1層目の導体層(第1層配線 $M1$)であり、12は第2層目の導体層(第2層配線 $M1$)である。13は上述したN型ソース領域10、N型ドレイン領域9およびP型ソース打ち抜き層3のような半導体領域に対する導体プラグ(金属プラグ)のコンタクト部であり、14は第1層配線 $M1$ に対する第2層配線 $M2$ のコンタクト部である。21は素子分離領域(フィールド酸化膜)の境界線を示す。すなわち、線21に囲まれた部分が素子形成領域である。22はドレイン電極用ボンディングパッド部(ドレインパッド)であり、23はゲート電極用ボンディングパッド部(ゲートパッド)である。このドレイン、ゲートパッド22、23が1ブロック分を示しており、実際のチップでは必要なゲート幅に応じて、数ブロックを並列に並べる。このことは、後で図3を参照し説明する。

【0052】

図2はゲート電極3が2本の場合であり、ゲート電極3に挟まれてドレイン領域があり、両側がソース領域となっている。A-A'間が図1で示した基本セルであり、実際のチップでは数十本繰り返して並べて1ブロックとする。ドレインはゲート電極3に対し横切ることなく、平行に第2層配線によりパッド22に引き延ばされている。また、ソースもゲート電極3に対し横切ることなく、平行に第2層配線により裏打ちされている。ゲートは一定長さ毎にゲート電極3から第1層配線で引き延ばし、周辺から第2層配線でパッド部23に共通接続されている。本実施の形態1の場合、ゲート電極を取り出す一定長さは約 $40\mu m$ である。また、ゲート電極と直交させて配線を取り出すため、ドレイン用第2層配線とゲート用第1層配線との間の寄生容量が小さくなる。すなわち、ストライプ状のゲート電極3を $40\mu m$ 程度の一定の距離で第1層配線11でドレイン配線およびゲート電極と垂直する方向に引き延ばしている。ブロックの両端において第2層配線12でゲートパッド23に共通接続されている。これにより、平行に引き延ばす場合に比べて、ドレイン配線とゲート配線との間の寄生容量を低減している。

【0053】

また、ドレインパッド部22に近接してソース用の第2の金属導体層のイクステンション部12Eが配置され、イクステンション部12Eの下に位置して、上記貫通層と同一の構成を有する他の貫通層がエピタキシャル層内に設けられ、イクステンション部12Eがその貫通層に電氣的接続されている。

【0054】

ここで注目すべきことは、本実施の形態1によれば、電極引き出し用導体として導体プラグを採用し、第1層配線 $M1$ に対する第2層配線とのコンタクト用開口(コンタクト部)は電極引き出し開口部上に位置させている。

【0055】

すなわち、図2に示すように、ドレイン領域の第1層配線と低抵抗層とのコンタクト13、第1層と第2層配線とのコンタクト14は同一軸上に形成されている。この構造と従来技術との違いを、図45および図46を参照し、以下に説明する。

【0056】

図45は従来技術のドレイン配線のコンタクト部を示す平面図である。一方、図46は本実施の形態1である半導体装置のドレイン配線のコンタクト部を示す平面図である。な

10

20

30

40

50

お、ここで言う従来技術は発明者等によって試みられた通常の２層配線技術を採用している。

【００５７】

図４５に示した従来技術では、第１層配線１１（Ｍ１）が第１の層間絶縁膜に設けたコンタクト部（開口部）１３を介して電極引き出し電極（配線）として直接ドレイン領域に接続された。そして、第１層配線１１（Ｍ１）に対する裏打ちのための第２層配線１２（Ｍ２）の接続は、コンタクト部１３に重ならないように第２の層間絶縁膜に設けられたコンタクト部１４を通して行われた。コンタクト部１３上にコンタクト部１４を重ねてレイアウトした場合、コンタクト部１３内において、第１層配線１１に窪みが形成される。このため、フォトリソグラフィ技術によりコンタクト部１４を形成する時にコンタクト部１４にエッチング残りが存在することになる。第１層配線１１と第２層配線１２とのコンタクトが確実に成されず、接触抵抗の増大を招くことになる。このため、裏打ち配線の効果を充分引き出せないといった問題がある。したがって、コンタクト部１４とコンタクト部１３とは、ずらしてレイアウトする必要がある。 10

【００５８】

一方、本実施の形態１では電極引き出しのためのコンタクト部を導体プラグ（金属プラグ）により埋めてから配線するため段差が解消された。したがって、図４６に示すように、コンタクト部１３と１４を同軸上にするのが可能となり、レイアウトの自由度向上、コンタクトの電流容量の向上、コンタクトと配線抵抗の低減といった利点がある。すなわち、Ｎ型ソース（低抵抗）領域１０、Ｎ型ドレイン（低抵抗）領域９およびＰ型ソース打ち抜き領域３それぞれに対する配線抵抗の低減が図れる。この結果、オン抵抗を低減できるので、半導体装置の高付加効率を図ることができる。 20

【００５９】

なお、ＣＭＯＳトランジスタ等で金属プラグ技術を採用することはよく知られている。例えば、そのような技術は特開平６－３５００４２号公報によって開示されている。上記公報では明らかとされていないが、通常、金属プラグ技術は、上層の配線パターン形成時の段切れ対策を目的としたものである。特に、ゲート電極（配線）に対して、第１層配線あるいは第２層配線が横切る場合を考慮し、電極引き出しに金属プラグ技術が適用される。 30

【００６０】

しかしながら、本実施の形態１によれば、ゲート電極とドレイン用の第２層配線（Ｍ２）とが横切らない状況下で金属プラグが適用されているものである。すなわち、本実施の形態１は従来公知の金属プラグ技術の適用とは全く異なる発想に基づいたものである。

【００６１】

なお、図２はゲート電極３が２本の場合を示すが、ゲート電極３が４本の場合には、図８３に示したようにＺ－Ｚ'軸を中心にミラー反転されたレイアウト構造となる。ゲート電極３の本数は、ドレイン電流のバランスを考慮して、それぞれのドレイン電極（ドレイン領域）を挟むように偶数本設けられる。

【００６２】

<チップレイアウト>

本実施の形態１のチップのレイアウトを図３に示す。図３に示した単位ブロック部のレイアウトは、先に説明した図２に示す構成となっている。 40

【００６３】

図３に示すチップ内にレイアウトされたパワーＭＯＳＦＥＴは、図３の単位ブロックを複数個並列に接続したものである。

【００６４】

すなわち、本実施の形態は、半導体層を有する半導体基板の主面に複数のチャネル領域と、それぞれの上記チャネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する絶縁ゲート型半導体装置において、上記それぞれのドレイン領域および上記それ 50

それぞれのソース領域の主面に金属プラグが接続され、上記それぞれの金属プラグに第 1 の金属導体層が接続され、上記第 1 の金属導体層上に層間絶縁膜が被覆され、上記ドレイン領域に接続された金属プラグ上に位置して上記層間絶縁膜に設けられたドレイン接続用開口を通して、上記第 1 の金属導体層のうちドレイン用のそれぞれの第 1 の金属導体層に対し、ドレイン用の第 2 の金属導体層が共通接続され、上記層間絶縁膜に設けられたソース接続用開口を通して、上記第 1 の金属導体層のうちソース用のそれぞれの第 1 の金属導体層に対し、ソース用の第 2 の金属導体層が共通接続され、上記層間絶縁膜に設けられたゲート接続用開口を通して、上記第 1 の金属導体層のうちゲート用のそれぞれの第 1 の金属導体層に対し、ゲート用の第 2 の金属導体層が共通接続され、上記ドレイン用の第 2 の金属導体層はドレイン用のボンディングパッド部 22 を有し、上記ゲート用の第 2 の金属導体層はゲート用のボンディングパッド部 23 を有する絶縁ゲート型電界効果トランジスタを単位ブロックとし、上記単位ブロックの絶縁ゲート型電界効果トランジスタが上記半導体基板の主面に複数配置され、上記単位ブロック間において、上記ゲート用の第 1 の金属導体層と上記ゲート用の第 2 の金属導体層とが接続されている。

【0065】

図 3 に示すように、複数のドレインパッド 22 がチップの一辺に沿って、ゲートパッド 23 およびソースパッド 20 がチップの他の辺に沿って配置されている。このうちソースパッド（プローブ用ソースパッド）20 は、実装では使用せずに主に素子動作チェック用のみに使用される。すなわち、このソースパッド 20 は各チップに分割していないウエハ状態でのパワー MOSFET の動作チェックを容易にするために設けられている。動作チェックの時に検査用探針（プローバ）を、基板上面に設けられた各パッド 20, 22, 23 に接触させることでそれぞれのチップ（MOSFET）の特性をウエハ状態で検査することができる。

【0066】

チップ両端部に配置されたゲートパッドには、ゲート絶縁膜の静電破壊防止用の保護ダイオード 19 を設けられている。以下、このゲート保護ダイオードについて説明する。

【0067】

<ゲート保護ダイオード>

図 4 および図 5 にゲート保護ダイオードの構成を示す。図 4 は図 3 に示されたゲート保護ダイオード 19 を部分拡大した平面図である。図 5 は、図 4 における D—D' 間の断面図である。

【0068】

図 4（図 5）において、21 は厚いフィールド酸化膜である。フィールド酸化膜 21 上に設けられたゲートパッド 23 は第 2 層配線 12（M2）と一体的にパターン形成されている。そして、そのゲートパッド 23 は、第 1 層配線 11（M1）を介して P 型低抵抗領域 4 に接続されている。この P 型低抵抗領域 4、N 型高抵抗領域 8 および P 型低抵抗領域 4a を取り囲むようにリング状に形成された P 型低抵抗領域 4b により、PNP 構造のダイオード（バック・ツ・バックダイオード）を構成する。この PNP 構造の耐圧を ±5 ~ 9 V 程度に設計し、ゲートパッドに載ったサージ電圧をクランプ、吸収することができる。なお、P 型低抵抗領域 4a、4b は図 1 に示したコンタクト用 P 型低抵抗領域 4 と同一プロセスで形成される。

【0069】

また、このゲート保護ダイオードにも金属プラグ P1 が採用されている。2 本のストライプ状の金属プラグ P1 は P 型領域 8（4）に接続され、電流が均一に流れるように機能する。

【0070】

<プロセス>

本実施の形態 1 であるシリコンパワー MOSFET の製造方法について、図 6 ~ 図 29 を参照し、以下に説明する。

【0071】

なお、図 6 ~ 図 9、図 14、図 20、図 23、図 29 のそれぞれにおいて、(a) に示した断面図は、図 2 における X - X' 切断断面を示し、(b) に示した断面図は、図 2 における Y - Y' 切断断面を示す。

【0072】

(1) P 型打抜き層(P type through layer) 形成用イオン打ち込み工程：図 6 (a)、(b) に示すように、まず、第 1 導電型(具体的には P 型)の Si より成る半導体基板 1 の主面に、P 型半導体層 2 が形成された半導体ウエハが準備される。P 型半導体層 2 は、公知のエピタキシャル成長法により形成された。以下、P 型半導体層 2 を P 型エピタキシャル層と称する。

【0073】

上述したように半導体基板 1 の比抵抗は $0.01 \Omega \text{cm}$ を有する。一方、P 型エピタキシャル層 2 の比抵抗は、基板比抵抗よりも高く、 $20 \Omega \text{m}$ を有する。エピタキシャル層 2 の厚さは、オン抵抗の低減と、ドレイン耐圧とを考慮し、 $2.5 \sim 3.5 \mu \text{m}$ の範囲に設定される。本実施例では、エピタキシャル層 2 の厚さは、 $3 \mu \text{m}$ に設定された。

【0074】

続いて、エピタキシャル層 2 の表面に、厚さ 10nm のシリコン酸化 (SiO_2) 膜 100 を形成する。そして、P 型打抜き層形成用イオン打ち込みマスクを形成するために、 SiO_2 膜 100 上にホトリソグラフィ技術を用いて、ホトレジストパターン(マスク) PR1 を形成する。

【0075】

続いて、マスク PR1 を用いて酸化シリコン膜 100 およびエピタキシャル層 2 の表面をエッチング除去する。エピタキシャル層 2 の表面は、およそ 50nm の深さにエッチングされる。これによりエピタキシャル層 2 の表面に段差が形成される。この段差はマスクアライメントのためのターゲットとして使用できる。

【0076】

この後、P 型打抜き層 3 を形成するために、上記マスク PR1 が形成されていないエピタキシャル層 2 内に第 1 導電型(P 型)を示す不純物をイオン打ち込法により導入する。すなわち、マスク PR1 を用いて、例えば P 型不純物のボロン(B^+)を、加速エネルギー 80KeV 、ドーズ量 $1.5 \times 10^{16} / \text{cm}^2$ の条件で、エピタキシャル層 2 の深い位置に選択的にイオン打ち込みする。

【0077】

(2) フィールド酸化膜形成工程：図 6 に示したマスク PR1 および酸化シリコン膜 100 が除去される。この後、MOSFET の単位ブロックを区画するためのフィールド酸化膜 21 を LOCOS (Local Oxidation of Silicon) 技術により選択的に形成する。

【0078】

まず、図 7 (a)、(b) に示すように、エピタキシャル層表面に、パッド酸化膜として、シリコン酸化膜 100a を熱酸化により形成する。このパッド酸化膜は、引き続き形成される耐酸化マスクとなる窒化シリコン膜から成る絶縁膜(耐酸化性絶縁膜)が直接シリコン表面に接するのを避けている。窒化シリコン膜が直接シリコン表面に被覆した場合、その表面に熱的歪が残留し、結晶欠陥を引き起こす。すなわち、パッド酸化膜は結晶欠陥を防止するためのバッファ膜として形成される。

【0079】

続いて、耐酸化マスクとしての窒化シリコン膜 101 を形成する。そして、この窒化シリコン膜 101 をフォトリソグラフィ技術を用いてパターン形成する。

【0080】

そして、残された窒化シリコン膜 101 をマスクとし、その窒化シリコン膜 101 が形成されていないエピタキシャル層 2 表面を熱酸化し、厚さ 350nm のフィールド酸化膜(LOCOS 酸化膜) 21 を選択的に形成する。

【0081】

ここで重要なことは、この工程での熱酸化(熱処理)は、 $1050 \sim 1100$ 、3

10

20

30

40

50

0 分程度の処理条件で行われ、イオン打ち込みされた P 型不純物の引き伸ばし拡散を伴っている。したがって、この時、エピタキシャル層 2 内には半導体基板 1 に到達する P 型打抜き層 (P +) 3 が形成される。すなわち、 P 型打抜き層 3 形成およびフィールド酸化膜 2 1 形成の熱処理はそれぞれ独立別個に行わずに、それら形成のための熱処理を一度で行っている。すなわち、 P 型打抜き層 3 形成のための熱処理 (アニール) 工程を省略することができる。

【 0 0 8 2 】

また、この熱処理工程の省略により半導体基板 1 中のボロン不純物が薄いエピタキシャル層 1 内へオートドーピング (auto-doping) するのを抑制できる。この不純物のオートドーピングの抑制は、後で述べる P ウエル (P W) 5 の不純物濃度を低減させることができ、オン抵抗低減の効果をもたらすことができる。

10

【 0 0 8 3 】

窒化シリコン膜 1 0 1 およびパッド酸化膜 1 0 0 a を除去し、エピタキシャル層 2 の表面に存在する欠陥を除去する。続いて、エピタキシャル層 2 表面に熱酸化によりシリコン酸化膜 (1 0 0 b) を形成する。

【 0 0 8 4 】

そして、上記シリコン酸化膜 (1 0 0 b) の形成温度よりも高い熱処理温度、約 1 0 5 0 で、フィールド酸化膜 2 1 のアニールを行う。アニールは、 M O S F E T が形成される活性領域の表面に残留している結晶欠陥を低減し、ゲート酸化膜の薄膜化によるゲート酸化膜の耐压確保を図ることを目的とし、本実施態様 1 のパワー M O S F E T を得るために重要な手段である。

20

【 0 0 8 5 】

(3) P 型ウエル領域形成用第 1 不純物導入工程 : 図 8 (a)、(b) に示すように、ドレイン形成領域を覆うようにフォトリジストパターン (マスク) P R 2 を形成する。

【 0 0 8 6 】

続いて、マスク P R 2 が形成されていないエピタキシャル層 2 表面に第 1 導電型を示す不純物を選択的に導入する。例えば、 p 型不純物のボロンを、イオン打ち込み法によりフィールド酸化膜 2 1 を通過するエネルギーでエピタキシャル層 2 内に選択的に導入する。すなわち、フィールド酸化膜 2 1 に接するエピタキシャル層 2 表面において、アニール処理後の不純物濃度分布がほぼピークとなるようにボロンが導入される。これによって、そのエピタキシャル層 2 表面はチャネルストップパとしての P 型高濃度領域が形成される。イオン打ち込み条件は、加速エネルギー 2 0 0 K e V、ドーズ量 $2.0 \times 10^{13} / \text{cm}^2$ である。

30

【 0 0 8 7 】

(4) P 型ウエル領域形成用第 2 不純物導入工程 : 上記第 1 不純物導入工程に続いて、さらに、図 9 (a)、(b) に示すように、上記マスク P R 2 を残した状態で、エピタキシャル層 2 内に第 1 導電型を示す不純物を選択的に導入する。例えば、上記第 1 不純物導入工程と同様のボロンを、イオン打ち込み法によりエピタキシャル層 2 内に選択的に導入する。イオン打ち込み条件は、加速エネルギー 5 0 K e V、ドーズ量 $1.0 \times 10^{13} / \text{cm}^2$ である。

40

【 0 0 8 8 】

上記第 1、第 2 不純物導入工程のように、段階的に 2 回のイオン打ち込みを行うことにより、深さ方向のウエル濃度分布を均一にさせ、引き伸ばし拡散のための熱処理 (高温アニール) を回避することができる。なお、上記第 1、第 2 不純物導入工程の順序は逆であってもよい。

【 0 0 8 9 】

(5) しきい値電圧調整用イオン打ち込み工程 : 図面は省略したが、図 9 に示したマスク P R 2 を除去した後、しきい値電圧 (V t h) 調整のための不純物導入を行う。例えば、 B F ₂ イオンを、加速エネルギー 5 0 K e V、ドーズ量 $1.0 \times 10^{12} / \text{cm}^2$ の条件で、エピタキシャル層 2 表面にイオン打ち込みする。続いて、エピタキシャル層 2 表面

50

を洗浄した後、アニール処理（950、60秒）により上記（3）（4）工程で打ち込まれた不純物を引き伸ばし拡散し、MOSFETのチャネル形成領域となるP型ウエル領域（パンチスルーストップ層）5を形成する。

【0090】

（6）ゲート絶縁膜形成工程：イオン打ち込みダメージを受けたシリコン酸化膜100b（図9）を除去し、その表面を露出させる。そして、露出したP型ウエル領域5表面に熱酸化処理により、膜厚が10nm以上そして12nm以下であるゲート酸化膜6を形成する（図10参照）。本実施の形態1によれば、ゲート酸化膜6の膜厚は 11 ± 0.5 nmとなるように設定される。

【0091】

ゲート絶縁膜6は熱酸化膜に代えて、窒素を含むシリコン酸化膜、いわゆる窒素化膜を適用してもよい。この場合、ゲート絶縁膜の界面にホットエレクトロンのトラップを低減し、ホットキャリア対策が可能となる。つまり、窒素化膜によれば、膜界面のトラップを窒素（N）を結合させて終端させることができる。

【0092】

また、ゲート絶縁膜6は、熱酸化によるSiO₂膜（厚さ：4nm）と、そのSiO₂膜上にそのSiO₂膜上よりも厚いCVD法によるSiO₂膜（厚さ：7nm）を積層させた積層ゲート絶縁膜を適用してもよい。CVD法によるSiO₂膜は具体的にはHLD（High Temperature Low Pressure Decomposition）膜が用いられる。HLD膜は有機ソースであるTEOS（tetraethyl orthosilicate）材料が用いられ、膜厚均一性に優れ、また膜中への不純物の拡散防止に効果を奏する。このようなゲート絶縁膜の採用は、特に、後で述べるPゲート・Nチャネル型SiパワーMOSFETの実施の形態に有効である。なぜならば、P型ゲート電極の場合、その電極に含まれたボロン（不純物）のリークにより、ゲート酸化膜の緻密性が損なわれる。このため、上記積層ゲート絶縁膜の適用により、ボロンのリークは阻止され、ゲート絶縁膜の耐圧劣化を防止することができる。

【0093】

（7）ゲート電極用導体層形成工程：続いて、図10に示すように、ゲート酸化膜6表面に、厚さ100nm程度のリン不純物を含む多結晶シリコン層（ドープドポリシリコン：doped poly-silicon）7aをCVD法により被覆する。続いて、低抵抗ゲート電極を得るために、多結晶シリコン層7aの表面に、その多結晶シリコン層7aよりも厚い、厚さ150nm程度のメタルシリサイド層7b、例えばタングステンシリサイド（WSi）層を積層する。WSi層7b表面には、保護膜（キャップ層）として、厚さ150nmの酸化シリコン膜20を有機シランの熱分解により形成する。このようなキャップ層を設けることは、CMOSLSIの技術分野ではよく知られているが、RFパワーMOSの技術分野では、いままですら検討されていない。

【0094】

（8）ゲート電極用マスクパターン形成工程：図11に示すように、ゲート電極を形成するためのフォトレジストパターン（マスク）PR3を形成する。マスクPR3のパターン幅は、ゲート長を規定し、0.35μm以下となるように形成される。

【0095】

（9）ゲート電極パターン形成工程：図12にゲート電極パターン形成後の状態を示す。図11に示すマスクPR3を用いて、キャップ層20、タングステンシリサイド層7bおよび多結晶シリコン層7aを順次、エッチングすることにより、多結晶シリコン層7aとWSi層7bとから成るゲート電極7をパターン形成する。

【0096】

（10）ドレインオフセット領域形成工程：図13に示すように、低濃度半導体領域8をP型ウエル領域5内にイオン打ち込み法によりゲート電極7に対して自己整合形成する。この低濃度半導体領域（ドレインオフセット領域）8は、ドレイン耐圧を向上することを目的としている。ドレインオフセット領域8を形成するためのイオン打ち込みは、N型不純物であるリン用いられ、例えば加速エネルギー50KeV、ドーズ量 1.0×10^1

10

20

30

40

50

$3 / \text{cm}^2$ の条件で行う。

【 0 0 9 7 】

実験によれば、ドレインオフセット領域（オフセット層）とオン抵抗の関係は図 3 5 のとおりであった。したがって、オフセット層の深さは $0.2 \mu\text{m}$ 以上とした。

【 0 0 9 8 】

（ 1 1 ）ソース・ドレイン領域形成工程：図 1 4 (a)(b) に示すように、ドレインオフセット領域 8 の一部および P 型打抜き層 3 を覆うようにフォトレジストパターン（マスク）P R 4 を形成する。続いて、マスク P R 4 を用いて、ソース・ドレイン領域形成のための不純物導入を行う。不純物導入はイオン打ち込み法により、N 型不純物である砒素が、加速エネルギー 60 KeV 、ドーズ量 $8.0 \times 10^{15} / \text{cm}^2$ の条件で、酸化シリコン膜（ゲート酸化膜）6 を通して、低濃度半導体領域 8 内に選択的に導入される。

10

【 0 0 9 9 】

（ 1 2 ）コンタクト領域形成工程 P 型打抜き層 3 の表面を低抵抗化するために、図 1 5 に示すように、マスク P R 5 を用いて、P 型打抜き層 3 表面に P 型不純物である弗化ボロン（ BF_2 ）を、加速エネルギー 40 KeV 、ドーズ量 $2.0 \times 10^{15} / \text{cm}^2$ の条件で導入する。そして、この後、アニール処理を行う。これにより、P 型打抜き層 3 表面に P 型コンタクト領域 4 を形成する。

【 0 1 0 0 】

（ 1 3 ）第 1 絶縁膜（層間絶縁膜）形成工程層間絶縁膜として第 1 の絶縁膜 2 0 を半導体基板 1 上に全面形成する。まず、図 1 6 に示すように、半導体基板 1 上に CVD SiO_2 膜 2 0 A（厚さ： 100 nm ）および平坦性の優れたプラズマ TEOS 膜 2 0 B（厚さ： 800 nm ）を順次形成する。このプラズマ TEOS 膜 2 0 B の表面は、ゲート電極上に段差を有しているため、化学機械研磨（CMP：Chemical-Mechanical Polishing）技術を採用して、約 100 nm 研磨され、平坦化される。

20

【 0 1 0 1 】

いままで、CMP 技術の採用は IC（LSI）の中で採用されていたが、高周波用パワー MOSFET では採用されていなかった。

【 0 1 0 2 】

本実施の形態 1 では、この CMP 技術の採用により、次に述べる金属プラグが実現でき、オン抵抗の低減を図ったパワー MOSFET が得られるのである。

30

【 0 1 0 3 】

続いて、図 1 7 に示すように、プラズマ TEOS 膜 2 0 B 上に PSG 膜 2 0 C（厚さ： 300 nm ）を形成する。第 1 の絶縁膜 2 0 のトータル膜厚は 1200 nm であり、後で述べる 2 絶縁膜（層間絶縁膜）よりも厚くされる。これは、配線の寄生容量を低減するためである。

【 0 1 0 4 】

CVD SiO_2 膜 2 0 A は、窒化シリコン（ SiN ）に置き換えることができる。この窒化シリコンの採用は、ゲート酸化膜への水酸化物イオン（ OH^- ）の浸入をブロックし、ホットキャリア対策として有効である。

【 0 1 0 5 】

40

（ 1 4 ）電極引き出し用開口形成工程図 1 8 に示すように、PSG 膜 2 0 C 上にフォトレジストパターン（マスク）P R 6 を形成する。続いて、図 1 9 に示すように、マスク P R 6 を用いて第 1 の絶縁膜（2 0）を選択的に除去し、電極引き出し用開口 C H 1 を形成する。

【 0 1 0 6 】

（ 1 5 ）金属プラグ形成工程図 2 0 (a)(b) に示すように、電極引き出し用開口 C H 1 内に W（タングステン）よりなる金属プラグ P 1 をそれぞれ形成する。

【 0 1 0 7 】

まず、電極引き出し用開口 C H 1 が形成された第 1 の絶縁膜（2 0）表面に、W（タングステン）が半導体領域（8、9）内に拡散しないように、バリア層として T i N（窒化

50

チタン)層をスパッタリング法により形成する。続いて、例えばW(タングステン)よりなる高融点金属層をCVD法により形成する。そして、上記高融点金属層およびバリア層をエッチバックする。この結果、第1の絶縁膜20とほぼ同一面を有する金属プラグP1が電極引き出し用開口CH1内に埋め込まれる。すなわち、ソース領域(第1領域)10、ドレイン領域(第2領域)9およびリーチスルー層3上に金属プラグP1がそれぞれ接続される。

【0108】

(16)第1導体層(第1層配線)形成工程図21に示すように、第1導体層(第1層配線)M1を第1の絶縁膜20上にスパッタリング法により形成する。第1導体層は低抵抗、かつ耐マイグレーション性を有するアルミニウム合金より成る。より具体的な材料としてはAlCu合金が採用される。その膜厚は約400nmである。続いて、図22に示すように、第1導体層M1上にフォトリジストパターン(マスク)PR7を形成する。そして、図23(a)(b)に示すように、マスクPR7を用いて第1導体層M1をパターニングする。

【0109】

(17)第2絶縁膜(層間絶縁膜)形成工程層間絶縁膜として第2の絶縁膜30を半導体基板1上に全面形成する。図24に示すように、半導体基板1上にプラズマTEOS膜30A(厚さ:300nm)、SOG膜30B(厚さ:300nm)、プラズマTEOS膜30C(厚さ:300nm)を順次形成する。SOG膜30BはプラズマTEOS膜30Aの段差を緩和するために形成される。

【0110】

(18)配線接続用開口形成工程図25に示すように、第2の絶縁膜30上にフォトリジストパターン(マスク)PR8を形成する。続いて、図26に示すように、上記マスクPR8を用いて、第2の絶縁膜30(30A、30B、30C)を選択的に除去し、配線接続用開口CH2を形成する。なお、図26は上記マスクPR8を除去した後の半導体装置の断面構造を示している。

【0111】

(19)第2導体層(第2層配線)形成工程図27に示すように、第1導体層M1と同様な方法により第2導体層(第2層配線)M2を第1の絶縁膜30上に形成する。また、第2導体層(第2層配線)M2の材料も第1導体層と同一の材料が選択される。ただし、その膜厚は第1導体層M1の膜厚保に比べ、約4倍であり、裏打ち配線としての低抵抗化を図っている。

【0112】

続いて、図28に示すように、第1導体層M1上にフォトリジストパターン(マスク)PR9を形成する。

【0113】

そして、図29に示すように、マスクPR9を用いて、第2導体層M2をパターニングし、ドレイン電極(ドレイン配線)Dおよびソース電極(ソース配線)S(1)を形成する。ソース電極(ソース配線)S(1)は各セル間および各ブロック間の第1層目のソース配線(M1)を電氣的接続する。なお、図29は上記マスクPR9を除去した後の半導体装置の断面構造を示している。

【0114】

(20)ソース裏面電極形成工程図29に図示していないが、上記(19)工程の後、ドレイン電極(ドレイン配線)Dおよびソース電極(ソース配線)S(1)上に表面保護膜を形成し、そしてパッド部を露出するように、その表面保護膜を選択的に除去する。続いて、半導体基板1の裏面(下面)を研削し、その厚さを薄くする。この研削は半導体ウエハから半導体チップにするための前処理として行われる。そして、その裏面にNi層(厚さ:約0.1μm)、Ti層(厚さ:約0.15μm)、Ni層(厚さ:約0.2μm)および半田付け性の良いAg層(厚さ:1.3μm)を順次積層することによりソース裏面電極を形成する。下層のTi層はバリア層であるNi層と、Si基板との間の接着性の

10

20

30

40

50

ため、上層のTi層はAg層との接着性のために形成される。

【0115】

なお、Ag層は、モジュール基板へ取り付け（半田付け）時に、酸化によるAg層剥離に注意を払わなければならない。Ag層に代えてAu層を用いてもよい。この場合、半田付け時にAu層の剥離は生じないため、モジュール基板との低抵抗コンタクトが図れる。

【0116】

本プロセスによれば、以下の効果が得られる。

【0117】

(a)上記工程(2)で行われる熱酸化(熱処理)は、イオン打ち込みされたP型不純物の引き伸ばし拡散を伴っている。

10

【0118】

したがって、この時、エピタキシャル層2内には半導体基板1に到達するP型打抜き層(P+)3が形成される。すなわち、P型打抜き層3形成およびフィールド酸化膜102形成の熱処理はそれぞれ独立別個に行わずに、それら形成のための熱処理を一度で行っている。このため、P型打抜き層3形成のための熱処理(アニーリング)工程を省略することができる。

【0119】

(b)上記(a)の理由により基板からエピタキシャル層への不純物のオートドーピングを抑制できる。このため、Pウエル(PW)の不純物濃度は制御し易く、低く抑えることができる。したがって、オン抵抗低減のためにゲート長を短くしても、充分耐圧は確保できることになる。

20

【0120】

よって、熱処理工程の簡略化はオン抵抗低減に寄与することになる。

【0121】

(c)上記(a)(b)の理由により、エピタキシャル層2の厚さを厚くする必要がなく、その厚さは目標の耐圧を考慮して、2.5μm以上、3.5μm以下にすることが可能となった。このため、P型打抜き層(P+)3の形成深さも浅くなり、オン抵抗低減に寄与することになる。

【0122】

(d)フィールド酸化膜形成工程の後にPウエル(PW)を形成しているため、そのPウエルはフィールド酸化膜形成時の熱処理の影響を受けない。つまり、Pウエルは1000

30

以上の高温に晒されることがない。このため、Pウエル(PW)の不純物濃度は制御し易く、低く抑えることができる。したがって、オン抵抗低減のためにゲート長を短くしても、充分耐圧は確保できることになる。よって、上記のようなPウエル形成工程の順序は、オン抵抗低減に寄与することになる。

【0123】

(e)上記(4)工程で述べたように、Pウエル形成工程は2段階のイオン打ち込みにより行われる。したがって、引き伸ばし拡散のための高温アニール処理が不要である。すなわち、上記(5)工程でのアニール処理が兼用できる。このため、工程簡略が図れる。また、上記(d)と同様な理由によりオン抵抗低減に寄与することになる。

40

【0124】

(f)上記(2)工程で述べたように、フィールド酸化膜形成後であって、上記(3)工程のウエル領域形成に先立ってアニール処理を行うことにより、MOSFETが形成される活性領域の表面に残留している結晶欠陥を低減し、ゲート酸化膜の薄膜化によるゲート酸化膜の耐圧確保を図ることができる。

【0125】

(g)上記(10)工程で述べたように、ドレインオフセット領域(長さ)はマスクPR4によって規定され、サイドウォールを用いたLDD構造を採用していない。すなわち、ソース領域側にはドレインオフセット領域のような高抵抗領域は形成されないようにしている。これにより、ドレイン耐圧向上とともに、オン抵抗の低減が図れる。

50

【0126】

< MOSFETの形成条件 >

本実施態様1におけるMOSFETの形成条件について、以下に述べる。

【0127】

本実施例におけるMOSFETチップの抵抗成分について、図30を参照し、説明する。

【0128】

図30は、図1に示した実施の形態1に関わるMOSFETの抵抗モデルであり、 R_{ONO} がチップ全体の抵抗、 R_{on} が R_{ONO} からP型打抜き層と基板の抵抗を除いた抵抗（ソースを基板表面から取り出し場合の抵抗）、 R_1 がドレイン配線抵抗、 R_r がオフセット領域の抵抗、 R_e がチャンネル抵抗、 R_2 がソース配線抵抗、 R_3 がソース打抜き層抵抗、 R_4 がP型基板の抵抗、 R_5 が R_3 と R_4 とのトータル抵抗である。

10

【0129】

本実施の形態1の効果を説明するにあたり、MOSFET本体と、基板裏面電極による影響を分離するため、以後、オン抵抗は R_{ONO} ではなく R_{on} とし、ゲート幅 W_g で規格化した $R_{on} \cdot W_g$ を用いる。また、同様な考えから、相互コンダクタンスや、しきい値電圧等についても、断りのない限り、基板表面からソースを取り出したFETの性能とする。本実施の形態1のゲート長、ゲート酸化膜厚さ、オフセット層について説明する。

【0130】

図31にゲート耐圧（酸化膜許容電界）を考慮したゲート酸化膜厚さとオン抵抗との関係を示す。図32にゲート長とオン抵抗との関係、図33にゲート長と相互コンダクタンスとの関係をそれぞれ示す。図34にゲート長としきい値電圧の関係を示す。また、図35にオフセット層深さとオン抵抗の関係を示す。図36にオフセット長とオン抵抗との関係を、図37にオフセット長とドレイン耐圧をそれぞれ示す。

20

【0131】

図31において、オン抵抗の必要上限値 $4 \Omega \text{mm}$ を得るためにはゲート酸化膜が薄いことが重要であり、一方、ゲート酸化膜の信頼性の観点からは、GSM応用での入力振幅の最大値を5Vに対して信頼性上問題のない膜厚 10nm 以上が必要である。その結果、ばらつきを考慮して、ゲート酸化膜の厚さは 10nm 以上、 12nm 以下と設定される。図32、図33においても、ゲート長の短縮により、オン抵抗の低減と相互コンダクタンスの向上が図られ、ゲート長 $0.35 \mu\text{m}$ においてオン抵抗が $4 \Omega \text{mm}$ 以下、相互コンダクタンスが 150mS/mm 以上得られている。すなわち、ゲート電極のチャンネル方向長さが $0.35 \mu\text{m}$ 以下に設定される。

30

【0132】

なお、これらの結果は表面のソース電極から測定した場合を示す。また、ここでの従来技術とは、ゲート長 $0.4 \mu\text{m}$ 、オフセット長 $0.7 \mu\text{m}$ 、ゲート酸化膜厚さ 20nm に設定された高周波用パワーMOSFETを言う。

【0133】

ゲート長に関しては、図34に示すように、しきい値電圧のLoweringは厳しくなり、ゲート長 $0.3 \mu\text{m}$ 程度が仕様代表値である。ちなみに、この実施例のMOSFETでは、プロセス全体を低温処理（ 1200 以下の熱処理）とすることにより、しきい値電圧が逆短チャンネル特性を示しており、逆短チャンネル特性のない従来構造の場合に比べて、短いゲート長までLoweringが抑えられている。オフセット領域（オフセット層）に関しては、図35に示したように、抵抗の変化の少ない $0.2 \mu\text{m}$ 以上の深さを設定しており、また、図36、図37から、オフセット長は $0.4 \mu\text{m}$ 以上、 $0.8 \mu\text{m}$ 以下を設計値としている。この長さを選んだ理由は、ドレイン耐圧がドレイン低抵抗層側で決まり、寄生バイポーラ動作が起こりにくい領域であり、オン抵抗も十分に低い値であるためである。図38に本実施の形態1のパンチスルーストップ層（図1に示したP型ウエル領域5）とオン抵抗との関係を、図39にドレイン耐圧とパンチスルーストップ層の位置との関係をそれぞれ示す。ゲート電極のドレイン端の位置を基準（零）とし、ドレイン側への距離をプラス

40

50

(+)、ソース側をマイナス(-)としている。パンチスルーストップをソース側にずらすことにより、オン抵抗は低下するが、耐圧は零付近を境にマイナス側で低下する。これは、ドレイン、ソース間のパンチスルーが発生するためであり、この関係から、パンチスルーストップの位置は0以上、 $0.2\ \mu\text{m}$ 以下が適当である。次に、本実施の形態のMOSFETの基板形成条件について以下に説明する。

【0134】

図40にエピタキシャル層厚さを変えた場合の打抜き層付近(図1のB-B'面)の深さ方向濃度分布を、図41にエピタキシャル層厚さを変えた場合の打抜き層の抵抗率をそれぞれ示す。また、図42にオフセット層付近(図1のC-C'面)の濃度分布を、図48にエピタキシャル層厚さと(ドレイン)耐圧をそれぞれ示す。

10

【0135】

図40、図41において、エピタキシャル層の厚さが $4\ \mu\text{m}$ では打抜き層とつながっておらず、 $3.5\ \mu\text{m}$ 以下にする必要がある。

【0136】

また、図42、図43において、ドレインN型層との耐圧はエピタキシャル層の厚さが $2.5\ \mu\text{m}$ 以上で必要十分な値となっている。このことから、低抵抗半導体基板上に形成された高抵抗層(エピタキシャル層)の厚さは $2.5\ \mu\text{m}$ 以上、 $3.5\ \mu\text{m}$ 以下が適当である。図44に本発明とゲート長 $0.4\ \mu\text{m}$ の従来技術のMOSFETの静特性の比較を示した。これは、どちらもゲート幅が $36\ \text{mm}$ の素子の場合であり、オン抵抗、相互コンダクタンス、飽和電流等、本発明により大幅な改善がなされている。

20

【0137】

次に、図47に本実施の形態1(本発明)のMOSFETチップの大信号高周波特性を示す。図47はGSM応用を前提として、電源電圧 $3.5\ \text{V}$ 、バイアス電流一定において、 $900\ \text{MHz}$ の正弦波信号を入力した場合の出力電力と付加効率の関係である。本発明と従来技術を比較しており、前者のゲート幅が $28\ \text{mm}$ 、後者は $36\ \text{mm}$ である。どちらも出力電力 $2.0\ \text{W}$ で付加効率がピークとなるように、出力側をチューニングしている。この図からわかるように、本発明では従来技術に対してピークの効率で5%程度向上しており、65%を実現している。次に、図48に本発明のチップの大信号高周波特性のゲート幅依存性を示す。図48に示した特性は前述の図47に示した特性と同様にして測定しているが、ゲート幅毎に効率を得るのに最適なチューニングを行っている。この図48より、 $2\ \text{W}$ で65%以上の付加効率を得るのに最適なゲート幅は、 $28\ \text{mm}$ 程度が良いことがわかる。 $24\ \text{mm}$ から $32\ \text{mm}$ でも、これに準じた性能が得られている。同様にして、PCS応用を考え、 $1900\ \text{MHz}$ で大信号特性を評価した結果、ゲート幅 $12\ \text{mm}$ で出力 $1\ \text{W}$ 時の付加効率55%程度を実現した。

30

【0138】

<増幅器の構成>

図49に本実施の形態のMOSFETを用いた増幅器の回路構成を示す。図4に示した増幅器はGSM応用の3段増幅回路であり、入力段、中段にそれぞれに1個のMOSFET(1chip)が使われている。そして、出力段に2個のMOSFET(2chips)を使用し、並列整合回路(DD-CIMA: Divided and Collectively Impedance Matched Amplifier)を構成している。MOSFETのゲート幅(W_g)としては、入力段が $6\ \text{mm}$ 、中段が $18\ \text{mm}$ そして出力段(2chips)が $28\ \text{mm}$ である。それぞれの素子についてストリップライン100とチップコンデンサによる入出力整合が行われ、出力電力を効率よく引出すように設計している。各段の入力に抵抗分割により動作点制御用のバイアス電圧がかかるようになっており、この電圧を制御することで出力電力を制御している。

40

【0139】

上記DD-CIMAは、ゲート幅を大きくしていくと出力電圧が飽和する特性の解決策として開発され、高出力を要するモジュールの出力段として素子(チップ)を2つ並列に配して並列整合を行う方法である(文献2)。本回路技術によって、1つの素子が出し得る出力電力のおよそ2倍の出力電力が得られる。また、チップを分割したことにより熱放

50

散性に優れている。

【0140】

図50は本増幅器をパッケージ内に組み込んだパッケージモジュールを示す。500は多層配線構造の積層型セラミックパッケージである。パッケージ500の表面に金属めっきによるマイクロストリップライン501が形成されている。このモジュールにおいて、周波数900MHz、電源電圧3.5V、入力電力0dBmの条件で、飽和出力電力4W、出力3.5W時の総合効率55%程度を実現している。

【0141】

なお、本実施例ではMOSFET、コンデンサ、抵抗等のディスクリート品をモジュール化しているが、この全て、または一部を集積化した回路についても、本発明の技術は適用される。また、3段増幅回路の各段は、必ずしも同じ構造のデバイスを用いる必要はなく、例えば初段、中段素子は、高利得が要求されるため、ゲート長、またはオフセット長の短い素子を用いる場合がある。

10

【0142】

(実施の形態2)

本発明の他の実施の形態を、図51から図56を参照し説明する。

【0143】

<基本セルの断面構造>

図51は前記実施の形態1のゲート電極両端の酸化膜厚さを厚くした構造、すなわちゲートバースピークを有する実施の形態2におけるMOSFETの断面図である。図52は本実施の形態2のゲート、ドレイン間容量の電圧依存性を示す。そして、図53に小信号利得と周波数の関係を示す。

20

【0144】

図51において、ゲート両端の酸化膜厚さは、ゲート酸化膜厚さ10nmに対して、最大膜厚30nmの厚さでテーパ形状(または、LOCOS選択酸化によって現われるバースピーク形状)を成している。

【0145】

すなわち、本実施の形態2に係わる半導体装置は、第1導電型の半導体基板と、上記半導体基板の一方の主面に位置された、上記半導体基板よりも低不純物濃度を有する第1導電型の半導体層と、上記半導体層の主面内に互いに離間して設けられた、上記第1導電型とは反対の第2導電型の第1領域および第2領域と、上記半導体層の主面内の上記第1領域および第2領域の間であって、上記第1領域から離間し、そして上記第2領域に接して位置された、上記第1領域よりも低不純物濃度を有する第3領域と、上記第1領域と上記第3領域との間に位置した上記半導体層の主面上であって、一部が上記第1領域および上記第3領域をそれぞれオーバーラップするように、ゲート絶縁膜を介して設けられたゲート電極と、上記第1領域および上記第2領域のそれぞれに接続された第1電極および第2電極と、そして上記半導体基板の一方の主面とは反対の他方の主面に接続された第3電極とを有し、上記第3領域とゲート電極とがオーバーラップしている間に存在するゲート絶縁膜の第1膜厚(6a)が上記第1領域と上記第3領域との間に位置した上記半導体層の主面上におけるゲート絶縁膜の第2膜厚(6b)よりも大きい。

30

40

【0146】

これにより、図52に示すように、10nmから30nmの条件とすることでゲート、ドレイン間容量(Cdg)は20%程度低減された。測定方法は、図52に示した回路構成のとおりである。ゲート、ドレイン間容量(Cdg)の低減は、高いゲインのRF動作に求められる帰還容量(Crss)の低減をもたらすことができる。

【0147】

また、図53に示すように小信号利得も周波数900MHz付近で0.5dB程度向上している。

【0148】

本実施の形態2によれば、バースピークを設けたことで電界緩和が図れる。そして、オ

50

フセット層 8 の表面からの深さが $0.005 \mu\text{m}$ 以内において、その表面不純物濃度を $1 \times 10^{19} / \text{cm}^3$ 以上のピーク値とし、オン抵抗低減を一層図ることが可能となる。

【0149】

本実施の形態 2 では、ゲート電極のドレイン、ソース両側の酸化膜厚を厚くしているが、本質的にはドレイン側のみを厚くすれば目的は達成される。その実施の形態は後で述べる。

【0150】

< プロセス >

前記実施の形態 1 の工程 (9) (図 12 参照) に続いて以下の工程が行われる。

【0151】

(9-1) 図 54 に示したように、熱酸化により酸化膜 21 を選択的に形成する。この時、ゲート電極端部にバースピークが形成される。つまり、ゲート酸化膜 (厚さ 10 nm) よりも厚い酸化膜 (最大膜厚: 30 nm) がゲート電極端部下に形成される。

【0152】

(9-2) 続いて、図 55 に示したように、ドレインオフセット領域形成のための不純物導入がシリコン酸化膜 21 を通して行われる。すなわち、低濃度半導体領域 (ドレインオフセット領域) 8 を P 型ウェル領域 5 内にイオン打ち込み法によりゲート電極 7 に対して自己整合形成する。ドレインオフセット領域 8 を形成するためのイオン打ち込みは、N 型不純物であるリン用いられる。

【0153】

続いて、前記実施の形態 1 で述べたプロセス、(11) ソース・ドレイン領域形成工程から (20) ソース裏面電極形成工程までが実行される。

【0154】

以上の方法により、図 56 に示したパワー MOSFET が完成する。

【0155】

(実施の形態 3)

本発明の他の実施の形態を、図 54 から図 60 を参照し説明する。

【0156】

< 基本セルの断面構造 >

本実施の形態 3 は、前記実施の形態 2 の変形例であり、ゲート電極のドレイン側のみゲート酸化膜の一部を厚くしたものである (図 60 参照)。

【0157】

< プロセス >

前記実施の形態 1 の工程 (9) (図 12 参照) に続いて以下の工程が行われる。

【0158】

(9-1) 図 57 に示すように、半導体基板 1 上に窒化シリコン膜 200 を形成する。

【0159】

(9-2) 続いて、図 58 に示すように、ドレイン側のゲート電極端部が露出するように、窒化シリコン膜 200 を選択的に除去する。そして、窒化シリコン膜 200 をマスクとして、熱酸化によりドレイン側のみにゲートバースピークを形成する。

【0160】

(9-3) 続いて、図 59 に示したように、ドレインオフセット領域形成のための不純物導入がシリコン酸化膜 21 を通して行われる。すなわち、低濃度半導体領域 (ドレインオフセット領域) 8 を P 型ウェル領域 5 内にイオン打ち込み法によりゲート電極 7 に対して自己整合形成する。

【0161】

続いて、前記実施の形態 1 の工程 (11) から工程 (20) までのプロセスが実行される。以上の方法により、図 60 に示したパワー MOSFET が完成する。

【0162】

(実施の形態 4)

本発明の実施の形態 4 を、図 6 1 を参照し説明する。

【 0 1 6 3 】

本実施の形態 4 は、ドレインオフセット領域 8 がドレイン領域 9 側のみに形成された N ゲート MOS を提供するものである。

【 0 1 6 4 】

本実施の形態 4 によれば、図 6 1 に示すように、ソース側（高不純物濃度を有する N 型ソース領域 1 0 ）にはドレインオフセット領域 8 のような深い N 型高抵抗領域は設けられていない。したがって、ソース側のゲート電極と N 型領域（ソース領域 1 0 ）とのオーバーラップ量は、前記実施の形態 1 のようにソース側にドレインオフセット領域 8 が存在する場合に比べて小さく、短チャネル特性の改善のために効果がある。

10

【 0 1 6 5 】

本実施の形態 4 のプロセスは前記実施の形態 1 のプロセスに従い、前記工程（ 1 0 ）の段階で、マスクを用いてドレイン側のみにドレインオフセット領域 8 を形成するためのイオン打ち込みが行われる。この場合、前記実施の形態 1 に比べてホトリゾ工程が 1 回増えることになる。

【 0 1 6 6 】

（実施の形態 5 ）

本発明の実施の形態 5 を、図 6 2、図 6 3 を参照し説明する。

【 0 1 6 7 】

図 6 2 は、ドレインオフセット領域の表面付近の濃度を上げた場合の断面図である。この構造は、オフセット領域上の酸化膜に注入されたホットエレクトロンの影響によるオン抵抗の劣化率を低減するために有効である。図 1 示したオフセット領域 8 形成のためのイオン打ち込みを行った後に、As（ヒ素）イオンを 20 KeV 、 $3 \times 10^{13}\text{ atoms/cm}^2$ 程度のイオン打ち込み条件で、そのオフセット領域 8 の表面に打ち込み、第 2 のオフセット領域 8 a を形成する。この時、ゲート端の表面濃度が最も重要となる。すなわち、図 6 3 にホットエレクトロンによるオン抵抗の劣化率とオフセット層のゲート端表面濃度の関係を示す。対策なしでは 25 % 程度の劣化を生じるが、本構造により表面濃度を $1 \times 10^{18}\text{ atoms/cm}^3$ とすることで、劣化率を 10 % 以下に抑えることが可能となった。これは表面濃度を高めたことにより、酸化膜中に注入された電子の影響を N 型のオフセット層が受け難くなったことによるものである。

20

30

【 0 1 6 8 】

本発明の実施の形態 5 の製造方法は、上述した実施の形態 1 における（ 1 0 ）ドレインオフセット領域形成工程で、オフセット領域 8 形成のためのイオン打ち込みおよび第 2 のオフセット領域 8 a 形成のためのイオン打ち込みが順次行われる。

【 0 1 6 9 】

（実施の形態 6 ）

本発明の実施の形態 6 を、図 6 4 を参照し説明する。図 6 4 は、前記実施の形態 1 のパンチスルーストップバ 5 に加えてオフセット領域 8 よりも深い位置にエピタキシャル層 2 の不純物濃度よりも高い不純物濃度を有する P 型ポケット層 5 a を設けたものである。N 型ドレイン領域 9 の下にはポケット層 5 a と同時に形成された P 型層 2 0 1 を有する。このポケット層 5 a とドレイン領域 9 下の P 型層 2 0 1 は、例えば N 型ソース・ドレイン領域形成時のホトリジストを用いて B（ボロン）イオンの斜め打ち込みにより形成する。ポケット層 5 a はしきい値電圧の Lowering の抑制に有効である。また、ドレイン領域 9 下の P 型層 2 0 1 は MOSFET のブレイクダウンポイントをチャネル部から離す効果がある。

40

【 0 1 7 0 】

従って、本実施の形態 6 により、短チャネル特性の改善と素子の破壊強度の向上が可能となった。

【 0 1 7 1 】

（実施の形態 7 ）

本発明の実施の形態 7 を、図 6 5、図 6 6 を参照し説明する。図 6 5、図 6 6 はゲート

50

電極と平行してゲート配線（第１層配線）が配置されているパワーＭＯＳＦＥＴの断面図とブロック平面図をそれぞれ示す。図６５は図６６に示したＥ－Ｅ’切断断面図である。先に述べた実施の形態１によれば、ゲート電極に接続された第１層配線１１（Ｍ１）は、ゲート電極に直交して単位ブロックの周辺部に延びて配置されている。本実施の形態７によれば、ゲート配線（第１層配線）がゲート電極と平行して配置され、そのゲート電極に裏打ちされている。

【０１７２】

図６５において、３００はゲート配線抵抗低減のために設けられたゲートシャント用の第１層配線である。本実施の形態６の特徴は、ドレイン第１層配線とゲート配線とが互いに対向するため、ドレイン、ゲート間の寄生配線容量が大きくなるが、ゲート配線の本数がゲート電極本数と同数になり、実施態様１と比較してゲート配線の本数が多くなるため、ゲート配線抵抗の低減に効果がある。ドレイン、ゲート間容量よりもゲート抵抗が高周波特性に効く場合に適用される。

10

【０１７３】

（実施の形態８）

本発明の実施の形態８を図６７を参照し説明する。

【０１７４】

図６７に示した平面図（電極パターンレイアウト）は図２に示す実施の形態１の変形である。本実施の形態８によれば、ゲート用の第２層配線を単位ブロックの中央から１本で取っている。これにより、図２に示すように単位ブロックの周辺部両側にゲート用の第２層配線を配置した場合に比べ、ゲートパッドから各ＭＯＳＦＥＴセルへの距離が均等になる。したがって、各ＦＥＴセルの、ゲートの入力信号の位相ずれによる動作タイミングのずれが小さくなり、チップ全体での電力損失を少なくすることができる。

20

【０１７５】

（実施の形態９）

図６８は、金属配線（第１層配線）によるゲートのシャントを行わず、短いゲート電極を並べたレイアウトである。この場合、ドレイン、ゲート間の寄生配線容量を低減できる。

【０１７６】

（実施の形態１０）

本発明の実施の形態１０を図６９、図７０を参照し説明する。

30

【０１７７】

図６９、図７０は、前記実施の形態７の変形例であり、ソースフィールドプレート４００を設けたパワーＭＯＳＦＥＴの断面図および平面図をそれぞれ示す。図７０は図６９に示したＦ－Ｆ’切断断面図である。

【０１７８】

本実施の形態１０によれば、図６９に示すように、ソース用の第１層配線の一部がオフセット領域８上に延び、ソースフィールドプレート４００を構成している。すなわち、図７０に示すように、ゲート配線（第１層配線）は本実施の形態７と同様、ゲート電極と平行して配置され、そのゲート電極に裏打ちされている。そして、ソースフィールドプレート４００はソース用の第１層配線１１をゲート電極７に沿ってストライプ状に、ドレイン配線とゲートシャント配線間に挿入されている。このフィールドプレート４００は接地電位に固定されており、オフセット領域８の電界緩和によるドレイン耐圧向上の効果がある。

40

【０１７９】

（実施の形態１１）

本発明の実施の形態１１を、図７１、図７２を参照し説明する。

【０１８０】

図７１は本実施の形態１１であるゲート保護ダイオードの平面図である。そして、図７２は図７１におけるＧ－Ｇ’線の切断断面図である。

50

【0181】

実施の形態1のゲート保護ダイオード(図4、5参照)は、第2層配線によりゲートパッドに接続されている。一方、本実施の形態11では、図72に示すように、第1層配線ですでにダイオードがゲートパッドとゲート電極とが接続されている。

【0182】

これによって、第1層配線以降の工程でのチャージアップなどのプロセスダメージによるゲート酸化膜の破壊を防止することが可能となった。

【0183】

(実施の形態12)

本発明の実施の形態12を図73を参照し説明する。

10

【0184】

図73は、図49に示した増幅回路の出力段に使用する本発明のMOSFETの2素子を、1チップ内にレイアウトしたものである。両者のゲート、ドレイン間を、それぞれ10Ω程度の抵抗Rで結んでいる。この抵抗は、例えばゲート電極材料を使用する。

【0185】

本実施の形態12により、2素子の性能ばらつきの低減と、モジュールにおけるチップ占有面積の削減が可能となった。

【0186】

(実施の形態13)

本発明の実施の形態13を、図74を参照し説明する。

20

【0187】

図74は、図49に示した増幅回路の入力段、中段に使用するパワーMOSFETを、1チップ内にレイアウトしたものである。ソース接地回路であるため、半導体基板1は共通であるが、両者のゲート、ドレインは電氣的に絶縁されている。この際、シールド手段としては、例えば、両者の間にP型低抵抗(リーチスルー)層を設け、基板表面には配線層を設けた構造が採用される。このような構造は、シールド手段を形成するための特別なプロセスは必要とせず、実施の形態1のパワーMOSFETを形成する過程で得られる。本実施の形態13によっても、モジュールにおけるチップ占有面積の削減が可能となった。また、本実施の形態13では、モジュールのレイアウトの面積効率を上げるために、2つのMOSFETを上下反対の関係でレイアウトしている。

30

【0188】

また、2つの異なる周波数を扱う増幅器、いわゆるデュアルバンド用増幅器においては、多段増幅回路2セット分を1つのモジュールに組み込む。このため、図74に示すチップも2セット配置される。この場合、一方のチップの初段用FETと、他方のチップの中段用FETを使用して、それぞれの増幅回路を構成することにより、隣接するFETが同時に動作することはなくなるため、安定した動作が可能となる。

【0189】

(実施の形態14)

本発明の実施の形態14を、図75を参照し説明する。

【0190】

図75は、図73に示す実施の形態12のチップに、電流検出用のMOSFETMsを加えたものである。MOSFETのセル構造は、出力段素子と同様であり、そのゲート幅は、出力段素子の1/1000程度に設定されている。これにより、出力段素子に流れる電流をモニタし、制御回路にフィードバックさせる。また、電流検出用の他に、スイッチ素子としてMOSFETを加えることもある。これは、デュアルバンドなどの応用で、完全に素子をオフ動作させたい場合などに使用される。このようなMOSFETは、ゲート、ドレイン端子が露出した構造であるため、それぞれの端子に接続される保護素子を内蔵させている。Msはゲート幅が小さいため、ドレイン端子に時間的に正の高電圧が加わった場合、ブレークダウン電流でそのエネルギーを吸収できず、破壊に至る。また、負の電圧の場合も、ボディダイオードがオンして、電流が流れるが電流容量が足りずに破壊する

40

50

。この両方の対策として、FETと同等の耐圧を持ち、十分なサイズのダイオードを保護素子として用いている。

【0191】

(実施の形態15)

本発明の実施の形態15である半導体装置(Pゲート・Nチャネル型SiパワーMOSFET:PゲートMOS)について、図76から図78および図82を参照し説明する。本実施の形態15は、オン抵抗低減のために、ゲート電極およびバルク構造に特徴が向けられたものである。

【0192】

<基本セルの断面構造>

図76は、本発明の実施の形態15であるPゲートMOSで構成された基本セルの断面図である。

【0193】

図76に示したPゲートMOSは、P型シリコン半導体基板1と、基板の一方の主面に位置された、上記基板よりも低不純物濃度を有するP型シリコン半導体(エピタキシャル)層2と、そのエピタキシャル層の主面内に互いに離間して設けられた、第1のN型領域(ソース領域)10および第2のN型領域(ドレイン領域)9と、エピタキシャル層の主面内のソース領域10およびドレイン領域9の間であって、ソース領域から離間し、そしてドレイン領域に接して位置された、そのドレイン領域9よりも低不純物濃度を有する第3のN型領域(オフセット領域)8と、ソース領域10とオフセット領域8との間に位置し、チャンネルが形成される領域の主面上であって、端部がソース領域10およびオフセット領域8をそれぞれオーバーラップし、かつソース領域10およびオフセット領域8上にそれぞれ終端するように、ゲート絶縁膜を6介して設けられたP型のゲート電極7と、ソース領域10およびドレイン領域9のそれぞれに電気的に接続された第1電極S(1)および第2電極Dと、そして半導体基板1の一方の主面とは反対の他方の主面に接続された第3電極S(2)とを有し、ソース領域10とオフセット領域8との間に位置したチャンネルが形成される領域(P型ウエル領域)5内の不純物濃度分布が、表面から半導体基板1に向かって減少するN型分布域55を含んでいる。図82に図76に示したP型ウエル領域5(G-G'切断部分)の不純物分布を示す。

【0194】

本実施の形態15によれば、ゲート電極がP型半導体、すなわちPゲートにしたことにより、Nゲート(ゲート電極がN型半導体)に比べて、仕事関数差の関係でしきい電圧 V_{th} が1V上がることになる。このため、P型半導体領域表面にN型層55を設けたにも係わらずゲート電圧を与えない状態で、ノーマリオフ、つまりエンハンスメント状態を保てる。そして、このN型層55の存在は、図77に示すように、ドレイン接合(Jd)からの空乏層(Depletion layer)400の延びを延ばす作用をもたらすことになり、特に、矢印A部においては、N型層55によりゲート酸化膜界面の影響を受けない。このため、ドレイン耐圧は向上する。そこで、NゲートMOSと同じ目標値のドレイン耐圧を有するPゲートMOSを設計する場合には、ドレインオフセット領域の濃度を高くすることができる。つまり、ドレインオフセット領域側に空乏層を延ばす必要がなくなったからである。オフセット領域の濃度を高くできるということは、NゲートMOSに比べ、ドレインオフセット領域の低抵抗化が図れる。このため、オン抵抗低減に寄与することになる。

【0195】

<単位ブロックのレイアウト>

本実施の形態15の単位ブロックのレイアウトは、本実施の形態1と同様に図2に示すとおりである。したがって、その説明は省略する。

【0196】

<チップレイアウト>

本実施の形態15のチップレイアウトは、本実施の形態1と同様に図3に示すとおりである。したがって、その説明は省略する。

【0197】

<ゲート保護ダイオード>

本実施の形態15のゲート保護ダイオードは、本実施の形態1と同様に図4および図5に示すとおりである。したがって、その説明もまた省略する。

【0198】

<プロセス>

本実施の形態15であるPゲートMOSの製造方法について、図78(a)(b)を参照し、以下に説明する。

【0199】

実施の形態1の工程(3)に続いて、図78(a)(b)に示すように、マスクPR2を用いて、リン(P)に比べて拡散速度の遅いヒ素(As)を、イオン打ち込み法によりエピタキシャル層2内に選択的に導入する。イオン打ち込み条件は、加速エネルギー80KeV、ドーズ量 $4.5 \times 10^{11} / \text{cm}^2$ である。続いて、アニール処理(950、60秒)を行い、表面に不純物濃度をピーク値(約 $6 \times 10^{16} / \text{cm}^3$)を持つN型領域(図76に示したN型領域55)を形成する。上述のようにN型領域55を形成する不純物としてヒ素(As)を用いたことにより、その不純物はエピタキシャル層内部に拡散しにくく、N型領域55表面を高濃度に維持できる。

10

【0200】

続いて、実施の形態1の工程(6)のゲート酸化膜を形成した後、工程(7)のゲート電極用導体層を形成する(図10参照)。まず、イントリンシック(intrinsic)な多結晶シリコン層7aをCVD法により被覆する。そして、多結晶シリコン層7aにボロン不純物をイオン打ち込み法により導入し、Pゲート電極を形成する。イオン打ち込みによるPゲート電極形成は、ボロンによるゲート酸化膜へのダメージを低減するために、そのゲート酸化膜近傍のボロン濃度を抑制する目的で採用される。

20

【0201】

この後、実施の形態1の工程(8)から工程(20)までの工程が実行される。

【0202】

(実施の形態16)

本実施の形態16は、浅いオフセット領域8をドレイン領域9側のみに形成したPゲートMOSを提供するものであり、図79から図81を参照し、以下に説明する。

30

【0203】

本実施の形態16は、前記実施の形態15のプロセスをベースとしており、ドレインオフセット領域形成工程(実施の形態1のプロセス、工程(10)参照)時に、マスクPR10を用いて、P型ウエル領域5およびP型ソース打ち抜き領域3表面にリンが導入されないようにし、オフセット領域8をドレイン領域9側のみに形成する。

【0204】

続いて、図80に示すように、ソース・ドレイン領域(10、9)を形成する。このソース・ドレイン領域(10、9)の形成方法は、実施の形態1のプロセス、工程(11)に従う。そしてこの後、実施の形態1のプロセス、工程(12)へ進む。

40

【0205】

以上により、図81に示すようにPゲートMOSが完成する。

【0206】

本実施の形態16によれば、PR10によりP型ソース打ち抜き領域3表面にリンが導入されない。このため、P型ソース打ち抜き領域3表面へのP型コンタクト領域形成のための不純物導入は、高濃度イオン打ち込みを行う必要がない。すなわち、高濃度イオン打ち込みによるイオンダメージを回避し、P型コンタクト領域の表面濃度を高めることができる。したがって、低抵抗コンタクトが実現でき、オン抵抗低減に寄与する。

【0207】

なお、本実施の形態16は実施の形態1のようなNゲートMOSにも適用可能である。

【0208】

50

(実施の形態 17)

本実施の形態 17 は前記実施の形態 14 の変形例であり、図 76 において、N 型層 55 の不純物分布のピーク位置をエピタキシャル層表面より深い位置に設定した、埋め込み N 型層を有する。この埋め込み N 型層のピーク位置の深さはその表面からおよそ $0.05 \mu\text{m}$ であり、そのピーク濃度はおよそ $2 \times 10^{17} / \text{cm}^3$ である。

【0209】

本実施の形態 17 の製造方法は、前記実施の形態 15 に基いて行われる。すなわち、埋め込み N 型層は、前記実施の形態 15 の N 型層 55 形成工程で上記不純物分布をなすようなイオン打ち込み条件の設定により形成される。

【0210】

本実施の形態 17 のような埋め込み N 型層を有する P ゲート MOS においては、N 型層が埋め込まれているため、でこぼこしたゲート酸化膜の界面により電子の表面散乱を回避できる。すなわち、本実施の形態 16 は、バルクの散乱だけを考慮するだけでよい。したがって、キャリアの移動度が向上する。言い換えると、オン抵抗低減が図れる。本実施の形態 17 もまた実施の形態 1 のような N ゲート MOS にも適用可能である。

【0211】

以上、本発明者によってなされた発明を上記実施の形態に基づき具体的に説明したが、本発明は上記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0212】

上記の実施の形態に基き、本発明の特徴をまとめると以下のとおりである。

【0213】

(1) 本発明に係わる半導体装置は、第 1 導電型の半導体基板と、上記半導体基板の上面に形成された第 1 導電型の半導体層と、上記半導体層の主面一部に、チャンネルが形成される領域を挟んで互いに離間して位置した、上記第 1 導電型とは反対の第 2 導電型の第 1、第 2 領域と、上記第 2 領域はチャンネルが形成される領域に接する低濃度領域と上記低濃度領域に接する高濃度領域とから成り、上記チャンネル領域上部にゲート絶縁膜を介して形成されたゲート電極と、上記半導体層の主面他部に第 1 領域および上記半導体基板に接するように形成された第 1 導電型のリーチスルー層と、上記ゲート電極、上記第 1 領域、上記第 2 領域および上記リーチスルー層上を覆う第 1 絶縁膜と、上記第 1 絶縁膜内に設けられた開口を介して上記第 1 領域、上記第 2 領域の高濃度領域および上記リーチスルー層にそれぞれ接続された、第 1 導体プラグ、第 2 導体プラグおよび第 3 導体プラグと、上記第 1 導体プラグと第 3 プラグとに接続された第 1 導体層、および上記第 2 導体プラグに接続された第 2 導体層と、そして、上記半導体基板の下面に接続された第 3 導体層とから成る。

【0214】

(2) 上記(1)において、上記第 1 導体層および上記第 2 導体層上に第 2 絶縁膜が被覆され、上記第 2 絶縁膜に対し、上記第 1 導体プラグおよび上記第 2 導体プラグ上に位置し、上記第 2 絶縁膜に対してそれぞれ第 1 開口および第 2 開口が設けられ、上記第 1 開口を通して第 1 配線層が上記第 1 導体層に接続され、上記第 2 開口を通して第 2 配線層が上記第 2 導体層に接続されている。

【0215】

(3) 上記(1)において、第 3 導体プラグが上記第 1 絶縁膜内に設けられた開口を介して上記ゲート電極に接続され、上記第 3 プラグに第 4 導体層が接続されている。

【0216】

(4) 上記(1)において、上記第 1、第 2 導体プラグはタングステンより成り、上記第 1、第 2 導体層はアルミニウム合金より成る。

【0217】

(5) 上記(4)において、上記第 1、第 2 導体層は AlCu 合金より成る。

【0218】

(6) 上記(3)において、上記第3導体プラグはタングステンより成り、上記第4導体層はアルミニウム合金より成る。

【0219】

(7) 上記(6)において、上記第1、第2導体層はAlCu合金より成る。

【0220】

(8) 上記(2)において、上記第1、第2配線層はアルミニウム合金より成る。

【0221】

(9) 上記(1)において、上記第1、第2導体プラグはWより成り、上記第1、第2導体層はAlCu合金より成り、上記第3導体層は、上記半導体基板の下面に接してNi, TiおよびAuを含む電極構造である。

10

【0222】

(10) 上記(3)において、上記第3導体プラグはWより成り、上記ゲート電極は多結晶Si上に金属シリサイドが積層された電極構造であり、上記第4導体層はAlCu合金より成る。

【0223】

(11) 本発明に係わる半導体装置は、第1導電型の半導体基板と上記半導体基板の上面に形成された第1導電型の半導体層とから成る半導体本体に、絶縁ゲート電界効果トランジスタと、上記トランジスタを保護するためにゲートに接続された保護ダイオードとが構成され、上記絶縁ゲート電界効果トランジスタは、素子分離領域により区画された上記半導体層の第1主面部に、チャンネルが形成される領域を挟んで互いに離間して位置した、上記第1導電型とは反対の第2導電型の第1、第2領域と、上記第2領域はチャンネルが形成される領域に接する低濃度領域と上記低濃度領域に接する高濃度領域とから成り、上記チャンネル領域上部にゲート絶縁膜を介して形成されたゲート電極と、上記第1主面部の一部に第1領域および上記半導体基板に接するように形成された第1導電型の第1リーチスルー層と、上記ゲート電極、上記第1領域、上記第2領域および上記第1リーチスルー層上を覆う第1絶縁膜と、上記第1絶縁膜内に設けられた開口を介して上記第1領域、上記第2領域の高濃度領域および上記第1リーチスルー層にそれぞれ接続された、第1導体プラグ、第2導体プラグおよび第3導体プラグと、上記第1導体プラグと第3プラグとに接続された第1導体層、および上記第2導体プラグに接続された第2導体層と、そして上記半導体基板の下面に接続された第3導体層とから成り、上記保護ダイオードは、素子分離領域により区画された上記半導体層の第2主面部に形成された第2導電型の第3領域と、上記第3領域内に形成された第1導電型の第4領域および第5領域とから成り、上記第4領域、上記第3領域および上記第5領域とで構成されたバック・ツー・バック・ダイオードである。

20

30

【0224】

(12) 上記(11)において、上記第4領域は第4導体プラグを介して、上記半導体層主面上に設けられたゲート電極用パッドに電氣的に接続されている。

【0225】

(13) 上記(12)において、上記第4プラグは複数のプラグから成る。

【0226】

40

(14) 上記(11)において、上記第2主面部は上記第1絶縁膜に覆われ、第4導体プラグおよび第5導体プラグがそれぞれ上記第1絶縁膜に設けられた開口を介して上記第4領域および上記第5領域に接続され、第6導体層および第7導体層が上記第4導体プラグおよび上記第5導体プラグに接続され、上記第2主面部に上記第5領域に接し、上記半導体基板に接する第2リーチスルー層が配置されている。

【0227】

(15) 上記(14)において、上記第6導体層が上記素子分離領域上に延在し、上記素子分離領域上においてゲート電極用パッドが上記第6導体層に接続されている。

【0228】

(16) 上記(14)において、上記第1、第2、第3、第4および第5導体プラグは

50

タングステンより成り、上記第 1、第 2、第 6 および第 7 導体層はアルミニウム合金より成る。

【0229】

(17) 上記(16)において、上記第 1、第 2、第 6 および第 7 導体層は AlCu 合金より成る。

【0230】

(18) 本発明に係わるドレインオフセット領域を有する電力用絶縁ゲート電界効果型半導体装置は、P 型シリコン半導体層に互いに離間して N 型ソース領域およびオフセット領域を有する N 型ドレイン領域が形成され、上記 N 型ソース領域と上記オフセット領域との間のチャネル領域となる上記 P 型シリコン半導体層表面にゲート絶縁膜を介してゲート電極が形成され、上記ゲート電極は P 型不純物を含むシリコン半導体層より成る。

10

【0231】

(19) 上記(18)において、上記ゲート電極は、P 型不純物を含む多結晶シリコン層と、該多結晶シリコン層上に形成された金属シリサイド層とから成る。

【0232】

(20) 上記(18)において、上記ゲート絶縁膜は、熱酸化によって形成した第 1 シリコン酸化膜と、上記シリコン酸化膜上に気相化学成長によって形成した第 2 シリコン酸化膜とから成る。

【0233】

(21) 本発明に係わる半導体装置は、P 型シリコン半導体基板と、上記基板の一方の主面に位置された、上記基板よりも低不純物濃度を有する P 型シリコン半導体層と、上記半導体層の主面内に互いに離間して設けられた、第 1 の N 型領域および第 2 の N 型領域と、上記半導体層の主面内の上記第 1 の N 型領域および第 2 の N 型領域の間であって、上記第 1 の N 型領域から離間し、そして上記第 2 の N 型領域に接して位置された、上記第 2 の N 型領域よりも低不純物濃度を有する第 3 の N 型領域と、上記第 1 の N 型領域と上記第 3 の N 型領域との間に位置し、チャネルが形成される上記半導体層の主面上であって、端部が上記第 1 領域および上記第 3 領域をそれぞれオーバーラップし、かつ上記第 1 領域および上記第 3 領域上にそれぞれ終端するように、ゲート絶縁膜を介して設けられたゲート電極と、上記第 1 領域および上記第 2 領域のそれぞれに接続された第 1 電極および第 2 電極と、そして上記半導体基板の一方の主面とは反対の他方の主面に接続された第 3 電極とを有し、上記第 1 の N 型領域と上記第 3 の N 型領域との間に位置した上記半導体層内の不純物濃度分布が、上記半導体層の表面から上記半導体基板に向かって減少する N 型分布域を有する。

20

30

【0234】

(22) 本発明に係わる半導体装置は、P 型シリコン半導体基板と、上記基板の一方の主面に位置された、上記基板よりも低不純物濃度を有する P 型シリコン半導体層と、上記半導体層の主面内に互いに離間して設けられた、第 1 の N 型領域および第 2 の N 型領域と、上記半導体層の主面内の上記第 1 の N 型領域および第 2 の N 型領域の間であって、上記第 1 の N 型領域から離間し、そして上記第 2 の N 型領域に接して位置された、上記第 2 の N 型領域よりも低不純物濃度を有する第 3 の N 型領域と、上記第 1 の N 型領域と上記第 3 の N 型領域との間に位置し、チャネルが形成される上記半導体層の主面上であって、端部が上記第 1 領域および上記第 3 領域をそれぞれオーバーラップし、かつ上記第 1 領域および上記第 3 領域上にそれぞれ終端するように、ゲート絶縁膜を介して設けられたゲート電極と、上記第 1 領域および上記第 2 領域のそれぞれに接続された第 1 電極および第 2 電極と、そして上記半導体基板の一方の主面とは反対の他方の主面に接続された第 3 電極とを有し、上記第 1 の N 型領域と上記第 3 の N 型領域との間に位置した上記半導体層内の不純物濃度分布が、上記半導体層の表面から上記半導体基板に向かって増加する P 型分布域と、上記 P 型分布域に重なり、上記半導体層の表面から離れた内部において不純物濃度のピークを有する N 型分布域とを有する。

40

【0235】

50

(2 3) 本発明に係わる半導体装置は、第 1 導電型の半導体基板と、上記半導体基板の一方の主面に位置された、上記半導体基板よりも低不純物濃度を有する第 1 導電型の半導体層と、上記半導体層の主面内に互いに離間して設けられた、上記第 1 導電型とは反対の第 2 導電型の第 1 領域および第 2 領域と、上記半導体層の主面内の上記第 1 領域および第 2 領域の間であって、上記第 1 領域から離間し、そして上記第 2 領域に接して位置された、上記第 1 領域よりも低不純物濃度を有する第 3 領域と、上記第 1 領域と上記第 3 領域との間に位置した上記半導体層の主面上であって、一部が上記第 1 領域および上記第 3 領域をそれぞれオーバーラップするように、ゲート絶縁膜を介して設けられたゲート電極と、上記第 1 領域および上記第 2 領域のそれぞれに接続された第 1 電極および第 2 電極と、そして上記半導体基板の一方の主面とは反対の他方の主面に接続された第 3 電極とを有し、上記第 1 領域と上記第 3 領域との間に位置した上記半導体層の主面には、上記第 3 領域内に終端する第 1 導電型の第 4 領域が選択的に形成され、上記ゲート電極下に位置する上記第 4 領域内に、上記第 3 領域よりも深い位置に上記第 4 領域の表面不純物濃度よりも高い不純物濃度を有する第 1 導電型のポケット層を有する。

10

【 0 2 3 6 】

(2 4) 上記 (2 3) において、上記第 1 電極と上記第 3 電極は電氣的に接続されている。

【 0 2 3 7 】

(2 5) 上記 (2 3) において、上記第 1 半導体層には上記第 1 領域および上記半導体基板に接する第 1 導電型の第 5 領域が設けられていることを特徴とする半導体装置。

20

【 0 2 3 8 】

(2 6) 上記 (2 3) において、上記第 3 電極は、第 1 基準電位に接続され、上記第 2 電極は、第 2 基準電位に接続される。

【 0 2 3 9 】

(2 7) 上記 (2 6) において、上記第 3 電極はソース電極であり、上記第 2 電極は、ドレイン電極である。

【 0 2 4 0 】

(2 8) 上記 (2 6) または (2 7) において、上記第 1 基準電位は接地電位であり、上記第 2 基準電位は、電源電位である。

【 0 2 4 1 】

30

(2 9) 上記 (2 3) において、上記ポケット層は上記半導体層の主面に対して斜め方向のイオン打ち込み方法により形成されている。

【 0 2 4 2 】

(3 0) 本発明に係わる半導体装置は、第 1 導電型の半導体基板と、上記半導体基板の一方の主面に位置された、上記半導体基板よりも低不純物濃度を有する第 1 導電型の半導体層と、上記半導体層の主面内に互いに離間して設けられた、上記第 1 導電型とは反対の第 2 導電型の第 1 領域および第 2 領域と、上記半導体層の主面内の上記第 1 領域および第 2 領域の間であって、上記第 1 領域から離間し、そして上記第 2 領域に接して位置された、上記第 1 領域よりも低不純物濃度を有する第 3 領域と、上記第 1 領域と上記第 3 領域との間に位置した上記半導体層の主面上であって、一部が上記第 1 領域および上記第 3 領域をそれぞれオーバーラップするように、ゲート絶縁膜を介して設けられたゲート電極と、上記第 1 領域および上記第 2 領域のそれぞれに接続された第 1 電極および第 2 電極と、そして上記半導体基板の一方の主面とは反対の他方の主面に接続された第 3 電極とを有し、上記第 3 領域とゲート電極とがオーバーラップしている間に存在するゲート絶縁膜の第 1 膜厚が上記第 1 領域と上記第 3 領域との間に位置した上記半導体層の主面上におけるゲート絶縁膜の第 2 膜厚よりも大きい。

40

【 0 2 4 3 】

(3 1) 上記 (3 0) において、上記第 1 領域と上記第 3 領域との間に位置した上記半導体層の主面には、上記第 3 領域内に終端する第 1 導電型の第 4 領域が選択的に形成されている。

50

【0244】

(32) 上記(30)または(31)において、上記第1電極と上記第3電極は電氣的に接続されている。

【0245】

(33) 上記(30)において、上記第1半導体層には上記第1領域および上記半導体基板に接する第1導電型の第5領域が設けられている。

【0246】

(34) 上記(30)において、上記第3電極は、第1基準電位に接続され、上記第2電極は、第2基準電位に接続される。

【0247】

(35) 上記(34)において、上記第3電極はソース電極であり、上記第2電極は、ドレイン電極である。

【0248】

(36) 上記(34)または(35)において、上記第1基準電位は接地電位であり、上記第2基準電位は、電源電位である。

【0249】

(37) 上記(30)において、上記第1膜厚のゲート絶縁膜は、上記第2膜厚のゲート絶縁膜よりテーパー形状を成すように厚く形成されている。

【0250】

(38) 上記(37)において、上記第1膜厚のゲート絶縁膜は、バースピーク構造よりなる。

【0251】

(39) 本発明に係わる半導体装置は、(a)第1導電型の半導体基体と、(b)上記半導体基体の一方の主面に位置された、上記半導体基体よりも低不純物濃度を有する第1導電型の半導体層と、(c)上記半導体層の主面内に互いに離間して設けられた、上記第1導電型とは反対の第2導電型の第1領域および第2領域と、(d)上記半導体層の主面内の上記第1領域および第2領域の間であって、上記第1領域から離間し、そして上記第2領域に接して位置された、上記第1領域よりも低不純物濃度を有する第3領域と、(e)上記第1領域と上記第3領域との間に位置した上記半導体層の主面上であって、一部が上記第1領域および上記第3領域をそれぞれオーバーラップするように、ゲート絶縁膜を介して設けられたゲート電極と、(f)上記第1領域および上記第2領域のそれぞれに接続された第1電極および第2電極と、そして(g)上記半導体基板の一方の主面とは反対の他方の主面に接続された第3電極とを有し、上記第3領域とゲート電極とがオーバーラップしている間にバースピークが存在し、上記第3領域表面の不純物濃度は、上記第2領域の不純物濃度にほぼ等しいか、もしくはそれ以上である。

【0252】

(40) 上記(39)において、上記第3領域表面の不純物濃度は、 $1 \times 10^{18} / \text{cm}^3$ 以上のピーク値を有する。

【0253】

(41) 上記(39)または(40)において、上記第3領域表面の不純物濃度は表面からの深さが $0.005 \mu\text{m}$ 以内に分布している。

【0254】

(42) 本発明に係わる半導体装置は、主面に低不純物濃度を有する第1導電型の半導体層が形成された基板と、上記半導体層の主面内に互いに離間して設けられた、上記第1導電型とは反対の第2導電型の第1領域および第2領域と、上記半導体層の主面内の上記第1領域および第2領域の間であって、上記第1領域から離間し、そして上記第2領域に接して位置された、上記第1領域よりも低不純物濃度を有する第3領域と、上記第1領域と上記第3領域との間に位置した上記半導体層の主面上であって、一部が上記第1領域および上記第3領域をそれぞれオーバーラップするように、ゲート絶縁膜を介して設けられたゲート電極と、そして、上記ゲート絶縁膜下の上記半導体層内に形成された第1導電型の

10

20

30

40

50

ウエル領域とを有し、上記第3領域とゲート電極とがオーバーラップしている間に存在するゲート絶縁膜の第1膜厚が、上記第1領域と上記第3領域との間に位置した上記半導体層の主面上におけるゲート絶縁膜の第2膜厚よりも厚く形成され、上記第3領域は浅い高濃度領域と深い低濃度領域とから成る。

【0255】

(43) 上記(42)において、上記ウエル領域が上記第3領域に終端している。

【0256】

(44) 上記(42)において、上記ウエル領域が上記ゲート電極下に終端している。

【0257】

(45) 上記(42)において、上記ゲート電極は、P型不純物を含む多結晶シリコン層と上記多結晶シリコン上に積層された高融点シリサイド層とから成る。

10

【0258】

(46) 本発明に係わる半導体装置は、半導体基板と、上記半導体基板の主面上に形成された第1導電型を持つ半導体層と、上記半導体層主面に互いに離間されて位置した、上記第1導電型とは反対の第2導電型を持つ第1および第2領域と、上記第1領域と第2領域との間に位置した上記半導体層主面内であって、上記第1領域から離間し、上記第2領域に接するように形成された第2導電型の第3領域と、上記第1領域と上記第3領域との間のチャンネル領域となる上記半導体層の主面に設けられたゲート酸化膜と、上記ゲート酸化膜上に設けられたゲート導体層と、上記第1領域に接続された第1導体層と、上記第2領域に接続された第2導体層と、そして、上記半導体基板の裏面に接続された第3導体層とから成り、上記第1領域と上記ゲート絶縁膜との間に位置する第1ゲート酸化膜および上記第3領域と上記ゲート絶縁膜との間に位置する第2ゲート酸化膜のそれぞれの膜厚が上記チャンネル領域となる半導体層の主面に設けられた第3ゲート酸化膜の膜厚よりも大きい。

20

【0259】

(47) 上記(46)において、上記第1領域と上記第3領域との間に位置した上記半導体層の主面には第1導電型の第4領域が、上記第3領域内で終端している。

【0260】

(48) 上記(46)または(47)において、上記第1導体層と上記導体層は電氣的に接続されている。

30

【0261】

(49) 上記(46)において、上記第1半導体層には上記第1領域および上記半導体基板に接する第1導電型の第5領域が設けられている。

【0262】

(50) 上記(46)において、上記第3導体層は、第1基準電位に接続され、上記第2導体層は、第2基準電位に接続される。

【0263】

(51) 上記(50)において、上記第3導体層はソース裏面電極であり、上記第2導体層は、ドレイン電極である。

【0264】

(52) 上記(50)または(51)において、上記第1基準電位は接地電位であり、上記第2基準電位は、電源電位である。

40

【0265】

(53) 上記(46)において、上記第1および第2ゲート酸化膜は、バースピーク構造よりなる。

【0266】

(54) 半導体層の主面に複数のチャンネル領域と、それぞれの上記チャンネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャンネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する絶縁ゲート型半導体装置であって、上記それぞれのドレイン領域および上記それぞれのソース領域の主面に金属プラグ

50

が接続され、上記それぞれの金属プラグに第 1 の金属導体層が接続され、上記第 1 の金属導体層上に層間絶縁膜が被覆され、上記ドレイン領域に接続された金属プラグ上に位置して上記層間絶縁膜に設けられたドレイン接続用開口を通して、上記第 1 の金属導体層のうちドレイン用のそれぞれの第 1 の金属導体層に対し、ドレイン用の第 2 の金属導体層が共通接続され、上記層間絶縁膜に設けられたソース接続用開口を通して、上記第 1 の金属導体層のうちソース用のそれぞれの第 1 の金属導体層に対し、ソース用の第 2 の金属導体層が共通接続され、上記層間絶縁膜に設けられたゲート接続用開口を通して、上記第 1 の金属導体層のうちゲート用のそれぞれの第 1 の金属導体層に対し、ゲート用の第 2 の金属導体層が共通接続され、上記ドレイン用の第 2 の金属導体層はドレイン用のボンディングパッド部を有し、上記ゲート用の第 2 の金属導体層はゲート用のボンディングパッド部を有する。

10

【 0 2 6 7 】

(5 5) 上記 (5 4) において、上記半導体層は半導体基板の表面に形成され、上記半導体基板の裏面にソース電極が設けられている。

【 0 2 6 8 】

(5 6) 上記 (5 5) において、上記半導体層内に上記半導体基板に達する上記半導体層と同一導電型で、上記半導体層よりも高不純物濃度を有する貫通層が設けられ、上記貫通層の主面上に上記ソース用の第 1 の金属導体層が金属プラグを介して接続されている。

【 0 2 6 9 】

(5 7) 上記 (5 6) において、上記金属プラグ上に位置した上記層間絶縁膜に設けられたソース接続用開口を通して、上記ソース用の第 1 の金属導体層に対し、上記ソース用の第 2 の金属導体層が接続されている。

20

【 0 2 7 0 】

(5 8) 上記 (5 6) において、上記ソース用の第 2 の金属導体層はプローブ用ソースパッド部を有する。

【 0 2 7 1 】

(5 9) 上記 (5 6) において、上記ドレインパッド部に近接して上記ソース用の第 2 の金属導体層のイクステンション部が配置され、上記イクステンション部の下に位置して、上記貫通層と同一の構成を有する他の貫通層が上記半導体層内に設けられ、上記イクステンション部が上記他の貫通層に電氣的接続されている。

30

【 0 2 7 2 】

(6 0) 上記 (5 6) において、上記ゲートパッド部に近接して上記ソース用の第 2 の金属導体層とは異なるソース用の第 2 の金属導体層が配置され、上記異なるソース用の第 2 の金属導体層の下に位置して、上記貫通層と同一の構成を有する他の貫通層が上記半導体層内に設けられ、上記異なるソース用の第 2 の金属導体層が上記他の貫通層に電氣的接続されている。

【 0 2 7 3 】

(6 1) 上記 (5 9) において、上記ゲート用の第 1 の金属導体層は上記ゲート電極用導体層に沿って配置され、上記ドレイン用の第 1 の金属導体層および上記ソース用の第 1 の金属導体層は上記ゲート用の第 1 の金属導体層に沿ってそれぞれ配置され、上記ドレイン用の第 2 の金属導体層は上記ドレイン用の第 1 の金属導体層上に位置して上記ドレイン用の第 1 の金属導体層に沿って配置され、上記ソース用の第 2 の金属導体層は上記ソース用の第 1 の金属導体層上に位置して上記ソース用の第 1 の金属導体層に沿って配置されている。

40

【 0 2 7 4 】

(6 2) 半導体層を有する半導体チップの主面に複数のチャネル領域と、それぞれの上記チャネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する絶縁ゲート型半導体装置であって、上記それぞれのドレイン領域および上記それぞれのソース領域の主面に金属プラグが接続され、上記それぞれの金属プラグに第 1 の金属導体層が接続

50

され、上記第1の金属導体層上に層間絶縁膜が被覆され、上記ドレイン領域に接続された金属プラグ上に位置して上記層間絶縁膜に設けられたドレイン接続用開口を通して、上記第1の金属導体層のうちドレイン用のそれぞれの第1の金属導体層に対し、ドレイン用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたソース接続用開口を通して、上記第1の金属導体層のうちソース用のそれぞれの第1の金属導体層に対し、ソース用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたゲート接続用開口を通して、上記第1の金属導体層のうちゲート用のそれぞれの第1の金属導体層に対し、ゲート用の第2の金属導体層が共通接続され、上記ドレイン用の第2の金属導体層はドレイン用のボンディングパッド部を有し、上記ゲート用の第2の金属導体層はゲート用のボンディングパッド部を有する絶縁ゲート型電界効果トランジスタを単位ブロックとし、上記単位ブロックの絶縁ゲート型電界効果トランジスタが上記半導体チップの主面に複数配置されている。

10

【0275】

(63) 上記(62)において、上記半導体チップは互いに対向する第1の辺、第2の辺を有し、上記単位ブロックの絶縁ゲート型電界効果トランジスタの複数が上記第1、第2の辺に沿って並列配置され、上記ドレイン用のボンディングパッド部が上記第1の辺に沿って配置され、上記ゲート用のボンディングパッド部が上記第2の辺に沿って配置されている。

【0276】

(64) 上記(63)において、上記ソース用の第2の金属導体層はプローブ用ソースパッドを有し、上記単位ブロック内のプローブ用ソースパッド部が上記第2の辺に沿って配置されている。

20

【0277】

(65) 上記(63)において、最も外側に配置されたゲート用のボンディングパッド部にそれぞれゲート保護素子が電氣的接続されている。

【0278】

(66) 上記(65)において、上記半導体チップ主面に上記第1の金属導体層と同層の金属接続層が形成され、上記金属接続層により上記ゲート保護素子と上記ボンディングパッド部とが接続されている。

【0279】

30

(67) 半導体層を有する半導体基板の主面に複数のチャンネル領域と、それぞれの上記チャンネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャンネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する絶縁ゲート型半導体装置において、上記それぞれのドレイン領域および上記それぞれのソース領域の主面に金属プラグが接続され、上記それぞれの金属プラグに第1の金属導体層が接続され、上記第1の金属導体層上に層間絶縁膜が被覆され、上記ドレイン領域に接続された金属プラグ上に位置して上記層間絶縁膜に設けられたドレイン接続用開口を通して、上記第1の金属導体層のうちドレイン用のそれぞれの第1の金属導体層に対し、ドレイン用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたソース接続用開口を通して、上記第1の金属導体層のうちソース用のそれぞれの第1の金属導体層に対し、ソース用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたゲート接続用開口を通して、上記第1の金属導体層のうちゲート用のそれぞれの第1の金属導体層に対し、ゲート用の第2の金属導体層が共通接続され、上記ドレイン用の第2の金属導体層はドレイン用のボンディングパッド部を有し、上記ゲート用の第2の金属導体層はゲート用のボンディングパッド部を有する絶縁ゲート型電界効果トランジスタを単位ブロックとし、上記単位ブロックの絶縁ゲート型電界効果トランジスタが上記半導体基板の主面に複数配置され、上記単位ブロック間において、上記ゲート用の第1の金属導体層と上記ゲート用の第2の金属導体層とが接続されている。

40

【0280】

(68) 半導体層を有する半導体基板の主面に複数のチャンネル領域と、それぞれの上記

50

チャンネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャンネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する絶縁ゲート型半導体装置において、上記それぞれのドレイン領域および上記それぞれのソース領域の主面に金属プラグが接続され、上記それぞれの金属プラグに第１の金属導体層が接続され、上記第１の金属導体層上に層間絶縁膜が被覆され、上記ドレイン領域に接続された金属プラグ上に位置して上記層間絶縁膜に設けられたドレイン接続用開口を通して、上記第１の金属導体層のうちドレイン用のそれぞれの第１の金属導体層に対し、ドレイン用の第２の金属導体層が共通接続され、上記層間絶縁膜に設けられたゲート接続用開口を通して、上記第１の金属導体層のうちゲート用のそれぞれの第１の金属導体層に対し、ゲート用の第２の金属導体層が共通接続され、上記ドレイン用の第２の金属導体層はドレイン用のボンディングパッド部を有し、上記ゲート用の第２の金属導体層はゲート用のボンディングパッド部を有し、上記ドレイン領域は上記チャンネル領域間に挟まれた共通ドレイン領域であり、上記ゲート電極用導体層はそれぞれ独立して設けられている。

10

【０２８１】

(６９) 本発明に係わる絶縁ゲート型半導体装置は、半導体層を有する半導体基板の主面に、それぞれ複数のチャンネル領域と、それぞれの上記チャンネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャンネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する第１および第２絶縁ゲート型電界効果トランジスタが配置され、第１、第２絶縁ゲート型電界効果トランジスタのそれぞれのドレイン領域にインピーダンス整合用の第１抵抗体が電氣的接続され、第１、第２絶縁ゲート電界効果トランジスタのそれぞれのゲート電極用導体層にインピーダンス整合用の第２抵抗体が電氣的接続されて成る。

20

【０２８２】

(７０) 上記(６９)において、上記第１、第２抵抗体は上記ゲート電極用導体層と同一の材料から成る。

【０２８３】

(７１) 上記(６９)において、第１、第２絶縁ゲート型電界効果トランジスタと同様に構成された電流検出用素子が上記半導体基板の主面に配置され、上記第１または第２絶縁ゲート型電界効果トランジスタと上記電流検出用素子との間にシールド層が配置されて成る。

30

【０２８４】

(７２) 上記(７１)において、上記シールド層は、上記主面から上記半導体基板に達する半導体領域と、上記半導体領域に接続された金属プラグと、上記金属プラグに接続された第１の金属導体層と、上記第１の金属導体層に接続された第２の金属導体層とから成る。

【０２８５】

(７３) 本発明に係わる絶縁ゲート型半導体装置は、半導体層を有する半導体基板の主面に、それぞれ複数のチャンネル領域と、それぞれの上記チャンネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャンネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有する第１および第２絶縁ゲート型電界効果トランジスタが配置され、上記主面に上記第１および第２絶縁ゲート型電界効果トランジスタに対するドレイン用ボンディングパッドおよびゲート用ボンディングパッドがそれぞれ配置され、上記半導体基板の裏面にソース電極が配置され、上記第１および第２絶縁ゲート型電界効果トランジスタ間にシールド層が配置されて成る。

40

【０２８６】

(７４) 上記(７３)において、上記シールド層は、上記主面から上記半導体基板に達する半導体領域と、上記半導体領域に接続された金属プラグと、上記金属プラグに接続された第１の金属導体層と、上記第１の金属導体層に接続された第２の金属導体層とから成る。

【０２８７】

50

(75) 第1導電型の半導体基板と、上記半導体基板の上面に形成された第1導電型の半導体層と、上記半導体層主面に素子形成領域を区画するために形成されたフィールド絶縁膜と、上記素子形成領域内に、チャンネルが形成される領域を挟んで互いに離間して位置した、上記第1導電型とは反対の第2導電型の第1、第2領域と、上記第2領域はチャンネルが形成される領域に接する低濃度領域と上記低濃度領域に接する高濃度領域とから成り、上記チャンネル領域上部にゲート絶縁膜を介して形成されたゲート電極と、上記素子形成領域内に第1領域および上記半導体基板に接するように形成された第1導電型のリーチスルー層とを有する半導体装置の製造方法において上記半導体層主面に選択的に上記リーチスルー層を形成するための不純物を導入する工程と、熱酸化により上記半導体層主面に上記フィールド絶縁膜を選択的に形成するとともに、上記不純物を引き伸ばし、上記半導体基板に接する上記リーチスルー層を形成する工程と、上記フィールド絶縁膜によって区画された素子形成領域に表面に上記ゲート絶縁膜を形成する工程と、上記ゲート絶縁膜上に上記ゲート電極を形成する工程と、しかる後、上記素子形成領域内に上記第1、第2領域に形成する工程とから成る。

10

【0288】

(76) 上記(75)において、上記半導体層の厚さは2.5 μm 以上、3.5 μm 以下に形成されている。

【0289】

(77) 上記(75)において、上記フィールド絶縁膜形成工程の後、上記素子形成領域内に、第1導電型の不純物を導入して、上記チャンネルが形成される領域としてのウエル領域を形成する。

20

【0290】

(78) 上記(77)において、上記第1導電型の不純物導入は2段階のイオン打ち込みにより行われる。

【0291】

(79) 上記(75)において、上記フィールド絶縁膜形成工程の後であって、上記ウエル形成に先立ってアニール処理を行う。

【0292】

(80) 上記(75)において、上記低濃度領域は上記ゲート電極に自己整合形成される。

30

【0293】

(81) 上記(80)において、上記低濃度領域は、上記素子形成領域内に第2導電型の不純物を導入する第1のイオン打ち込み工程と、上記第1のイオン打ち込みよりも高濃度の第2導電型の不純物を導入する第2のイオン打ち込み工程とから成る。

【0294】

(82) 上記(79)において、上記ゲート電極を形成工程の後であって、上記ゲート電極端部下に位置し、上記低濃度領域が形成される素子形成領域表面に熱酸化によりパーズピーク酸化膜を形成する工程を有する。

【0295】

(83) 上記(82)において、上記ゲート電極は上記ゲート絶縁膜に接する多結晶シリコン層より成り、上記多結晶シリコン層の端部を熱酸化することにより上記パーズピーク酸化膜を形成する。

40

【0296】

(84) 上記(75)において、上記ゲート電極を形成工程の後であって、上記ゲート電極両端部下に位置した上記素子形成領域表面に熱酸化によりパーズピーク酸化膜を形成する工程を有する。

【0297】

(85) 上記(84)において、上記ゲート電極は上記ゲート絶縁膜に接する多結晶シリコン層より成り、上記多結晶シリコン層の端部を熱酸化することにより上記パーズピーク酸化膜を形成する。

50

【0298】

(86) 上記(75)において、上記ゲート絶縁膜の形成工程は、窒素を含む酸素雰囲気中での熱処理により酸化窒素膜を形成する。

【0299】

(87) 上記(82)または(84)のいずれかにおいて、上記バースピーク酸化膜は窒素を含む熱酸化により形成する。

【0300】

(88) 上記(82)または(84)のいずれかにおいて、上記バースピーク酸化膜を形成した後、上記バースピーク酸化膜内に窒素イオンをイオン打ち込み方法により導入する。

10

【0301】

(89) 本発明に係わる半導体装置の製造方法は以下の工程より成る。

【0302】

(a) 主面に第1導電型の半導体層を有する半導体基板を準備する工程と、(b) 上記半導体層主面に上記半導体基板に到達するリーチスルー層を形成するための第1導電型の不純物を選択的に不純物を導入する工程と、(c) 熱酸化により上記半導体層主面に素子形成領域を区画するためのフィールド絶縁膜を選択的に形成する工程と、(d) 上記フィールド絶縁膜によって区画された素子形成領域に表面にゲート絶縁膜を形成する工程と、(e) 上記ゲート絶縁膜上にゲート電極を形成する工程と、(f) 上記素子形成領域内に第1導電型のオフセット領域を上記ゲート電極に対し自己整合形成する工程と、(g) 上記素子形成領域内に、上記ゲート電極に対し自己整合された第1導電型の第1領域を、上記ゲート電極端から離間して上記オフセット領域に接し、そして上記オフセット領域よりも高不純物濃度を有する第1導電型の第2領域をそれぞれ形成する工程と、続いて(h) 上記素子形成領域を覆うように第1の絶縁膜を形成する工程と、(i) 上記第1の絶縁膜に、上記第1、第2領域主面および上記リーチスルー層主面を露出するための開口をそれぞれ形成する工程と、(j) 上記開口内に、上記第1、第2領域主面および上記リーチスルー層に接続する第1、第2、第3金属プラグをそれぞれ形成する工程と、(k) 上記第1、第3金属プラグを互いに接続する第1導体層を、上記第2金属プラグに接続する第2導体層をそれぞれパターン形成する工程と、(l) 上記半導体基板の裏面に第3導体層を形成する工程。

20

【0303】

(90) 上記(89)において、上記(l)工程に先立って上記半導体基板の裏面を研削する。

30

【0304】

(91) 上記(89)において、上記(l)工程に続いて、(m) 上記第1導体層および上記第2導体層上に第2絶縁膜を被覆する工程と、(n) 上記第2絶縁膜に対し、上記第1導体プラグおよび上記第2導体プラグ上に位置し、上記第2絶縁膜に対してそれぞれ第1開口および第2開口を設ける工程と、(o) 上記第1開口を通して上記第1導体層に接続する第1配線層を、上記第2開口を通して上記第2導体層に接続する第2配線層をそれぞれパターン形成する工程とを含む。

【0305】

(92) 上記(89)において、上記(e)工程に先立って、第1導電型の不純物を導入し、ウエル領域を形成する工程を含む。

40

【0306】

(93) 上記(92)において、上記ウエル形成工程は上記(d)工程に続いて行われる。

【0307】

(94) 上記(92)または(93)いずれかにおいて、上記ウエル形成工程は二段階のイオン打ち込み方法により行われる。

【0308】

(95) 上記(89)において、上記(h)工程の第1の絶縁膜は窒化シリコン膜である

50

。

【0309】

(96) 上記(92)において、上記(e)工程の後に、上記ウエル領域内に上記素子形成領域主面に対して斜め方向より第1導電型の不純物をイオン打ち込みすることにより上記ゲート電極下に位置した埋め込み領域を形成する工程を含む。

【0310】

(97) 上記(96)において、上記埋め込み領域形成工程は、上記(g)工程で上記第1および第2領域形成のために用いられたマスクを使用する。

【0311】

(98) 本発明に係わる絶縁ゲート型半導体装置は、第1導電型の低抵抗半導体基板上に形成された上記第1導電型と同一導電型の高抵抗層表面に絶縁ゲート型電界効果トランジスタが形成されている絶縁ゲート型半導体装置であって、上記第1導電型とは反対の導電型の第2導電型の低抵抗ソース領域が該高抵抗層内に形成された第1導電型の低抵抗層を介して上記低抵抗基板に接続され、上記半導体装置の第2導電型の低抵抗ドレイン領域が第2導電型の高抵抗層を介してゲート電極端から離れたオフセット構造を構成し、ゲート電極のチャンネル方向長さが $0.35\mu\text{m}$ 以下、ゲート酸化膜厚さが 10nm 以上 12nm 以下、ドレイン領域のゲート電極端からのオフセット長さが $0.4\mu\text{m}$ 以上 $0.8\mu\text{m}$ 以下、半導体基板上の高抵抗層の厚さが $2.5\mu\text{m}$ 以上、 $3.5\mu\text{m}$ 以下である。

【0312】

(99) 絶縁ゲート型電界効果トランジスタを構成する複数の半導体チップにより増幅回路を構成する高周波モジュールにおいて、上記それぞれの半導体チップは、半導体層を有する半導体基板の主面に複数のチャンネル領域と、それぞれの上記チャンネル領域を挟んで設けられたドレイン領域およびソース領域と、上記それぞれのチャンネル領域表面にゲート絶縁膜を介して設けられたゲート電極用導体層とを有し、上記それぞれのドレイン領域および上記それぞれのソース領域の主面に金属プラグが接続され、上記それぞれの金属プラグに第1の金属導体層が接続され、上記第1の金属導体層上に層間絶縁膜が被覆され、上記ドレイン領域に接続された金属プラグ上に位置して上記層間絶縁膜に設けられたドレイン接続用開口を通して、上記第1の金属導体層のうちドレイン用のそれぞれの第1の金属導体層に対し、ドレイン用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたソース接続用開口を通して、上記第1の金属導体層のうちソース用のそれぞれの第1の金属導体層に対し、ソース用の第2の金属導体層が共通接続され、上記層間絶縁膜に設けられたゲート接続用開口を通して、上記第1の金属導体層のうちゲート用のそれぞれの第1の金属導体層に対し、ゲート用の第2の金属導体層が共通接続され、上記ドレイン用の第2の金属導体層はドレイン用のボンディングパッド部を有し、上記ゲート用の第2の金属導体層はゲート用のボンディングパッド部を有する絶縁ゲート型電界効果トランジスタを単位ブロックとし、上記単位ブロックの絶縁ゲート型電界効果トランジスタが上記半導体層主面に複数配置されている。

【産業上の利用可能性】

【0313】

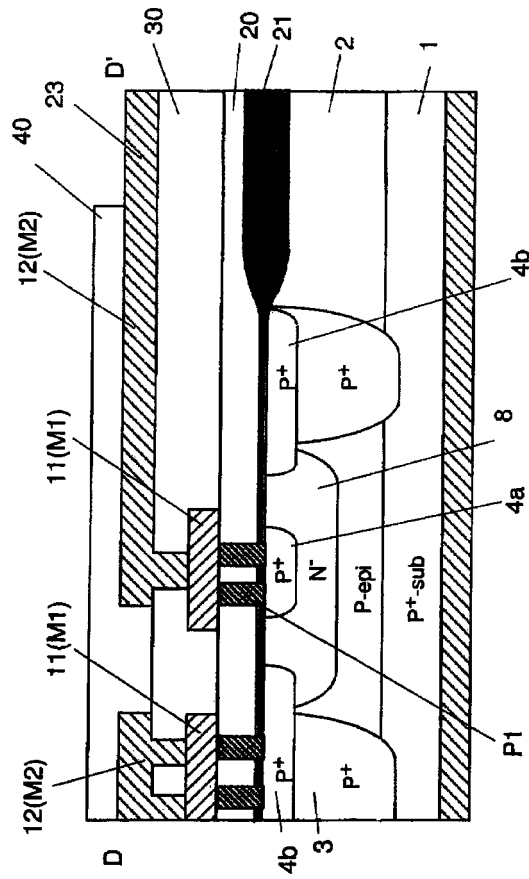
本発明は、半導体装置を製造する製造業に幅広く利用することができる。

【符号の説明】

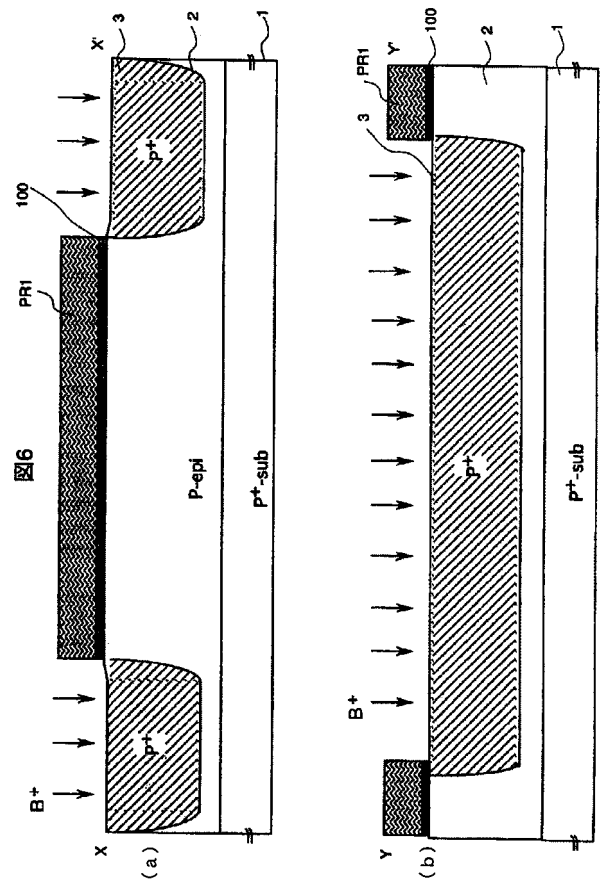
【0314】

1 ... P型低抵抗Si基板(半導体基板)、2 ... P型高抵抗Siエピタキシャル層(半導体層)、3 ... P型ソース打抜き領域(リーチスルー層)、4 ... P型コンタク領域、5 ... P型ウエル領域(パンチスルーストップ層PW)、6 ... ゲート絶縁膜、7 ... ゲート電極、8 ... 低不純物濃度を有するN型ドレインオフセット領域(NM)、9 ... 高不純物濃度を有するN型ドレイン領域、10 ... 高不純物濃度を有するN型ソース領域、P1 ... 導体プラグ、20 ... 第1絶縁膜(層間絶縁膜)、M1 ... 導体層(第1層配線)、30 ... 第2絶縁膜(層間絶縁膜)、M2 ... 配線層(第2層配線)、40 ... 表面保護膜、S1 ... ソース電極(配線)、S2 ... 裏面ソース電極。

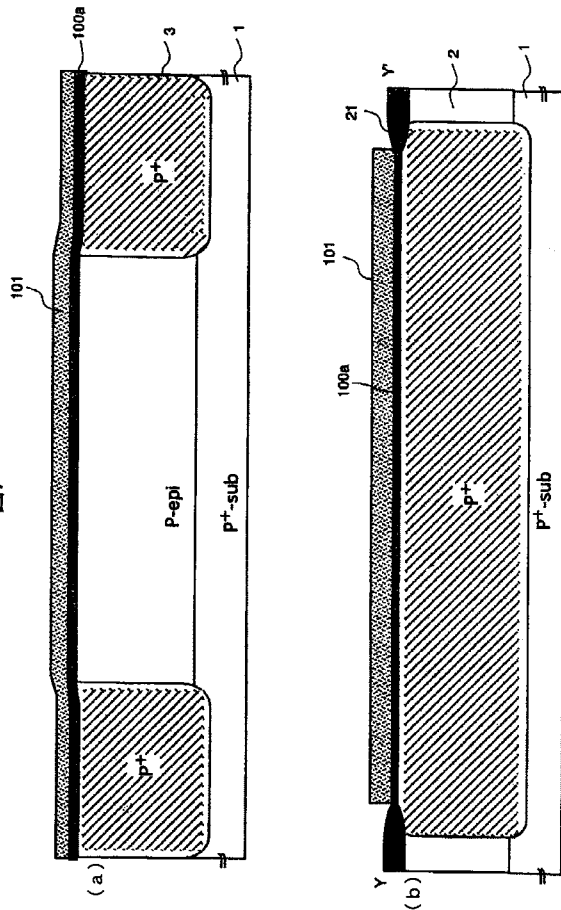
【 図 5 】



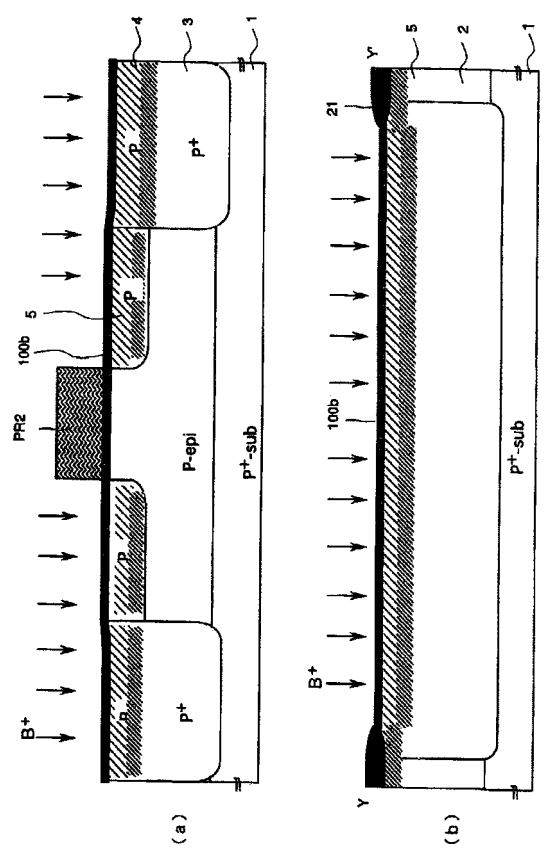
【 図 6 】



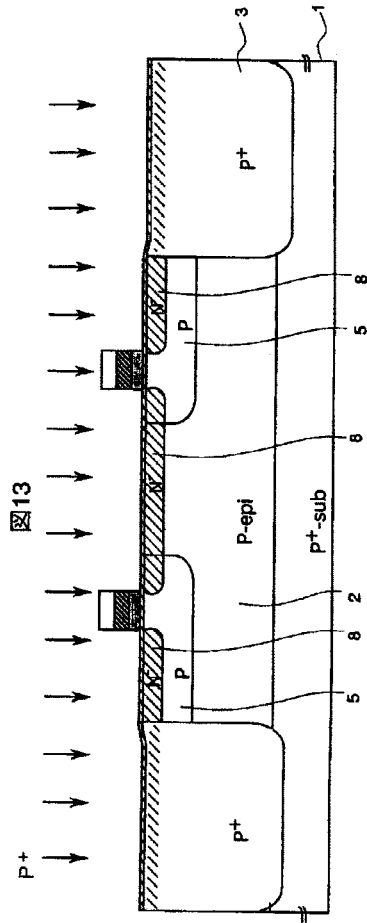
【 圖 7 】



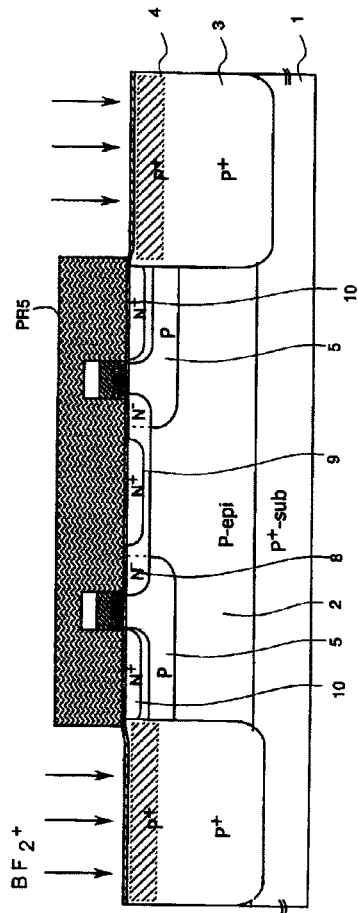
【 図 8 】



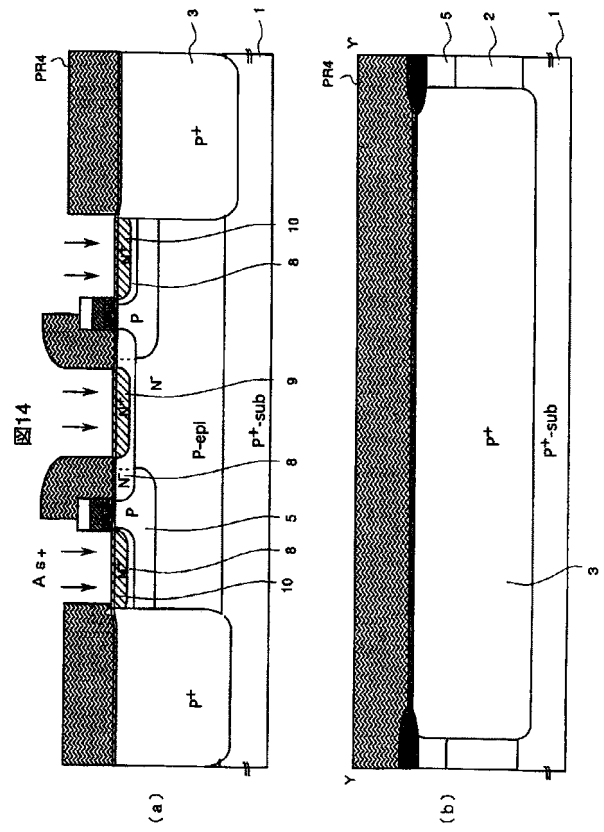
【図13】



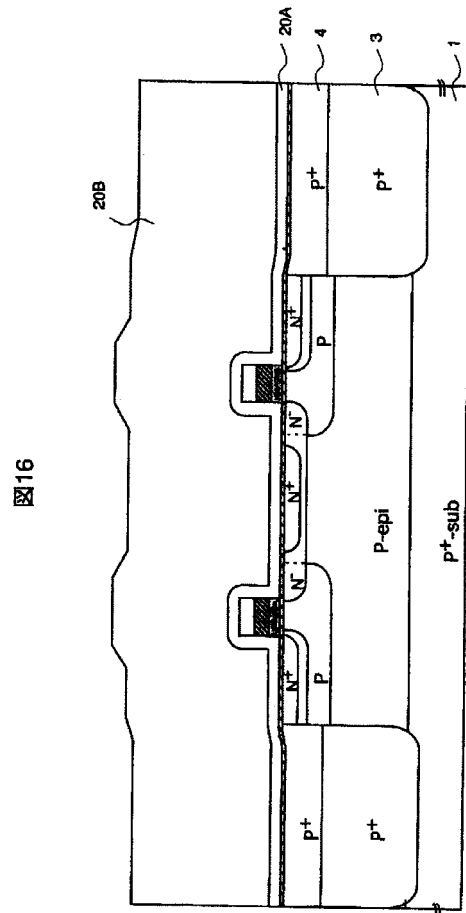
【図15】



【図14】

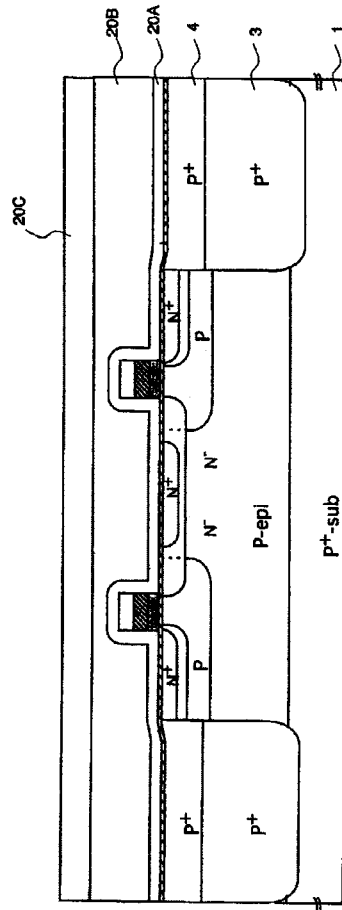


【図16】



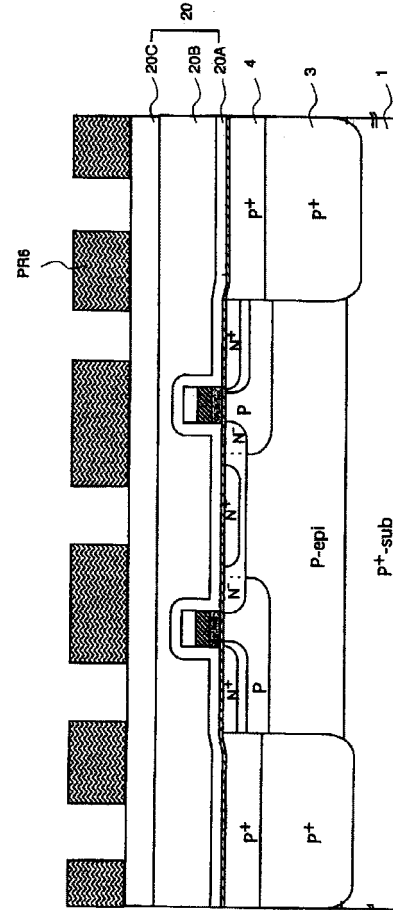
【図 17】

図17



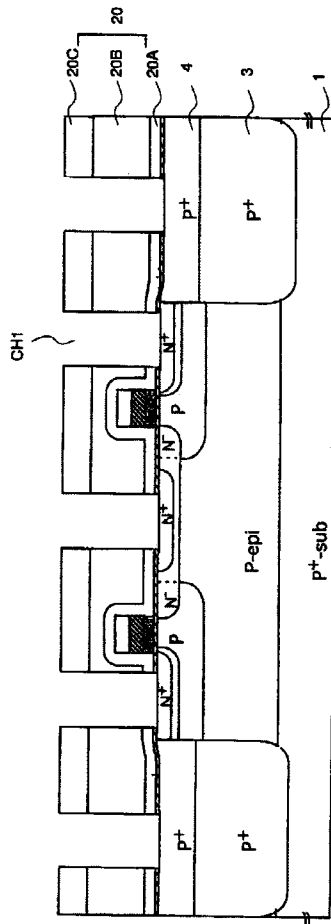
【図 18】

図18



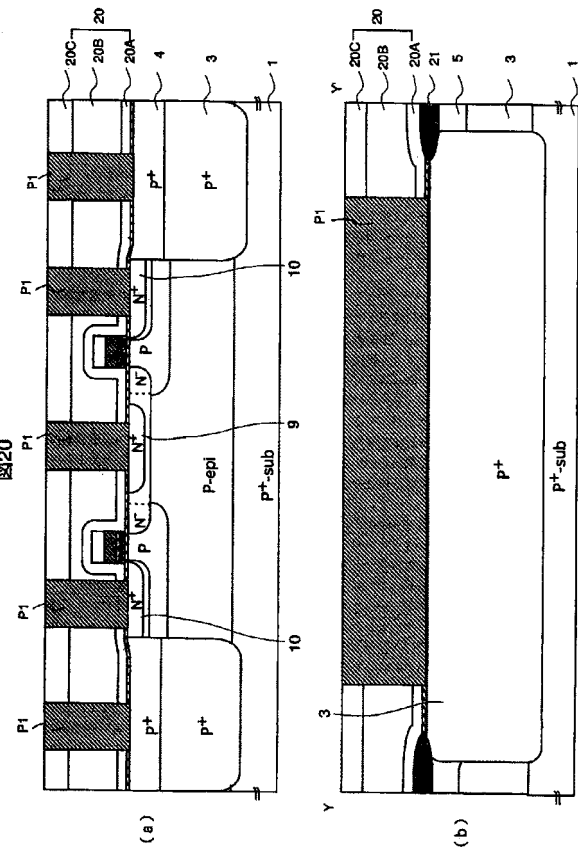
【図 19】

図19

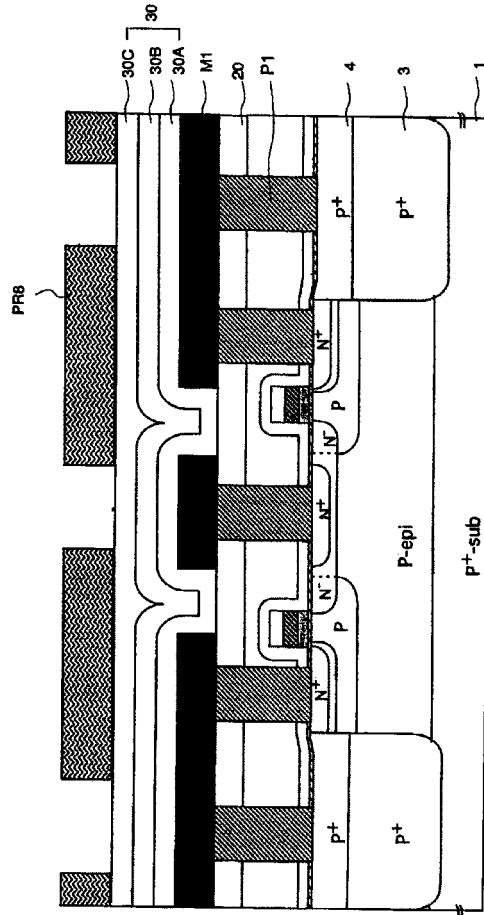


【図 20】

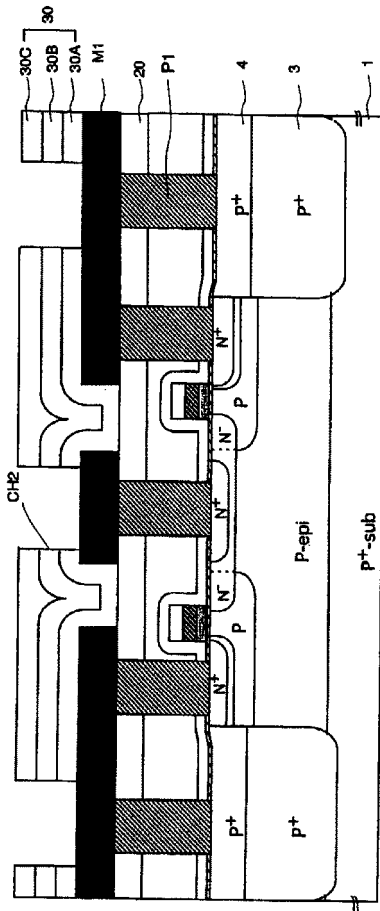
図20



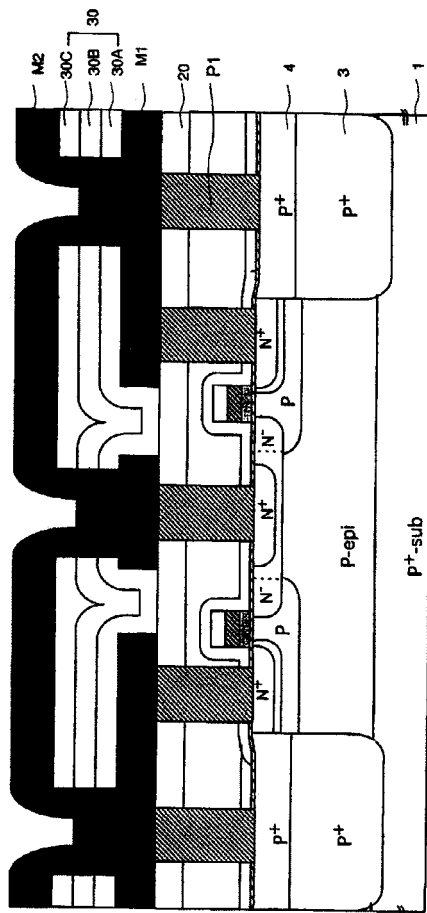
【 図 25 】



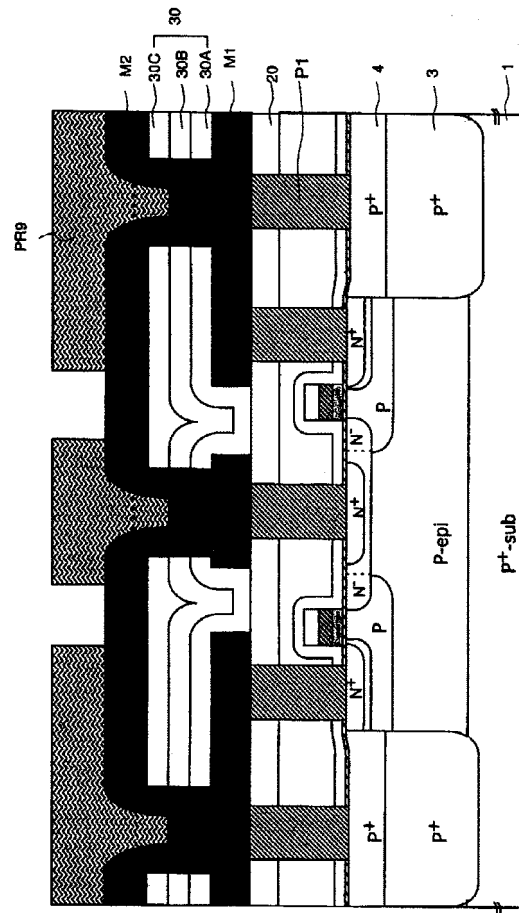
【 図 26 】



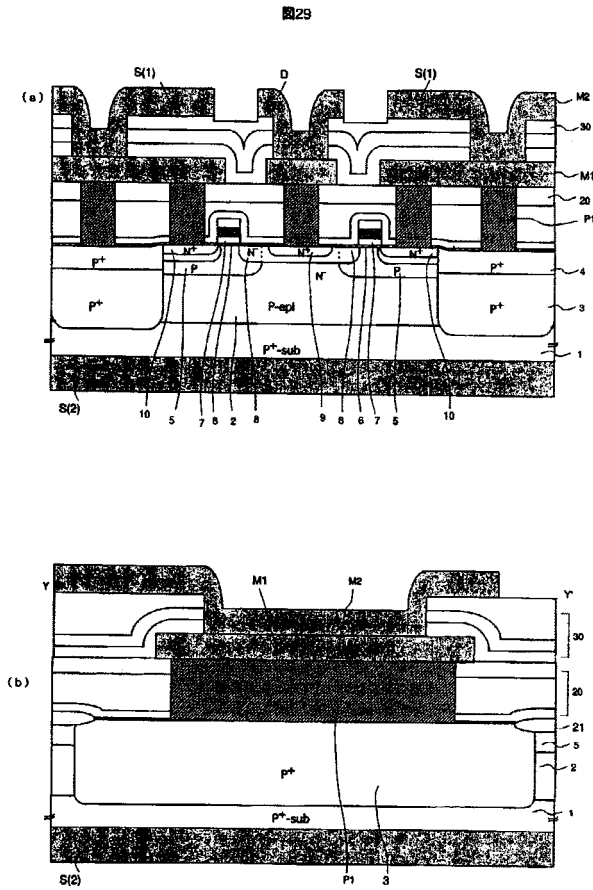
【 図 27 】



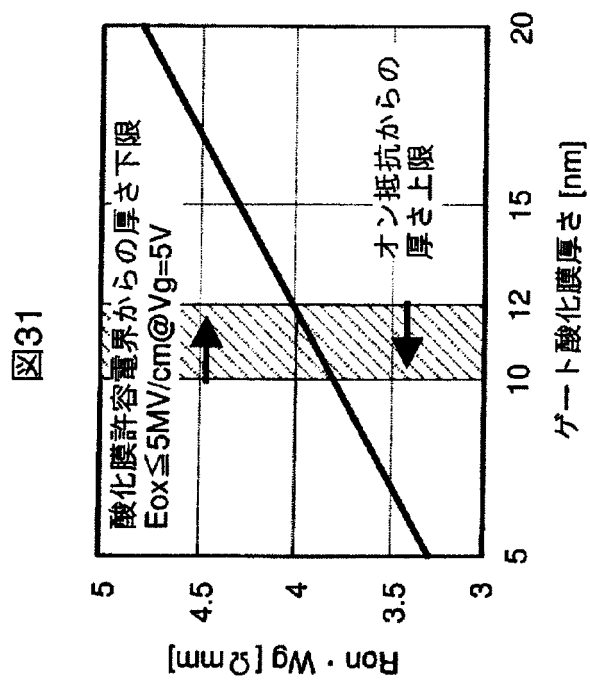
【 図 28 】



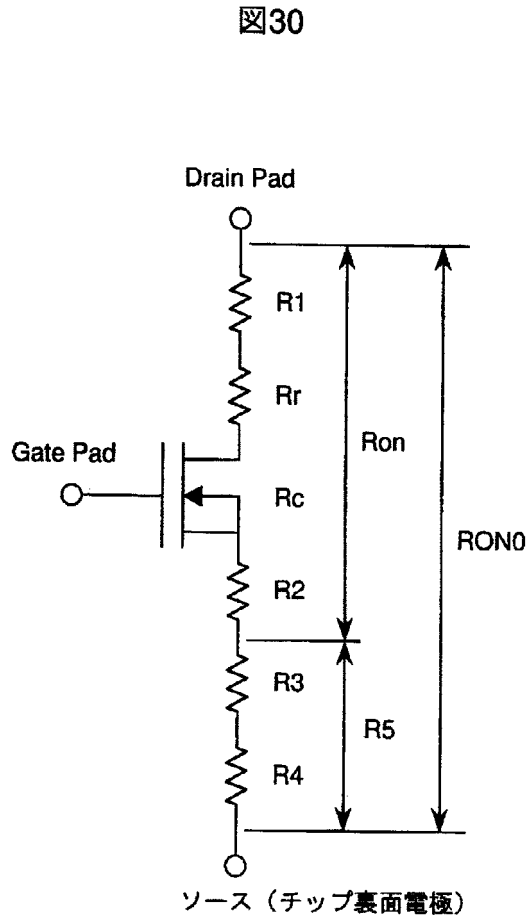
【図29】



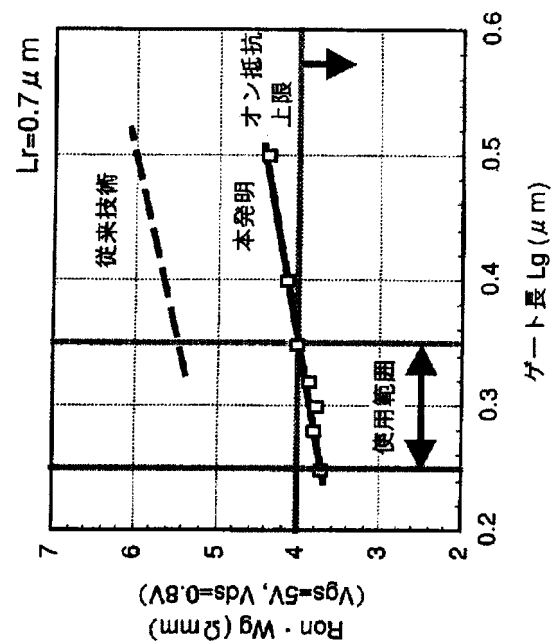
【図31】



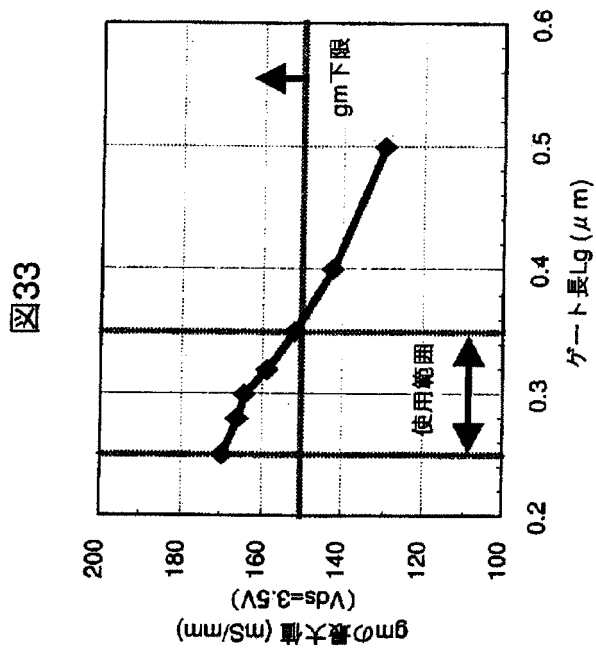
【図30】



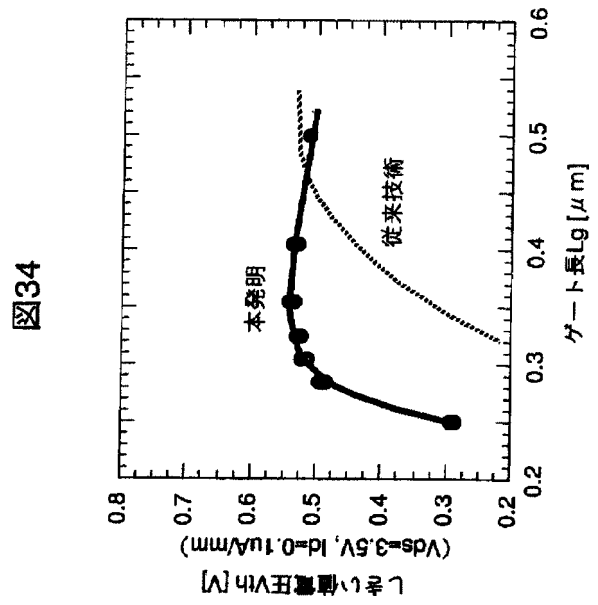
【図32】



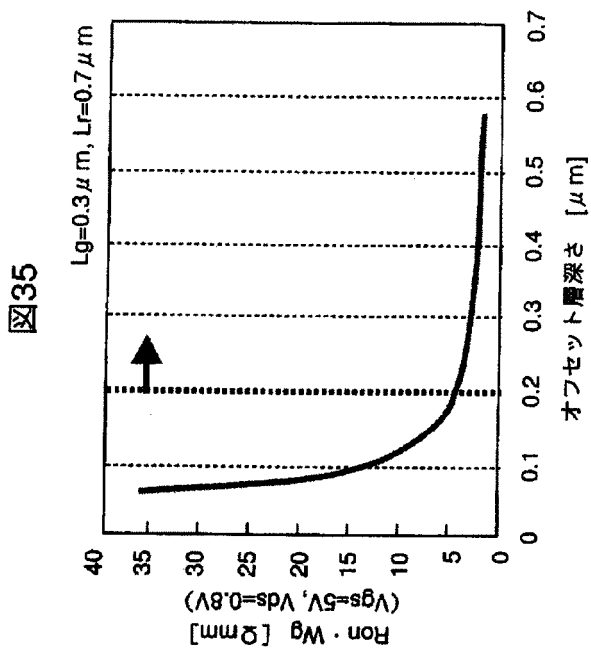
【図 3 3】



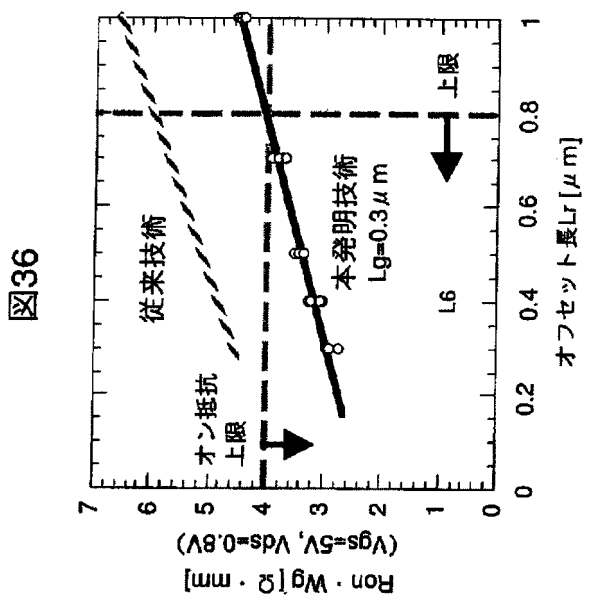
【図 3 4】



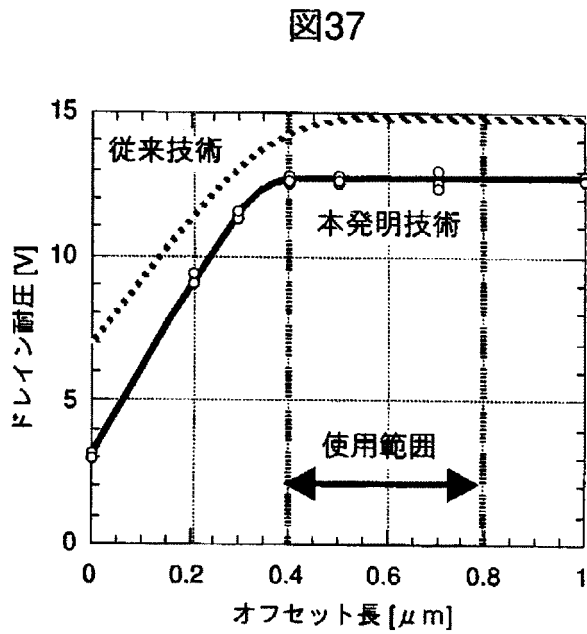
【図 3 5】



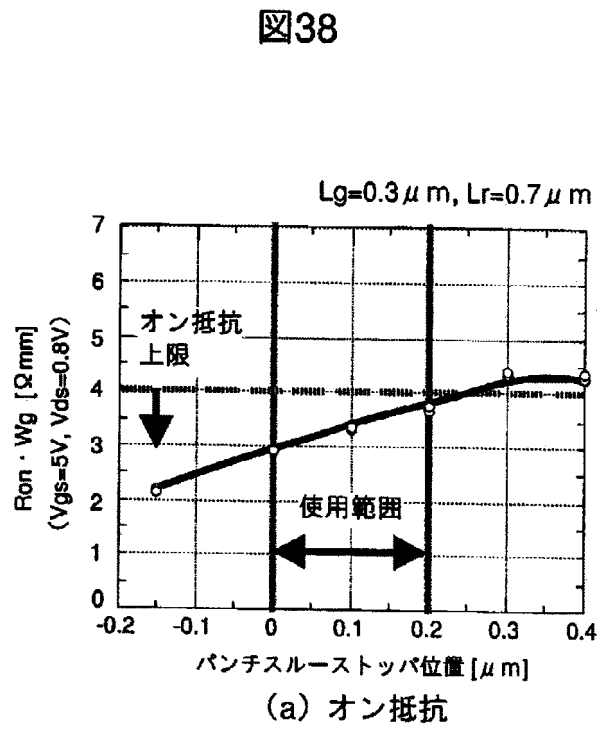
【図 3 6】



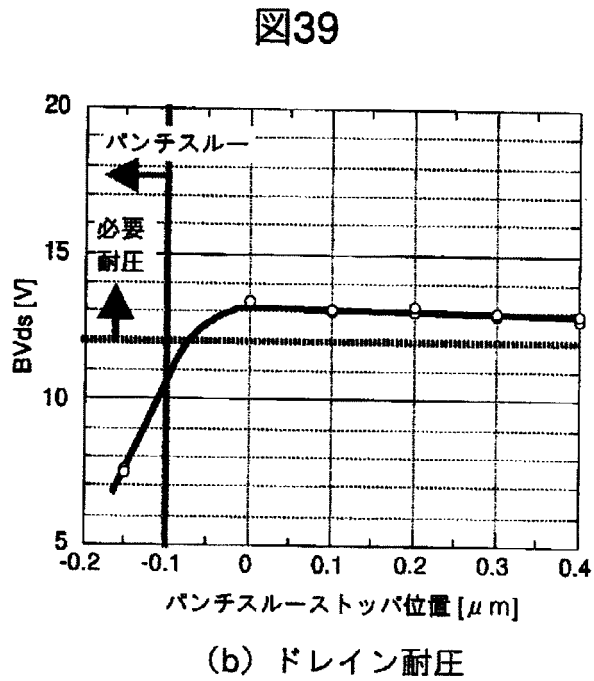
【図37】



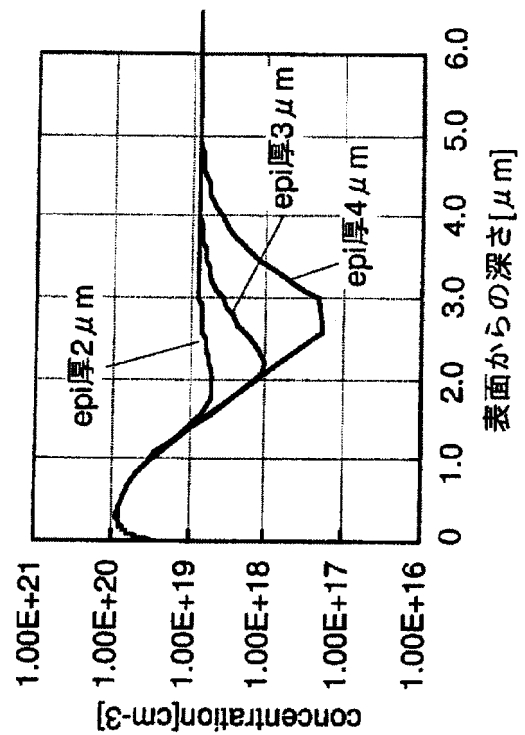
【図38】



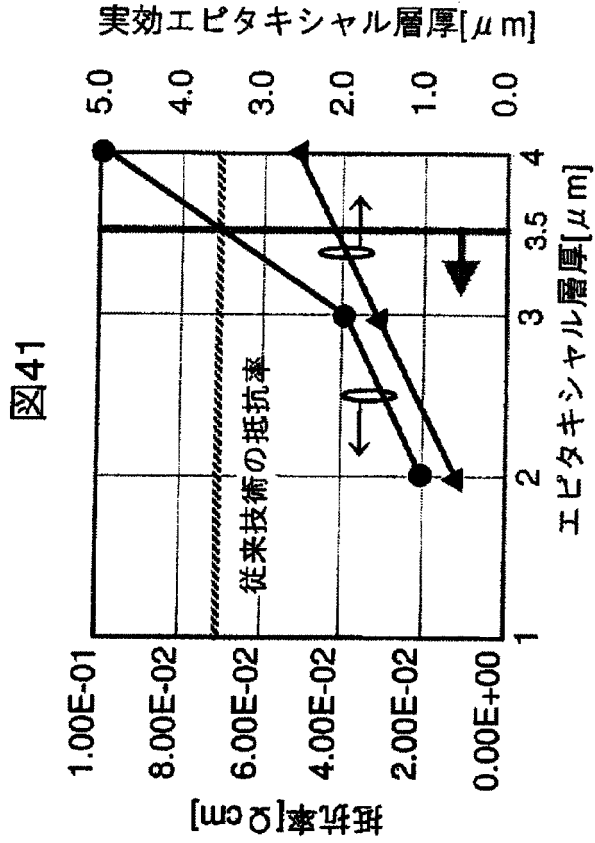
【図39】



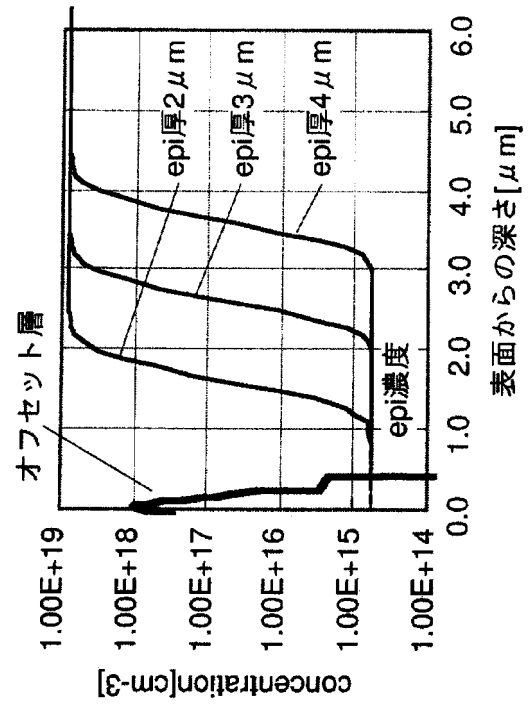
【図40】



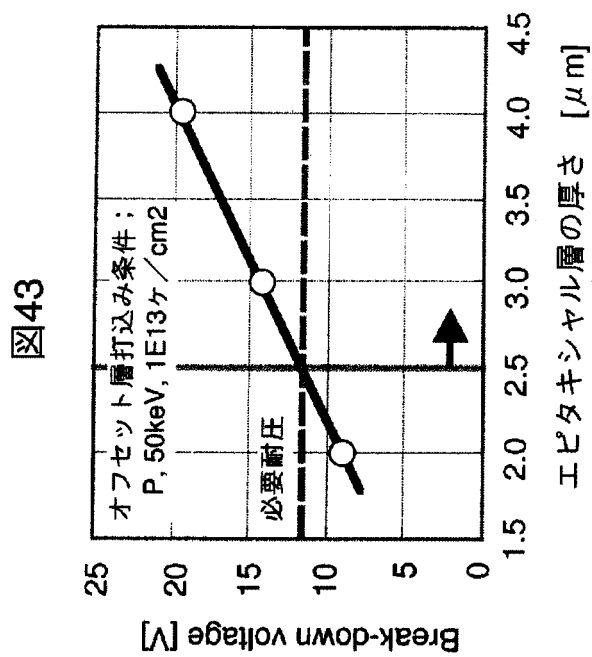
【図41】



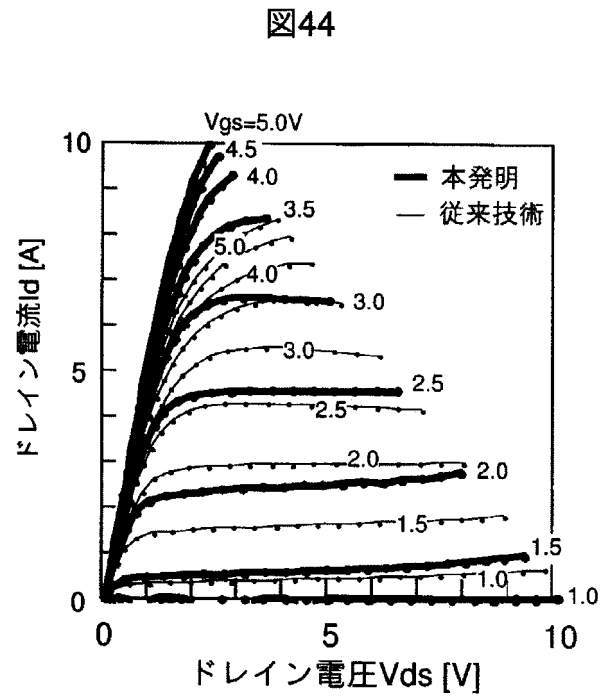
【図42】



【図43】

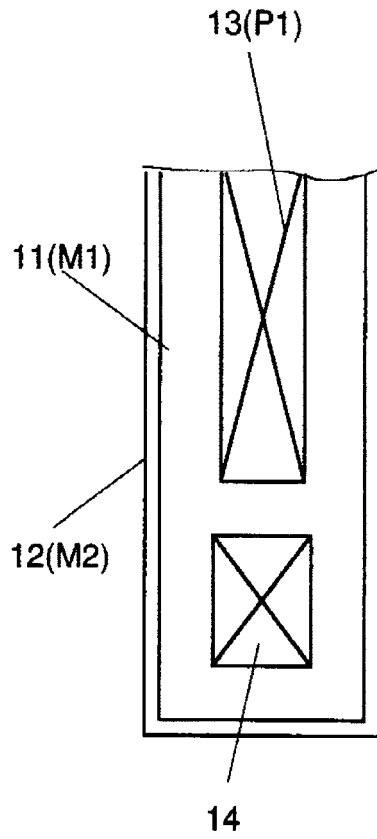


【図44】



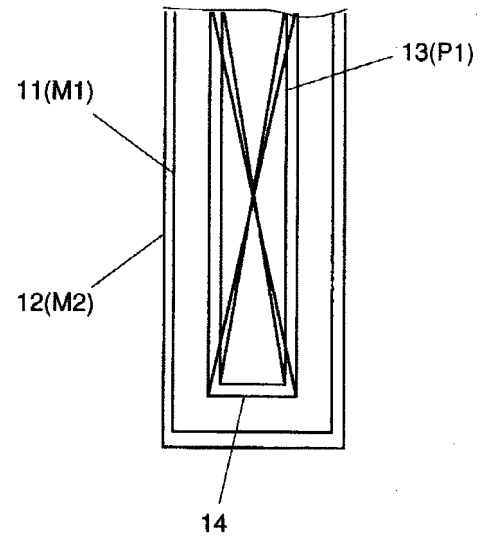
【図45】

図45



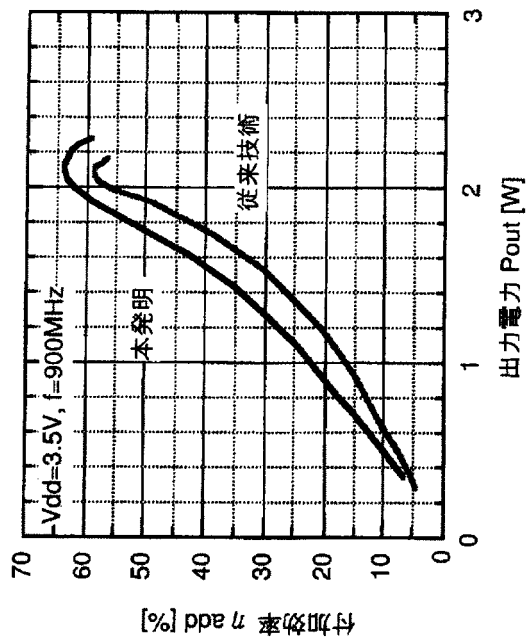
【図46】

図46



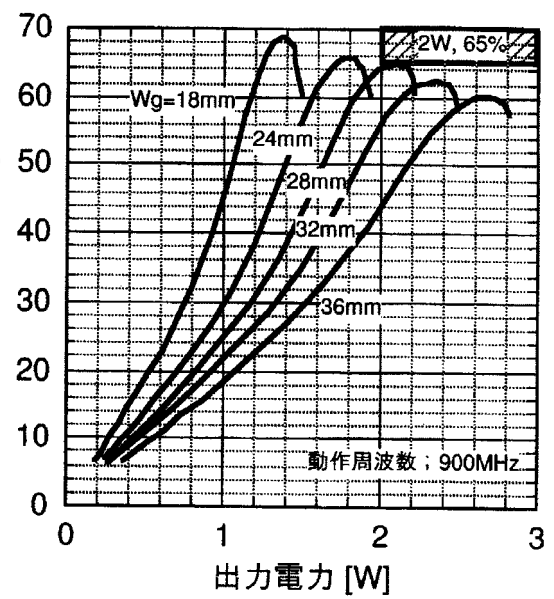
【図47】

図47



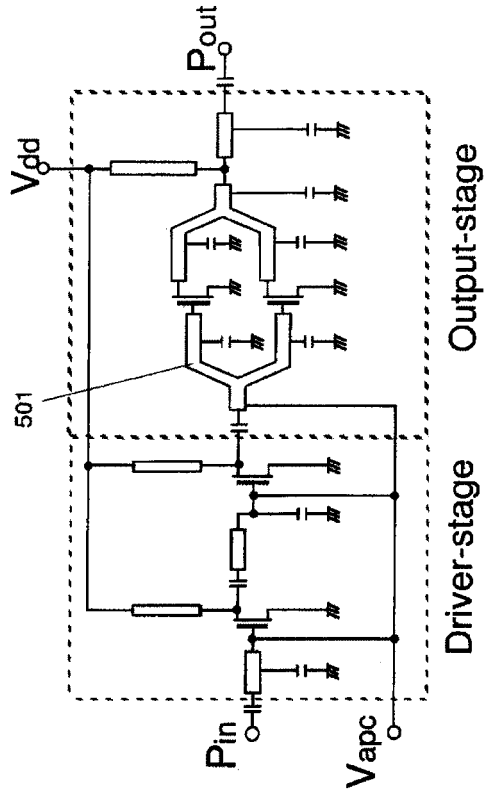
【図48】

図48



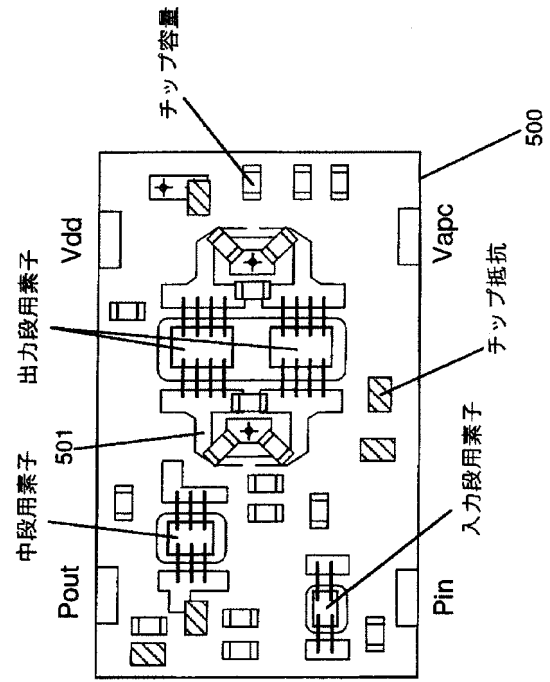
【図49】

図49



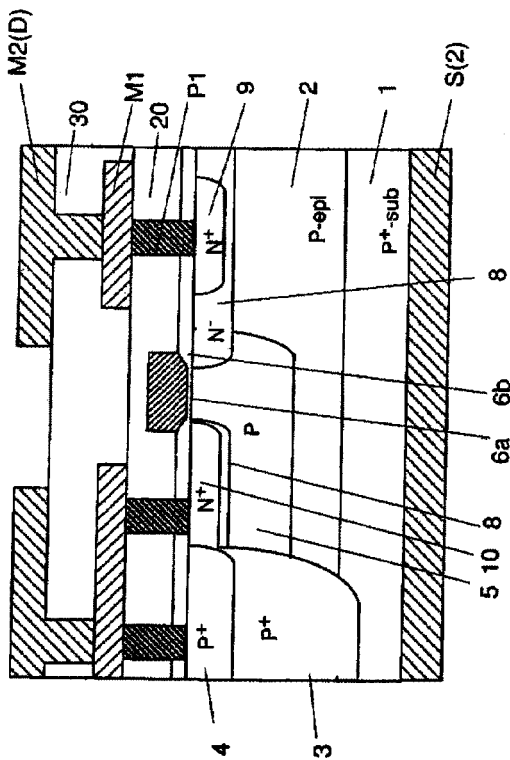
【図50】

図50



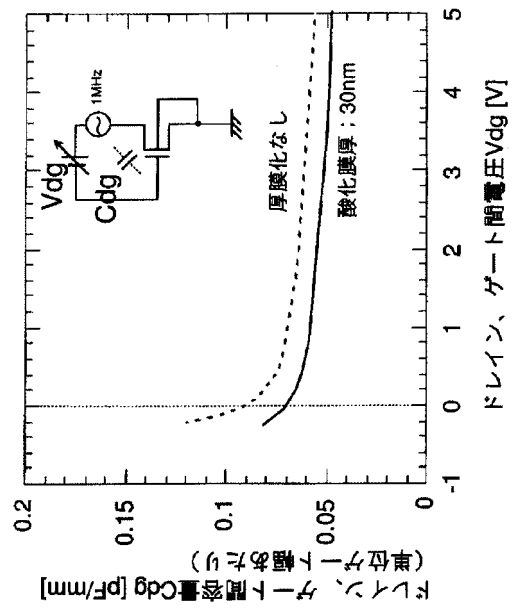
【図51】

図51

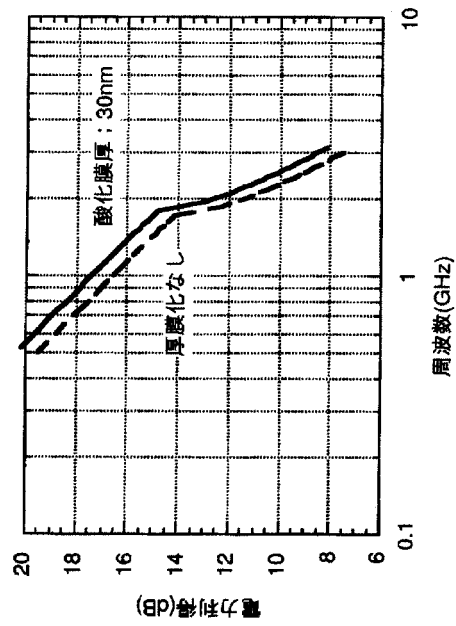


【図52】

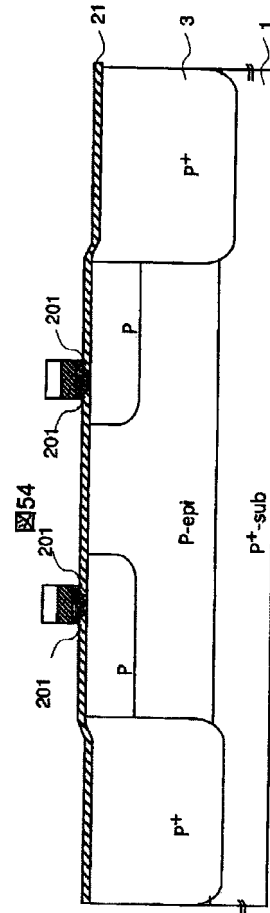
図52



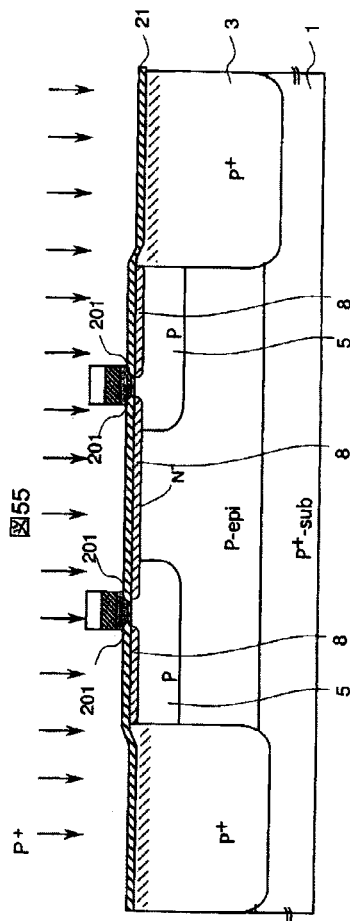
【図53】



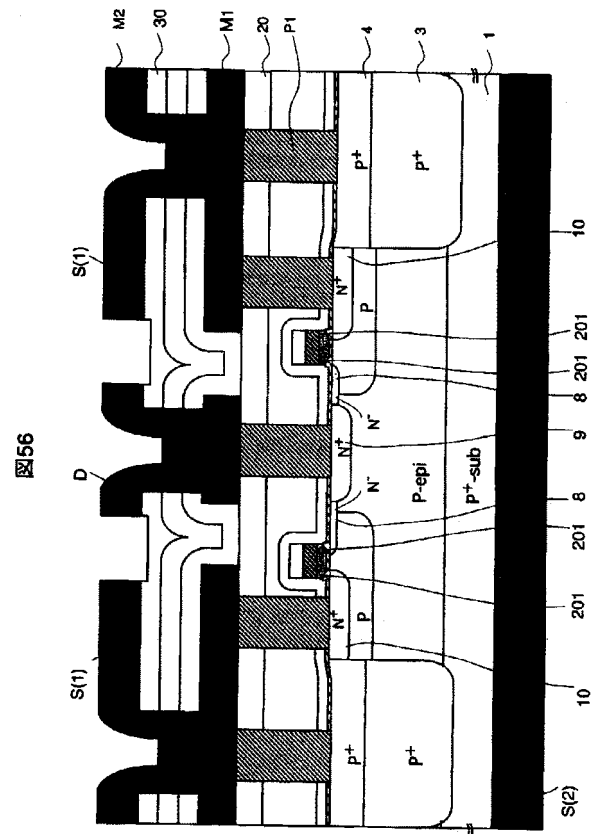
【図54】



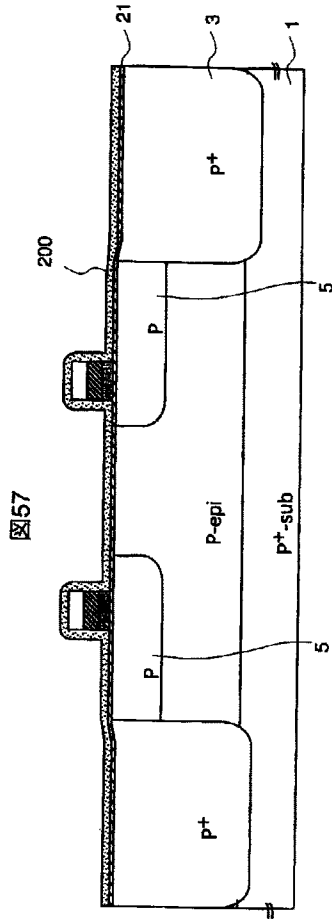
【図55】



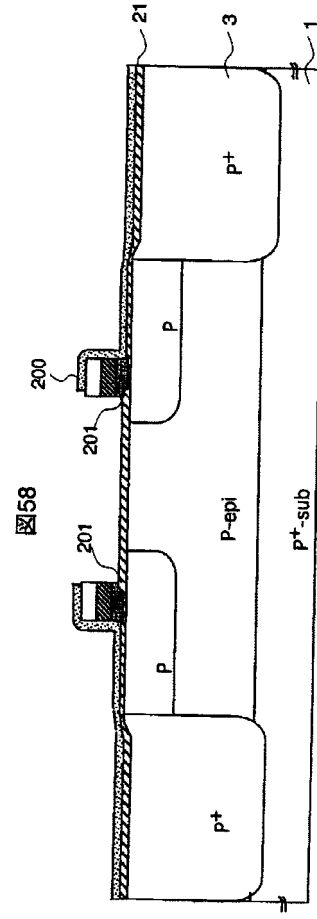
【図56】



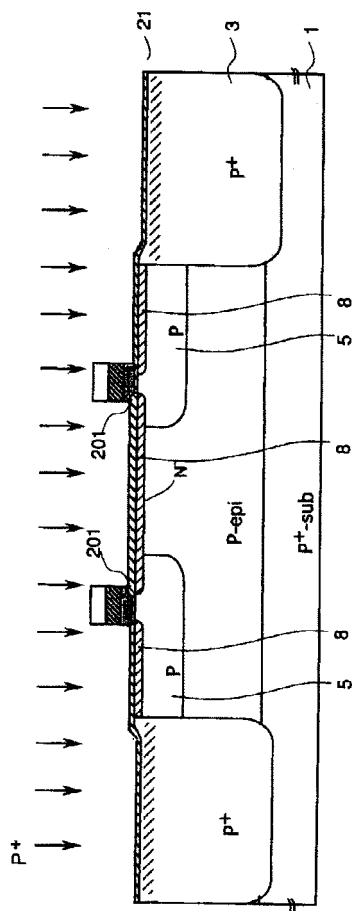
【図 57】



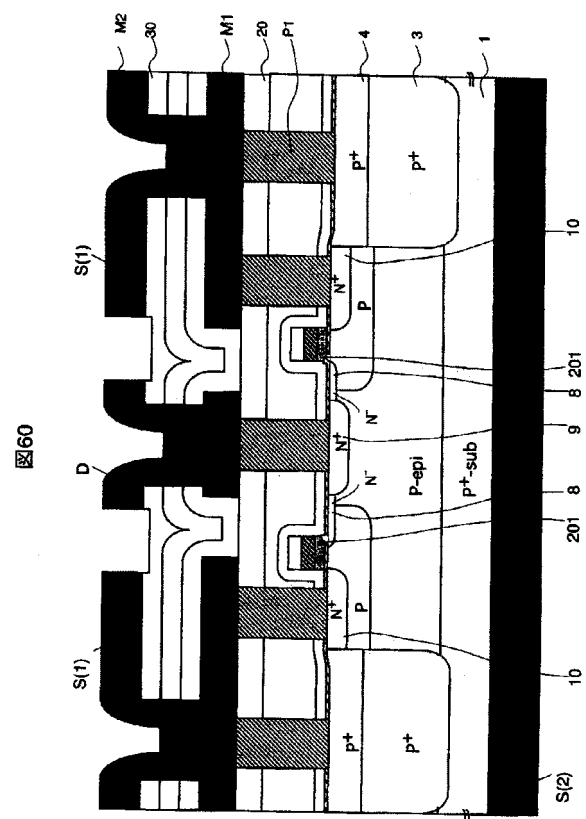
【図 58】



【図 59】

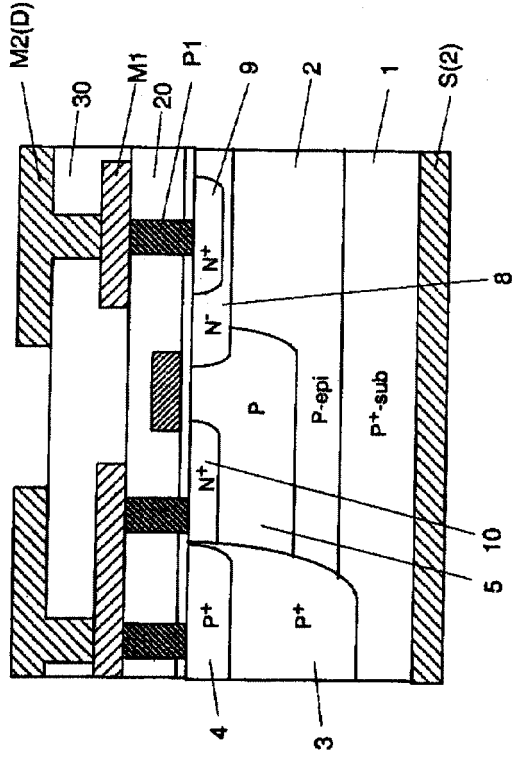


【図 60】



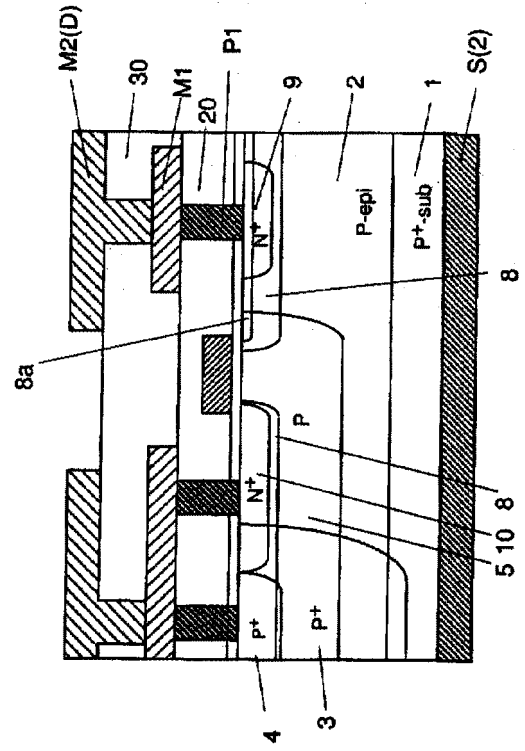
【図61】

図61



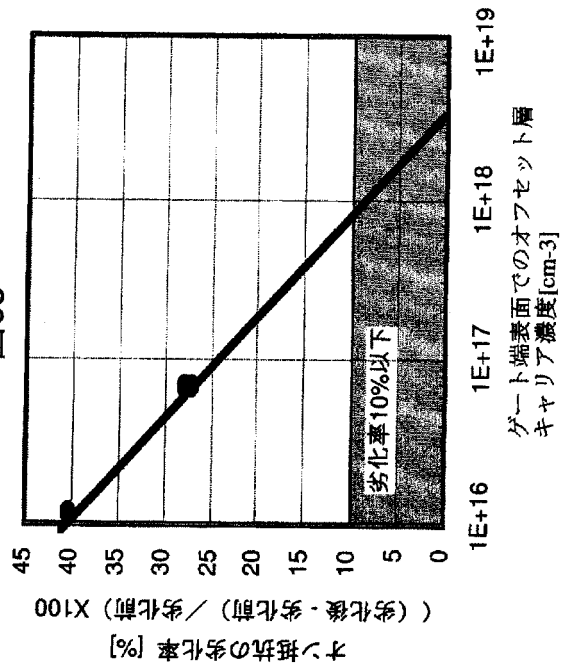
【図62】

図62



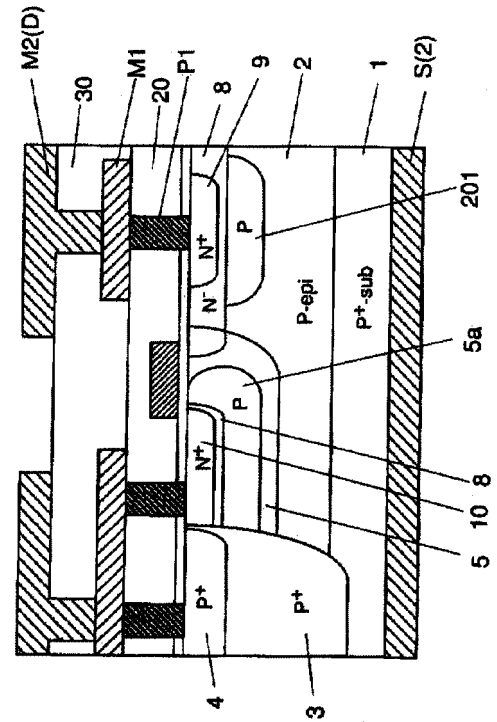
【図63】

図63



【図64】

図64



【図 65】

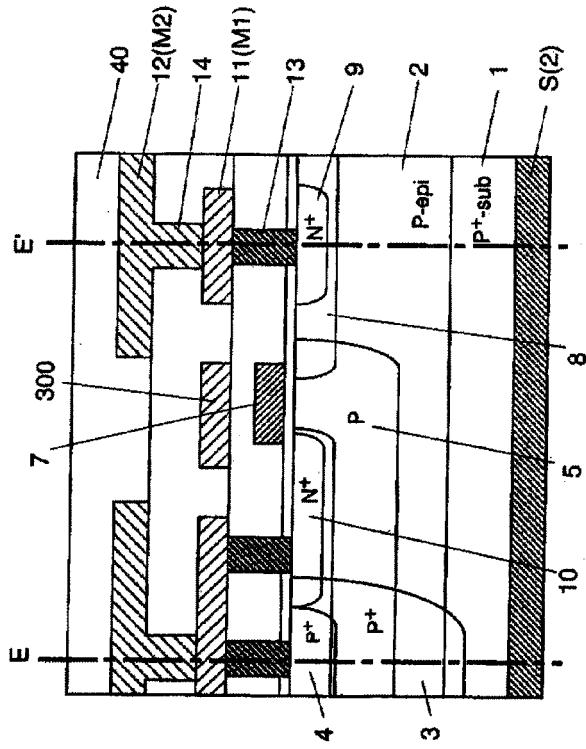
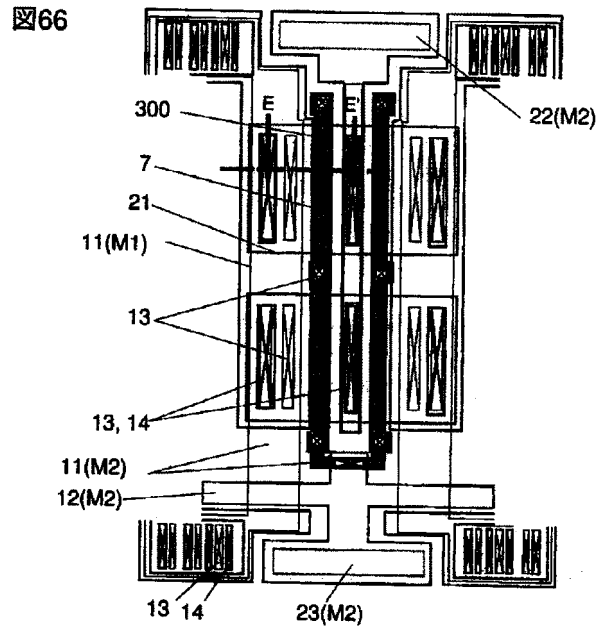
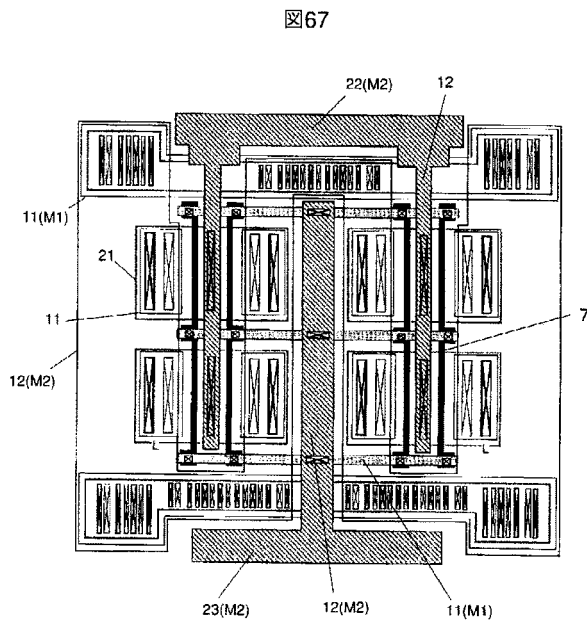


図65

【図 66】

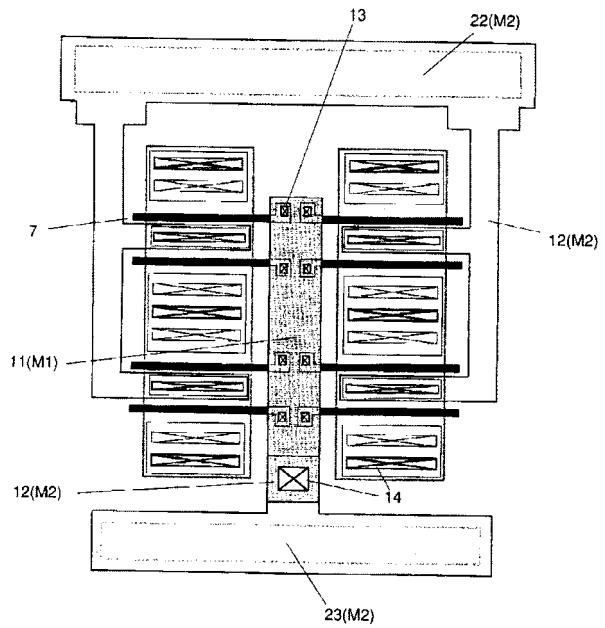


【図 67】



【図 68】

図68



【図69】

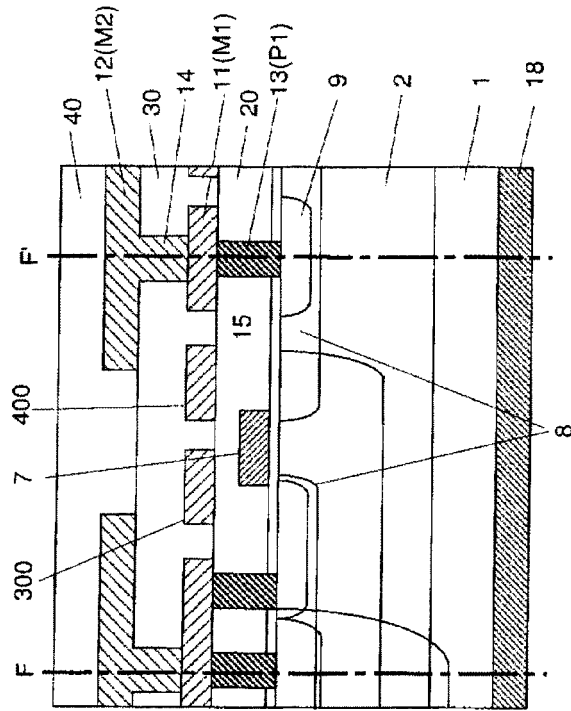
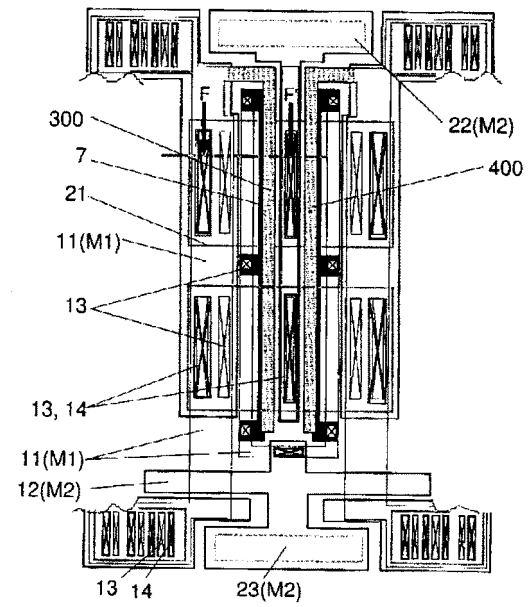


図69

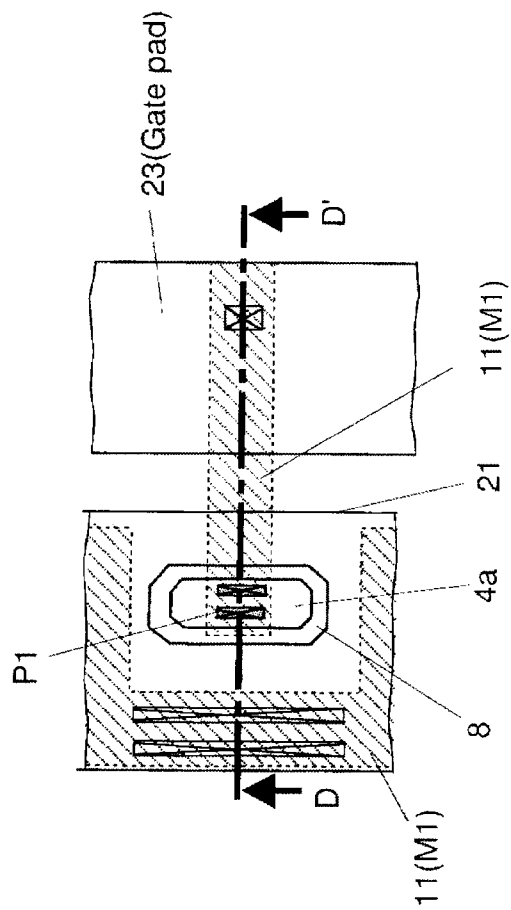
【図70】

図70



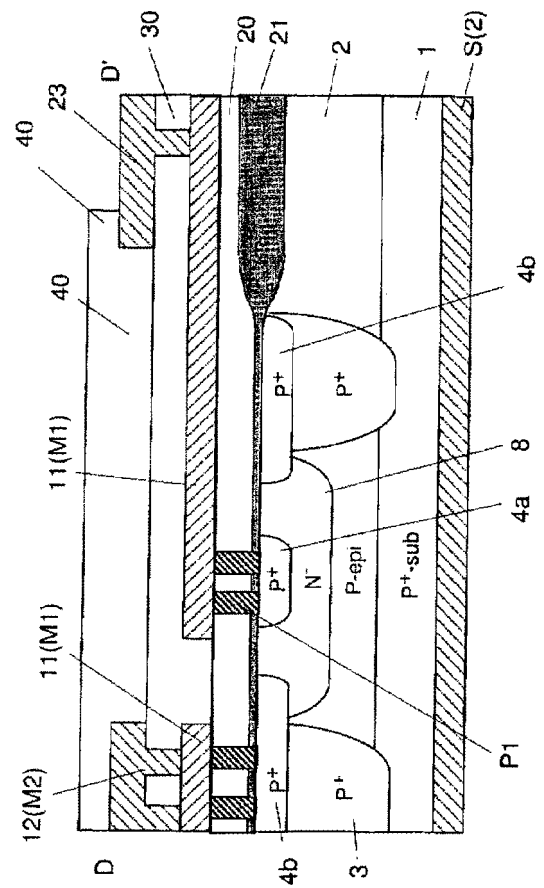
【図71】

図71



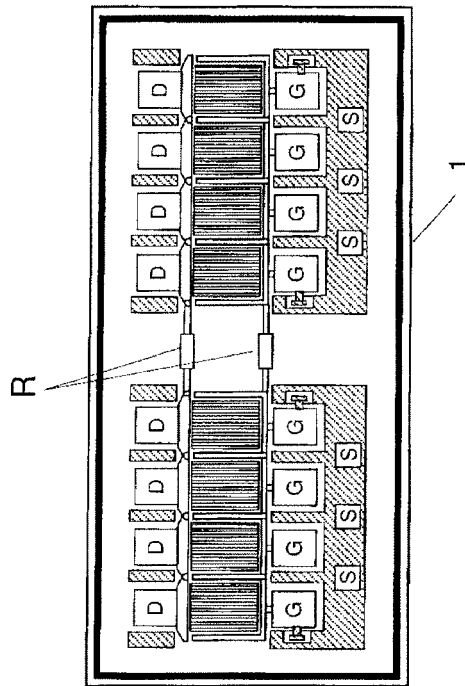
【図72】

図72



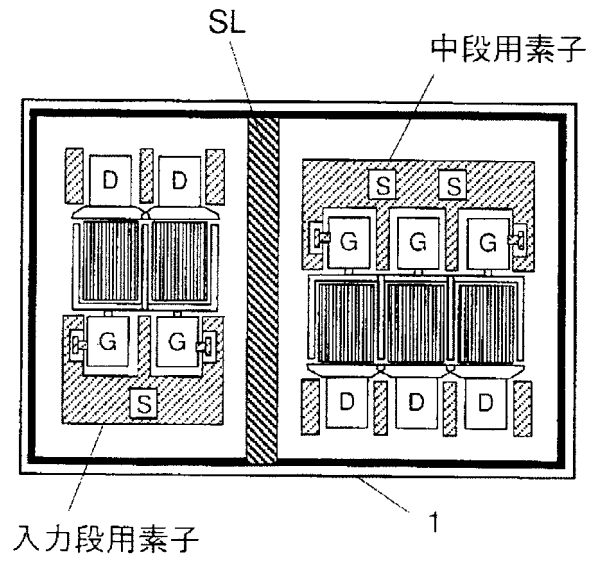
【図73】

図73



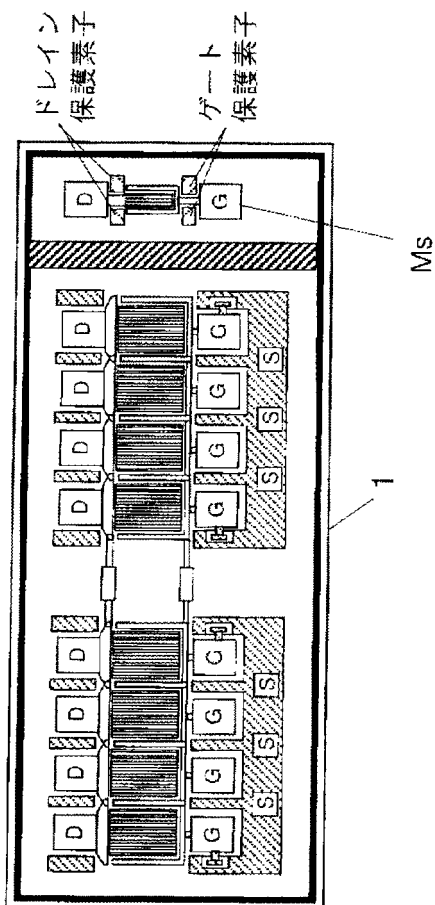
【図74】

図74



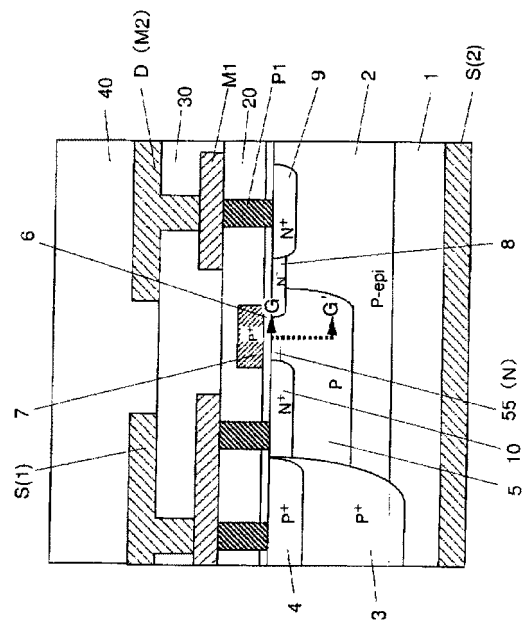
【図75】

図75



【図76】

図76



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/04 (2006.01) H 0 1 L 27/04 A
H 0 1 L 27/04 H
H 0 1 L 29/78 3 0 1 X

(72)発明者 蒲原 史朗
東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内
(72)発明者 河上 恵
東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内
(72)発明者 三宅 智之
東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内
(72)発明者 森川 正敏
東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所 半導体グループ内

審査官 井上 弘亘

(56)参考文献 特開平 0 7 - 1 8 3 5 0 1 (J P , A)
特開平 0 8 - 3 0 6 8 7 4 (J P , A)
特開平 0 4 - 3 4 6 4 7 4 (J P , A)
特開平 0 6 - 0 0 5 7 9 4 (J P , A)
特開平 0 8 - 2 7 4 1 0 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 2
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 7 / 0 4
H 0 1 L 2 7 / 0 8 8
H 0 1 L 2 9 / 7 8