

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-99887

(P2009-99887A)

(43) 公開日 平成21年5月7日(2009.5.7)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H01L 29/786 (2006.01)</b>	H01L 29/78 618B	2H092
<b>G02F 1/1368 (2006.01)</b>	H01L 29/78 612C	5F110
	H01L 29/78 616V	
	G02F 1/1368	

審査請求 未請求 請求項の数 18 O L (全 31 頁)

(21) 出願番号 特願2007-272084 (P2007-272084)  
 (22) 出願日 平成19年10月19日 (2007.10.19)

(71) 出願人 502356528  
 株式会社 日立ディスプレイズ  
 千葉県茂原市早野3300番地  
 (74) 代理人 100075959  
 弁理士 小林 保  
 (72) 発明者 河村 哲史  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72) 発明者 佐藤 健史  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内  
 (72) 発明者 波多野 睦子  
 東京都国分寺市東恋ヶ窪一丁目280番地  
 株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】 積層膜数、製造工数を低減し得る構成の表示装置の提供。画素の開口率の向上を図った表示装置の提供。

【解決手段】 基板上に、ゲート線、ゲート絶縁膜が順次形成され、その上にデータ線、画素電極、半導体層が形成され、さらにその上に保護膜が形成された画素を有し、

前記ゲート線の一部が薄膜トランジスタのゲート電極を兼ね、

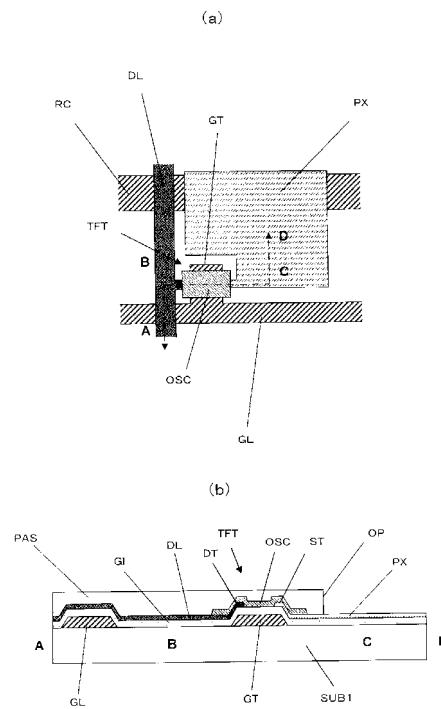
前記データ線の一部が薄膜トランジスタのドレイン電極を兼ね、

前記画素電極の一部が薄膜トランジスタのソース電極を兼ね、

前記半導体層が酸化物半導体層から成る表示装置であって、

前記酸化物半導体層と前記ドレイン電極および前記ソース電極が直接に接続され、かつ前記データ線と前記画素電極が別の導電膜から構成されている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

基板上に、ゲート線、ゲート絶縁膜が順次形成され、その上にデータ線、画素電極、半導体層が形成され、さらにその上に保護膜が形成された画素を有し、

前記ゲート線の一部が薄膜トランジスタのゲート電極を兼ね、

前記データ線の一部が薄膜トランジスタのドレイン電極を兼ね、

前記画素電極の一部が薄膜トランジスタのソース電極を兼ね、

前記半導体層が酸化物半導体層から成る表示装置であって、

前記酸化物半導体層と前記ドレイン電極および前記ソース電極が直接に接続され、かつ前記データ線と前記画素電極が別の導電膜から構成されていることを特徴とする表示装置

10

## 【請求項 2】

前記ドレイン電極および前記ソース電極の上層に前記酸化物半導体層が形成されていることを特徴とする請求項 1 に記載の表示装置。

## 【請求項 3】

前記ドレイン電極および前記ソース電極のうち的一方の上層に前記酸化物半導体層が形成され、該酸化物半導体層の上層に前記ドレイン電極および前記ソース電極のうちの他方が形成されていることを特徴とする請求項 1 に記載の表示装置。

## 【請求項 4】

前記酸化物半導体層の上層に前記ドレイン電極および前記ソース電極が形成されていることを特徴とする請求項 1 に記載の表示装置。

20

## 【請求項 5】

前記データ線が金属、あるいは金属とその他の導電膜の積層膜、あるいは金属と半導体膜の積層膜から構成され、前記画素電極が透明導電膜から構成されていることを特徴とする請求項 1 に記載の表示装置。

## 【請求項 6】

平面的に観た場合、前記ドレイン電極および前記ソース電極のうち的一方あるいは両方が前記ゲート電極と重なりを持つことを特徴とする請求項 1 に記載の表示装置。

## 【請求項 7】

基板上に、ゲート線、ゲート絶縁膜が順次形成され、その上にデータ線、半導体層、保護膜が形成され、さらに保護膜上に該保護膜に形成されたスルーホールを通して前記薄膜トランジスタのソースと接続する画素電極が形成された画素を有し、

30

前記ゲート線の一部が薄膜トランジスタのゲート電極を兼ね、

前記データ線の一部が薄膜トランジスタのドレイン電極を兼ね、

前記画素電極の一部が薄膜トランジスタのソース電極を兼ね、

前記半導体層が酸化物半導体層から成る表示装置であって、

前記半導体層と前記ドレイン電極および前記ソース電極が直接に接続されていることを特徴とする表示装置。

## 【請求項 8】

前記ドレイン電極の上層に前記酸化物半導体層が形成され、該酸化膜半導体層の上層に前記保護膜が形成されていることを特徴とする請求項 7 に記載の表示装置。

40

## 【請求項 9】

前記酸化物半導体層の上層に前記ドレイン電極が形成され、該ドレイン電極の上層に前記保護膜が形成されていることを特徴とする請求項 7 に記載の表示装置。

## 【請求項 10】

前記酸化物半導体層の上層に前記保護膜が形成され、該保護膜の上層に該保護膜に形成されたスルーホールを通して薄膜トランジスタのドレインと接続されたデータ線、該保護膜の上層に該保護膜に形成されたスルーホールを通して薄膜トランジスタのソースと接続された画素電極が形成されていることを特徴とする請求項 7 に記載の表示装置。

## 【請求項 11】

50

前記データ線と前記画素電極が同一の導電膜から成ることを特徴とする請求項 10 に記載の表示装置。

【請求項 12】

前記データ線が金属、あるいは金属とその他の導電膜の積層膜、あるいは金属と半導体膜の積層膜から構成され、前記画素電極が透明導電膜から構成されていることを特徴とする請求項 7 に記載の表示装置。

【請求項 13】

前記ゲート電極と、前記ドレイン電極および前記ソース電極のうち一方あるいは両方が重なりを持つことを特徴とする請求項 7 に記載の表示装置。

【請求項 14】

前記酸化物半導体層の一部の領域を改質により低抵抗化し、低抵抗化した領域に前記データ線および前記画素電極のうち一方あるいは両方を接続することを特徴とする請求項 1 あるいは 7 に記載の表示装置。

【請求項 15】

基板上に、ゲート線、ゲート絶縁膜が順次形成され、その上にデータ線、画素電極、半導体層が形成され、その上に保護膜が形成された画素を有し、

前記ゲート線の一部が薄膜トランジスタのゲート電極を兼ね、

前記データ線の一部が薄膜トランジスタのドレイン電極を兼ね、

前記画素電極の一部が薄膜トランジスタのソース電極を兼ね、

前記半導体層が酸化物半導体層から成る表示装置であって、

前記酸化物半導体層の一部を改質により低抵抗化することで、前記データ線、あるいは前記画素電極、あるいは前記データ線と前記画素電極の両方を前記低抵抗化された部分で一体に形成することを特徴とする表示装置。

【請求項 16】

前記データ線が酸化物半導体層の低抵抗化された領域で形成され、該酸化物半導体層の上層に前記保護膜が形成され、

前記保護膜の上層に該保護膜に形成されたスルーホールを通して薄膜トランジスタのソースに接続された画素電極が形成されていることを特徴とする請求項 15 に記載の表示装置。

【請求項 17】

前記ドレイン電極が前記ゲート電極と重なりをもって形成され、該ドレイン電極の上層に酸化物半導体層が形成され、該酸化物半導体層はその一部が低抵抗化されて画素電極が形成されていることを特徴とする請求項 15 に記載の表示装置。

【請求項 18】

櫛歯形状の画素電極を有し、該画素電極は平板状の対向電極に絶縁膜を介して重ねて配置され、

前記対向電極はコモン線を介して前記画素電極に供給される映像信号に対して基準となる電圧信号が供給されることを特徴とする請求項 1、7 あるいは 15 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に係り、各画素に薄膜トランジスタを備える表示装置に関する。

【背景技術】

【0002】

たとえばアクティブ・マトリックス型の液晶表示装置は、液晶を介して対向配置される各基板のうち一方の基板の液晶側の面に、x 方向に延在され y 方向に並設されるゲート線と y 方向に延在され x 方向に並設されるデータ線とで囲まれた領域を画素領域とし、この画素領域には、少なくとも、該ゲート線からの信号（走査信号）によってオンされる前記薄膜トランジスタと、このオンされた該薄膜トランジスタを介して前記データ線からの映像信号が供給される画素電極とを備えて構成されている。

10

20

30

40

50

## 【 0 0 0 3 】

ここで、前記薄膜トランジスタ、ゲート線、データ線、および画素電極等は、フォトリソグラフィ技術による選択エッチングによって所望のパターンに形成された導電層、半導体層、絶縁膜等を所望の順序で基板上に積層させることによって形成されている。

## 【 0 0 0 4 】

このような構成からなる表示装置は、フレキシブル化および低コスト化のため、積層膜数の低減、フォトリソグラフィ技術による選択エッチングの工程数を低減させることが要望されている。

## 【 0 0 0 5 】

そして、このような要望に対処するため、たとえば、薄膜トランジスタのチャネルを形成する半導体層として酸化物半導体層を用い、導電膜からなるデータ線および画素電極を前記酸化物半導体層に直接接続する技術が知られている。

10

## 【 0 0 0 6 】

このような表示装置はたとえば下記特許文献 1 に開示がなされている。

【特許文献 1】特開 2 0 0 4 - 3 4 9 5 8 3 号公報

【発明の開示】

【発明が解決しようとする課題】

## 【 0 0 0 7 】

しかし、上記特許文献 1 に記載された表示装置は、データ線と画素電極が同一導電膜によって形成されており、たとえば、データ線および画素電極をたとえば I T O ( Indium Tin Oxide ) などの透明導電膜によって構成した場合、データ線における電気抵抗が高くなってしまふことを免れないものとなる。

20

## 【 0 0 0 8 】

また、該導電膜にたとえば金属などの不透明導電膜を用いた場合、バックライトを利用した透過型液晶表示装置に適用することができないという不都合を有する。

## 【 0 0 0 9 】

本発明の目的は、積層膜数、製造工数を低減し得る構成の表示装置を提供することにある。

## 【 0 0 1 0 】

また、本発明の他の目的は、画素の開口率の向上を図った表示装置を提供することにある。

30

【課題を解決するための手段】

## 【 0 0 1 1 】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

## 【 0 0 1 2 】

( 1 ) 本発明による表示装置は、たとえば、基板上に、ゲート線、ゲート絶縁膜が順次形成され、その上にデータ線、画素電極、半導体層が形成され、さらにその上に保護膜が形成された画素を有し、

40

前記ゲート線の一部が薄膜トランジスタのゲート電極を兼ね、

前記データ線の一部が薄膜トランジスタのドレイン電極を兼ね、

前記画素電極の一部が薄膜トランジスタのソース電極を兼ね、

前記半導体層が酸化物半導体層から成る表示装置であって、

前記酸化物半導体層と前記ドレイン電極および前記ソース電極が直接に接続され、かつ前記データ線と前記画素電極が別の導電膜から構成されていることを特徴とする。

## 【 0 0 1 3 】

( 2 ) 本発明による表示装置は、たとえば、( 1 ) の構成を前提とし、前記ドレイン電極および前記ソース電極の上層に前記酸化物半導体層が形成されていることを特徴とする。

## 【 0 0 1 4 】

( 3 ) 本発明による表示装置は、たとえば、( 1 ) の構成を前提とし、前記ドレイン電極

50

および前記ソース電極のうち的一方の上層に前記酸化物半導体層が形成され、該酸化物半導体層の上層に前記ドレイン電極および前記ソース電極のうち他方が形成されていることを特徴とする。

【0015】

(4) 本発明による表示装置は、たとえば、(1)の構成を前提とし、前記酸化物半導体層の上層に前記ドレイン電極および前記ソース電極が形成されていることを特徴とする。

【0016】

(5) 本発明による表示装置は、たとえば、(1)の構成を前提とし、前記データ線が金属、あるいは金属とその他の導電膜の積層膜、あるいは金属と半導体膜の積層膜から構成され、前記画素電極が透明導電膜から構成されていることを特徴とする。

10

【0017】

(6) 本発明による表示装置は、たとえば、(1)の構成を前提とし、平面的に観た場合、前記ドレイン電極および前記ソース電極のうち一方あるいは両方が前記ゲート電極と重なりを持つことを特徴とする。

【0018】

(7) 本発明による表示装置は、たとえば、基板上に、ゲート線、ゲート絶縁膜が順次形成され、その上にデータ線、半導体層、保護膜が形成され、さらに保護膜上に該保護膜に形成されたスルーホールを通して前記薄膜トランジスタのソースと接続する画素電極が形成された画素を有し、

20

前記ゲート線の一部が薄膜トランジスタのゲート電極を兼ね、

前記データ線の一部が薄膜トランジスタのドレイン電極を兼ね、

前記画素電極の一部が薄膜トランジスタのソース電極を兼ね、

前記半導体層が酸化物半導体層から成る表示装置であって、

前記半導体層と前記ドレイン電極および前記ソース電極が直接に接続されていることを特徴とする。

【0019】

(8) 本発明による表示装置は、たとえば、(7)の構成を前提とし、前記ドレイン電極の上層に前記酸化物半導体層が形成され、該酸化物半導体層の上層に前記保護膜が形成されていることを特徴とする。

【0020】

(9) 本発明による表示装置は、たとえば、(7)の構成を前提とし、前記酸化物半導体層の上層に前記ドレイン電極が形成され、該ドレイン電極の上層に前記保護膜が形成されていることを特徴とする。

30

【0021】

(10) 本発明による表示装置は、たとえば、(7)の構成を前提とし、前記酸化物半導体層の上層に前記保護膜が形成され、該保護膜の上層に該保護膜に形成されたスルーホールを通して薄膜トランジスタのドレインと接続されたデータ線、該保護膜の上層に該保護膜に形成されたスルーホールを通して薄膜トランジスタのソースと接続された画素電極が形成されていることを特徴とする。

【0022】

(11) 本発明による表示装置は、たとえば、(10)の構成を前提とし、前記データ線と前記画素電極が同一の導電膜から成ることを特徴とする。

40

【0023】

(12) 本発明による表示装置は、たとえば、(7)の構成を前提とし、前記データ線が金属、あるいは金属とその他の導電膜の積層膜、あるいは金属と半導体膜の積層膜から構成され、前記画素電極が透明導電膜から構成されていることを特徴とする。

【0024】

(13) 本発明による表示装置は、たとえば、(7)の構成を前提とし、前記ゲート電極と、前記ドレイン電極および前記ソース電極のうち一方あるいは両方が重なりを持つことを特徴とする。

50

## 【 0 0 2 5 】

( 1 4 ) 本発明による表示装置は、たとえば、( 1 )あるいは( 7 )の構成を前提とし、前記酸化物半導体層の一部の領域を改質により低抵抗化し、低抵抗化した領域に前記データ線および前記画素電極のうち的一方あるいは両方を接続することを特徴とする。

## 【 0 0 2 6 】

( 1 5 ) 本発明による表示装置は、たとえば、基板上に、ゲート線、ゲート絶縁膜が順次形成され、その上にデータ線、画素電極、半導体層が形成され、その上に保護膜が形成された画素を有し、

前記ゲート線の一部が薄膜トランジスタのゲート電極を兼ね、

前記データ線の一部が薄膜トランジスタのドレイン電極を兼ね、

前記画素電極の一部が薄膜トランジスタのソース電極を兼ね、

前記半導体層が酸化物半導体層から成る表示装置であって、

前記酸化物半導体層の一部を改質により低抵抗化することで、前記データ線、あるいは前記画素電極、あるいは前記データ線と前記画素電極の両方を前記低抵抗化された部分で一体に形成することを特徴とする。

## 【 0 0 2 7 】

( 1 6 ) 本発明による表示装置は、たとえば、( 1 5 )の構成を前提とし、前記データ線が酸化物半導体層の低抵抗化された領域で形成され、該酸化物半導体層の上層に前記保護膜が形成され、

前記保護膜の上層に該保護膜に形成されたスルーホールを通して薄膜トランジスタのソースに接続された画素電極が形成されていることを特徴とする。

## 【 0 0 2 8 】

( 1 7 ) 本発明による表示装置は、たとえば、( 1 5 )の構成を前提とし、前記ドレイン電極が前記ゲート電極と重なりをもって形成され、該ドレイン電極の上層に酸化物半導体層が形成され、該酸化物半導体層はその一部が低抵抗化されて画素電極が形成されていることを特徴とする。

## 【 0 0 2 9 】

( 1 8 ) 本発明による表示装置は、たとえば、( 1 )、( 7 )あるいは( 1 5 )の構成を前提とし、櫛歯形状の画素電極を有し、該画素電極は平板状の対向電極に絶縁膜を介して重ねて配置され、

前記対向電極はコモン線を介して前記画素電極に供給される映像信号に対して基準となる電圧信号が供給されることを特徴とする。

## 【 0 0 3 0 】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

## 【 発明の効果 】

## 【 0 0 3 1 】

このように構成した表示装置は積層膜数と製造工数を低減し得る構成とすることができる。

## 【 0 0 3 2 】

また、このように構成した表示装置は、画素の開口率の向上を図ることができる。

## 【 発明を実施するための最良の形態 】

## 【 0 0 3 3 】

以下、本発明による表示装置およびその製造方法の実施例について図面を用いて説明をする。

## 【 0 0 3 4 】

## 実施例 1

## ( 全体の構成 )

図 2 は、液晶表示装置の液晶を介して対向配置される各基板のうち一方の基板 S U B 1 の液晶側の面の液晶表示領域に形成される回路の一実施例を示す構成図である。

## 【0035】

図2において、y方向に延在されx方向に並設されるデータ線DLと、このデータ線DLと絶縁されてx方向に延在されy方向に並設されるゲート線GLを有し、これら各信号線によって囲まれる矩形の領域が画素の領域(図中点線枠で示す)に相当するようになっている。これにより、各画素はマトリクス状に配置され、この画素群によって前記液晶表示領域を構成するようになっている。

## 【0036】

各画素の領域にはその大部分にわたってたとえば透明電極からなる画素電極PXが形成され、この画素電極PXは薄膜トランジスタTFTを介してたとえば図中左側に隣接するデータ線DLと接続されるようになっている。該薄膜トランジスタTFTは、そのオン、オフの駆動によって、データ線DLからの信号を画素電極PXへの供給、非供給を制御するようになっている。

10

## 【0037】

前記薄膜トランジスタTFTは、たとえば、その半導体層(この実施例では酸化物半導体層OSCが使用されている)の下方に前記ゲート線GLの延在部で形成されるゲート電極GTを配置させた構造、いわゆるボトムゲート型と称されるMIS(Metal Insulator Semiconductor)構造として形成されている。

## 【0038】

これにより、各ゲート線GLのそれぞれに信号(走査信号)が順次供給されることにより、画素列の各画素の薄膜トランジスタTFTがオンされ、そのオンのタイミングに応じて各データ線DLにそれぞれ映像信号を供給することにより、この映像信号の電圧は前記画素列の各画素における画素電極PXに印加されるようになる。

20

## 【0039】

なお、この実施例に示す液晶表示装置は、前記基板SUB1と液晶を介して配置される図示しない他の基板を有し、この基板の液晶側の面には各画素に共通な対向電極が形成され、この対向電極はたとえば透明電極から構成され、前記データ線DLに供給される信号(映像信号)に対して基準となる電圧からなる信号が供給されるようになっている。

## 【0040】

前記液晶には前記画素電極PXと前記対向電極の電位差によって発生する電界が印加され、これに応じて該液晶の分子が挙動するようになっている。

30

## 【0041】

また、図2には図示されていないが、画素の詳細な説明あるいは他の実施例の説明に依り、データ線DLと絶縁され画素列ごとにゲート線GLと平行して延在される保持容量線(後に符号RCで示す)が備えられる場合がある。該保持容量RCは、たとえばゲート線GL(ゲート電極GT)と同層に形成される。

## 【0042】

(画素の構成)

図1(a)は、図2に示した各画素のうち一の画素を抜き出して描いた図である。また、図1(b)は図2(a)のA-B-C-D線における断面図である。

## 【0043】

図1において、基板SUB1の液晶側の面に、まず、ゲート線GLおよびゲート電極GTが形成されている。

40

## 【0044】

そして、基板SUB1の表面には、前記ゲート線GLおよびゲート電極GTをも被って絶縁膜GIが形成されている。この絶縁膜GIは薄膜トランジスタTFTの形成領域においてゲート絶縁膜として機能するようになる。

## 【0045】

前記絶縁膜GIの上にはデータ線DLが形成され、その薄膜トランジスタTFTの近傍部が該薄膜トランジスタTFTの形成領域にまで延在されて該薄膜トランジスタTFTのドレイン電極DTが形成されている。

50

## 【0046】

一方、前記絶縁膜GIの上面には、画素領域の周辺を除く中央部の大部分に画素電極PXが形成され、この画素電極PXの前記薄膜トランジスタTFTの近傍部が該薄膜トランジスタTFTの形成領域にまで延在されて該薄膜トランジスタTFTのソース電極STが形成されている。

## 【0047】

薄膜トランジスタTFTはドレイン電極とソース電極を有し、それらはバイアスの印加状態によって入れ替わるものであるが、この明細書においては、便宜上、データ線と接続される電極をドレイン電極DTと称し、画素電極PXと接続される電極をソース電極STと称する。

10

## 【0048】

ここで、前記データ線DLと画素電極PXは、それぞれの材料が異なっており、前記データ線DLは、たとえば、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、それらとITO (Indium Tin Oxide) やZnO系等の透明酸化層の積層膜によって形成されているのに対し、前記画素電極PXは、たとえば、ITOやZnO系等の透明酸化層等からなる透明導電膜によって形成されている。

## 【0049】

そして、該薄膜トランジスタTFTの形成領域には酸化層OSCが形成され、該酸化層OSCの下方には前記ドレイン電極DTおよびソース電極STが配置されるようになっている。前記酸化層OSCは、たとえば、ZnO、InGaZnO、ZnInO、ZnSnOなどから構成され、前記薄膜トランジスタTFTのチャネルが形成される半導体層となっている。

20

## 【0050】

ここで、図2において、データ線DLから延在されるドレイン電極DT、画素電極PXから延在されるソース電極STは、それぞれ、薄膜トランジスタTFTのゲート電極GTと重なりを持つように形成され、その上を覆うように酸化膜半導体層OSCが形成された積層構造となっている。

## 【0051】

そして、前記ドレイン電極DTおよびソース電極STは、いずれも酸化層OSCと直接に接続された構成となっており、たとえばコンタクト層等が介在されていない構成となっている。酸化層OSCの性質からコンタクト層を介在させなくてもドレイン電極DTおよびソース電極STとオーミック接続を達成できるからである。

30

## 【0052】

なお、図1に示した構成において、ゲート線GLおよびゲート電極GTは、たとえば、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、それらとITOやZnO系等の透明酸化層の積層膜によって形成されている。また、絶縁膜GIは、たとえば、SiO<sub>2</sub>、SiN、Al<sub>2</sub>O<sub>3</sub>などの絶縁膜によって形成されている。

## 【0053】

また、このようにデータ線DL、画素電極PX、および薄膜トランジスタTFTが形成された基板SUB1の表面には保護膜PASが形成され、この保護膜PASは前記画素電極PXの周辺を除く中央の大部分の領域に開口OPが形成されている。

40

## 【0054】

該保護膜PASは前記薄膜トランジスタTFTの液晶との直接の接触を回避するために設けられ、前記開口OPは画素電極PXを液晶に近接させて位置づけ該液晶の分子を制御し易くするために形成されている。

## 【0055】

なお、図1(a)には、たとえば、保持容量線RCがゲート線GL(ゲート電極GT)と同層で形成され、絶縁膜GIを介して画素電極PXと重ねられて形成されている。保持

50



容量線 R C と画素電極 P X との間に前記絶縁膜 G I を誘電体膜とする容量を構成し、この容量によって、画素電極 P X に供給される映像信号を蓄積するようになっている。

【 0 0 5 6 】

(製造方法)

図 3 は、上述した液晶表示装置の製造方法の一実施例を示す工程図で、図 2 に示した画素における工程を示している。

【 0 0 5 7 】

以下、工程順に説明する。

【 0 0 5 8 】

工程 1 . ( 図 3 ( a ) )

たとえばガラスからなる基板 S U B 1 を用意し、この基板 S U B 1 の表面 ( 液晶側の面 ) の全域にたとえば金属膜を形成する。

【 0 0 5 9 】

そして、周知のフォトリソグラフィ技術による選択エッチング法を用いて前記金属膜をパターン化し、ゲート線 G L 、ゲート電極 G T および保持容量線 R C を形成する。

【 0 0 6 0 】

その後、基板 S U B 1 の表面に、前記ゲート線 G L 、ゲート電極 G T および保持容量線 R C をも被って絶縁膜 G I ( 図示せず ) を形成する。

【 0 0 6 1 】

工程 2 . ( 図 3 ( b ) )

前記絶縁膜 G I の表面の全域に金属膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記金属膜をパターン化し、データ線 D L およびドレイン電極 D T を形成する。

【 0 0 6 2 】

さらに、前記絶縁膜 G I の表面に前記データ線 D L およびドレイン電極 D T をも被って透明導電膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記透明導電膜をパターン化し、画素電極 P X およびソース電極を形成する。

【 0 0 6 3 】

工程 3 . ( 図 3 ( c ) )

基板 S U B 1 の表面の全域に、前記データ線 D L および画素電極 P X 等をも被って酸化物半導体層を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記酸化物半導体層をパターン化し、薄膜トランジスタ T F T の酸化物半導体層 O S C を形成する。

【 0 0 6 4 】

その後は、基板 S U B 1 の表面の全域に、たとえば樹脂等の絶縁膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記絶縁膜をパターン化して保護膜 P A S ( 図示せず ) を形成する。

【 0 0 6 5 】

この保護膜 P A S は、画素電極 P X の僅かな周辺を除く中央部のほとんどを露出させる開口 O P とともに、図示されていないが、データ線 D L およびゲート線 G L の端部を露出させるコンタクト孔が形成されるようになる。

【 0 0 6 6 】

以上の工程において、金属層等の所定のパターンの加工はフォトリソグラフィ技術による選択エッチング法を用いたものであるが、これに限定されることはなく、たとえば印刷技術などを用いてもよい。

【 0 0 6 7 】

上述のように、本実施例の液晶表示装置の製造方法では、基板 S U B 1 の液晶側の面の液晶表示領域において、積層膜数が 6 層で、 5 回のパターン形成工程で製造することができることが判る。

【 0 0 6 8 】

10

20

30

40

50

本実施例の構成では、データ線DLに金属膜を用い、画素電極PXに透明導電膜を用いるので、上記特許文献1に記載された表示装置でデータ線DLと画素電極PXの両方に透明導電膜などを用いた場合にデータ線DLの電気抵抗が高くなってしまふという不都合を回避できる。

【0069】

また、特許文献1に記載された表示装置でデータ線DLと画素電極PXの両方に金属を用いた場合に透過型液晶表示装置に適用することができないという不都合を回避できる。

【0070】

さらに、データ線DLに金属を用いて応力を低減することで、データ線DLに硬いITOなどを用いた場合に表示装置をフレキシブル化することが困難という不都合を回避できる。

10

【0071】

実施例2

(画素の構成)

図4(a)は、本発明による表示装置の画素の構成の他の実施例を示す平面図で、図1(a)に対応した図となっている。また、図4(b)は、図4(a)のA-B-C-D線における断面図である。図1と同符号の部材は図1に示す部材と同機能を有するようになっている。

【0072】

図4において、図1と比較して異なる構成は、画素電極PXが薄膜トランジスタTFTの酸化物半導体層OSCより上層に形成され、該画素電極PXと一体に形成される薄膜トランジスタTFTのソース電極STが、ゲート電極GTと重なりをもつとともに、前記酸化物半導体層OSCの上面に直接に当接されて形成されていることにある。

20

【0073】

なお、データ線DLは薄膜トランジスタTFTの酸化物半導体層OSCより下層に形成され、該データ線DLと一体に形成されたドレイン電極DTは、ゲート電極GTと重なりをもつとともに、前記酸化物半導体層OSCの下面に直接に当接されて形成されていることは、図1の場合と同様である。

【0074】

ここで、ゲート線GLおよびゲート電極GTは、たとえば、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、それらとITOやZnO系等の透明酸化物層の積層膜によって形成されている。ゲート絶縁膜GIは、たとえば、SiO<sub>2</sub>、SiN、Al<sub>2</sub>O<sub>3</sub>などの絶縁膜によって形成されている。データ線DLは、たとえば、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、それらとITOやZnO系等の透明酸化物層の積層膜によって形成されている。画素電極PXは、たとえば、ITOやZnO系等の透明導電膜によって形成され、酸化物半導体層OSCは、たとえば、ZnO、InGaZnO、ZnInO、ZnSnOなどで形成されている。

30

【0075】

(製造方法)

図5は、液晶表示装置の製造方法の他の実施例を示す工程図で、図4に示した画素における工程を示す。

40

【0076】

以下、工程順に説明する。

【0077】

工程1.(図5(a))

たとえばガラスからなる基板SUB1を用意し、この基板SUB1の表面(液晶側の面)の全域にたとえば金属膜を形成する。

【0078】

50

そして、周知のフォトリソグラフィ技術による選択エッチング法を用いて前記金属膜をパターン化し、ゲート線 G L、ゲート電極 G T および保持容量線 R C を形成する。

【 0 0 7 9 】

その後、基板 S U B 1 の表面に、前記ゲート線 G L、ゲート電極 G T および保持容量線 R C をも被って絶縁膜 G I ( 図示せず ) を形成する。

【 0 0 8 0 】

工程 2 . ( 図 5 ( b ) )

前記絶縁膜 G I の表面の全域に金属膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記金属膜をパターン化し、データ線 D L およびドレイン電極 D T を形成する。

10

【 0 0 8 1 】

さらに、基板 S U B 1 の表面の全域に、前記データ線 D L およびドレイン電極 D T をも被って酸化物半導体層を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記酸化物半導体層をパターン化し、薄膜トランジスタ T F T の酸化物半導体層 O S C を形成する。

【 0 0 8 2 】

工程 3 . ( 図 5 ( c ) )

前記絶縁膜 G I の表面に酸化物半導体層 O S C 等をも被って透明導電膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記透明導電膜をパターン化し、画素電極 P X およびソース電極を形成する。

20

【 0 0 8 3 】

その後は、基板 S U B 1 の表面の全域に、たとえば樹脂等の絶縁膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記絶縁膜をパターン化して保護膜 P A S ( 図示せず ) を形成する。

【 0 0 8 4 】

この保護膜 P A S は、画素電極 P X の僅かな周辺を除く中央部のほとんどを露出させる開口 O P とともに、図示されていないが、データ線 D L およびゲート線 G L の端部を露出させるコンタクト孔が形成されるようになる。

【 0 0 8 5 】

以上の工程において、金属層等の所定のパターンの加工はフォトリソグラフィ技術による選択エッチング法を用いたものであるが、これに限定されることはなく、たとえば印刷技術などを用いてもよい。

30

【 0 0 8 6 】

上述のように、本実施例の液晶表示装置の製造方法では、基板 S U B 1 の液晶側の面の液晶表示領域において、積層膜数が 6 層で、 5 回のパターン形成工程で製造することができることが判る。

【 0 0 8 7 】

本実施例の構成では、データ線 D L に金属膜を用い、画素電極 P X に透明導電膜を用いるので、上記特許文献 1 に記載された表示装置でデータ線 D L と画素電極 P X の両方に I T O などを用いた場合にデータ線 D L の電気抵抗が高くなってしまふという不都合を回避できる。

40

【 0 0 8 8 】

また、特許文献 1 に記載された表示装置でデータ線 D L と画素電極 P X の両方に金属を用いた場合に透過型液晶表示装置に適用することができないという不都合を回避できる。

【 0 0 8 9 】

さらに、データ線 D L に金属を用いて応力を低減することで、データ線 D L に硬い I T O などを用いた場合に表示装置をフレキシブル化することが困難という不都合を回避できる。

【 0 0 9 0 】

実施例 3

50

## (画素の構成)

図6(a)は、本発明による表示装置の画素の構成の他の実施例を示す平面図で、図1(a)に対応した図となっている。図6(b)は、図6(a)のA-B-C-D線における断面図である。図1と同符号の部材は図1に示す部材と同機能を有するようになっている。

## 【0091】

図6において、図1の場合と比較して異なる構成は、まず、保護膜PASは基板SUB1の表面の全域に形成され、前記保護膜PASの上面に画素電極PXが形成されているところにある。

## 【0092】

そして、前記画素電極PXのうち薄膜トランジスタTFTに近接する部分において、前記保護膜PASに形成されたスルーホールTHを通して、該薄膜トランジスタTFTの酸化物半導体層OSCの一部(ソース領域)に接続されている。

## 【0093】

ここで、酸化物半導体層OSCと画素電極PXの接続部はゲート電極GTと重なりをもつようになっている。

## 【0094】

なお、データ線DLは薄膜トランジスタTFTの酸化物半導体層OSCより下層に形成され、該データ線DLと一体に形成されたドレイン電極DTは、ゲート電極GTと重なりをもつとともに、前記酸化物半導体層OSCの下面に直接に当接されて形成されていることは、図1の場合と同様である。

## 【0095】

ゲート線GLおよびゲート電極GTは、たとえば、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、それらとITOやZnO系等の透明酸化物層の積層膜によって形成されている。

## 【0096】

ゲート絶縁膜GIは、たとえば、SiO<sub>2</sub>、SiN、Al<sub>2</sub>O<sub>3</sub>などの絶縁膜によって形成されている。

## 【0097】

データ線DLは、たとえば、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、それらとITOやZnO系等の透明酸化物層の積層膜によって形成されている。

## 【0098】

画素電極PXは、たとえば、ITOやZnO系等の透明導電膜によって形成され、酸化物半導体層OSCは、たとえば、ZnO、InGaZnO、ZnInO、ZnSnOなどによって形成されている。

## 【0099】

## (製造方法)

図7は、液晶表示装置の製造方法の他の実施例を示す工程図で、図6に示した画素における工程を示している。

## 【0100】

以下、工程順に説明する。

## 【0101】

工程1.(図7(a))

たとえばガラスからなる基板SUB1を用意し、この基板SUB1の表面(液晶側の面)の全域にたとえば金属膜を形成する。

## 【0102】

そして、周知のフォトリソグラフィ技術による選択エッチング法を用いて前記金属膜を

10

20

30

40

50

パターン化し、ゲート線 G L、ゲート電極 G T および保持容量線 R C を形成する。

【 0 1 0 3 】

その後、基板 S U B 1 の表面に、前記ゲート線 G L、ゲート電極 G T および保持容量線 R C をも被って絶縁膜 G I ( 図示せず ) を形成する。

【 0 1 0 4 】

工程 2 . ( 図 7 ( b ) )

前記絶縁膜 G I の表面の全域に金属膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記金属膜をパターン化し、データ線 D L およびドレイン電極 D T を形成する。

【 0 1 0 5 】

さらに、基板 S U B 1 の表面の全域に、前記データ線 D L およびドレイン電極 D T をも被って酸化物半導体層を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記酸化物半導体層をパターン化し、薄膜トランジスタ T F T の酸化物半導体層 O S C を形成する。

【 0 1 0 6 】

工程 3 . ( 図 7 ( c ) )

基板 S U B 1 の表面の全域に、たとえば樹脂等の絶縁膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記絶縁膜をパターン化して保護膜 P A S ( 図示せず ) を形成する。

【 0 1 0 7 】

この保護膜 P A S は、前記パターン化によって、薄膜トランジスタ T F T の前記酸化物半導体層 O S C のうちソース領域の部分を露出させるスルーホール T H が形成され、また、図示されていないがデータ線 D L およびゲート線 G L の端部を露出させるコンタクト孔が形成される。

【 0 1 0 8 】

その後、前記保護膜 P A S の表面に、前記スルーホール T H およびコンタクト孔をも被って透明導電膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記透明導電膜をパターン化し、画素電極 P X およびソース電極を形成する。

【 0 1 0 9 】

この場合、前記ソース電極 S T の部分は前記スルーホール T H を通して前記酸化物半導体層 O S C のうちソース領域の部分に直接接続されるようになる。

【 0 1 1 0 】

以上の工程において、金属層等の所定のパターンの加工はフォトリソグラフィ技術による選択エッチング法を用いたものであるが、これに限定されることはなく、たとえば印刷技術などを用いてもよい。

【 0 1 1 1 】

上述のように、本実施例の液晶表示装置の製造方法では、基板 S U B 1 の液晶側の面の液晶表示領域において、積層膜数が 6 層で、 5 回のパターン形成工程で製造することができることが判る。

【 0 1 1 2 】

本実施例の構成では、データ線 D L に金属膜を用い、画素電極 P X に透明導電膜を用いるので、上記特許文献 1 に記載された表示装置でデータ線 D L と画素電極 P X の両方に I T O などを用いた場合にデータ線 D L の電気抵抗が高くなってしまふという不都合を回避できる。

【 0 1 1 3 】

また、特許文献 1 に記載された表示装置でデータ線 D L と画素電極 P X の両方に金属を用いた場合に透過型液晶表示装置に適用することができないという不都合を回避できる。

【 0 1 1 4 】

さらに、データ線 D L に金属を用いて応力を低減することで、データ線 D L に硬い I T O などを用いた場合に表示装置をフレキシブル化することが困難という不都合を回避でき

10

20

30

40

50

る。

【0115】

さらに、保護膜上の画素電極PXは、液晶と近い距離に位置づけられ、該液晶の分子を制御し易くできる効果を奏する。

【0116】

実施例4

(画素の構成)

図8(a)は、本発明による表示装置の画素の構成の他の実施例を示す平面図で、図1(a)に対応した図となっている。図8(b)は、図8(a)のA-B-C-D線における断面図である。図1と同符号の部材は図1に示す部材と同機能を有するようになっている。

10

【0117】

図8において、図1と比較して異なる構成は、まず、保護膜PASは基板SUB1の表面の全域に形成され、前記保護膜PASの上面にデータ線DLおよび画素電極PXが形成されているところにある。

【0118】

そして、前記データ線DLのうち薄膜トランジスタTFTに近接する部分において、前記保護膜PASに形成されたスルーホールTH1を通して、該薄膜トランジスタTFTの酸化半導体層OSCの一部(ドレイン領域)に接続されている。

【0119】

また、前記画素電極PXのうち薄膜トランジスタTFTに近接する部分において、前記保護膜PASに形成されたスルーホールTH2を通して、該薄膜トランジスタTFTの酸化半導体層OSCの一部(ソース領域)に接続されている。

20

【0120】

ここで、データ線DLの前記酸化半導体層OSCとの接続部は薄膜トランジスタTFTのドレイン電極として機能し、ゲート電極GTと重なりをもつようになっている。また、画素電極PXの前記酸化半導体層OSCとの接続部はソース電極として機能し、ゲート電極GTと重なりをもつようになっている。

【0121】

ゲート線GLおよびゲート電極GTは、たとえば、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、それらとITOやZnO系等の透明酸化層の積層膜によって形成されている。

30

【0122】

ゲート絶縁膜GIは、たとえば、SiO<sub>2</sub>、SiN、Al<sub>2</sub>O<sub>3</sub>などの絶縁膜によって形成されている。

【0123】

データ線DLと画素電極PXは、たとえば、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、それらとITOやZnO系等の透明酸化層の積層膜、あるいはITOやZnO系等の透明導電膜などの同一の膜から形成されている。

40

【0124】

酸化半導体層OSCは、たとえば、ZnO、InGaZnO、ZnInO、ZnSnOなどによって形成されている。

【0125】

(製造方法)

図9は、液晶表示装置の製造方法の他の実施例を示す工程図で、図8に示した画素における工程を示している。

【0126】

以下、工程順に説明する。

50

## 【 0 1 2 7 】

工程 1 . ( 図 9 ( a ) )

たとえばガラスからなる基板 S U B 1 を用意し、この基板 S U B 1 の表面 ( 液晶側の面 ) の全域にたとえば金属膜を形成する。

## 【 0 1 2 8 】

そして、周知のフォトリソグラフィ技術による選択エッチング法を用いて前記金属膜をパターン化し、ゲート線 G L、ゲート電極 G T および保持容量線 R C を形成する。

## 【 0 1 2 9 】

その後、基板 S U B 1 の表面に、前記ゲート線 G L、ゲート電極 G T および保持容量線 R C をも被って絶縁膜 G I ( 図示せず ) を形成する。

10

## 【 0 1 3 0 】

工程 2 . ( 図 9 ( b ) )

前記絶縁膜 G I の表面の全域に酸化物半導体層を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記酸化物半導体層をパターン化し、薄膜トランジスタ T F T の形成領域において酸化物半導体層 O S C を残存させる。

## 【 0 1 3 1 】

工程 3 . ( 図 9 ( c ) )

基板 S U B 1 の表面の全域に、たとえば樹脂等の絶縁膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記絶縁膜をパターン化して保護膜 P A S ( 図示せず ) を形成する。

20

## 【 0 1 3 2 】

この保護膜 P A S は、前記パターン化によって、薄膜トランジスタ T F T の前記酸化物半導体層 O S C のうちドレイン領域およびソース領域の各部分を露出させるスルーホール T H 1、T H 2 が形成され、また、図示されていないがデータ線 D L およびゲート線 G L の端部を露出させるコンタクト孔が形成される。

## 【 0 1 3 3 】

その後、前記保護膜 P A S の表面に、前記スルーホール T H およびコンタクト孔をも被って金属膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記透明導電膜をパターン化し、データ線 D L および画素電極 P X を形成する。

## 【 0 1 3 4 】

データ線 D L の一部は、保護膜 P A S のスルーホール T H 1 を通して前記酸化物半導体層 O S C のドレイン領域に接続され、薄膜トランジスタ T F T のドレイン電極 D T として機能するようになっている。また、画素電極 P X の一部は、保護膜 P A S のスルーホール T H 2 を通して前記酸化物半導体層 O S C のソース領域に接続され、薄膜トランジスタ T F T のソース電極 S T として機能するようになっている。

30

## 【 0 1 3 5 】

以上の工程でパターン形成には、たとえばフォトリソグラフィ技術を用いているが、これに限定されず、たとえば印刷技術などを用いてもよい。

## 【 0 1 3 6 】

上述のように、本実施例の構成では、基板 S U B 1 の液晶側の面の液晶表示領域は、積層膜数が 5 層で、4 回のパターン形成工程で製造することができる。

40

## 【 0 1 3 7 】

また、本実施例の構成では、画素電極 P X と液晶の距離が近接し、かつ基板 S U B 1 の液晶との界面となる表面の凹凸を小さくできるため、液晶を効率良く制御できる効果を奏する。

## 【 0 1 3 8 】

実施例 5

( 画素の構成 )

図 1 0 ( a ) は、本発明による表示装置の画素の構成の他の実施例を示す平面図で、図 1 ( a ) に対応した図となっている。図 1 0 ( b ) は、図 1 0 ( a ) の A - B - C - D 線

50

における断面図である。図 1 と同符号の部材は図 1 に示す部材と同機能を有するようになっている。

【 0 1 3 9 】

図 1 0 ( a ) において、薄膜トランジスタ T F T の酸化物半導体層 O S C は、ゲート電極 G T と重なりを持つように形成され、該ゲート電極 G T の両脇にそれぞれ延在されて形成されている。

【 0 1 4 0 】

該酸化物半導体層 O S C は、前記ゲート電極 G T の直上のいわゆるチャネルとして機能する領域は高抵抗の半導体層として形成され、それ以外の領域は低抵抗の半導体層として形成されている。

10

【 0 1 4 1 】

このような酸化物半導体層 O S C が形成された基板 S U B 1 の表面は、該酸化物半導体層 O S C をも被って保護膜 P A S が形成されている。

【 0 1 4 2 】

そして、保護膜 P A S の表面にはデータ線 D L が形成され、その一部は該保護膜 P A S に形成されたスルーホール T H 1 を通して前記酸化物半導体層 O S C の一端側の低抵抗の半導体層に直接接続されている。また、保護膜 P A S の表面には画素電極 P X が形成され、その一部は該保護膜 P A S に形成されたスルーホール T H 2 を通して前記酸化物半導体層 O S C の他端側の低抵抗の半導体層に直接接続されている。

20

【 0 1 4 3 】

ゲート線 G L およびゲート電極 G T は、たとえば、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、それらと I T O や Z n O 系等の透明酸化物層の積層膜によって形成されている。

【 0 1 4 4 】

絶縁膜 G I は、たとえば、S i O 2、S i N、A l 2 O 3 などの絶縁膜によって形成されている。

【 0 1 4 5 】

データ線 D L と画素電極 P X は、たとえば、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、それらと I T O や Z n O 系等の透明酸化物層の積層膜、あるいは I T O や Z n O 系等の透明導電膜などの同一の膜から形成されている。

30

【 0 1 4 6 】

酸化物半導体層 O S C は、たとえば、Z n O、I n G a Z n O、Z n I n O、Z n S n O などによって形成される。

【 0 1 4 7 】

(製造方法)

図 1 1 は、液晶表示装置の製造方法の他の実施例を示す工程図で、図 1 0 に示した画素における工程を示している。

【 0 1 4 8 】

40

以下、工程順に説明する。

【 0 1 4 9 】

工程 1 . ( 図 1 1 ( a ) )

たとえばガラスからなる基板 S U B 1 を用意し、この基板 S U B 1 の表面 ( 液晶側の面 ) の全域にたとえば金属膜を形成する。

【 0 1 5 0 】

そして、周知のフォトリソグラフィ技術による選択エッチング法を用いて前記金属膜をパターン化し、ゲート線 G L、ゲート電極 G T および保持容量線 R C を形成する。

【 0 1 5 1 】

その後、基板 S U B 1 の表面に、前記ゲート線 G L、ゲート電極 G T および保持容量線

50



R Cをも被って絶縁膜 G I ( 図示せず ) を形成する。

【 0 1 5 2 】

工程 2 . ( 図 1 1 ( b ) )

前記絶縁膜 G I の表面の全域に酸化物半導体層を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記酸化物半導体層をパターン化し、薄膜トランジスタ T F T の形成領域において酸化物半導体層 O S C を残存させる。

【 0 1 5 3 】

この酸化物半導体層 O S C は、前記ゲート電極 G T の直上のいわゆるチャネルとして機能する領域は高抵抗の半導体層 ( 図中符号 H R で示す ) として形成され、それ以外の領域は低抵抗の半導体層 ( 図中符号 L R で示す ) として形成されている。

10

【 0 1 5 4 】

このような酸化物半導体層 O S C は、図 1 2 に示すように、高抵抗の酸化物半導体層 O S C を形成した後に、そのチャネルとして機能させる領域上にたとえばレジストあるいはハードマスク等で覆い、これらレジストあるいはハードマスク等から露出された部分をイオン注入や熱拡散、レーザ拡散などによるドーピング、あるいはレーザ照射、還元アニールなどによる膜の改質を行なって低抵抗化することによって得られる。

【 0 1 5 5 】

この場合、酸化物半導体層 O S C のパターン化と、パターン化された酸化物半導体層 O S C の選択領域の低抵抗化を、ハーフトーンマスクを用いることによって同一のマスク工程で行うことができる。

20

【 0 1 5 6 】

工程 3 . ( 図 1 1 ( c ) )

基板 S U B 1 の表面にたとえば樹脂からなる保護膜 P A S を形成し、前記酸化物半導体層 O S C の一端側の低抵抗の半導体層の一部を露出させるスルーホール T H 1、前記酸化物半導体層 O S C の他端側の低抵抗の半導体層の一部を露出させるスルーホール T H 2 を形成する。

【 0 1 5 7 】

なお、この際、図示していないが、データ線 D L およびゲート線 G L の端部を露出させるコンタクト孔も形成する。

【 0 1 5 8 】

30

その後、前記保護膜 P A S の表面に、前記スルーホール T H 1、T H 2 およびコンタクト孔をも被って透明導電膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記透明導電膜をパターン化し、データ線 D L および画素電極 P X を形成する。

【 0 1 5 9 】

データ線 D L の一部は、保護膜 P A S のスルーホール T H 1 を通して前記酸化物半導体層 O S C の一端側の低抵抗の半導体層 ( ドレイン領域 ) に接続され、薄膜トランジスタ T F T のドレイン電極 D T として機能するようになっている。また、画素電極 P X の一部は、保護膜 P A S のスルーホール T H 2 を通して前記酸化物半導体層 O S C の他端側の低抵抗の半導体層 ( ソース領域 ) に接続され、薄膜トランジスタ T F T のソース電極 S T として機能するようになっている。

40

【 0 1 6 0 】

以上の工程でパターンの形成には、たとえばフォトリソグラフィ技術を用いているが、これに限定されず、たとえば印刷技術などを用いてもよい。

【 0 1 6 1 】

上述のように、本実施例の製造方法は、基板 S U B 1 の液晶側の面の液晶表示領域は、積層膜数が 5 層で、5 回のパターン形成工程で製造することができる。

【 0 1 6 2 】

また、本実施例の構成では、画素電極 P X と液晶の距離が近接し、かつ基板 S U B 1 の表面の凹凸が小さいため、液晶を効率良く制御できる効果を奏する。

【 0 1 6 3 】

50

## 実施例 6

## (画素の構成)

図 13 ( a ) は、本発明による表示装置の画素の構成の他の実施例を示す平面図で、図 10 ( a ) に対応した図となっている。図 13 ( b ) は、図 13 ( a ) の A - B - C - D 線における断面図である。図 10 と同符号の部材は図 1 に示す部材と同機能を有するようになっている。

## 【 0 1 6 4 】

図 13 において、図 10 と比較して異なる構成は、まず、データ線 D L は酸化物半導体層 O S C と同層に形成されている。そして、前記酸化物半導体層 O S C は、薄膜トランジスタ T F T のチャネルとして機能させる領域を高抵抗に、それ以外の領域を低抵抗に形成しており、前記データ線 D L は前記酸化物半導体層 O S C の一端側の低抵抗の半導体層と一体になって形成されていることにある。

10

## 【 0 1 6 5 】

すなわち、前記データ線 D L は酸化物半導体層の O S C の低抵抗化された部分として構成されている。

## 【 0 1 6 6 】

なお、画素電極 P X は、保護膜 P A S の上面に形成され、該保護膜 P A S に形成したスルーホール T H を通して前記酸化物半導体層 O S C の他端側の半導体層と直接接続されて図 10 の場合と同様になっている。

## 【 0 1 6 7 】

ゲート線 G L およびゲート電極 G T は、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、それらと I T O や Z n O 系等の透明酸化物層の積層膜によって形成されている。

20

## 【 0 1 6 8 】

ゲート絶縁膜 G I は、たとえば、S i O<sub>2</sub>、S i N、A l<sub>2</sub>O<sub>3</sub>などの絶縁膜によって形成されている。

## 【 0 1 6 9 】

画素電極 P X は、I T O や Z n O 系の透明導電膜、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、それらと I T O や Z n O 系等の透明酸化物層の積層膜によって形成されている。

30

## 【 0 1 7 0 】

データ線 D L の材料ともなる酸化物半導体層 O S C は、たとえば、Z n O、I n G a Z n O、Z n I n O、Z n S n O などの酸化物によって形成されている。

## 【 0 1 7 1 】

## (製造方法)

図 14 は、液晶表示装置の製造方法の他の実施例を示す工程図で、図 13 に示した画素における工程を示している。

## 【 0 1 7 2 】

以下、工程順に説明する。

40

## 【 0 1 7 3 】

工程 1 . ( 図 14 ( a ) )

たとえばガラスからなる基板 S U B 1 を用意し、この基板 S U B 1 の表面 ( 液晶側の面 ) の全域にたとえば金属膜を形成する。

## 【 0 1 7 4 】

そして、周知のフォトリソグラフィ技術による選択エッチング法を用いて前記金属膜をパターン化し、ゲート線 G L、ゲート電極 G T および保持容量線 R C を形成する。

## 【 0 1 7 5 】

その後、基板 S U B 1 の表面に、前記ゲート線 G L、ゲート電極 G T および保持容量線

50

R Cをも被って絶縁膜 G I ( 図示せず ) を形成する。

【 0 1 7 6 】

工程 2 . ( 図 1 4 ( b ) )

前記絶縁膜 G I の表面の全域に酸化物半導体層を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記酸化物半導体層をパターン化し、データ線 D L および薄膜トランジスタ T F T の形成領域において酸化物半導体層 O S C を残存させる。

【 0 1 7 7 】

データ線 D L の形成領域における酸化物半導体層 O S C と薄膜トランジスタ T F T の形成領域における酸化物半導体層 O S C は互いに連続したパターンで形成される。

【 0 1 7 8 】

この酸化物半導体層 O S C は、前記ゲート電極 G T の直上のいわゆるチャネルとして機能する領域は高抵抗の半導体層 ( 図中符号 H R で示す ) として形成され、それ以外の領域は低抵抗の半導体層 ( 図中符号 L R で示す ) として形成されている。

【 0 1 7 9 】

このことから、データ線 D L およびこれに接続される薄膜トランジスタ T F T のドレイン電極 D T は、前記酸化物半導体層 O S C の低抵抗の半導体層で構成されることになる。

【 0 1 8 0 】

このような酸化物半導体層 O S C は、図 1 2 に示したように、高抵抗の酸化物半導体層 O S C を形成した後に、そのチャネルとして機能させる領域上をたとえばレジストあるいはハードマスク等で覆い、これらレジストあるいはハードマスク等から露出された部分にイオン注入や熱拡散、レーザ拡散などによるドーピング、あるいはレーザ照射、還元アニールなどによる膜の改質を行なって低抵抗化することによって得られる。

【 0 1 8 1 】

この場合、酸化物半導体層 O S C のパターン化と、パターン化された酸化物半導体層 O S C の選択領域の低抵抗化を、ハーフトーンマスクを用いることによって同一のマスク工程で行うことができる。

【 0 1 8 2 】

工程 3 . ( 図 1 4 ( c ) )

基板 S U B 1 の表面にたとえば樹脂からなる保護膜 P A S を形成し、前記酸化物半導体層 O S C のソース領域となる低抵抗の半導体層の一部を露出させるスルーホール T H を形成する。

【 0 1 8 3 】

なお、この際、図示していないが、前記保護膜 P A S にデータ線 D L およびゲート線 G L の端部を露出させるコンタクト孔も形成する。

【 0 1 8 4 】

その後、前記保護膜 P A S の表面に、前記スルーホール T H およびコンタクト孔をも被って透明導電膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記透明導電膜をパターン化し、画素電極 P X を形成する。

【 0 1 8 5 】

画素電極 P X の一部は、保護膜 P A S のスルーホール T H を通して前記酸化物半導体層 O S C のソース領域となる低抵抗の半導体層に接続され、薄膜トランジスタ T F T のソース電極 S T として機能するようになっている。

【 0 1 8 6 】

以上の工程でパターンの形成には、たとえばフォトリソグラフィ技術を用いているが、これに限定されず、たとえば印刷技術などを用いてもよい。

【 0 1 8 7 】

上述のように、本実施例の製造方法は、基板 S U B 1 の液晶側の面の液晶表示領域は、積層膜数が 5 層で、5 回のパターン形成工程で製造することができる。

【 0 1 8 8 】

また、本実施例の構成では、画素電極 P X と液晶の距離が近接し、かつ基板 S U B 1 の

10

20

30

40

50

表面の凹凸が小さいため、液晶を効率良く制御できる効果を奏する。

【0189】

実施例7

(画素の構成)

図15(a)は、本発明による表示装置の画素の構成の他の実施例を示す平面図で、図1(a)に対応した図となっている。また、図15(b)は、図15(a)のA-B-C-D線における断面図である。図1と同符号の部材は図1に示す部材と同機能を有するようになっている。

【0190】

図15において、図1の場合と比較して異なる構成は、画素電極PXにあり、この画素電極PXは、薄膜トランジスタTFTの半導体層である酸化物半導体層OSCから延在して一体に形成され、該酸化物半導体層OSCを低抵抗化した領域(符号LRで示す)で構成している。

10

【0191】

したがって、ゲート電極GTの上方に形成される薄膜トランジスタTFTの酸化物半導体層OSCは該薄膜トランジスタTFTのチャンネル領域となる高抵抗の領域(符号HRで示す)を有し、前記画素電極PXとの境界は前記ゲート電極GTの上方に位置づけられている。

【0192】

なお、前記画素電極PXの前記チャンネル領域との境界に近接する部分は薄膜トランジスタTFTのソース電極STとして機能している。

20

【0193】

データ線DLと一体に形成される薄膜トランジスタTFTのドレイン電極DTは、高抵抗の酸化物半導体層OSCの下層に位置づけられ該酸化物半導体層OSCと直接に接続され、図1に示す構成と同様となっている。

【0194】

また、薄膜トランジスタTFT等を被って形成される保護膜PASは、前記画素電極PXの僅かな周辺を除いた中央の大部分を露呈させる開口OPが形成されているのも、図1に示す構成と同様となっている。

【0195】

ゲート線GLおよびゲート電極GTは、たとえば、モリブデン、クロム、タンゲステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、それらとITOやZnO系等の透明酸化物層の積層膜によって形成されている。

30

【0196】

ゲート絶縁膜GIは、たとえば、SiO<sub>2</sub>、SiN、Al<sub>2</sub>O<sub>3</sub>などの絶縁膜によって形成されている。

【0197】

データ線DLは、たとえば、モリブデン、クロム、タンゲステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、それらとITOやZnO系等の透明酸化物層の積層膜によって形成されている。

40

【0198】

酸化物半導体層OSCは、たとえば、ZnO、InGaZnO、ZnInO、ZnSnOなどによって形成されている。

【0199】

(製造方法)

図16は、液晶表示装置の製造方法の他の実施例を示す工程図で、液晶表示領域の一画素における工程を示す。

【0200】

50

以下、工程順に説明する。

【0201】

工程1．(図16(a))

たとえばガラスからなる基板SUB1を用意し、この基板SUB1の表面(液晶側の面)の全域にたとえば金属膜を形成する。

【0202】

そして、周知のフォトリソグラフィ技術による選択エッチング法を用いて前記金属膜をパターン化し、ゲート線GL、ゲート電極GTおよび保持容量線RCを形成する。

【0203】

その後、基板SUB1の表面に、前記ゲート線GL、ゲート電極GTおよび保持容量線RCをも被って絶縁膜GI(図示せず)を形成する。

10

【0204】

工程2．(図16(b))

前記絶縁膜GIの表面の全域に金属膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記金属膜をパターン化し、データ線DLおよびドレイン電極DTを形成する。

【0205】

さらに、前記絶縁膜GIの表面に前記データ線DLおよびドレイン電極DTをも被って酸化物半導体層OSCを形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記酸化物半導体層OSCをパターン化し、薄膜トランジスタTFTの半導体層の形成領域の他に、画素電極PXおよびソース電極STの形成領域にも残存させる。

20

【0206】

工程3．(図16(c))

前記酸化物半導体層OSCの全域のうち画素電極PXおよびソース電極STの形成領域を低抵抗化する。

【0207】

酸化物半導体層OSCの選択的な低抵抗化は、上述したように、低抵抗化を回避する領域(ここでは、チャンネルおよびドレインとして機能する領域)を、たとえばレジストやハードマスク等で覆い、その後イオン注入や熱拡散、レーザ拡散などによるドーピング、あるいはレーザ照射、還元アニールなどによって膜の改質を行なうこととされる。

30

【0208】

この場合、マスクとしてハーフトーンマスクを用いることにより、1回のマスク工程で、前記酸化物半導体層OSCの選択除去と選択的な低抵抗化を行うことができる。

【0209】

その後は、基板SUB1の表面の全域に、たとえば樹脂等の絶縁膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記絶縁膜をパターン化して保護膜PAS(図示せず)を形成する。

【0210】

この保護膜PASは、画素電極PXの僅かな周辺を除く中央部のほとんどを露出させる開口OPとともに、図示されていないが、データ線DLおよびゲート線GLの端部を露出させるコンタクト孔が形成されるようになる。

40

【0211】

以上の工程において、金属層等の所定のパターン加工はフォトリソグラフィ技術による選択エッチング法を用いたものであるが、これに限定されることはなく、たとえば印刷技術などを用いてもよい。

【0212】

上述のように、本実施例の液晶表示装置の製造方法では、基板SUB1の液晶側の面の液晶表示領域において、積層膜数が5層で、4回のパターン形成工程で製造することができることが判る。

【0213】

50

## 実施例 8

## (画素の構成)

図 17 ( a ) は、本発明による表示装置の画素の構成の他の実施例を示す平面図で、図 15 ( a ) に対応した図となっている。また、図 17 ( b ) は、図 17 ( a ) の A - B - C - D 線における断面図である。図 15 と同符号の部材は図 15 に示す部材と同機能を有するようになっている。

## 【 0 2 1 4 】

図 17 において、図 15 の場合と比較して異なる構成は、データ線 D L においてもそれと一体に形成される薄膜トランジスタ T F T のドレイン電極とともに、前記薄膜トランジスタ T F T の半導体層である酸化物半導体層 O S C から延在して一体に形成され、該酸化物半導体層 O S C を低抵抗化した領域 ( 符号 L R で示す ) で構成していることにある。

10

## 【 0 2 1 5 】

ゲート電極 G T の上方に形成される薄膜トランジスタ T F T の酸化物半導体層 O S C は該薄膜トランジスタ T F T のチャネル領域となる高抵抗の領域 ( 符号 H R で示す ) を有し、前記データ線 D L との境界は前記ゲート電極 G T の上方に位置づけられている。

## 【 0 2 1 6 】

なお、前記データ線 D L の前記チャネル領域との境界に近接する部分は薄膜トランジスタ T F T のドレイン電極 D T として機能している。

## 【 0 2 1 7 】

ゲート線 G L およびゲート電極 G T は、たとえば、モリブデン、クロム、タングステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの合金膜、それらの積層膜、それらと I T O や Z n O 系等の透明酸化物層の積層膜によって形成されている。

20

## 【 0 2 1 8 】

ゲート絶縁膜 G I は、たとえば、S i O 2、S i N、A l 2 O 3 などの絶縁膜によって形成されている。

## 【 0 2 1 9 】

酸化物半導体層は、たとえば、Z n O、I n G a Z n O、Z n I n O、Z n S n O などによって形成されている。

## 【 0 2 2 0 】

## (製造方法)

図 18 は、液晶表示装置の製造方法の他の実施例を示す工程図で、液晶表示領域の一画素における工程を示す。

30

## 【 0 2 2 1 】

以下、工程順に説明する。

## 【 0 2 2 2 】

工程 1 . ( 図 18 ( a ) )

たとえばガラスからなる基板 S U B 1 を用意し、この基板 S U B 1 の表面 ( 液晶側の面 ) の全域にたとえば金属膜を形成する。

## 【 0 2 2 3 】

そして、周知のフォトリソグラフィ技術による選択エッチング法を用いて前記金属膜をパターン化し、ゲート線 G L、ゲート電極 G T および保持容量線 R C を形成する。

40

## 【 0 2 2 4 】

その後、基板 S U B 1 の表面に、前記ゲート線 G L、ゲート電極 G T および保持容量線 R C をも被って絶縁膜 G I ( 図示せず ) を形成する。

## 【 0 2 2 5 】

工程 2 . ( 図 18 ( b ) )

前記絶縁膜 G I の表面に酸化物半導体層 O S C を形成する。この場合、この実施例では該酸化物半導体層 O S C としてたとえば低抵抗化されたものを形成している。

## 【 0 2 2 6 】

50

そして、フォトリソグラフィ技術による選択エッチング法を用いて前記酸化物半導体層OSCをパターン化し、薄膜トランジスタTFTの半導体層の形成領域の他に、画素電極PXおよびソース電極STの形成領域、およびデータ線DLおよびドレイン電極DTの形成領域に残存させる。

【0227】

工程3.(図18(c))

前記酸化物半導体層OSCの全域のうち薄膜トランジスタTFTのチャネル領域に相当する部分以外を高抵抗化する。

【0228】

酸化物半導体層OSCの選択的な低抵抗化は、低抵抗化を回避する領域(ここでは、チャネル領域)を、たとえばレジストやハードマスク等で覆い、その後それ以外の部分にイオン注入や熱拡散、レーザ拡散などによるドーピング、あるいはレーザ照射、還元アニールなどによって膜の改質を行なうことでなされる。

10

【0229】

この場合、マスクとしてハーフトーンマスクを用いることにより、1回のマスク工程で、前記酸化物半導体層OSCの選択的除去と選択的な領域の低抵抗化を行うことができる。

【0230】

その後は、基板SUB1の表面の全域に、たとえば樹脂等の絶縁膜を形成し、フォトリソグラフィ技術による選択エッチング法を用いて前記絶縁膜をパターン化して保護膜PAS(図示せず)を形成する。

20

【0231】

この保護膜PASは、画素電極PXの僅かな周辺を除く中央部のほとんどを露出させる開口OPとともに、図示されていないが、データ線DLおよびゲート線GLの端部を露出させるコンタクト孔が形成されるようになる。

【0232】

以上の工程において、金属層等の所定のパターンの加工はフォトリソグラフィ技術による選択エッチング法を用いたものであるが、これに限定されることはなく、たとえば印刷技術などを用いてもよい。

【0233】

上述のように、本実施例の液晶表示装置の製造方法では、基板SUB1の液晶側の面の液晶表示領域において、積層膜数が4層で、3回のパターン形成工程で製造することができることが判る。

30

【0234】

実施例9

(画素の構成)

図19(a)は、本発明による表示装置の画素の構成の他の実施例を示す平面図であり、図1(a)と対応した図となっている。また、図19(b)は、図19(a)のA-B-C-D線における断面図である。図1と同符号の部材は図1に示す部材と同機能を有するようになっている。

40

【0235】

図19において、図1と比較して異なる構成は、まず、ゲート信号線GLと同層に画素領域の大部分に及んで平板状の対向電極CTが形成されており、この対向電極CTの上方には絶縁膜GIを介して画素電極PXが前記対向電極CTと重畳して形成されていることにある。

【0236】

そして、前記対向電極CTには該対向電極CTと一体に前記ゲート信号線GLと平行して形成されているコモン線CLを通して基準信号が供給されるようになっていることにある。

【0237】

50

さらに、映像信号が供給される前記画素電極 P X はたとえば櫛歯状のパターンからなり複数の線状電極が並設された電極群で構成されていることにある。

【0238】

このような液晶表示装置は、画素電極 P X と対向電極 C T の間に、基板 S U B 1 の面と平行な電界成分を一部に含む電界（いわゆる横電界）を発生させて液晶の分子を駆動させる構成（I P S : In-Plane-Switching）となっている。

【0239】

図19に示す構成は、図1に示す構成において、上記I P S 構造を適用させたものであるが、上述した各実施例においても上記I P S 構造を適用させることができる。

【0240】

実施例10

図20は、マトリクス状に画素が形成された基板 S U B 1 上に、ゲート信号駆動回路 V およびデータ信号駆動回路 H e が形成されていることを示した平面図である。

【0241】

各ゲート線 G L への走査信号の供給はゲート信号駆動回路 V によってなされ、各データ線 D L への映像信号の供給はデータ信号駆動回路 H e によってなされるようになっている。

【0242】

なお、図20には図示されていないが、基板 S U B 1 に保持容量 R C 、あるいはコモン線 C L および対向電極 C T を形成する場合において、保持容量 R C 、あるいはコモン線 C L は、モリブデン、クロム、タンゲステン、アルミ、銅、チタン、ニッケル、タンタル、銀、亜鉛、あるいはその他の金属の単膜、それらの積層膜、それらの合金膜、それらと I T O や Z n O 系等の透明酸化物層の積層膜によって構成してもよい。

【0243】

前記基板 S U B は、通常ガラス基板以外に、たとえば合成樹脂あるいはステンレス等からなるフレキシブル基板として構成してもよい。低温で成膜可能な材料を用いているため基板 S U B 1 の材料に合成樹脂を用いることができるからである。

【0244】

上述した各実施例の表示装置およびその製造方法は、透過型、反射型、半透過型、I P S 型、あるいはI P S - P r o 型の各液晶表示装置はもちろんのこと、有機 E L 表示装置等の他の表示装置にも適用できる。画素毎に薄膜トランジスタを備えアクティブマトリクス駆動がなされる表示装置において同様の課題を有するからである。

【0245】

上述した各実施例はそれぞれ単独に、あるいは組み合わせ用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【図面の簡単な説明】

【0246】

【図1】本発明による表示装置の画素の構成の一実施例を示す図である。

【図2】本発明による表示装置として液晶表示装置を例に挙げ、その液晶表示領域に形成される回路の一実施例を示す構成図である

【図3】本発明による表示装置の製造方法の一実施例を示す工程図で、図2に示す画素における工程を示す図である。

【図4】本発明による表示装置の画素の他の実施例を示す構成図である。

【図5】本発明による表示装置の製造方法の他の実施例を示す工程図で、図4に示す画素における工程を示す図である。

【図6】本発明による表示装置の画素の他の実施例を示す構成図である。

【図7】本発明による表示装置の製造方法の他の実施例を示す工程図で、図6に示す画素における工程を示す図である。

【図8】本発明による表示装置の画素の他の実施例を示す構成図である。

【図9】本発明による表示装置の製造方法の他の実施例を示す工程図で、図8に示す画素

10

20

30

40

50



における工程を示す図である。

【図 1 0】本発明による表示装置の画素の他の実施例を示す構成図である。

【図 1 1】本発明による表示装置の製造方法の他の実施例を示す工程図で、図 1 0 に示す画素における工程を示す図である。

【図 1 2】本発明による表示装置の製造方法に適用される方法で、基板の上面に形成した酸化物半導体層に選択的に抵抗の低い領域を形成する場合の説明図である。

【図 1 3】本発明による表示装置の画素の他の実施例を示す構成図である。

【図 1 4】本発明による表示装置の製造方法の他の実施例を示す工程図で、図 1 3 に示す画素における工程を示す図である。

【図 1 5】本発明による表示装置の画素の他の実施例を示す構成図である。

10

【図 1 6】本発明による表示装置の製造方法の他の実施例を示す工程図で、図 1 5 に示す画素における工程を示す図である。

【図 1 7】本発明による表示装置の画素の他の実施例を示す構成図である。

【図 1 8】本発明による表示装置の製造方法の他の実施例を示す工程図で、図 1 7 に示す画素における工程を示す図である。

【図 1 9】本発明による表示装置の画素の他の実施例を示す構成図である。

【図 2 0】本発明による表示装置において基板に信号駆動回路が搭載されている場合の構成を説明する図である。

【符号の説明】

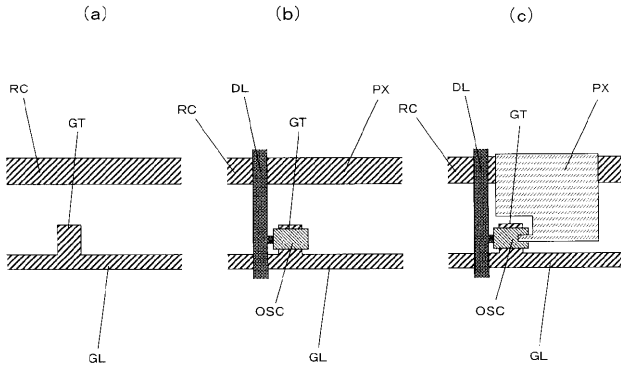
【 0 2 4 7】

20

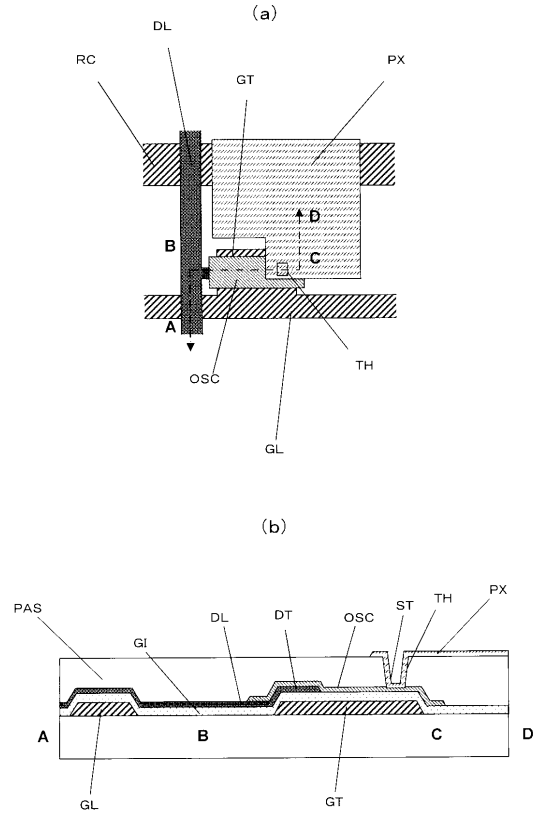
S U B 1 ... 基板、T F T ... 薄膜トランジスタ、G I ... 絶縁膜、G L ... ゲート線、G T ... ゲート電極、D L ... データ線、D T ... ドレイン電極、P X ... 画素電極、S T ... ソース電極、O S C ... 酸化物半導体層、H R ... 高抵抗の半導体層、L R ... 低抵抗の半導体層、R C ... 保持容量、C L ... コモン線、C T ... 対向電極、P A S ... 保護膜、O P ... 開口、T H ... スルーホール、V ... ゲート信号駆動回路、H e ... ソース信号駆動回路。



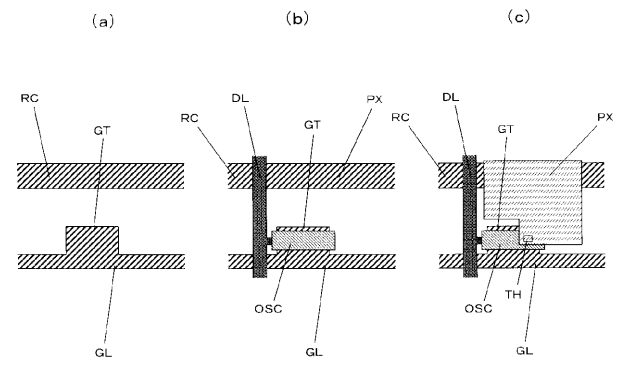
【 図 5 】



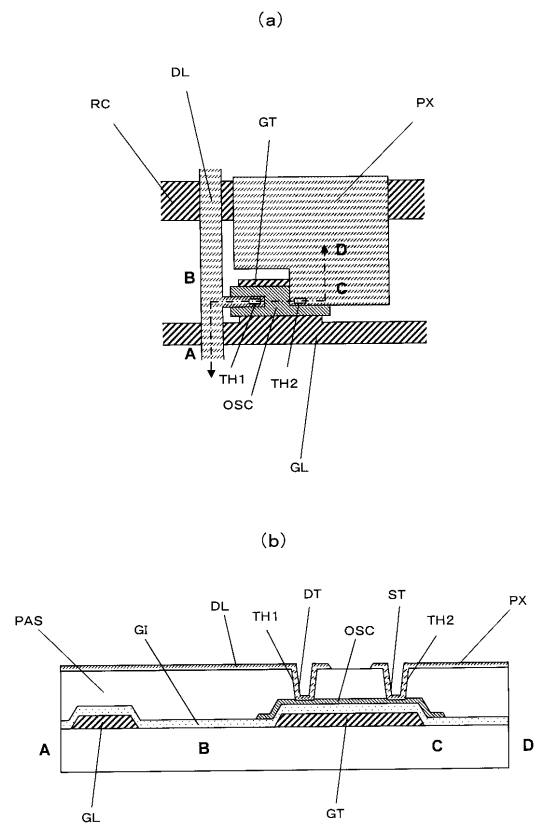
【 図 6 】



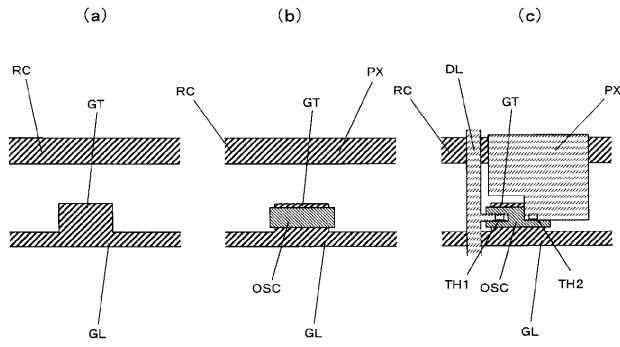
【 図 7 】



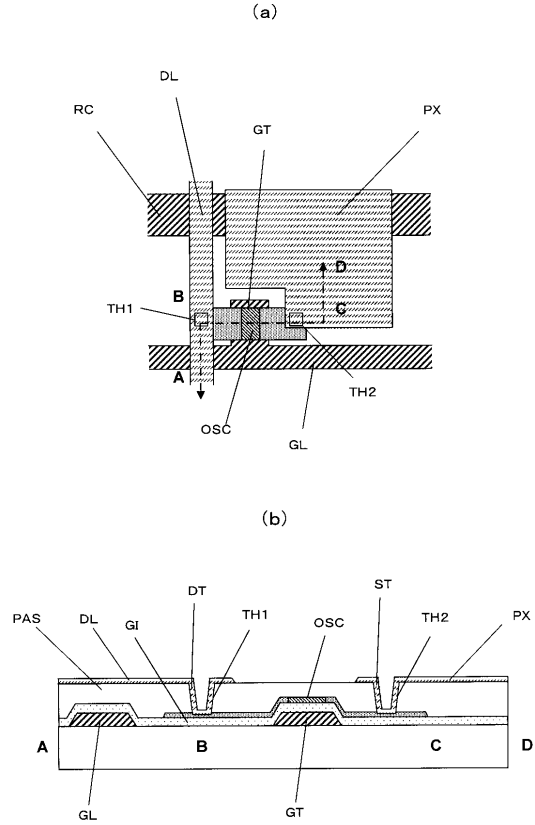
【 図 8 】



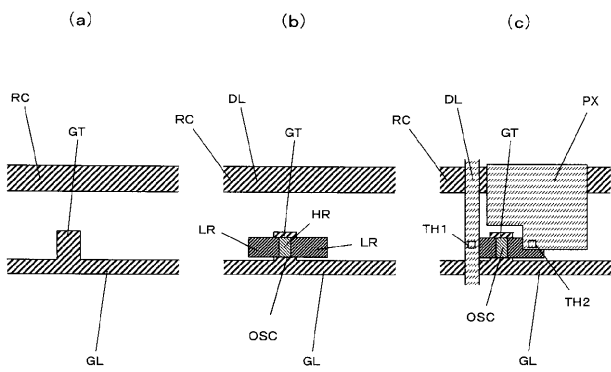
【 図 9 】



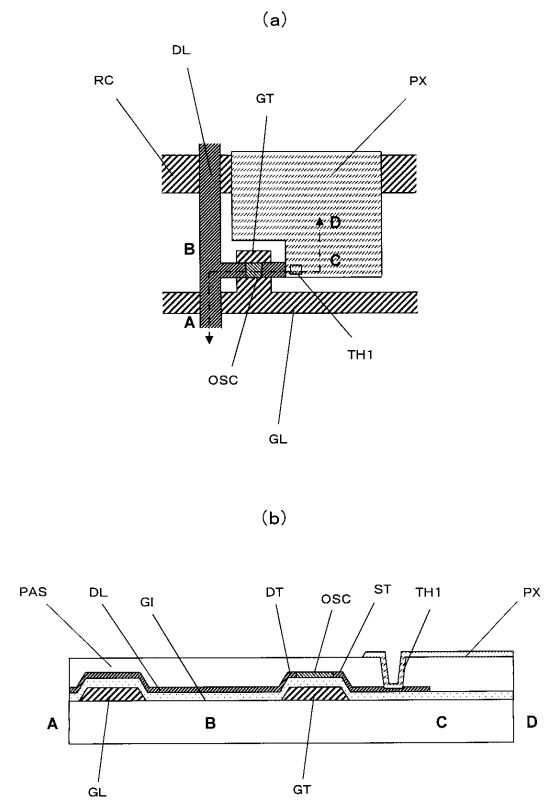
【 図 10 】



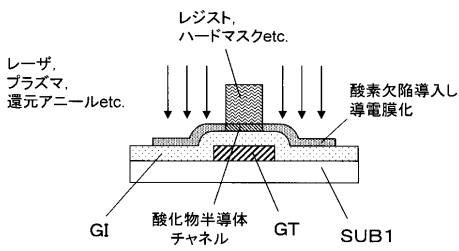
【 図 11 】



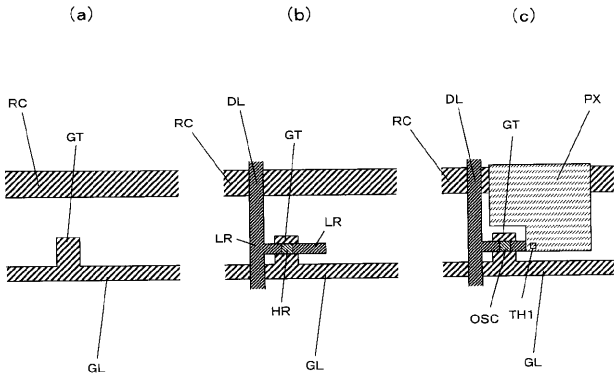
【 図 13 】



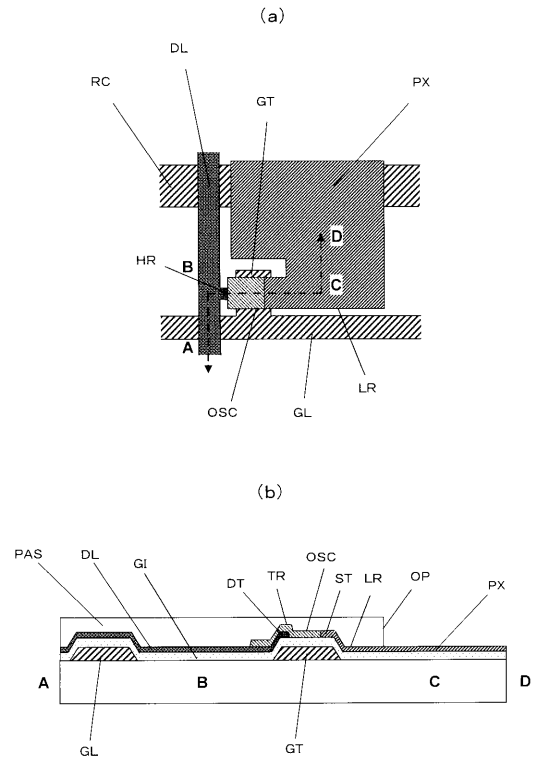
【 図 12 】



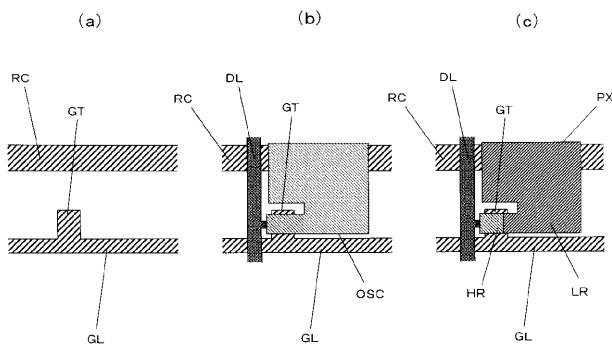
【 図 1 4 】



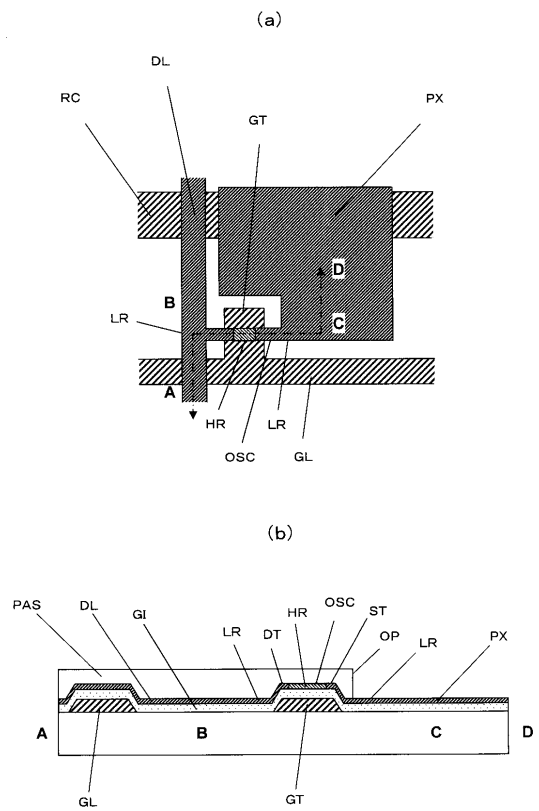
【 図 1 5 】



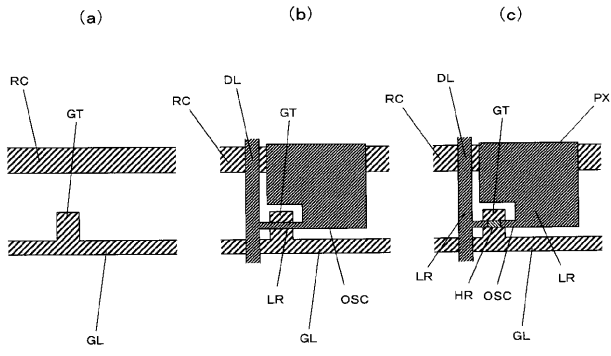
【 図 1 6 】



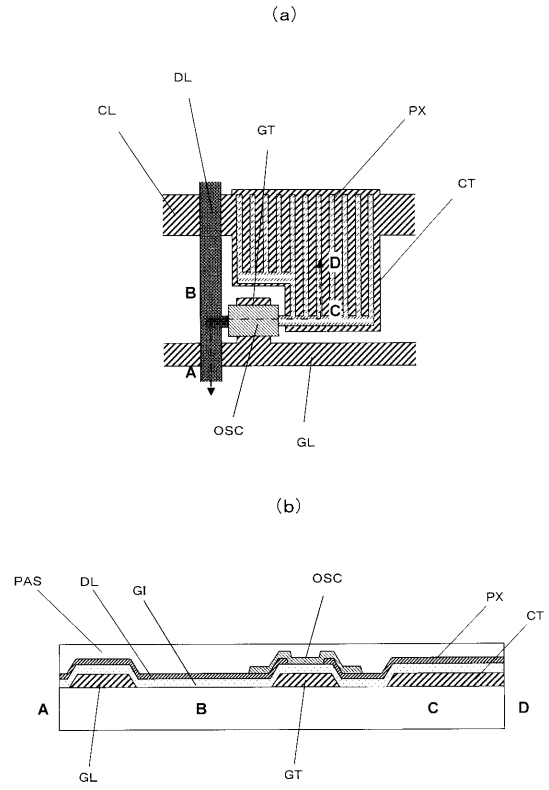
【 図 1 7 】



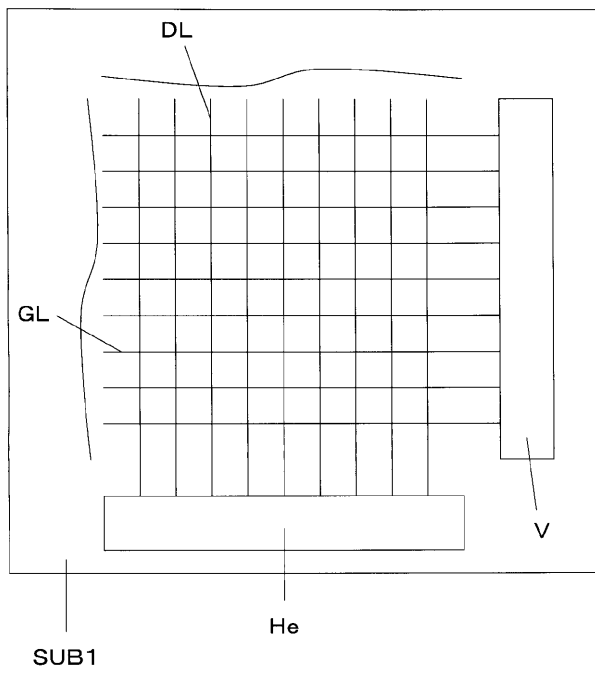
【 図 18 】



【 図 19 】



【 図 20 】



---

フロントページの続き

Fターム(参考) 2H092 JA26 JA28 JA37 JA41 JA46 JB23 JB33 JB57 KA07 KA18  
KA23 MA13 MA17 NA07 NA27  
5F110 AA16 BB01 CC03 CC04 DD02 EE02 EE03 EE04 EE07 FF01  
FF02 FF03 GG04 HJ12 HJ13 HK02 HK03 HK04 HK07 HL02  
HL03 HL04 HL07 HM17 HM18 NN02 NN27 NN72 NN73 QQ02