

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. ⁷
H01L 21/78

(11) 공개번호 특2001 - 0105162
(43) 공개일자 2001년11월28일

(21) 출원번호 10 - 2001 - 0022131
(22) 출원일자 2001년04월24일

(30) 우선권주장 2000 - 124721 2000년04월25일 일본(JP)

(71) 출원인 닛본 덴기 가부시끼가이샤
가네꼬 히사시
일본국 도쿄도 미나토구 시바 5쵸메 7방 1고

(72) 발명자 시마다마사오
일본국도쿄도미나토구시바5쵸메7방1고닛본덴기가부시끼가이샤나이

(74) 대리인 조의제

심사청구 : 있음

(54) 반도체장치의 제조방법

요약

복수개의 반도체소자들을 갖는 반도체웨이퍼의 표면이 제1웨이퍼지지기판상에 적층된다. 다음에, 반도체웨이퍼의 전체 배면이 제1전도층으로 코팅된다. 그런 다음, 제2전도층이 그 위에 선택적으로 형성된다. 그럼 다음, 배면측유리기판이 제1 및 제2전도층상에 적층된다. 다음에, 제1웨이퍼지지기판이 벗겨진다. 다음에, 반도체웨이퍼는 반도체소자들로 분리되도록 선택적으로 식각된다. 그런 다음, 제1전도층은 접지전위에 연결되어 반도체소자들의 전기특성들을 측정하고 반도체소자들을 양품 및 불량품으로 분류한다. 그런 다음, 제1전도층은 칩들로 분리되도록 선택적으로 식각되어 반도체 팹릿들이 형성된다. 마지막으로, 제2웨이퍼지지기판이 벗겨진다.

대표도
도 3

색인어
반도체팹릿, 반도체소자선별, 전기특성, 접지전극, 인덕턴스

명세서

도면의 간단한 설명

도 1은 종래의 반도체패릿의 구성을 보여주는 단면도;

도 2a 내지 도 2d는 종래의 반도체패릿의 제조방법을 공정단계들의 순서로 보여주는 사시도들;

도 3은 본 발명의 제1실시예에 따른 반도체패릿 제조공정의 특성들을 보여주는 사시도;

도 4a 내지 도 4h는 제1실시예에 따른 반도체패릿의 제조방법을 공정단계들의 순서로 보여주는 사시도들; 및

도 5a 내지 도 5g는 본 발명의 제2실시예에 따른 반도체패릿의 제조방법을 공정단계들의 순서로 보여주는 사시도들.

※도면의 주요부분에 대한 부호의 설명

1 : 유리기판 2 : 레지스트막

3 : 도금용 금속막 4 : 반도체소자

5 : 정면측유리기판 6 : GaAs웨이퍼

7 : 저융점왁스 8 : 금도금층

9 : 금속층 10 : 반도체패릿

11 : 은페이스트

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치의 제조방법에 관한 것이다. 상세하게는, 본 발명은 반도체장치의 특성들이 웨이퍼상태에서 평가될 수 있는 반도체장치 제조방법에 관한 것이다.

GaAs 등과 같은 화합물반도체들이 Si의 전자이동도보다 높은 전자이동도를 가짐으로써, Si와 비교하여 우수한 고주파 특성을 갖는다. 그러므로, 화합물반도체들은, 쇼트키접합(Schottky junction)게이트를 사용하는 고속동작을 위한 금속 반도체전계효과트랜지스터(이하, "MESFET"라 함)와 같은 반도체소자인 전계효과트랜지스터(FET), 및 집적화된 아날로그신호증폭기, 디지털신호증폭기 등과 같은 반도체집적회로에 적용되고 있다. 반도체장치 및 반도체집적회로에 사용된 반도체소자의 동작속도가 최근 증가된다. 100GHz의 동작주파수를 갖는 반도체소자가 오늘날 실용화되고 있다. 그 결과, 반도체소자의 고주파특성이 점차 중요해지고 있다.

종래, 그런 반도체소자의 제조방법으로서 다양한 방법들이 제시되었다. 대량생산의 제조공정들에 널리 사용된 이 기법들은, 예를 들면, 일본공개특허공보 제2 - 022841호에 종래기술로서 개시된 기법을 포함한다. 도 1은 이 종래기술의 반도체패릿의 구성을 보여주는 단면도이다. 도 2a 내지 도 2d는 이 종래의 반도체패릿의 제조방법을 공정단계들의 순서로 보여주는 사시도들이다. 이 종래기술은 도 1 및 도 2a 내지 도 2d를 참조하여 이하 설명될 것이다.

우선, 이 종래의 반도체패릿의 구성의 개요를 도 1을 참조하여 설명할 것이다. MESFET는 이 반도체패릿에 반도체소자로서 형성된다. 도 1에 보여진 반도체패릿(111)에서, 소스전극(103) 및 드레인전극(104)이 그들 사이에 개재된 게이트전극(102)과 함께 GaAs기판(101)상에 형성된다. 게이트전극(102) 및 드레인전극(104)은 층간절연막(105)에 제공된 개구들(105a 및 105b)을 통해 게이트리드전극(106) 및 드레인리드전극(107)에 각각 연결된다. 한편, 소스전극(103)은 GaAs기판(101)에 제공된 스루홀(비어홀; 108)을 통해 GaAs기판(101)의 배면상에 적층된 도금용 금속층(109) 및 금도금층(110)에 연결된다. 이 적층된 도금용 금속층(109) 및 금도금층(110)은 소스전극(103)의 리드전극을 구성한다. 금도금층(110)은 도금방열판(PHS)으로서도 기능한다. 이 반도체패릿(111)은 그렇게 구성되고, 약 0.5 - 2mm의 길이를 갖는다.

반도체소자들의 칩들로의 분리방법이 도 2a 내지 도 2d를 참조하여 설명될 것이다. 도 1에 설명된 구성요소들과 동일한 구성요소들은 도 2a 내지 도 2d에서 동일한 참조부호로 나타낸다. 도 2a에 보여진 바와 같이, 반도체소자들이 형성된 GaAs웨이퍼(113)는, 반도체소자들이 형성된 GaAs웨이퍼(113)의 표면(이하, "정면(front surface)"이라 함)이 유리기판(112)측을 향하게 저융점왁스(114)를 통해 유리기판(112)상에 적층된다. 그런 다음, GaAs웨이퍼(113)를, 예를 들면, 40 μ m의 두께를 갖는 박층으로 형성하는 공지된 방법이 사용된다. 다음에, 스루홀들(108; 도 1 참조)이 소정의 영역내에 형성된다. 그런 다음, 도금용 금속막(109a)은 반도체소자들이 형성되지 않은 GaAs웨이퍼(113)의 전체면(이하, "배면"이라 함)에 형성된다.

다음에, 도 2b에 보여진 바와 같이, 금도금층(110)은 포토레지스트패턴을 사용하는 공지된 방법에 의해 도금용 금속막(109a)상에 선택적으로 형성된다. 그런 다음, 도금용 금속막(109a)은 금도금층(110)을 마스크로서 사용하여 패터닝되어 전술한 도금용 금속층(109)을 형성한다.

다음에, 도 2c에서 보여진 바와 같이, GaAs웨이퍼(113)는 금도금층(110)을 마스크로서 사용하여 식각된다. 결국, GaAs웨이퍼(113)는 칩들로 분리되어 반도체소자들(115)을 형성한다. 그런 다음, 저융점왁스(114)는 융점 이상의 온도로의 가열에 의해 용해되어 유리기판(112)을 반도체소자들(115)로부터 벗겨낸다. 그런 다음, 반도체소자들(115)은 유기용매로 세정되었다.

그래서, 반도체소자(115), 도금용 금속층(109) 및 금도금층(110)으로 구성된 반도체패릿(111)이 도 2d에 보여진 바와 같이 형성된다. 도금용 금속층(109)은 반도체소자(115)의 배면에 형성되고, 금도금층(110)은 반도체소자의 상부에 형성된다.

다음에, 전술한 바와 같이 칩들로 분리된 모든 반도체패릿들(111)의 고주파(RF)특성들이 측정된다. 측정결과들에 따라, 반도체패릿들(111)은 양품/불량품(이하 "양품/불량품선별"이라 함)으로 분류된다.

전술한 바와 같이 종래기술에서는, GaAs웨이퍼(113)는 칩들로 분리되어 반도체패릿들(111)을 형성한 다음, 반도체패릿(111)에 형성된 각각의 반도체소자(115)의 RF특성과 같은 전기특성 등이 개별적으로 측정된다. 그러나, 이 방법에서는, 반도체패릿들(111)을 양품 및 불량품들로 분류하기 위해 다수의 공정들이 요구됨으로써, 반도체패릿들(111)의 제조비용을 상승시킨다.

이 문제를 해결하기 위해, 하나의 GaAs웨이퍼를 칩들로 분리함으로써 형성된 모든 반도체패릿들이 전기특성들의 측정을 받지는 않으나, 하나의 GaAs웨이퍼로부터 형성된 여러 개의 반도체패릿들이 선택되어 전기특성들을 측정하므로, 전체 GaAs웨이퍼의 품질이 판정된다. 그러나, 결함이 있는 반도체패릿들이 양품으로서 결정된 GaAs웨이퍼에 종종 섞여 있으므로 이 방법은 대량생산에는 실용적이지 못하다.

또한, 종래기술에서는 개개의 반도체소자의 전기특성들이 측정되므로, 측정시에 반도체소자의 전극들 및 측정장치의 탐침들간의 인덕턴스가 증가한다. 접지전극의 인덕턴스가 특히 증가되고, 전기특성들이 정확하게 측정될 수 없는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은, 양품/불량품선별이 반도체소자들의 전기특성들을 측정함으로써 편리하게 수행되고, 반도체소자들이 접지전극의 인덕턴스를 감소시킴으로써 정확하게 선별되는 반도체장치의 제조방법을 제공하는 것이다.

발명의 구성 및 작용

본 발명에 따른 반도체장치의 제조방법은, 제1표면에 복수개의 반도체소자들을 갖는 반도체웨이퍼를, 제1웨이퍼지지기판상에 제1접착제를 사용하여 제1표면을 제1웨이퍼지지기판에 접촉하도록 적층하는 단계; 반도체소자들이 형성되지 않은 상기 반도체웨이퍼의 제2표면을 연마하여 소정 두께의 반도체웨이퍼를 형성하는 단계; 제1전도층을 상기 반도체웨이퍼의 제2표면 전체에 코팅하는 단계; 상기 반도체웨이퍼의 상기 제1표면에 형성된 반도체소자들에 정렬되는 영역들의 상기 제1전도층상에 제2전도층을 선택적으로 형성하는 단계; 제2웨이퍼지지기판을 제2접착제를 사용하여 제1전도층 및 제2전도층상에 형성하는 단계; 제1접착제를 용융시켜 제1웨이퍼지지기판을 반도체웨이퍼로부터 벗겨내고 반도체웨이퍼의 제1표면을 노출시키는 단계; 반도체소자들로 분리되고 제1전도층을 부분적으로 노출시키기 위해 반도체웨이퍼를 노출된 면으로부터 선택적으로 식각하는 단계; 양품 및 불량품으로 분류되도록 반도체소자들을 평가하는 단계; 제1전도층의 노출부를 선택적으로 식각하는 단계; 및 제2접착제를 제거하여 제2웨이퍼지지기판을 제1 및 제2전도층들로부터 벗겨내는 단계를 포함한다.

본 발명에 따른 반도체장치의 다른 제조방법은, 제1표면에 복수개의 반도체소자들을 갖는 반도체웨이퍼를, 제1웨이퍼지지기판상에 제1접착제를 사용하여 제1표면을 제1웨이퍼지지기판에 접촉하도록 적층하는 단계; 반도체소자들이 형성되지 않은 상기 반도체웨이퍼의 제2표면을 연마하여 소정 두께의 반도체웨이퍼를 형성하는 단계; 제1전도층을 상기 반도체웨이퍼의 제2표면 전체에 코팅하는 단계; 상기 반도체웨이퍼의 상기 제1표면에 형성된 반도체소자들에 정렬되는 영역들의 상기 제1전도층상에 제2전도층을 선택적으로 형성하는 단계; 선택적으로 형성된 제2전도층을 마스크로서 사용하여 제1전도층을 선택적으로 식각하는 단계; 제2웨이퍼지지기판을 전도체인 제2접착제를 사용하여 제2전도층상에 적층하는 단계; 제1접착제를 용융시켜 제1웨이퍼지지기판을 반도체웨이퍼로부터 벗겨내고 반도체웨이퍼의 표면을 노출시키는 단계; 반도체소자들로 분리되고 제2접착면을 부분적으로 노출시키기 위해 반도체웨이퍼를 노출된 면으로부터 선택적으로 식각하는 단계; 양품 및 불량품으로 분류되도록 반도체소자들을 평가하는 단계; 및 제2접착제를 제거하여 제2웨이퍼지지기판을 제2전도층으로부터 벗겨내는 단계를 포함한다.

제1전도층은 반도체웨이퍼표면에 형성된 반도체소자의 접지전극, 예를 들면, MESFET의 소스전극에 전기적으로 연결될 수도 있다. 그런 다음, 반도체소자들의 선별시에, 선택적으로 식각되기 전의 제1전도층이 접지전위에 연결되어 반도체소자의 전기특성들을 측정할 수도 있다. 또는, 제1전도층은 반도체웨이퍼표면에 형성된 반도체소자의 접지전극, 예를 들면, MESFET의 소스전극에 전기적으로 연결될 수 있다. 그런 다음, 반도체소자들의 선별시에, 전도체인 제2전도층이 접지전위에 연결되어 반도체소자의 전기특성들을 측정할 수도 있다.

더욱이, 반도체소자는 전계효과트랜지스터일 수도 있다. 전계효과트랜지스터의 양품/불량품선별에서 측정된 전기특성들은 바람직하게는 고주파특성을 포함한다. 이 이유는, 반도체소자의 동작속도가 증가되므로 고주파특성이 중요해지는데 있다.

전도체인 제2접착제는 은페이스트와 같은 전도성 페이스트가 될 수도 있다. 제1접착제는 저융점왁스일 수 있다. 더욱이, 제1웨이퍼지지기판 및 제2웨이퍼지지기판 중 적어도 하나는 투명기판일 수도 있다. 이 투명기판은 유리기판, 석영기판 또는 사파이어기판에 의해 구성될 수도 있다.

본 발명에서, 제1전도층은 반도체웨이퍼상에 형성된 반도체소자의 접지전극, 예를 들면, 전계효과트랜지스터의 소스전극에 연결되므로, 이 반도체소자의 접지전극의 인덕턴스는 제품으로서 패키지에 탑재된 반도체소자의 레벨과 거의 동일한 레벨로 감소된다. 그 결과, 반도체소자의 소스측의 인덕턴스가 크게 감소되어, 고주파특성이 정확하게 측정될 수 있다.

또한, 제1전도층이 각 반도체소자의 접지전극에 연결되므로, 하나의 접지전극만이 반도체소자들의 선별에 사용될 수 있다. 칩들로 분리되기 전의 반도체웨이퍼상에 형성된 복수개의 반도체소자들은 양품/불량품으로 분류된 다음, 칩들이 분리되므로, 반도체소자들은 반도체소자들의 선별에서 용이하게 처리될 수 있다. 그 결과, 양품/불량품선별은 반도체웨이퍼상에 형성된 모든 반도체소자들에 대해 정확하고 편리하게 수행될 수 있다. 그러므로, 본 발명에 따른 반도체장치의 제조방법은 반도체장치들의 대량생산에 적용될 수 있다.

본 발명의 실시예들은 첨부된 도면들을 참조하여 이하 상세히 설명한다. 우선 본 발명의 제1실시예를 설명한다. 도 3은 이 실시예에 따른 반도체패킷 제조공정의 특성들을 보여주는 사시도이다. 도 4a 내지 도 4h는 이 실시예에 따른 반도체패킷의 제조방법을 공정단계들의 순서로 보여주는 사시도들이다. 이 실시예는, 각각의 반도체소자의 접지전극에 연결된 제1전도층이 박막으로 형성된 GaAs웨이퍼의 전체 배면에 형성되고, GaAs웨이퍼만이 제1전도층을 분리하지 않고 칩들로 분리되어 GaAs웨이퍼상에 형성된 모든 반도체소자들의 전기특성들이 측정되는 것을 특징으로 한다.

이 실시예에서 반도체소자는 도 1에 설명된 MESFET이다. 우선 이 실시예는 도 3을 참조하여 설명될 것이다. 도금시에 도금의 기초층으로 사용되는 금속막(3; 이하 "도금용 금속막"이라 함)이 유리기관(1)의 배면상에 형성되고 레지스트막(2)이 그것들간에 끼어있게 된다. 도금용 금속막(3)은 각각의 반도체소자의 소스전극에 연결된 전술한 제1전도층이다. 레지스트막(2)은 접착제로서 기능한다. 이 상태에서, 탐침기의 탐침들이 반도체소자(4)의 게이트리드전극 및 드레인리드전극에 연결된다(도 1 참조). 또, 반도체소자의 소스전극(도 1 참조)은 도금용 금속막(3)에 연결되지만, 도금용 금속막(3)은 접지전위(GND)에 연결된다.

이 때, 도금용 금속막(3)은 넓은 접촉범위로 접지전위에 연결될 수 있다. 그러므로, 예를 들면, 반도체소자의 고주파특성의 측정시에, 반도체소자의 소스측의 인덕턴스가 안정하게 감소되고, 그로 인해 고주파특성이 정확하게 측정될 수 있다. 그러므로, 양품/불량품선별이 GaAs웨이퍼상의 모든 반도체소자들에 대해 정확하게 수행될 수 있다.

이 실시예에 따른 반도체패킷의 제조방법은 도 4a 내지 도 4h를 참조하여 제조단계들의 순서로 이하 설명할 것이다. 도 4a에서 보여진 바와 같이, 반도체소자들이 형성된 GaAs웨이퍼(6) 표면은 저융점왁스(7)를 통해 제1웨이퍼유지기관인 정면측유리기관(5)상에 적층된다. 정면측유리기관(5)은 투명하고, 두께는, 예를 들면, 1mm이다. 저융점왁스(7)는 제1접착제를 구성한다. 다음에, GaAs웨이퍼(6)는 예를 들면 40 μ m의 두께를 갖는 박층으로 형성된다. 그런 다음, 스루홀들(도 1 참조)이 GaAs웨이퍼(6)의 소정의 영역들내에 형성된다.

다음에, 도 4b에 보여진 바와 같이, 도금용 금속막(3)은 얇은 GaAs웨이퍼(6)의 전체배면에 형성된다. 도금용 금속막(3)은, 예를 들면, 20nm의 막두께를 갖는 티타늄(Ti) 및 300nm의 막두께를 갖는 금(Au)을 이 순서로 연속적으로 증착함으로써 얻어진 적층막이다. 도금용 금속막(3)은 제1전도층이다.

다음에, 도 4c에 보여진 바와 같이, 금도금층(8)은 포토레지스트패턴을 사용하는 공지된 방법에 의해 도금용 금속막(3)에 선택적으로 형성된다. 금도금층(8)은 제2전도층이다. 금도금층(8)의 막두께는, 예를 들면, 20 μ m이다.

다음에, 도 4d에서 보여진 바와 같이, 도금용 금속막(3) 및 금도금층(8)은 레지스트막(2)을 거쳐 투명한 배면층유리기판(1)상에 적층된다. 레지스트막(2)은 약 20 μ m의 두께를 갖는 제2접착제이다. 배면층유리기판(1)은 약 0.5mm의 두께를 갖는 제2웨이퍼유지기판이다. 이 때, 금도금층(8)(도 4c 참조)은 레지스트막(2)내에 매립된다. 그러므로, 적층물은, 저융점왁스(7), GaAs웨이퍼(6), 도금용 금속막(3), 레지스트막(2) 및 배면층유리기판(1)을 정면층유리기판(5)상에 이 순서로 연속적으로 적층함으로써 형성된다.

다음에, 이 적층물은 저융점왁스(7)의 융점 이상의 온도, 예를 들면, 150 내지 180°C로 가열되어, 저융점왁스(7)가 용융되어 정면층유리기판(5)을 GaAs웨이퍼(6)로부터 벗겨낸다. 그런 다음, GaAs웨이퍼(6)의 정면이 유기용매로 세정된다. 결국, 도 4e에 보여진 바와 같이, GaAs웨이퍼(6)의 정면이 노출된다.

다음에, GaAs웨이퍼(6)는 포토레지스트막(미도시)을 마스크로 사용하여 식각되고, GaAs웨이퍼(6)는 복수개의 반도체소자들(4)로 분리된다. 이때, 포토레지스트막의 위치들은 금도금층(8)의 패턴을 투명한 배면층유리기판(1)을 통해 시각적으로 관측함으로써 조절된다. 이 식각공정에서, GaAs웨이퍼(6)만이 식각되고, 도금용 금속막(3)은 식각되지 않는다. 도 4f는 반도체소자들(4), 도금용 금속막(3), 금도금층(8, 미도시), 레지스트막(2) 및 배면층유리기판(1)으로 구성된 상태의 적층물의 구성을 보여준다. 도 4f는 도 4a 내지 도 4e에 대해 세로로 반전된 구성을 보여준다. 도 4f 및 도 3은 동일한 도면이다.

다음에, 도 3을 참조하여 설명한 바와 같이, GaAs웨이퍼(6)상의 모든 반도체소자들(4)의 전기특성들은 양품/불량품선별을 위해 측정된다. 그래서, 결함이 있는 반도체소자들(4)이 마킹된다.

다음에, 도 4g에 보여진 바와 같이, 도금용 금속막(3)은 이온밀링(ion milling) 등과 같은 방법으로 전술한 포토레지스트막(미도시)을 마스크로 사용하여 식각되고 패턴링된다. 그로 인해, 금속층(9)이 반도체소자들(4) 아래에 형성된다. 금속층(9)은 도금용 금속막(3)을 패터닝함으로써 형성된다. 그 결과, 레지스트막(2)이 노출된다.

다음에, 레지스트막(2)은 유기용매를 사용하여 용해되어 배면층유리기판(1)을 금도금층(8)으로부터 벗겨낸다. 그 결과, 도 4h에 보여진 바와 같이, 반도체소자(4)의 배면에 형성된 금속층(9) 및 금도금층(8)으로 구성된 반도체패킷(10)이 얻어질 수 있다.

전술한 이 실시예에 따른 반도체패킷의 제조방법은 종래의 방법과 비교하여 이하 설명된 효과들을 갖는다. 우선, 반도체소자(4)의 소스측의 인덕턴스가 크게 감소될 수 있으므로, 반도체소자(4)의 고주파특성은 반도체소자들(4)의 양품/불량품선별시에 정확하게 측정될 수 있다. 또한, 그 때문에 GaAs웨이퍼(6)상에 형성된 모든 반도체소자들의 양품/불량품선별이 편리하게 수행될 수 있으므로, 이 실시예의 반도체패킷의 제조방법은 대량생산에 적용될 수 있다.

본 발명의 제2실시예를 이하 설명한다. 도 5a 내지 도 5g는 이 실시예에 따른 반도체패킷 제조공정들을 공정단계들의 제조순서로 보여주는 사시도들이다. 도 5a 내지 도 5g에서, 도 4a 내지 도 4h에 보여진 전술한 제1실시예에서의 구성요소들과 동일한 구성요소들은 동일한 참조부호로 나타낸다. 제2실시예는, GaAs웨이퍼를 유리기판상에 적층하기 위한 접착제인, 은페이스트와 같은 전도성페이스트가 제1실시예에 설명된 도금용 금속막의 기능을 수행하는 것을 특징으로 한다.

전술한 제1실시예의 설명과 부분적으로 중복되지만, 이 실시예에 따른 반도체패킷의 제조방법이 도 5a 내지 5g를 참조하여 단계적으로 설명될 것이다.

우선, 도 5a에 보여진 바와 같이, GaAs웨이퍼(6)의 정면은 저융점왁스(7)를 개재하여 정면층유리기판(5)상에 적층된다. 정면층유리기판(5)은 투명하고 예를 들면 0.5mm의 두께를 갖는다. 다음에, GaAs웨이퍼(6)는 박층으로 형성되어, GaAs웨이퍼(6)의 두께를 예를 들면 25 μ m로 감소시킨다. 그런 다음, 스루홀들(도 1 참조)이 종래기술에서 설명된 바와 같이 GaAs웨이퍼(6)의 소정 영역들에 형성된다.

다음에, 도 5b에 보여진 바와 같이, 도금용 금속막(3)이 얇은 GaAs웨이퍼(6)의 전체 배면에 형성된다. 도금용 금속막(3)은 티타늄(Ti) 및 금(Au)으로 구성된 적층막이다.

다음에, 도 5c에서 보여진 바와 같이, 금도금층(8)이 포토레지스트패턴을 사용하는 공지된 방법에 의해 도금용 금속막(3)상에 선택적으로 형성된다. 금도금층(8)의 막두께는 예를 들면 10 μ m이다. 다음에, 도금용 금속막(3)은 금도금층(8)을 마스크로 사용하여 식각되고 분리되어 금속층(9)을 형성한다.

다음에, 도 5d에 보여진 바와 같이, GaAs웨이퍼(6)의 배면, 즉 금속층(9) 및 금도금층(8)(도 5c 참조)이 형성된 표면은 은페이스트(11)를 개재하여 배면측유리기판(1)상에 적층된다. 은페이스트(11)의 막두께는 약 20 μ m이다. 은페이스트(11)는 전도체인 제2접착제이다. 이 때, 금속층(9) 및 금도금층(8)(도 5c 참조)은 은페이스트(11)내에 매립되며 은페이스트(11)에 연결된다.

다음에, 이 적층물은 저융점왁스(7)의 융점 이상의 온도로 가열되어, 저융점왁스(7)가 용융되어 정면측유리기판(5)을 GaAs웨이퍼(6)로부터 벗겨낸다. 그런 다음, GaAs웨이퍼(6)의 정면은 유기용매로 세정되어, 도 5e에 보여진 바와 같이, GaAs웨이퍼(6)의 정면을 노출시킨다. 다음에, GaAs웨이퍼(6)는 포토레지스트막(미도시)을 마스크로 사용하여 식각되어 GaAs웨이퍼(6)가 복수개의 반도체소자들(4)로 분리된다.

도 5f는 반도체소자들(4), 금속층(9), 금도금층(8), 은페이스트(11) 및 배면측유리기판(1)으로 구성된 상태의 적층물의 구성을 보여준다. 도 5f는 도 5a 내지 도 5e에 대해 세로로 반전된 위치의 구성을 보여준다. 도 5f에서 금속층(9) 및 금도금층(8)은 은페이스트(11)로부터 돌출되지만, 금속층(9) 및 금도금층(8)은 은페이스트(11)내에 매립될 수도 있다. 도 5f에 보여진 바와 같이, 반도체패킷(10)은 분리된 반도체소자(4), 금속층(9) 및 금도금층(8)으로 구성된다. 그러므로, 분리된 반도체패킷들(10)은 은페이스트(11)를 개재하여 배면측유리기판(1)상에 적층된다.

다음에, 제1실시예에서 설명된 방법과 같이, GaAs웨이퍼(6)상의 모든 반도체소자들(4)의 전기특성들은 양품/불량품 선별을 위해 측정된다. 그런 다음, 결함이 있는 반도체소자들(4)이 마킹된다. 이때, 은페이스트(11)의 전체면은 접지 전위(GND)에 연결된다. 그래서, 반도체소자(4)의 소스측의 인덕턴스가 크게 감소된다.

다음에, 은페이스트(11)는 용융되어 제거된다. 그런 다음, 배면측유리기판(1)은 반도체패킷들(10)으로부터 벗겨진다. 그 결과, 도 5g에 보여진 바와 같이, 반도체소자(4)의 배면에 형성된 금속층(9) 및 금도금층(8)을 갖는 반도체패킷(10)이 얻어질 수 있다.

이 실시예에서, 전술한 제1실시예의 효과들 이외에 반도체소자(MESFET)의 소스측의 인덕턴스가 더 감소된 효과가 얻어질 수 있다.

또한, 본 발명은 전술한 실시예들에 한정되지 않고, 각 실시예는 본 발명의 기술적 사상의 범주로부터 벗어남없이 적절하게 변경될 수 있다는 것이 명백하다.

발명의 효과

그러므로 상술한 바와 같이, 전술한 실시예들의 각각에서는, GaAs 등과 같은 화합물반도체에 실장된 고속반도체장치의 제조공정들에서, 반도체웨이퍼상에 형성된 반도체소자의 접지전극은 개개의 반도체패킷들이 분리되기 전에 도금용 금속막 또는 은페이스트를 개재하여 접지전위에 연결된다. 반도체소자들의 전기특성들이 이 상태에서 양품/불량품선별을 위해 측정된 후, 반도체칩들은 분리된다.

결국, 반도체소자의 접지전극측, 예를 들면, 소스전극의 인덕턴스가 반도체소자들의 양품/불량품선별시에 크게 감소될 수 있다. 그래서, 반도체소자의 접지전극의 인덕턴스는 제품으로서 패키지내에 실장된 이 반도체소자의 레벨과 동일한 레벨로 만들어진다. 그 결과, 반도체소자의 고주파특성이 정확하게 측정될 수 있다. 더욱이, 양품/불량품선별이 반도체웨이퍼상에 형성된 모든 반도체소자들에 대해 편리하게 수행되므로, 대량생산의 적용이 용이해진다.

본 발명의 전술한 효과들은, MESFET 또는 반도체집적회로가 단파장구동주파수를 가질수로 더 현저해진다. 그러므로, 본 발명에 따라 화합물반도체상에 형성된 MESFET 등과 같은 반도체소자의 고성능이 더 촉진될 수 있다.

전술한 실시예들에서는 반도체소자가 MESFET인 경우에 상세히 설명되었다. 그러나, 본 발명에서는 반도체소자가 MESFET에 한정되지 않으며, 고전자이동도트랜지스터(high electron mobility transistor; HEMT), 헤테로접합전계 효과트랜지스터(HFET) 등과 같은 FET 또는 화합물반도체의 양극트랜지스터가 될 수도 있다. 본 발명은, 전술한 실시예들의 경우에서와 같은 그런 반도체소자들을 갖는 반도체패킷들에 유사하게 적용될 수 있고, 유사한 효과들이 얻어질 수 있다.

(57) 청구의 범위

청구항 1.

제1표면에 복수개의 반도체소자들을 갖는 반도체웨이퍼를, 제1웨이퍼지지기판상에 제1접착제를 사용하여 상기 제1표면을 상기 제1웨이퍼지지기판에 접촉하도록 적층하는 단계;

반도체소자들이 형성되지 않은 상기 반도체웨이퍼의 제2표면을 연마하여 소정 두께의 반도체웨이퍼를 형성하는 단계;

제1전도층을 상기 반도체웨이퍼의 제2표면 전체에 코팅하는 단계;

상기 반도체웨이퍼의 상기 제1표면에 형성된 반도체소자들에 정렬되는 영역들의 상기 제1전도층상에 제2전도층을 선택적으로 형성하는 단계;

제2웨이퍼지지기판을 제2접착제를 사용하여 제1전도층 및 제2전도층상에 형성하는 단계;

제1접착제를 용융시켜 제1웨이퍼지지기판을 반도체웨이퍼로부터 벗겨내고 반도체웨이퍼의 제1표면을 노출시키는 단계;

반도체소자들로 분리되고 제1전도층을 부분적으로 노출시키기 위해 반도체웨이퍼를 노출된 면으로부터 선택적으로 식각하는 단계;

양품 및 불량품으로 분류되도록 반도체소자들을 평가하는 단계;

제1전도층의 노출부를 선택적으로 식각하는 단계; 및

제2접착제를 제거하여 제2웨이퍼지지기판을 제1 및 제2전도층들로부터 벗겨내는 단계를 포함하는 반도체장치의 제조 방법.

청구항 2.

제1표면에 복수개의 반도체소자들을 갖는 반도체웨이퍼를, 제1웨이퍼지지기판상에 제1접착제를 사용하여 상기 제1표면을 상기 제1웨이퍼지지기판에 접촉하도록 적층하는 단계;

반도체소자들이 형성되지 않은 상기 반도체웨이퍼의 제2표면을 연마하여 소정 두께의 반도체웨이퍼를 형성하는 단계;

제1전도층을 상기 반도체웨이퍼의 제2표면 전체에 코팅하는 단계;

상기 반도체웨이퍼의 상기 제1표면에 형성된 반도체소자들에 정렬되는 영역들의 상기 제1전도층상에 제2전도층을 선택적으로 형성하는 단계;

선택적으로 형성된 제2전도층을 마스크로서 사용하여 제1전도층을 선택적으로 식각하는 단계;

제2웨이퍼지지기판을 전도체인 제2접착제를 사용하여 제2전도층상에 적층하는 단계;

제1접착제를 용융시켜 제1웨이퍼지지기판을 반도체웨이퍼로부터 벗겨내고 반도체웨이퍼의 표면을 노출시키는 단계;

반도체소자들로 분리되고 제2접착면을 부분적으로 노출시키기 위해 반도체웨이퍼를 노출된 면으로부터 선택적으로 식각하는 단계;

양품 및 불량품으로 분류되도록 반도체소자들을 평가하는 단계; 및

제2접착제를 제거하여 제2웨이퍼지지기판을 제2전도층으로부터 벗겨내는 단계를 포함하는 반도체장치의 제조방법.

청구항 3.

제1항에 있어서, 제1전도층은 반도체웨이퍼표면에 형성된 반도체소자의 접지전극에 전기적으로 연결되고, 반도체소자들은 선택적으로 식각되기 전의 제1전도층을 접지전위에 연결하여 반도체소자들의 전기특성들을 측정함으로써 선별되는 반도체장치의 제조방법.

청구항 4.

제2항에 있어서, 제1전도층은 반도체웨이퍼표면에 형성된 반도체소자의 접지전극에 전기적으로 연결되고, 반도체소자들은 제2전도층을 접지전위에 연결하여 반도체소자들의 전기특성들을 측정함으로써 선별되는 반도체장치의 제조방법.

청구항 5.

제1항에 있어서, 반도체소자는 전계효과트랜지스터인 반도체장치의 제조방법.

청구항 6.

제3항에 있어서, 전기특성들은 고주파특성을 포함하는 반도체장치의 제조방법.

청구항 7.

제2항에 있어서, 전도체인 제2접착제는 전도성 페이스트인 반도체장치의 제조방법.

청구항 8.

제7항에 있어서, 전도성 페이스트는 은페이스트인 반도체장치의 제조방법.

청구항 9.

제1항에 있어서, 제1접착제는 저융점왁스인 반도체장치의 제조방법.

청구항 10.

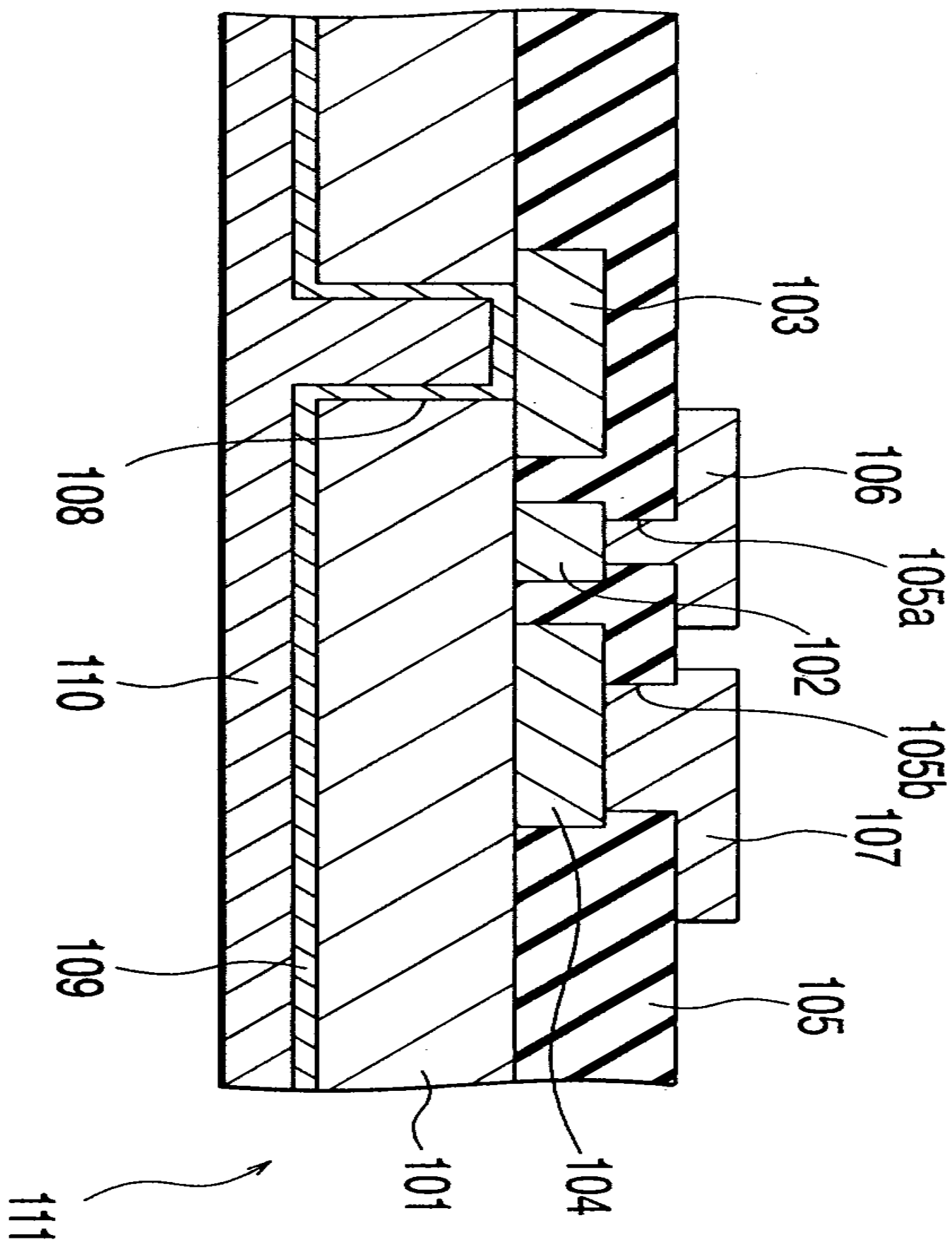
제1항에 있어서, 제1웨이퍼지지기판 및 제2웨이퍼지지기판 중 적어도 하나는 투명기판인 반도체장치의 제조방법.

청구항 11.

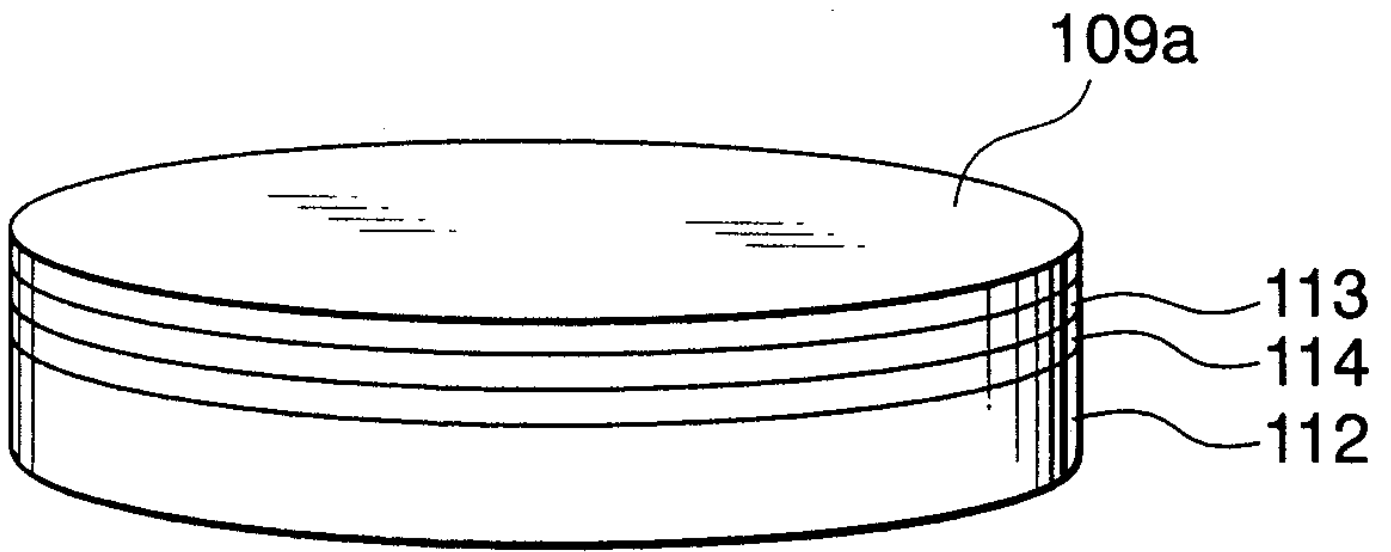
제10항에 있어서, 제1웨이퍼지지기판 및 제2웨이퍼지지기판 중 적어도 하나는 유리판, 석영판 또는 사파이어판에 의해 형성되는 반도체장치의 제조방법.

도면

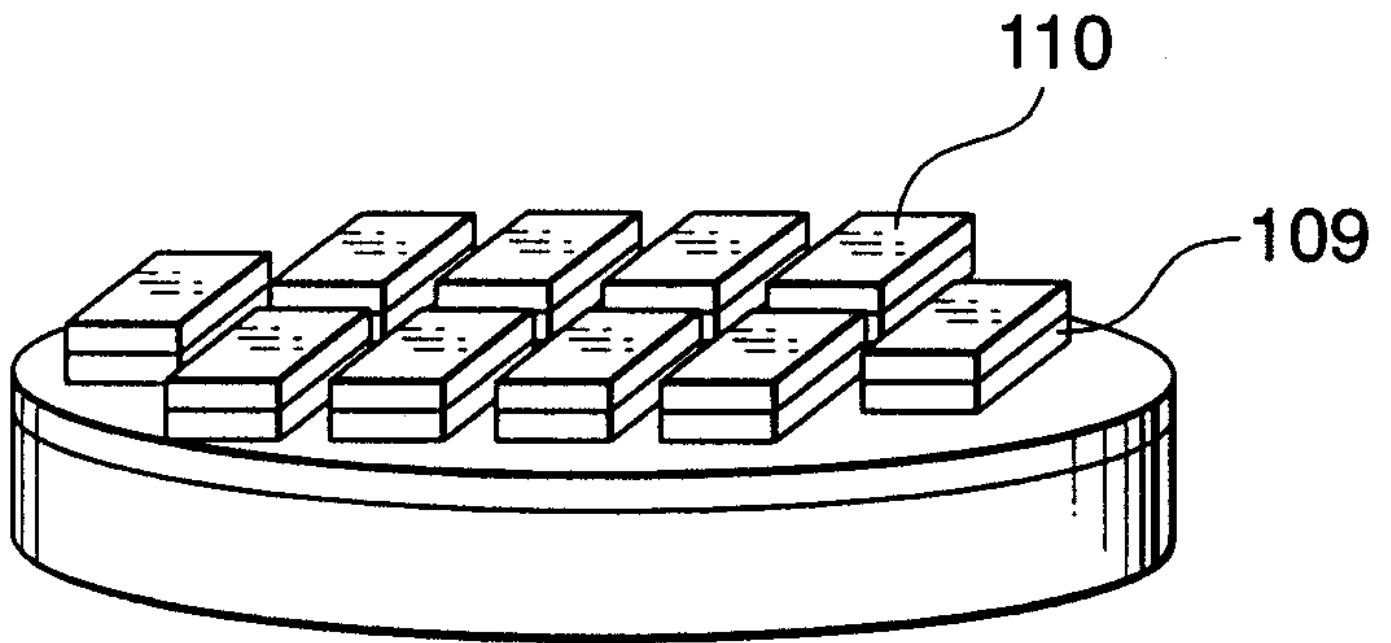
도면 1



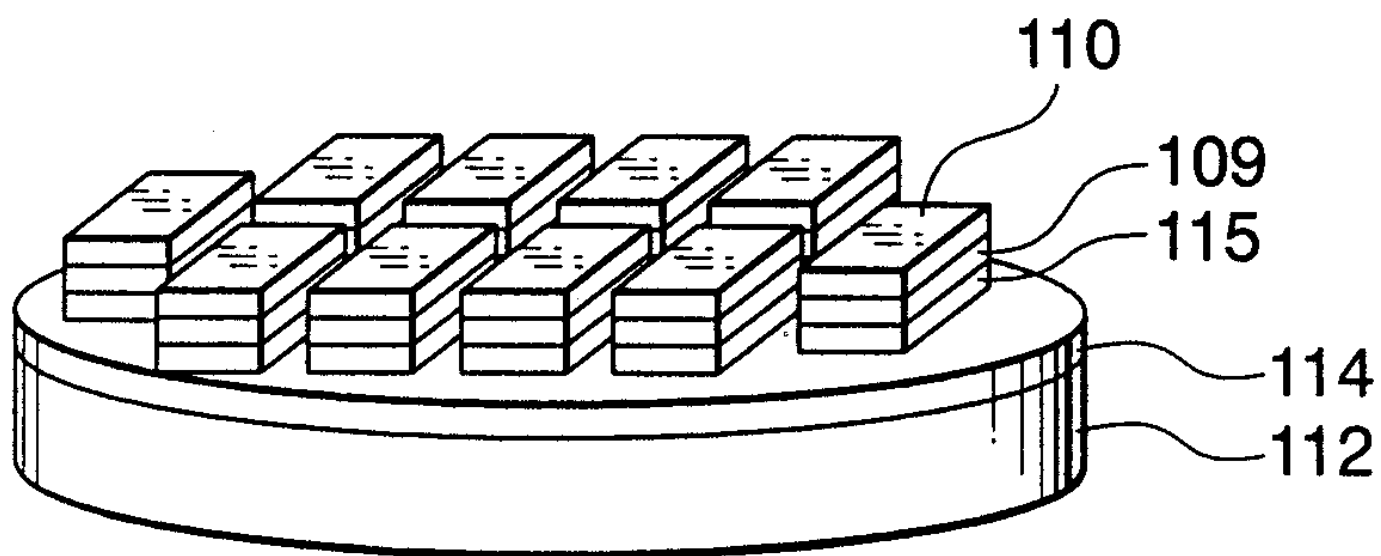
도면 2a



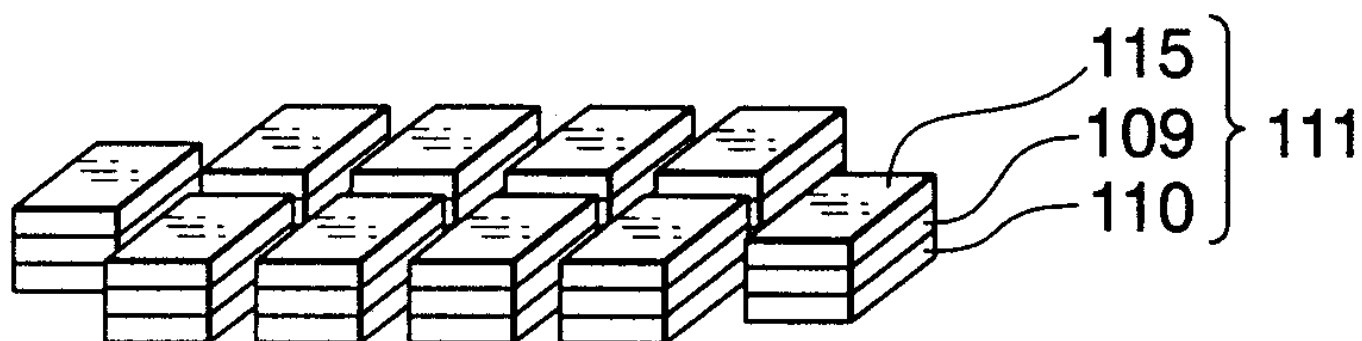
도면 2b



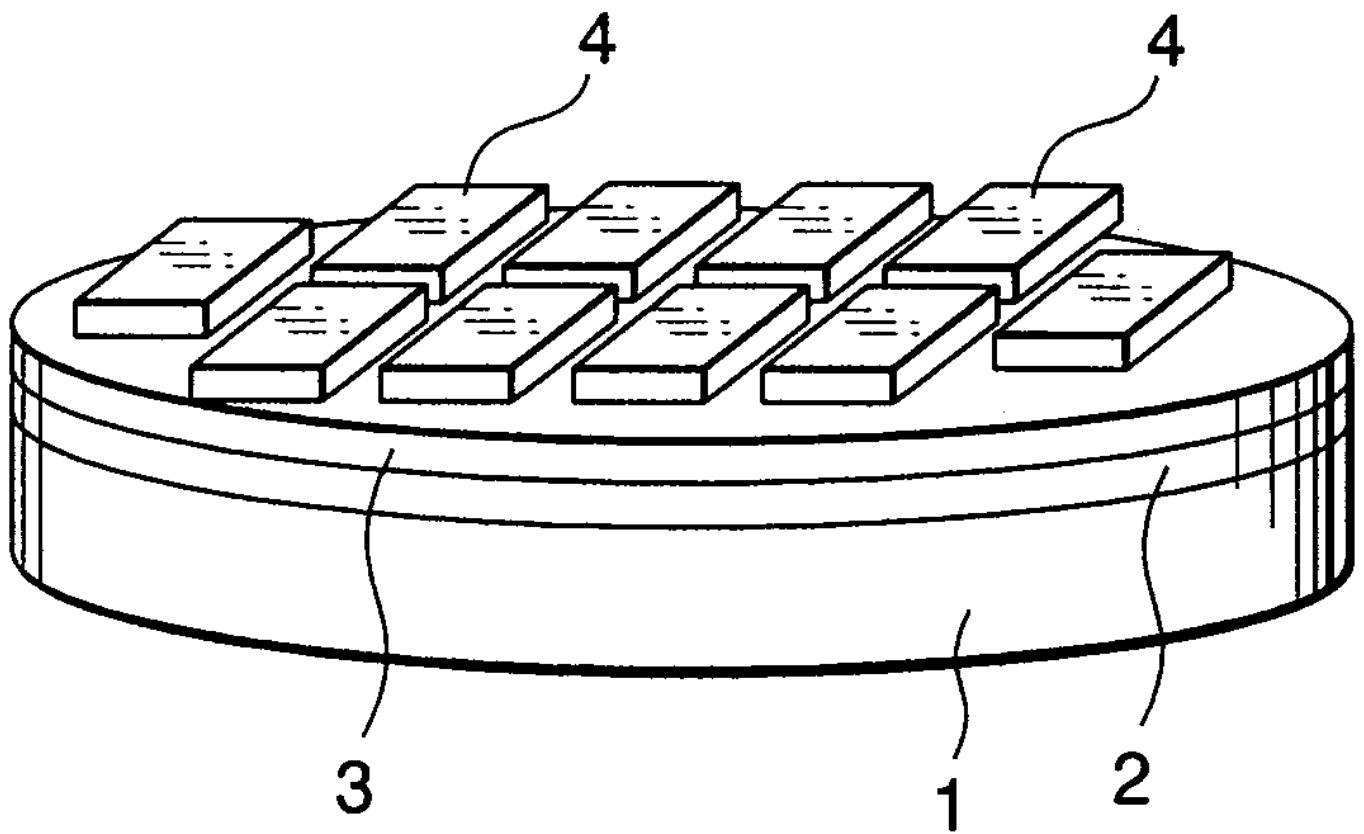
도면 2c



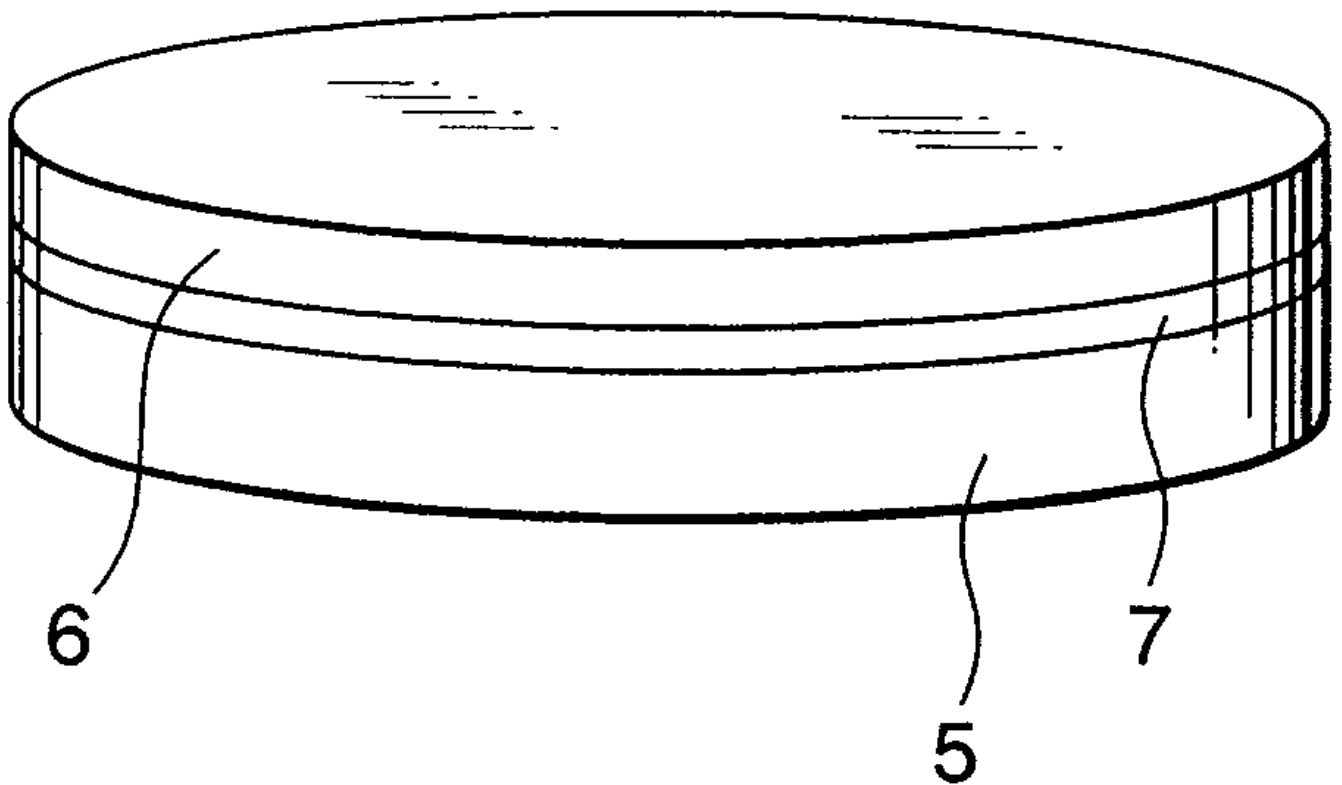
도면 2d



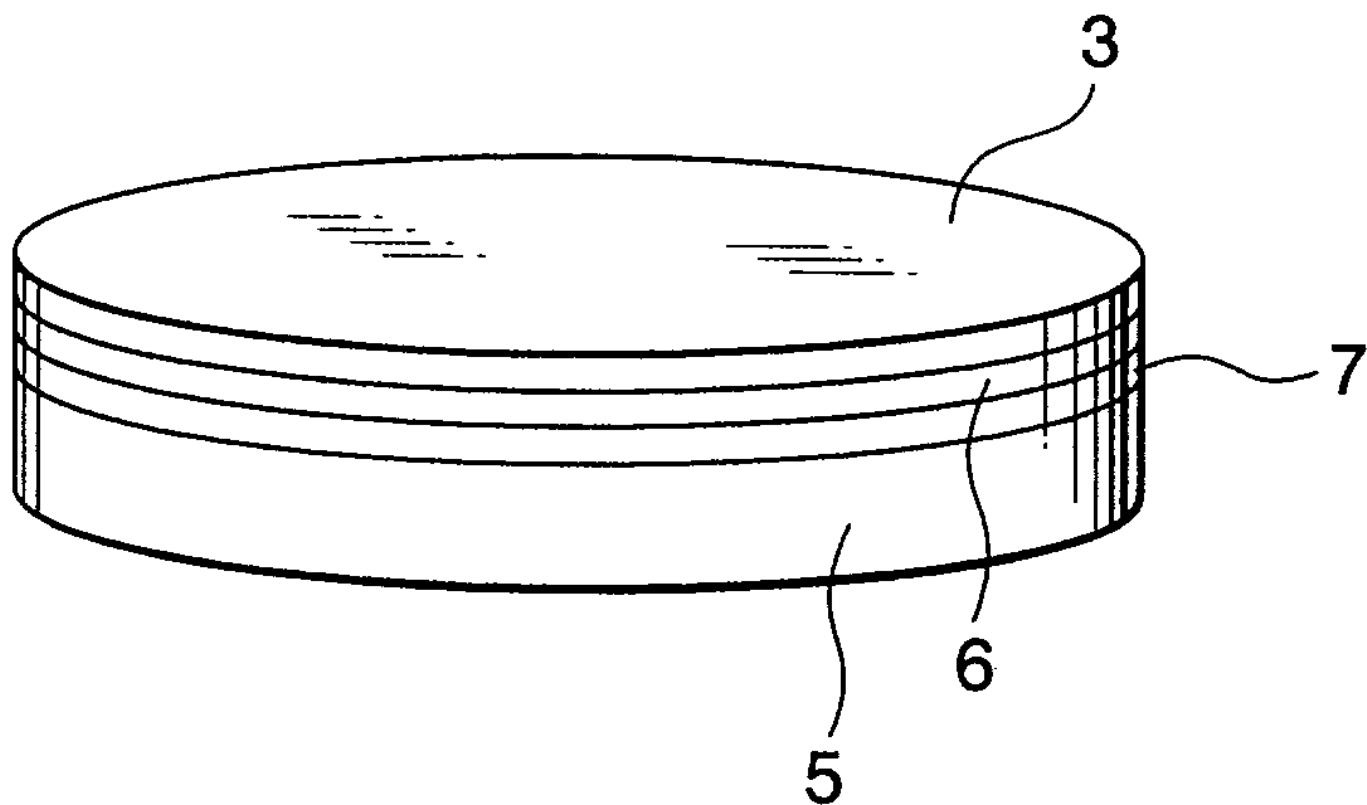
도면 3



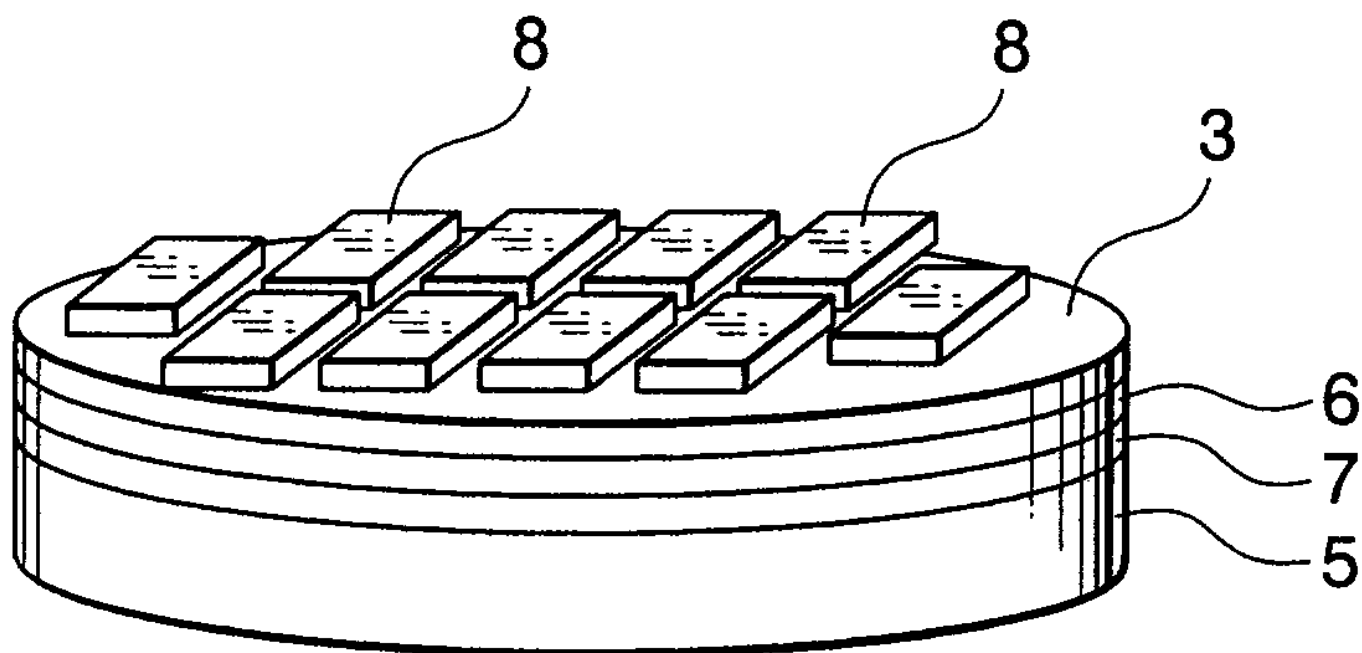
도면 4a



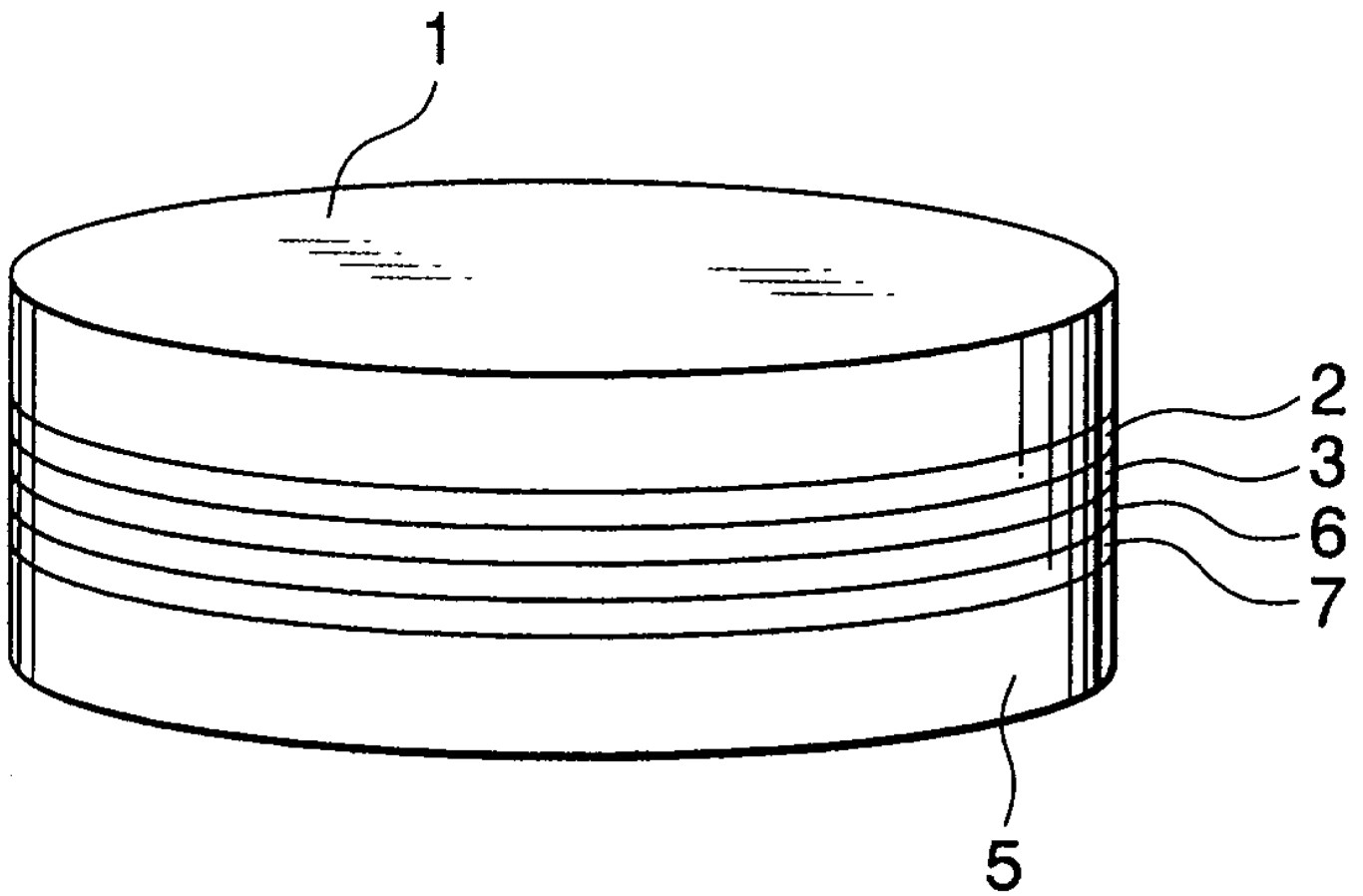
도면 4b



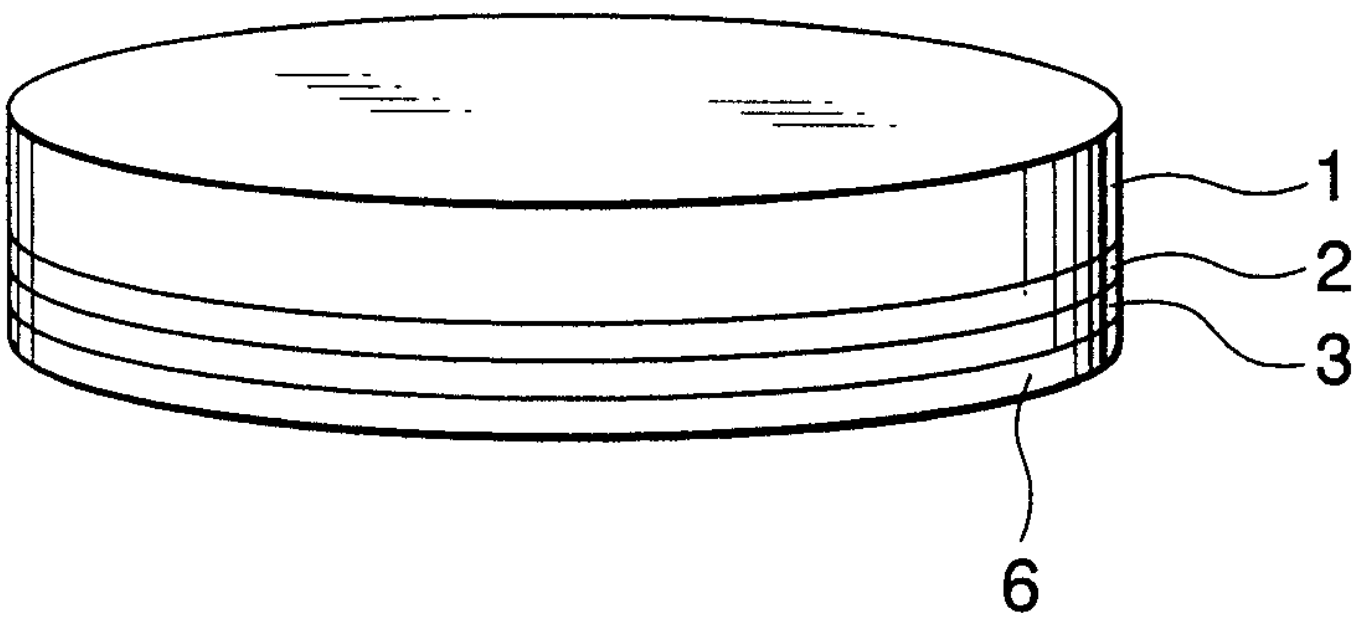
도면 4c



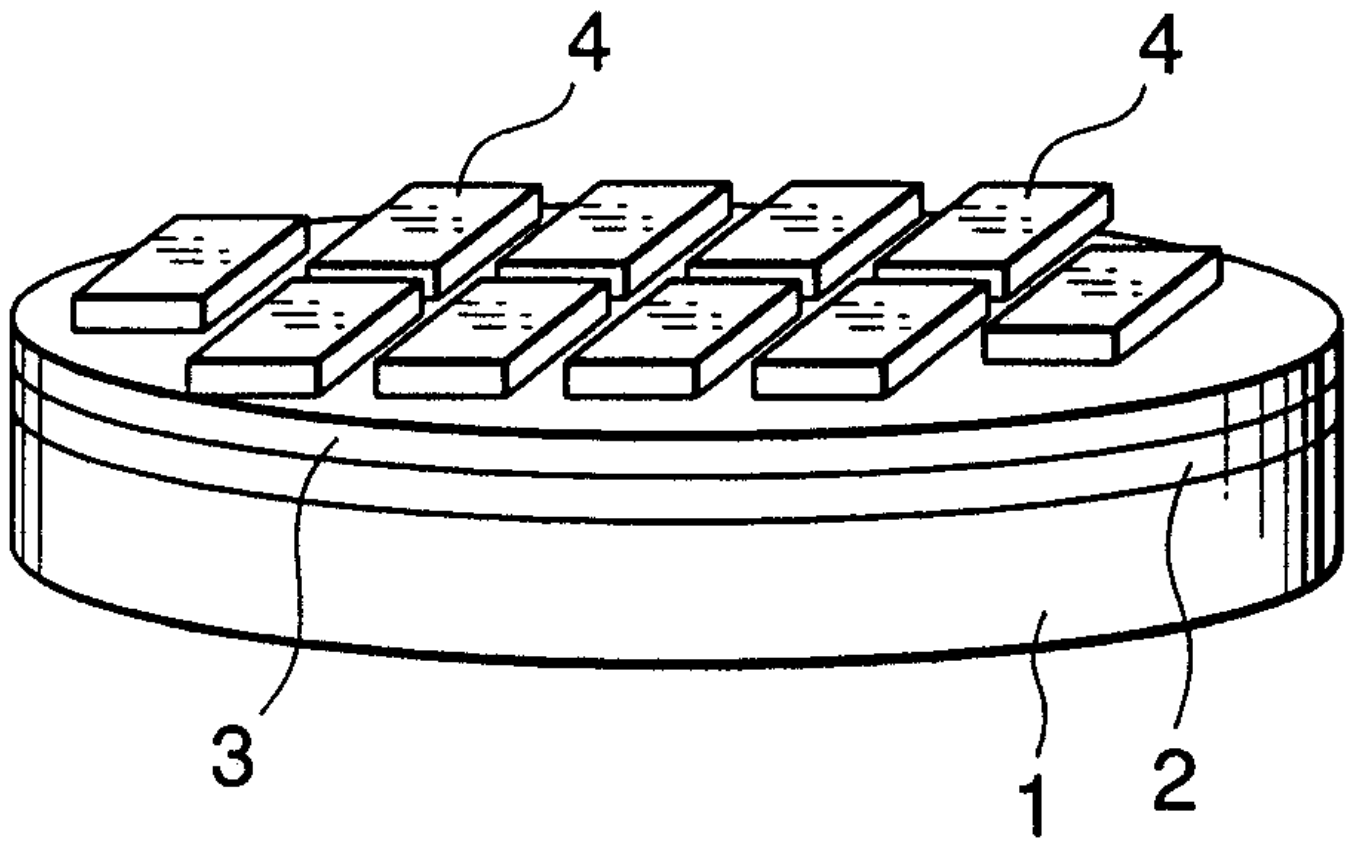
도면 4d



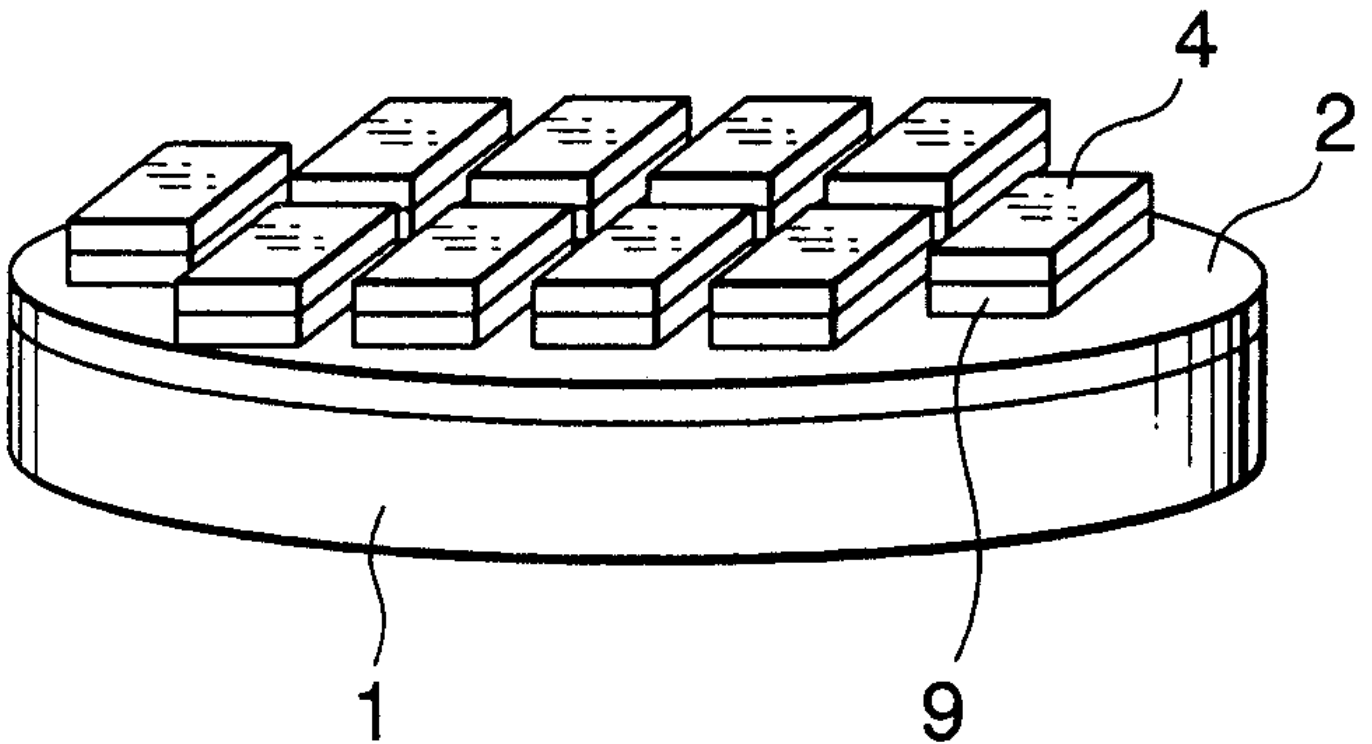
도면 4e



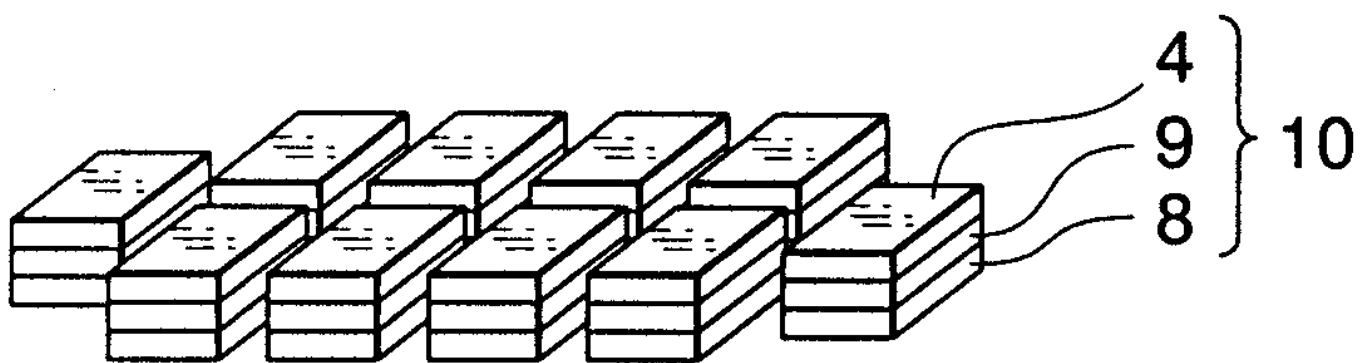
도면 4f



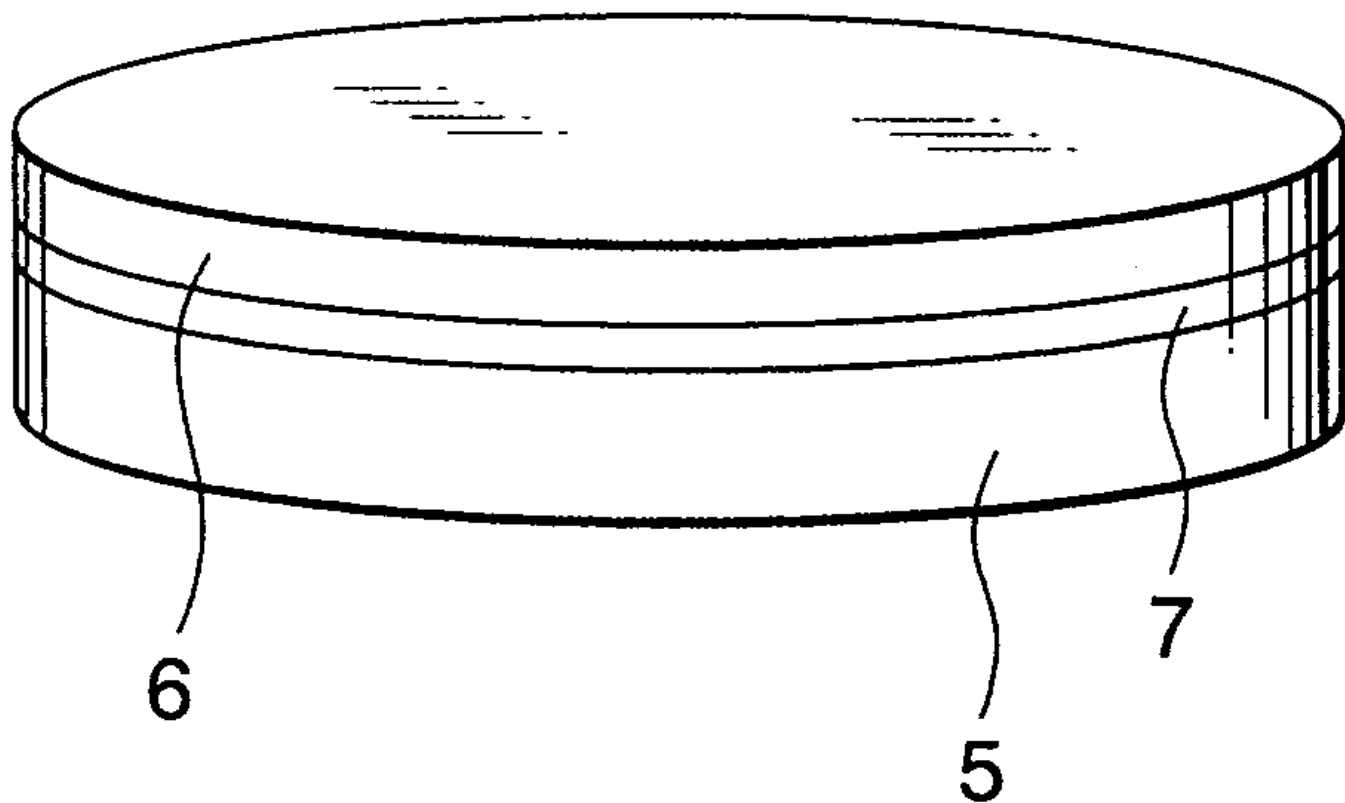
도면 4g



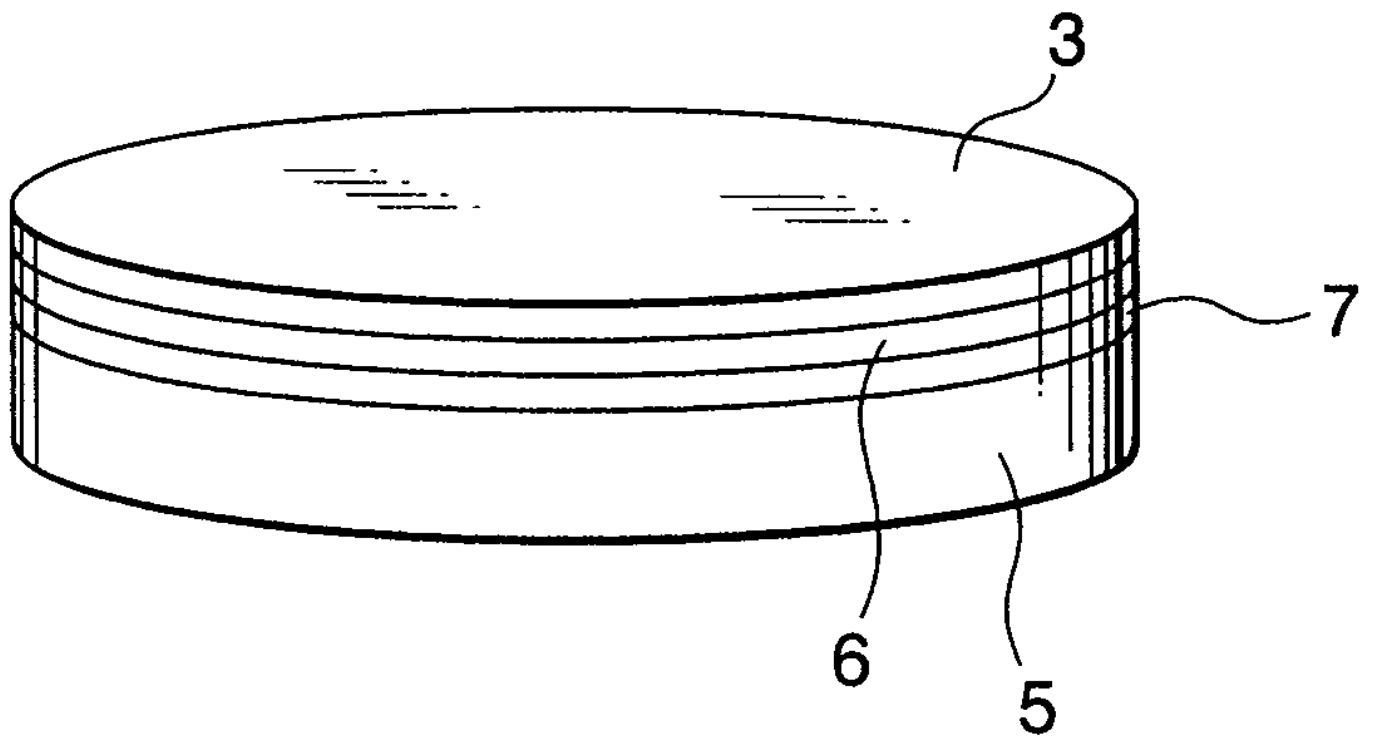
도면 4h



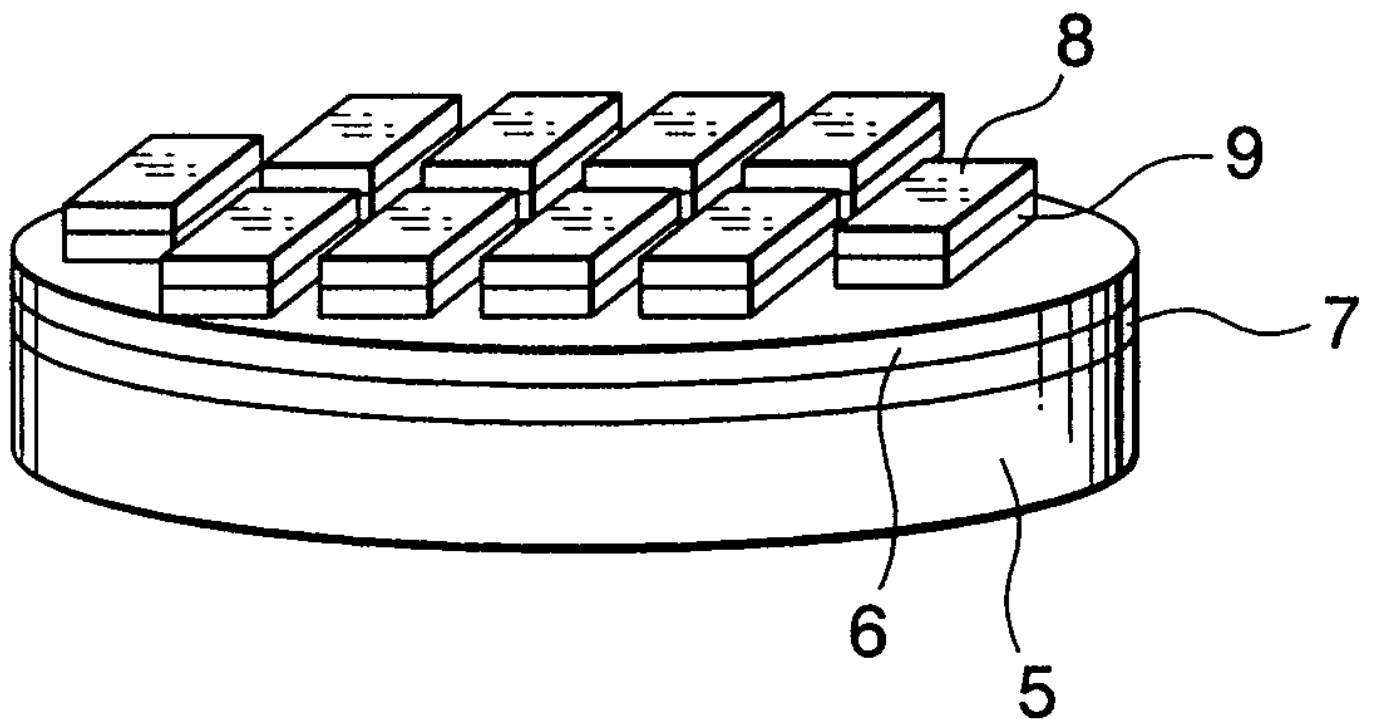
도면 5a



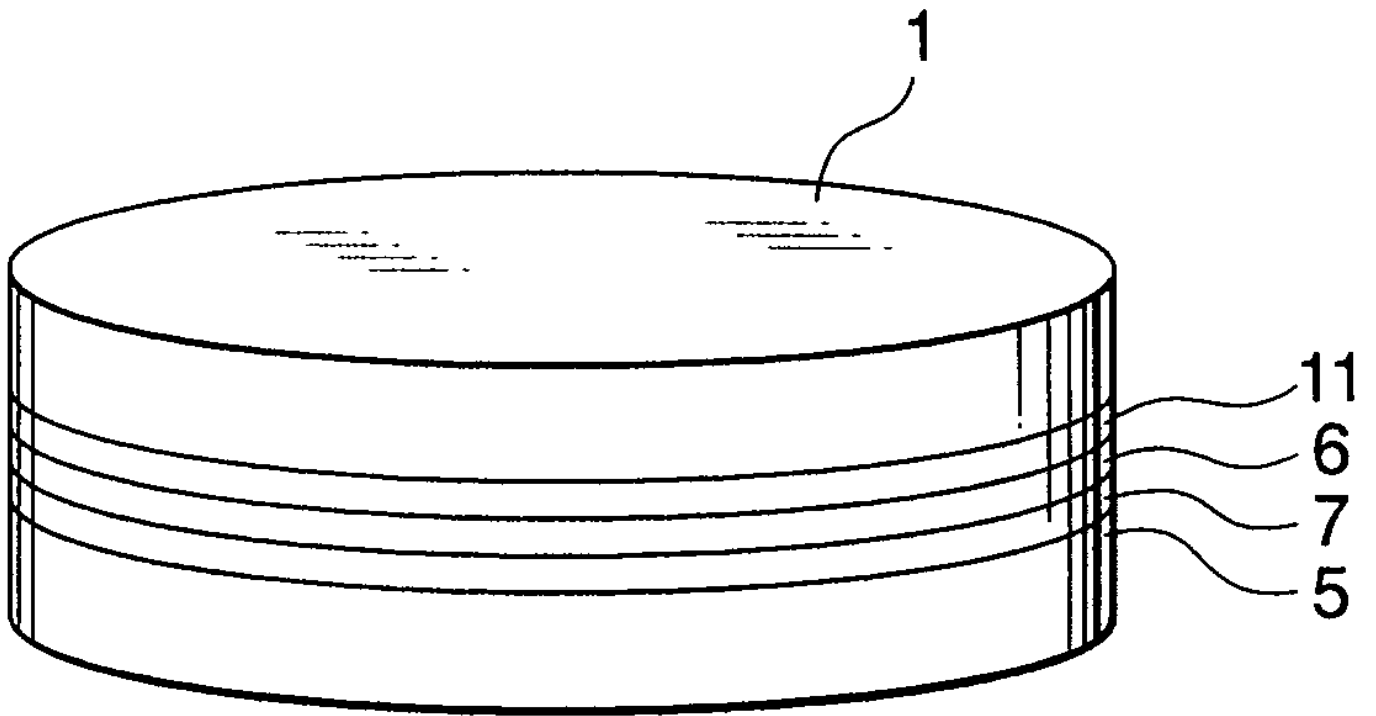
도면 5b



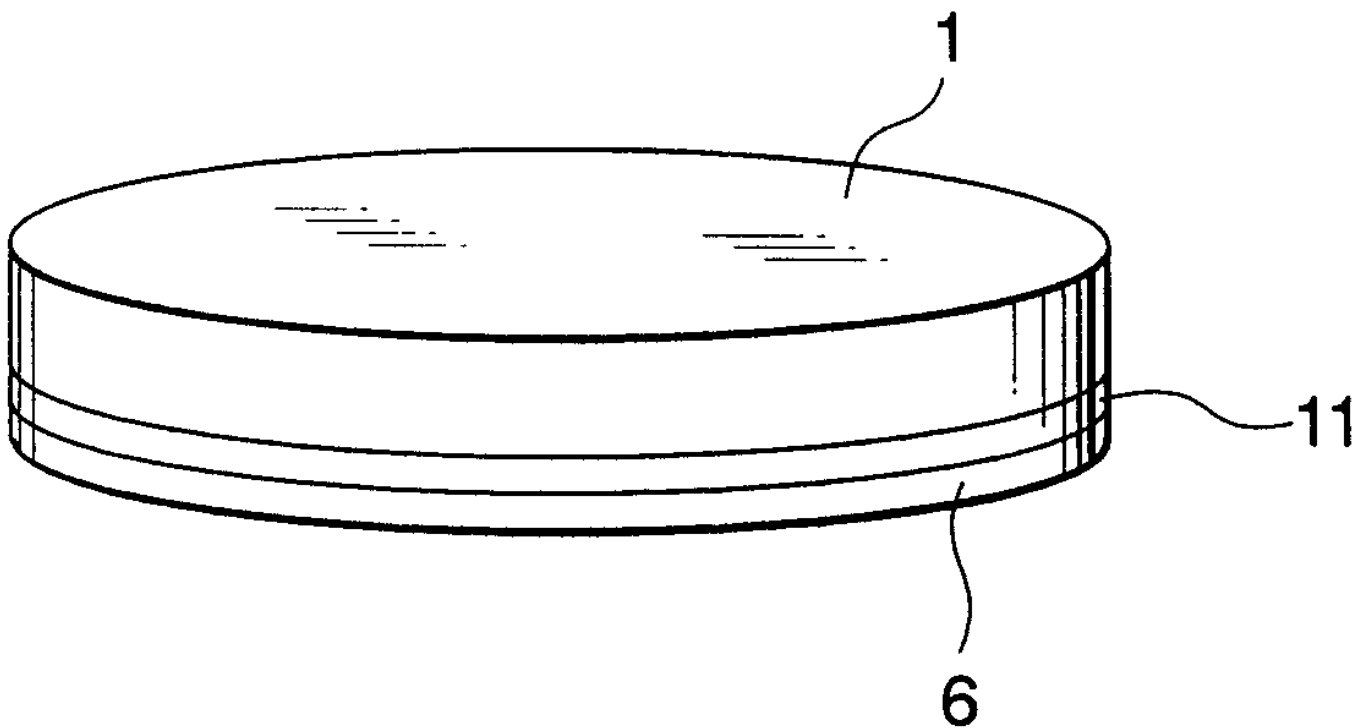
도면 5c



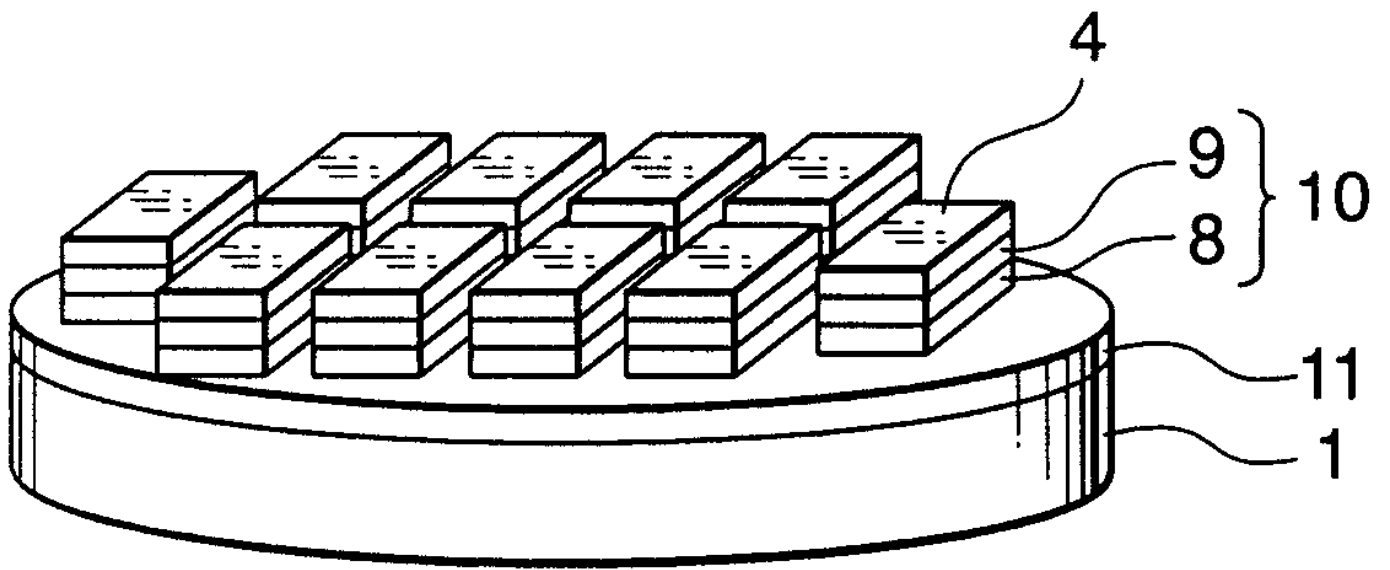
도면 5d



도면 5e



도면 5f



도면 5g

